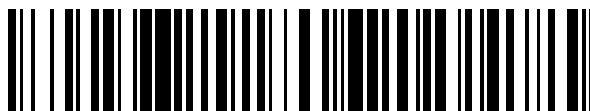


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 439 592**

51 Int. Cl.:

**H03J 7/06** (2006.01)

**H04B 1/38** (2006.01)

**H03L 7/23** (2006.01)

**G01S 1/00** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **22.09.2008 E 08804564 (6)**

97 Fecha y número de publicación de la concesión europea: **06.11.2013 EP 2201682**

54 Título: **Aparato y métodos para control de frecuencia en un sintetizador de frecuencia de múltiples salidas**

30 Prioridad:

**01.10.2007 US 865376**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**23.01.2014**

73 Titular/es:

**TELEFONAKTIEBOLAGET L M ERICSSON  
(PUBL) (100.0%)  
164 83 Stockholm, SE**

72 Inventor/es:

**NILSSON, MAGNUS;  
KLEMMER, NIKOLAUS;  
PETTY, JOHN STEWART y  
UPPATHIL, SATISH**

74 Agente/Representante:

**DE ELZABURU MÁRQUEZ, Alberto**

ES 2 439 592 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Aparato y métodos para control de frecuencia en un sintetizador de frecuencia de múltiples salidas

## 5 ANTECEDENTES

Campo técnico

10 La presente invención se refiere de manera general al campo de las comunicaciones, y más particularmente se refiere a técnicas para generar y controlar fuentes de frecuencia de precisión en teléfonos celulares u otros dispositivos de comunicaciones.

Antecedentes

15 Los dispositivos de comunicaciones modernos, ya sea comunicando a través de un cable o inalámbricamente, requieren típicamente al menos un reloj que opera a una frecuencia de referencia relativamente estable. Con el aumento de integración, dispositivos tales como teléfonos celulares ahora incluyen comúnmente funciones de comunicación adicionales tales como transceptores de red de área local inalámbricos (W-LAN), radios Bluetooth, receptores del Sistema de Posicionamiento Global (GPS), interfaces de Canal Principal Serie Universal (USB), y así sucesivamente. Además, los estándares celulares están llegando a ser más complejos, con una tendencia hacia el uso simultáneo de múltiples canales de comunicaciones, cada uno de los cuales puede usar una frecuencia de operación diferente.

20 Cada bloque de comunicación necesita una o más frecuencias de reloj, ya sea para sincronizar circuitería en banda base o procesadores digitales de señal, o para uso como osciladores locales en circuitería radio. Las frecuencias de operación exactas requeridas para cada bloque pueden variar, y los requerimientos de precisión pueden variar también de una función a la siguiente. Por ejemplo, un teléfono celular típicamente debe tener osciladores locales que son precisos en alrededor de 0,1 partes por millón (ppm) con respecto a una referencia en la estación base que recibe las transmisiones del teléfono. Dado que el efecto Doppler causado por el movimiento de un teléfono relativo a la estación base puede causar un cambio de frecuencia evidente de hasta 0,5 ppm, esta precisión se logra típicamente a través del uso de técnicas de Control Automático de Frecuencia (AFC) bien conocidas. Un receptor GPS, por otra parte, trabajará bastante bien con precisiones de frecuencia del orden de 0,5 ppm, o incluso 2 o 3 ppm, pero puede requerir que su referencia de frecuencia sea estable dentro de 2 partes por billón (ppb) para la duración de un intervalo de medición para el mejor rendimiento. Por el contrario, una radio Bluetooth puede requerir solamente precisiones de la frecuencia de referencia del orden de 20 ppm.

35 Para minimizar costes, los dispositivos pueden compartir un reloj de referencia. Por ejemplo, la Patente de EE.UU. N° 6.867.734 de Voor et al. describe un dispositivo de comunicaciones que combina un transceptor celular y un receptor GPS, en el que se usa un reloj de referencia compartido para sintetizar una señal de oscilador local para el transceptor de comunicaciones y una señal de reloj de alta frecuencia para el receptor GPS. La Publicación Internacional N° WO 03/098258 A1 y la Solicitud de Patente Europea EP 1 206 039 A2 muestran otras soluciones para compartir un reloj de referencia entre un transceptor de comunicaciones y un receptor GPS. No obstante, compartir un reloj de referencia puede causar varios problemas.

45 En primer lugar, si se usa un AFC para ajustar la frecuencia del reloj de referencia de manera que, por ejemplo, un oscilador local (LO) de transceptor celular siga la frecuencia de una señal de estación base recibida, entonces los cambios en la frecuencia del reloj de referencia se reflejan en otros circuitos que comparten la referencia. Una pérdida temporal de la señal recibida, tal como puede ocurrir cuando se conduce a través de un túnel, puede causar variaciones no esperadas en la frecuencia del reloj de referencia debido a la respuesta del bucle de AFC a la pérdida de señal. Estas variaciones pueden deteriorar el rendimiento en otros circuitos que comparten la referencia. Los cambios en la frecuencia de referencia debidos a errores de seguimiento Doppler también se pasarán a través de otros circuitos que comparten el reloj de referencia, de nuevo causando posibles deterioros de rendimiento. Adicionalmente, las correcciones de AFC a la frecuencia del reloj de referencia, incluso si son relativamente pequeñas, pueden perturbar el rendimiento en aplicaciones que requieren estabilidad de reloj durante un intervalo crítico.

55 En vista de lo anteriormente mencionado, descritos en la presente memoria están métodos y un aparato para generar, a partir de una única señal de reloj de referencia, dos o más señales de reloj para aplicaciones separadas en un dispositivo de comunicaciones.

## COMPENDIO

60 Las enseñanzas presentadas en la presente memoria proporcionan métodos y circuitos para sintetizar dos o más señales enganchadas en fase a una señal de frecuencia de referencia común. En varias realizaciones, un método comprende generar una primera y segunda señales de salida enganchadas en fase a una señal de reloj de referencia, usando un primer y segundo circuitos de bucle enganchados en fase. En respuesta a un error de frecuencia detectado en la primera señal de salida, la primera señal de salida se corrige ajustando una relación de división en frecuencia en el primer circuito de bucle enganchado en fase. La segunda señal de salida se corrige,

separadamente de la corrección de la primera señal de salida, ajustando una relación de división en frecuencia en el segundo circuito de bucle enganchado en fase, usando un parámetro de ajuste calculado a partir del error de frecuencia detectado.

5 En otro método ejemplar, la primera y segunda señales de salida se generan como se describió anteriormente, usando un primer y segundo circuitos de bucle enganchado en fase. La primera señal de salida se corrige ajustando una relación de división en frecuencia en el primer circuito de bucle enganchado en fase y generando una señal de control para ajustar la frecuencia de la señal de reloj de referencia, en respuesta al error de frecuencia detectado en la primera señal de salida. Debido a que la segunda señal de salida se deriva de la señal de reloj de referencia  
10 común, los ajustes a la frecuencia del reloj de referencia también ajustarán la frecuencia de la segunda señal de salida. Se pueden aplicar ajustes adicionales a la segunda señal de salida en algunas realizaciones ajustando una relación de división en frecuencia en los segundos circuitos de bucle enganchado en fase.

15 Un circuito de sintetizador de frecuencia según una o más realizaciones de la presente invención comprende un primer y segundo circuitos de bucle enganchado en fase configurados para generar la primera y segunda señales, respectivamente, cada señal de salida enganchada en fase a una señal de reloj de referencia común. El circuito de sintetizador de frecuencia además comprende un circuito de corrección de frecuencia configurado para corregir la primera señal de salida ajustando una primera relación de división en frecuencia en el primer circuito de bucle enganchado en fase, en respuesta a un error de frecuencia detectado en la primera señal de salida. El circuito de  
20 corrección de frecuencia está configurado además para calcular un parámetro de ajuste, en base al error de frecuencia detectado, y para corregir la segunda señal de salida ajustando una segunda relación de división en frecuencia en el segundo circuito de bucle enganchado en fase, usando el parámetro de ajuste.

25 En varias realizaciones, el circuito de corrección de frecuencia está configurado para calcular el parámetro de ajuste en base a un desplazamiento, de manera que la primera y segunda frecuencias de señal de salida se corrigen en diferentes proporciones. En una o más realizaciones, el circuito de corrección de frecuencia está configurado para programar los ajustes aplicados a alguna o todas de la primera o segunda relaciones de división en frecuencia o al reloj de referencia, para evitar discontinuidades de frecuencia en la primera o segunda señales de salida, o ambas, durante uno o más intervalos de tiempo dependientes de la aplicación.

30 También se describe un dispositivo de comunicaciones ejemplar, que comprende un circuito transceptor de comunicaciones, un segundo circuito receptor, un primer y segundo circuitos de bucle enganchados en fase configurados para generar la primera y segunda señales de salida, respectivamente, enganchadas en fase a una señal de reloj de referencia común, y un circuito de corrección de frecuencia. La primera señal de salida se usa por el circuito transceptor de comunicaciones y la segunda señal de salida se usa por el segundo circuito receptor. El  
35 circuito de corrección de frecuencia está configurado para corregir la primera señal de salida ajustando una primera relación de división en frecuencia en el primer circuito de bucle enganchado en fase y generar una señal de control para ajustar la frecuencia de la señal de reloj de referencia, en respuesta a un error de frecuencia en la primera señal de salida detectada por el circuito transceptor de comunicaciones. En algunas realizaciones, el circuito de corrección de frecuencia se puede configurar además para calcular un parámetro de ajuste en base al error de frecuencia detectado y el ajuste a la frecuencia del reloj de referencia, y para corregir la segunda señal de salida ajustando una segunda relación de división en frecuencia en el segundo circuito de bucle enganchado en fase, usando el parámetro de ajuste.

45 En diversas realizaciones, el segundo receptor puede comprender un circuito receptor de posicionamiento por satélite, tal como un circuito receptor GPS, y el circuito de corrección de frecuencia está configurado para programar ajustes para evitar discontinuidades de frecuencia durante una o más mediciones de señal de satélite hechas por el circuito receptor de posicionamiento por satélite.

50 Por supuesto, la presente invención no está limitada a los anteriores rasgos y ventajas. En realidad, los expertos en la técnica reconocerán rasgos y ventajas adicionales tras la lectura de la siguiente descripción detallada, y tras ver los dibujos anexos.

#### BREVE DESCRIPCIÓN DE LOS DIBUJOS

55 La Figura 1 es un diagrama de bloques de una realización de un dispositivo de comunicaciones que comunica con una estación base celular y que recibe señales de posicionamiento por satélite.

La Figura 2 es un diagrama de bloques de un circuito de bucle enganchado en fase.

60 La Figura 3 ilustra bloques funcionales de un circuito de sintetizador de frecuencia según una o más realizaciones de la invención.

La Figura 4 es un diagrama de flujo que ilustra un método ejemplar para generar múltiples señales de salida enganchadas en fase a una señal de reloj de referencia común y que corrige esas señales en respuesta a un error de frecuencia detectado.

La Figura 5 es un diagrama de flujo que ilustra la determinación de una primera y segunda parte de un error de frecuencia detectado, según algunas realizaciones de la presente invención.

65 La Figura 6 es un diagrama de flujo que ilustra la corrección de una segunda señal de salida en base a un

error de frecuencia detectado en una primera señal de salida y un error predicho en la segunda señal de salida.

DESCRIPCIÓN DETALLADA

5 La siguiente descripción describe un teléfono celular ejemplar para ilustrar diversos aspectos de la presente invención. No obstante, los expertos en la técnica apreciarán que las técnicas descritas se pueden aplicar a cualquier dispositivo que soporte un modo de comunicaciones que use alguna forma de control automático de frecuencia (AFC) además de uno o más de otro modo radio o de comunicaciones que pueda usar o no pueda usar también AFC. Por ejemplo, los métodos y circuitos descritos en la presente memoria se pueden emplear en receptores de televisión, receptores de radiodifusión, teléfonos sin cables o similares, cuando cualquiera de esos dispositivos están integrados con otros bloques de comunicación. En consecuencia, la invención reivindicada no está de ninguna manera limitada a aplicaciones de teléfono celular.

15 La Figura 1 ilustra un teléfono celular 100 que incluye un transceptor celular 110, que comunica con una estación base celular 115 a través de una antena celular 117, y un receptor GPS 120, que recibe señales de posicionamiento desde uno o más satélites de posicionamiento 125 a través de la antena 127. El teléfono celular 100 también incluye una radio Bluetooth 130, que puede comunicar con otros dispositivos equipados con Bluetooth a través de una antena Bluetooth 132.

20 El teléfono celular 100 también incluye un circuito de sintetizador de frecuencia 140, accionado por una señal de reloj de referencia de un reloj de referencia 150, que suministra una o más señales de reloj para cada uno del transceptor celular 110 y el receptor GPS 120. Cada una de estas señales de reloj suministradas puede ser una señal de oscilador local (LO) para uso directo en un circuito de convertidor ascendente o convertidor descendente, o puede ser una señal intermedia a partir de la cual se pueden derivar las señales de reloj digital y/o LO. En la realización representada, la radio Bluetooth 130 usa la señal de reloj de referencia del reloj referencia 150 directamente. En otras, la radio Bluetooth 130 se podría suministrar con otra señal de reloj generada por el circuito de sintetizador de frecuencia 140. El procesador de control 160 controla el circuito de sintetizador de frecuencia 140 así como el receptor GPS 120, el transceptor celular 110, y la radio Bluetooth 130.

30 La Figura 2 ilustra un circuito de bucle enganchado en fase (PLL) 200 que se puede usar en el circuito de sintetizador de frecuencia 140 para generar una señal de salida enganchada en fase a la señal de reloj de referencia. El circuito de PLL 200 comprende un oscilador 210, un divisor de frecuencia delta-sigma ( $\Delta\Sigma$ ) 220, un detector de fase 230, una bomba de carga 240, un filtro de bucle 250, y un divisor de referencia 260. La operación de los PLL es bien conocida en la técnica, y se tratará solamente de manera breve en la presente memoria. En términos generales, la señal de salida producida por el oscilador 210, a una frecuencia de  $f_{SAL}$ , se realimenta al divisor  $\Delta\Sigma$  220, que produce una señal con una frecuencia de  $f_{SAL}/N$ . Como se tratará en más detalle más adelante, el divisor  $\Delta\Sigma$  220 permite que sean usadas relaciones de división en frecuencia, de alta resolución, no enteras. La salida del divisor  $\Delta\Sigma$  220 se suministra al detector de fase 230, donde se compara con una señal de referencia. La señal de referencia en la Figura 2 se obtiene dividiendo la señal de reloj de referencia (a una frecuencia de  $f_{REF}$ ), usando el divisor de referencia 260, que tiene una relación de división en frecuencia de  $R$ . (Dividir la frecuencia de referencia es opcional, como reconocerán los expertos en la técnica; si la frecuencia de referencia no está dividida, entonces  $R = 1$  para los propósitos de este análisis). El detector de fase 230 compara las fases relativas de la señal de salida dividida y la señal de referencia dividida y genera una señal, usando la bomba de carga 240, que acciona el filtro de bucle 250 y el oscilador 210. El filtro de bucle integra de manera efectiva las señales de corrección generadas por el detector de fase 230 y la bomba de carga 240 para producir una señal de control que acciona el oscilador 210 a una frecuencia (y fase) de salida de manera que las señales comparadas en el detector de fase 230 tengan una diferencia de fase constante (normalmente cero). Las señales en la entrada del detector de fase 230 se accionan de esta manera a una frecuencia idéntica, de manera que la frecuencia de la señal de salida desde el

oscilador 210 estabiliza a  $f_{SAL} = \frac{N}{R} f_{REF}$ .

50 El circuito de PLL 200 es un ejemplo de un sintetizador de frecuencia  $N$  fraccional. En general, los sintetizadores  $N$  fraccionales explotan el hecho de que los cambios rápidos en la relación de división de realimentación  $N$  se pueden promediar mediante la respuesta de bucle cerrado de paso bajo del circuito de PLL 200. Por ejemplo, durante una duración de diez ciclos de señal de referencia, si la relación de división es  $N_1$  entero durante siete ciclos y  $N_2$  entero

55 para los tres ciclos restantes, la relación media es  $\frac{7N_1 + 3N_2}{10}$ . Los expertos en la técnica apreciarán que la relación de división efectiva no está limitada a enteros. Por ejemplo, si  $N_2 = N_1 + 1$ , entonces para el ejemplo precedente la relación de división efectiva es  $(N_1 + 0,3)$ . Los sintetizadores  $N$  fraccionales se han usado durante décadas para obtener tamaños de paso de sintonización más pequeños (o, equivalentemente, permitir el uso de frecuencias de referencia más altas), pero han sufrido históricamente de tonos espurios en la señal de salida que son difíciles de suprimir. No obstante, los métodos todo digitales, más recientes para implementar las secuencias de temporización de cambios a la relación de división de realimentación instantánea, que incluyen el uso de un divisor  $\Delta\Sigma$  220 como se muestra en la Figura 2, se han desarrollado para minimizar el impacto de la respuesta espuria mientras que

ganan la flexibilidad de las relaciones de división que se pueden cambiar en tamaños de paso casi arbitrariamente pequeños.

Debido a que un sintetizador  $N$  fraccional diseñado apropiadamente permite pasos de sintonización muy pequeños, se pueden aplicar ajustes o correcciones pequeños de la frecuencia de salida ajustando la relación de división en frecuencia  $N$ . Como resultado, el control automático de frecuencia (AFC), que se ha realizado convencionalmente ajustando una frecuencia de reloj de referencia, se puede implementar en lugar de aplicar ajustes a la relación de división en frecuencia en el divisor  $\Delta\Sigma$  220. La Patente de EE.UU. N° 6.856.791, expedida el 15 de febrero de 2005 a Klemmer ("Klemmer"), los contenidos de la cual por este medio se incorporan por referencia, describe un circuito AFC para un terminal móvil que emplea un circuito de PLL  $N$  fraccional para reducir directamente errores en la frecuencia sintetizada. Un error de frecuencia en la frecuencia de salida sintetizada se detecta analizando las señales recibidas desde una estación base, y se genera una señal de control para ajustar la relación de divisor en frecuencia  $N$  fraccional para compensar el error. En la realización descrita por Klemmer, el error de frecuencia se detecta observando la velocidad media de rotación de los símbolos en la constelación I/Q recibida; los expertos en la técnica están familiarizados con diversas técnicas para detectar y medir un error en una fuente de frecuencia relativa a una señal recibida desde un transmisor externo.

Debido a que las correcciones de frecuencia aplicadas en el divisor de frecuencia 220 no tienen efecto en la señal de reloj de referencia, estos ajustes no tendrán de igual modo ningún efecto en otros circuitos que comparten la frecuencia de señal de reloj de referencia. La Figura 3 ilustra un circuito de sintetizador de frecuencia 300 que comprende dos circuitos de PLL 200, identificados en la Figura 3 como el PLL 200' y el PLL 200", cada uno accionado por una señal de reloj de referencia del reloj de referencia 150. El circuito de sintetizador de frecuencia 300 además comprende un circuito de corrección de frecuencia 310 el cual, en respuesta a al menos un error de frecuencia detectado en una de las señales de salida, está configurado para corregir la frecuencia de la primera señal de salida 350 ajustando el divisor de frecuencia 220' en el PLL 200'. El circuito de corrección de frecuencia 310 está configurado además para generar una señal de control 360 para ajustar la frecuencia del reloj de referencia 150. Adicionalmente, en la realización ejemplar representada en la Figura 3, el circuito de corrección de frecuencia también está configurado para aplicar un ajuste al divisor de frecuencia 220" en el PLL 200".

Mientras que las correcciones de frecuencia a la señal de salida 350 aplicadas ajustando el divisor de frecuencia 220' no tienen efecto en la señal de salida 370 (del PLL 200"), los ajustes al reloj de referencia 150 influyen directamente a la señal de salida 370. Las correcciones a la frecuencia de una primera señal, la señal de salida 350, se pueden asignar de esta manera entre ajustes a la relación de división en frecuencia del divisor 220' y ajustes al reloj de referencia 150. La asignación se puede basar en una corrección deseada a la frecuencia de la segunda salida, la señal de salida 370. Por ejemplo, supongamos que se ha detectado un error de frecuencia en la señal de salida 350 de +5 ppm. (Un error positivo se puede definir arbitrariamente para significar que la señal de salida 350 es mayor en frecuencia que lo deseado). El circuito de corrección de frecuencia 310 se puede configurar para asignar 3 ppm de la corrección resultante de ese circuito a un ajuste del divisor 220' en el PLL 200'. De esta manera, la señal de control que ajusta la relación de división en frecuencia del divisor 220' está ajustada de manera que la frecuencia de la señal de salida 350 se reduce en 3 ppm (o 0,0003%) con respecto a la frecuencia deseada. El circuito de corrección de frecuencia 310 puede generar entonces una señal de control 360 para ajustar el reloj de referencia 150 para eliminar la parte restante del error. Señalar que, en algunas realizaciones, el circuito de corrección de frecuencia 310 puede calcular una señal de control 360 para ajustar el reloj de referencia 150, en base al ajuste deseado. En otras, las técnicas de bucle cerrado convencionales, basadas en el error detectado, se pueden emplear para generar una señal de control analógica 360 para ajustar el reloj de referencia para eliminar cualquier error de frecuencia no corregido mediante el ajuste al divisor 220.

Los ejemplos precedentes se pueden clarificar además con detalles numéricos. Supongamos una frecuencia de reloj de referencia,  $f_{REF}$ , de 26,00 MHz, y una frecuencia de salida deseada de 869,01 MHz. Además supongamos que no se usa un divisor de referencia 260, o, alternativamente, que  $R=1$ . En consecuencia, la relación de división nominal  $N$  se debe fijar a aproximadamente 33,423462. (En la práctica, por supuesto, la relación de división se puede definir en una representación binaria. Adicionalmente, la resolución en un dispositivo práctico puede ser menor que aquella implícita en este ejemplo). Supongamos además que un error de frecuencia de 4,0 kHz, se detecta, comparando la señal de salida generada 350 con una señal recibida. En otras palabras, la frecuencia de salida real se determina que sea 869,014 MHz, el lugar de la frecuencia deseada de 869,010 MHz. En términos relativos, este error asciende a alrededor de 4,6 ppm. Este error referencia puede comprender un error causado por efecto Doppler, así como un error causado por el cambio relacionado con la temperatura en el reloj de referencia 150. El error puede ser casi perfectamente corregido ajustando la división en frecuencia en el divisor 220' a un valor  $N$  de 33,423308. En otras palabras, el valor de  $N$  está ajustado ligeramente hacia abajo, en 0,000154, provocando un error muy por debajo de 0,1 ppm.

Como se señaló previamente, aplicando AFC al divisor 220' sólo, la frecuencia de señal de salida 370, que se deriva también del reloj de referencia 150, no está afectada. No obstante, si una parte del error de frecuencia detectado se corrige ajustando el reloj de referencia 150, entonces la señal de salida 370 también se ajusta en la misma proporción. Por ejemplo, en el ejemplo anterior, la señal de salida 350 se determinó tener un error de frecuencia

inicial de alrededor de +4,6 ppm. Se puede saber, o estimar, que de este error, aproximadamente +0,3 ppm está causado por efecto Doppler, mientras que el resto de +4,3 ppm es atribuible al error en el reloj de referencia 150. La señal de salida 350 se puede corregir asignando los ajustes entre los ajustes a la relación de división en frecuencia del divisor 220' y al reloj de referencia 150, como se describió anteriormente. En este caso, suponiendo que la parte del error causada por el reloj de referencia 150 fue estimada adecuadamente, entonces la señal de salida 370 se corregirá como resultado del ajuste al reloj de referencia 150.

Los expertos en la técnica reconocerán inmediatamente que configurar el circuito de corrección de frecuencia 310 para aplicar ajustes independientes al divisor de frecuencia 220' y el reloj de referencia 150 proporciona dos grados de libertad. De esta manera, se pueden corregir o ajustar independientemente la señal de salida 350 y la señal de salida 370. Estos ajustes pueden ser completamente arbitrarios, dentro del intervalo y los límites de resolución impuestos por el diseño detallado del divisor 220', el circuito de control para generar la señal de control 360, y el plan de frecuencia. De esta manera los ajustes se pueden asignar al divisor de frecuencia 220' y el reloj de referencia 150 en base a un desplazamiento deseado, de manera que la primera y segunda frecuencias de señal de salida se corrigen en diferentes proporciones.

Se puede obtener un tercer grado de libertad configurando el circuito de corrección de frecuencia 310 para aplicar también un ajuste al divisor de frecuencia 220" en el PLL 200". Esto puede ser útil, por ejemplo, en ciertas situaciones donde el reloj de referencia 150 se usa mediante aún otro circuito, tal como un transeceptor de comunicaciones adicional. Si no se hace ningún ajuste al reloj de referencia 150, entonces se puede calcular directamente una corrección deseada a la señal de salida 370, tal como hacer coincidir toda o parte de la corrección aplicada a la señal de salida 350, y aplicar al divisor 220". Por otra parte, si se hace un ajuste al reloj de referencia 150, entonces la magnitud de ese ajuste se debe tener en cuenta en la predicción del ajuste al divisor 220" que se requiere para lograr un ajuste deseado o corrección a la señal de salida 370. Por ejemplo, en un ejemplo anterior, un error de +4,6 ppm fue detectado en la señal de salida 350, y fue corregido ajustando el divisor de frecuencia 220' para dar cuenta de +0,3 ppm del error y ajustar el reloj de referencia 150 para dar cuenta al +4,3 ppm restante. (Si +4,6 ppm corresponde a un error positivo, como en el ejemplo anterior, entonces la frecuencia de reloj de referencia se ajusta hacia abajo para compensar). La frecuencia de la señal de salida 370 también está afectada por el ajuste al reloj de referencia 150, y de esta manera se reduce en una proporción correspondiente. Si se desea un ajuste diferente a la señal de salida 370, por ejemplo para compensar una fuente independiente de error de frecuencia, entonces se puede aplicar un ajuste adicional al divisor de frecuencia 220". Esta fuente independiente se puede medir o detectar, tal como comparando la señal de salida 370 con una señal recibida, o se puede predecir, en base a, por ejemplo, el error detectado en la señal de salida 350 o el conocimiento de las características de operación del reloj de referencia 150, o en base a un efecto Doppler anticipado en una señal recibida, tal como una señal de posicionamiento por satélite desde el satélite 125. En consecuencia, se puede aumentar un ajuste a la señal de salida 370 causado por la corrección del reloj de referencia 150, añadiendo un desplazamiento, o ajuste adicional, al divisor 220" que provoca un cambio de frecuencia en la misma dirección. Alternativamente, el ajuste total se puede reducir, añadiendo un ajuste que cambia la frecuencia en la dirección opuesta, o incluso completamente invertida, con un ajuste lo bastante grande a la relación de división en frecuencia del divisor 220".

De esta manera, los expertos en la técnica apreciarán la flexibilidad y el intervalo de control facilitado por el circuito descrito anteriormente y sus variantes. Algunas aplicaciones pueden requerir solamente dos puntos de control, mientras que otras requieren tres. De esta manera, el circuito de corrección de frecuencia 310 se puede configurar para ajustar el divisor de frecuencia 220' así como el reloj de referencia 150 en algunas realizaciones, o configurar solamente para ajustar el divisor de frecuencia 220' así como el divisor de frecuencia 220" en otras. Para aplicaciones que requieren tres puntos de control, el circuito de corrección de frecuencia 310 se puede configurar como se representa en la Figura 3, para ajustar los divisores de frecuencia 220' y 220" así como el reloj de referencia 150. Los expertos en la técnica apreciarán que también son posibles variaciones adicionales, que incluyen el uso de circuitos de PPL 200 adicionales configurados para ajustes adicionales.

Los expertos en la técnica también apreciarán que se pueden implementar varios de los elementos funcionales del circuito de sintetizador de frecuencia 300 descrito anteriormente en uno o más micro controladores o microprocesadores, y se pueden implementar juntos o separadamente, con interfaces de programa de aplicaciones adecuados entre ellos. Uno o más de estos elementos se pueden implementar en el procesador de control 160 o en el procesador compartido con el transeceptor celular 110 o receptor GPS 120, por ejemplo. Alternativamente, estos elementos se pueden implementar con un dispositivo hardware separado. Varios bloques funcionales, tales como el divisor de referencia 260 y el divisor  $\Delta\Sigma$  220, se pueden implementar usando circuitos integrados separados, o se pueden integrar como parte de un circuito integrado de aplicaciones específicas (ASIC) de señal mezclada o digital. El detector de fase 230, la bomba de carga 240, y el filtro de bucle 150 pueden comprender de igual modo uno o más circuitos integrados separados o estar integrados en un ASIC. En algunas realizaciones, el filtro de bucle 250 puede emplear componentes analógicos convencionales, pero otras realizaciones pueden sustituir los diseños de todo digital para el bucle enganchado en fase 200. De manera similar, el VCO 210 puede comprender un circuito analógico discreto, o se puede implementar en un ASIC digital o de señal mezclada. El reloj de referencia 150 comprende típicamente un oscilador basado en cristal, que puede ser compensado o estabilizado de varias formas conocidas en la técnica, pero se pueden usar otras fuentes de una señal de reloj de referencia. Los expertos en la

técnica apreciarán las soluciones de compromiso de coste, rendimiento, y mantenimiento inherentes en estas elecciones de diseño.

La Figura 4 es un diagrama de flujo que ilustra un método ejemplar para sintetizar dos o más señales de salida enganchadas en fase a una señal de reloj de referencia, de manera que se pueden implementar usando el circuito de sintetizador de frecuencia 300 ilustrado en la Figura 3 o una de sus variantes. Aunque el método ilustrado en la Figura 4 se describe más adelante en términos de los componentes representados en la Figura 3, los expertos en la técnica reconocerán que se pueden usar configuraciones de circuito alternativas y componentes funcionalmente equivalentes en circunstancias adecuadas.

En el bloque 410, una primera señal de salida 350 se genera y engancha en fase a una señal de reloj de referencia, usando un primer circuito de PLL 200'. En el bloque 420, una segunda señal de salida 370 se genera y engancha en fase a la misma señal de reloj de referencia, usando un segundo circuito de PLL 200". La operación de un circuito de PLL 200 ejemplar fue descrita anteriormente, y no se repite aquí.

En el bloque 430, se detecta un error de frecuencia en la primera señal de salida 350. Como se discutió anteriormente, este error de frecuencia se puede detectar comparando la frecuencia de la señal de salida 350 con una señal recibida desde un transmisor remoto. En un sistema de telecomunicaciones inalámbrico, por ejemplo, las transmisiones de estación base se generan típicamente a partir de una referencia extremadamente estable. Las transmisiones de estación móvil deben estar basadas generalmente en una referencia de frecuencia que es precisa entre 0,1 ppm más o menos. Esto se logra típicamente usando una o más técnicas de control automático de frecuencia (AFC) bien conocidas. Una técnica tal, como se describió anteriormente, implica medir la tasa media de rotación de una constelación I/Q derivada de una señal recibida. Dado que la señal recibida se convierte descendientemente de manera típica usando la misma referencia de frecuencia o una relacionada como aquella usada para generar señales de transmisión, se puede usar el error detectado a partir de la medición de la rotación de la constelación I/Q para corregir el error de frecuencia en la señal del oscilador local de transmisión.

En el bloque 440, el circuito de corrección de frecuencia 310 corrige al menos una primera parte del error de frecuencia detectado ajustando la frecuencia del reloj de referencia 150. Como se describió anteriormente, el circuito de corrección de frecuencia 310 puede calcular y generar una señal de control digital, tal como una palabra de sintonización, para ajustar la frecuencia de reloj de referencia 150. Alternativamente, el error detectado, si está en forma digital, se puede convertir a una señal analógica usada para ajustar el reloj de referencia 150 a través de una interfaz de control analógica. Esto puede ser necesario, por ejemplo, para controlar un oscilador de cristal controlado por voltaje basado en varactor (VCXO). La señal de control de 360 generada para ajustar el reloj de referencia 150 se puede combinar con otros ajustes hechos al reloj de referencia 150, tal como una compensación de temperatura, o se puede aplicar separadamente.

Como se describió anteriormente, la parte del error de frecuencia detectado corregido ajustando el reloj de referencia 150 se puede seleccionar arbitrariamente. Alternativamente, la corrección del reloj de referencia 150 puede comprender corregir un error de frecuencia residual, después de que se corrija una segunda parte del error de frecuencia detectado usando la relación de división en frecuencia del divisor 220'. El circuito de corrección de frecuencia 310 también se puede configurar para asignar una parte de la corrección de error de frecuencia al ajuste de reloj de referencia en base a un error predicho o medido atribuible a las fuentes de error basadas en reloj. Por ejemplo, el circuito de corrección de frecuencia 310 se puede suministrar con datos de temperatura y configurar para predecir una componente de error de frecuencia causado por la temperatura. Esta componente de error predicha se puede asignar a la corrección aplicada a la frecuencia de reloj de referencia.

En algunas realizaciones, el circuito de corrección de frecuencia 310 se puede configurar para promediar múltiples mediciones de error de frecuencia sobre un intervalo predeterminado de tiempo, para determinar un error de frecuencia medio. Esto puede ser particularmente útil cuando el error detectado está variando durante segundos o minutos, quizás debido a variaciones en el efecto Doppler causadas por cambios en la velocidad relativa. El circuito de corrección de frecuencia 310 puede estar configurado para asignar este error medio al reloj de referencia 150, y ajustar la frecuencia del reloj de referencia en consecuencia.

En el bloque 450, una segunda parte del error de frecuencia detectado en la primera señal de salida 350 se corrige ajustando la relación de división en frecuencia en el divisor de frecuencia 220'. Esta segunda parte de la frecuencia detectada puede comprender el resto del error de frecuencia con respecto al de la primera parte. Alternativamente, el circuito de corrección de frecuencia 310 se puede configurar para hipo corregir o sobre corregir, dependiendo de la aplicación específica y las circunstancias. Adicionalmente, este ajuste para la segunda parte del error de frecuencia se puede aplicar primero realmente. Por ejemplo, el circuito de corrección de frecuencia 310 puede calcular un ajuste deseado a ser hecho a través del divisor de frecuencia 220,' aplicar ese ajuste, y entonces permitir a un circuito AFC de bucle cerrado eliminar el error de frecuencia residual ajustando la frecuencia del reloj de referencia.

Finalmente, en el método representado en la Figura 4, el circuito de corrección de frecuencia 310 corrige la segunda

señal de salida 370 ajustando una relación de división en frecuencia en el divisor 220" en el segundo circuito de PLL 200" en el bloque 460. Como se señaló anteriormente, esta corrección a la segunda señal de salida 370 se puede basar en un error medido o predicho en la segunda señal de salida, y tendrá en cuenta típicamente cualquier ajuste hecho al reloj de referencia 150.

El método ilustrado la Figura 4 emplea tres ajustes (para el divisor 220', divisor 220", y para el reloj de referencia 150) para corregir dos señales de salida 350 y 370. En otras realizaciones, las señales de salida 350 y 370 se pueden controlar usando solamente dos de estos 3 puntos de control. Por ejemplo, se pueden asignar ajustes entre el divisor 220' y el reloj de referencia 150, proporcionando un control independiente de las señales de salida 350 y 370. De manera similar, los ajustes se pueden aplicar independientemente a los divisores 220' y 220".

La flexibilidad ofrecida por los métodos descritos puede ser particularmente útil en aplicaciones donde la operación de un receptor o función de transceptor es sensible a cambios en la frecuencia referencia. Por ejemplo, un receptor GPS realiza típicamente operaciones de correlación para detectar las señales de espectro expandido recibidas. Para lograr la sensibilidad deseada, estas correlaciones pueden extenderse durante cientos de milisegundos. Durante estas operaciones, los cambios en la frecuencia de señal de referencia pueden perturbar las correlaciones, haciendo inútiles las mediciones resultantes. De esta manera, en ciertas realizaciones de la invención, el circuito de corrección de frecuencia 310 se puede configurar para programar ajustes aplicados a cualquiera o todos del divisor 220' o 220", o el reloj de referencia 150, para evitar discontinuidades de frecuencia (por ejemplo, cambios bruscos en frecuencia) en una señal de salida durante un intervalo de tiempo crítico dependiente de la aplicación. Esta programación se puede forzar mediante las señales recibidas desde el circuito de aplicaciones, tales como una señal que indica que los ajustes se deberían diferir. En ciertas realizaciones, el circuito de corrección de frecuencia 310 se puede suministrar con información que define ciertos intervalos de tiempo dependientes de la aplicación a partir de los cuales se puede desarrollar una programación para aplicar ajustes.

En algunos casos esta programación de ajustes puede afectar solamente temporalmente a cómo se emplea una corrección particular. Supongamos, por ejemplo, que un error de frecuencia se detecta en una señal de salida usada en un transceptor celular 110. Si una programación de ajuste prohíbe los ajustes que afectan a una segunda señal de salida, entonces la señal celular se puede corregir inmediatamente ajustando el divisor de frecuencia correspondiente 220; este ajuste no tendrá efecto en la segunda señal de salida. En un momento posterior, cuando en los ajustes que afectan a la segunda señal de salida no están ya prohibidos, entonces las correcciones a la primera señal de salida se pueden reasignar asignando toda o una parte de la corrección a un ajuste del reloj de referencia 150.

En ciertas realizaciones, pueden ser no deseables ajustes relativamente grandes al reloj de referencia 150. En estas realizaciones el circuito de corrección de frecuencia 310 se puede configurar para introducir gradualmente un ajuste al reloj de referencia asignando sucesivamente una corrección deseada a la primera señal de salida 350 entre el divisor de frecuencia 220' y el reloj de referencia 150. Estos ajustes sucesivos se pueden aplicar al reloj de referencia 150 y el divisor de frecuencia 220' durante un intervalo de tiempo predeterminado de manera que una proporción mayor de la corrección total del error de frecuencia detectado se cambia gradualmente a los ajustes de frecuencia del reloj de referencia. En algunas realizaciones, estos ajustes se pueden calcular para cambiar una proporción creciente de la corrección total al ajuste de frecuencia del reloj de referencia en cada ajuste sucesivo. En otras realizaciones, el intervalo de tiempo no necesita estar predeterminado. En su lugar, se pueden aplicar ajustes sucesivos usando un tamaño de paso fijo, o un tamaño de paso máximo, aplicado sucesivamente hasta que la proporción deseada de la corrección de error se cambia al ajuste de frecuencia del reloj de referencia.

La Figura 5 es un diagrama de flujo que ilustra un método ejemplar para asignar ajustes entre el divisor de frecuencia 220' y el reloj de referencia 150. En ciertas realizaciones, esta asignación se puede combinar con el método ilustrado en la Figura 4, en cuyo caso estos pasos se podrían insertar entre los bloques 430 y 440. En cualquier caso, en base a un error de frecuencia detectado, una primera parte del error de frecuencia se determina en el bloque 432, en donde la primera parte corresponde a fuentes de error a largo plazo. Estas fuentes de error pueden incluir, por ejemplo, errores fijos en la sintonización del reloj de referencia 150, errores que varían lentamente debido a efectos de la temperatura en el reloj de referencia 150, o errores inducidos por un hundimiento del voltaje suministrado desde una batería próxima a la descarga. En el bloque 434, se determina una segunda parte del error de frecuencia detectado, que corresponde a fuentes de error a corto plazo. El error a corto plazo puede surgir a partir del efecto Doppler, por ejemplo. Una vez que estas primera y segunda partes del error de frecuencia detectado se han determinado, se pueden usar por el circuito de corrección de frecuencia 310 para asignar ajustes entre, por ejemplo, el divisor 220' y el reloj de referencia 150, como se ilustró en la Figura 4.

La Figura 6 ilustra en más detalle la corrección de una segunda señal de salida 370, en base a un error de frecuencia detectado en la primera señal de salida 350 y un error predicho o detectado en la segunda señal de salida 370. Si se conoce que todo o parte del error de frecuencia detectado en la primera señal de salida 350 está causado por un error de frecuencia referencia, por ejemplo, entonces se puede predecir un error correspondiente para la segunda señal de salida 370. No obstante, otras fuentes también pueden contribuir a un error predicho. En cualquier caso, en el bloque 455, el circuito de corrección de frecuencia 310 calcula un parámetro de ajuste en base



5 al error de frecuencia detectado en la primera señal de salida 350 y el error detectado o predicho en la segunda  
 10 señal de salida 370. El error predicho puede comprender, por ejemplo un efecto Doppler anticipado en una señal de  
 posicionamiento recibida desde un receptor GPS. El cálculo del parámetro de ajuste tiene en cuenta el error  
 detectado en la primera señal de salida 350, o bien directamente, o bien dando cuenta de las correcciones hechas a  
 la señal a la primera señal de salida 350 a través de ajustes hechos al divisor de frecuencia 220' y/o el reloj de  
 referencia 150. Por ejemplo, el circuito de corrección de frecuencia 310 en alguna realizaciones podría corregir la  
 primera señal de salida 350 ajustando solamente la relación de división en frecuencia en el divisor 220'. En este  
 caso, el circuito de corrección de frecuencia 310 podría calcular un parámetro de ajuste para uso en corregir la  
 segunda señal de salida 370 en base directamente al error detectado. En otra realización, al menos una parte del  
 error de frecuencia detectado se puede corregir en la primera señal de salida 350 ajustando el reloj de referencia  
 150, en cuyo caso la asignación de error, junto con el error de frecuencia detectado, se puede usar en calcular el  
 ajuste deseado a la segunda señal de salida 370.

15 Los expertos en la técnica apreciarán, en vista de la discusión precedente, la aplicabilidad de los métodos y circuitos  
 descritos en la presente memoria a un dispositivo de comunicaciones, tal como el dispositivo de comunicaciones  
 multifunción representado en la Figura 1. El dispositivo de comunicaciones 100 comprende un circuito de transceptor  
 de comunicaciones, representado en la Figura 1 como un circuito de transceptor celular 110, y un segundo circuito  
 receptor, representado en la Figura 1 como un receptor GPS 120. El circuito de sintetizador de frecuencia 140 puede  
 20 corresponder al circuito de sintetizador de frecuencia 300, representado en la Figura 3, y comprender el primer y  
 segundo circuitos de bucle enganchados en fase 200' y 200" configurados para generar la primera y segunda  
 señales de salida 350 y 370, respectivamente, enganchadas en fase a una señal de reloj de referencia común del  
 reloj de referencia 150. La primera señal de salida se usa por el circuito de transceptor de comunicaciones 110 y la  
 segunda señal de salida se usa por el segundo circuito receptor 120.

25 El circuito de sintetizador de frecuencia 140 además puede comprender un circuito de corrección de frecuencia 310.  
 El circuito de corrección de frecuencia 310 está configurado para corregir la primera señal de salida ajustando una  
 relación de división en frecuencia en el primer circuito de bucle enganchado en fase 200' y generar una señal de  
 control para ajustar la frecuencia de la señal de reloj de referencia, en respuesta a un error de frecuencia en la  
 primera señal de salida detectada por el circuito de transceptor de comunicaciones 110. En alguna realizaciones, el  
 30 circuito de corrección de frecuencia 310 además se puede configurar para calcular un parámetro de ajuste en base  
 al error de frecuencia detectado y el ajuste a la frecuencia de reloj de referencia, y para corregir la segunda señal de  
 salida ajustando una segunda relación de división en frecuencia en el segundo circuito de bucle enganchado en fase  
 200", usando el parámetro de ajuste. En alguna realizaciones, el circuito de corrección de frecuencia 310 puede  
 estar configurado para programar ajustes a algunos o todos los circuitos de bucle enganchado en fase 200' o 200"  
 35 del reloj de referencia 150, para evitar discontinuidades de frecuencia durante una o más mediciones de señal de  
 satélite hechas por el circuito receptor de posicionamiento por satélite.

40 Los expertos en la técnica apreciarán que la descripción anteriormente mencionada y los dibujos anexos  
 representan ejemplos no limitantes de los métodos y el aparato enseñados en la presente invención para sintetizar  
 múltiples señales enganchadas en fase a una referencia común. En consecuencia, la presente invención está  
 limitada solamente por las siguientes reivindicaciones.

**REIVINDICACIONES**

1. Un circuito de sintetizador de frecuencia (300), que comprende:

5 un primer circuito de bucle enganchado en fase (200') dispuesto para ser accionado por una señal de reloj de referencia y configurado para generar una primera señal de salida enganchada en fase a dicha señal de reloj de referencia;

**caracterizado porque** el circuito de sintetizador de frecuencia (300) además comprende:

10 un segundo circuito de bucle enganchado en fase (200'') dispuesto para ser accionado por la misma señal de referencia y configurado para generar una segunda señal de salida enganchada en fase a dicha señal de reloj de referencia; y

15 un circuito de corrección de frecuencia (310) configurado para corregir la primera señal de salida ajustando una primera relación de división en frecuencia en el primer circuito de bucle enganchado en fase y generando una señal de control (360) para ajustar la frecuencia de la señal de reloj de referencia, en respuesta a un error de frecuencia detectado en la primera señal de salida, en donde el circuito de corrección de frecuencia está configurado para generar la señal de control para corregir una o más fuentes de error de frecuencia a relativamente largo plazo para el error de frecuencia detectado y para determinar el ajuste de la primera relación de división en frecuencia para corregir una o más fuentes de error de frecuencia a relativamente corto plazo para el error de frecuencia detectado.

25 2. El circuito de sintetizador de frecuencia (300) de la reivindicación 1, en donde el circuito de corrección de frecuencia (310) está configurado para determinar el ajuste de la primera relación de división en frecuencia en base a un efecto Doppler que resulta del movimiento del circuito de sintetizador de frecuencia (300) con respecto a un transmisor remoto.

30 3. El circuito de sintetizador de frecuencia (300) de la reivindicación 1, en donde el circuito de corrección de frecuencia (310) está configurado para generar la señal de control (360) en base a un error de frecuencia de referencia en la señal de reloj de referencia.

35 4. El circuito de sintetizador de frecuencia (300) de la reivindicación 1, en donde el circuito de corrección de frecuencia (310) está configurado para generar la señal de control (360) en base a una media del error de frecuencia detectado sobre un intervalo medio y para determinar el ajuste de la primera relación de división en frecuencia en base a la diferencia entre la media y el error de frecuencia detectado.

40 5. El circuito de sintetizador de frecuencia (300) de la reivindicación 1, en donde el circuito de corrección de frecuencia (310) además está configurado para calcular un parámetro de ajuste en base al error de frecuencia detectado y el ajuste a la frecuencia de reloj de referencia, y para corregir la segunda señal de salida ajustando una segunda relación de división en frecuencia en el segundo circuito de bucle enganchado en fase (200''), usando el parámetro de ajuste.

45 6. El circuito de sintetizador de frecuencia (300) de la reivindicación 1, en donde el circuito de corrección de frecuencia (310) está configurado para programar los ajustes de la frecuencia de señal de reloj de referencia y la primera relación de división en frecuencia para evitar discontinuidades de frecuencia en la primera o segunda señales de salida, o ambas, durante uno o más intervalos de tiempo dependientes de la aplicación.

50 7. El circuito de sintetizador de frecuencia (300) de la reivindicación 1, en donde el circuito de corrección de frecuencia (310) está configurado para aplicar ajustes sucesivos a la frecuencia de señal de reloj de referencia y la primera relación de división en frecuencia para cambiar, con el tiempo, una proporción más grande de la corrección total del error de frecuencia detectado a los ajustes de la frecuencia de señal de reloj de referencia.

8. Un circuito de sintetizador de frecuencia (300), que comprende:

55 un primer circuito de bucle enganchado en fase (200') dispuesto para ser accionado por una señal de reloj de referencia y configurado para generar una primera señal de salida enganchada en fase a dicha señal de reloj de referencia;

**caracterizado porque** el circuito de sintetizador de frecuencia (300) además comprende:

60 un segundo circuito de bucle enganchado en fase (200'') dispuesto para ser accionado por la misma señal de reloj de referencia y configurado para generar una segunda señal de salida enganchada en fase a dicha señal de reloj de referencia;

un circuito de corrección de frecuencia (310) configurado para ajustar dicha señal de reloj de referencia y para:

65 corregir la primera señal de salida ajustando una primera relación de división en frecuencia en el

- 5                    primer circuito de bucle enganchado en fase (200') en respuesta a un error de frecuencia detectado en la primera señal de salida;  
                       calcular un parámetro de ajuste en base al error de frecuencia detectado; y  
                       corregir la segunda señal de salida ajustando una segunda relación de división en frecuencia en el segundo circuito de bucle enganchado en fase (200"), usando el parámetro de ajuste;
- 10                    en donde el circuito de corrección de frecuencia (310) está configurado para calcular el parámetro de ajuste en base a un desplazamiento para dar cuenta del ajuste hecho a la señal de reloj de referencia, de manera que la primera y segunda frecuencias de señal de salida se corrigen en diferentes proporciones.
- 15                    9. El circuito de sintetizador de frecuencia (300) de la reivindicación 8, en donde el circuito de corrección de frecuencia (310) está configurado para determinar el desplazamiento en base a un error detectado en la segunda señal de salida.
- 20                    10. El circuito de sintetizador de frecuencia (300) de la reivindicación 8, en donde el circuito de corrección de frecuencia (310) está configurado para determinar el desplazamiento en base a un error predicho en la segunda señal de salida.
- 25                    11. El circuito de sintetizador de frecuencia (300) de la reivindicación 8, en donde el circuito de corrección de frecuencia (310) está configurado para programar los ajustes de la primera y segunda relaciones de división en frecuencia para evitar discontinuidades de frecuencia en la primera o segunda señales de salida, o ambas, durante uno o más intervalos de tiempo dependientes de la aplicación.
- 30                    12. Un método para sintetizar dos o más señales de salida a partir de una señal de reloj de referencia, que comprende:  
                       generar (410) una primera señal de salida enganchada en fase a la señal de reloj de referencia, usando un primer circuito de bucle enganchado en fase que se acciona por dicha señal de reloj de referencia;  
                       **caracterizado porque** el método además comprende:  
                       generar (420) una segunda señal de salida enganchada en fase a la señal de reloj de referencia, usando un segundo circuito de bucle enganchado en fase que se acciona por dicha señal de reloj de referencia;  
                       corregir la primera señal de salida ajustando (450) una primera relación de división en frecuencia en el primer circuito de bucle enganchado en fase y generando (440) una señal de control para ajustar la frecuencia a la señal de reloj de referencia, en respuesta al error de frecuencia detectado en la primera señal de salida, en donde la primera relación de división en frecuencia está ajustada para corregir una o más fuentes de error de frecuencia a relativamente corto plazo para el error de frecuencia detectado y la señal de control se genera para corregir una o más fuentes de error de frecuencia a relativamente largo plazo para el error de frecuencia detectado.
- 35                    13. El método de la reivindicación 12, en donde ajustar (450) una primera relación de división en frecuencia en el primer circuito de bucle enganchado en fase comprende ajustar la primera relación de división en frecuencia en base a un efecto Doppler que resulta del movimiento con respecto a un transmisor remoto.
- 40                    14. El método de la reivindicación 12, en donde generar (440) la señal de control comprende generar la señal de control en base a un error de frecuencia de referencia en la señal de reloj de referencia.
- 45                    15. El método de la reivindicación 12, en donde generar (440) la señal de control comprende generar la señal de control en base a una media del error de frecuencia detectado obtenida sobre un intervalo medio y en donde ajustar una primera relación de división en frecuencia en el primer circuito de bucle enganchado en fase comprende ajustar la primera relación de división en frecuencia en base a la diferencia entre la media del error de frecuencia detectado y el error de frecuencia detectado.
- 50                    16. El método de la reivindicación 12, que además comprende calcular (445) un parámetro de ajuste en base al error de frecuencia detectado en la primera señal de salida y el ajuste a la frecuencia de reloj de referencia, y corregir (460) la segunda señal de salida ajustando una segunda relación de división en frecuencia en el segundo circuito de bucle enganchado en fase, usando el parámetro de ajuste.
- 55                    17. El método de la reivindicación 12, que además comprende programar los ajustes de la frecuencia de señal de reloj de referencia y la primera relación de división en frecuencia para evitar discontinuidades de frecuencia en la primera o segunda señales de salida, o ambas, durante uno o más intervalos de tiempo dependientes de la aplicación.
- 60                    18. Un método para sintetizar dos o más señales de salida a partir de una señal de reloj de referencia, que
- 65

comprende:

- 5 generar una primera señal de salida enganchada en fase a la señal de reloj de referencia, usando un primer circuito de bucle enganchado en fase que se acciona por dicha señal de reloj de referencia;  
**caracterizado porque** el método además comprende:
- 10 generar una segunda señal de salida enganchada en fase a la señal de reloj de referencia, usando un segundo circuito de bucle enganchado en fase que se acciona por dicha señal de reloj de referencia;  
 corregir la primera señal de salida ajustando una primera relación de división en frecuencia en el primer circuito de bucle enganchado en fase en respuesta al error de frecuencia detectado en la primera señal de salida;  
 calcular (455) un parámetro de ajuste en base al error de frecuencia detectado; y  
 corregir (460) la segunda señal de salida separadamente a partir de la corrección a la primera señal de salida ajustando una segunda relación de división en frecuencia en el segundo circuito de bucle enganchado en fase, usando el parámetro de ajuste.
- 15 en donde el parámetro de ajuste se calcula en base a un desplazamiento para dar cuenta del ajuste hecho a la señal de reloj de referencia, de manera que la primera y segunda frecuencias de señal de salida se corrijan en diferentes proporciones.
- 20 19. El método de la reivindicación 18, que además comprende programar los ajustes de la primera y segunda relaciones de división en frecuencia para evitar discontinuidades de frecuencia en la primera o segunda señales de salida, o ambas, durante uno o más intervalos de tiempo dependientes de la aplicación.
- 25 20. Un dispositivo de comunicaciones, que comprende:  
 un circuito transceptor de comunicaciones;  
 un segundo circuito receptor; y  
 un circuito de sintetizador de frecuencia (300) como se reivindica en la reivindicación 1.
- 30 21. El dispositivo de comunicaciones de la reivindicación 20, en donde el circuito de corrección de frecuencia además está configurado para calcular un parámetro de ajuste en base al error de frecuencia detectado y el ajuste a la frecuencia de reloj de referencia, y para corregir la segunda señal de salida ajustando una segunda relación de división en frecuencia en el segundo circuito de bucle enganchado en fase, usando el parámetro de ajuste.
- 35 22. El dispositivo de comunicaciones de la reivindicación 20, en donde el circuito de corrección de frecuencia está configurado para programar los ajustes de la frecuencia de señal de reloj de referencia y la primera relación de división en frecuencia para evitar discontinuidades de frecuencia en la primera o segunda señales de salida, o ambas, durante uno o más intervalos de tiempo dependientes de la aplicación.

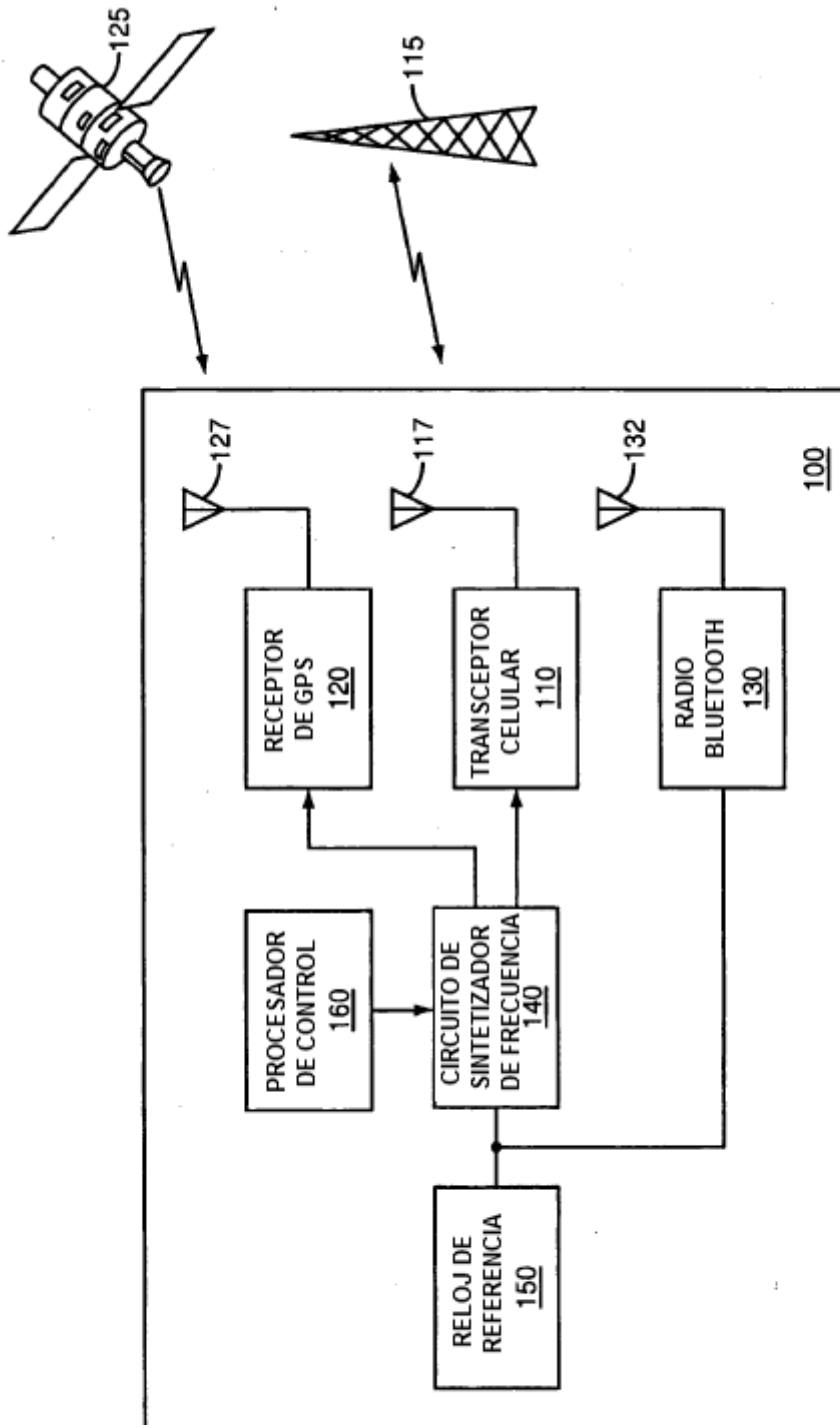
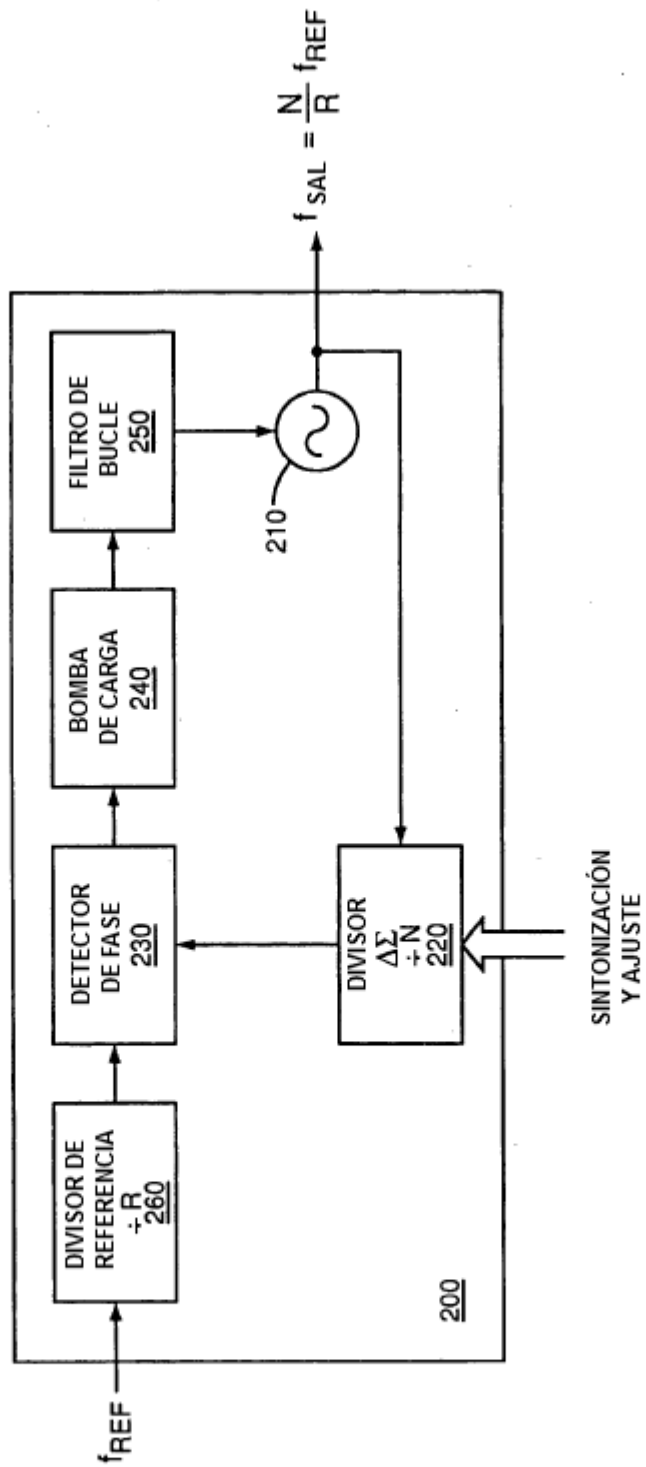


FIG. 1



**FIG. 2**  
TÉCNICA ANTERIOR

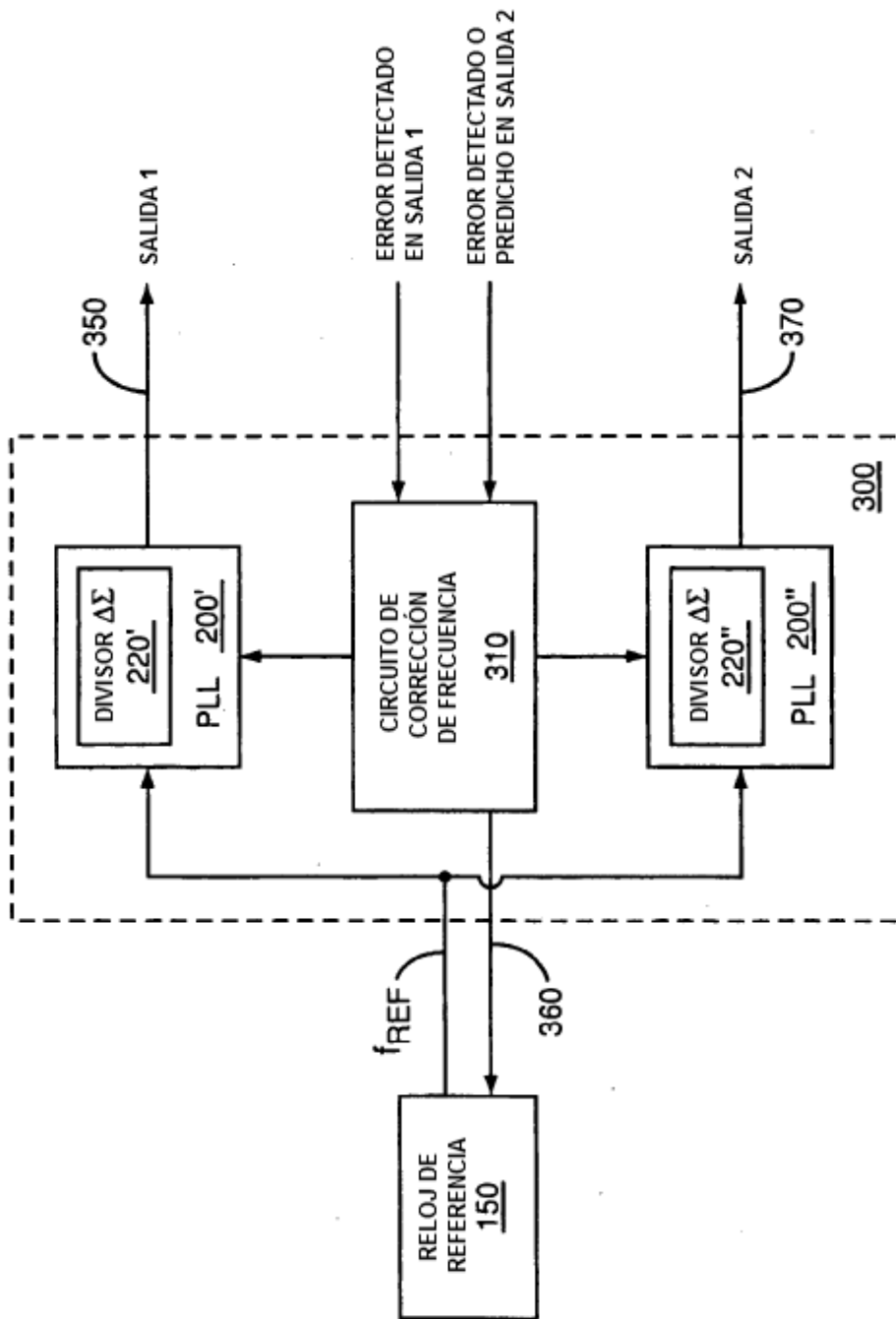
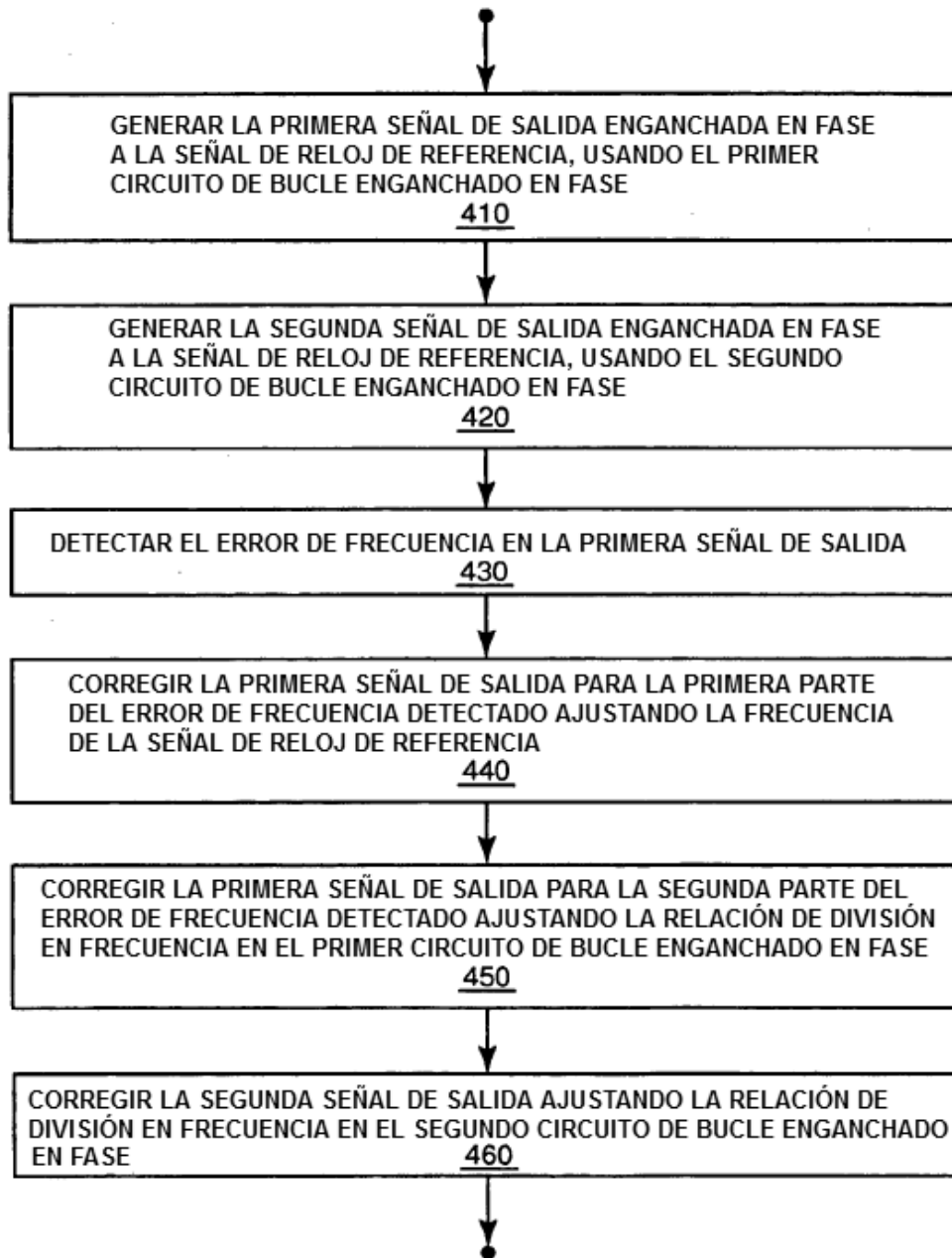
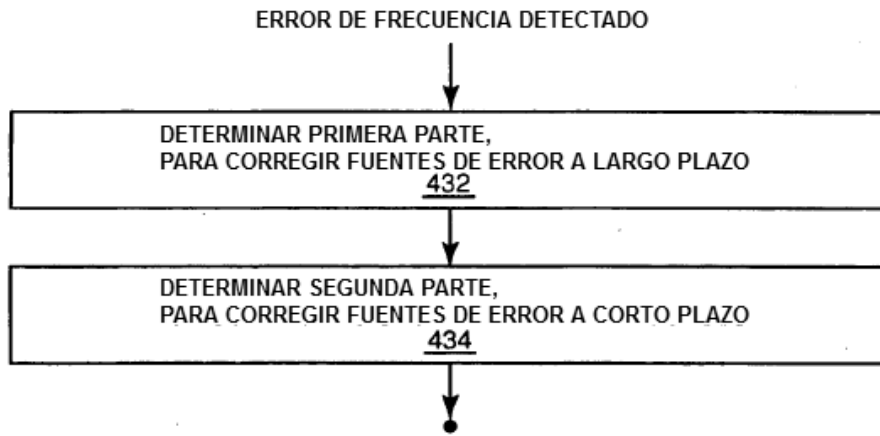


FIG. 3

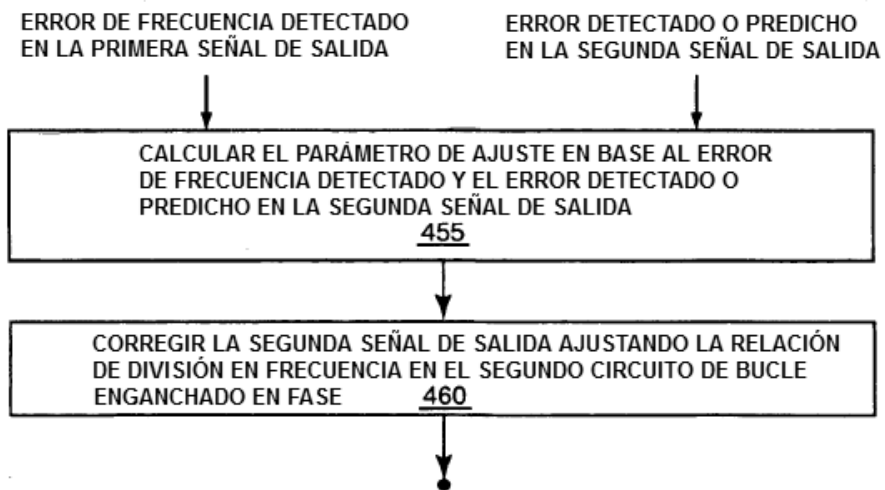


**FIG. 4**





**FIG. 5**



**FIG. 6**