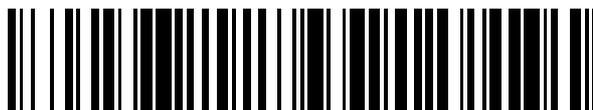


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 441 951**

51 Int. Cl.:

G11C 8/18 (2006.01)

G06F 1/10 (2006.01)

G11C 19/00 (2006.01)

G11C 8/12 (2006.01)

H03L 7/081 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **05.02.2008 E 11009644 (3)**

97 Fecha y número de publicación de la concesión europea: **09.10.2013 EP 2428960**

54 Título: **Métodos y aparatos para la sincronización de señal de reloj en una configuración de dispositivos semiconductores conectados en serie**

30 Prioridad:

12.03.2007 US 89424607 P

19.12.2007 US 959996

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

07.02.2014

73 Titular/es:

MOSAID TECHNOLOGIES INCORPORATED

(100.0%)

11 Hines Road, Suite 203

Ottawa, ON K2K 2X1, CA

72 Inventor/es:

OH, HAKJUNE

74 Agente/Representante:

CARVAJAL Y URQUIJO, Isabel

ES 2 441 951 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Métodos y aparatos para la sincronización de señal de reloj en una configuración de dispositivos semiconductores conectados en serie.

REFERENCIA CRUZADA A SOLICITUD RELACIONADA

- 5 Esta solicitud reivindica el beneficio de la anterior solicitud de patente provisional de U.S.A. número 60/894 246, presentada el 12 de marzo de 2007.

CAMPO DE LA INVENCIÓN

10 La presente invención se refiere, en general, a dispositivos semiconductores, y más en particular, a métodos y aparatos para sincronizar una señal de reloj propagada a lo largo de una configuración de dichos dispositivos conectados en serie.

ANTECEDENTES

15 Los sistemas basados en ordenadores contienen habitualmente dispositivos semiconductores, tales como, por ejemplo, memorias. Los dispositivos semiconductores están controlados por medio de un controlador, que puede formar parte de la unidad central de procesamiento (CPU, central processing unit) del ordenador o puede ser independiente de la misma. El controlador tiene una interfaz para comunicar información con los dispositivos semiconductores. Cuando se desea una comunicación con una serie de dispositivos semiconductores, son posibles varias configuraciones. En particular, puede formarse una configuración de dispositivos semiconductores conectados en serie mediante conectar dispositivos semiconductores entre sí a través de sus interfaces, en un esquema punto a punto.

20 El documento US 2004/148482 A1 se refiere a un sistema de memoria que tiene una serie de dispositivos de memoria y un controlador de memoria. Los dispositivos de memoria están acoplados entre sí en una cadena. El controlador de memoria está acoplado a la cadena y configurado para emitir un comando de acceso a la memoria, que es recibido por cada uno de los dispositivos de memoria de la cadena, y se selecciona un conjunto de dos o más de dichos dispositivos de memoria para su acceso.

25 El documento US 2007/046346 A1 da a conocer un controlador de reloj para utilizar con un excitador externo al chip, e incluye un primer elemento de retardo, un segundo elemento de retardo, un circuito de restablecimiento y un circuito de ajuste. El controlador de reloj incluye un nodo que recibe un reloj de referencia representado, por lo menos, por una señal de reloj. El primer elemento de retardo está configurado para retardar una de dicha por lo menos una señal de reloj, mediante un primer tiempo de retardo, y el segundo elemento de retardo está configurado para retardar una de dicha por lo menos una señal de reloj, mediante un segundo tiempo de retardo. El circuito de restablecimiento está configurado para proporcionar por lo menos un primer reloj de salida al excitador externo al chip, en el que el excitador externo al chip proporciona datos de salida en base, por lo menos, al primer reloj de salida. El circuito de ajuste está configurado para ajustar el primer y el segundo tiempos de retardo a efectos de ajustar los flancos del primer reloj de salida, de manera que los datos de salida procedentes del excitador externo al chip estén alineados con los flancos del reloj de referencia, y para ajustar el segundo tiempo de retardo a efectos de mantener el primer reloj de salida en un ciclo de trabajo deseado.

30

35

RESUMEN DE LA INVENCIÓN

40 De acuerdo con un primer aspecto general, la presente invención pretende dar a conocer un dispositivo semiconductor para su utilización en una configuración de dispositivos conectados en serie. El dispositivo semiconductor comprende una entrada para recibir una señal de reloj originada en un dispositivo anterior en la configuración; una salida para proporcionar una señal de reloj sincronizada destinada a un dispositivo sucesivo en la configuración; un sincronizador de reloj configurado para producir la señal de reloj sincronizada mediante procesar la señal de reloj recibida y la versión anterior de la señal de reloj sincronizada; y un controlador configurado para ajustar un parámetro utilizado por el sincronizador de reloj en el procesamiento de dicha versión anterior de la señal de reloj sincronizada.

45

De acuerdo con un segundo aspecto general, la presente invención pretende dar a conocer un método, que comprende recibir una señal de reloj originada en un dispositivo anterior en una configuración de dispositivos conectados en serie; producir una señal de reloj sincronizada destinada a un dispositivo sucesivo en dicha configuración, mediante procesar la señal de reloj recibida y una versión anterior de la señal de reloj sincronizada; ajustar un parámetro utilizado por el sincronizador de reloj en el procesamiento de la versión anterior de dicha señal de reloj sincronizada; y entregar dicha señal de reloj sincronizada.

50

De acuerdo con un tercer aspecto general, la presente invención pretende dar a conocer un sistema, que comprende: una configuración de dispositivos semiconductores conectados en serie; y un controlador configurado para producir una señal de reloj que es transmitida a un primer dispositivo de los dispositivos en dicha configuración, propagada en serie a través de otros de los dispositivos en la configuración, y devuelta al controlador mediante el último de los dispositivos de la configuración, en el que una versión respectiva de la señal de reloj en cada uno de los dispositivos en la configuración controla el funcionamiento de dicho dispositivo. Por lo menos uno de los dispositivos de la configuración comprende un respectivo sincronizador de reloj configurado para procesar la versión respectiva de la señal de reloj para su distribución a un dispositivo sucesivo de los dispositivos de la configuración, o para devolverla al controlador. El controlador está configurado además para ajustar un parámetro de, por lo menos, un sincronizador de reloj, en base al procesamiento de la señal de reloj transmitida al primero de los dispositivos de la configuración y a la señal de reloj devuelta por el último de los dispositivos en la configuración.

De acuerdo con un cuarto aspecto general, la presente invención pretende dar a conocer un método, que comprende proporcionar una primera señal de reloj a un primer dispositivo en una configuración de dispositivos semiconductores conectados en serie; recibir una segunda señal de reloj desde un segundo dispositivo en dicha configuración, correspondiendo dicha segunda señal de reloj a una versión de la primera señal de reloj que ha sido sometida a procesamiento mediante el sincronizador de reloj en, por lo menos, uno de los dispositivos de la configuración; procesar la primera y la segunda señales de reloj para detectar una diferencia de fase entre ambas; y ordenar un ajuste al sincronizador de reloj, por lo menos, en uno de los dispositivos de la configuración, en base a la diferencia de fase.

De acuerdo con un quinto aspecto general, la presente invención pretende dar a conocer un controlador para una configuración de dispositivos semiconductores conectados en serie. El controlador comprende una salida configurada para proporcionar una primera señal de reloj a un primer dispositivo de la configuración; una entrada configurada para recibir una segunda señal de reloj procedente de un segundo dispositivo de la configuración, correspondiendo la segunda señal de reloj a una versión de la primera señal de reloj que ha sido sometida a procesamiento mediante un sincronizador de reloj, por lo menos, en uno de los dispositivos de la configuración; un detector para procesar la primera y la segunda señales de reloj a efectos de detectar una diferencia de fase entre ambas; y un controlador de sincronización configurado para ordenar un ajuste al sincronizador de reloj, por lo menos, en uno de los dispositivos de la configuración, en base a la diferencia de fase detectada por el detector.

Estos y otros aspectos y características de la presente invención resultarán más evidentes a los expertos en la materia tras examinar la siguiente descripción de realizaciones específicas de la invención, junto con los dibujos adjuntos.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

A continuación se describirán realizaciones de la presente invención, solo a modo de ejemplo, haciendo referencia a los dibujos adjuntos, en los cuales:

la figura 1 es un diagrama de bloques que muestra un sistema acorde con una realización de la presente invención, incluyendo el sistema una configuración de dispositivos semiconductores conectados en serie, en comunicación con un controlador del sistema;

la figura 2A es un diagrama de bloques que muestra detalles de uno de los dispositivos de la figura 1, de acuerdo con un ejemplo no limitativo de realización de la presente invención;

la figura 2B es un diagrama de bloques que muestra detalles adicionales de uno de los dispositivos mostrados en la figura 1, incluyendo una unidad de retardo ajustable y una unidad de retardo de retroalimentación ajustable externamente (EA-FDU, externally adjustable feedback delay unit), de acuerdo con una realización ejemplar no limitativa de la presente invención;

la figura 3A es un diagrama de temporización que muestra la progresión de ciertas señales dentro o de uno de los dispositivos mostrados en la figura 1, cuando se considera un componente fijo de un retardo aplicado mediante la EA-FDU;

la figura 3B es un diagrama de temporización que muestra la progresión de las mismas señales de la figura 3A, pero considerando tanto el componente fijo como un componente variable del retardo aplicado mediante la EA-FDU;

la figura 4A es un diagrama de temporización que muestra la progresión de ciertas señales dentro de uno de los dispositivos mostrados en la figura 1, en un escenario en el que el controlador del sistema emite un comando de escritura dirigido específicamente al dispositivo y que lleva información que incide sobre el retardo aplicado por la EA-FDU;

la figura 4B es un diagrama de temporización que muestra la progresión de las mismas señales de la figura 4A, pero en un escenario en el que el comando es difundido por el controlador del sistema;

la figura 5 es un diagrama de bloques que muestra detalles de interconexiones entre dispositivos vecinos en la configuración de la figura 1;

5 la figura 6 es un diagrama de flujo que muestra etapas en un proceso de sincronización ejecutado por el controlador de sistema de la figura 1, de acuerdo con una realización ejemplar no limitativa de la presente invención;

la figura 7 es un diagrama de temporización que muestra la progresión de ciertas señales intercambiadas entre los dispositivos de la figura 5, en ausencia de un sincronizador de reloj dentro de los dispositivos;

10 la figura 8 es un diagrama de temporización que muestra la progresión de ciertas señales intercambiadas entre los dispositivos de la figura 5, cuando está dispuesto un sincronizador de reloj dentro de cada uno de los dispositivos, de acuerdo con una realización ejemplar no limitativa de la presente invención;

figura 9 es un diagrama de temporización que muestra la progresión de ciertas señales dentro de uno de los dispositivos mostrados en la figura 1, en un escenario en el que el controlador del sistema emite un comando de lectura dirigido al dispositivo y que solicita información sobre el retardo aplicado por la EA-FDU;

15 la figura 10 es un diagrama de bloques que muestra detalles de un ejemplo de uno de los dispositivos de la figura 1, de acuerdo con otra realización ejemplar no limitativa de la presente invención, que proporciona un ajuste en la intensidad de excitación de salida;

20 la figura 11A es un diagrama de temporización que muestra la progresión de ciertas señales dentro de uno de los dispositivos mostrados en la figura 1, en un escenario en el que el controlador del sistema emite un comando de escritura dirigido específicamente al dispositivo y que lleva información para ajustar la intensidad de excitación de salida;

la figura 11B es un diagrama de temporización que muestra la progresión de las mismas señales de la figura 11A, pero en un escenario en el que el comando es difundido por el controlador del sistema;

25 la figura 12 es un diagrama de temporización que muestra la progresión de ciertas señales dentro de uno de los dispositivos mostrados en la figura 1, en un escenario en el que el controlador del sistema emite un comando de lectura dirigido el dispositivo y que solicita información sobre la intensidad de excitación de salida; y

la figura 13 es un diagrama de bloques que muestra detalles adicionales de uno de los dispositivos mostrados en la figura 1, que incluye un oscilador controlado por tensión y la EA-FDU.

30 Queda entendido expresamente que la descripción y los dibujos tienen el único propósito de ilustrar ciertas realizaciones de la invención y son una ayuda para la comprensión. No pretenden ser una definición de los límites de la invención.

DESCRIPCIÓN DETALLADA

35 En la siguiente descripción detallada de realizaciones de la presente invención, se hace referencia a los dibujos adjuntos que forman parte de la misma, mostrando ciertas realizaciones ilustrativas de posibles maneras de poner en práctica la presente invención. Estas realizaciones se describen con el suficiente detalle como para permitir a un experto en la materia poner en práctica la presente invención, y debe entenderse que pueden utilizarse otras realizaciones, y que pueden realizarse cambios lógicos, eléctricos y otros, sin apartarse del alcance de la presente invención. Por lo tanto, la siguiente descripción detallada no debe tomarse en un sentido limitativo, y el alcance de la presente invención está definido por las reivindicaciones adjuntas.

40 En general, la presente invención se refiere a una configuración de dispositivos semiconductores conectados en serie, y a un aparato y métodos para comunicar con los dispositivos en dicha configuración. Por "configuración de dispositivos semiconductores conectados en serie" se entiende que los dispositivos semiconductores en dicha configuración están conectados mediante sus interfaces de forma punto a punto. Por ejemplo, dos dispositivos vecinos en la configuración están interconectados mediante la salida de un dispositivo y la entrada del otro dispositivo. Se dan a conocer ejemplos de una configuración de dispositivos semiconductores conectados en serie en las siguientes solicitudes de patente de U.S.A.:

- Número de serie 60/722 368, presentada el 30 de septiembre de 2005;

ES 2 441 951 T3

- Número de serie 11/324 023, presentada el 30 de septiembre de 2005;
- Número de serie 11/496 278, presentada el 31 de julio de 2006;
- Número de serie 11/521 734, presentada el 15 de septiembre de 2006;
- Número de serie 11/606 407, presentada el 29 de noviembre de 2006;
- 5 - Número de serie 11/771 023, presentada el 29 de junio de 2007; y
- Número de serie 11/771 241, presentada el 29 de junio de 2007.

Los dispositivos semiconductores contemplados en la presente descripción pueden ser dispositivos de circuito integrado (IC, integrated circuit) semiconductor tales como, por ejemplo, dispositivos de memoria, unidades centrales de procesamiento, unidades de procesamiento de gráficos, ICs controladores de visualización, ICs de unidad de disco y unidades de estado sólido. En lo que respecta a los dispositivos de memoria, estos pueden ser de un tipo tal como memoria de sólo lectura programable borrable eléctricamente (EEPROM, electrically erasable programmable read-only memory) Flash NAND, EEPROM Flash NOR, EEPROM Flash AND, EEPROM Flash DiNOR, EEPROM Flash de acceso aleatorio (SRAM, static random access memory), memoria de sólo lectura (ROM, read-only memory), memoria de sólo lectura programable eléctricamente (EPROM, programmable read-only memory), memoria de acceso aleatorio ferroeléctrico (FeRAM o FRAM, ferroelectric random access memory), memoria de acceso aleatorio magnetorresistiva (MRAM, magnetoresistive random access memory), memoria de acceso aleatorio de cambio de fase (PRAM o PCRAM, phase change random access memor), para nombrar unas pocas posibilidades no limitativas.

Ejemplos de dispositivos semiconductores contemplados en el presente documento incluyen dispositivos que realizan acciones en respuesta a señales recibidas en uno o varios puertos de entrada y los cuales son muestreados en momentos que dependen del comportamiento de una señal de reloj. Un enfoque es suministrar una señal de reloj común a lo largo de una línea de señal compartida procedente de un controlador del sistema; esto se conoce como un sistema de distribución de reloj "de acometida múltiple". Sin embargo, el trayecto recorrido por la señal de reloj a lo largo de la línea de señal compartida es ligeramente diferente para cada dispositivo y conduce a un sesgo de reloj, especialmente a frecuencias de funcionamiento elevadas. Además, la línea de señal compartida debe tener la suficiente potencia como para soportar la carga de múltiples dispositivos. Por lo tanto, la utilización de un sistema de distribución de reloj de acometida múltiple no es una opción ideal dado que el número de dispositivos conectados en serie, y su frecuencia operativa, aumentan.

Otro enfoque para la distribución de reloj es utilizar un bloque de circuito DLL (delay-locked loop, bucle de enganche de retardo) o PLL (phase-locked loop, bucle de enganche de fase) en cada dispositivo, para propagar una señal de reloj desde el dispositivo a su vecino en la configuración, tal como se describe, por ejemplo, en la solicitud de patente provisional de U.S.A. número 60/868 773, presentada el 6 de diciembre de 2006, y en la solicitud de patente provisional de U.S.A. número 60/890 935, presentada el 21 de febrero de 2007. Sin embargo, cuando aumenta el número de dispositivos conectados en serie, el retardo parásito entre dispositivos vecinos se acumula debido a factores tales como la carga de cableado chip a chip, etc. Por lo tanto, las señales que son registradas por el último dispositivo en la configuración (y registradas de vuelta por el controlador del sistema), pueden estar desfasadas con respecto a la señal de reloj utilizada por el controlador del sistema para activar el primer dispositivo en la configuración. Esta pérdida de fase puede ser tan grande que sea irrecuperable mediante un DLL o PLL que sea implementado en el controlador del sistema.

Por lo tanto, se comprenderá que los enfoques existentes para conectar dispositivos semiconductores en serie pueden imponer un límite superior demasiado restrictivo sobre el número total de dispositivos que pueden conectarse de esta manera y/o sobre su frecuencia operativa. Esto puede limitar la capacidad de las configuraciones de dispositivos conectados en serie para competir con sus equivalentes en paralelo. Por lo tanto, existe la necesidad en la industria de mejorar la sincronización de una señal de reloj propagada de un dispositivo a otro en una configuración de dispositivos semiconductores conectados en serie.

La figura 1 muestra un sistema acorde con una realización no limitativa de la presente invención. Haciendo referencia a la figura 1, un controlador del sistema 102 comunica con una configuración de N dispositivos que están conectados en serie. En la realización mostrada, la configuración incluye un "primer" dispositivo semiconductor 104-0, ..., un dispositivo semiconductor intermedio 104-j-1, otro dispositivo semiconductor intermedio 104-j, un dispositivo semiconductor intermedio mas 104-j+1, ..., y un "último" dispositivo semiconductor 104-N-1, siendo N un entero, donde $1 \leq j \leq N-2$. Cabe destacar que el número de dispositivos semiconductores 104-0 --- N-1 en la configuración no está limitado en particular.

Los dispositivos semiconductores 104-0 --- N-1 pueden ser dispositivos semiconductores, tales como dispositivos de memoria, por ejemplo. En caso de que los dispositivos semiconductores 104-0-N-1 sean dispositivos de memoria, el controlador del sistema 102 está implementado como un controlador de memoria. Debe entenderse que el controlador del sistema 102 puede ser en si mismo un dispositivo semiconductor.

5 En el sistema mostrado en la figura 1, durante un procedimiento de inicialización, los dispositivos semiconductores de la configuración son asignados a direcciones de dispositivo (o identificadores de dispositivo) mediante el controlador del sistema 102. Por ejemplo, se generan direcciones de dispositivos de números ascendentes consecutivos, y se asignan a los dispositivos semiconductores 104-0-104-N-1. Cada uno de los dispositivos semiconductores 104-0 --- 104-N-1 tiene su propio registro de dirección (no mostrado) y el registro de dirección
10 contiene la dirección de dispositivo asignada.

Después de que sean asignadas las direcciones de dispositivo a los dispositivos semiconductores 104-0 --- 104-N-1, y para controlar el funcionamiento de los dispositivos de la configuración, el controlador del sistema 102 envía un comando de acceso y otra información al primer dispositivo semiconductor 104-0 de los mismos, incluyendo dicha operación, por ejemplo, reconocimiento de la dirección del dispositivo y procesamiento de datos. En general, un ejemplo de procesamiento de datos es acceder a una memoria (no mostrada) incluida en cada uno de los dispositivos. Por ejemplo, en el caso de que un comando de acceso sea un comando de escritura, los datos proporcionados se escriben en la memoria del dispositivo objetivo (o de destino), de acuerdo con la dirección del dispositivo. En el caso de que el comando de acceso sea un comando de lectura, los datos de la memoria son leídos de acuerdo con la dirección de memoria, y los datos leídos son transmitidos a otro dispositivo y enviados al controlador del sistema 102. Se dan a conocer ejemplos de asignación de direcciones de dispositivo, reconocimiento de direcciones de dispositivo y acceso a datos en las siguientes solicitudes de patente de U.S.A.:

- Solicitud de patente provisional de U.S.A. número 60/787 710, presentada el 28 de marzo de 2006;
- Solicitud de patente provisional de U.S.A. número 60/802 645, presentada el 23 de marzo de 2006; y
- Solicitud de patente provisional de U.S.A. número 60/868 773, presentada el 6 de diciembre de 2006.

25 En el sistema de la figura 1, los dispositivos semiconductores 104-0 --- N-1 están todos configurados de forma similar. El comportamiento de los dispositivos 104-0 --- N-1 está sincronizado mediante relojes (no mostrados) proporcionados a los mismos por el dispositivo maestro 102. Por ejemplo, los relojes pueden proporcionarse en un modo de reloj común o bien en un modo de transferencia de reloj, tal como se describe más adelante.

30 La figura 2A muestra detalles del sistema de la figura 1. Haciendo referencia a las figuras 1 y 2A, el controlador del sistema 102 (en adelante, denominado un "dispositivo maestro") está en comunicación con el dispositivo semiconductor 104-j (en adelante, denominado un "dispositivo esclavo"). En caso de que el dispositivo esclavo 104-j sea un dispositivo de memoria, el dispositivo maestro 102 puede implementarse como un controlador de memoria.

35 El dispositivo esclavo 104-j incluye un controlador esclavo 106, una matriz de memoria 108, un sincronizador de reloj 110 y una interfaz que comprende una serie de puertos. Tal como se describirá en mayor detalle más adelante, el controlador esclavo 106 lleva a cabo diversas funciones de control y proceso con acceso a la matriz de memoria 108, en respuesta a señales que llegan a través de puertos de entrada de la interfaz, y proporciona señales de salida mediante puertos de salida de la interfaz. El controlador esclavo 106 proporciona asimismo una señal de control S_{CTRL} al sincronizador de reloj 110. La señal de control S_{CTRL} se genera en respuesta a comandos recibidos desde el dispositivo maestro 102 mediante los puertos de entrada de la interfaz del dispositivo esclavo 104-j.

40 La interfaz del dispositivo esclavo 104-j incluye un puerto de entrada en serie (en adelante, el "puerto SIP-j") y un puerto de salida en serie (en adelante, el "puerto SOP-j"). El puerto SIP-j se utiliza para transferir información (por ejemplo, información de comandos, direcciones y datos) transportada mediante una señal de información de entrada S_{SIP-j} al dispositivo esclavo 104-j; parte de esta información puede estar destinada al controlador esclavo 106 y parte puede estar destinada a la matriz de memoria 108. El puerto SOP-j se utiliza para transferir o transmitir información (por ejemplo, información de comandos, direcciones y datos) desde el dispositivo esclavo 104-j sobre una señal de información de salida S_{SOP-j} , habiéndose originado posiblemente parte de esta información en la matriz de memoria 108. Debe entenderse que SIP-j y SOP-j pueden ser puertos de un solo bit de anchura o de múltiples bits de anchura. Es decir, cada uno de los puertos SIP-j y SOP-j pueden transportar uno, dos, cuatro, ocho o cualquier número concebible de líneas de señal.

50 Además, la interfaz del dispositivo esclavo 104-j incluye un puerto de entrada de habilitación del puerto de entrada (en adelante, el "puerto IPE-j") y un puerto de entrada de habilitación del puerto de salida (en adelante, el "puerto OPE-j"). El puerto IPE-j recibe una señal de habilitación de los puertos de entrada S_{IPE-j} . La señal de habilitación del puerto de entrada S_{IPE-j} es utilizada por el dispositivo esclavo 104-j para habilitar el puerto SIP-j, de manera que cuando se afirma la señal de habilitación del puerto de entrada S_{IPE-j} , se introduce información al dispositivo esclavo

104-j mediante el puerto SIP-j. Análogamente, el puerto OPE-j recibe una señal de habilitación del puerto de salida S_{OPE-j} . La señal de habilitación del puerto de salida S_{OPE-j} es utilizada por el dispositivo esclavo 104-j para habilitar el puerto SOP-j, de manera que cuando se afirma la señal de habilitación del puerto de salida S_{OPE-j} , se emite información desde el dispositivo esclavo 104-j mediante el puerto SOP-j.

5 Además, la interfaz del dispositivo esclavo 104-j incluye un puerto de salida de réplica de la habilitación del puerto de entrada (en adelante, el "puerto IPEQ-j") y un puerto de salida de réplica de la habilitación del puerto de salida (en adelante, el "puerto OPEQ-j"). Los puertos IPEQ-j y OPEQ-j emiten señales S_{IPEQ-j} y S_{OPEQ-j} , respectivamente, desde el dispositivo esclavo 104-j. Las señales S_{IPEQ-j} y S_{OPEQ-j} son versiones propagadas de la señal de habilitación del puerto de entrada S_{IPE-j} y la señal de habilitación del puerto de salida S_{OPE-j} , respectivamente.

10 Además, la interfaz del dispositivo esclavo 104-j incluye un puerto de entrada de reloj (en adelante, el "puerto RCK-j"). El puerto RCK-j recibe una señal de reloj de entrada S_{RCK-j} , que se utiliza para controlar la retención de las señales presentes en el puerto SIP-j (que pueden tener una anchura de una o varias líneas de señal) en registros internos del dispositivo esclavo 104-j, así como la retención de señales en el puerto SOP-j desde registros internos del dispositivo esclavo 104-j. La señal de reloj de entrada S_{RCK-j} se utiliza asimismo para controlar la retención de las señales presentes en los puertos IPE-j y OPE-j en registros internos del dispositivo esclavo 104-j y en los puertos IPEQ-j y OPEQ-j, respectivamente.

15 Además, la interfaz del dispositivo esclavo 104-j incluye un puerto de salida de reloj (en adelante, el "puerto TCK-j"). El puerto TCK-j proporciona una señal de reloj de salida S_{TCK-j} , que se propaga a un dispositivo sucesivo, que puede ser otro dispositivo esclavo o el dispositivo maestro 102, por ejemplo. La señal de reloj S_{TCK-j} se origina en el sincronizador de reloj 110, que recibe una versión almacenada en memoria tampón de la señal de reloj de entrada S_{RCK-j} procedente del puerto RCK-j junto con la señal de control S_{CTRL} procedente del controlador esclavo 106.

20 Durante el funcionamiento, la señal de habilitación del puerto de entrada S_{IPE-j} controla el "comienzo" y la "finalización" de una ventana para información válida transportada por la señal de información de entrada S_{SIP-j} , que es sincrónica con la señal de reloj de entrada S_{RCK-j} . La señal de habilitación del puerto de salida S_{OPE-j} controla el "comienzo" y la "finalización" de una ventana para información válida transportada por la señal de formación de salida S_{SOP-j} , que es sincrónica con la señal de reloj de salida S_{TCK-j} .

25 Además, la interfaz del dispositivo esclavo 104-j puede incluir un puerto de selección de chip (no mostrado), que recibe una señal de selección de chip que habilita el funcionamiento del dispositivo esclavo 104-j y posiblemente de otros dispositivos esclavos simultáneamente. Puede disponerse asimismo un puerto de reseteo (no mostrado), con el propósito de transportar una señal de reseteo procedente del dispositivo maestro 102 para resetear una o varias funciones del dispositivo esclavo 104-j. Los expertos en la materia apreciarán que en una configuración no limitativa específica, la señal de selección de chip puede proporcionarse a modo de acometida múltiple, y que la señal de reseteo puede proporcionarse de modo punto a punto. Por supuesto, son posibles otras configuraciones sin apartarse del alcance de la presente invención.

30 Los expertos en la materia apreciarán asimismo que pueden disponerse otros componentes en el dispositivo esclavo 104-j sin apartarse del alcance de la invención, tales como memorias tampón, desplazadores de fase, otros subcircuitos lógicos, etc., dependiendo del tipo de velocidad de reloj (por ejemplo, velocidad de datos simple frente a velocidad de datos doble), el tipo de respuesta de reloj (por ejemplo, sincrónica con la fuente frente a desfasada) y algunos otros aspectos de la funcionalidad del dispositivo esclavo 104-j.

35 Por ejemplo, en la realización mostrada, el dispositivo esclavo 104-j incluye una serie de memorias tampón de entrada 120-1, 120-2, 120-3 y 120-4 conectadas a los puertos RCK-j, SIP-j, OPE-j e IPE-j, respectivamente, y una serie de memorias tampón de salida 122-1, 122-2, 122-3 y 122-4 conectadas a los puertos TCK-j, SOP-j, OPEQ-j e IPEQ-j, respectivamente.

40 Asimismo, en el lado del trayecto de entrada, el dispositivo esclavo 104-j puede incluir un primer conjunto de biestables de tipo D 124-1, 124-2, 124-3 (u otros circuitos de retención) para retener las señales de entrada no de reloj en sincronismo con una señal de reloj, que puede ser la señal de reloj de entrada S_{RCK-j} o (tal como se muestra) una señal de reloj de retroalimentación S_{CLK_FB} obtenida desde el sincronizador de reloj 110. En otras realizaciones, la señal de reloj utilizada para excitar los biestables de tipo D 124-1, 124-2, 124-3 puede obtenerse a partir de un esquema de excitación por reloj interno obtenido de la señal de reloj de entrada S_{RCK-j} o la señal de reloj de retroalimentación S_{CLK_FB} . Se contempla que pueden utilizarse una amplia variedad de esquemas de excitación por reloj interno, incluyendo árboles de reloj en diversas configuraciones.

45 En la realización que se está describiendo en este caso, se asume que el tipo de respuesta de reloj del dispositivo esclavo 104-j es sincrónica con la fuente alineada en los flancos, y por lo tanto la señal de reloj de retroalimentación S_{CLK_FB} atraviesa un desplazador 130 de fase de 180° antes de ser proporcionada realmente a los biestables de tipo D 124-1, 124-2, 124-3. Esto se debe a que el sincronismo sincrónico con la fuente proporciona un alineamiento de

fase de cero grados (0°) entre señales de reloj y datos. Si el tipo de respuesta de reloj es diferente (por ejemplo, síncrona con la fuente alineada en el centro), entonces la cantidad de desplazamiento de fase a aplicar a la señal de reloj de retroalimentación S_{CLK_FB} puede ser correspondientemente diferente. También en la realización que se está describiendo en este caso, el tipo de velocidad de reloj del dispositivo esclavo 104-j es una velocidad de datos simple (SDR, single data rate); si se utiliza un tipo de velocidad de reloj de velocidad de datos doble (DDR, double data rate), un desplazador de fase de 90° puede sustituir el desplazador de fase 130.

Las señales de entrada no de reloj emitidas por los biestables de tipo D 124-1, 124-2, 124-3 son proporcionadas al controlador esclavo 106 para su posterior procesamiento. En respuesta, el controlador esclavo 106 produce señales de salida no de reloj que son proporcionadas a un segundo conjunto de biestables de tipo D 126-1, 126-2, 126-3 (u otros circuitos de retención) en el lado del trayecto de salida. Los biestables de tipo D 126-1, 126-2, 126-3 son operativos para retener las señales de salida no de reloj en sincronismo con una señal de reloj, que puede ser una señal de reloj de salida intermedia S_{CLK_INT} obtenida desde el sincronizador de reloj 110. Un elemento de la memoria tampón 134 representa un modelo de retardo de ajuste para el segundo conjunto de biestables de tipo D 126-1, 126-2, 126-3, y está situado entre el sincronizador de reloj 110 y la memoria tampón de salida 122-1 conectada al puerto TCK-j.

La figura 2B muestra detalles adicionales del dispositivo esclavo de la figura 2A. Haciendo referencia a las figuras 1, 2A y 2B, el sincronizador de reloj 110 del dispositivo esclavo 104 implementa un bucle de enganche de retardo "ajustable externamente" (EA-DLL). A este respecto, el sincronizador de reloj 110 comprende una unidad de retardo ajustable 202, un detector de fase y controlador de línea de retardo (PD-DLC) 204, y una unidad de retardo de retroalimentación ajustable externamente (EA-FDU) 206.

La unidad de retardo ajustable 202 tiene un puerto de entrada para recibir una señal de reloj de referencia S_{CLK_REF} , que es una señal entregada por la memoria tampón de entrada 120-1 conectada al puerto RCK-j. En otras palabras, la señal de reloj de referencia S_{CLK_REF} corresponde a la señal de reloj de entrada S_{RCK-j} después de haber atravesado la memoria tampón de entrada 120-1. La unidad de retardo ajustable 202 aplica un retardo controlable a la señal de reloj de referencia S_{CLK_REF} para producir la señal de reloj intermedia S_{CLK_INT} , que aparece en el puerto de salida de la unidad de retardo ajustable 202. Puede utilizarse una memoria tampón 210 para manejar la carga elevada de la señal de reloj intermedia S_{CLK_INT} .

La unidad de retardo ajustable 202 puede implementarse de diversas maneras, incluyendo una línea de retardo digital o una línea de retardo analógica, cualquiera de las cuales puede ser de una sola etapa o de múltiples etapas. Por ejemplo, en una unidad de retardo de múltiples etapas, pueden disponerse múltiples elementos de retardo en cascada, a cada uno de los cuales está conectado un conmutador que puede ser activado mediante un contador a efectos de conmutar la señal de salida del elemento de retardo respectivo a través del puerto de salida de la unidad de retardo ajustable 202. El número de elementos de retardo que son activados entre los puertos de entrada y de salida de la unidad de retardo, determina el retardo instantáneo aplicado mediante la unidad de retardo ajustable 202. Por supuesto, son posibles otras implementaciones sin apartarse del alcance de la presente invención.

El control de la cantidad de retardo aplicada por la unidad de retardo ajustable 202 se proporciona mediante una señal de comando S_{DLY} recibida en un puerto de control de la unidad de retardo ajustable 202. La señal de comando S_{DLY} es suministrada mediante el PD-DLC 204 a través de un puerto de salida del mismo. El PD-DLC 204 es operativo para generar la señal de comando S_{DLY} en base a dos señales recibidas en puertos de entrada respectivos. La primera señal es la señal de reloj de referencia S_{CLK_REF} , que es alimentada asimismo al puerto de entrada de la unidad de retardo ajustable 202. La segunda señal es la señal de reloj de retroalimentación S_{CLK_FB} , que es emitida desde el sincronizador de reloj 110.

La señal de reloj de retroalimentación S_{CLK_FB} es suministrada mediante la EA-FDU 206 a través de un puerto de salida del mismo. La EA-FDU 206 tiene asimismo un puerto de entrada para recibir la señal de reloj de salida intermedia S_{CLK_INT} , que es alimentada asimismo al elemento de memoria tampón 134. La EA-FDU 206 comprende asimismo un puerto de control para recibir la señal de control S_{CTRL} desde el controlador esclavo 106. La EA-FDU 206 es operativa para generar la señal de reloj de retroalimentación S_{CLK_FB} mediante aplicar un retardo a la señal de reloj de salida intermedia S_{CLK_INT} , siendo dicho retardo una función de la señal de control S_{CTRL} . El valor actual del retardo que se está aplicando mediante la EA-FDU 206 es un ejemplo de un parámetro que puede ser controlado por el controlador esclavo 106.

Durante el funcionamiento, el PD-DLC 204 detecta una diferencia de fase entre la señal de reloj de retroalimentación S_{CLK_FB} y la señal de reloj de referencia S_{CLK_REF} , y entrega la señal de comando S_{DLY} en base a la diferencia de fase detectada. De este modo, la salida del PD-DLC 204 será cero cuando la fase de la señal de reloj de retroalimentación S_{CLK_FB} corresponda a la fase de la señal de reloj de referencia S_{CLK_REF} . En este momento, el sincronizador de reloj 110 ha alcanzado un estado de "bloqueo de retardo". En dicho estado, se observará que la señal de reloj de retroalimentación S_{CLK_FB} será una versión retardada de la señal de reloj intermedia S_{CLK_INT} . En otras palabras, la señal de reloj intermedia S_{CLK_INT} es una versión anterior de la señal de reloj de retroalimentación

S_{CLK_FB} , que tendrá la misma fase que la señal de reloj de referencia S_{CLK_REF} durante un estado de bloqueo de retardo.

La cantidad de tiempo mediante el cual la señal de reloj intermedia S_{CLK_INT} está adelantada a la señal de reloj de referencia S_{CLK_REF} (a saber, la cantidad de tiempo de ventaja) corresponderá al valor actual del retardo que está siendo aplicado por la EA-FDU 206. Este retardo puede dividirse en dos componentes, a saber un componente fijo t_F y un componente variable t_{EAFD} . El componente fijo t_F , que puede determinarse durante una fase de diseño en base al resultado de simulaciones, se aproxima al retardo de propagación de la señal de reloj de entrada S_{RCK-j} a través del dispositivo esclavo 104-j (es decir, desde el puerto RCK-j al sincronizador de reloj 110, y desde el sincronizador de reloj 110 al puerto TCK-j). Específicamente, asumiendo que el componente variable t_{F_AFD} es cero, el componente fijo t_F tendrá como resultado que el sincronizador de reloj 110 produce la señal de reloj de retroalimentación S_{CLK_FB} en una fase que está adelantada con respecto a la fase de la señal de reloj de salida intermedia S_{CLK_INT} (y asimismo, con respecto a la fase de la señal de reloj de referencia S_{CLK_REF}) en una cantidad correspondiente al retardo de propagación aproximado a través del dispositivo esclavo 104-j. Como resultado, la fase de la señal de reloj de salida S_{TCK-j} , después de los efectos de la propagación a través del dispositivo esclavo 104-j, estará aproximadamente alineada con la fase de la señal de reloj de entrada S_{RCK-j} .

Para tomar un ejemplo específico, considérese que el retardo de propagación a través de cada una de las memorias tampón de entrada 120-1, 120-2, 120-3, 120-4 es t_{D1} y que el retardo de propagación a través de cada una de las memorias tampón de salida 122-1, 122-2, 122-3, 122-4 es t_{D2} . El componente fijo del retardo que está siendo aplicado por la EA-FDU 206 puede fijarse, por lo tanto, a $t_F = t_{D1} + t_{D2}$ durante la fase de diseño. Por supuesto, pueden identificarse durante la fase de diseño otras fuentes de retardo de propagación a través del dispositivo esclavo 104-j y tenerse en cuenta para el componente fijo t_F .

La figura 3A es un diagrama de temporización que muestra el efecto del componente fijo del retardo siendo aplicado por la EA-FDU 206 de la figura 2B (en este caso, habiéndose configurado como $t_F = t_{D1} + t_{D2}$). Haciendo referencia a las figuras 2B y 3A, específicamente, se muestra la señal de reloj de entrada S_{RCK-j} , la señal de reloj de salida S_{TCK-j} , la señal de reloj de referencia S_{CLK_REF} , la señal de reloj intermedia S_{CLK_INT} , la señal de reloj de retroalimentación S_{CLK_FB} y la salida del desplazador de fase de 180 grados 130, indicada como S_{CLK_FB} . A efectos de comparación se proporciona asimismo una versión de la señal de información de entrada S_{SIP-j} en su salida de la memoria tampón de entrada 120-1 conectada al puerto S_{SIP-j} . Esta señal se indica como $S_{SIP-j.1}$. Puede verse que la fase de la señal de reloj de salida S_{TCK-j} está alineada con la fase de la señal de reloj de entrada S_{RCK-j} . Por supuesto, esta alineación puede ser solamente aproximada, dependiendo de lo bien que se haya aproximado el retardo de propagación a través de las memorias tampón de entrada 120-1, 120-2, 120-3, 120-4 y las memorias tampón de salida 122-1, 122-2, 122-3, 122-4 durante la fase de diseño. Se apreciará que el diagrama de temporización presentaría características diferentes para un diferente tipo de velocidad de reloj o tipo de respuesta de reloj.

Volviendo a continuación a la figura 2B, y de acuerdo con una realización de la presente invención, el componente variable t_{EAFD} del retardo que está siendo aplicado por la EA-FDU 206 es manipulado para un ajuste fino de la fase de la señal de reloj de salida S_{TCK-j} , en base a comandos recibidos desde el dispositivo maestro 102. Estos comandos son interpretados por el controlador esclavo 106 y traducidos en la señal de control S_{CTRL} alimentada al puerto de control de la EA-FDU 206.

Cuando se realizan ajustes al componente variable t_{EAFD} , la señal de reloj de retroalimentación S_{CLK_FB} experimentará un desplazamiento de tiempo correspondiente. El PD-DLC 204 detecta una nueva diferencia de fase entre la señal de reloj de retroalimentación S_{CLK_FB} (ahora, desfasada) y la señal de reloj de referencia S_{CLK_REF} , y entrega una nueva particularización de la señal de comando S_{DLY} en base a la diferencia de fase detectada. Esta nueva particularización de la señal de comando S_{DLY} será distinta de cero (positiva o negativa), en respuesta a lo cual la unidad de retardo ajustable 202 ajusta el valor actual del retardo que está siendo aplicado a la señal de reloj de referencia S_{CLK_REF} , produciendo de ese modo una versión retardada de la señal de reloj intermedia S_{CLK_INT} en el puerto de salida de la unidad de retardo ajustable 202. Esta versión desfasada de la señal de reloj intermedia S_{CLK_INT} se devuelve a la EA-FDU 206, que produce otra versión desfasada de la señal de reloj de retroalimentación S_{CLK_FB} . El proceso anterior prosigue hasta que se alcanza a un estado de bloqueo de retardo, momento en el que la fase de la señal de reloj de retroalimentación S_{CLK_FB} corresponde a la fase de la señal de reloj de referencia S_{CLK_REF} .

Haciendo referencia a la figura 3B, se muestra un diagrama de temporización similar al de la figura 3A, pero que muestra el efecto adicional del componente variable t_{EAFD} . Puede observarse que el valor actual del retardo que está siendo aplicado por la EA-FDU 206 (a saber, $t_{EAFD} = t_{D1} + t_{D2} + t_{EAFD}$) provoca que la fase de la señal de reloj de salida S_{TCK-j} deje de estar alineada con la fase de la señal de reloj de entrada S_{RCK-j} . La cantidad de desalineación depende del componente variable t_{EAFD} y se causa deliberadamente por razones que pueden incluir tener en cuenta retardos parásitos entre el dispositivo esclavo 104-j y otros dispositivos (no mostrados) conectados al mismo en serie.

Por supuesto, si bien en el presente ejemplo se toma el componente variable t_{EAFD} con un valor positivo, lo que causa que la señal de reloj de salida S_{TCK-j} se anticipe a la señal de reloj de entrada S_{RCK-j} , se apreciará que el componente variable t_{EAFD} puede tener un valor negativo, lo que causa que la señal de reloj de salida S_{TCK-j} vaya con retraso respecto a la señal de reloj de entrada S_{RCK-j} .

5 Deberá apreciarse asimismo que la flexibilidad proporcionada por la señal de control S_{CTRL} permite relajar los requisitos de la fase de diseño del sincronizador de reloj 110. Por ejemplo, durante la fase de diseño, se puede inicializar el componente fijo simplemente a una estimación aproximada de $t_{D1} + t_{D2}$, y utilizar la señal de control S_{CTRL} para ajustar el componente variable t_{EAFD} hasta que se compensen cualesquiera errores, además de proporcionar el retardo o anticipo de fase necesario entre la señal de reloj de salida S_{TCK-j} y la señal de reloj de
10 entrada S_{RCK-j} . De hecho, se puede incluso reducir el componente fijo t_F a cero y utilizar una estimación de $t_{D1} + t_{D2}$ como valor inicial para el componente variable t_{EAFD} , a partir de la cual pueden realizarse ajustes en virtud de la señal de control S_{CTRL} .

Se recuerda que la señal de control S_{CTRL} es proporcionada por el controlador esclavo 106 y está generada en base a comandos recibidos desde el dispositivo maestro 102. Más específicamente, y en un ejemplo que hace referencia
15 la figura 2B, el controlador esclavo 106 puede comprender un registro 220 de retardo de retroalimentación ajustable externamente (EA-FD, externally adjustable feedback delay) en el que puede escribir el dispositivo maestro 102. En una realización específica, el registro EA-FD 220 contiene un patrón de bits que especifica un ajuste deseado del retardo con respecto al valor actual del retardo que está siendo aplicado por la EA-FDU 206. El controlador esclavo 106 está configurado para emitir la señal de control S_{CTRL} indicativa de los contenidos del registro EA-FD 220. En
20 particular, la señal de control S_{CTRL} está formateada de manera que, cuando es interpretada por la EA-FDU 206 tras la recepción en su puerto de control, la señal de control S_{CTRL} provocará un correspondiente ajuste del retardo con respecto al valor actual del retardo que está siendo aplicado a la señal de reloj intermedia S_{CLK_INT} . El ajuste del retardo puede especificarse en un número de "unidades de retardo", donde la duración de una unidad de retardo es un parámetro de diseño que puede hacerse tan grande o pequeño como se requiera para satisfacer requisitos
25 operacionales.

Pueden contenerse varios patrones de bits en el registro EA-FD 220, y en la siguiente tabla 1 se proporciona el posible significado de cada uno de dichos patrones de bits en términos del ajuste de retardo deseado con respecto al valor actual del retardo que está siendo aplicado por la EA-FDU 206:

Tabla 1

Ajuste de retardo deseado		Patrón de bits escrito en el registro EA FD 220 en el controlador esclavo 106							
		Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Aumento de retardo (+)	+1 unidad de retardo	0	0	Irrelevante			0	0	0
	+2 unidades de retardo						0	0	1
	+4 unidades de retardo						0	1	0
	+8 unidades de retardo						0	1	1
	Máximo retardo						1	1	1
	Reservado						Todas las demás combinaciones		
Disminución de retardo (-)	-1 unidad de retardo	0	1	0	0	0	Irrelevante		
	-2 unidades de retardo			0	0	1			
	-4 unidades de retardo			0	1	0			
	-8 unidades de retardo			0	1	1			
	Máximo retardo			1	1	1			
	Reservado			Todas las demás combinaciones					
Resetear	Resetear valores por defecto	1	0	Irrelevante					
	Reservado	1	1						

5 Debe entenderse que la tabla 1 muestra definiciones de patrón de bits a modo de ejemplo, únicamente con propósitos ilustrativos. Los patrones de bits pueden ser modificados y/o expandidos fácilmente si se requiere una granularidad más fina o más gruesa para el ajuste de retardo deseado.

Los expertos en la materia apreciarán que el controlador esclavo 106 puede diseñarse de manera que borre el registro EA-FD 220 inmediatamente después de leerlo, o puede diseñarse para leer el registro EA-FD 220 solamente una vez después de cada ocasión en la que éste es escrito por el dispositivo maestro 102.

10 Se recuerda que el controlador esclavo 106 escribe en el registro EA-FD 220 tras la recepción y el reconocimiento de un comando procedente del dispositivo maestro 102. Dicho comando, denominado en adelante un comando de "Escribir EA-FDU", puede señalarse mediante controlar las señales que aparecen en los puertos SIP-j e IPE-j. Más específicamente, asumiendo que la señal en el puerto IPE-j se mantiene afirmada, un ejemplo de un comando "Escribir EA-FDU" puede tener el siguiente formato de 3 octetos:

15

Comando	1er octeto	2º octeto	3er octeto
Escribir EA-FDU	"dirección de dispositivo"	B0h	DATA

En el formato del ejemplo anterior, el primer octeto ("dirección de dispositivo") identifica el dispositivo esclavo 104-j, bien en base individual o como parte de un grupo. En otras palabras, el dispositivo esclavo 104-j tiene una o varias direcciones de las que está al corriente. Estas direcciones pueden conocerse durante un procedimiento de inicialización. Una de estas direcciones puede ser una "dirección específica", que es única con respecto a otros dispositivos esclavos, mientras que otra de estas direcciones puede ser una "dirección común", que es reconocida en común mediante el dispositivo esclavo 104-j y un (o varios, o todos) dispositivo esclavo (si hay alguno) conectado al dispositivo maestro 102. Reconociendo su dirección propia (o una de sus direcciones propias) en la información recibida, el controlador esclavo 106 esperará a recibir más octetos de un comando, y esperará a tener que responder al mismo.

En el formato de ejemplo anterior, el segundo octeto (B0h) es un "octeto adicional" del comando "Escribir EA-FDU", y representa un valor hexadecimal que indica que el comando es un comando de "Escribir EA-FDU" y ningún otro comando. Esto sirve para ayudar a diferenciar este comando de otros comandos en relación con los cuales el controlador esclavo 106 puede estar configurado para responder. Por supuesto, el valor hexadecimal preciso del comando "Escribir EA-FDU" es un parámetro de diseño y no tiene, en este ejemplo, ningún otro significado que el de servir a un propósito ilustrativo.

En el formato de ejemplo anterior, el tercer octeto (DATA) representa el patrón de bits a escribir en el registro EA-FD 220, que puede ser acorde con la tabla anterior.

Supongamos ahora que el dispositivo esclavo 104-j tiene una dirección específica de "00h" y una dirección común de "FFh". Las figuras 4A y 4B muestran cada una un diagrama de temporización básico para el comando "Escribir EA-FDU", en el caso en que el ajuste de retardo deseado con respecto al valor actual del retardo que está siendo aplicado por la EA-FDU 206 es un aumento de +1 unidad de retardo. En el caso de la figura 4A, el comando "Escribir EA-FDU" está destinado específicamente al dispositivo esclavo 104-j, en este caso de la figura 4B, dispositivo esclavo 104-j que no es sino uno de varios posibles receptores previstos del comando "Escribir EA-FDU".

En estos diagramas de temporización, se muestra un esquema de sincronismo diferencial a modo de ejemplo no limitativo, utilizando un par de señales de reloj de entrada $S_{RCK-j} + S_{RCK-j\#}$. Asimismo, se muestra un enfoque de velocidad de datos doble (DDR) a modo de ejemplo no limitativo. Además, la latencia de entrada a salida (o "latencia de flujo continuo", indicada como t_{OL}) corresponde a un (1) ciclo de reloj (o dos (2) ciclos DDR) en este ejemplo específico. Por supuesto, en otras implementaciones, puede utilizarse un esquema de sincronismo uniterminal, así como un tipo de velocidad de reloj y una anchura de puerto diferentes.

A continuación se hace referencia a la figura 5, que muestra un sistema 502 que incluye una configuración de dispositivos semiconductores conectados en serie 104-0 --- 7. En este ejemplo, el sistema 502 incluye el dispositivo maestro 102 descrito anteriormente y ocho (8) dispositivos esclavos 104-0 --- 7, cada uno similar en estructura al dispositivo esclavo 104-j descrito anteriormente. Por supuesto, deberá resultar evidente para los expertos en la materia que el sistema 502 puede incluir cualquier cantidad de dispositivos esclavos conectados de forma punto a punto.

Cada uno de los dispositivos esclavos 104-0 --- 7 es similar en estructura al dispositivo esclavo 104-j descrito anteriormente. Es decir, cada uno de los dispositivos esclavos 104-0 --- 7 tiene una interfaz compatible con la interfaz del dispositivo esclavo 104-j descrita anteriormente. Por consiguiente, cada uno de los dispositivos esclavos 104-0 --- 7 tiene una interfaz que comprende un puerto de entrada en serie (SIP-0 --- 7) un puerto de salida en serie (SOP-0 --- 7), un puerto de entrada de habilitación del puerto de entrada (IPE-0--- 7), un puerto de entrada de habilitación del puerto de salida (OPE-0 --- 7), un puerto de salida de réplica de habilitación del puerto de entrada (IPEQ-0 --- 7), un puerto de salida de réplica de habilitación del puerto de salida (OPEQ-0 --- 7), un puerto de entrada de reloj (RCK-0 --- 7) y un puerto de salida de reloj (TCK-0 --- 7). Además, la interfaz de cada uno de los dispositivos esclavos 104-0 --- 7 puede incluir un puerto de selección de chip (no mostrado) y un puerto de reseteo (no mostrado).

Debe apreciarse que pueden utilizarse diferentes tipos de dispositivos esclavos siempre que tengan interfaces compatibles. En general, el sistema 502 puede comprender varias clases de dispositivos de circuito integrado semiconductor como dispositivos esclavos en la configuración. Por ejemplo, cuando los dispositivos esclavos son dispositivos de memoria, dichos dispositivos de memoria pueden ser del mismo tipo (por ejemplo, teniendo todos un

núcleo de memoria flash NAND) o pueden ser de tipos diferentes (por ejemplo, algunos teniendo un núcleo de memoria flash NAND y otros teniendo un núcleo de memoria DRAM). Están dentro del alcance de la presente invención otras combinaciones de tipos de memoria y tipos de dispositivos que se ocurran a los expertos en la materia.

5 El dispositivo maestro 102 tiene una interfaz que comprende una serie de puertos de salida para proporcionar un grupo de señales a un primer dispositivo esclavo 104-0 de la configuración. Específicamente, la interfaz del dispositivo maestro 102 comprende un puerto de salida de reloj maestro (en adelante, el "puerto TCK") sobre el que se entrega una señal de reloj de salida maestra STCK, un puerto de salida en serie maestro (en adelante, el "puerto SOP") sobre el que se proporciona una señal de información de salida en serie maestra S_{SOP} , un puerto de salida de habilitación del puerto de entrada en serie maestro (en adelante, el "puerto IPE") sobre el que se proporciona una señal de habilitación del puerto de entrada en serie maestro S_{IPE} , y un puerto de salida de habilitación del puerto de salida en serie maestro (en adelante, el puerto "OPE") sobre el que se proporciona una señal de habilitación del puerto de salida en serie maestro S_{OPE} .

15 La interfaz del dispositivo maestro 102 puede comprender además varios puertos sobre los que puede proporcionarse la señal de selección de chip, la señal de reseteo y algunas otras informaciones de datos y control destinadas a los dispositivos esclavos 104-0 --- 7.

20 La interfaz del dispositivo maestro 102 comprende además una serie de puertos de entrada sobre los que se recibe un grupo de señales procedentes del último dispositivo esclavo 104-7 de la configuración. Específicamente, la interfaz del dispositivo maestro 102 comprende un puerto de entrada de reloj maestro (en adelante, el "puerto RCK") sobre el que se recibe una señal de reloj de entrada maestra S_{RCK} , un puerto de entrada en serie maestro (en adelante, el "puerto SIP") sobre el que se proporciona una señal de información de entrada en serie maestra S_{SIP} , un puerto de entrada de réplica de habilitación del puerto de entrada en serie maestro (en adelante, el "puerto IPEQ") sobre el que se proporciona una señal de réplica de la habilitación del puerto de entrada en serie maestro S_{IPEQ} , y un puerto de entrada de réplica de habilitación del puerto de salida en serie maestro (en adelante, el "puerto OPEQ") sobre el que se proporciona una señal de réplica de habilitación del puerto de salida en serie maestro S_{OPEQ} .

30 El sistema 502 forma un bucle de retroalimentación cerrado de tipo anillo. Es decir, los puertos de salida del dispositivo maestro 102 (es decir, los puertos TCK, SOP, IPE y OPE) están conectados a los puertos de entrada del primer dispositivo esclavo 104-0 (es decir, los puertos RCK-0, SIP-0, IPE-0 y OPE-0, respectivamente), cuyos puertos de salida (es decir, los puertos TCK-0, SOP-0, IPEQ-0 y OPEQ-0) están conectados a los puertos de entrada del dispositivo esclavo 104-1 (es decir, los puertos RCK-1, SIP-1, IPE-1 y OPE-1, respectivamente). A continuación, los puertos de salida del dispositivo esclavo 104-1 (es decir, los puertos TCK-1, SOP-1, IPEQ-1 y OPEQ-1) están conectados a los puertos de entrada del dispositivo esclavo 104-2 (es decir, los puertos RCK-2, SIP-2, IPE-2 y OPE-2, respectivamente), cuyos puertos de salida (es decir, los puertos TCK-2, SOP-2, IPEQ-2 y OPEQ-2) están conectados a los puertos de entrada del dispositivo esclavo 104-3 (es decir, los puertos RCK-3, SIP-3, IPE-3 y OPE-3, respectivamente). Esto continúa hasta el dispositivo esclavo 104-7, cuyos puertos de entrada (es decir, los puertos RCK-7, SIP-7, IPE-7 y OPE-7, respectivamente) están conectados a los puertos de salida del dispositivo esclavo 104-6 (es decir, los puertos TCK-6, SOP-6, IPEQ-6 y OPEQ-6), y cuyos puertos de salida (es decir, los puertos TCK-7, SOP-7, IPEQ-7 y OPEQ-7) están conectados a los puertos de entrada del dispositivo maestro 102 (es decir, los puertos RCK, SIP, IPEQ y OPEQ, respectivamente).

40 Con objeto de simplificar la descripción, el sistema 502 muestra (y el resto de la descripción se centra en) señales de entrada y de salida de anchura de un solo bit (x1); sin embargo, deberá resultar evidente que las señales de entrada y de salida pueden ser más anchas de x1, tal como de x2, x4 y x8, para nombrar unas pocas posibilidades no limitativas.

45 La configuración mostrada en la figura 5 permite la propagación de la señal de salida de reloj maestro S_{TCK} así como de la señal de habilitación de puerto de entrada en serie maestro S_{IPE} y la señal de habilitación de puerto de salida en serie maestro S_{OPE} desde un dispositivo esclavo al siguiente, hasta que estas señales vuelven finalmente al dispositivo maestro 102 en forma de la señal de entrada de reloj maestro S_{RCK} , la señal de réplica de habilitación del puerto de entrada en serie maestro S_{IPEQ} y la señal de réplica de habilitación del puerto de salida en serie maestro S_{OPEQ} , respectivamente.

50 Debe apreciarse que las interconexiones entre los puertos de dispositivos vecinos se producen a través de una "carga de interconexión", mostrada en los dibujos como 504. La carga de interconexión en 504 puede consistir en uno o varios de: carga de hilos de conexión en el interior del paquete; carga de pistas de PCB (printed circuit board, placa de circuito impreso); carga de bolas de soldadura en el paquete; y similares. Cuando el sistema 502 es implementado en un único paquete que incluye una serie de dispositivos esclavos (en este caso, los ocho dispositivos esclavos 104-0 --- 7 pero, en general, cualquier número) y un dispositivo maestro 102, esto se conoce como un paquete multichip (MCP, Multi-Chip-Package) y, en dichos casos, la carga de interconexión 504 puede consistir en una carga de interconexión de hilo entre los chips del MCP. La carga de interconexión 504 entre los dispositivos puede variar debido a diversas condiciones tales como, desajustes en las capas de la PCB en longitud y

formas; asimismo en la realización del MCP, la carga de interconexión 504 en el interior del MCP es diferente a la carga de interconexión 504 que resulta de la PCB. Por lo tanto, aunque la carga de interconexión 504 se indica en los dibujos mediante un único numeral, en realidad debe entenderse que esta carga puede variar de una interconexión a otra.

5 En funcionamiento, el dispositivo maestro 102 genera la señal de reloj maestra S_{TCK} , que es enviada al primer dispositivo esclavo 104-0 y llega al puerto RCK-0 de éste a través de la carga de interconexión 504, en forma de la señal de reloj de entrada S_{RCK-0} . El dispositivo maestro 102 genera asimismo información en serie en forma de la señal de información de salida en serie maestra S_{SOP} , que es enviada al primer dispositivo esclavo 104-0 en sincronismo con la señal de reloj maestra S_{TCK} . La información en serie es recibida por el primer dispositivo esclavo 104-0 en el puerto SIP-0 de éste a través de la carga de interconexión 504, en forma de la señal de información de entrada en serie S_{SIP-0} . El dispositivo maestro 102 asegura asimismo que la señal de información de salida en serie maestra S_{SOP} está alineada con la señal de habilitación del puerto de entrada en serie maestro S_{IPE} , que es recibida por el primer dispositivo esclavo 104-0 en el puerto IPE-0 de éste, mediante la carga de interconexión 504, en forma de la señal de habilitación del puerto de entrada S_{IPE-0} .

15 El controlador esclavo 106 en el primer dispositivo esclavo 104-0 determina si la información en serie está destinada al primer dispositivo esclavo 104-0. Si la información en serie está destinada al primer dispositivo esclavo 104-0, el controlador esclavo 106 interpreta esta información y actúa. Por ejemplo, cuando el primer dispositivo esclavo 104-0 es un dispositivo de memoria, la información en serie puede ser un comando de lectura o un comando de escritura. En el caso de un comando de escritura, se espera que llegue información adicional de datos y dirección mediante el puerto SIP-0, siendo transferida la información de datos por el controlador esclavo 106 a la matriz de memoria 108. En el caso de un comando de lectura, se espera que llegue información adicional de dirección mediante puerto SIP-0, e indicará qué información de la matriz de memoria 108 debe ser situada en el puerto SOP-0. El controlador esclavo 106 asegura asimismo que la información leída desde la matriz de memoria 108 está alineada con la señal de habilitación del puerto de salida en serie maestro S_{OPE} , que es recibida por el primer dispositivo esclavo 104-0 en el puerto OPE-0 de éste mediante la carga de interconexión 504, en forma de la señal de habilitación del puerto de salida S_{OPE-0} .

Por otra parte, si la información en serie no está destinada al primer dispositivo esclavo 104-0, el primer dispositivo esclavo 104-0 simplemente retransmite la información en serie recibida hacia el siguiente dispositivo esclavo 104-1, en sincronismo con la señal de reloj de salida S_{TCK-0} . Es decir, el controlador esclavo 106 transfiere la información en serie recibida mediante el puerto SIP-0 sobre el puerto SOP-0.

Adicionalmente, e independientemente de si la información en serie está o no destinada al primer dispositivo esclavo 104-0, el controlador esclavo 106 transfiere las señales que aparecen en los puertos IPE-0 y OPE-0 sobre los puertos IPEQ-0 y OPEQ-0, respectivamente.

Adicionalmente, la señal de reloj de entrada S_{RCK-0} es propagada siguiente dispositivo esclavo 104-1. Específicamente, la señal de reloj de entrada S_{RCK-0} es procesada por el sincronizador de reloj 110, que emite una señal de reloj intermedia S_{CLK_INT} . La señal de reloj intermedia atraviesa el elemento de memoria tampón 134 y la memoria tampón de salida 122-1 antes de ser entregada mediante el puerto TCK-0, en forma de una señal de reloj de salida S_{TCK-0} . Bajo condiciones iniciales, la señal de reloj de salida S_{TCK-0} estará aproximadamente bloqueada en fase con la señal de reloj de entrada S_{RCK-0} .

40 Las mismas operaciones básicas se llevan a cabo en el siguiente dispositivo esclavo 104-1. Debe observarse que en algún momento, la información que aparece en el puerto SOP-j de uno dado de los dispositivos esclavos 104-0 --- 7, puede contener información que está destinada al dispositivo maestro 102. Este es particularmente el caso cuando ha sido emitido un comando de lectura para dicho dispositivo esclavo. Esta información sigue propagándose hasta que es transmitida en forma de la señal de información de salida en serie S_{SOP-7} por el último dispositivo esclavo 104-7 mediante el puerto SOP-7 de éste. El controlador esclavo 106 del último dispositivo esclavo 104-7 entrega la señal de información de salida en serie S_{SOP-7} en sincronismo con la señal de reloj de salida S_{TCK-7} . La señal de información de salida en serie S_{SOP-7} es recibida a través de la carga de interconexión 504 en el puerto SIP de dispositivo maestro 102, en forma de la señal de información de entrada en serie maestra S_{SIP} . De manera similar, la señal de reloj de salida S_{TCK-7} atraviesa una carga de interconexión 504 antes de ser recibida en el puerto RCK de dispositivo maestro 102, en forma de la señal de reloj de entrada maestra S_{RCK} .

Tal como puede apreciarse a partir de la descripción anterior, el dispositivo maestro 102 puede enviar instrucciones para controlar el comportamiento de un dispositivo (o varios) seleccionado de los dispositivos esclavos 104-0 --- 7 en la configuración, mediante la utilización de los puertos TCK, SIP, IPE y OPE. A continuación, el dispositivo o dispositivos esclavos responden a las instrucciones procedentes del dispositivo maestro 102 y transmiten hacia delante en la configuración una respuesta adecuada. Finalmente, el dispositivo maestro 102 recibe la respuesta a través de sus puertos SIP, IPEQ y OPEQ.

Debe observarse adicionalmente que las cargas de interconexión 504 presentes entre dispositivos esclavos, y entre el dispositivo maestro 102 y el primer dispositivo esclavo 104-0 así como el último dispositivo esclavo 104-7, añaden retardo a las señales de propagación (incluyendo las señales de reloj). Por lo tanto, la carga de interconexión 504 entre el dispositivo maestro 102 y el primer dispositivo esclavo 104-0 provocará que el segundo dispositivo esclavo 104-1 vea una señal de reloj de entrada ligeramente modificada o retardada S_{RCK-1} , en comparación con la señal de reloj de salida S_{TCK-0} . El sincronizador de reloj 110 en el segundo dispositivo esclavo 104-1 lleva a cabo a continuación un procedimiento de bloqueo en base a la señal de reloj de entrada S_{RCK-1} y produce la señal de reloj de salida S_{TCK-1} que, bajo condiciones iniciales, estará aproximadamente bloqueada en fase con la señal de reloj de entrada S_{RCK-1} . A continuación, la carga de interconexión 504 entre el segundo y el tercer dispositivos esclavos 104-1 y 104-2 provoca que el tercer dispositivo esclavo 104-2 vea una señal de reloj de entrada ligeramente modificada o retardada S_{RCK-2} , en comparación con la señal de reloj de salida S_{TCK-1} . El sincronizador de reloj 110 en el tercer dispositivo esclavo 104-2 lleva a cabo a continuación un procedimiento de bloqueo en base a la señal de reloj de entrada S_{RCK-2} y produce la señal de reloj de salida S_{TCK-2} que, bajo condiciones iniciales, estará aproximadamente bloqueada en fase con la señal de reloj de entrada S_{RCK-2} . Este proceso continúa, hasta que el dispositivo esclavo 104-7 produce la señal de reloj de salida S_{TCK-7} , que es recibida mediante la carga de interconexión 504 en el puerto RCK del dispositivo maestro 102.

Por lo tanto, la señal de reloj de entrada maestra S_{RCK} en el puerto RCK es una versión propagada de la señal de reloj de salida maestra S_{TCK} que ha sido resincronizada mediante el sincronizador de reloj 110, en cada uno de los dispositivos esclavos 104-0 --- 7. Las diversas cargas de interconexión 504 pueden causar un "retardo por cargas de interconexión" que, bajo condiciones iniciales, provocará que la señal de reloj de entrada maestra S_{RCK} presente un error de fase significativo en comparación con la señal de reloj de salida maestra S_{TCK} . Si se conociera el retardo por cargas de interconexión, entonces podría elegirse en la fase de diseño un valor adecuado para el componente fijo del retardo aplicado por la EA-FDU 206 en cada uno de los dispositivos esclavos 104-0 --- 7 (a saber, el componente fijo t_F), para compensar el retardo por cargas de interconexión. Sin embargo, el retardo por cargas de interconexión es variable e impredecible, de manera que no se puede tener en cuenta en la fase de diseño. Por consiguiente, en una realización de la presente invención, el dispositivo maestro 102 está configurado para actualizar dinámicamente el registro EA-FD 220 en cada uno de los dispositivos esclavos 104-0 --- 7.

Más específicamente, tal como se muestra en la figura 5, además de sus otros componentes útiles en la generación de varias señales de salida y el procesamiento de varias señales de entrada, el dispositivo maestro 102 comprende un detector de fase y de frecuencia (PFD, phase frequency detector) 506 y un controlador maestro 508. El PFD 506 tiene un primer puerto de entrada conectado al puerto RCK, y recibe desde el mismo la señal de entrada de reloj maestro S_{RCK} . Además, el PFD 506 tiene un segundo puerto de entrada que recibe una versión de la señal de reloj de salida maestra S_{TCK} . A este respecto, el segundo puerto de entrada del PFD 506 puede estar ramificado desde el puerto TCK, o puede obtener la señal de reloj de salida maestra S_{TCK} mediante un árbol de distribución de reloj, interno al dispositivo maestro 102. El PFD 506 está configurado para determinar una diferencia de fase y/o de frecuencia entre las señales de reloj en sus dos puertos de entrada, y para proporcionar una señal de diferencia, indicativa de esta diferencia, en un puerto de salida del PFD 506.

La señal de diferencia S_{DIFF} entregada por el PFD 506 es proporcionada a un puerto de entrada del controlador maestro 508. El controlador maestro 508 está configurado para ejecutar un proceso de sincronización a efectos de ajustar el valor actual del retardo que está siendo aplicado por la EA-FDU 206 en uno o varios de los dispositivos esclavos 104-0 --- 7, en base a la señal de diferencia S_{DIFF} recibida desde el PFD 506. Esto se consigue emitiendo comandos tales como el comando "Escribir EA-FDU", mediante los puertos SIP e IPE. A continuación se proporcionan detalles de un proceso de sincronización, haciendo referencia a una secuencia de etapas mostrada en la figura 6.

En la etapa 610, el controlador maestro 508 espera la realización de un procedimiento de inicialización en cada uno de los dispositivos esclavos 104-0 --- 7. Específicamente, se aplica alimentación al sistema y, en respuesta, cada uno de los dispositivos esclavos 104-0 --- 7 del sistema 502 lleva a cabo un procedimiento de inicialización respectivo, de acuerdo con especificaciones de diseño. El procedimiento de inicialización incluye el bloqueo inicial de la EA-FDU 206 respectiva de cada dispositivo esclavo, utilizando el componente fijo t_F , que puede corresponder a una estimación del retardo de propagación a través del dispositivo esclavo en cuestión. Una vez completado el bloqueo inicial, cada uno de los dispositivos esclavos 104-0 --- 7 ha puesto su señal de reloj de salida S_{TCK-j} en fase con su señal de reloj de entrada S_{RCK-j} , mediante tener en cuenta una estimación de este retardo de propagación. Pueden llevarse a cabo otras funciones de inicialización, tales como procedimientos de autodescubrimiento y asignación de dirección del dispositivo, sin apartarse del alcance de la invención.

En la etapa 620, una vez que se ha completado el procedimiento de inicialización, el controlador maestro 508 obtiene la diferencia de fase (indicada como Δp) entre la señal de reloj de entrada maestra S_{RCK} y la señal de reloj de salida maestra S_{TCK} . Esto puede realizarse mediante leer la salida del PFD 506. Se recuerda que es probable que Δp sea distinta de cero debido a la presencia de las cargas de interconexión 504 entre dispositivos esclavos y entre el dispositivo maestro 102 y el primer dispositivo esclavo 104-0 así como el último dispositivo esclavo 104-7.

En la etapa 630, la Δp determinada en la etapa 620 se compara con cero (o con un intervalo de valores considerados como indicativos de "estabilidad"). Si Δp es cero (o está dentro del intervalo de valores considerados como indicativos de "estabilidad"), el sistema 502 se considera estable, y el proceso de sincronización finaliza. Si no lo es, el controlador maestro 508 comienza una subrutina de ajuste de fase. La subrutina de ajuste de fase tiene dos ramificaciones, una primera ramificación 640A para el caso en que Δp es menor de 180 grados, y una segunda ramificación 640B para el caso en que Δp es mayor que 180 grados. La primera y segunda ramificaciones 640A, 640B se describen en mayor detalle a continuación.

En la primera ramificación 640A de la subrutina de ajuste de fase, Δp es menor que 180 grados y por lo tanto el controlador maestro 508 intenta reducir la diferencia de fase entre la señal de reloj de entrada maestra S_{RCK} y la señal de reloj de salida maestra S_{TCK} . A este respecto, el controlador maestro 508 emite un comando "Escribir EA-FDU" a uno o varios dispositivos esclavos objetivos, para provocar que estos dispositivos esclavos objetivos aumenten el valor actual del retardo que está siendo aplicado por sus EA-FDU 206 respectivas.

En la segunda ramificación 640B de la subrutina de ajuste de fase, Δp es mayor que 180 grados y por lo tanto el controlador maestro 508 intenta aumentar la diferencia de fase entre la señal de reloj de entrada maestra S_{RCK} y la señal de reloj de salida maestra S_{TCK} . A este respecto, el controlador maestro 508 emite un comando "Escribir EA-FDU" a uno o varios dispositivos esclavos objetivos, para provocar que estos dispositivos esclavos objetivos reduzcan el valor actual del retardo que está siendo aplicado por sus EA-FDU 206 respectivas.

El patrón de bits especificado por el comando "Escribir EA-FDU", y el número, la identidad y el orden de los dispositivos esclavos objetivos a los que es enviado este comando, pueden elegirse en base a parámetros de diseño. Por ejemplo, si Δp es lo suficientemente próximo a cero (o 360) grados, está dentro del ámbito de la presente invención enviar un comando "Escribir EA-FDU" a un único dispositivo esclavo objetivo, especificando dicho comando una reducción de -1, -2, -4 ó -8 unidades de retardo.

Sin embargo, si Δp es significativamente mayor que cero grados (y significativamente menor que 360 grados), es posible que instar a un único dispositivo esclavo objetivo a ajustar el valor actual del retardo que está siendo aplicado por su EA-FDU 206 en dicha cantidad elevada pueda provocar un fallo (que puede producirse debido a la ausencia de márgenes de tiempo de configuración/mantenimiento en sus circuitos de retención de entrada/salida). Por consiguiente, el controlador maestro 508 puede distribuir Δp entre una serie de dispositivos objetivos, a escribir en secuencia. Cuanto mayor es la petición después de la diferencia de fase, mayor es el número de dispositivos objetivos que recibirán un comando "Escribir EA-FDU". Como resultado, el controlador maestro 508 puede enviar un comando "Escribir EA-FDU" a un subconjunto no sólo de uno o dos dispositivos esclavos objetivos, sino a un número mayor de dispositivos esclavos objetivos, para conseguir de ese modo una distribución más homogénea del ajuste deseado del retardo sobre el sistema 502, y por lo tanto un comportamiento más estable del sistema. Cuando ha de escribirse en múltiples dispositivos esclavos objetivos, está dentro del alcance de la presente invención desarrollar un esquema de direccionamiento para llegar a más de un dispositivo esclavo objetivo con un único comando "Escribir EA-FDU".

Es posible incluso que Δp esté lo suficientemente próximo a 180 grados como para requerir que cada uno de los dispositivos esclavos ajuste el valor actual del retardo que está siendo aplicado por su EA-FDU 206 respectiva, mediante por lo menos una unidad de retardo. En dichas circunstancias, está dentro del alcance de la presente invención enviar un comando "Escribir EA-FDU" a cada dispositivo esclavo, en secuencia; alternativamente, puede emitirse un comando de difusión. Para determinar que Δp está claramente lo suficientemente próximo a 180 grados como para considerar un comando de difusión, su magnitud $|\Delta p|$ puede compararse con un factor de retardo masivo T_{MAX} . El factor de retardo masivo T_{MAX} representa el retardo estimado total por cargas de interconexión, a través de todo el sistema 502. Cuando existen N dispositivos esclavos en la configuración, el factor de retardo masivo T_{MAX} puede configurarse a N veces un retardo por cargas de interconexión individual estimado, indicado como t_{DLY} . En el presente ejemplo, $N = 8$, y el factor de retardo masivo T_{MAX} es igual a $8 \times t_{DLY}$, aunque, en general, N no está limitado a ningún valor específico. Si $|\Delta p|$ es mayor que el factor de retardo masivo T_{MAX} , entonces puede emitirse un comando "Escribir EA-FDU", que provoca un ajuste al valor actual del retardo que está siendo aplicado mediante la EA-FDU 206 en cada uno de los dispositivos esclavos 104-0 --- 7.

Existen otras técnicas para seleccionar los dispositivos esclavos objetivos individuales susceptibles de recibir un comando "Escribir EA-FDU", y para determinar el ajuste de retardo deseado con respecto al valor actual del retardo que está siendo aplicado por la EA-FDU 206 en dichos dispositivos esclavos objetivo, con el objetivo de poner Δp dentro de un intervalo aceptable; debe entenderse que cualquiera de estas técnicas puede utilizarse sin apartarse del alcance de la invención.

Tal como puede apreciarse a partir de la descripción anterior de una realización, durante la ejecución de la ramificación 640A ó 640B, el controlador maestro 508 genera uno o varios comandos "Escribir EA-FDU" destinados a uno o varios dispositivos esclavos objetivos, conteniendo cada uno de dichos comandos un respectivo patrón de bits indicativo de un ajuste de retardo deseado (por ejemplo, un aumento o una reducción) con respecto al valor

actual del retardo que está siendo aplicado por la EA-FDU 206 en los respectivos uno o varios dispositivos esclavos objetivo.

5 Para tomar un ejemplo no limitativo específico, asumamos que el ajuste de retardo deseado es de +1 unidad de retardo. Por lo tanto, en base a definiciones de patrones de bits anteriores, un comando "Escribir EA-FDU" que tiene un octeto DATA de "00h" es enviado a alguno de (i) un dispositivo esclavo objetivo específico o (ii) un subconjunto de los dispositivos esclavos o (iii) la totalidad de los dispositivos esclavos, en función de los criterios mencionados anteriormente. Esto aumentará el valor actual del retardo que está siendo aplicado mediante la EA-FDU 206, en cada dispositivo esclavo objetivo, en una unidad de retardo. La EA-FDU 206 en el dispositivo esclavo objetivo lleva a cabo un procedimiento de re-bloqueo, cuando detecta que la señal de reloj de retroalimentación S_{CLK_FB} se retrasa en una unidad de retardo, lo que provocará que la señal de reloj de salida S_{TCK-X} (y, finalmente, la señal de reloj de entrada maestra S_{RCK}) avance su fase en una unidad de retardo adicional. Después de esperar durante una cierta cantidad de tiempo (que puede estar predeterminada) para permitir que los dispositivos esclavos objetivo (y otros dispositivos esclavos no objetivo, si procede) respondan al comando o comandos "Escribir EA-FDU" emitidos durante la ramificación 640A ó 640B, el controlador de sincronización vuelve a la etapa 620, donde el controlador maestro 508 obtiene de nuevo Δp indicativa de la diferencia de fase entre la señal de reloj de entrada maestra S_{RCK} y la señal de reloj de salida maestra S_{TCK} .

La figura 7 muestra un diagrama de temporización que muestra que el comportamiento de la configuración sería similar sin el ajuste externo del sincronizador de reloj 110, basándose únicamente en el componente fijo t_F del retardo que está siendo aplicado por la EA-FDU 206 en cada sincronizador de reloj 110. (En este ejemplo, se asume que el retardo por cargas de interconexión real corresponde a t_{DLY} , el retardo por cargas de interconexión individual estimado, mencionado anteriormente). Por contraste, la figura 8 muestra un diagrama de temporización que ilustra el comportamiento de la configuración con ajuste externo del sincronizador de reloj 110, después de poner Δp dentro de un intervalo aceptable utilizando un proceso de sincronización tal como el descrito anteriormente. (En estos ejemplos, se asume que el retardo por cargas de interconexión real corresponde a t_{DLY} , el retardo por cargas de interconexión individual estimado, mencionado anteriormente).

En el caso de la figura 8, cuando se asume una distribución uniforme del retardo a través de los dispositivos esclavos 104-0 --- 7, el valor actual del retardo que está siendo aplicado por la EA-FDU 206 en un dispositivo esclavo 104-j dado, habrá convergido a t_{DLY} . Debe observarse que aunque se asume que t_{DLY} es el mismo para cada dispositivo esclavo, deberá apreciarse que, en la práctica, puede ser diferente para uno dado, de los dispositivos esclavos 104-0 --- 7. Asimismo, no es necesaria una distribución uniforme del retardo a través de los dispositivos esclavos 104-0 --- 7.

Por lo tanto, se apreciará que realizando ajustes al valor del retardo que está siendo aplicado por la EA-FDU 206 en uno o varios de los dispositivos esclavos 104-0 --- 7, es posible conseguir el bloqueo de fase de la señal de reloj de salida maestra S_{TCK} a la señal de reloj de entrada maestra S_{RCK} en el dispositivo maestro 102. Entonces, resulta evidente que se puede utilizar un número arbitrariamente grande de dispositivos esclavos, así como aumentar su frecuencia de trabajo. Además, durante el funcionamiento, el dispositivo maestro 102 puede reajustar el valor actual del retardo aplicado por la EA-FDU 206 a uno o varios dispositivos esclavos, emitiendo comandos "Escribir EA-FDU" si es necesario (por ejemplo, cuando cambia la temperatura del sistema 502, etc.). Puede apreciarse asimismo que no es necesario incorporar costosos circuitos de procesamiento y recepción de datos en el dispositivo maestro 102 para tener en cuenta las diferencias en los dominios de reloj TCK y RCK.

Se recuerda que el controlador esclavo 106 del dispositivo esclavo 104-j escribe en el registro EA-FD 220 respectivo, tras la recepción y reconocimiento de un comando "Escribir EA-FDU" procedente del dispositivo maestro 102. Además, los expertos en la materia apreciarán que el controlador esclavo 106 del dispositivo esclavo 104-j puede asimismo leer en el registro EA-FD 220, tras la recepción y el reconocimiento de un comando "Leer EA-FDU" procedente del dispositivo maestro 102. Dicho comando puede ser útil en una implementación en la que el dispositivo maestro 102 desea conocer el valor actual del registro EA-FD 220 en dispositivos esclavos 104-0 --- 7 específicos.

El comando "Leer EA-FDU" puede señalizarse mediante controlar las señales que aparecen en los puertos SIP-j, IPE-j y OPE-j. Más específicamente, asumiendo que la señal en el puerto IPE-j se mantiene alta, un ejemplo de un comando "Leer EA-FDU" puede tener el siguiente formato de 2 octetos:

Comando	1er octeto	2º octeto
Leer EA-FDU	"dirección de dispositivo"	B1h

En el formato de ejemplo anterior, el primer octeto ("dirección del dispositivo") identifica el dispositivo esclavo 104-j mediante su dirección específica. Mediante reconocer su propia dirección en la información recibida, el controlador esclavo 106 esperará recibir octetos adicionales de un comando, y esperará a responder al mismo.

5 En el formato de ejemplo anterior, el segundo octeto (B1h) es un "octeto adicional" del comando "Leer EA-FDU", y representa un valor hexadecimal que indica que el comando es un comando de "Leer EA-FDU" y ningún otro comando. Esto sirve para ayudar a distinguir este comando respecto de otros comandos (tales como el comando "Escribir EA-FDU") para cuya respuesta puede estar configurado el controlador esclavo 106. Por supuesto, el valor hexadecimal preciso del comando "Leer EA-FDU" es un parámetro de diseño y no tiene, en este ejemplo, ningún otro significado que el de servir a un propósito ilustrativo.

10 Asumiendo a continuación que el dispositivo esclavo 104-j tiene una dirección específica de "00h", la figura 9 muestra un diagrama de temporización básica para el comando "Leer EA-FDU". Debe observarse que la señal de habilitación del puerto de salida S_{OPE-j} que aparece en el puerto OPE-j se pone en un nivel alto mediante el dispositivo maestro 102 para señalar el periodo de tiempo durante el que se permite al controlador esclavo 106 que transfiera, y se espera que lo haga, los contenidos del registro EA-FD 220 sobre el puerto SOP-j.

15 En estos diagramas de temporización, se muestra un esquema de sincronismo diferencial a modo de ejemplo no limitativo, utilizando un par de señales de reloj de entrada $S_{RCK-j} + S_{RCK-j\#}$. Asimismo, se muestra un enfoque de velocidad de datos doble (DDR) a modo de ejemplo no limitativo. Además, la latencia de entrada a salida (o "latencia de flujo continuo", indicada como t_{OL}) corresponde a un (1) ciclo de reloj (o dos (2) ciclos DDR) en este ejemplo específico. Por supuesto, en otras implementaciones, puede utilizarse un esquema de sincronismo uniterminal, así como un tipo de velocidad de reloj y una anchura de puerto diferentes.

A continuación se hace referencia a la figura 10, que muestra una característica adicional que puede estar presente en un dispositivo esclavo 104-j, que es representativo de uno o varios dispositivos esclavos 104-0 --- 7. Específicamente, el dispositivo esclavo 104-j está equipado con control de intensidad de excitación.

25 Antes de pasar a la descripción de la característica de control de la intensidad de excitación de salida, debería mencionarse que la figura 10 muestra una implementación del dispositivo esclavo 104-j en la que se utiliza un esquema de sincronismo diferencial (frente un esquema de sincronismo uniterminal). Los esquemas de sincronismo diferenciales son populares en algunas aplicaciones de alta velocidad. Específicamente, en lugar de la señal de reloj de entrada S_{RCK-j} , se muestran un par de señales de reloj de entrada diferenciales S_{RCK-j} y $S_{RCK-j\#}$ que llegan a los puertos RCK-j y RCK-j#. De manera similar, en lugar de la señal de reloj de salida S_{TCK-j} , se muestran un par de señales de reloj de salida diferenciales S_{TCK-j} y $S_{TCK-j\#}$ emitidas mediante los puertos TCK-j y TCK-j#. Las señales de reloj de salida diferenciales S_{TCK-j} , $S_{TCK-j\#}$ se obtienen a partir de la señal de reloj intermedia S_{CLK_INT} , que puede ser uniterminal, aunque puede también ser diferencial.

35 Pueden existir muchos enfoques diferentes en el tratamiento de un esquema de sincronismo diferencial internamente en el dispositivo esclavo 104-j, y puede utilizarse cualquiera de dichos enfoques sin apartarse del alcance de la invención. Por ejemplo, en la realización no limitativa mostrada en la figura 10, se da a conocer una nueva memoria tampón de entrada 1010 para excitar la mencionada señal de reloj de referencia S_{CLK_REF} desde las señales de reloj de entrada diferenciales S_{RCK-j} , $S_{RCK-j\#}$. Las otras memorias tampón de entrada 120-2, 120-3 y 120-4 pueden ser como anteriormente.

40 Volviendo a continuación a la característica de control de la intensidad de excitación de salida, se observará que el dispositivo esclavo 104-j incluye una serie de excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4. El excitador de salida de intensidad variable 1022-1 está conectado a los puertos TCK-j y TCK-j#. Los excitadores de salida de intensidad variable 1022-2, 1022-3 y 1022-4 están conectados a los puertos SOP-j, OPEQ-j y IPEQ-j, respectivamente. En la realización mostrada, los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4 han sustituido a las memorias tampón de salida 122-1, 122-2, 122-3, 122-4 mostradas en la figura 2B, pero deberá apreciarse que en otras realizaciones los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4 pueden añadirse a las memorias tampón de salida 122-1, 122-2, 122-3, 122-4.

45 Los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4 son capaces de excitar sus señales de salida respectivas con una intensidad de excitación deseada, controlada por un controlador esclavo 106 modificado. Los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4 son, cuando la intensidad de excitación de salida puede modificarse, por ejemplo, entre "intensidad de excitación total" e "intensidad de excitación media", acordes con valores de configuración de registro en modo extendido. Se ocurrirán otras posibilidades a los expertos en la materia.

55 En una realización de la presente invención, la flexibilidad proporcionada por los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4 sirve para modificar intencionadamente la velocidad de transición de las señales que son emitidas por el dispositivo esclavo 104-j. La velocidad de transición es particularmente sensible a la

intensidad de excitación de salida debido a la carga por interconexión entre los dispositivos de la configuración. Cuando la velocidad de transición de la señal dada se modifica, desde el punto de vista de un dispositivo sucesivo posterior en el sistema 502 parecerá como si la señal estuviera ligeramente retardada.

5 Por lo tanto, pueden realizarse ajustes a la intensidad de excitación de salida de los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4 para complementar los ajustes descritos anteriormente para el registro EA-FD 220, a efectos de conseguir una sincronización de reloj mejorada en el dispositivo maestro 102, entre la señal de reloj de salida maestra S_{TCK} y la señal de reloj de entrada maestra S_{RCK} .

10 A este respecto, en un ejemplo, el controlador esclavo 106 modificado puede comprender un registro 1020 de intensidad de excitación de salida (en adelante, "ODSR"), en el que puede escribir el dispositivo maestro 102. En una realización específica, el registro ODSR 1020 contiene un patrón de bits que especifica una intensidad deseada a aplicar por los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4. El controlador esclavo 106 está configurado para emitir una señal de control ODSR, S_{ODSR} , indicativa de los contenidos del registro ODSR 1020. La señal de control ODSR, S_{ODSR} , puede proporcionarse a un puerto de control de cada uno de los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4. La señal de control ODSR, S_{ODSR} , puede formatearse de manera que, cuando es interpretada por los excitadores de salida de intensidad variable 1022-1, 15 1022-2, 1022-3, 1022-4 tras la recepción en su puerto de control respectivo, la señal de control ODSR, S_{ODSR} , provocará que se aplique la intensidad deseada mediante los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4. La intensidad deseada es un parámetro de diseño que puede hacerse tan grande o pequeño como sea necesario para satisfacer requisitos operativos.

20 Por supuesto, debe apreciarse que la utilización de un esquema de sincronización diferencial o uniterminal no menoscaba la capacidad de conseguir sincronismo entre la señal de reloj de salida maestra S_{TCK} y la señal de reloj de entrada maestra S_{RCK} mediante ordenar operaciones de escritura en el registro EA-FD 220 y posiblemente asimismo en el registro ODSR 1020.

25 En la siguiente tabla 2, se proporcionan diversos patrones de bits que pueden contenerse en el registro ODSR 1020, y el posible significado de cada uno de dichos patrones de bits en términos de la intensidad deseada a aplicar por los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4:

Tabla 2

Descripción	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Intensidad de excitación 1/4						0	0	0
Intensidad de excitación 1/2						0	0	1
Intensidad de excitación 1X	0	0	0	0	0	0	1	0
Intensidad de excitación 2X						0	1	1
Intensidad de excitación 4X						1	0	0
Resetear a intensidad de excitación por defecto	1	0	0	0	0	0	0	0
Reservado	Todas las demás combinaciones							

30 Debe entenderse que la tabla 2 muestra definiciones de bits a modo de ejemplo con fines meramente ilustrativos. Los patrones de bits pueden ser modificados y/o expandidos fácilmente si se requiere una granularidad más fina o más gruesa para la intensidad deseada.

35 Se recuerda que el controlador esclavo 106 modificado escribe en el registro ODSR 1020 tras la recepción y el reconocimiento de un comando procedente del dispositivo maestro 102. Dicho comando puede formularse en base a mediciones de la salida del PFD 506 en el dispositivo maestro 102. Dicho comando, denominado en adelante un comando de "Escribir ODSR-FDU", puede señalizarse mediante controlar las señales que aparecen en los puertos SIP-j e IPE-j. Más específicamente, asumiendo que la señal en el puerto IPE-j se mantiene alta, un ejemplo de un comando "Escribir ODSR-FDU" puede tener el siguiente formato de 3 octetos:

Comando	1er octeto	2º octeto	3er octeto
Escribir ODSR	"dirección de dispositivo"	B2h	DATA

5 En el formato de ejemplo anterior, el primer octeto ("dirección de dispositivo") identifica el dispositivo esclavo 104-j, bien en base individual o como parte de un grupo. Reconociendo su dirección propia (o una de sus direcciones propias) en la información recibida, el controlador esclavo 106 modificado esperará a recibir más octetos de un comando, y esperará a tener que responder al mismo.

10 En el formato de ejemplo anterior, el segundo octeto (B1h) es un "octeto adicional" del comando "Escribir ODSR", y representa un valor hexadecimal que indica que el comando es un comando "Escribir ODSR" y ningún otro comando. Esto sirve para ayudar a diferenciar este comando respecto de otros comandos (tales como los comandos "Escribir EA-FDU" y "Leer EA-FDU") para cuya respuesta está configurado el controlador esclavo 106 modificado. Por supuesto, el valor hexadecimal preciso del comando "Leer ODSR" es un parámetro de diseño y no tiene, en este ejemplo, ningún otro significado que el de servir a un propósito ilustrativo.

En el formato de ejemplo anterior, el tercer octeto (DATA) representa el patrón de bits a escribir en el registro ODSR 1020, que puede ser acorde con la tabla anterior.

15 Supongamos ahora que el dispositivo esclavo 104-j tiene una dirección específica de "07h" y una dirección común de "FFh". Las figuras 11A y 11B muestran cada una un diagrama de temporización básico para el comando "Escribir ODSR". En el caso de la figura 11A, el comando "Escribir ODSR" está destinado específicamente al dispositivo esclavo 104-j (siendo la intensidad deseada a aplicar por los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4 la intensidad regular), mientras que en el caso de la figura 11B, el dispositivo esclavo 104-j es solamente uno de los varios posibles receptores previstos del comando "Escribir ODSR" (siendo la intensidad deseada a aplicar por los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4, media intensidad).

20 En estos diagramas de temporización, se muestra un esquema de sincronismo diferencial a modo de ejemplo no limitativo, utilizando un par de señales de reloj de entrada $S_{RCK-j} + S_{RCK-j\#}$. Asimismo, se muestra un enfoque de velocidad de datos doble (DDR) a modo de ejemplo no limitativo. Además, la latencia de entrada a salida (o "latencia de flujo continuo", indicada como t_{OL}) corresponde a un (1) ciclo de reloj (o dos (2) ciclos DDR) en este ejemplo específico. Por supuesto, en otras implementaciones, puede utilizarse un esquema de sincronismo uniterminal, así como un tipo de velocidad de reloj y una anchura de puerto diferentes.

25 Además, los expertos en la materia apreciarán que el controlador esclavo 106 modificado del dispositivo esclavo 104-j puede asimismo leer desde el registro ODSR 1020 tras la recepción y el reconocimiento de un comando "Leer ODSR" procedente del dispositivo maestro 102. Dicho comando puede ser útil en una implementación en la que el dispositivo maestro 102 desea conocer el valor actual del registro ODSR 1020 en dispositivos esclavos 104-0 --- 7 específicos.

30 El comando "Leer ODSR" puede señalizarse mediante controlar las señales que aparecen en los puertos SIP-j, IPE-j y OPE-j. Más específicamente, asumiendo que la señal en el puerto IPE-j se mantiene alta, un ejemplo de un comando "Leer ODSR-FDU" puede tener el siguiente formato de 2 octetos:

Comando	1er octeto	2º octeto
Leer ODSR	"dirección de dispositivo"	B3h

En el formato de ejemplo anterior, el primer octeto ("dirección del dispositivo") identifica el dispositivo esclavo 104-j mediante su dirección específica. Mediante reconocer su propia dirección en la información recibida, el controlador esclavo 106 modificado esperará recibir octetos adicionales de un comando, y esperará a responder al mismo.

40 En el formato de ejemplo anterior, el segundo octeto (B3h) es un "octeto adicional" del comando "Leer ODSR", y representa un valor hexadecimal que indica que el comando es un comando "Leer ODSR" y ningún otro comando. Esto sirve para ayudar a diferenciar este comando de otros comandos (tales como los comandos "Escribir EA-FDU" y "Leer EA-FDU" y "Escribir ODSR") para cuya respuesta está configurado el controlador esclavo 106 modificado. Por supuesto, el valor hexadecimal preciso del comando "Leer ODSR" es un parámetro de diseño y no tiene, en este ejemplo, ningún otro significado que el de servir a un propósito ilustrativo.

Se asume a continuación del dispositivo esclavo 104-j tiene una dirección específica de "07h". La figura 12 muestra un diagrama de temporización básico para el comando "Leer ODSR". Debe observarse que la señal de habilitación del puerto de salida S_{OPE-j} que aparece en el puerto OPE-j se pone en un nivel alto mediante el dispositivo maestro 102 para señalar el período de tiempo durante el que se permite al controlador esclavo 106 modificado que transfiera, y se espera que lo haga, los contenidos del registro ODSR 1020 sobre el puerto SOP-j.

En algunos casos, puede ajustarse tanto la frecuencia como la fase, mediante una sola señal de control proporcionada al sincronizador de reloj 110. Por ejemplo, haciendo referencia a la figura 13, se muestra una realización del dispositivo esclavo 104-j que comprende un sincronizador de reloj 1410 que implementa un bucle de enganche de fase ajustable externamente. A este respecto, el sincronizador de reloj 1410 comprende un detector de fase y de frecuencia (PFD) 1402, una bomba de carga 1404, un filtro de bucle y generador de polarización 1406, un oscilador controlado por tensión (VCO, voltage-controlled oscillator) 1408 y la unidad de retroalimentación de retardo ajustable externamente (EA-FDU) 206 descrita anteriormente.

El PFD de 1402 es operativo para generar una señal de control de la bomba de carga S_{CP} basada en dos señales recibidas en puertos de entrada respectivos. La primera señal es la señal de reloj de referencia S_{CLK_REF} . La segunda señal es la señal de reloj de retroalimentación S_{CLK_FB} que es entregada por la EA-FDU 206. El PFD 1402 proporciona la señal de control de la bomba de carga S_{CP} mediante un puerto de salida. En una realización, la señal de control de la bomba de carga S_{CP} puede ser indicativa de un aumento o reducción de tensión a aplicar por la bomba de carga 1404.

La bomba de carga 1404 tiene un puerto de entrada para recibir la señal de control de la bomba de carga S_{CP} desde el PFD 1402. La bomba de carga 1404 produce una señal de control de tensión S_{V_CTRL} basada en la señal de control de la bomba de carga S_{CP} . La señal de control de tensión S_{V_CTRL} se proporciona en un puerto de salida de la bomba de carga 1404 y es alimentada al filtro de bucle y generador de polarización 1406.

El filtro de bucle y generador de polarización 1406 recibe la señal de control de tensión S_{V_CTRL} procedente de la bomba de carga 1404 a través de un puerto de entrada. El filtro de bucle y generador de polarización 1406 produce dos señales de control de tensión S_{VBP} (tensión de polarización PMOS) y S_{VBN} (tensión de polarización NMOS) en base a la señal de control de tensión S_{V_CTRL} . Las dos señales de control de tensión S_{VBP} y S_{VBN} se proporcionan en respectivos puertos de salida del filtro de bucle y generador de polarización 1406, y son alimentadas al VCO 1408.

El VCO 1408 recibe las dos señales de control de tensión S_{VBP} y S_{VBN} procedentes del filtro de bucle y generador de polarización 1406 mediante puertos de entrada respectivos. El VCO 1408 produce la señal de reloj intermedia S_{CLK_INT} en base a las dos señales de control de tensión S_{VBP} y S_{VBN} . La señal de reloj intermedia S_{CLK_INT} se proporciona en un puerto de salida del VCO 1408 y es alimentada al puerto de entrada de la EA-FDU 206. Para más detalles relativos al funcionamiento del VCO 1408, se puede consultar el documento "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques", de John G. Mancatis, IEEE Journal of Solid-State Circuits, volumen 31, número 11, página 1723, noviembre de 1996

Se recuerda que la EA-FDU 206 comprende un puerto de control para recibir la señal de control S_{CTRL} procedente del controlador esclavo 106 modificado. La EA-FDU 206 es operativa para generar la señal de reloj de retroalimentación S_{CLK_FB} mediante aplicar un retardo a la señal de reloj de salida intermedia S_{CLK_INT} , siendo dicho retardo una función de la señal de control S_{CTRL} . Como antes, el valor actual del retardo que se está aplicando mediante la EA-FDU 206 es un ejemplo de un parámetro que puede ser controlado por el controlador esclavo 106 modificado.

En funcionamiento, el PFD 1402 detecta una diferencia de fase entre la señal de reloj de retroalimentación S_{CLK_FB} y la señal de reloj de referencia S_{CLK_REF} , y entrega la señal de control de la bomba de carga S_{CP} basada en la diferencia de fase detectada. Por lo tanto, la salida del PFD 1402 será cero cuando la fase de la señal de reloj de retroalimentación S_{CLK_FB} corresponda a la fase de la señal de reloj de referencia S_{CLK_REF} . En este momento, el sincronizador de reloj 1410 ha alcanzado un estado de "bloqueo de fase". En dicho estado, se observará que la señal de reloj de retroalimentación S_{CLK_FB} será una versión retardada de la señal de reloj intermedia S_{CLK_INT} . En otras palabras, la señal de reloj intermedia S_{CLK_INT} es una versión anterior de la señal de reloj de retroalimentación S_{CLK_FB} , que tendrá la misma fase que la señal de reloj de referencia S_{CLK_REF} durante un estado de bloqueo de fase.

Debe entenderse que en realizaciones alternativas de la presente invención, son posibles otras implementaciones de bucle de enganche de fase junto con la EA-FDU 206.

En algunos casos, es posible que la señal de reloj de salida maestra S_{TCK} y la señal de reloj de entrada maestra S_{RCK} no sólo estén desfasadas, sino que tengan asimismo una diferencia de frecuencia entre sí. En otras palabras, la salida del PFD 506 obtenida en la etapa 620 indica que existe una diferencia de frecuencia (indicada como Δf) además, o el lugar de, la diferencia de fase $\Delta \phi$. Para contemplar esta posibilidad, y continuando haciendo referencia a la figura 13, está dentro del alcance de la presente invención para el sincronizador de reloj 110, que éste

comprenda una unidad de frecuencia de retroalimentación ajustable externamente (indicada EA-FFU) 1306 además, o en lugar de la EA-FDU 206.

5 La EA-FFU 1306, que es opcional, puede implementarse en forma de un convertidor de frecuencia variable (por ejemplo, multiplicador o divisor) u otro circuito conocido por los expertos en la materia. La EA-FFU 1306 tiene un puerto de entrada para recibir la señal de reloj intermedia S_{CLK_INT} , y un puerto de salida para suministrar otra señal de reloj intermedia S_{CLK_INT2} para su procesamiento mediante la EA-FDU 206 (si es que la EA-FDU 206 está presente). La EA-FFU 1306 comprende asimismo un puerto de control para recibir una señal de control de frecuencia S_{FREQ} desde el controlador esclavo 106. La EA-FFU 1306 es operativa para generar la señal de reloj intermedia S_{CLK_INT2} mediante aplicar un desplazamiento de frecuencia a la señal de reloj de salida intermedia S_{CLK_INT} , siendo dicho desplazamiento de frecuencia función de la señal de control de frecuencia S_{FREQ} . El desplazamiento de frecuencia aplicado por la EA-FFU 1306 es otro ejemplo de un parámetro que puede ser controlado por el controlador esclavo 106.

Debe entenderse que el orden de interconexión entre la EA-FDU 206 y la EA-FFU 1306 puede invertirse (si es que la EA-FDU 206 está presente).

15 Los expertos en la materia deberán apreciar que las realizaciones de la presente invención pueden utilizarse junto con otras innovaciones relativas a mejoras de dispositivos semiconductores interconectados en serie. Pueden encontrarse ejemplos de dichas otras innovaciones en algunas otras solicitudes de patente, de las que un conjunto incluye:

- Número de serie 60/722 368, presentada el 30 de septiembre de 2005;
- 20 - Número de serie 11/324 023, presentada el 30 de septiembre de 2005;
- Número de serie 11/496 278, presentada el 31 de julio de 2006;
- Número de serie 11/521 734, presentada el 15 de septiembre de 2006;
- Número de serie 11/606 407, presentada el 29 de noviembre de 2006;
- Número de serie 11/771 023, presentada el 29 de junio de 2007; y
- 25 - Número de serie 11/771 241, presentada el 29 de junio de 2007.

Si bien las realizaciones anteriores han sido descritas con el comando "Escribir EA-FDU" conteniendo un patrón de bits que especifica un ajuste de retardo deseado con respecto al valor actual del retardo que está siendo aplicado por la EA-FDU 206, esto no debe interpretarse como una limitación de la presente invención. Por ejemplo, en una realización alternativa, el comando "Escribir EA-FDU" puede contener un patrón de bits que especifica un valor real deseado del retardo a aplicar por la EA-FDU 206. En muchos casos, deberá tenerse cuidado para asegurar que el formato del comando "Escribir EA-FDU" proporciona un intervalo dinámico suficiente. Además, debido a que en esta realización alternativa el registro EA-FD 220 especifica un retardo deseado y no un ajuste deseado del retardo, el controlador esclavo 106 no tiene que preocuparse de borrar el registro EA-FD 220 inmediatamente después de leerlo, o de leer el registro EA-FD 220 solamente una vez después de que ha sido escrito por el dispositivo maestro 102.

Asimismo, aunque las realizaciones anteriores han descrito el comando "Escribir ODSR" como conteniendo un patrón de bits que especifica una intensidad deseada a aplicar por los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4, esto no debe interpretarse como una limitación de la presente invención. Por ejemplo, en una realización alternativa, el comando "Escribir ODSR" puede contener un patrón de bits que especifica un ajuste deseado para la intensidad actual que está siendo aplicada por los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4. En muchos casos, el controlador esclavo 106 modificado podría diseñarse para borrar el registro ODSR 1020 inmediatamente después de leerlo, o para leer el registro ODSR 1020 solamente una vez después de que ha sido escrito por el dispositivo maestro 102.

Además, aunque las realizaciones anteriores han descrito el comando "Escribir ODSR" como conteniendo un patrón de bits que especifica una intensidad deseada a aplicar mediante todos los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4 en un dispositivo esclavo objetivo dado, esto no debe interpretarse como una limitación de la presente invención. Por ejemplo, en una realización alternativa, pueden existir múltiples registros ODSR, uno para cada uno de los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4. Por consiguiente, pueden generarse múltiples comandos de "Escribir ODSR", que contienen cada uno un patrón de bits que especifica un ajuste deseado para la intensidad actual que está siendo aplicada por uno específico de los excitadores de salida de intensidad variable 1022-1, 1022-2, 1022-3, 1022-4.

5 Asimismo, aunque las realizaciones anteriores han descrito el tipo de respuesta de reloj de los dispositivos esclavos 104-0 --- 7 como siendo síncrona con la fuente alineada en los flancos, esto no debe interpretarse como una limitación de la presente invención. En una realización alternativa, el tipo de respuesta de reloj puede ser síncrona con la fuente alineada en el centro. Se contemplan otras posibilidades como estando dentro del alcance de la presente invención.

10 Además, aunque las realizaciones anteriores han descrito el tipo de velocidad de reloj de los dispositivos esclavos 104-0 --- 7 como siendo velocidad de datos simple (SDR) o velocidad de datos doble (DDR), esto no debe interpretarse como una limitación de la presente invención. Por ejemplo, el tipo de velocidad de reloj de los dispositivos esclavos 104-0 --- 7 puede ser velocidad de datos cuádruple (QDR, quad data rate), velocidad de datos octal (ODR, octal data rate) o velocidad de datos doble para gráficos (GDDR, graphics double data rate), para nombrar unas pocas posibilidades no limitativas.

15 Asimismo, aunque los componentes y circuitos de los diversos dispositivos del sistema 502 han sido descritos como siendo sensibles a las señales "activas en alta", esto no debe interpretarse como una limitación de la presente invención. Por ejemplo, los componentes de los circuitos de los diversos dispositivos del sistema 502 pueden ser sensibles a señales "activas en baja", dependiendo de las preferencias de diseño.

20 Además, cuando los componentes y los circuitos de los diversos dispositivos del sistema 502 han sido mostrados como estando conectados directamente entre sí, deberá apreciarse que esto se ha realizado para mayor simplicidad y que otros componentes y circuitos pueden situarse entre, o acoplarse a los mismos. Como resultado, las que en los dibujos parecen conexiones directas pueden implementarse, de hecho, como conexiones indirectas en una realización real.

Adicionalmente, deberá apreciarse que en algunas realizaciones, puede utilizarse un esquema de sincronismo diferencial, mientras que en otras realizaciones puede utilizarse un esquema de sincronismo uniterminal.

25 Además, aunque muchas de las señales que viajan entre dispositivos esclavos y otros dispositivos esclavos, o entre los dispositivos esclavos y el dispositivo maestro, han sido descritas y mostradas como teniendo una anchura de un solo bit, será competencia de un técnico cualificado modificar los diversos componentes del sistema 502 y sus interfaces para permitir señales de anchura de múltiples bits. Asimismo, está dentro del alcance de la presente invención proporcionar múltiples conjuntos de señales que tengan, cada uno, una anchura de un solo bit. De este modo, por ejemplo, cuando se desea un reloj de dos bits de anchura, esta característica se puede implementar utilizando múltiples señales secundarias de reloj de anchura de un solo bit, o utilizando una sola señal de reloj que
30 tiene dos bits de anchura. Para una señal que requiere una anchura de bits mayor, puede utilizarse una combinación de señales secundarias, cada una con una anchura de bits particular.

Deberá resultar evidente para los expertos en la materia que las operaciones y funciones de algunos de los controladores, procesadores y otros elementos descritos anteriormente pueden conseguirse mediante equipamiento físico o soporte lógico.

35 Si bien han sido descritas y mostradas realizaciones específicas de la presente invención, resultará evidente para los expertos en la materia que pueden realizarse numerosas modificaciones y variaciones sin apartarse del alcance de la invención, que se define en las reivindicaciones adjuntas.

REIVINDICACIONES

1. Un aparato (502), que comprende:
 - un controlador del sistema (102); y
 - una configuración de dispositivos semiconductores conectados en serie (104-0, 104-1, ... , 104-7);
- 5 - estando adaptado el controlador del sistema (102) para comunicar con dicha configuración, comprendiendo el controlador del sistema:
 - una salida configurada para proporcionar una primera señal de reloj a un primer dispositivo (104-0) en la configuración;
 - una entrada configurada para recibir una segunda señal de reloj procedente de un último dispositivo (104-7) en la configuración, correspondiendo la segunda señal de reloj a una versión de la primera señal de reloj que ha sido sometida a procesamiento mediante el sincronizador de reloj (110), por lo menos, en uno de los dispositivos (104-0, 104-1, ..., 104-7) en la configuración;
- 10 - un detector para procesar la primera y la segunda señales de reloj a efectos de detectar una diferencia de fase entre ambas; y
- 15 - un controlador (106) configurado para ordenar un ajuste al sincronizador de reloj, por lo menos en uno de dichos dispositivos en la configuración, en base a la diferencia de fase detectada por el detector.
2. El aparato (502) según la reivindicación 1, en el que para ordenar el ajuste, el controlador está configurado para emitir un comando para efectuar un ajuste a un retardo que está siendo aplicado mediante un trayecto de retroalimentación en el sincronizador de reloj, en dicho por lo menos uno de dichos dispositivos de la configuración.
- 20 3. El aparato (502) según la reivindicación 2, en el que dicho ajuste es un aumento incremental o una reducción incremental basados en la diferencia de fase.
4. El aparato (502) según la reivindicación 2 o la reivindicación 3, en el que cuando el comando es emitido a una serie de los dispositivos de la configuración, el ajuste de es distribuido de manera sustancialmente uniforme en la totalidad de dicha pluralidad de los dispositivos de la configuración.
- 25 5. El aparato (502) según la reivindicación 2 o la reivindicación 3, en el que el controlador está configurado para determinar si la magnitud de la diferencia de fase excede un valor umbral y, en caso afirmativo, para emitir el comando a un subconjunto de los dispositivos de la configuración, siendo el número de dispositivos de dicho subconjunto una función de la magnitud de la diferencia de fase.
- 30 6. El aparato (502) según la reivindicación 5, en el que si la magnitud de la diferencia de fase no excede el valor umbral pero excede un segundo valor umbral, el controlador está configurado para emitir un primer comando a uno de los dispositivos de la configuración, y emitir a continuación un segundo comando a un nuevo subconjunto de dispositivos en la configuración, siendo el número de dispositivos de dicho nuevo subconjunto una función de la magnitud de una nueva lectura de la diferencia de fase obtenida del detector.
- 35 7. El aparato (502) según la reivindicación 2 o la reivindicación 3, en el que el controlador está configurado para determinar si la magnitud de la diferencia de fase excede un valor umbral y, en caso afirmativo, emitir el comando a todos los dispositivos de la configuración.
8. El aparato (502) según la reivindicación 7, en el que el controlador está configurado para emitir secuencialmente el comando a todos los dispositivos de la configuración.
- 40 9. El aparato (502) según la reivindicación 7, en el que el controlador está configurado para difundir el comando a todos los dispositivos de la configuración.
10. Un método para hacer funcionar el aparato (502) según las reivindicaciones 1 a 9, que comprende:
 - proporcionar una primera señal de reloj a un primer dispositivo (104-0) en una configuración de dispositivos semiconductores conectados en serie (104-0, 104-1, ..., 104-7);

ES 2 441 951 T3

- recibir una segunda señal de reloj desde el último dispositivo (104-7) de la configuración, correspondiendo la segunda señal de reloj a una versión de la primera señal de reloj que ha sido sometida a procesamiento mediante el sincronizador de reloj (110), por lo menos en uno de los dispositivos de la configuración;
 - procesar la primera y la segunda señales de reloj para detectar una diferencia de fase entre ambas; y
- 5 - emitir un comando para ajustar el sincronizador de reloj, por lo menos, en uno de dichos dispositivos de la configuración, en base a la diferencia de fase.

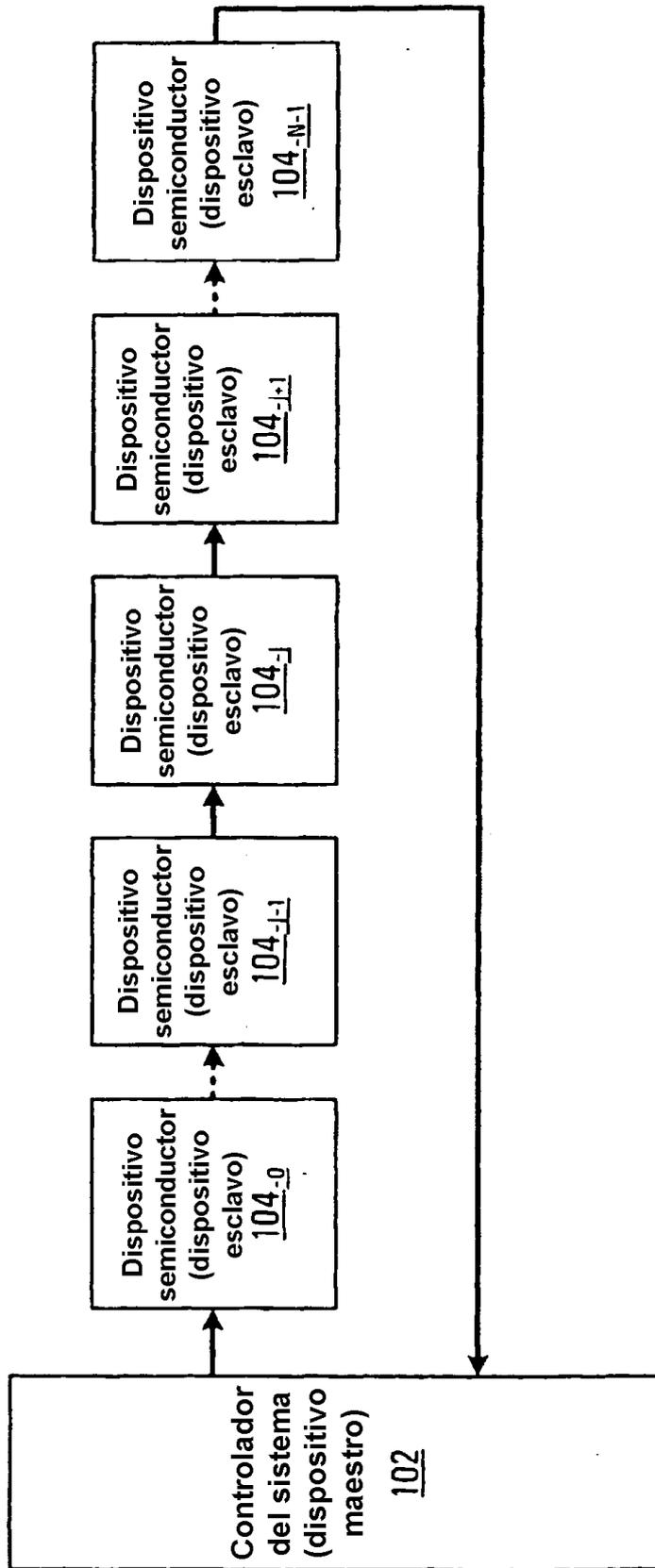


FIG. 1

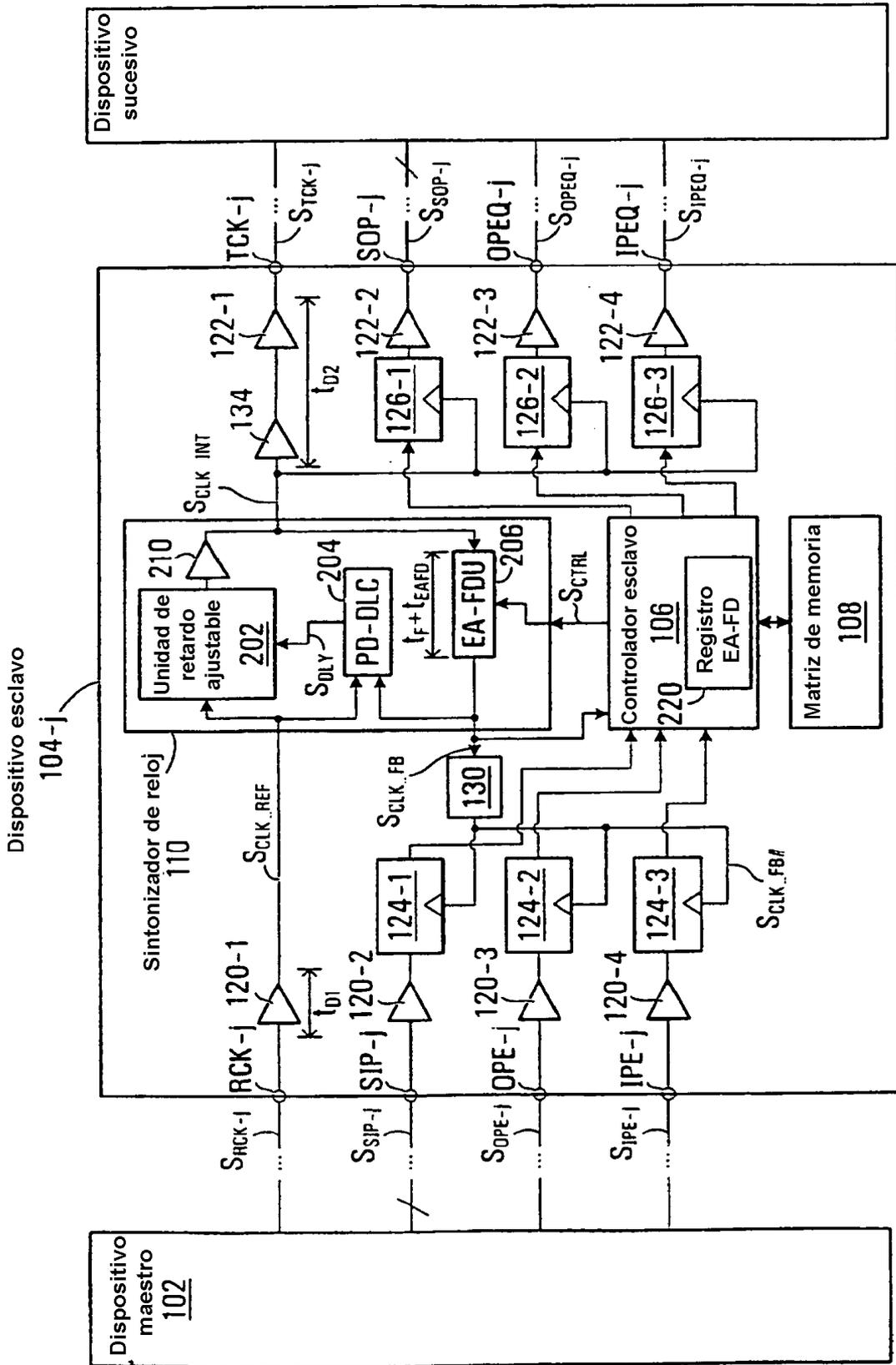


FIG. 2B

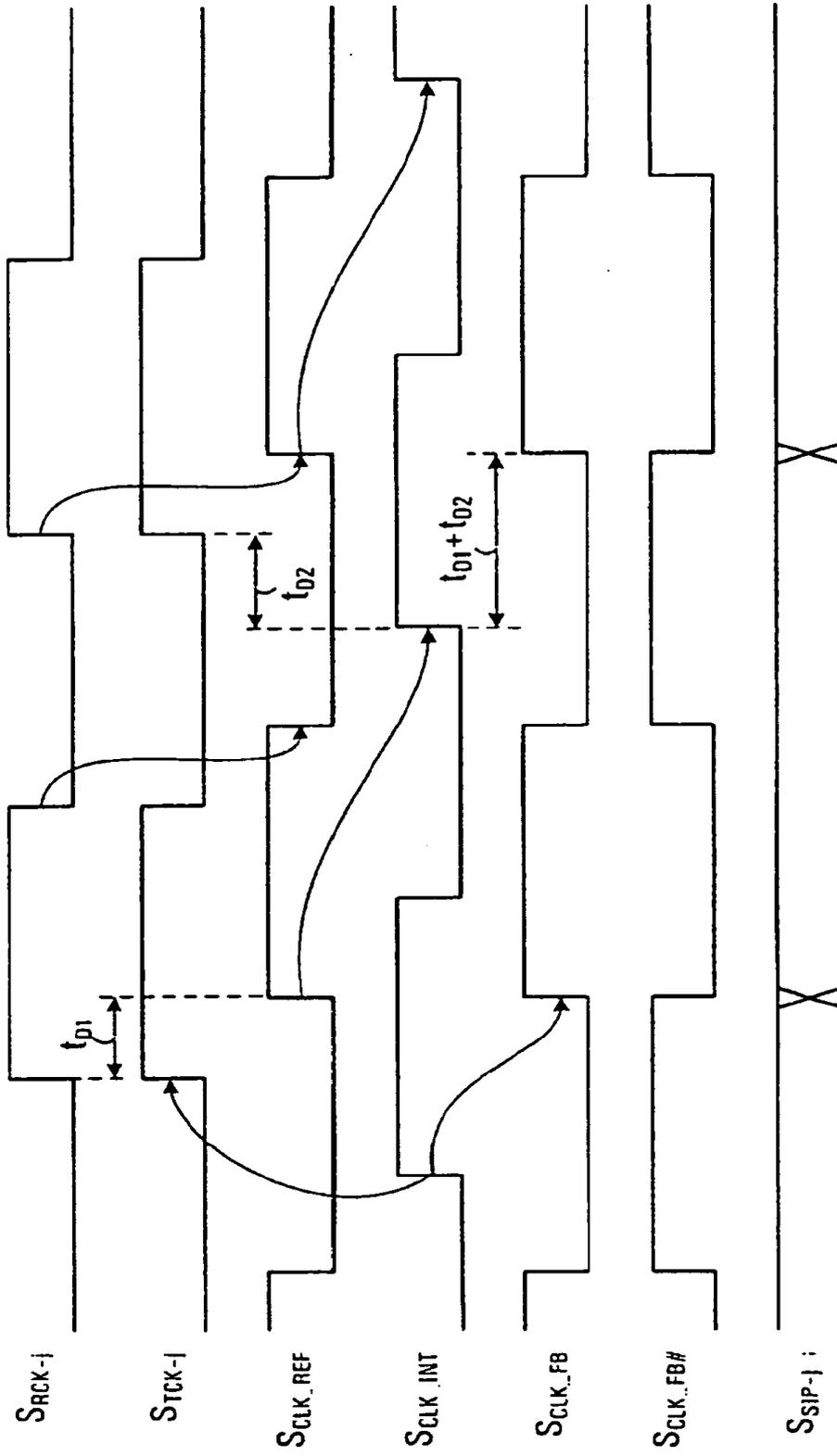


FIG. 3A

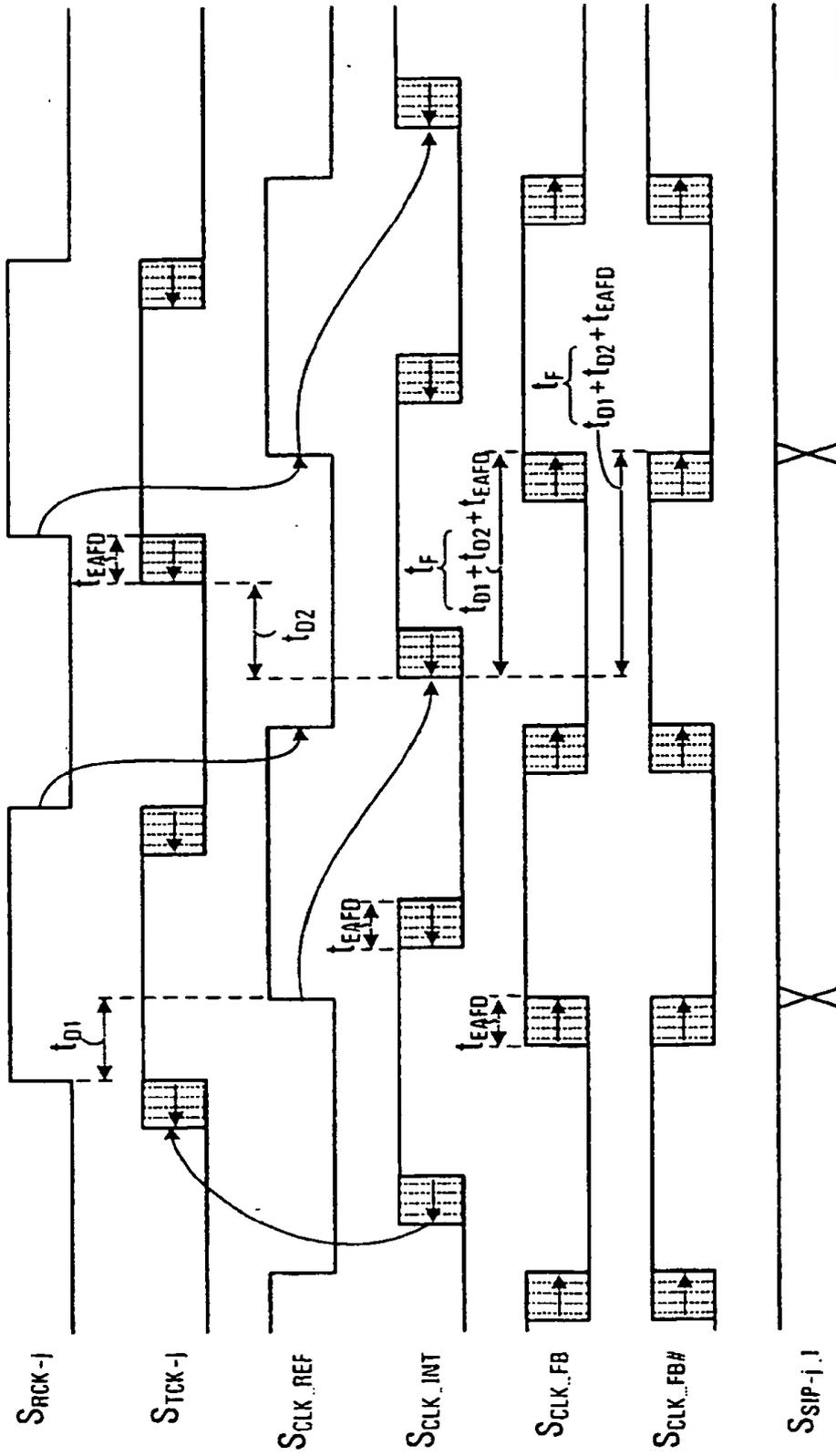


FIG. 3B

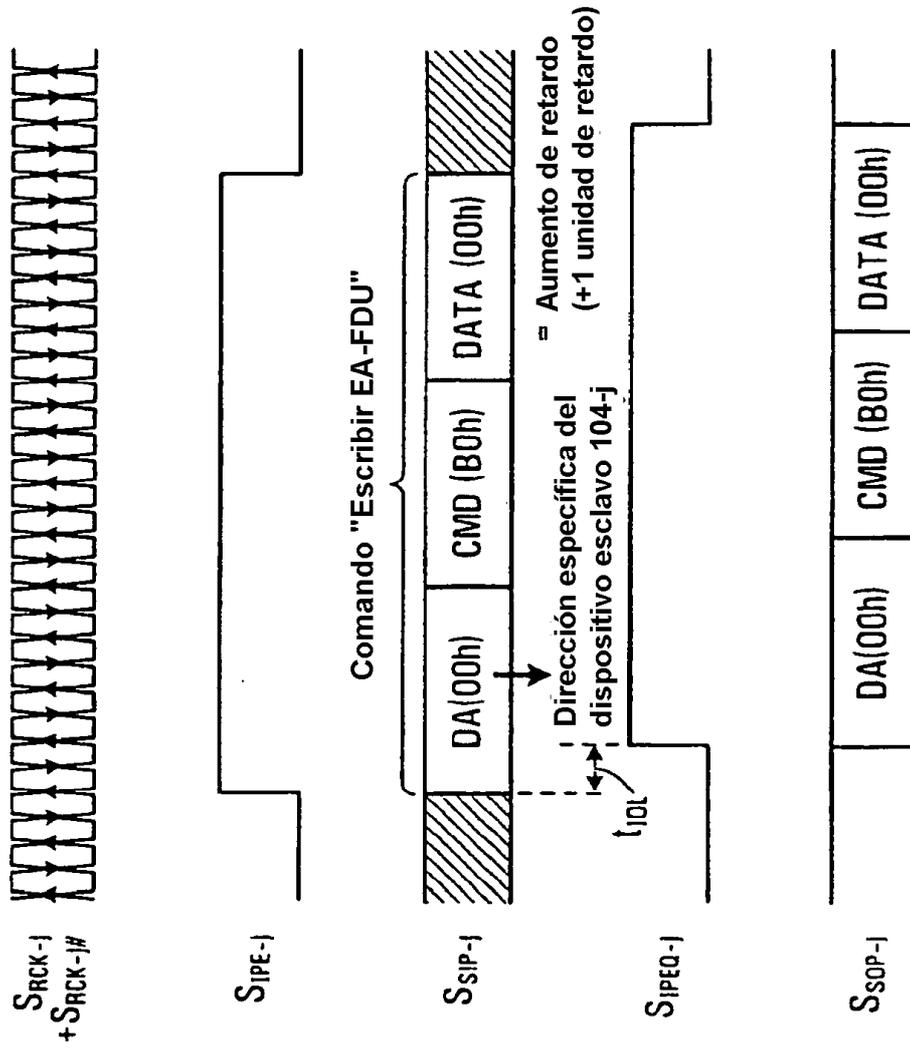


FIG. 4A

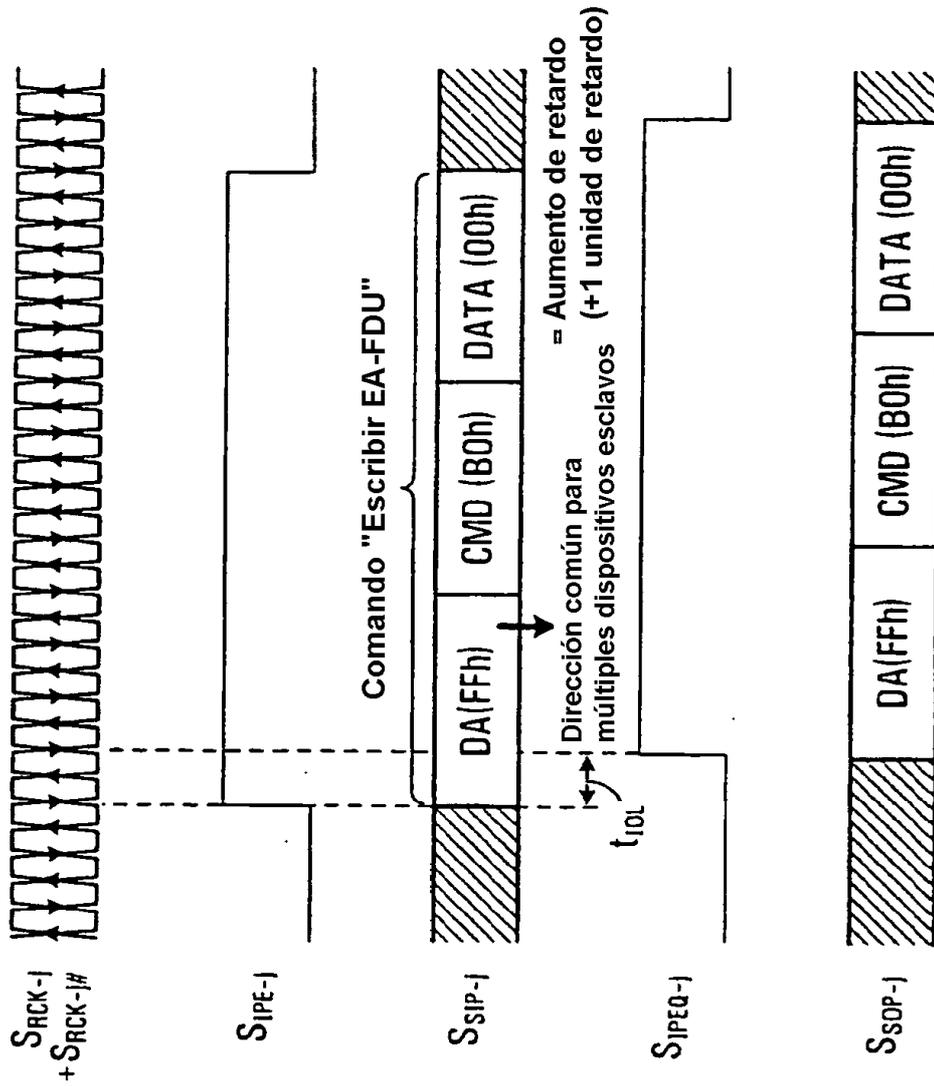


FIG. 4B

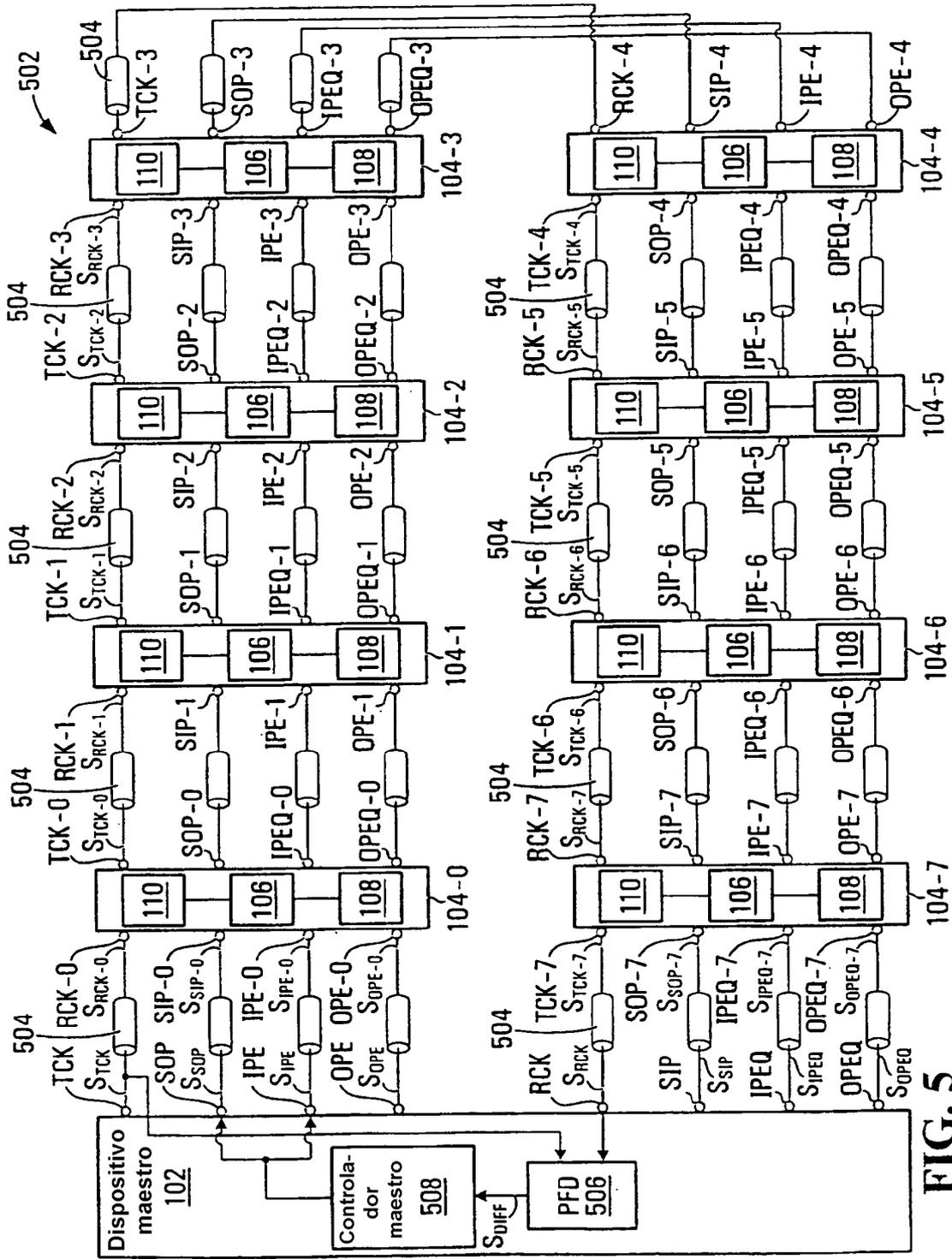


FIG. 5

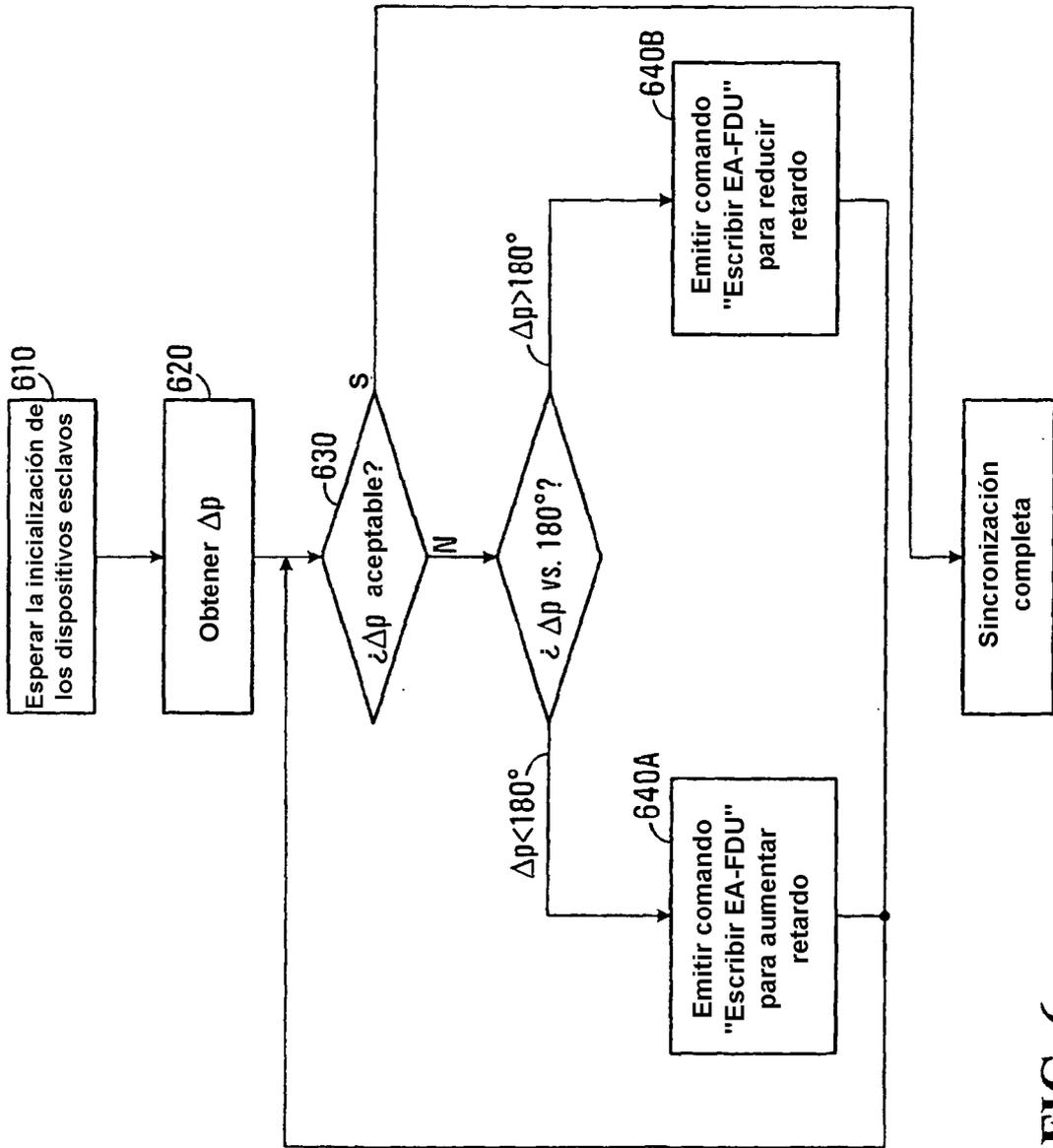


FIG. 6

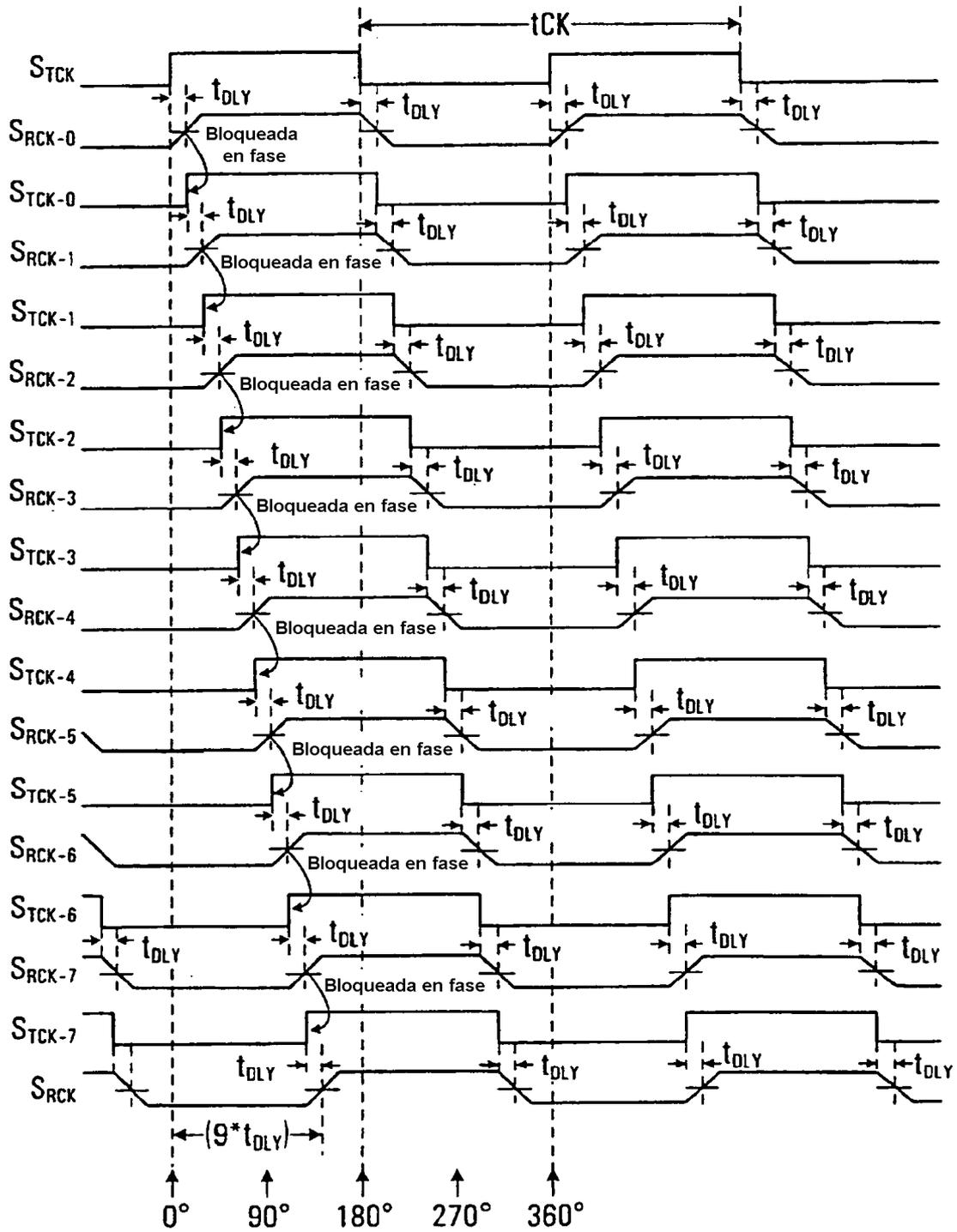


FIG. 7

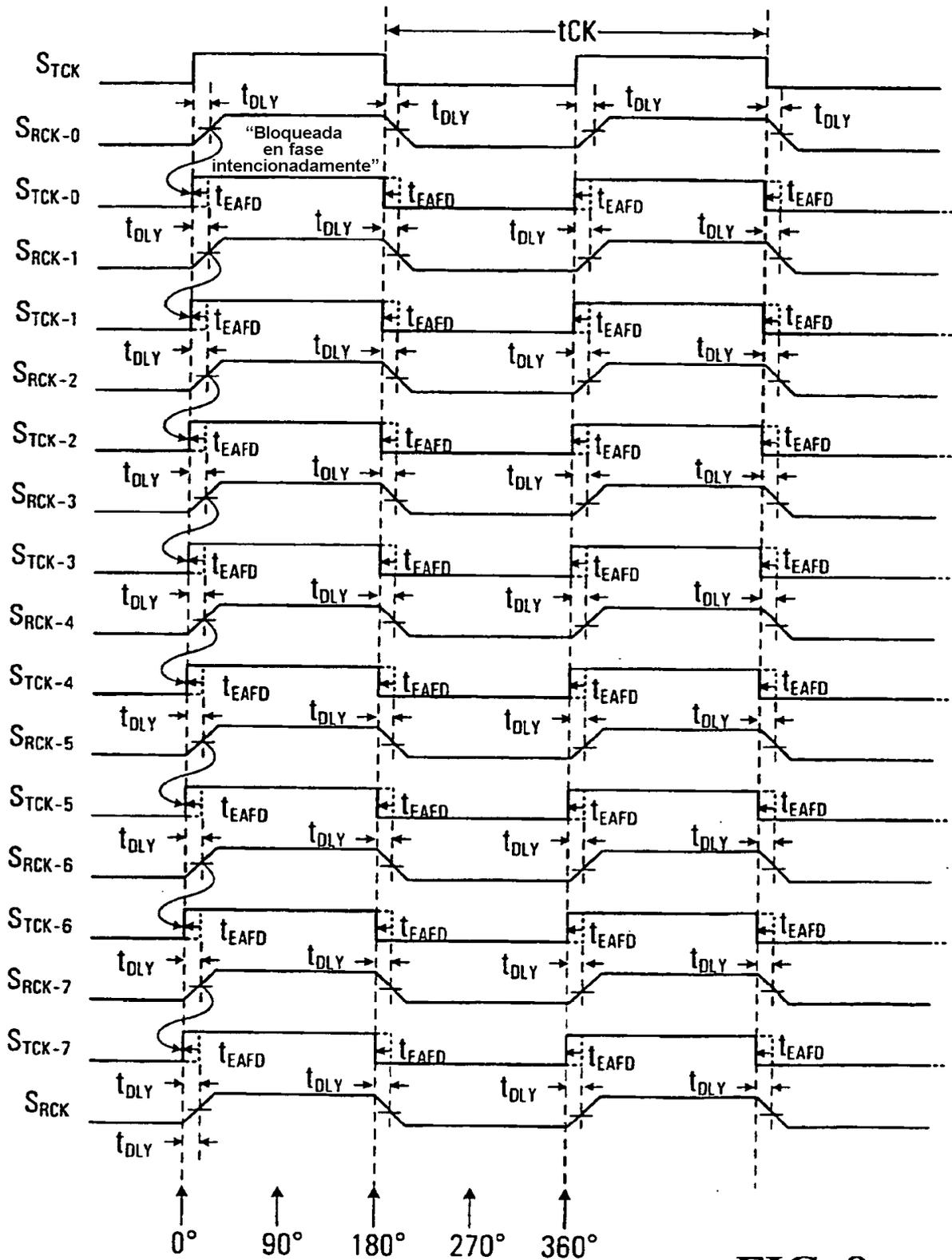


FIG. 8

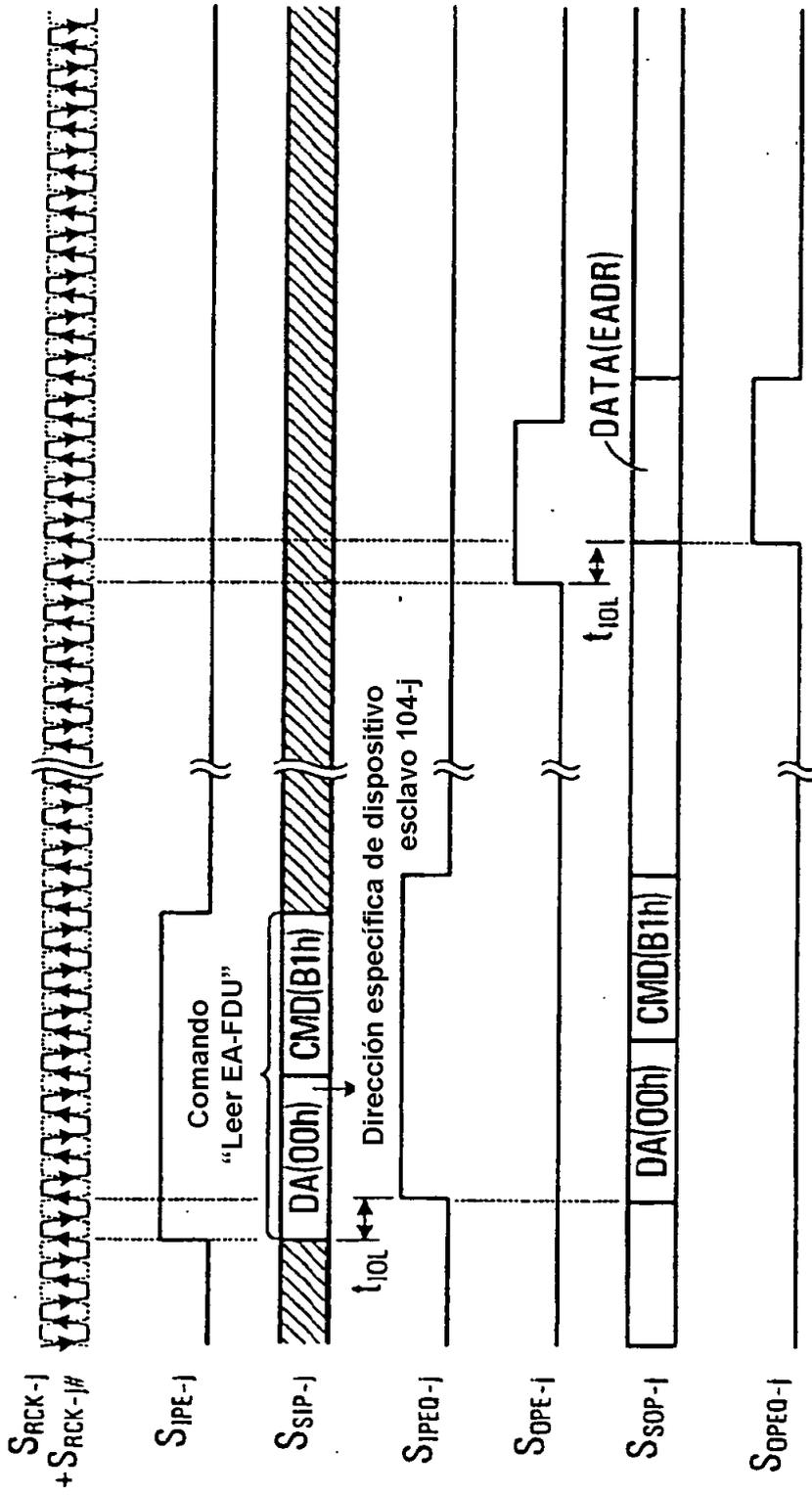


FIG. 9

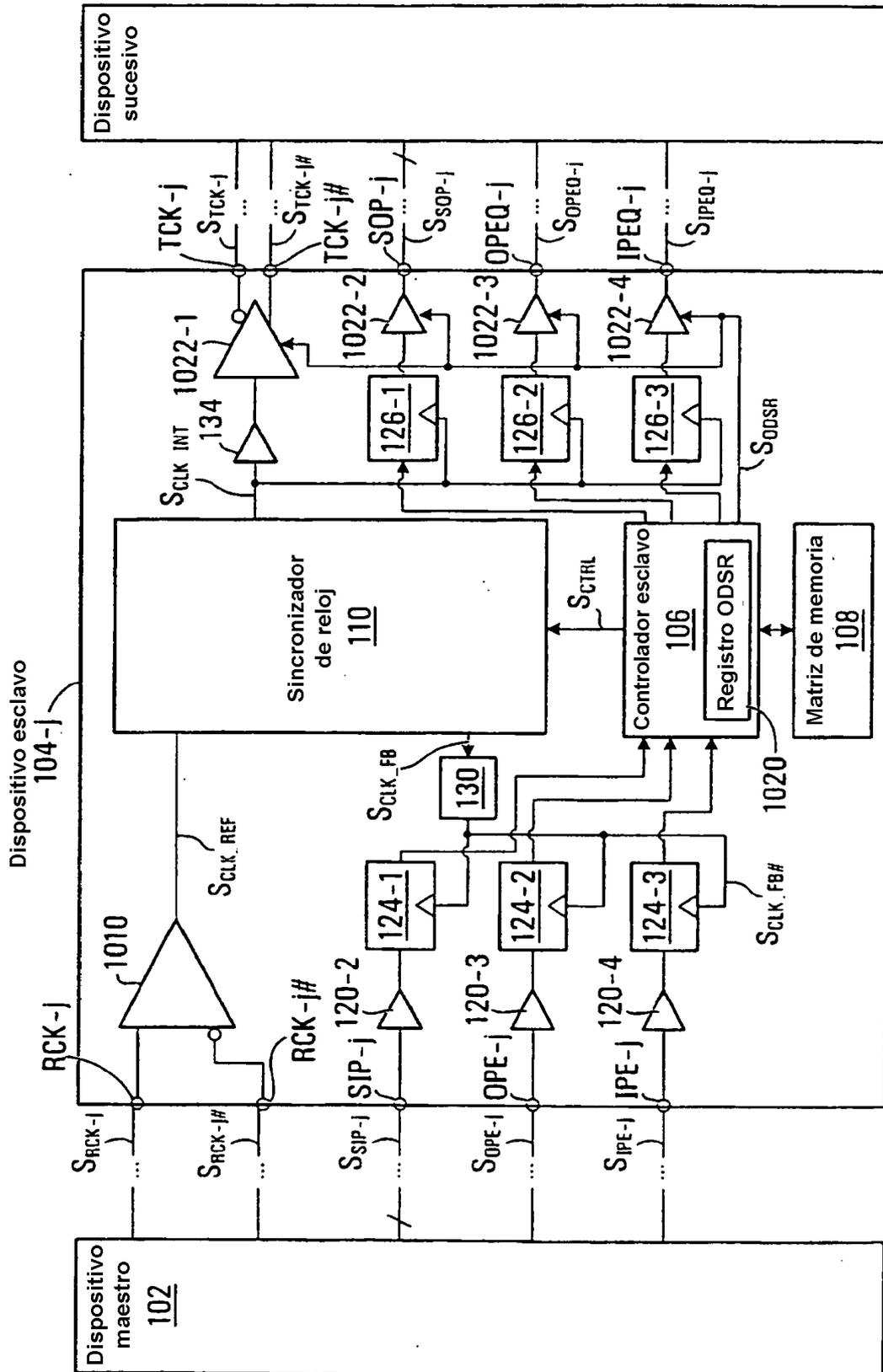


FIG. 10

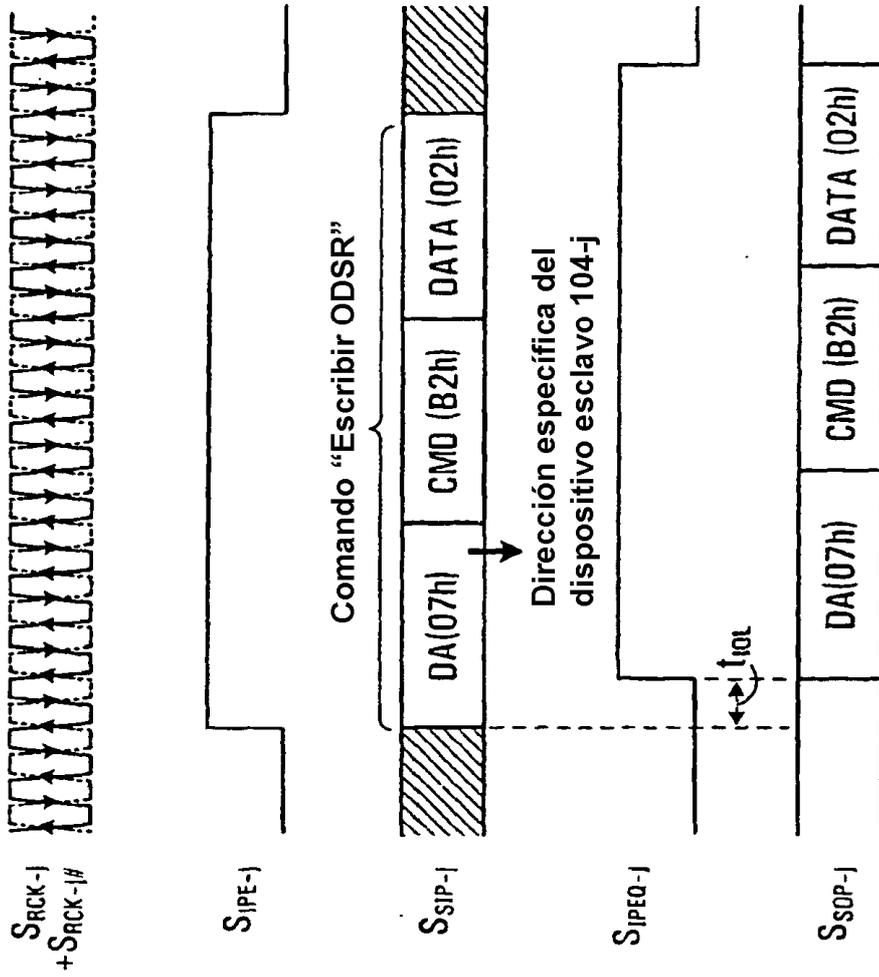


FIG. 11A

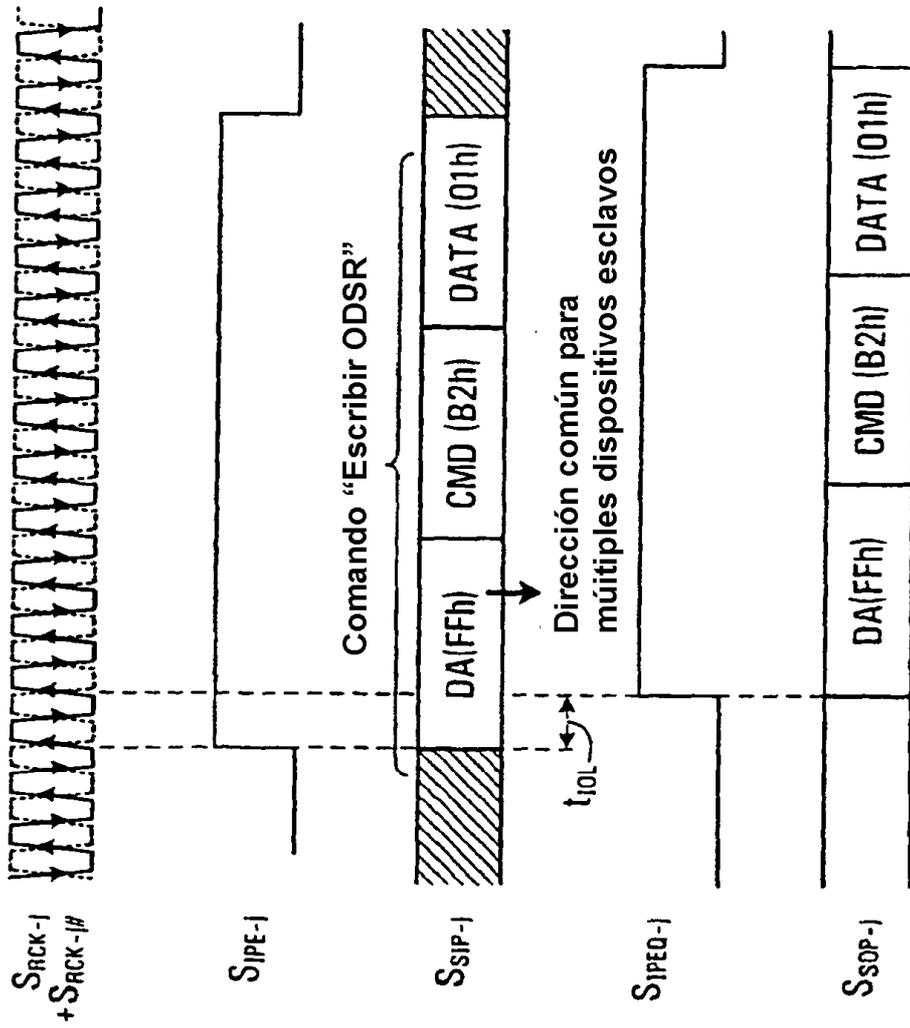


FIG. 11B

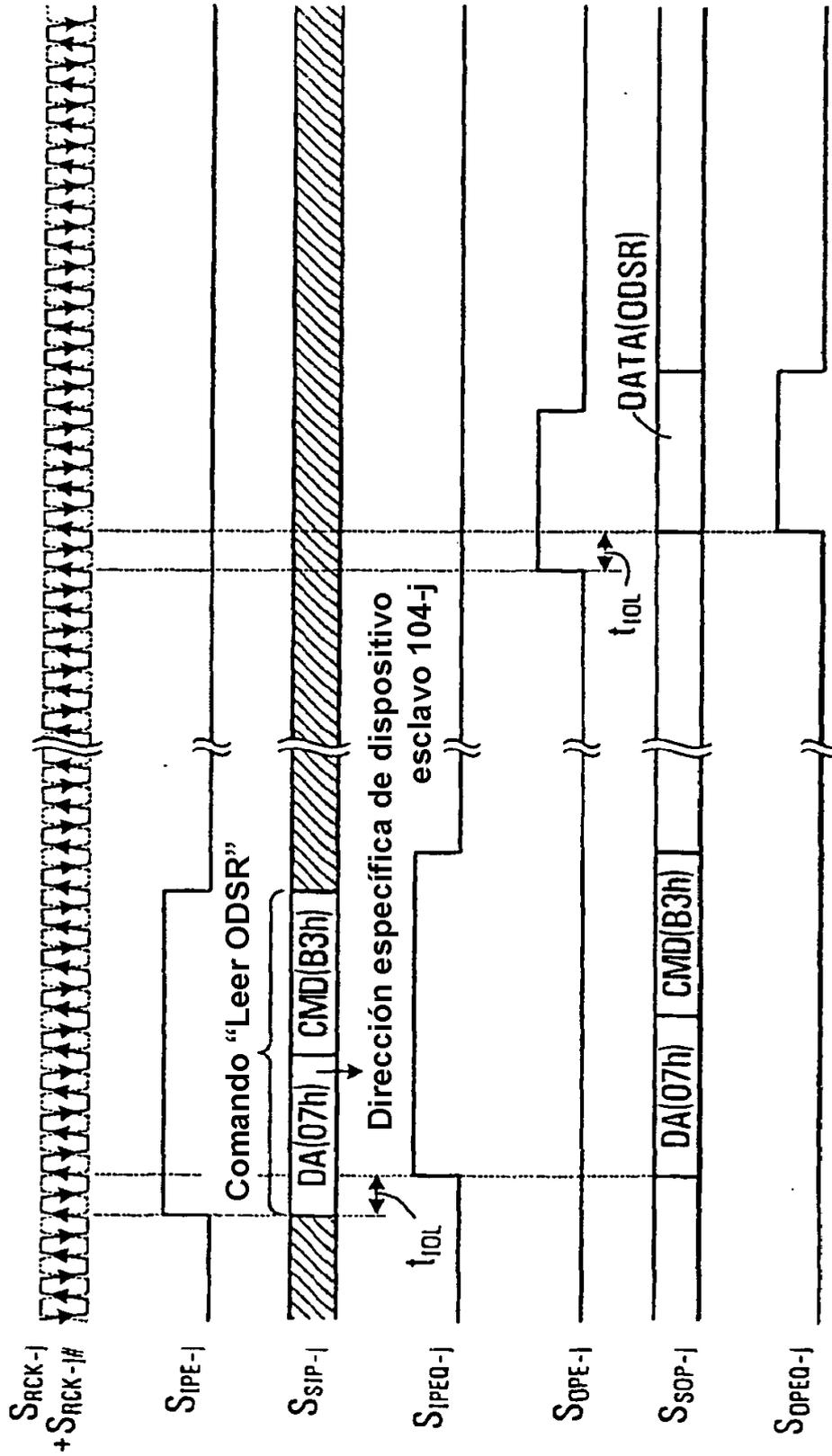


FIG. 12

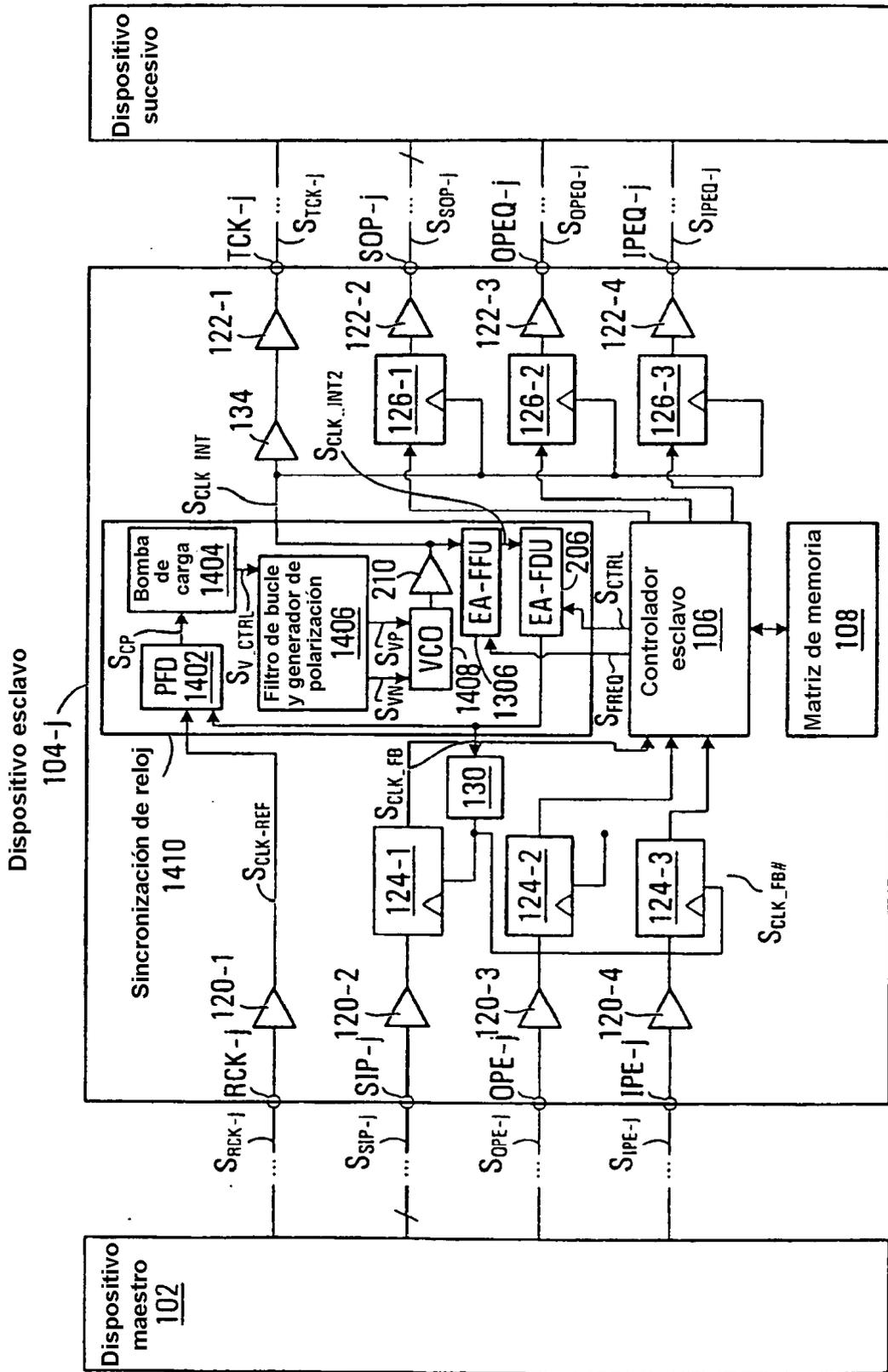


FIG. 13