

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 445 402**

51 Int. Cl.:

H03K 19/00 (2006.01)

H04L 25/02 (2006.01)

H03K 19/003 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **11.01.2010 E 10740862 (7)**

97 Fecha y número de publicación de la concesión europea: **06.11.2013 EP 2396885**

54 Título: **Circuito de terminación para terminación en troquel**

30 Prioridad:

12.02.2009 US 151886 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

03.03.2014

73 Titular/es:

**MOSAID TECHNOLOGIES INCORPORATED
(100.0%)
11 Hines Road, Suite 203
Ottawa, ON K2K 2X1, CA**

72 Inventor/es:

GILLINGHAM, PETER B.

74 Agente/Representante:

FÀBREGA SABATÉ, Xavier

ES 2 445 402 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito de terminación para terminación en troquel

5 ANTECEDENTES

10 Cuando una señal se desplaza a lo largo de un camino que tiene una discontinuidad de impedancia (o "desajuste"), la señal se refleja en parte. La señal reflejada interfiere con la señal original y esto puede resultar en una pérdida de integridad de la señal y en que se detecte un nivel de señal incorrecto. Para mitigar la aparición de la señal de reflexión, es beneficioso colocar circuitos con la cantidad equivalente de impedancia en el punto de discontinuidad. Esto se conoce como "terminación". Por ejemplo, las resistencias se pueden colocar en las placas base de ordenadores para finalizar los buses de alta velocidad.

15 Aunque las resistencias de terminación reducen los reflejos en un extremo de la ruta de señal, no son capaces de evitar las reflexiones resultantes de ramales que conectan con otros troqueles de semiconductores en varios puntos a lo largo del camino. Esta situación puede surgir, por ejemplo, cuando múltiples módulos de memoria están conectados a lo largo de un bus de memoria. Una señal que se propaga desde un controlador de memoria a lo largo del bus de memoria se encuentra con una discontinuidad de impedancia en cada ramal que conduce a un módulo de memoria en particular. La señal que se propaga a lo largo del ramal que conduce al módulo de memoria particular, se refleja de nuevo en el bus de memoria, introduciendo de este modo el ruido no deseado en la señal.

20 Por consiguiente, es útil proporcionar a cada troquel semiconductor su propio circuito de terminación. Proporcionar este circuito de terminación en el mismo troquel semiconductor que incluye un transmisor/receptor de bus se conoce como terminación en troquel (ODT: "On-Die Termination" en inglés). La terminación en troquel puede reducir el número de elementos de resistencia y cableados complejos en la placa base. Por lo tanto, además de mejorar la integridad de la señal, que permite a los componentes operar a frecuencias más altas, la terminación en troquel permite un diseño de sistema más simple y económico.

25 Sin embargo, las técnicas convencionales de terminación en troquel han tendido a ser de alto consumo de potencia y/o inflexibles.

30 En US 2002/0180479 A1 se divulga una terminación de polarización, que se forma utilizando un transistor de metal óxido semiconductor de tipo N (NMOS) conectado en paralelo a un transistor de óxido metal semiconductor de tipo P (PMOS). Esta terminación logra una resistencia constante usando la tensión de control más alta en el electrodo de puerta. Esta terminación de polarización que usa transistores NMOS incluye un transistor PMOS conectado en paralelo con un transistor NMOS, en el que un extremo está conectado a una fuente de tensión con el otro extremo conectado a un terminal de entrada/salida. La puerta del transistor NMOS está conectada a una tensión de control y el sustrato a tierra, en donde la puerta del transistor PMOS está conectada a la tensión de control con una fase invertida y el sustrato a la fuente de tensión.

35 El documento US 7,417,452 B1 divulga las técnicas para ajustar individualmente la impedancia de terminación en troquel que se genera mediante memorias temporales de entrada y salida (IO) en un panel de entrada/salida (IO) en un circuito integrado. Este documento divulga que las memorias temporales IO en un panel de IO pueden generar diferentes impedancias de terminación en troquel, y como resultado, un panel de IO puede admitir más de una clase de interfaces de memoria. De acuerdo con este documento, un bloque de calibración OCT genera un código de calibración digital de terminación en troquel (OCT), en el que en algunas realizaciones, los circuitos en los paneles IO se puede configurar para cambiar el código de calibración OCT, uno o más bits para ajustar la impedancia de terminación en troquel en serie y/o en paralelo en una o más memorias temporales IO.

40 50 RESUMEN

De acuerdo con un aspecto amplio, la presente invención pretende proporcionar un circuito de terminación para proporcionar la terminación en troquel para un terminal del dispositivo semiconductor de acuerdo con la reivindicación 1. El circuito de terminación comprende una pluralidad de transistores conectados entre el terminal y una fuente de alimentación, la pluralidad de transistores que incluye al menos un transistor NMOS y al menos un transistor PMOS y los circuitos de control para accionar una puerta de cada uno de los al menos un transistor NMOS con una tensión de puerta NMOS correspondiente y para el accionamiento de una puerta de cada uno de los al menos un transistor PMOS con una tensión de puerta PMOS correspondiente, el circuito de control está configurado para controlar las tensiones de puerta NMOS y PMOS a fin de colocar la pluralidad de transistores en una región óhmica de funcionamiento cuando la terminación en troquel está habilitada. La fuente de alimentación suministra una tensión que es menor que cada una de dichas tensiones de puerta NMOS y mayor que cada una de dichas tensiones de puerta PMOS.

60 Este y otros aspectos y características de la presente invención se harán evidentes para los expertos normales en la técnica tras la revisión de la siguiente descripción de realizaciones específicas de la invención junto con los dibujos

adjuntos.

Breve descripción de los dibujos

5 En los dibujos adjuntos:

Las Figuras 1 y 2 son diagramas de un circuito de terminación para proporcionar terminación en troquel para un terminal de un dispositivo semiconductor, de acuerdo con realizaciones no limitativas específicas de la presente invención;

10 La Figura 3A es un diagrama de bloques de un circuito de control de terminación que está equipado con calibración digital, para su uso con el circuito de terminación de las Figuras 1 y 2;

15 La Figura 3B es un diagrama de bloques de un circuito de control de terminación equipado con funcionalidad de calibración analógica, para su uso con el circuito de terminación de las Figuras 1 y 2;

La Figura 3C es un diagrama de circuito de un multiplexor que se puede utilizar en el circuito de control de terminación de la Figura 3B;

20 Las Figuras 4A y 4B son diagramas de circuito de un generador de tensión para generar una tensión que se puede suministrar al circuito de terminación de las Figuras 1 y 2;

25 La Figura 5 es un diagrama de circuito de un circuito de terminación para proporcionar terminación en troquel para una pluralidad de terminales de un dispositivo semiconductor, de acuerdo con una realización no limitativa específica de la presente invención;

30 Las Figuras 6A y 6B son diagramas de circuito que muestran versiones complementarias de un desplazador de nivel que puede ser utilizado para ampliar el rango de una señal de tensión, de acuerdo con realizaciones no limitativas específicas de la presente invención; y

Las Figuras 7 y 8 son diagramas de circuito de un circuito de terminación para proporcionar terminación en troquel para un terminal de un dispositivo semiconductor, de acuerdo con otras realizaciones no limitativas específicos de la presente invención.

35 Ha de entenderse expresamente que la descripción y los dibujos son pretenden ilustrar ciertas realizaciones de la invención y son una ayuda para su comprensión. No están destinadas a ser una definición de los límites de la invención.

Descripción detallada

40 Con referencia a las Figuras 1 y 2, se muestra un circuito de terminación 500 para la terminación en troquel de un terminal 14 conectado a una parte interna 16 de un dispositivo semiconductor 100, 200. El troquel de terminación puede usarse para preservar la integridad de una señal que se transmite y/o recibe a través del terminal 14. De acuerdo con ello, el terminal 14 puede ser un terminal de entrada, un terminal de salida o un terminal de entrada/salida bidireccional. En ciertas realizaciones no limitativas, el terminal 14 puede configurarse para transmitir y/o recibir señales de datos que varían entre dos niveles de tensión representativas de los correspondientes valores lógicos. El dispositivo semiconductor 100, 200 que incluye la parte interna 16 y el terminal 14 pueden ser un troquel de memoria (tal como una memoria de acceso aleatorio dinámico (DRAM), DRAM síncrona (SDRAM), doble velocidad de datos (DDR) SDRAM, etc.) o cualquier otro tipo de dispositivo semiconductor que puede beneficiarse de la terminación en troquel.

55 Aunque el circuito de terminación 500 se muestra estando conectado dentro del dispositivo de semiconductores 100, 200 a un punto (o nodo) 18 que está entre el terminal 14 y la parte interna 16 del dispositivo semiconductor 100, 200, se debe apreciar que está dentro del alcance de las realizaciones de la presente invención que el circuito de terminación 500 se conecte directamente al terminal 14. La parte interna 16 puede incluir memorias temporales de entrada, memorias temporales de salida, memorias temporales combinadas de entrada/salida, circuitos periféricos de memoria, dispositivos de memoria (compuestos de DRAM, NAND Flash, Flash NOR, u otros tipos de células de memoria), por nombrar sólo algunas posibilidades no limitativas. El circuito de terminación 500 también incluye un camino entre el nodo 18 y una fuente de alimentación 450, que está a una tensión V_{TT} .

60 Tal y como se muestra en la Figura 1, la fuente de alimentación 450 puede ser interna al dispositivo semiconductor 100, en cuyo caso se puede decir que V_{TT} se genera de forma interna al troquel. Alternativamente, como se muestra en la Figura 2, la fuente de alimentación 450 puede ser externa al dispositivo semiconductor 200 y ser accesible a través de un terminal 210, por ejemplo. En este caso, se puede decir que V_{TT} se genera fuera del troquel. La fuente de alimentación 450 también se puede utilizar para el suministro de la tensión V_{TT} a otros componentes del

dispositivo semiconductor 100, 200, tales como los comprendidos en la parte interna 16. Alternativamente, la fuente de alimentación 450 se puede dedicar a la tarea de la terminación en troquel.

La ruta de acceso entre el terminal 14 y la fuente de alimentación 450 (a través del punto/nodo 18) incluye una pluralidad de transistores de metal óxido semiconductor (MOS). Al menos uno de los transistores MOS es un transistor PMOS y al menos uno de los transistores MOS es un transistor NMOS. En la realización ilustrada, existen cuatro (4) transistores MOS 502, 504, 506, 508, entre los cuales los transistores MOS 502 y 504 son transistores PMOS y transistores MOS 506 y 508 son transistores NMOS. Se debe apreciar, sin embargo, que no existe una limitación particular sobre el número de transistores MOS en la ruta de acceso o de si un transistor MOS particular en la ruta de acceso es un transistor PMOS o un transistor NMOS, excepto por el hecho de que habrá por lo menos dos transistores MOS, incluyendo al menos un transistor PMOS y al menos un transistor NMOS. También, la ruta de acceso entre el terminal 14 y la fuente de alimentación 450 (a través del punto/nodo 18) puede incluir transistores MOS colocados en paralelo, en serie o una combinación de los mismos.

Cada uno de los transistores MOS 502, 504, 506, 508 incluye una puerta respectiva 502G, 504G, 506G, 508G, que los expertos en la técnica entenderán como un electrodo de control. La puerta 502G, 504G, 506G, 508G de cada uno de los transistores MOS 502, 504, 506, 508 es accionada por una tensión de puerta respectivo EN_502, EN_504, EN_506, EN_508 suministrado por el circuito de control de terminación 528A, 528B.

Además, cada uno de los transistores MOS 502, 504, 506, 508 incluye un primer electrodo respectivo portador de corriente 502S, 504S, 506S, 508S y un segundo electrodo respectivo portador de corriente 502D, 504D, 506D, 508D. Uno de los electrodos portadores de corriente de cada uno de los transistores MOS 502, 504, 506, 508 está conectado a la fuente de alimentación 450, mientras que el otro de los electrodos portadores de corriente de cada uno de los transistores MOS 502, 504, 506, 508 está conectado a terminal 14 (punto vía/nodo 18). Dependiendo de qué electrodo portador de corriente está a un potencial más alto, ya sea el primer electrodo portador de corriente el que actúe como "fuente" y el segundo electrodo portador de corriente el que actúe como "drenador", o viceversa.

Además, cada uno de los transistores MOS 502, 504, 506, 508 incluye un respectivo electrodo de sustrato 502T, 504T, 506T, 508T. El electrodo de sustrato 502T, 504T de cada uno de los transistores PMOS 502, 504 está conectado a una fuente de alimentación 410 mediante un terminal 110, mientras que el respectivo electrodo de sustrato 506T, 508T de cada uno de los transistores NMOS 506, 508 está conectado a una fuente de alimentación 420 mediante un terminal 120. La fuente de alimentación 410 puede ser mantenida a una tensión V_{DD} , mientras que la fuente de alimentación 420 puede ser mantenida a una tensión V_{SS} . Las tensiones V_{DD} y V_{SS} pueden seleccionarse de tal manera que proporcionen un "espacio libre" de tensión suficiente para permitir que los componentes del dispositivo semiconductor 100, 200 y, en particular, el circuito de terminación 500, funcionen correctamente dentro de la oscilación de tensión esperada de las señales en el terminal 14. Por lo tanto, cuando se espera que las señales en el terminal 14 varíen entre, por ejemplo, 0,45 V y 1,35 V, es posible ajustar V_{DD} a 1,8 V y establecer V_{SS} a 0V. Si el terminal 14 es un terminal de salida, las tensiones V_{DD} y V_{SS} también se pueden emplear para alimentar la memoria temporal de salida. En DDR SDRAM estas tensiones se conocen como V_{DDQ} y V_{SSQ} . Otras posibilidades se contemplan como dentro del alcance de ciertas realizaciones de la presente invención, por ejemplo, V_{DD} se podría establecer a 1.5V.

El circuito de control de terminación 528A, 528B recibe una señal "permitir ODT" (indicada como ODT_EN) que indica la activación o desactivación de la terminación en troquel. El circuito de control de terminación 528A, 528B está configurado para responder a que la señal ODT_EN esté activada haciendo que cambie la totalidad o menos de la totalidad de las tensiones de puerta EN_502, EN_504, EN_506, EN_508, provocando así un cambio en el estado de conducción del (de los) transistor(es) correspondiente(s) del MOS 502, 504, 506, 508.

Más específicamente, cuando la señal ODT_EN es negativa (es decir, cuando la terminación en troquel está deshabilitada), el circuito de control de terminación 528A, 528B está configurado para provocar que las tensiones de puerta EN_502 y EN_504 a sean suficientemente altas (por ejemplo, V_{DD}) a fin de asegurar que los transistores PMOS 502 y 504 se colocan en estado apagado y hacer que las tensiones de puerta EN_506 y EN_508 sean suficientemente bajas (por ejemplo, V_{SS}) a fin de asegurar que los transistores NMOS 506 y 508 se colocan en estado apagado. En estado apagado, cada uno de los transistores MOS 502, 504, 506, 508 actúa efectivamente como un circuito abierto entre los respectivos primeros electrodos portadores de corriente 502S, 504S, 506S, 508S y el respectivo segundo electrodo portador de corriente 502D, 504D, 506D, 508D.

En contraste, cuando la señal ODT_EN está activada (es decir, cuando la terminación en troquel está habilitada), el circuito de control de terminación 528A, 528B hace que algunas (o todas) tensiones de puerta EN_502, EN_504, EN_506, EN_508 cambien de modo como para adquirir un nivel adecuado para la colocación del transistor MOS correspondiente en la "región óhmica de funcionamiento". Por "región óhmica de funcionamiento", que también se puede denominar como "región lineal" o "región triodo", se entiende un estado de conducción de un transistor MOS en el que existe una relación sustancialmente lineal entre la caída de tensión de drenador-fuente y la corriente que fluye a través de los electrodos portadores de corriente (de drenador y de fuente). Los expertos en la técnica entenderán que por "relación sustancialmente lineal" no se requiere que la relación sea perfectamente lineal, sólo

que sea más lineal que cuando el transistor MOS está, ya sea en estado apagado o de saturación.

El nivel de la tensión de puerta adecuado para la colocación de un transistor MOS en particular en la región óhmica de funcionamiento es una función de, entre posiblemente otros parámetros: (i) si el transistor MOS particular es un transistor NMOS o un transistor PMOS, (ii) la tensión V_{TT} de la fuente de alimentación 450, y (iii) la tensión umbral del transistor MOS particular. Uno puede definir el funcionamiento en la región óhmica como teniendo lugar cuando la caída de tensión drenador-fuente es menor que la caída de tensión puerta-fuente menos la tensión de umbral. Sin embargo, esta es sólo una posible definición.

De lo anterior, será evidente que el estado de conducción en el que se encuentran los transistores MOS 502, 504, 506, 508 en un punto dado en el tiempo puede verse influenciada por la tensión instantánea en el terminal 14. En particular, para un transistor MOS, dado que opera en la región óhmica de funcionamiento, la tensión en el terminal 14 puede durante los picos o valles, de vez en cuando empujar el transistor MOS dado fuera de la región óhmica y a una región diferente de funcionamiento. Esto no constituye una situación no permitida. En general, se debe apreciar que el nivel de la tensión de puerta adecuado para colocar el transistor MOS dado en la región óhmica de funcionamiento puede ser un nivel que garantiza un funcionamiento en la región óhmica de funcionamiento a lo largo de un amplio margen de oscilación esperada de tensión de la señal en el terminal 14, y no es necesario garantizar que el funcionamiento en la región óhmica se mantiene de forma continua a lo largo de toda la oscilación esperada de tensión de la señal en el terminal 14.

Así, por ejemplo, cuando $V_{TT} = 0,9$ V y se espera que la tensión en el terminal 14 fluctúe entre 0,45 V y 1,35 V, un ejemplo específico no limitativo de una tensión de puerta que coloca uno de los transistores PMOS 502, 504 en la región óhmica de funcionamiento es $V_{SS} = 0$ V (que es también la tensión de fuente de alimentación 420 que suministran los electrodos del sustrato 506T, 508T). Cuando el transistor en cuestión es uno de los transistores NMOS 506, 508, que se puede colocar en la región óhmica de funcionamiento mediante el establecimiento de la tensión de puerta a $V_{DD} = 1,8$ V (que es también la tensión de fuente de alimentación 410 que se suministra a los electrodos del sustrato 502T, 504T). Con tal disposición, los transistores PMOS y NMOS funcionan ahora en la región óhmica de funcionamiento a lo largo de un amplio margen de oscilación esperada de tensión de la señal en el terminal 14.

Se observa que V_{TT} , que se describió anteriormente como el nivel de tensión de fuente de alimentación 450, es mayor que la tensión de puerta que pone los transistores PMOS 502, 504 en la región óhmica de funcionamiento y menor que la tensión de puerta que coloca el transistores NMOS 506, 508 en la región óhmica de funcionamiento. En una realización no limitativa específica, V_{TT} puede estar a medio camino sustancialmente entre las dos tensiones V_{SS} y V_{DD} . Por ejemplo, $V_{TT} = 0,9$ V cuando $V_{SS} = 0$ V y $V_{DD} = 1,8$ V. Sin embargo, ésta es sólo una posibilidad. Por ejemplo, en una realización que se describirá posteriormente con referencia a las Figuras 6A y 6B, se puede colocar un transistor PMOS en la región óhmica de funcionamiento por una tensión de puerta menor que V_{SS} . Y un transistor NMOS se puede colocar en la región óhmica de funcionamiento mediante una tensión de puerta mayor que V_{DD} . En tal caso, V_{TT} está de nuevo en el medio de las dos tensiones, y, posiblemente, a medio camino, entre aunque esto no es un requisito.

Se debe apreciar que mediante el uso de una sola fuente de alimentación en V_{TT} que se conecta a un electrodo portador de corriente de cada uno de los transistores PMOS 502, 504 y los transistores NMOS 506, 508, el circuito de terminación 500 consume menos energía que un diseño de terminación de división que emplea dos fuentes de alimentación en V_{SS} y V_{DD} .

También debe apreciarse que uno dado de los transistores MOS 502, 504, 506, 508 que se coloca en la región óhmica de funcionamiento actúa efectivamente como una resistencia con una resistencia que se aproxima mediante el cociente de la caída de tensión drenador-fuente y la corriente que fluye a través de los electrodos portadores de corriente (de drenador y de fuente). También se observa que el camino entre la fuente de alimentación 450 y el terminal 14 (a través del punto/nodo 18) puede mantenerse libre de resistencias pasivas. Como tal, será evidente que la conductividad entre el terminal 14 y la fuente de alimentación 450 (a través del punto/nodo 18) es atribuible en parte sustancial a los transistores MOS que se colocan en la región óhmica de funcionamiento (ya que los transistores MOS en estado de apagado actúan como circuitos abiertos). Además, será evidente que la resistencia eléctrica entre el terminal 14 y la fuente de alimentación 450 (a través del punto/nodo 18) es atribuible en parte sustancial de los transistores MOS 502, 504, 506, 508 colectivamente, independientemente de si están en estado apagado (en cuyo caso actúan como un circuito abierto) o se colocan en la región óhmica de funcionamiento (en cuyo caso actúan como resistencias).

Además, debe apreciarse que la colocación de diferentes subconjuntos de transistores MOS 502, 504, 506, 508 en la región óhmica de funcionamiento permite impartir resistencias eléctricas diferentes a la ruta entre el terminal 14 y la fuente de alimentación 450. En particular, el circuito de control de terminación 528A, 528B se puede utilizar para controlar la resistencia eléctrica de la ruta mediante la colocación de algunos de los transistores MOS 502, 504, 506, 508 en la región óhmica de funcionamiento, al tiempo que se mantienen los transistores MOS restantes en estado apagado. Exactamente qué subconjunto de los transistores MOS 502, 504, 506, 508 se deben colocar en la región

óhmica de funcionamiento se puede determinar por medio de un proceso de calibración, tal y como se describirá a continuación.

5 Específicamente, con referencia a la Figura 3A, en una realización no limitativa, el proceso de calibración es digital. Es decir, cada una de las tensiones de puerta EN_502, EN_504, EN_506, EN_508 proporcionada por el circuito de control de terminación 528A varía entre una respectiva primera tensión que coloca al correspondiente de los transistores MOS 502, 504, 506, 508 en posición de estado apagado y una segunda tensión respectiva que coloca al correspondiente de los transistores MOS 502, 504, 506, 508 en la región óhmica de funcionamiento.

10 El circuito de control de terminación 528A proporciona una funcionalidad de calibración digital usando el circuito de calibración 302A, el cerrojo 304 y el circuito de habilitación 305A. El circuito de calibración 302A está conectado al cerrojo 304, que está a su vez conectado al circuito de habilitación 305A. Un resistor de referencia 306 se muestra como accedido por el circuito de calibración 302A través de un terminal denotado ZQ, Aunque se debe entender que en algunas realizaciones, la resistencia de referencia 306 puede ser interna al circuito de calibración 302A o incluso
15 puede omitirse. La resistencia de referencia 306 representa la resistencia de terminación deseada que se consigue mediante el circuito de terminación 500 y es un parámetro de diseño. Alternativamente, la resistencia de referencia 306 puede representar un múltiplo o fracción de la resistencia de terminación que se desea lograr mediante el circuito de terminación 500, y la resistencia ODT calibrada será reducido en consecuencia. El circuito de calibración 302A recibe una señal de "calibración permitida" (CAL_EN) procedente de un controlador (no mostrado) que puede
20 estar activada para indicar un deseo de tal controlador de llevar a cabo un proceso de calibración utilizando el circuito de calibración 302A. Específicamente, en respuesta que la señal CAL_EN esté activada, el circuito de calibración 302A intenta encontrar un subconjunto de los transistores MOS 502, 504, 506, 508 que, cuando se coloca en la región óhmica de funcionamiento, imparte una resistencia (desde la perspectiva del terminal 14) que se aproxima mejor a la resistencia de la resistencia de referencia 306.

25 Para este fin, el circuito de calibración 302A puede comprender dispositivos resistivos internos (por ejemplo, réplicas de resistencias) que están diseñados para tener la misma resistencia que los transistores MOS 502, 504, 506, 508 cuando estos se colocan en la región óhmica de funcionamiento. El circuito de calibración 302A identifica un subconjunto de las resistencias internas de réplica cuya resistencia colectiva coincide con el de la resistencia de referencia 306. Esto puede hacerse de forma iterativa, a partir de un subconjunto inicial de resistencias internas de réplica y terminando con un subconjunto final, seleccionado de entre las resistencias internas de réplica.

30 En una realización alternativa, el circuito de calibración 302A incluye o tiene acceso a una tabla de consulta (no mostrada) que almacena los datos relativos a los valores de resistencia de los diversos transistores MOS 502, 504, 506, 508, si se colocasen en la región óhmica de funcionamiento. En tal realización, el circuito de calibración 302A obtiene la resistencia de la resistencia de referencia 306 (ya sea mediante la recepción de un valor de una fuente externa o directamente mediante la medición), y luego identifica un subconjunto de valores de resistencia (es decir, un subconjunto de transistores MOS individuales) que resulta en una coincidencia numérica satisfactoria con respecto a la resistencia de la resistencia de referencia 306.

40 Otras maneras de lograr coincidencia de resistencia serán evidentes para los expertos en la técnica.

45 Se debe apreciar que el subconjunto de transistores MOS identificado en última instancia incluye al menos un transistor NMOS y al menos un transistor PMOS, y puede incluir hasta todos los transistores MOS entre el nodo 18 y la fuente de alimentación 450.

50 El circuito de calibración 302A proporciona al cerrojo 304 una pluralidad de señales de calibración digitales 382, 384, 386, 388, que corresponden respectivamente a los transistores MOS 502, 504, 506, 508. La señal de calibración digital correspondiente a un transistor MOS particular, estará en un nivel de tensión que depende de (i) si el transistor MOS particular es un NMOS o un dispositivo PMOS, y (ii) si el transistor MOS en particular es para colocarlo en el región óhmica de funcionamiento, tal como se determina mediante el circuito de calibración 302A. Por ejemplo, la señal de calibración digital para un transistor PMOS que se va a colocar en estado de apagado se puede ajustar a V_{DD} , La señal de calibración digital para un transistor PMOS que se va a colocar en la región óhmica de funcionamiento se puede ajustar a V_{SS} , La señal de calibración digital para un transistor NMOS que se va a colocar
55 en estado apagado se puede ajustar a V_{SS} , y la señal de calibración digital para un transistor NMOS que se va a colocar en la región óhmica de funcionamiento se puede ajustar a V_{DD} .

60 El cerrojo 304 almacena los valores de las señales de calibración digitales 382, 384, 386, 388 recibidas desde el circuito de calibración 302A y los transfiere al circuito de habilitación 305A en forma de señales de calibración digital retenida 392, 394, 396, 398. El funcionamiento del almacenamiento del cerrojo 304 puede habilitarse o no mediante confirmación de la señal CAL_EN. Las señales de calibración digital retenida 392, 394, 396, 398 retendrán los mismos niveles de tensión hasta que la señal CAL_EN esté activada y luego de nuevo desactivada, por ejemplo, durante una iteración subsiguiente del proceso de calibración. Por lo tanto, el uso del cerrojo 304 permite que el circuito de calibración 302A se desactive de nuevo hasta que sea necesario, por lo tanto el circuito de calibración
65 302A no disipa innecesariamente corriente cuando no se está utilizando. Más bien, los niveles de las señales de

calibración digital retenida 392, 394, 396, 398 son almacenadas por el cerrojo 304, que es simple de implementar y tiene un consumo de energía bajo.

Dentro del circuito de habilitación 305A, cada una de las señales de calibración digital retenida 392, 394, 396, 398 es recibida y combinada lógicamente (por ejemplo, utilizando una combinación de lógica AND y lógica de puertas OR) con la señal ODT_EN para producir una correspondiente de las tensiones de puerta EN_502, EN_504, EN_506, EN_508. En concreto, cuando se habilita la señal ODT_EN para indicar que se activa la terminación en troquel las señales de calibración digital retenida 392, 394, 396, 398 se transfieren sin cambios a través del circuito de habilitación 305A con tensiones de puerta EN_502, EN_504, EN_506, EN_508. Así pues, cuando la señal de calibración digital retenida correspondiente a uno particular de los transistores MOS es a un nivel adecuado para la colocación del transistor MOS en estado apagado, la tensión de puerta destinada a ese transistor MOS adquirirá este mismo nivel. Del mismo modo, donde la señal de calibración digital retenida correspondiente a uno particular de los transistores MOS está a un nivel adecuado para la colocación del transistor MOS en la región óhmica de funcionamiento, la tensión de puerta destinada a esa transistor MOS adquirirá este mismo nivel.

Por otro lado, cuando se deshabilita la señal ODT_EN para indicar que la terminación en troquel está deshabilitada, todas de las tensiones de puerta EN_502, EN_504, EN_506, EN_508 se ven obligadas a un nivel adecuado para la colocación de los correspondientes transistores MOS en estado apagado, es decir, V_{SS} (en el caso de un transistor NMOS) o V_{DD} (en el caso de un transistor PMOS). Dicho de otra manera, el nivel de cualquiera de las señales de calibración digital retenida 392, 394, 396, 398 recibido desde el circuito de calibración 302A se anula mediante la desactivación de la terminación en troquel.

Se debe apreciar que el subconjunto de transistores MOS colocados en la región óhmica a través de la acción del circuito de control de terminación 528A cuando está habilitada la terminación en troquel, que incluye al menos un transistor NMOS y al menos un transistor PMOS, y puede incluir hasta todos los transistores MOS entre el nodo 18 y la fuente de alimentación 450.

Con referencia ahora a la Figura 3B, en otra realización no limitativa, el proceso de calibración es analógico. Es decir, cada una de las tensiones de puerta EN_502, EN_504, EN_506, EN_508 proporcionada por el circuito de control de terminación 528B varía entre una respectiva primera tensión a la que se coloca el correspondiente de los transistores MOS 502, 504, 506, 508 en estado apagado, y un segundo rango respectivo de tensiones dentro del cual las tensiones de puerta EN_502, EN_504, EN_506, EN_508 pueden variar paso a paso o de forma continua como para proporcionar una resistencia afinada. Específicamente, cuando una dada de las tensiones de puerta EN_502, EN_504, EN_506, EN_508 está en el segundo intervalo respectivo de tensiones, los transistores MOS correspondientes 502, 504, 506, 508 se colocan en la región óhmica de funcionamiento e imparte una resistencia variable que depende del valor de las tensiones de puerta dadas EN_502, EN_504, EN_506, EN_508. Por lo tanto, la resistencia de cada uno de los transistores MOS 502, 504, 506, 508 puede controlarse con un cierto grado de precisión.

El circuito de control de terminación 528B proporciona la funcionalidad de calibración analógica mediante el circuito de calibración 302B. El resistor de referencia 306 anteriormente mencionado se muestra como accedido por el circuito de calibración 302B a través del terminal denotado ZQ, aunque se debe entender que en algunas realizaciones, la resistencia de referencia 306 puede ser interna al circuito de calibración de 302B o incluso puede omitirse. La resistencia de referencia 306 representa la resistencia de terminación deseada que se consigue mediante el circuito de terminación 500 y es un parámetro de diseño. El circuito de calibración 302B recibe la señal CAL_EN antes mencionada de un controlador (no mostrado) que se puede habilitar para indicar un deseo de tal controlador de llevar a cabo un proceso de calibración utilizando el circuito de calibración 302B. Específicamente, en respuesta a que se habilite la señal CAL_EN, el circuito de calibración 302B intenta encontrar un subconjunto de los transistores MOS 502, 504, 506, 508 que, cuando se coloca en la región óhmica de funcionamiento, pueden impartir una resistencia (colectivamente desde la perspectiva de nodo 18) que se aproxima mejor a la resistencia de la resistencia de referencia 306.

Para este fin, el circuito de calibración 302B puede comprender elementos de circuito de calibración que tienen el mismo comportamiento de resistencia como función de una tensión aplicada como los transistores MOS 502, 504, 506, 508 tienen como función de las tensiones de puerta EN_502, EN_504, EN_506, EN_508, respectivamente. El circuito de calibración 302B identifica que se aplicaron tensiones, cuando se aplican a los elementos de circuito de calibración, que producen una resistencia colectiva que coincide con la resistencia de la resistencia de referencia 306. Esto se puede hacer de forma iterativa, a partir de un subconjunto inicial de tensiones aplicadas y terminando con un subconjunto final de tensiones aplicadas. Las tensiones aplicadas en el subconjunto final son de salida al multiplexor 305B en forma de tensiones de calibración analógica 372, 374, 376, 378, que corresponden respectivamente a los transistores MOS 502, 504, 506, 508.

En una realización alternativa, el circuito de calibración 302B incluye o de otro modo tiene acceso a una tabla de consulta (no mostrada) que almacena los datos en relación con el comportamiento de resistencia como una función de la tensión de puerta de los diversos transistores MOS 502, 504, 506, 508, particularmente en la región óhmica de

funcionamiento. En tal realización, el circuito de calibración 302B proporciona funcionalidad de procesamiento. Específicamente, una vez que el circuito de calibración 302B obtiene la resistencia de la resistencia de referencia 306 (ya sea mediante la recepción de un valor de una fuente externa o midiendo directamente), el circuito de calibración 302B consulta la tabla de consulta para determinar la tensión de la puerta que debe aplicarse a cada uno de los transistores MOS 502, 504, 506, 508 a fin de lograr una coincidencia satisfactoria con respecto a la resistencia de la resistencia de referencia 306. Las tensiones de puerta así determinadas son de salida al multiplexor 3058 en forma de tensiones de calibración analógica 372, 374, 376, 378.

Otras maneras de lograr coincidencia de resistencia serán evidentes para los expertos en la técnica.

Se debe apreciar que la tensión de calibración analógica correspondiente a un transistor MOS particular entre los transistores MOS 502, 504, 506, 508 estará en un nivel de tensión que depende de (i) si el transistor MOS particular es un NMOS o un dispositivo PMOS, (ii) si el transistor MOS en particular se colocará en la región óhmica de funcionamiento y (iii) suponiendo que el transistor MOS en particular se colocará de hecho en la región óhmica de funcionamiento, la resistencia precisa impartida por el transistor MOS particular. Por ejemplo, la tensión de calibración analógica para un transistor PMOS que se va a colocar en estado apagado se puede ajustar a V_{DD} , la tensión de calibración analógica para un transistor PMOS que se va a colocar en la región óhmica de funcionamiento se puede ajustar dentro de un rango limitado por V_{S1} y V_{S2} (que puede incluir o no V_{SS}), la tensión de calibración analógica para un transistor NMOS que se va a colocar en estado apagado se puede ajustar a V_{SS} , y la tensión de calibración analógica para un transistor NMOS que se va a colocar en la región óhmica de funcionamiento se puede ajustar dentro de un rango delimitado por V_{D1} y V_{D2} (que puede incluir o no V_{DD}).

Las tensiones de calibración analógica 372, 374, 376, 378 se conmutan selectivamente según el estado de la señal ODT_EN dentro del multiplexor 305B para producir una correspondiente de las tensiones de puerta EN_502, EN_504, EN_506, EN_508. En concreto, cuando se habilita la señal ODT_EN para indicar que se activa la terminación en troquel, las tensiones de calibración analógica 372, 374, 376, 378 se transfieren sin cambios a través del multiplexor 305B a las tensiones de puerta EN_502, EN_504, EN_506, EN_508. Por lo tanto, donde la tensión de calibración analógica correspondiente a uno particular de los transistores MOS 502, 504, 506, 508 está a un nivel adecuado para la colocación de transistor MOS en estado apagado, la tensión de puerta destinada a ese transistor MOS adquirirá este mismo nivel. Del mismo modo, donde la tensión de calibración analógica correspondiente a uno particular de los transistores MOS 502, 504, 506, 508 está a un nivel adecuado para la colocación de transistor MOS en la región óhmica de funcionamiento con el fin de impartir una cierta resistencia deseada, la puerta tensión destinada a esa transistor MOS adquirirá este mismo nivel.

Por otro lado, cuando se deshabilita la señal ODT_EN para indicar que está deshabilitada la terminación en troquel, todas de las tensiones de puerta EN_502, EN_504, EN_506, EN_508 se ven obligadas a un nivel adecuado para la colocación de los correspondientes transistores MOS en estado apagado, es decir, V_{SS} (en el caso de un transistor NMOS) o V_{DD} (en el caso de un transistor PMOS). Dicho de otra manera, el nivel de cualquiera de las tensiones de calibración analógica 372, 374, 376, 378 recibidas del circuito de calibración 302B queda anulado al desactivar la terminación en troquel. Se debe apreciar que el circuito de calibración 302B y el multiplexor 305B no tienen que estar separados y, de hecho, pueden combinarse en un único módulo.

Como un ejemplo no limitativo, el multiplexor 305B puede implementarse con puertas de transmisión CMOS compuestas de pares de transistores paralelos NMOS y PMOS tal y como se muestra en la Figura 3C. Para el caso en el que las tensiones de calibración analógica 372, 374, 376, 378 tienen un rango entre V_{SS} y V_{DD} , los sustratos transistor PMOS (no mostrados) pueden estar vinculados a V_{DD} , los sustratos transistor NMOS (no mostrados) pueden estar vinculados a V_{SS} y el inversor se puede alimentar con V_{SS} y V_{DD} . Cuando se desactiva la señal ODT_EN, la salida del inversor estará activada, y las puertas de transmisión conectadas entre las tensiones de calibración analógica 372, 374, 376, 378 y la puerta de tensiones EN_502, EN_504, EN_506, EN_508 estará apagada, ya que el transistor NMOS en cada puerta de transmisión tendrá una tensión de puerta baja, y el transistor PMOS en cada puerta de transmisión tendrá una tensión de puerta alta. Al mismo tiempo, las puertas de transmisión estarán conectadas entre niveles fijos V_{SS} y V_{DD} y tensiones de puerta EN_502, EN_504, EN_506, EN_508, ya que el transistor NMOS en cada puerta de transmisión tendrá una tensión de la puerta alta, y el transistor PMOS en cada puerta de transmisión tendrán una tensión de puerta baja. Las tensiones de puerta altas EN_502, EN_504 desactivan los transistores de terminación PMOS 502, 504. Las tensiones de puerta EN_506, EN_508 desactivan los transistores de terminación NMOS 506, 508.

Cuando la señal ODT_EN está activada, la salida del inversor estará desactivada, y las puertas de transmisión conectadas entre las tensiones de calibración analógica 372, 374, 376, 378 y las tensiones de puerta EN_502, EN_504, EN_506, EN_508 se activarán, ya que el transistor NMOS en cada puerta de transmisión tendrá una tensión de puerta alta, y el transistor PMOS en cada puerta de transmisión tendrá una tensión de puerta baja. Al mismo tiempo, las puertas de transmisión conectados entre niveles fijos V_{SS} y V_{DD} y tensiones de puerta EN_502, EN_504, EN_506, EN_508 estarán apagados, ya que el transistor NMOS en cada puerta de transmisión tendrá una tensión de puerta baja, y el transistor PMOS en cada puerta de transmisión tendrán una tensión de puerta alta. Las tensiones de calibración analógica 372, 374, 376, 378 se proporcionan a los transistores de terminación 502, 504,

506, 508 para habilitar la terminación en troquel.

Se debe apreciar que el subconjunto de transistores MOS colocados en la región óhmica a través de la acción del circuito de control de terminación 528B cuando está activada la terminación en troquel incluye al menos un transistor MOS, ya sea un solo transistor PMOS o un solo transistor NMOS, y puede incluir hasta todos los transistores MOS entre el nodo 18 y la fuente de alimentación 450. Aunque se pueden proporcionar un solo transistor o una pluralidad de transistores de un solo tipo, ya sea NMOS o PMOS, es posible proporcionar una pluralidad de transistores que incluyen al menos un transistor NMOS y al menos un transistor PMOS. Como la tensión en el terminal 14 varía entre una tensión alta y baja, un transistor NMOS puede caer fuera de funcionamiento lineal hacia un extremo del rango, mientras que un transistor PMOS caerá fuera de funcionamiento lineal hacia el otro extremo del rango. Si se proporcionan transistores NMOS y PMOS y calibrado para tener resistencias similares o iguales en el punto medio del rango de tensiones en el terminal 14, pueden reducirse los efectos de no linealidad en cualquiera de los extremos del rango.

También debe apreciarse que en algunas realizaciones, se puede utilizar un enfoque híbrido analógico/digital, con el efecto de que ciertas de las tensiones de puerta EN_502, EN_504, EN_506, EN_508 pueden derivarse de las señales de calibración digitales y ciertas otros de las tensiones de puerta EN_502, EN_504, EN_506, EN_508 pueden derivarse de las señales analógicas de calibración.

Se hace referencia ahora a las Figuras 4A y 4B, que muestran ejemplos de generadores de tensión en el troquel 600A, 600B para generar la tensión V_{TT} de tensiones de alimentación disponibles en V_{DD} y V_{SS} . En el ejemplo específico no limitativo $V_{SS} = 0$ V (masa) y $V_{TT} = \frac{1}{2} V_{DD}$. En la Figura 4A, el generador de tensión 600A incluye una etapa de polarización 602 y una etapa de salida 604. La etapa de polarización 602 incluye un dispositivo PMOS 606 con su puerta conectada a tierra y un dispositivo NMOS 608 con su puerta conectada a V_{DD} . Entre los dos dispositivos están conectados un dispositivo PMOS adicional 610 y un dispositivo NMOS adicional 612. El dispositivo PMOS 610 tiene su puerta conectada a la salida 609 situada entre su fuente y el drenador del dispositivo NMOS 608, mientras que el dispositivo NMOS 612 tiene su puerta conectada a la salida 611 situada entre su drenador y la fuente del dispositivo PMOS 606. La etapa de salida 604 incluye un dispositivo NMOS 614 y un dispositivo PMOS 616 conectado en serie entre V_{DD} y tierra. Un nodo V_{TT} 620 se encuentra en la salida 613, situado entre el dispositivo NMOS 614 y el dispositivo PMOS 616, mientras que una capacidad de salida 618 desvía el nodo V_{TT} 620 a tierra.

El generador de tensión 600A ilustrado tiene el beneficio de que la corriente a través de la etapa de polarización 602 y la etapa de salida 604 es relativamente baja mientras que V_{TT} está en el nivel deseado $\frac{1}{2} V_{DD}$. El dispositivo PMOS 606 con su puerta conectada a tierra y un dispositivo NMOS 608 con su puerta conectada a V_{DD} sirven como resistencias para limitar la corriente dentro de la etapa de polarización 602. Por otra parte, la etapa de salida 604 atrae relativamente poca corriente, mientras que V_{TT} está en el nivel deseado $\frac{1}{2} V_{DD}$ porque el dispositivo NMOS 614 y el dispositivo PMOS 616 tienen cada uno una polarización de puerta-fuente de aproximadamente V_T , a saber, la tensión de umbral. Una vez que la salida en el nodo V_{TT} 620 se mueve lejos del nivel deseado $\frac{1}{2} V_{DD}$, la polarización de puerta-fuente de uno de los dispositivos de salida 614, 616 aumenta para proporcionar una corriente más grande para restaurar el nivel de salida a $\frac{1}{2} V_{DD}$. La capacitancia de salida 618 se proporciona como un depósito y se puede hacer suficientemente grande para suministrar las demandas instantáneas actuales en el nodo V_{TT} 620. Opcionalmente, el generador de tensión 600A puede compartir una etapa común con otras fuentes de tensión en el dispositivo semiconductor, que para un troquel de memoria podrían incluir una fuente de V_{CP} (tensión de la placa de células) y/o una fuente de V_{BLP} (tensión de precarga).

El generador de tensión 600B de la Figura 4B, una cadena de polarización 650 (implementada como un divisor de resistencia) establece un nodo 652 a un nivel de referencia. La tensión en el nodo 652 se amortigua por un amplificador operacional 654 en una configuración de ganancia unitaria. El nodo V_{TT} 656 se encuentra en la salida del amplificador operacional 654 y se desvía a tierra mediante una capacitancia de salida 658. En algunas realizaciones, el amplificador operacional 654 tiene una etapa de salida de clase B o clase AB en la que la corriente de reposo es mucho más pequeña que la corriente activa que fluye a su salida cuando V_{TT} diverge desde el nivel de referencia deseado. Además de proporcionar el polo dominante para la estabilidad de bucle cerrado, la capacitancia de salida 658 se puede hacer suficientemente grande para suministrar las demandas instantáneas actuales en el nodo V_{TT} 656. En otras palabras, la capacitancia de salida 658 permite que el circuito 600B suministre corriente suficiente para mantener el nodo V_{TT} 656 en el nivel apropiado (en este caso, $V_{TT} = \frac{1}{2} V_{DD}$), incluso en el peor de los casos, cuando todos los terminales (como el terminal 14) reciben continuamente '0' o reciben continuamente '1'. Por lo tanto, no se requiere un condensador de compensación separado interno al amplificador operacional 654. Para los escenarios intermedios en los que algunas entradas están recibiendo '1' y otras están recibiendo '0', las corrientes de entrada en realidad se anulan en el nodo V_{TT} 656 y los requisitos actuales del accionamiento del amplificador operacional 654 serán menores.

Se debe apreciar que las realizaciones anteriores, que se han descrito en el contexto de un solo terminal 14, también son aplicables en el contexto de múltiples terminales, ya se trate de terminales de entrada, terminales de salida, terminales de entrada/salida o una combinación de los mismos. En particular, y con referencia a la Figura 5,

5 en ella se muestra un diagrama esquemático de un dispositivo semiconductor 700, de acuerdo con otro ejemplo de realización. El dispositivo semiconductor ilustrado 700 tiene un bus de datos de 8 bits, con 8 terminales de datos 7140... 7147 conectados a memorias intermedias de entrada que conducen a una parte interna 716. Los expertos en la técnica apreciarán que el bus de datos puede ser bidireccional, sin embargo por simplicidad en la figura 5 no se muestran las memorias temporales de salida.

10 El dispositivo semiconductor 700 comprende un circuito de terminación 500M conectado entre la pluralidad de terminales de datos 7140... 7147 y la parte interna 716 del dispositivo semiconductor 700. El circuito de terminación 500M incluye una pluralidad de transistores de terminación NMOS 704N y una pluralidad de transistores de terminación PMOS 704P. Los transistores de terminación NMOS 704N y transistores de terminación PMOS 704P que incluyen cada uno una fuente y un drenador, uno de los cuales está conectado a la unión entre la parte interna 716 y uno correspondiente de los terminales de datos 7140... 7147. El otro de la fuente y el drenador está conectado a un terminal común 702 que suministra la tensión antes mencionada V_{TT} para la terminación en troquel. En otras realizaciones, la tensión V_{TT} puede generarse en el troquel como se ha descrito anteriormente con referencia a las Figuras 4A y 4B, por ejemplo.

20 El circuito de terminación 500M comprende el circuito de control 728, que desactiva y permite funcionalidad de terminación en troquel basada en una señal ODT_EN. La señal ODT_EN se puede proporcionar al circuito de control 728 mediante un terminal 730 del dispositivo semiconductor 700. En un ejemplo no limitativo, puede habilitarse la terminación en troquel cuando el semiconductor 700 está en modo desactivado, pero la recepción cuando el dispositivo semiconductor 700 está impulsando los terminales 714.

25 Basado en el nivel de la señal ODT_EN, el circuito de control 728 establece el nivel de una tensión de puerta EN_704N alimentada a la puerta de cada uno de los transistores de terminación NMOS 704N y el nivel de una tensión de puerta EN_704P alimentada a la puerta de cada uno de los transistores de terminación PMOS 704P. Específicamente, cuando se deshabilita la señal ODT_EN, el circuito de control 728 hace que la tensión de puerta EN_704N asuma un nivel que asegure que los transistores de terminación NMOS 704N se coloquen en estado apagado, siendo un ejemplo de tal nivel V_{SS} . El circuito de control 728 también hace que la tensión de la puerta EN_704P asuma un nivel que garantice que los transistores de terminación OGP 704P se colocan en estado apagado, siendo V_{DD} un ejemplo de tal nivel.

35 En contraste, cuando la señal ODT_EN está activada, el circuito de control 728 hace que la tensión de la puerta EN_704N asuma un nivel que asegura que los transistores de terminación NMOS 704N se colocan en la región óhmica de funcionamiento. En algunas realizaciones, un ejemplo de un nivel tal es una tensión fija, tal como V_{DD} . En otras realizaciones, un ejemplo de tal nivel varía dentro de un rango limitado por V_{D1} y V_{D2} , permitiendo que los transistores de terminación NMOS 704N impartan una resistencia variable. El circuito de control 728 también hace que la tensión de la puerta EN_704P asuma un nivel que garantice que los transistores de terminación OGP 704P se coloquen en la región óhmica de funcionamiento. En algunas realizaciones, un ejemplo de tal nivel es una tensión fija, tal como V_{SS} . En otras realizaciones, un ejemplo de tal nivel varía dentro de un rango limitado por V_{S1} y V_{S2} , permitiendo que los transistores de terminación PMOS 704P impartan una resistencia variable.

45 Se debe apreciar que en el ejemplo antes mencionado, ambos transistores de terminación conectados a cada terminal de datos se colocan en la región óhmica de funcionamiento cuando está habilitada la terminación en troquel. Sin embargo, se debe apreciar que en algunas realizaciones, puede haber múltiples transistores de terminación mixtos PMOS y NMOS conectados a uno o más terminales de datos, en cuyo caso puede ser deseable identificar qué subconjunto de estos transistores de terminación se debe colocar en la región óhmica de funcionamiento a fin de lograr un valor de resistencia de terminación deseado.

50 Se debe apreciar que en cada una de las realizaciones anteriores, se puede reducir el tamaño de los transistores MOS mientras todavía se imparte la resistencia deseada. En particular, se observó que cuando un transistor MOS se coloca en la región óhmica de funcionamiento, la corriente a través del drenador (denotada I_D) está aproximadamente relacionada con la tensión de drenador-fuente (denotada V_{DS}) y la tensión puerta-fuente (es decir, la tensión de puerta, denotada V_{GS}) mediante la siguiente ecuación (véase la página 310 de circuitos microelectrónicos, tercera edición, por Adel S. Sedra y Kenneth C. Smith, Saunders College Publishing, 1991:

$$I_D = 2K(V_{GS} - V_T)$$

60 donde V_T es la tensión umbral del transistor MOS en cuestión y K es un parámetro de dispositivo dado por:

$$K = \frac{1}{2} \mu_n C_{ox} (W/L)$$

65 donde μ_n es la "movilidad de los electrones", C_{ox} la "capacitancia de óxido", L es la longitud del canal del transistor MOS y W es la anchura del canal del transistor MOS. Por lo tanto, la resistencia impartida por el transistor MOS, que se expresa como $R_{MOS} = V_{DS}/I_D$, es igual a:

$$R_{MOS} = V_{DS}/I_D = (2K(V_{GS} - V_T))^{-1} = L / (\mu_n * C_{ox} * W * (V_{GS} - V_T))$$

5 Por lo tanto, RMOS es inversamente proporcional tanto a la anchura del canal W como a la tensión de puerta V_{GS} . De ello se desprende que, manteniendo la misma tensión puerta-fuente V_{GS} , es posible lograr una resistencia mayor mediante un transistor MOS más pequeño. Por el contrario, se puede lograr una resistencia deseada utilizando un transistor MOS más pequeño mediante el suministro de una mayor tensión puerta-fuente V_{GS} . Por transistor MOS "más pequeño", se contempla que el ancho del canal W pueda reducirse, mientras que la longitud de canal L se mantiene constante para las consideraciones de protección ESD (descarga electrostática). Sin embargo, esto es sólo un ejemplo de la manera de reducir el tamaño de un transistor MOS.

15 Por lo tanto, la compensación para el uso de transistores MOS más pequeños para proporcionar una resistencia deseada cuando en la región óhmica de funcionamiento es necesario suministrar una tensión más fuerte en la puerta. Para un transistor NMOS, esto se traduce en el suministro de una tensión de puerta mayor que V_{DD} (mientras que el electrodo de sustrato está en V_{SS}) y de un transistor PMOS, esto se traduce en el suministro de una tensión de puerta a menos de V_{SS} (mientras que el electrodo de sustrato está en V_{DD}).

20 En algunas realizaciones, puede proporcionarse una fuente de alimentación dedicada para la generación de estas tensiones de puerta más fuertes. Sin embargo, en otras realizaciones, las fuentes de alimentación existentes que ya se encuentran en las tensiones más fuertes pueden ser reutilizadas. Este es el caso con ciertos módulos de memoria que comprenden una matriz de células de memoria a las que se accede a través de líneas de palabra y líneas de bits. En tal caso, un ejemplo de una tensión por encima de V_{DD} que puede ser reutilizada es la fuente de alimentación V_{PP} que se emplea si no para la activación de líneas de palabra en una DRAM, y un ejemplo de una tensión por debajo de la fuente de alimentación que pueden ser re-utilizada es la fuente V_{BB} que se emplea si no para el desplazamiento celular del sustrato en una DRAM. Existen otras posibilidades y están dentro del alcance de las realizaciones de la presente invención.

30 Después de haber establecido la conveniencia, en algunas circunstancias, de suministrar tensiones de puerta con un rango dinámico que excede el que existe entre V_{SS} y V_{DD} , hay varias maneras de lograr esto. Por ejemplo, desde un punto de vista de la conservación de energía, puede ser deseable proceder con un proceso de dos pasos, por lo que las tensiones de puerta se generan por primera vez como se describió anteriormente en el caso del circuito de control de terminación 528A (es decir, con un rango dinámico de V_{SS} a V_{DD}), y luego el rango dinámico de las tensiones de puerta se ve aumentado utilizando desplazadores de nivel. Específicamente, los desplazadores de nivel, tales como el que se muestra en 802 en la Figura 6A se puede insertar en los caminos entre el circuito de control de terminación 528A y las puertas de los transistores PMOS 502, 504 en las Figuras 1 y 2. Del mismo modo, los desplazadores de nivel, tales como el que se muestra en 852 en la Figura 6B se puede insertar en los caminos entre el circuito de control de terminación 528A y las puertas de los transistores NMOS 506, 508. Se debe apreciar que los desplazadores de nivel se pueden insertar en los caminos entre el circuito de control de terminación 528A y todos los transistores 502, 504, 506, 508 o sólo un subconjunto de los transistores 502, 504, 506, 508. Por lo tanto, es posible que los transistores del mismo tipo (por ejemplo, NMOS o PMOS) se proporcionen con diferentes tensiones de puerta que colocan los transistores en la región óhmica de funcionamiento.

45 En el ejemplo de realización mostrado en la Figura 6A el desplazador de nivel 802 convierte una tensión de entrada EN_502 (que se supone que es una señal binaria que tiene un nivel que es ya sea V_{SS} o V_{DD}) en un nivel de tensión de salida desplazado EN_502 (que será una señal binaria que tiene un nivel que es ya sea V_{BB} o V_{DD}). Aquí, V_{BB} representa un nivel de tensión que es menor que V_{SS} . En un ejemplo no limitativo, V_{SS} puede ser 0 V y V_{BB} puede ser -1.0 V. Existen otras posibilidades y se contemplan como dentro del alcance de ciertas realizaciones de la presente invención.

50 Específicamente, el desplazador de nivel 802 comprende dos ramas de transistores interconectadas MOS 804, 806. La primera rama 804 comprende el transistor PMOS 808 cuya puerta de entrada recibe la tensión EN_502. La fuente del transistor PMOS 808 está conectada a la fuente de alimentación V_{DD} y al drenador del transistor PMOS 808 está conectado al drenador del transistor NMOS 810. La fuente del transistor NMOS 810 está conectada a la fuente de alimentación 812 a una tensión $V_{BB} < V_{SS}$. La segunda rama 806 comprende el transistor PMOS 814 cuya fuente está también conectada a V_{DD} y cuyo drenador está conectado al drenador del transistor NMOS 816. La fuente del transistor NMOS 816 está conectada a la fuente de alimentación 812 a la tensión V_{BB} . La puerta del transistor PMOS 814 está conectada a la salida del inversor 811 que invierte la tensión de entrada EN_502. Además, la puerta del transistor NMOS 810 en la primera rama 804 está conectada al drenador del transistor NMOS 816 en la segunda rama 806. Además, la puerta del transistor NMOS 816 en la segunda rama 806 está conectada al drenador del transistor NMOS 810 en la primera rama 804. Por último, la tensión de salida desplazada en nivel EN_502 se toma en el nodo 820 entre el drenador del transistor PMOS 814 y la fuente del transistor NMOS 816. Los expertos en la técnica apreciarán por lo tanto a partir de la Figura 6A que cuando la tensión de entrada EN_502 está en V_{SS} , el nivel de tensión de salida desplazado EN_502+ está en V_{BB} , y cuando la tensión de entrada EN_502 está en V_{DD} , el nivel de tensión de salida desplazado EN_502+ está en V_{DD} .

En el ejemplo de realización mostrado en la Figura 6A, el desplazador de nivel 852 convierte una tensión de entrada EN_506 (que se supone que es una señal binaria que tiene un nivel que es ya sea V_{SS} o V_{DD}) en un nivel de salida de tensión desplazado EN_506+ (que será una señal binaria que tiene un nivel que es ya sea V_{SS} o V_{PP}). Aquí, V_{PP} representa un nivel de tensión que es mayor que V_{DD} . En un ejemplo no limitativo, V_{DD} puede ser de 1,8 V y V_{PP} puede ser 2.5V. Existen otras posibilidades y se contemplan como dentro del alcance de ciertas realizaciones de la presente invención.

Específicamente, el desplazador de nivel 852 comprende dos ramas interconectadas de transistores MOS 854, 856. La primera rama 854 comprende un transistor NMOS 858 cuya puerta de entrada recibe la tensión EN_506. La fuente del transistor NMOS 858 está conectada a la fuente de alimentación V_{SS} y el drenador del transistor NMOS 858 está conectado al drenador del transistor PMOS 860. La fuente del transistor PMOS 860 está conectada a la fuente de alimentación 862 a una tensión $V_{PP} < V_{DD}$. La segunda rama 856 comprende el transistor NMOS 864 cuya fuente está también conectada a la red eléctrica 862 a una tensión V_{PP} y cuyo drenador está conectado al drenador de un transistor PMOS 866. La fuente del transistor PMOS 866 está conectada a la fuente de alimentación 862 a tensión V_{PP} . La puerta del transistor NMOS 864 está conectada a la salida del inversor 861 que invierte la tensión de entrada EN_506. Además, la puerta del transistor PMOS 860 en la primera rama 854 está conectada al drenador del transistor PMOS 866 en la segunda rama 856. Además, la puerta del transistor PMOS 866 en la segunda rama 856 está conectada al drenador del transistor PMOS 860 en la primera rama 854. Por último, el nivel de tensión de salida desplazado EN_506+ se toma en el nodo 870 entre la fuente del transistor NMOS 864 y el drenador del transistor PMOS 866. Los expertos en la técnica apreciarán por lo tanto a partir de la Figura 6B que cuando la tensión de entrada EN_506 está en V_{SS} , el nivel de tensión de salida tensión EN_506+ está en V_{SS} , y cuando la tensión de entrada EN_506 está en V_{DD} , el nivel de tensión de salida desplazado EN_506+ está en V_{PP} .

Se debe apreciar que los símbolos " V_{DD} ", " V_{SS} ", " V_{PP} " y " V_{BB} ", que puede parecer familiar a algunos lectores, se utilizan con fines meramente ilustrativos como ayuda a la colocación de los niveles de tensión de varias fuentes de alimentación en contexto con respecto al otro. Sin embargo, los niveles reales de tensión representados por los símbolos " V_{DD} ", " V_{SS} ", " V_{PP} " y " V_{BB} " no se limitan sólo a los niveles específicos de tensión que el lector puede haber encontrado al consultar la literatura, ni se les prohíbe adquirir niveles de tensión que el lector pueda haber encontrado representados en la literatura mediante diferentes símbolos o ningún símbolo en absoluto.

También debe apreciarse que el circuito de control de terminación analógico 528B descrito anteriormente con referencia a la Figura 3B puede ser utilizado en una implementación de un dispositivo semiconductor que tiene exclusivamente transistores NMOS o exclusivamente transistores PMOS, y tan pocos como un solo transistor MOS de un tipo o del otro. También, el circuito de control de terminación analógico 528B se puede utilizar en una implementación de un dispositivo semiconductor con independencia del nivel de tensión proporcionado por la fuente de alimentación V_{TT} de tensión de terminación 450. De acuerdo con ello, se hace referencia a la Figura 7, en la que se muestra un circuito de terminación 901 para la terminación en troquel de un terminal 914 conectado a la parte interna 916 de un dispositivo semiconductor 900. El terminal 914 puede ser un terminal de entrada, un terminal de salida o un terminal de entrada/salida bidireccional. En ciertas realizaciones no limitativas, el terminal 914 puede configurarse para transmitir y/o recibir señales de datos que varían entre dos niveles de tensión representativa de los correspondientes valores lógicos. El dispositivo semiconductor 900 que incluye la parte interna 916 y el terminal 914 puede ser un troquel de memoria o cualquier otro tipo de dispositivo semiconductor que puede beneficiarse de la terminación en troquel.

Aunque el circuito de terminación 901 se muestra conectado dentro del dispositivo semiconductor 900 a un punto (o nodo 918) que se encuentra entre el terminal 914 y la parte interna 916 del dispositivo semiconductor 900, se debe apreciar que está dentro del alcance de realizaciones de la presente invención del circuito de terminación 901 conectarse directamente al terminal 914. El circuito de terminación 901 incluye un camino entre el terminal 914 y una fuente de alimentación 950 a través del punto/nodo 918, que está a una tensión V_{XYZ} . La tensión V_{XYZ} puede ser una tensión de terminación de punto medio, tal como $V_{DD}/2$, una tensión de terminación de pseudo drenador abierto tal como V_{DD} , una tensión de terminación cercana a tierra como V_{SS} , o cualquier otra tensión de terminación adecuada. Como se muestra en la Figura 7, la fuente de alimentación 950 puede ser interna al dispositivo semiconductor 900, en cuyo caso V_{XYZ} se puede decir que se genera de forma interna al troquel. Alternativamente, la fuente de alimentación 950 puede ser externa al dispositivo semiconductor 900 y accesible a través de un terminal de datos, por ejemplo. En este caso, V_{XYZ} se puede decir que se genera de manera fuera de troquel. La fuente de alimentación 950 también se puede utilizar para el suministro de la tensión V_{XYZ} a otros componentes del dispositivo semiconductor 900, tales como las comprendidas en la parte interna 916. Alternativamente, la fuente de alimentación 950 se puede dedicar a la tarea de la terminación en troquel.

La ruta de acceso entre el terminal 914 y la fuente de alimentación 950 (a través del punto/nodo 918) incluye al menos un transistor MOS, incluyendo el transistor MOS 902. El al menos un transistor MOS, incluyendo el transistor MOS 902, puede ser un transistor PMOS o un transistor NMOS. En la realización ilustrada, hay un (1) transistor MOS 902, que se muestra como un transistor NMOS, pero se debe apreciar que no existe una limitación particular sobre el número de transistores MOS en la ruta de acceso o de si un transistor MOS particular en la ruta es un

transistor PMOS o un transistor NMOS. También, la ruta de acceso entre el terminal 914 y la fuente de alimentación 950 (a través del punto/nodo 918) puede incluir transistores MOS colocados en paralelo, en serie o una combinación de los mismos.

- 5 El transistor MOS 902 incluye una puerta 902G, que los expertos en la técnica entenderán como un electrodo de control. La puerta 902G es accionada mediante una tensión de puerta EN_902 suministrada por el circuito de control de terminación 928.

10 Además, el transistor MOS 902 incluye un primer electrodo portador de corriente 902S y un segundo electrodo portador de corriente 902D. Uno de los electrodos portadores de corriente está conectado a la fuente de alimentación 950, mientras que el otro de los electrodos portadores de corriente está conectado al terminal 914 (a través del punto/nodo 918). Dependiendo de qué electrodo portador de corriente está a un potencial más alto, el primer electrodo portador de corriente actuará como la "fuente" y el segundo electrodo portador de corriente actuará como "drenador", o viceversa.

15 Además, el transistor MOS 902 incluye un electrodo de sustrato 902T. El electrodo de sustrato 902T está conectado a la fuente de alimentación 910 mediante un terminal 910. Para un transistor NMOS 902 como se muestra, la fuente de alimentación 910 puede mantenerse a una tensión V_{SS} . La tensión V_{SS} se puede seleccionar tal que proporcione suficiente "espacio libre" de tensión para permitir que los componentes del dispositivo semiconductor 900 y, en particular, el circuito de terminación 901, funcionen adecuadamente dentro de la oscilación esperada de tensión de las señales en el terminal 914. Por lo tanto, cuando se espera que las señales en el terminal 914 varíen entre, por ejemplo, 0,0 V y 0,6 V, es posible ajustar V_{SS} a 0V. Otras posibilidades se contemplan como dentro del alcance de ciertas realizaciones de la presente invención.

- 25 El circuito de control de terminación 928 está configurado para responder a una señal ODT_EN activada haciendo que cambie la tensión de la puerta EN_902, provocando así un cambio en el estado de conducción del transistor MOS 902.

30 Más específicamente, cuando se deshabilita la señal ODT_EN (es decir, cuando la terminación en troquel está deshabilitada), el circuito de control de terminación 928 está configurado para provocar que la tensión de puerta EN_902 sea suficientemente baja (por ejemplo, V_{SS}) a fin de garantizar que un transistor NMOS 902 se coloque en estado apagado. En estado apagado, el transistor MOS 902 actúa efectivamente como un circuito abierto entre los respectivos primer electrodo portador de corriente 902S y segundo electrodo portador de corriente 902D.

- 35 En contraste, cuando la señal ODT_EN está activada (es decir, cuando está habilitada la terminación en troquel), el circuito de control de terminación 928 hace que la tensión de la puerta EN_902 cambie con el fin de adquirir un nivel adecuado para la colocación de transistor MOS 902 en la región óhmica de funcionamiento .

40 El nivel de tensión de puerta adecuado para la colocación de transistor MOS 902 en la región óhmica de funcionamiento es una función de, entre posiblemente otros parámetros: (i) el hecho de que el transistor MOS 902 es un transistor NMOS, (ii) la tensión V_{XYZ} de la fuente de alimentación 950, y (iii) la tensión umbral del transistor MOS 902. De lo anterior, será evidente que el estado de conducción en el que se halla por sí mismo el transistor MOS 902 en un punto dado en el tiempo puede verse influenciado por la tensión instantánea en el terminal 914. En particular, la tensión en el terminal 914 puede, durante los picos o valles, de vez en cuando empujar al transistor MOS 902 fuera de la región óhmica y en una región diferente de funcionamiento. Esto no constituye una situación no permitida. En general, se debe apreciar que el nivel de tensión de puerta adecuado para la colocación del transistor MOS 902 en la región óhmica de funcionamiento puede ser un nivel que garantiza un funcionamiento en la región óhmica de funcionamiento a lo largo de un amplio margen de oscilación esperada de tensión de la señal en el terminal 914 y no necesita garantizar que el funcionamiento en la región óhmica se mantiene continuamente a lo largo de toda la oscilación esperada de tensión de la señal en el terminal 914.

45 Así, por ejemplo, cuando $V_{XYZ} = V_{SS}$ se espera = 0 V y la tensión en el terminal 914 pivota entre 0 V y 0,6 V, un ejemplo específico no limitativo de un rango de tensión de la puerta que coloca al transistor MOS 902 en la región óhmica de funcionamiento (para un típico umbral transistor de tensión V_T de 0.5V) es 0.9V a 1.2V. Con tal disposición, el transistor MOS 902 ahora opera en la región óhmica de funcionamiento a lo largo de un amplio margen de oscilación esperada de tensión de la señal en el terminal 914 mientras que permite el control analógico de la resistencia de terminación.

55 Se observa que V_{XYZ} , que se describió anteriormente como el nivel de tensión de fuente de alimentación 950, es menor que la tensión de puerta que coloca al transistor MOS 902 en la región óhmica de funcionamiento. Lo contrario sería cierto si el transistor MOS 902 fuese un transistor PMOS.

60 En una realización no limitativa específica, V_{XYZ} puede estar sustancialmente a medio camino entre las dos tensiones V_{SS} y V_{DD} . Por ejemplo, $V_{XYZ} = 0,9$ cuando $V_{SS} = 0$ V y $V_{DD} = 1,8$ V. Sin embargo, ésta es sólo una posibilidad. Otras posibilidades incluyen un escenario de división de terminación, como se muestra en la Figura 8,

65

que ilustra un circuito de terminación 1001 similar al circuito de terminación 901 de la Figura 7 pero en el que V_{XYZ} se fija a V_{SS} , mientras que un transistor MOS adicional 902* complementario al transistor MOS 902 se proporciona entre el nodo 918 y V_{DD} . El transistor MOS 902* es un transistor PMOS mientras que el transistor MOS 902 sigue siendo un transistor NMOS.

5 Se debe apreciar que cuando transistores MOS 902 y 902* se colocan en la región óhmica de funcionamiento, que efectivamente actúan como resistencias con una resistencia que se aproxima por el cociente de la caída de tensión de drenador-fuente y la corriente que fluye a través de los actuales electrodos portadores (el drenador y la fuente).
10 También se observa que la ruta entre la fuente de alimentación 950 y el nodo 918 y la ruta entre la fuente de alimentación 910 y el nodo 918 se puede mantener libre de resistencias pasivas. Como tal, será evidente que la conductividad entre el nodo 918 y las fuentes de alimentación 950 y 910 es atribuible en parte sustancial a los transistores MOS 902 y 902* de haber sido colocado en la región óhmica de funcionamiento. Además, será evidente que la resistencia eléctrica entre el nodo 918 y fuentes de alimentación 950, 910 es atribuible en parte sustancial a los transistores MOS 902 y 902*, independientemente de si están en estado apagado (en cuyo caso actúan como un circuito abierto) o se colocan en la región óhmica de funcionamiento (en cuyo caso actúan como una resistencia).

Además, debe apreciarse que la variación de las tensiones de puerta EN_902 y EN_902* permite que se impartan diferentes resistencias eléctricas a la ruta entre el nodo 918 y las fuentes de alimentación 950 y 910. En particular, se puede utilizar un circuito de control de terminación ligeramente modificado 928* para controlar la resistencia eléctrica de la ruta mediante el control de las tensiones de puerta EN_902 y EN_902*. Específicamente, la tensión de puerta EN_902 proporcionada por el circuito de control de terminación 928* varía entre una primera tensión a la que el transistor MOS 902 se coloca en estado apagado, y una serie de segundas tensiones dentro de las cuales la tensión de puerta EN_902 puede variar paso a paso o de forma continua, mientras la tensión de puerta EN_902* proporcionada por el circuito de control de terminación 928* varía entre una primera tensión a la que el transistor MOS 902* se coloca en estado apagado, y una serie de segundas tensiones dentro de las cuales la tensión de puerta EN_902* puede variar paso a paso o de forma continua. Específicamente, cuando las tensiones de puerta EN_902 y EN_902* están en el rango de segundas tensiones, los transistores MOS 902 y 902* se colocan en la región óhmica de funcionamiento y difunden resistencias variables que dependen del valor de las tensiones de puerta EN_902 y EN_902*, respectivamente. Por lo tanto, las resistencias de los transistores MOS 902 y 902* se pueden controlar con un cierto grado de precisión.

El circuito de control de terminación de 928* proporciona una funcionalidad de calibración analógica mediante circuito de calibración 952 y el multiplexor 955. Un resistor de referencia (no mostrado) puede ser que se accede por el circuito de calibración 952 a través de una patilla externa del dispositivo semiconductor 900, aunque debe entenderse que en algunas realizaciones, la resistencia de referencia puede ser interna al circuito de calibración 952 o pueden incluso ser omitido. La resistencia de referencia representa la resistencia de terminación deseada que se consigue por el circuito de terminación 950, y es un parámetro de diseño. El circuito de calibración 952 recibe una "calibración permitirá" (CAL_EN) señal procedente de un controlador (no mostrado) que se puede afirmar para indicar un deseo de tales controlador para llevar a cabo un proceso de calibración utilizando el circuito de calibración 952.

En una realización, el circuito de calibración 952 puede comprender un elemento de circuito de calibración (o múltiples elementos de circuito de calibración) que tiene (o tienen) el mismo comportamiento de resistencia como una función de una tensión aplicada como transistor MOS 902 y/o 902* tienen como función de la tensión de puerta EN_902 y/o EN_902*. Por lo tanto, en respuesta a que la señal CAL_EN esté activada, el circuito de calibración 952 identifica qué tensión(es) aplicadas, cuando se aplican al(a los) elemento(s) del circuito de calibración (s), alcanza(n) una resistencia que coincide con la resistencia de la resistencia de referencia. Esto se puede hacer de forma iterativa, empezando con una tensión aplicada inicial y terminando con una tensión aplicada final. Las tensiones aplicadas finales son de salida al multiplexor 955 en la forma de tensiones de calibración analógica 972 y/o 976.

En una realización alternativa, el circuito de calibración 952 incluye o tiene acceso a una tabla de consulta (no se muestra) que almacena los datos en relación con el comportamiento de resistencia de los transistores MOS 902 y/o 902* como función de la tensión de puerta, en particular en el región óhmica de funcionamiento. En tal realización, el circuito de calibración 952 proporciona funcionalidad de procesamiento. Específicamente, puesto que el circuito de calibración 952 obtiene la resistencia de la resistencia de referencia (ya sea mediante la recepción de un valor de una fuente externa o mediante la medición directamente), el circuito de calibración 952 consulta la tabla de consulta para determinar la tensión de la puerta que se debe aplicar a los transistores MOS 902 y/o 902* a fin de lograr una coincidencia satisfactoria con respecto a la resistencia de la resistencia de referencia. Las tensiones de puerta así determinadas son de salida al multiplexor 955 en la forma de tensiones de calibración analógica 972 y/o 976.

Otras maneras de lograr coincidencia de resistencia se harán evidentes para los expertos en la técnica.

Se debe apreciar que la tensión de calibración analógica 972 estará en un nivel de tensión que tiene en cuenta el hecho de que el transistor MOS 902 es un dispositivo NMOS y depende de si el transistor MOS 902 es para ser colocado en la región óhmica de funcionamiento y si, por lo tanto, la resistencia precisa trató de ser impartida por el

transistor MOS 902. Por ejemplo, la tensión de calibración analógica se puede ajustar a V_{SS} cuando el transistor MOS 902 es para ser colocado en estado apagado, y se puede ajustar dentro de un rango delimitado por V_{D1} y V_{D2} (que puede incluir o no V_{DD}) Cuando el transistor MOS 902 es para ser colocado en la región óhmica de funcionamiento.

5 También debe apreciarse que la tensión de calibración analógica 976 estará en un nivel de tensión que tiene en cuenta el hecho de que el transistor MOS 902* es un dispositivo PMOS y depende de si transistor MOS 902* es para ser colocado en la región óhmica de funcionamiento y, si es así, la resistencia precisa trató de ser impartida por el transistor MOS 902*. Por ejemplo, la tensión de calibración analógica se puede ajustar a V_{DD} cuando transistor MOS 902* es para ser colocado en estado apagado, y se puede ajustar dentro de un rango delimitado por V_{S1} y V_{S2} (que puede incluir o no V_{SS}) cuando el transistor MOS 902* es para ser colocado en la región óhmica de funcionamiento.

10 Para una implementación de la terminación de división, tanto los dispositivos NMOS como los PMOS suelen estar habilitados o deshabilitados. Cuando está habilitada, la calibración de las resistencias de los dispositivos NMOS y PMOS para que sean iguales da como resultado una tensión efectiva de su terminación en el punto medio entre la V_{DD} y V_{SS} y una resistencia de terminación efectiva igual a la mitad del valor de la resistencia calibrada de cualquiera de los dispositivos NMOS o PMOS.

15 Las tensiones de calibración analógica se seleccionan mediante la señal ODT_EN en el multiplexor 955 para producir las tensiones de puerta EN_902 y EN_902*. En concreto, cuando la señal ODT_EN está activada indica que la terminación en troquel está habilitada, las tensiones de calibración analógica se transfieren sin cambios a través del multiplexor 955 a tensiones de puerta EN_902 y EN_902*. Así, cuando las tensiones de calibración analógica se encuentran en niveles adecuados para la colocación de los transistores MOS 902 y 902* en estado apagado, las tensiones de puerta EN_902 y EN_902* adquirirán estos niveles. De manera similar, donde las tensiones de calibración analógica se encuentran en niveles adecuados para la colocación de los transistores MOS 902 y 902* en la región óhmica de funcionamiento, a fin de impartir ciertas resistencias deseadas, las tensiones de puerta de EN_902 y EN_902* adquirirán estos niveles.

20 Por otro lado, cuando se deshabilita la señal ODT_EN para indicar que la terminación en troquel está inhabilitada, las tensiones de puerta EN_902 y EN_902* son forzadas a niveles adecuados para la colocación de los transistores MOS 902 y 902* en estado apagado, es decir V_{SS} y V_{DD} , respectivamente. Dicho de otra manera, los niveles de las tensiones de calibración analógica recibidos desde el circuito de calibración 952 se reemplazan mediante la desactivación de la terminación en troquel. Se debe apreciar que el circuito de calibración 952 y el multiplexor 955 no tienen que estar separados y, de hecho se pueden combinar en un único módulo.

25 En el contexto de los ejemplos descritos anteriormente, diversos elementos y circuitos se muestran conectados el uno al otro por simplicidad. En las aplicaciones prácticas de la presente invención los elementos, circuitos, etc. pueden estar conectados directamente entre sí. Además, los elementos de circuitos, etc. pueden estar conectados indirectamente entre sí a través de otros elementos, circuitos, etc., necesarios para el funcionamiento de los dispositivos, sistemas o aparatos de los que forman parte. Por lo tanto, en la configuración real, los diversos elementos y circuitos pueden acoplarse directa o indirectamente o conectarse el uno al otro, a menos que se especifique lo contrario.

30 Se pueden hacer ciertas adaptaciones y modificaciones de las realizaciones descritas. Por lo tanto, las realizaciones anteriores discutidas han de considerarse ilustrativas y no restrictivas. También se debe apreciar que los elementos adicionales que pueden ser necesarios para el funcionamiento de ciertas realizaciones de la presente invención no se han descrito o ilustrado, ya que se supone que son de la competencia de la persona de habilidad ordinaria en la técnica. Por otra parte, ciertas realizaciones de la presente invención pueden estar libres de, pueden carecer de y/o pueden funcionar sin ningún elemento que no esté descrito específicamente en el presente documento.

50

REIVINDICACIONES

1. Un circuito de terminación (500) para proporcionar terminación en troquel para un terminal (14) de un dispositivo semiconductor (100; 200), en el que el terminal (14) está conectado a una parte interna (16) del dispositivo semiconductor (100; 200), el circuito de terminación (500) comprendiendo:
- una pluralidad de transistores (502, 504, 506, 508) conectados entre el terminal (14) y una fuente de alimentación (450), la pluralidad de transistores (502, 504, 506, 508) incluyendo al menos un transistor NMOS (506, 508) y al menos un transistor PMOS (502, 504);
 - circuitería de control (528A; 528B) para accionar una puerta de cada uno de los al menos un transistor NMOS (506, 508) con una correspondiente tensión de puerta NMOS (EN_506, EN_508) y para accionar una puerta de cada uno de los al menos un transistor PMOS (502, 504) con una correspondiente tensión de puerta PMOS (EN_502, EN_504), la circuitería de control (528A; 528B) estando configurada para controlar las tensiones de puerta NMOS y PMOS a fin de colocar la pluralidad de transistores (502, 504, 506, 508) en una región óhmica de funcionamiento cuando está habilitada la terminación en troquel;
- en el que la fuente de alimentación (450) suministra una tensión que es menor que cada una de dichas tensiones de puerta NMOS (EN_506, EN_508) y mayor que cada una de dichas tensiones de puerta PMOS (EN_502, EN_504); y
- en el que la circuitería de control (528A; 528B) comprende circuitos de calibración (302A; 302B) con acceso a una resistencia de referencia (306), la circuitería de calibrador (302A; 302B) configurada para llevar a cabo un proceso de calibración para identificar una pluralidad de tensiones analógicas de calibración (372, 374, 376, 378) que haría que el al menos un transistor NMOS (506, 508) y el al menos un transistor PMOS (502, 504) impartan colectivamente una resistencia sustancialmente igual a la resistencia de referencia (306) si se suministran a cada uno de dichos transistores MOS como las tensiones de puerta correspondientes NMOS y PMOS, respectivamente.
2. El circuito de terminación definido en la reivindicación 1, en el que para colocar la pluralidad de transistores (502, 504, 506, 508) en una región óhmica de funcionamiento, la puerta de cada uno de los al menos un transistor NMOS (506, 508) es alimentada por una primera tensión y la puerta de cada uno de los al menos un transistor PMOS (502, 504) es alimentada por una segunda tensión y en el que la tensión suministrada por la fuente de alimentación (450) está sustancialmente a medio camino entre la primera tensión y la segunda tensión.
3. El circuito de terminación definido en la reivindicación 1, en el que:
- el al menos un transistor NMOS (506, 508) incluye al menos dos transistores NMOS (506, 508), los al menos dos transistores NMOS (506, 508) siendo colocados en la región óhmica de funcionamiento mediante las correspondientes tensiones de puerta NMOS (EN_506, EN_508) ajustadas a diferentes niveles, y
 - el al menos un transistor PMOS (502, 504) incluyendo al menos dos transistores PMOS (502, 504), los al menos dos transistores PMOS (502, 504) siendo colocados en la región óhmica de funcionamiento mediante las correspondientes tensiones de puerta (PMOS EN_502, EN_504) ajustadas a diferentes niveles.
4. El circuito de terminación definido en la reivindicación 1, que comprende además la fuente de alimentación, la fuente de alimentación comprendiendo una etapa de polarización (602), una etapa de salida (604) y un condensador (608), la etapa de salida (604) incluyendo un par complementario de transistores MOS (614, 616), en los que la tensión suministrada por la fuente de alimentación se toma de una unión (613) entre el par complementario de transistores MOS (614, 616), estando conectado el condensador (608) eléctricamente entre la unión (613) y un potencial de referencia.
5. El circuito de terminación definido en la reivindicación 1, que comprende además la fuente de alimentación, comprendiendo la fuente de alimentación:
- (i) una cadena de polarización (650);
 - (ii) un amplificador operacional (654) en una configuración de ganancia unitaria que tiene una entrada conectada a la cadena de polarización y una salida; y
 - (iii) un condensador (658) conectado entre la salida del amplificador operacional y un potencial de referencia;
- en el que la tensión suministrada por la fuente de alimentación se toma de una unión entre la salida del amplificador operacional y el condensador.

6. El circuito de terminación definido en la reivindicación 1, en el que:
- 5 - cada uno de los al menos un transistor NMOS (506, 508) comprende la puerta y un par de electrodos portadores de corriente (506S, 508S, 506D, 508D), en donde uno de los electrodos portadores de corriente está conectado al terminal (14), en el que el otro de los electrodos portadores de corriente está conectado a la fuente de alimentación (450) y en el que la puerta es alimentada por la correspondiente tensión de puerta NMOS (EN_506, EN_508) desde la circuitería de control (528A; 528B);
 - 10 - cada uno de los al menos un transistor PMOS (502, 504) comprende la puerta y un par de electrodos portadores de corriente (502s, 504s, 502D, 504D), en donde uno de los electrodos portadores de corriente está conectado al terminal (14), en donde el otro de los electrodos portadores de corriente está conectado a la fuente de alimentación (450) y en el que la puerta es alimentada por la correspondiente tensión de puerta PMOS (EN_502, EN_504) desde la circuitería de control (528A; 528B);
 - 15 - cada uno de los al menos un transistor NMOS (506, 508) comprende además un electrodo de sustrato (506T, 508T) conectado a una fuente de alimentación (420) que suministra una primera tensión de sustrato, y en donde cada uno de los al menos un transistor PMOS (502, 504) comprende además un electrodo de sustrato (502T, 504T) conectado a una fuente de alimentación (410) que suministra una segunda tensión de sustrato mayor que la primera tensión de sustrato; y
 - 20 - colocar la pluralidad de transistores (502, 504, 506, 508) en una región óhmica de funcionamiento, estableciéndose las tensiones de puerta NMOS (EN_506, EN_508) en una primera tensión común y estableciéndose las tensiones de puerta PMOS (EN_502, EN_504) en una segunda tensión común, en donde la segunda tensión de sustrato es igual a la primera tensión, y en donde la primera tensión de sustrato es igual a la segunda tensión.
7. El circuito de terminación definido en la reivindicación 6, que comprende además:
- 30 - un desplazador de nivel (852) entre la circuitería de control (528A; 528B) y la puerta de uno correspondiente de los al menos un transistor NMOS (506, 508), el desplazador de nivel configurado para emitir la correspondiente tensión de puerta NMOS (EN_506+) en base a una tensión de entrada (EN_506) proporcionada por la circuitería de control (528A; 528B), teniendo la tensión de entrada un rango dinámico menor que la tensión de puerta NMOS correspondiente; y
 - 35 - un segundo desplazador de nivel (802) entre la circuitería de control (528A; 528B) y la puerta de uno correspondiente de los al menos un transistor PMOS (502, 504); el segundo desplazador de nivel configurado para entregar la tensión de puerta PMOS correspondiente (EN_502+) en base a una segunda tensión de entrada (EN_502) proporcionada por la circuitería de control (528A; 528B), teniendo la segunda tensión de entrada un rango dinámico menor que la correspondiente tensión de puerta PMOS.
8. El circuito de terminación definido en la reivindicación 1, seleccionándose la pluralidad de transistores (502, 504, 506, 508) como transistores MOS, el circuito de terminación comprendiendo además al menos un transistor MOS no seleccionado conectado entre el terminal (14) y la fuente de alimentación (450), cada uno de los al menos un transistor MOS no seleccionados teniendo una puerta alimentada por una tensión de puerta correspondiente que coloca el al menos un transistor MOS no seleccionado en un estado apagado cuando está habilitada la terminación en troquel y también cuando la terminación en troquel está deshabilitada.
9. El circuito de terminación definido en la reivindicación 8, en el que los transistores MOS seleccionados y el al menos un transistor MOS no seleccionado constituyen un conjunto general de transistores MOS, en el que la circuitería de calibrador (302A; 302B) está configurada además para llevar a cabo un proceso de calibración para identificar la pluralidad de transistores MOS seleccionados dentro del conjunto global de transistores MOS.
10. El circuito de terminación definido en la reivindicación 8, en el que la resistencia eléctrica entre la fuente de alimentación (450) y el terminal (14) es atribuible en una parte sustancial a la pluralidad de transistores MOS seleccionados y el al menos un transistor MOS no seleccionado.
11. El circuito de terminación definido en la reivindicación 1, en el que:
- 65 - la circuitería de calibrador (302A; 302B) lleva a cabo el proceso de calibración en respuesta a detectar que una señal de habilitación de calibración recibida ha sido activada; o

5 - la circuitería de control (528A; 528B) comprende además un multiplexor (305B) para hacer que las tensiones analógicas de calibración (372, 374, 376, 378) se transfieran a las tensiones de puerta correspondientes NMOS y PMOS, respectivamente, cuando está habilitada la terminación en troquel; o

10 - el circuito de calibrador (302A; 302B) comprende elementos de circuito internos que presentan cada uno un comportamiento como una función de una tensión aplicada que corresponde a un comportamiento de uno de los al menos un transistor NMOS (506, 508) y el al menos un transistor PMOS (502, 504) como una función de las correspondientes tensiones de puerta NMOS o PMOS, en donde el proceso de calibración comprende determinar las tensiones de calibración analógica (372, 374, 376, 378) como los niveles de tensión aplicada que resultan en los elementos de circuito internos colectivamente exhibiendo una resistencia que coincide sustancialmente con la resistencia de referencia, o

15 - el circuito de calibrador tiene acceso a una tabla de consulta que especifica un comportamiento de resistencia del al menos un transistor NMOS (506, 508) y el al menos un transistor PMOS (502, 504) como una función de las correspondientes tensiones de puerta NMOS o PMOS, en donde el proceso de calibración comprende consultar la tabla de búsqueda en base a la resistencia de referencia (306) para determinar tensiones particulares, siendo las tensiones particulares las tensiones analógicas de calibración (372, 374, 376, 378).

20 12. Un dispositivo semiconductor (100, 200) con terminación en troquel, que comprende el circuito de terminación (500) de acuerdo con cualquiera de las reivindicaciones 1 a 11.

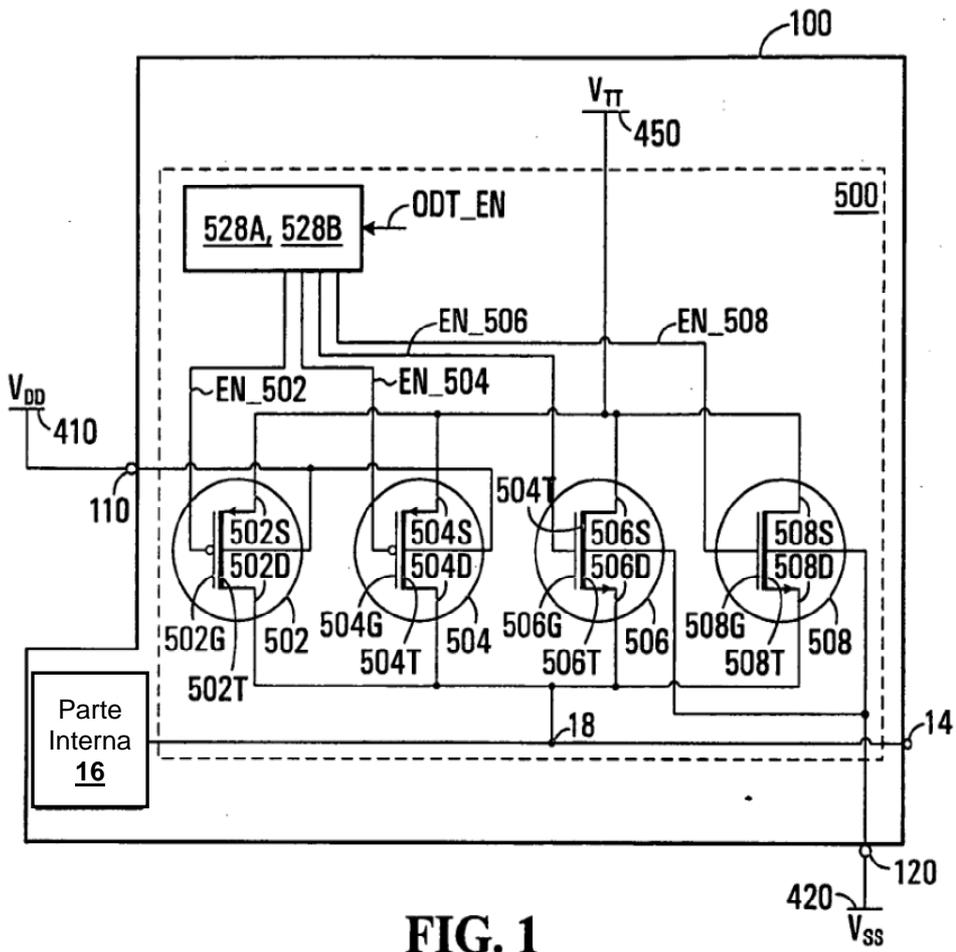


FIG. 1

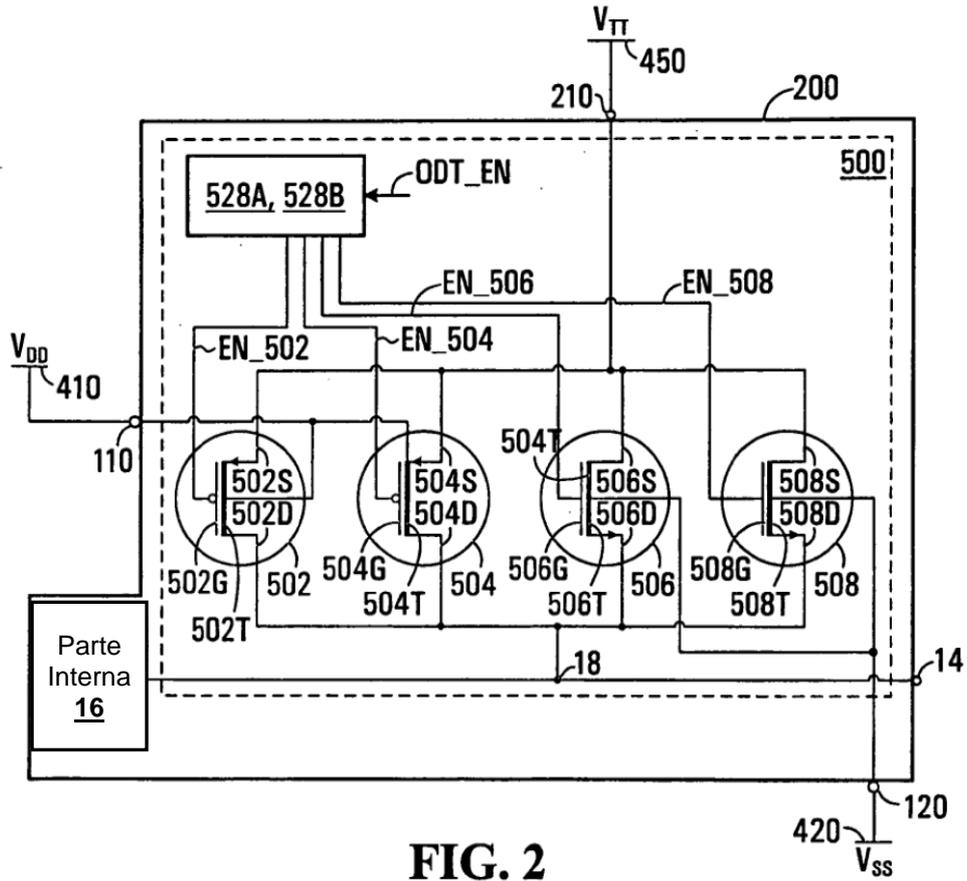


FIG. 2

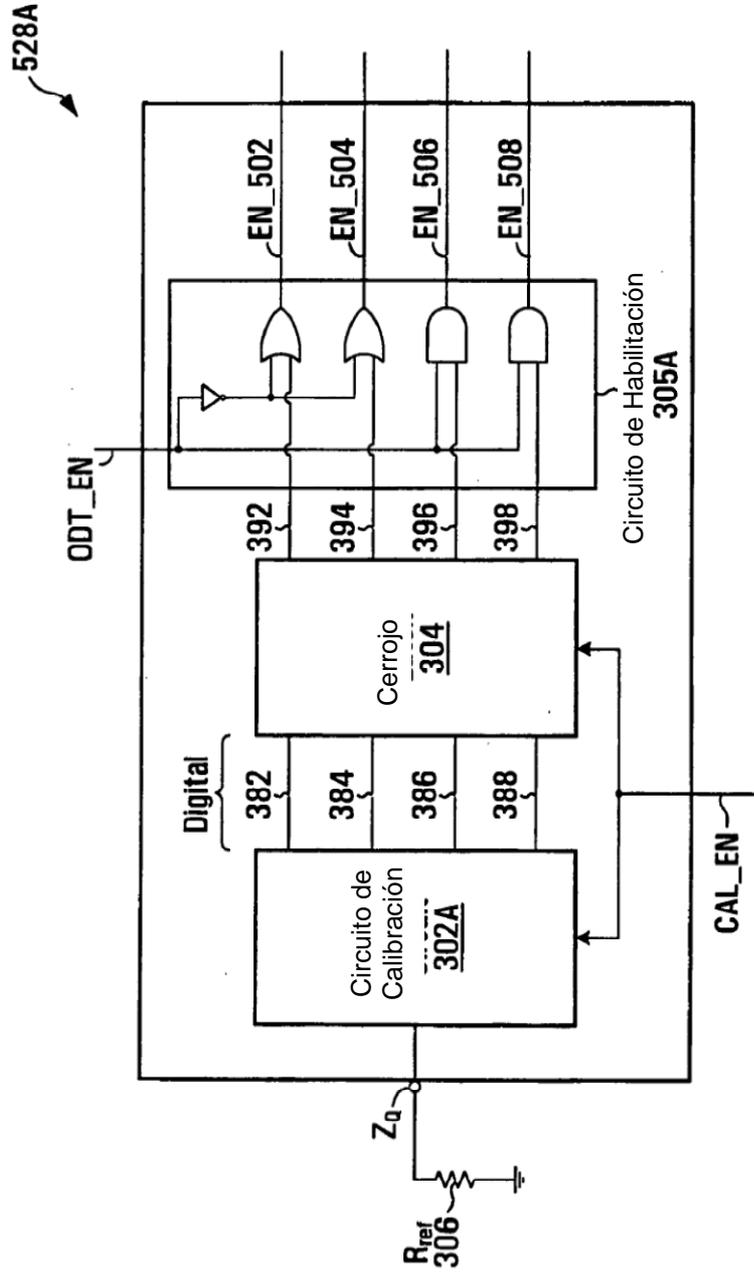


FIG. 3A

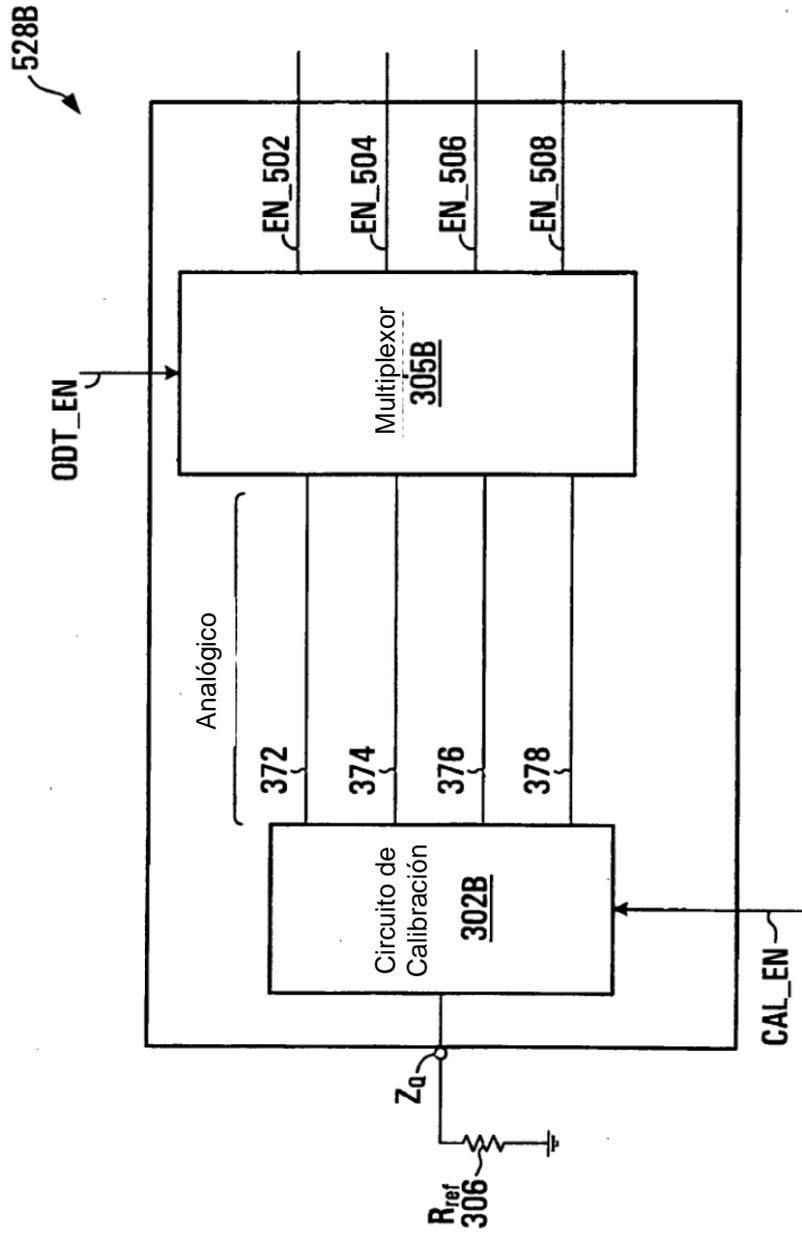


FIG. 3B

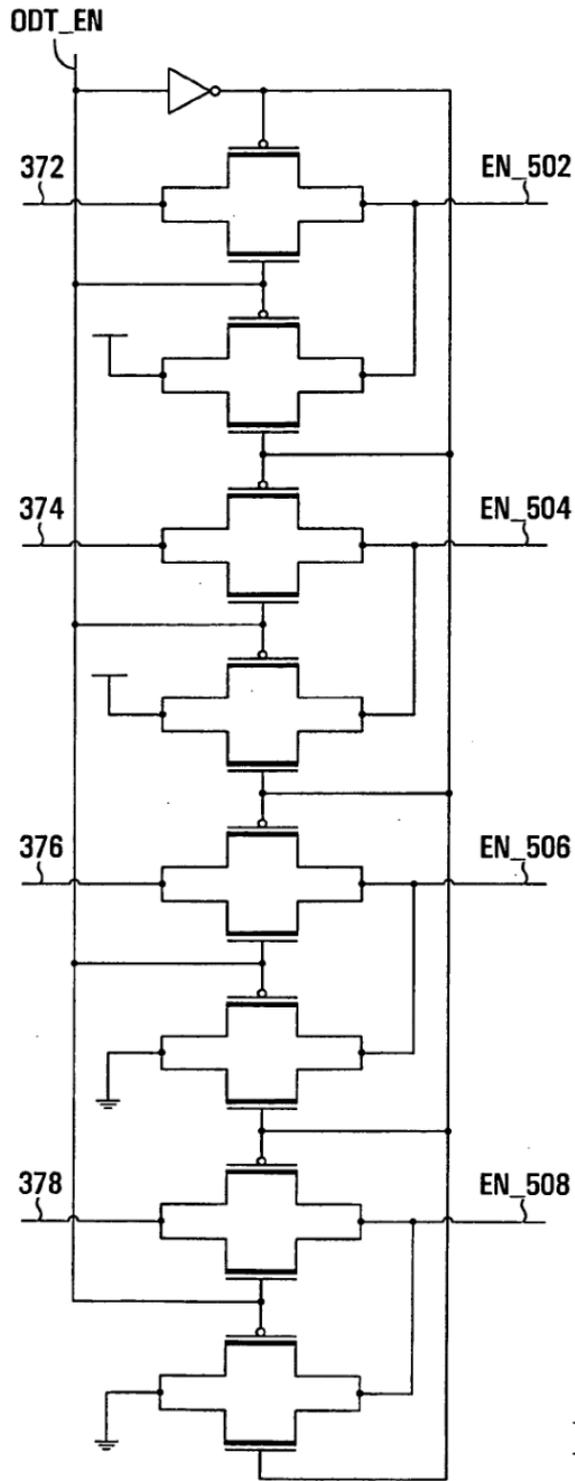


FIG. 3C

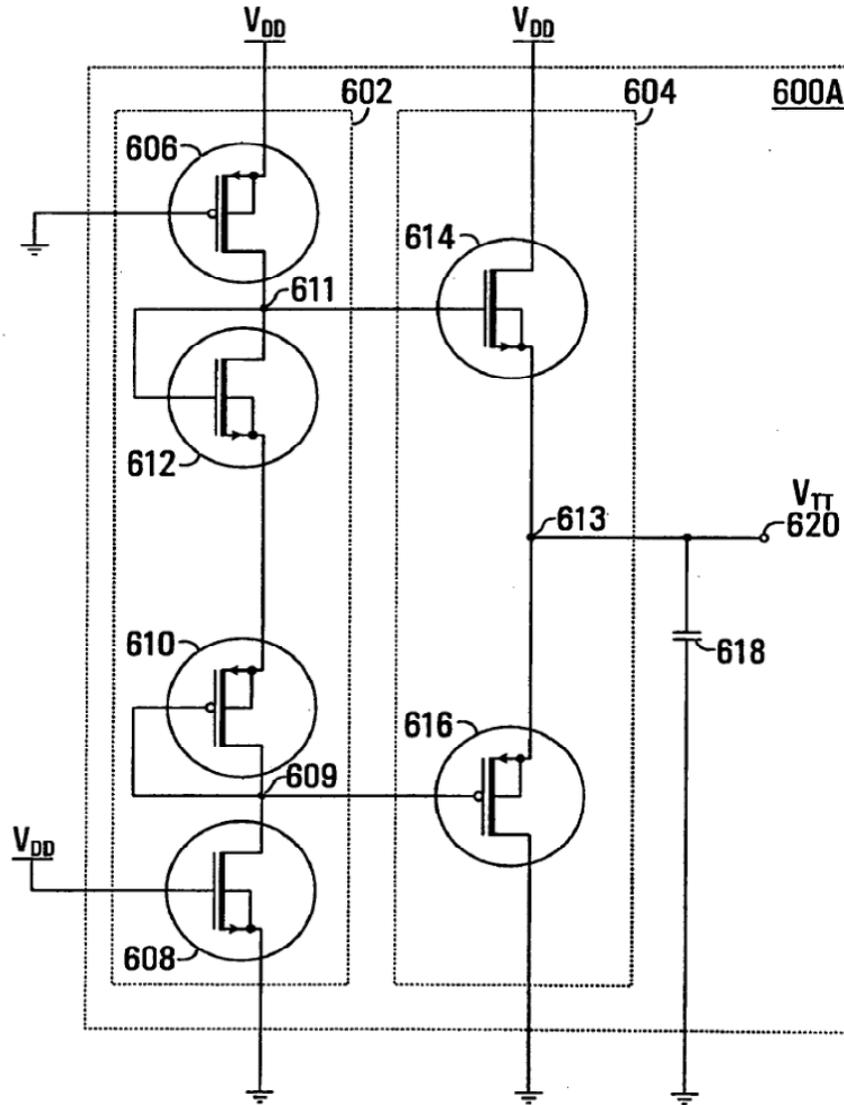


FIG. 4A

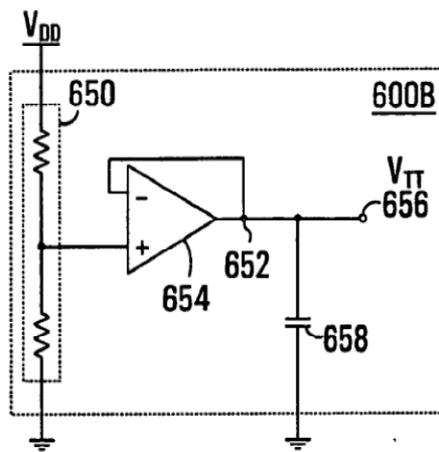


FIG. 4B

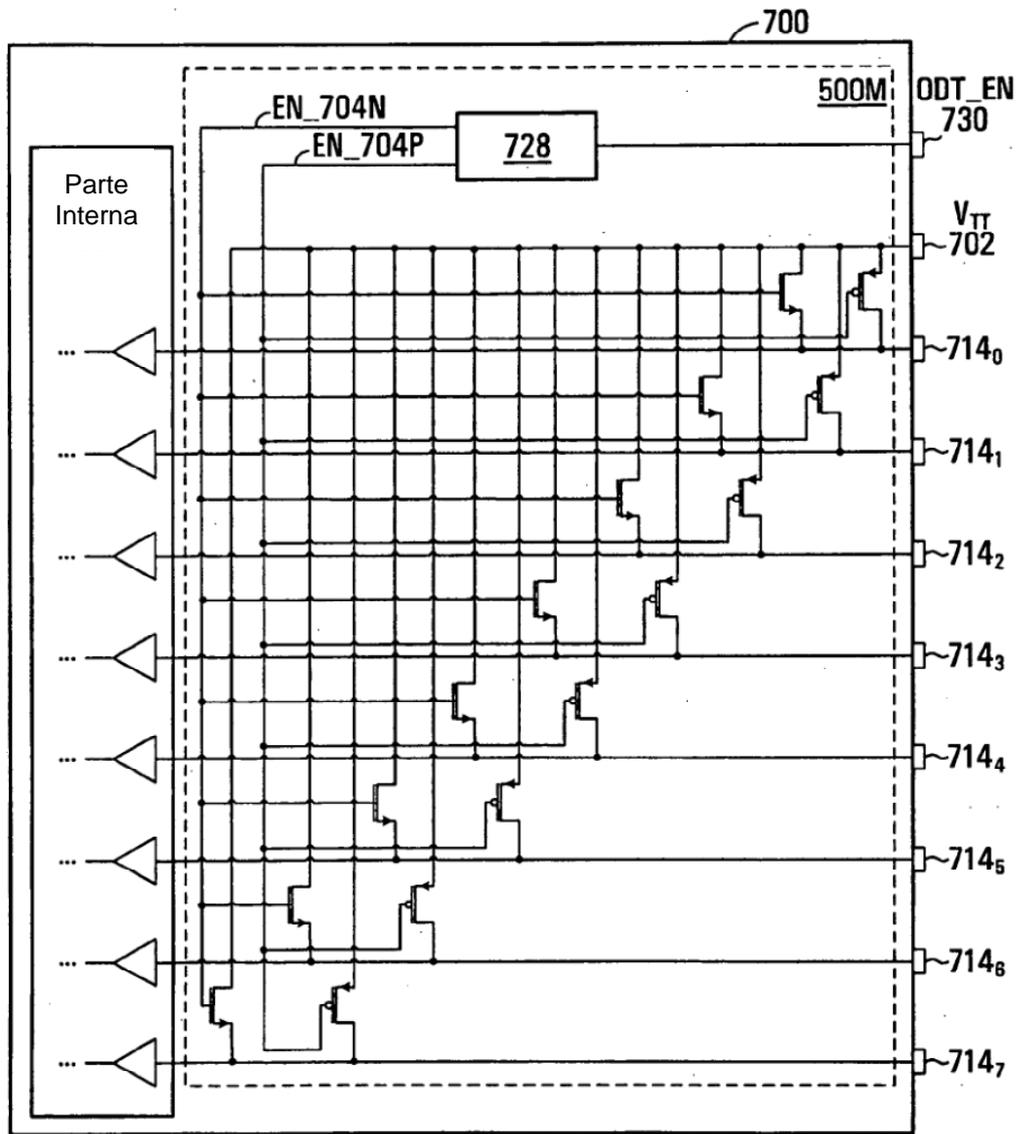


FIG. 5

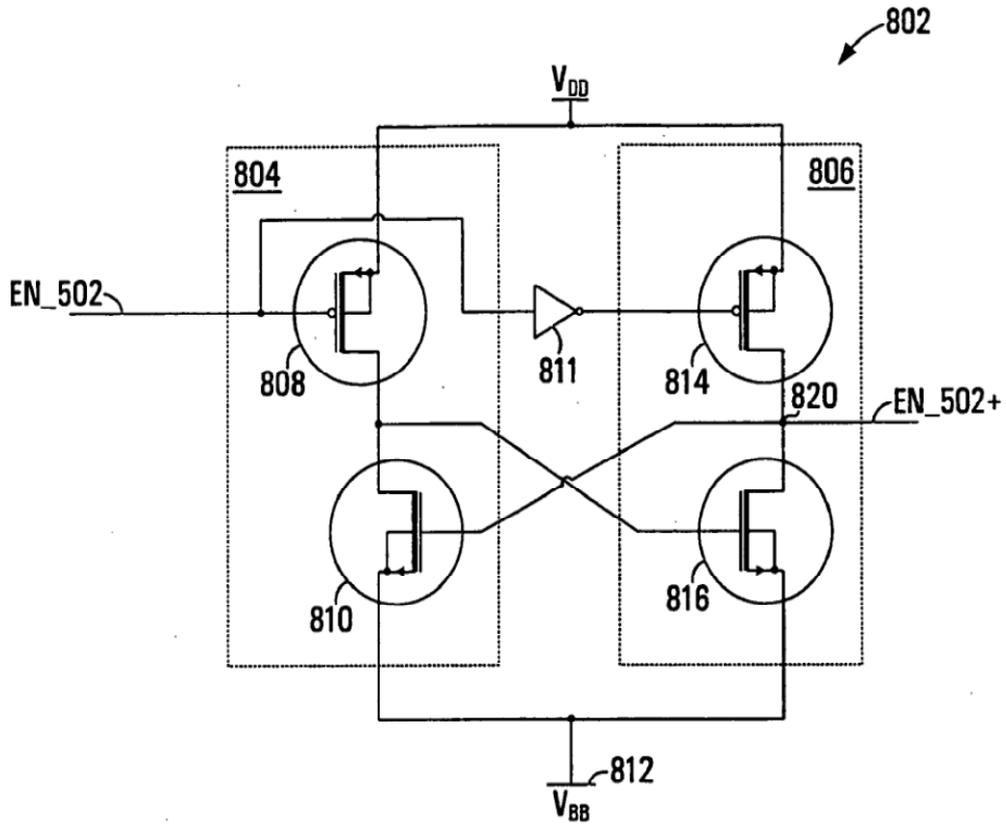


FIG. 6A

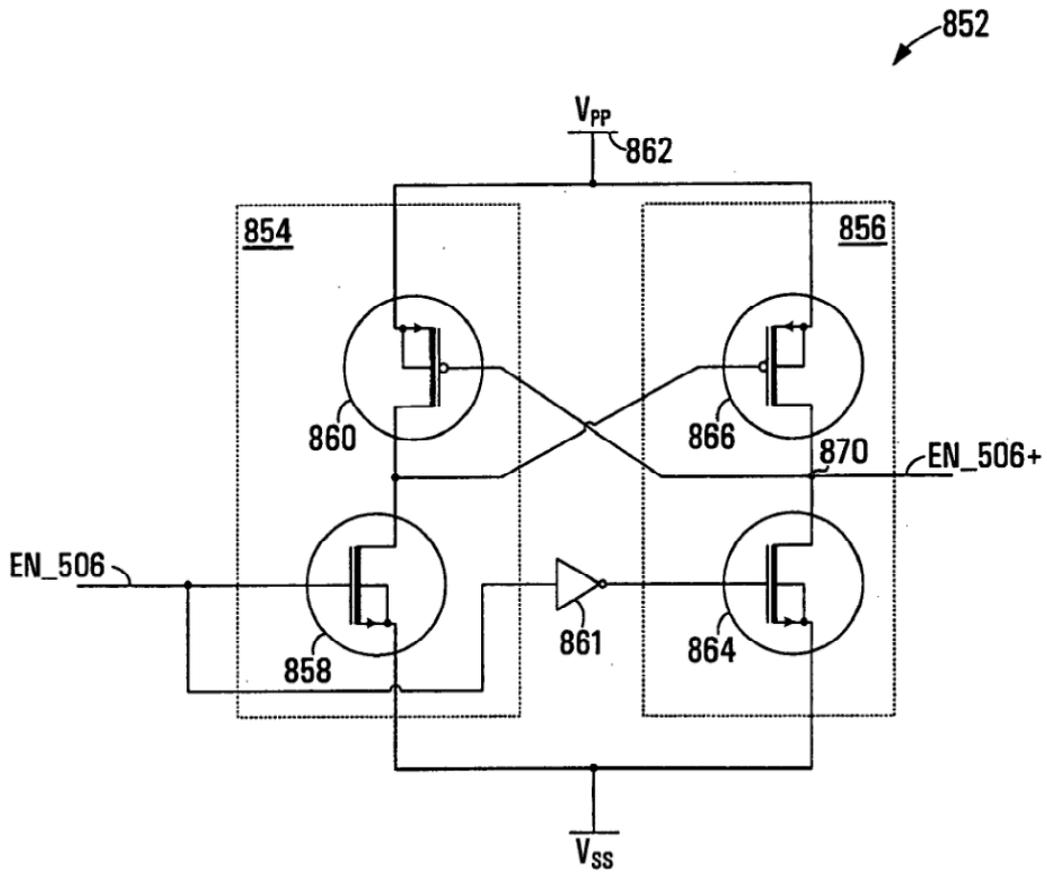


FIG. 6B

