

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 448 417**

51 Int. Cl.:

G11C 11/56 (2006.01)

G11C 16/04 (2006.01)

G11C 16/02 (2006.01)

G11C 7/10 (2006.01)

G11C 8/08 (2006.01)

G11C 16/12 (2006.01)

G11C 16/34 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **12.09.2007 E 11009492 (7)**

97 Fecha y número de publicación de la concesión europea: **08.01.2014 EP 2426668**

54 Título: **Esquema de distribución con umbral multinivel flash**

30 Prioridad:

13.09.2006 US 844154 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

13.03.2014

73 Titular/es:

**MOSAID TECHNOLOGIES INCORPORATED
(100.0%)**

**11 Hines Road, Suite 203
Ottawa, ON K2K 2X1, CA**

72 Inventor/es:

KIM, JIN-KI

74 Agente/Representante:

CARVAJAL Y URQUIJO, Isabel

ES 2 448 417 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Esquema de distribución con umbral multinivel flash

Referencia Cruzada a Solicitudes Relacionadas

5 Esta solicitud reivindica el beneficio de la Solicitud de patente Provisional estadounidense No. 60/844,154 presentada en septiembre 2006.

Campo de la Invención

La presente invención se relaciona de manera general con memorias flash. Más particularmente, la presente invención se relaciona con un dispositivo de memoria flash, un método de programar la celda de memoria flash y un método para verificar el voltaje umbral.

10 Antecedentes de la Invención

Numerosos tipos de productos electrónicos de consumo dependen de alguna forma de almacenamiento masivo para retener datos o software para la ejecución de códigos mediante un micro controlador. Tales productos electrónicos de consumo son prolíficos, e incluyen dispositivos tales como ayudantes digitales personales (PDA), reproductores de música portátiles, reproductores multimedia portátiles (PMP) y cámaras digitales. En los PDA, el almacenamiento masivo se requiere para almacenar aplicaciones y datos, mientras que en los reproductores de música y en las cámaras digitales se requieren cantidades grandes de almacenamiento masivo para retener los datos de archivo de música y/o los datos de imágenes. La solución para el almacenamiento masivo para tales dispositivos electrónicos portátiles es preferiblemente de tamaño pequeño, consumo de energía mínimo, y que tengan una alta densidad de almacenamiento. Esto limita la selección de las formas no volátiles de memoria en razón a que las memorias volátiles, tales como las memorias de acceso aleatorio estático (SRAM) y la memoria de acceso aleatorio dinámico (DRAM), requieren una constante aplicación de energía con el fin de mantener los datos. Como es conocido en la técnica, los elementos electrónicos portátiles dependen de las baterías que tienen un suministro de energía finito. Por lo tanto, se prefieren las memorias no volátiles que retienen los datos después de que se retira la energía.

25 Aunque muchos productos de consumo utilizan memorias flash comerciales, la memoria flash es indirectamente utilizada por los consumidores en productos tales como teléfonos y dispositivos móviles con funciones de micro procesamiento. Más específicamente, la aplicación específica de circuitos integrados (ASIC) comúnmente encontrada en los dispositivos electrónicos de consumo puede tener una memoria flash integrada para posibilitar actualizaciones del firmware. No es necesario decir, que la memoria flash es versátil debido a su balance óptimo en tamaño, densidad de almacenamiento y velocidad, haciendo esta la solución de almacenamiento masivo no volátil preferida para los dispositivos electrónicos de consumo.

35 La Figura 1 es un diagrama de bloque de un dispositivo de memoria flash típico. La memoria flash 10 incluye un circuito lógico para controlar varias funciones de los circuitos flash, registros para almacenar direcciones y datos, circuitos de alto voltaje para generar el programa requerido y voltajes de borrado, y circuitos de memoria núcleo para acceder al arreglo de la memoria flash. Las funciones de los bloques de circuito mostrados de la memoria flash 10 deben ser bien conocidas en la técnica. Las personas expertas en la técnica entenderán que la memoria flash 10 mostrada en la Figura 1 representa una posible configuración de memoria flash entre muchas posibles configuraciones.

40 Una operación de lectura es un acceso relativamente directo de los datos almacenados a un sitio de memoria particular del arreglo de memoria, denominado una dirección. Antes de una operación de escritura en un bloque específico de arreglo de memoria, el bloque específico se debe primero borrar con la aplicación de voltajes altos. Una operación de escritura, más precisamente denominada una operación de programa, requiere una aplicación cuidadosa de altos voltajes a un sitio de memoria seleccionado, seguido por la operación de verificación del programa para asegurar que los datos han sido adecuadamente programados. Adicionalmente, en razón a que son usados altos voltajes, el chip flash se debe diseñar para ser relativamente tolerante a una programación inadvertida de sendas de memoria no seleccionadas.

50 La Figura 2 es un circuito esquemático que muestra una cadena de celdas NAND utilizadas en el arreglo de celda de memoria mostrado en la Figura 1. La Figura 2 es un circuito esquemático de 2 cadenas de celdas de memoria NAND. Cada cadena de celda de memoria NAND incluye 32 celdas de memoria de puerta flotante conectadas en serie 50 cada una conectada líneas W0 a WL31, un transistor de selección de cadena 52 conectado entre una línea de bit 54 y la primer celda de memoria de puerta flotante 50, y un transistor de selección de tierra 56 conectado entre la línea de fuente común (CSL) 58 y la última celda de memoria de puerta flotante 50. La puerta de cadena de transistor de selección 52 recibe las cadenas de celda de memoria de las líneas comunes compartidas de bloque,

las líneas de señal SSL de selección de cadena, y GSL de selección de tierra. La construcción y disposición de la cadena de memoria NAND mostrada es bien conocida en la técnica.

5 Como se mencionó previamente, las cadenas de celda de memoria NAND del arreglo de memoria son primero borradas, de acuerdo a técnicas bien conocidas en el arte. Cada bloque de las cadenas de celda de memoria NAND se puede borrar selectivamente; por lo tanto se pueden borrar uno o más bloques simultáneamente. Cuando se borra de manera exitosa, todas las celdas de memoria de puerta flotantes borradas 50 tendrán un voltaje de umbral negativo. En efecto, todas las celdas de memoria borrado 50 se dejan en un estado lógico por omisión, tal como un lógico "1" por ejemplo. Las celdas de memoria programadas 50 tendrán sus voltajes umbral cambiados a un voltaje umbral positivo, representando así el estado lógico "0" opuesto.

10 La Figura 3 es una vista esquemática en sección transversal de una celda de memoria flash típica. Una estructura de tales celdas es bien conocida en la técnica. En general, la puerta de control 50 se conecta a una línea de palabra, mientras que la puerta flotante 62 se aísla de otros nodos mediante un aislador de óxido 61. Los electrones (portadores de carga) se inyectan o eyectan de la puerta flotante 62 y el sustrato 68 que tiene una fuente 64 y un drenaje 66, a través de óxidos de tunelamiento delgado 63 entre la puerta flotante 62 y el sustrato 68.

15 La Figura 4 es una vista esquemática en sección transversal de una celda ROM de nitruro que tiene trampas de carga. Tal celda también es conocida en la técnica. En la celda ROM de nitruro, se elimina la puerta flotante y se colocan los datos en una "cámara de mantenimiento" o "trampas de carga" de la capa no conductora 72, por ejemplo, de nitruro de silicio, entre la puerta de control 70 y el sustrato 78 que tiene una fuente 74 y un drenaje 76. Recientemente, han sido utilizados nano cristales de silicio utilizados como trampas de carga.

20 Generalmente, una celda se programa al aplicar un voltaje alto a su puerta mientras que se mantiene su fuente y terminales de drenaje a tierra. El campo eléctrico alto hace que los electrones en el canal de la celda de memoria crucen el óxido de la puerta y se incrusten en la puerta flotante (conocido como Tunelamiento Fowler- Nordheim (F-N)) implementando de esta manera el voltaje umbral efectivo en la celda de memoria.

25 Debido a la siempre presión de necesidad de reducción de tamaño así como también el deseo de incrementar la densidad de almacenamiento de datos, las celdas flash multinivel son ahora ampliamente utilizadas. Tal como su nombre lo indica, las celdas multinivel tienen más de dos estados lógicos por celda. Una celda única que almacena dos bits de información tiene cuatro estados lógicos que corresponden a diferentes niveles de los niveles de carga almacenados en las puertas flotantes (o trampas de carga). En general, una celda multinivel capaz de almacenar N bits binarios de datos tendrá 2^N estados de niveles lógicos.

30 Sin embargo, cada transición de puerta flotante tiene cierto rango total de voltaje de umbral en el cual este puede ser operado de manera práctica. El rango total se divide en el número de estados definidos para la celda de memoria que incluye tolerancias para la clara distinción de un estado del otro. Las variaciones en los procesos de fabricación y el envejecimiento del dispositivo pueden originar cambios en los voltajes umbral. Estos cambios pueden debilitar la resistencia de los estados de la celda al mover un estado más cerca al siguiente estado. También, en la medida en que más niveles son comprimidos en un rango total fijo (por ejemplo, rango de voltaje de suministro fijo), la tolerancia para estos cambios disminuye.

35 La Figura 5 es una gráfica de distribución de voltaje umbral (V_t) para una celda de memoria flash multinivel. También se muestran los voltajes de referencia intermedios. Esta gráfica particular ilustra los umbrales de una celda de memoria flash capaz de almacenar dos bits de datos. Por lo tanto, cada celda de memoria flash multinivel debe almacenar de uno a 4 voltajes umbral. En este esquema de la técnica anterior, un estado borrado representado por un voltaje umbral negativo descansa en el dominio del voltaje borrado. Todas las celdas de memoria borradas por omisión tendrán este voltaje umbral negativo. Se debe programar el resto de los 3 estados, y sus correspondientes voltajes umbral serán positivos en valor y descansarán en el dominio de voltaje del programa. En este ejemplo, el dominio de voltaje de borrado está por debajo de cero mientras que el dominio de voltaje del programa está por encima de cero voltios. Un problema con este esquema es el hermetismo requerido de la distribución de cada estado de la distancia entre los estados.

Programar se hace típicamente por la página, significando que todas las celdas de memoria 50 en el bloque conectadas a la misma línea se seleccionan para ser programadas con datos de escritura (lógico "0") al mismo tiempo. El resto de las celdas de memoria son así no seleccionadas durante la programación. En razón a que las celdas de memoria inician en el estado de borrado (lógico "1") antes de la programación, solo las celdas de memoria a ser programadas con el lógico "0" se debe someter a los campos eléctricos altos necesarios para promover el tunelamiento F-N. Sin embargo, debido a las conexiones físicas del arreglo de la memoria, todas las celdas de memoria a lo largo de la misma línea reciben el mismo nivel de programación de voltaje alto. Como resultado, existe un potencial de que las celdas de memoria borradas tendrán cambiados sus voltajes umbral no intencionalmente. Esto se denomina afectación del programa, que es bien conocido en el campo de la memoria flash. Este problema es más pronunciado en celdas multinivel en razón a que más niveles son comprimidos en un rango de voltaje fijo.

5 Varios parámetros tales como la ventana V_t , la distancia V_t , y la distancia de lectura V , son parámetros claves para determinar la velocidad de lectura/escritura, confiabilidad y tiempo de vida de la memoria flash multinivel mostrada en la Figura 5. Estos tres parámetros se influyen el uno al otro: la ventana de la celda V_t , y la distancia de la celda V_t en una memoria flash multinivel son mucho más herméticos que aquellos en la memoria flash de nivel único en razón a que, en el caso de una celda de dos bits, tres estados de celda están en el dominio de voltaje del programa con un V_t positivo. Si la ventana de la celda V_t es más amplia, la distancia de la celda V_t es más estrecha. Esto reduce el margen de detección de lectura y eventualmente conduce a una falla al detectar los estados de las celdas vecinas. En otras palabras, el V_t se traslapa o aun una distancia mínima V_t entre los estados de las celdas vecinas conduce a una falla del dispositivo.

10 La resistencia o margen de seguridad del estado V_t es el más grande cuando el V_t está a la mitad del camino entre los voltajes de referencia adyacentes. Los límites superior e inferior de cada estado V_t que define la ventana de la celda V_t se puede especificar. Por ejemplo, en la Figura 5, el estado de celda 0 está entre el límite inferior VL_0 (-3 voltios) y el límite superior VU_0 (-2 voltios). El estado de la celda 1 está entre el límite inferior VL_1 (0,3 VOLTIOS) y el límite superior VU_1 (0,8 voltios). Típicamente, la ventana de celda V_t en la memoria flash multinivel esta entre 0,5 a 1,0 voltios. Idealmente, la ventana de la celda estrecha V_t se prefiere para mejor definición y distinción de un estado.

20 La distancia de la celda V_t , que se define como la diferencia en V_t entre el límite inferior de V_t y el rango del voltaje umbral de un estado de celda y el límite superior del V_t del rango del voltaje umbral del estado de celda previo. Por ejemplo, la distancia V_t entre el estado de la celda 2 y el estado de la celda 1 es $1,5 - 0,8 = 0,7$ voltios. Típicamente la distancia de la celda V_t en una celda de memoria flash multinivel está entre 0,7 a 1,0V. Como es evidente, se prefieren las distancias de celdas V_t mayores.

25 También es deseable tener una distancia $V_{lectura}$, la distancia entre el voltaje de paso de lectura y el límite superior de un estado completamente programado tan alto como sea posible. Por ejemplo, en la Figura 5 la distancia $V_{lectura}$ es $5,5 - 3,3 = 1,2$ voltios. Sin embargo, para el desempeño óptimo de la celda de memoria, se prefiere una $V_{lectura}$ inferior porque la $V_{lectura}$ alta puede originar afectación. Por lo tanto, existe un compromiso entre la distancia $V_{lectura}$ y el valor de $V_{lectura}$. Más aun, el rango de voltaje de suministro fijo disponible puede determinar el valor $V_{lectura}$ máximo.

30 Adicionalmente, el número de ciclos de re-escritura (borrado y programación) se incrementa, la ventana de celda V_t se vuelve más amplia por la degradación del óxido del túnel debido a las cargas atrapadas. También, el voltaje de paso de lectura $V_{lectura}$ debe ser inferior para minimizar la afectación de la lectura a las celdas no seleccionadas en la cadena seleccionada. Sin embargo, con el fin de acomodar los tres estados de celda (en una celda de 2 bits) en el dominio del voltaje del programa, la distancia v tiene que ser mantenida al menos por encima de VU_3 . Esto incrementa el nivel de v .

35 Con el fin de controlar herméticamente el V_t de la celda programada, se ha propuesto una programación del pulso de la etapa de implemento (ISPP) y se ha utilizado ampliamente en las memorias flash. La Figura 6 es una gráfica que ilustra la relación entre el número de pulsos de programa aplicados a una línea para programar un voltaje umbral versus el tamaño de cada pulso. En general, se pueden obtener distribuciones del voltaje umbral hermético cuando el tamaño de la etapa de cada pulso de programa es pequeño. Sin embargo, el compromiso es programar el tiempo en razón a que se requerirían más pulsos de programa.

40 Los ciclos de programa/borrados acumulados en las memorias flash multinivel con el esquema de la técnica anterior para la distribución de la celda V_t dan como resultado típicamente los problemas bien conocidos tal como se describen adelante.

45 La transferencia de carga repetida origina que los electrones sean atrapados en la puerta flotante y el dieléctrico, que degradan el programa y borran las características de la celda. Por lo tanto, las celdas requieren gradualmente mayores voltajes de programación y borrado en la medida en que el número de ciclos de borrados- programación se incrementa; dando como resultado la limitación del número de ciclos de borrado – programación en la celda.

50 Las características de retención de datos en las celdas multinivel se degradarán drásticamente debido a la distancia pequeña de la celda V_t . Más aun, en la medida en que la distribución V_t para un estado dado es mayor, el V_t máximo de las celdas programadas es mayor. El mayor V_t requiere un mayor voltaje de programación V_{pgm} , y afecta de manera adversa las características de retención de datos debido al mayor campo eléctrico a través del óxido del túnel. Más aun, el mayor V_t requerido en las celdas multinivel requiere mayor $V_{lectura}$. Este origina afectaciones de lectura a las celdas de memoria no seleccionadas en la cadena de celda NAND seleccionado durante las operaciones de lectura (es decir programa blando para una mayor $V_{lectura}$ a celdas de memoria no seleccionadas).

Además, los requisitos de voltaje mayor para las operaciones de lectura y escritura en la memoria flash multinivel no se escalan con la dimensión del dispositivo que se escala en la medida en que el campo eléctrico a través de todos los transistores que incluyen celdas de memoria no se puede reducir.

5 Por lo tanto, la vida de una celda de memoria flash multinivel es relativamente corta, típicamente de solamente 10,000 ciclos. Esto es significativamente más corto que el ciclo límite de 100,000 para un bit único para los dispositivos de memoria flash de celda.

10 El documento US 5,953,255 describe un arreglo de celdas de memoria MOS que tienen un drenaje de funcionalidad simétrica y regiones fuente que se pueden programar y/o borrar utilizando voltaje bajo, por ejemplo, menos de aproximadamente 7V. En un arreglo del tipo NAND, el borrado UV disminuye el V_t para programar las celdas de memoria. La Figura 12 del documento US 5,953,255 muestra un estado de borrado que tiene un voltaje umbral positivo y voltajes de umbral programados que son positivos y negativos. Para los arreglos del tipo NOR, el HHI disminuye el V_t a los contenidos de celda de memoria de borrado y la inyección donde electrón caliente de canal ("CHE") incrementa el V_t a los contenidos de celda del programa. Los potenciales de borrado y programación son bajos (< a 7V), posibilitando que los arreglos sean fácilmente fabricados en un IC común con unos circuitos de voltaje bajo. En razón a que el HHI converge fuertemente al V_t , las celdas de memoria pueden almacenar más de 2 valores de datos, lo que incrementa la densidad de almacenamiento de celda. La simetría de celda permite drenaje de intercambio para la fuente antes de que la durabilidad de la celda se vuelva demasiado problemática, cuyo intercambio puede incrementar de manera sustancial la durabilidad del tiempo de vida para un arreglo. Los arreglos se pueden utilizar como memoria flash, como reemplazo EPROM, o como una memoria programable una vez.

20 Resumen de la Invención

Es un objeto de la presente invención obviar o mitigar al menos una de las desventajas de los dispositivos de celdas de memoria flash multinivel previos. Por ejemplo, la presente invención mejora la durabilidad de las celdas de memoria flash al distribuir los voltajes umbral de programación en los dominios de voltaje de borrado y programación.

25 La presente invención se define mediante las reivindicaciones independientes.

Los aspectos y características de la presente invención serán evidentes para aquellos medianamente versados en la técnica luego de la revisión de la siguiente descripción y de las realizaciones específicas de la invención en conjunto con las figuras que la acompañan.

Breve Descripción de los Dibujos

30 Las realizaciones de la presente invención se describirán ahora, por vía solo de ejemplo, con referencia a las figuras anexas, en donde:

La Figura 1 es un diagrama de bloque de un dispositivo de memoria flash típico;

La Figura 2 es un esquema de circuito de una cadena de celda NAND;

La Figura 3 es un esquema en sección transversal de una celda de memoria flash típica;

35 La Figura 4 es un esquema en sección transversal de una celda ROM de nitruro que tiene trampas de carga;

La Figura 5 es una gráfica de distribución del voltaje umbral (V_t) para una celda de memoria flash multinivel de la técnica anterior;

La Figura 6 es una gráfica que ilustra la relación entre el número de pulsos de programa aplicados a una línea para programar un voltaje umbral versus el tamaño de cada pulso;

40 La Figura 7 es una realización de ejemplo de la invención que muestra una distribución del voltaje umbral para una celda de memoria flash capaz de almacenar 2 bits de datos;

La Figura 8 es una realización alternativa de la invención que muestra la gráfica de distribución del voltaje umbral para una celda de memoria flash capaz de almacenar 3 bits de datos;

45 La Figura 9 es un diagrama de bloque de los circuitos de hilera para un dispositivo de memoria flash multinivel, de acuerdo a una realización de la presente invención;

La Figura 10 es un esquema de circuito de un decodificador de bloque y el circuito controlador de línea mostrado en la figura 9;

La Figura 11 es un esquema de circuito del circuito decodificador de hilera mostrado en la Figura 9;

5 La Figura 12 es un diagrama de flujo que muestra un método para efectuar una operación de verificación de borrado;

La Figura 13 es un diagrama de flujo que muestra un método para programar los voltajes umbral múltiples, de acuerdo a una realización de la presente invención;

La Figura 14 es un diagrama de flujo que muestra un método para verificar la programación, de acuerdo a una realización de la presente invención; y,

10 La Figura 15 es un diagrama de flujo que muestra un método para leer datos, de acuerdo a una realización de la presente invención.

Descripción Detallada

15 De manera general, los aspectos de la presente invención suministran un esquema de distribución de voltaje umbral para celdas de memoria flash con una ventana óptima V_t una distancia máxima V_t , mientras que al mismo tiempo se mantiene la $V_{lectura}$ a los niveles más bajos. En una realización, esto se logra al programar al menos un estado de celda en el dominio de voltaje de borrado (por ejemplo, con un valor V_t negativo).

20 La Figura 7 es una realización de ejemplo de la invención. La Figura 7 muestra una distribución del voltaje umbral para una celda de memoria flash multinivel capaz de almacenar 2 bits de datos. En la presente realización, existe un estado de programación (estado de celda 1, que corresponde a los datos "10") que descansan en el dominio de voltaje borrado con el estado borrado (el estado de celda 0, que corresponde a los datos "11"). Por lo tanto, existen dos estados de celda que descansan en el dominio de voltaje borrado y dos estados de celda (estado de celda 2, que corresponde a los datos "01" y estado de celda 3, que corresponde a los datos "00") en el dominio del voltaje de programación. Al programar este estado en el dominio de voltaje borrado, se obtienen diferentes ventajas. Primero, la durabilidad se incrementa inmediatamente con relación a los dispositivos de la técnica anterior que tienen la misma ventana V_t , en razón a que la distancia V_t entre los estados se incrementa. Segundo, la duración se incrementa adicionalmente al minimizar la ventana V_t , a expensas de la velocidad de programación. Tercero, los requisitos de la distancia V_t y la ventana V_t se relajan para suministrar un desempeño de programación mejorado sobre los dispositivos de la técnica anterior, pero teniendo la misma durabilidad. Además, el voltaje $V_{lectura}$ para las celdas no seleccionadas se puede disminuir, por ejemplo, desde un valor típico de 5,5 voltios a 4,8 voltios. La Figura 7 muestra los valores de ejemplo V_L y V_U , pero cualquier V_L y V_U se puede establecer para cada estado.

30 En aproximaciones convencionales, tales como el esquema de voltaje umbral descrito con referencia a la Figura 5, el estado de celda 0 tiene un V_t negativo, (dominio de voltaje de borrado) mientras que los restantes 3 estados de celda (estados 1, 2, y 3) tienen los V_t positivos (dominio de voltaje de programación). En el esquema del voltaje umbral de la presente realización como se ilustra en la Figura 7, los estados de celda 0 y 1 tienen los V_t negativos, mientras que los estados de celda 2 y 3 tienen los V_t positivos. El número de estado de celda en el dominio del voltaje de borrado y el dominio de voltaje de programación son iguales y de esta manera este esquema se denomina como un esquema de distribución V_t "balanceado".

35 El esquema de distribución V_t de celda balanceada suministra al menos las siguientes ventajas: debido a la separación de los estados de celda, la ventana V_t de cada estado se puede ampliar, mejorando así la velocidad de programación. Las distancias V_t de la celda se maximiza, lo cual mejora grandemente la retención y la duración de los datos. Este esquema disminuye adicionalmente el voltaje de programación V_{pgm} y el voltaje de paso de programación V_{paso} , que permite el escalamiento con el escalamiento de la geometría del dispositivo. Este también posibilita la disminución del voltaje $V_{lectura}$, el cual, como resultado suministra mayor inmunidad a las afectaciones de lectura típicamente encontradas en los valores $V_{lectura}$ altos. Aunque la Figura 7 es una distribución V_t de ejemplo para 2 bits de dispositivo de celda, las celdas que almacenan cualquier número de bits se beneficiaran de las realizaciones de la presente invención.

40 La Figura 8 es una realización alternativa de la invención. La Figura 8 muestra una gráfica de distribución del voltaje umbral para una celda de memoria flash multinivel capaz de almacenar 3 bits de información (es decir 8 diferentes estados). Se debe notar que en la realización de la Figura 8, exactamente la mitad de los 8 posibles estados descansan en el dominio del voltaje de borrado mientras que las otras mitades descansan en el dominio de voltaje de programación. En realizaciones alternativas adicionales, pueden haber cinco estados en el dominio de voltaje de borrado o tres estados en el dominio de voltaje de borrado, u otras combinaciones que tengan al menos dos estados en el dominio de voltaje de borrado.

Como se discutió previamente para la Figura 6, el ISPP se utiliza para programar los voltajes umbrales deseados que corresponden a los diferentes estados de las celdas de memoria flash multinivel. En la medida en que las celdas de memoria se programan a un voltaje umbral deseado del estado borrado, el ISPP gradualmente cambia el voltaje umbral negativo de una celda de memoria flash borrada utilizando pulsos de voltaje crecientemente mayores aplicados a su puerta de control. Este tamaño creciente de la etapa y el número de pulsos determina el voltaje umbral de la celda de memoria flash programada. De acuerdo a una realización de la presente invención, un estado programado en el dominio de voltaje de borrado se logra al establecer el número de pulsos y el tamaño de la etapa de los pulsos de tal manera que se obtiene un voltaje umbral negativo deseado. En el ejemplo en la Figura 6, un voltaje umbral de 2V se obtiene al utilizar entre 2 y 3 pulsos, dependiendo del tamaño de la etapa del pulso seleccionado. Una vez que los estados del programa de dominio de borrado se han programado, el resto de los estados del dominio de programación se programan de acuerdo a técnicas conocidas. Se debe notar que el tamaño de la etapa para programar los estados de dominio de borrado pueden ser pequeños sin impactar la velocidad de programación en razón a que el cambio de voltaje umbral para el estado de borrado es relativamente pequeño.

Una parte de cualquier operación de programación es la operación de verificación del programa, el cual se utiliza para revisar que se hayan programado adecuadamente los datos. Por ejemplo, el voltaje umbral deseado puede no haber sido establecido durante una operación del programa. Por lo tanto, el o las celdas de memoria se someten a una reprogramación hasta que el programa verifica la limpieza de la celda de memoria, o hasta que este determina que la celda es defectuosa. Una vez que el programa verifica la operación se limpian las celdas de memoria, los datos se pueden leer. De acuerdo a una realización de la presente invención, el programa verifica y lee las operaciones que son ejecutadas tanto con los voltajes positivo como negativo.

La Tabla 1 muestra las condiciones de polarización de las líneas seleccionadas y de las líneas no seleccionadas para distinguir cada estado de celda durante la lectura, verificación y control de la celda programada V_t durante el programa en una memoria flash multinivel convencional utilizando el esquema de distribución de celda V_t de la Figura 5. La Tabla 2 muestra las condiciones de polarización de la línea seleccionada y de las líneas no seleccionadas durante la verificación del programa y la lectura en una memoria flash multinivel programable para tener al menos dos estados en el dominio de voltaje de borrado, de acuerdo con un aspecto de la presente invención.

Tabla 1

	Verificación de Programa		Lectura	
	Línea Seleccionada	Líneas no seleccionadas	Línea Seleccionada	Líneas no seleccionadas
Estado de Celda 0↔1	0,3V (Vref_pv1)	5,5V (Vlectura)	0V (Vref-rd1)	5,5V (Vlectura)
Estado de Celda 1↔2	1,5V (Vref_pv2)	5,5V (Vlectura)	1,1V (Vref-rd2)	5,5V (Vlectura)
Estado de Celda 2↔3	2,8V (Vref_pv3)	5,5V (Vlectura)	2,3V (Vref-rd3)	5,5V (Vlectura)

La Tabla 2 muestra condiciones de polarización de ejemplo para la verificación del programa y las operaciones de lectura utilizadas para una celda flash multinivel programable para tener al menos dos estados en el dominio de voltaje de borrado. Como se ilustra en la Tabla 2, los voltajes negativos se aplican a la línea seleccionada durante las operaciones de verificación de lectura y programación de las celdas que tienen la celda negativa V_t (es decir, el estado de celda 0 y el estado de celda 1). Se debe notar que los valores del voltaje en la Tabla 2 son solo para propósitos de ilustración. En otras palabras, los valores de voltaje en la Tabla 2 pueden variar de acuerdo a la tecnología de proceso de las características de la celda.

Tabla 2

	Verificación de Programa		Lectura	
	Línea Seleccionada	Líneas no seleccionadas	Línea Seleccionada	Líneas no seleccionadas
Estado de Celda 0↔1	-1,1V (Vref_pv1)	4,8V (Vlectura)	-1,5V (Vref-rd1)	4,8V (Vlectura)
Estado de Celda 1↔2	0,5V (Vref_pv2)	4,8V (Vlectura)	0V (Vref-rd2)	4,8V (Vlectura)
Estado de Celda 2↔3	2,1V (Vref_pv3)	4,8V (Vlectura)	1,5V (Vref-rd3)	4,8V (Vlectura)

Debido al cambio en el V_t de al menos un estado de celda programado para el dominio de voltaje de borrado, el voltaje de verificación del programa y el voltaje de lectura aplicado a las líneas seleccionadas son diferentes de la verificación del programa convencional y las operaciones de lectura, como se muestra en la Tabla 2. Típicamente, todo el voltaje de verificación del programa y el voltaje de lectura se implementa con valores de voltaje positivo. Sin embargo, el esquema de distribución del voltaje umbral para celdas flash multinivel descritas aquí utilizan tanto los voltajes positivos como negativos para la verificación del programa y las operaciones de lectura. Esto da como resultado cambios en la ejecución de los circuitos de línea como se describe adelante.

La Figura 9 es un diagrama de bloque de un lógico de control de hilera para un dispositivo de memoria flash multinivel de acuerdo a una realización de la presente invención. El lógico de control de hileras 100 incluye un decodificador de bloque 102, un circuito de codificador de hileras 108 y un circuito controlador de líneas 110. El dispositivo que tiene el lógico de control de hileras 100 tiene un generador de voltaje alto 104 y un generador de voltaje negativo 106, que se puede utilizar mediante otros circuitos que no se muestran en la Figura 9. Existe un decodificador de bloque 102 por bloque de memoria, que recibe una dirección de bloque BA, para habilitar los controladores de línea. El decodificador de hilera 108 es compartido comúnmente entre todos los bloques de memoria, que reciben la dirección de hilera RA_b, así como también otras señales que no se muestran, pero generan la señal de selección de fuente SS, las señales de línea S[0:n] y la señal de selección de tierra GS, generalmente denominado como señales de línea. En razón a que al menos uno de los estados programados estará en el dominio de voltaje de borrado (con por ejemplo un voltaje umbral negativo), el decodificador de bloque 102 y el circuito de codificador de hilera 108 recibirían uno o más voltajes negativos para la aplicación a una señal de línea seleccionada. En respuesta a una dirección de bloque válida BA y a las señales de codificador de hilera, las señales SSL, GSL y WLO- WLn se establecen a sus niveles de voltaje requerido durante la programación, verificación de la programación y operaciones de lectura. Voltajes de ejemplo se muestran en la Tabla 2 para verificación de programación y operaciones de lectura.

La Figura 10 es un circuito esquemático que muestra los detalles del circuito del decodificador de bloque 102 y el circuito controlador de línea 110 de la Figura 9. El decodificador de bloque 102 se asocia con un bloque de memoria, e incluye un circuito de retención de inversor acoplado cruzado y un circuito cambiador de nivel. El circuito de retención incluye inversores acoplados cruzados 200 y 202, un transistor de restablecimiento de n-canal 204, y transistores que habilitan el n-canal 206 y 208. El circuito de retención es habilitado, o ajustado, cuando la señal de habilitación de retención LTCH_EN y una dirección de bloque BA están en el nivel lógico alto. El circuito de retención de los inversores 200 y 202 se restablece cuando la señal RST_BD está en el nivel lógico alto. El circuito cambiador de nivel incluye un par de transistores p-canal acoplados cruzados 210 y 112, estando cada uno conectado a respectivos transistores de direccionamiento de n-canal respectivos 214 y 216. Los terminales compartidos de los transistores 210 y 212 reciben un alto voltaje de V_h mientras que los terminales compartidos de los transistores 214 y 216 reciben un voltaje negativo V_n . El nodo V_h se conecta al generador de voltaje positivo 104 mientras que el nodo V_n se conecta al generador de voltaje negativo 106. Los transistores de direccionamiento 214 y 216 tienen terminales de puerta conectados a la salida del inversor 200 y el inversor 218, cuya entrada se conecta a la puerta del transistor 214. Se nota que el suministro de alto voltaje dado al inversor 200 es inferior que V_h mientras que el suministro de bajo voltaje suministrado al inversor 202 es mayor que V_n . La salida del circuito cambiador de nivel (una señal habilitante) BD_out controla los terminales de puerta de todos los transistores de paso de n-canal 220 de los controladores de línea 110. El terminal del sustrato de todos los transistores de paso 220 se conecta a V_n . Cada transistor de paso puede pasar selectivamente las señales de selección de fuente (SS), de línea (S0-Sn) y la selección de tierra (GS) al arreglo de memoria. La reserva de espacio "n" puede ser cualquier número entero diferente de cero, que típicamente corresponde al número máximo de celdas en la cadena de celda flash. La operación general del circuito decodificador de bloque se describe ahora.

En una operación de lectura por ejemplo, un bloque de memoria se selecciona mientras que los otros bloques permanecen no seleccionados. En otras palabras, un bloque de memoria se habilita mientras que los bloques de memoria restantes se deshabilitan. Para habilitar un bloque de memoria, LTCH_EN y BA estarán en el nivel lógico alto, estableciendo de esta manera el circuito modificador de nivel en un voltaje alto de salida Bh. Por lo tanto, todos los transistores de paso 220 del circuito controlador de línea 110 están prendidos. Las líneas no seleccionadas (Si no seleccionadas) se establecerán un voltaje de Vlectura mientras que la línea seleccionada (Si seleccionada) se establecerá al voltaje deseado. El voltaje deseado puede ser -1,5V si la operación de lectura presente pretende distinguir entre el estado de celda 0 y el estado de celda 1, por ejemplo. Los bloques de memoria deshabilitados tendrán su correspondiente rendimiento del circuito decodificador de bloque correspondiente ajustado al voltaje bajo de rendimiento Vn (-1,5V por ejemplo). Por lo tanto, los transistores de paso 220 en los bloques de memoria no seleccionados se apagarán aunque una de las señales Si pueda estar en Vn de -1,5V por ejemplo. La Tabla 3 ilustra ejemplos de los voltajes Vh y Vn para las operaciones de lectura, programación, verificación de programación, borrado y verificación de borrado.

Tabla 3

	Vh	Vn
Lectura	~6,5V	0V/-1,5V (Vref_rd1)
Programación	~18V	0v
Verificación de Programación	~6,5V	0V/-1,1V (Vref_pv1)
Borrado	Vdd	0v
Verificación de Borrado	~6,5V	0v

La Figura 11 es un esquema de circuito que muestra un circuito decodificador de hilera del decodificador de hilera 108 de la Figura 9. El esquema actualmente mostrado de la Figura 11 es una representación funcional solamente, en razón a que puede haber diferentes ejecuciones de circuitos específicos que son posibles. En los circuitos decodificadores de hilera de la técnica anterior, solamente se suministran los voltajes en el dominio de voltaje del programa. De acuerdo con una realización de la presente invención, tanto el dominio de voltaje del programa (es decir, los voltajes positivos) como el dominio de voltaje de borrado (es decir el voltaje negativo) se suministran mediante el circuito decodificador de hilera actualmente mostrado. La Figura 11 muestra un circuito para genera una señal de hilera Si donde i puede ser un valor entero entre 0 y n, pero los circuitos para generar las señales SS y GS son configurados de manera similar. El circuito decodificador de hilera incluye un multiplexor 300 para recibir todos los voltajes que se utilizan durante las operaciones de programación, verificación de la programación, lectura, borrado y verificación del borrado. Esto incluye, por ejemplo, un voltaje de verificación del programa Vver un voltaje de lectura Vlectura, un voltaje de paso Vpaso y un voltaje de programación Vpgm.

El multiplexor 300 recibe además los diferentes voltajes de referencia utilizados para leer y programar las operaciones de verificación, tales como la Vref_rd1, Vref_rd2, y Vref_rd3 para la configuración de 2 bits/celda. En la presente realización, el Vref_rd1 es un voltaje de dominio de borrado negativo mientras que la Vref_rd2 y Vref_rd3 son voltajes de dominio de programa positivos. Cualquier número de voltaje se puede suministrar al multiplexor 300, y entonces pasar selectivamente al nodo Sn. La señal de selección de voltaje Vselección se utiliza para pasar cualquiera de los voltajes. Aquellos expertos en la técnica entenderán que el Vselección será una señal multi-bit, el número dependiendo del número de puertos de entrada que el multiplexor 300 este configurado para tener. El circuito decodificador de hilera incluye un transistor deshabilitante n-canal 302 conectado entre el nodo Sn y la tierra para deshabilitar el circuito cuando no está en uso, o durante un modo de caída de energía de operación, por ejemplo.

En operación general, la señal Sn se habilita en respuesta a una dirección seleccionada para habilitar una línea particular cuando la dirección RA_b está en el nivel lógico bajo. RA_b puede ser una dirección de hilera decodificada o una dirección de hilera pre-decodificada. Dependiendo de la operación que se efectúe, Vselección se establecerá para pasar unos de los voltajes recibidos por el multiplexor 300 al nodo Sn. Aunque no se muestran, los generadores de voltaje 104 y 106 de la Figura 9 están controlados para suministrar los niveles de voltaje apropiados dependiendo de la operación que se vaya a efectuar. La Tabla 4 ilustra voltajes de ejemplo aplicados a las líneas y mediante el circuito decodificador de hilera durante una operación de lectura para unas líneas seleccionadas y no seleccionadas Si, donde i es un valor entero entre 0 y n. La Tabla 5 ilustra voltajes de ejemplo aplicados a las líneas mediante el circuito decodificador de hilera durante una operación de verificación del programa para las líneas seleccionadas y no seleccionadas Si donde i es un valor entero entre 0 y n.

Tabla 4

Señal	Estado de Celda		
	1↔2	2↔3	3↔4
BD_out no seleccionado	-1,5V	1,5V o 0V	-1,5V o 0V
(Bloque Seleccionado) no			
BD_out Seleccionado (Bloque Seleccionado)	6,5V	6,5V	6,5V
Vh	6,5V	6,5V	6,5V
Vn	-1,5V	-1,5V o 0V	-1,5V o 0V
SS	4,8V (V _{lectura})	4,8V (V _{lectura})	4,8V (V _{lectura})
Si Seleccionado	-1,5V (V _{ref_rd1})	0V (Ref _{rd2})	1,5V (V _{ref_rd3})
Si no Seleccionado	4,8V (V _{lectura})	4,8V (V _{lectura})	4,8V (V _{lectura})
GS	4,8V (V _{lectura})	4,8V (V _{lectura})	4,8V (V _{lectura})

Tabla 5

Señal	Estado de Celda		
	1↔2	2↔3	3↔4
BD_out no seleccionado (Bloque no Seleccionado)	-1,1V	-1,1V o 0V	-1,1V o 0V
BD_out Seleccionado (Bloque Seleccionado)	6,5V	6,5V	6,5V
Vh	6,5V	6,5V	6,5V
Vn	-1,1V	0,5V o 0V	2,1V o 0V
SS	4,8V (V _{lectura})	4,8V (V _{lectura})	4,8V (V _{lectura})
Si Seleccionado	-1,1V (V _{ref_pv1})	0,5V (Ref _{pv2})	2,1V (V _{ref_pv3})
Si no Seleccionado	4,8V (V _{lectura})	4,8V (V _{lectura})	4,8V (V _{lectura})
GS	4,8V (V _{lectura})	4,8V (V _{lectura})	4,8V (V _{lectura})

- 5 En los esquemas de programación de la técnica anterior, los estados de celdas programados se confinan al dominio de voltaje de programa, es decir, que tienen voltajes umbral positivos. En el esquema de programación del umbral balanceado descrito actualmente, al menos un estado de celda programado recibe en el dominio de voltaje de borrado. Por lo tanto, un algoritmo de verificación de borrado se utiliza para asegurar que todas las celdas de memoria de borrado tengan un nivel de voltaje de umbral de borrado adecuado. La Figura 12 es un diagrama de

flujo que muestra un método para efectuar una operación de verificación de borrado de acuerdo a una realización de la presente invención. En razón a que el estado programado estará en el dominio de voltaje de borrado, el método de la Figura 12 asegura que todas las celdas de memoria son suficientemente borradas de tal manera que sus voltajes de umbral no descansen dentro del rango de voltaje umbral negativo designado para un estado programado.

5 El método de la Figura 12 comienza en la etapa 400 al borrar un bloque seleccionado del arreglo de memoria. Después de que todas las celdas de memoria se han borrado, todas las líneas de bit del bloque de memoria seleccionado se precargan a un primer nivel de voltaje tal como el VDD en la etapa 402. Se aplica entonces un voltaje de referencia a todas las líneas de las celdas de memoria en la etapa 404. Se presume que las celdas de memoria están configuradas como cadenas de celda NAND, tal como aquellas previamente mostradas en la Figura 2. El voltaje de referencia se selecciona para ser mayor que el voltaje de umbral de borrado más alto posible para el estado de borrado, y más bajo que el voltaje umbral de programa posible más bajo para el estado de programa adyacente. En general, el voltaje de referencia en el voltaje de dominio de borrado, y en el ejemplo donde el dominio de borrado está por debajo de 0V, el voltaje de referencia es un nivel de voltaje negativo. Con referencia a la distribución del voltaje umbral de ejemplo de la Figura 7 por ejemplo, si todas las celdas de memoria se han borrado adecuadamente, entonces su voltaje umbral debe estar entre -2,9 y -2,1 voltios. El voltaje de referencia aplicado a las líneas será de aproximadamente -1,5 voltios. Si todas las celdas de memoria se han borrado adecuadamente, entonces el nivel de -1,5 voltios en las líneas 0 a 31 es suficiente para prender los transistores y descargar la línea de bits al CSL o a tierra. Sin embargo, si una cualquiera de las celdas en la cadena de celda NAND tiene un voltaje de umbral mayor que -1,5 voltios, entonces la línea de bit no se descargará a tierra. Por lo tanto, el voltaje de la línea de bit se detecta en la etapa 406. En la etapa 408, se toma la determinación de ver si el voltaje de la línea de bit es igual o no al voltaje de pre-carga original. Si el voltaje de la línea de bit es igual, entonces el método regresa a la etapa 400 para re-borrar las celdas y repetir el proceso de verificación. De otra manera, todas las celdas de memoria se han borrado adecuadamente y el método de verificación de borrado finaliza en la etapa 410.

Después de que todas las celdas de memoria se han verificado al estar exitosamente borradas, pero la programación de los datos de las celdas de memoria puede continuar. La Figura 13 es un diagrama de flujo que ilustra un método de programación de un estado programado en el dominio de voltaje de borrado, de acuerdo con una realización de la presente invención. El método inicia en la etapa 500 al establecer los parámetros ISPP tal como el número de pulsos de programa y el tamaño de la etapa para cada pulso, para el estado a ser programado en el dominio de voltaje de borrado. En la etapa 502 el voltaje umbral de dominio de voltaje de borrado se programa en las celdas de memoria flash seleccionadas. Como se mencionó previamente, el voltaje umbral de borrado de una celda de memoria se cambia efectivamente al nivel de voltaje umbral de dominio de borrado deseado al utilizar un número predeterminado de pulsos de programación y los tamaños de etapa de acuerdo con el esquema ISPP. En la etapa 504 una operación de verificación de programa se ejecuta para asegurar que el estado programado se ha programado adecuadamente. Más específicamente, la verificación de la programación utilizará el voltaje de referencia del dominio de voltaje de borrado apropiado para verificar el estado programado. En el presente ejemplo, el voltaje de referencia de verificación de programación será un nivel de voltaje negativo. Detalles adicionales de la operación de verificación de programación se muestran posteriormente en la Figura 14.

Se hace una determinación en la etapa 506 para ver si al menos una de las celdas de memoria no cumple con la verificación de programación. Si al menos se determina una falla, entonces el método regresa a la etapa 502 para la reprogramación de al menos una celda de memoria. De otra forma, todas las celdas de memoria se ha considerado que han sido programadas exitosamente, y el método continúa a la etapa 508 donde secuencias de programación posteriores se ejecutan para el resto de los estados. El resto de los estados puede incluir estados de dominio de voltaje de borrado y/o estados de dominio de voltaje de programación. Los estados de dominio de voltaje de borrado adicionales se programan de acuerdo a la misma secuencia mostrada en las etapas 500 a 506, pero con diferentes parámetros ISPP y montajes de referencia de verificación de programa.

La Figura 14 es un diagrama de flujo de un método para efectuar una operación de verificación de programa después de que ha sido programado un estado en el dominio de voltaje de borrado. El método inicia en la etapa 600 al precargar las líneas de bit a un primer nivel de voltaje, tal como por ejemplo el nivel de voltaje positivo. En la etapa 602 la línea seleccionada que corresponde a la página que se programó es controlada a un voltaje de referencia del dominio de voltaje de borrado, y las líneas no seleccionadas son controladas a un voltaje de lectura en la etapa 604. El voltaje de referencia del dominio de voltaje de borrado se selecciona para que sea inferior al rango de voltaje umbral deseado del estado actualmente programado, pero mayor que el estado adyacente que tiene un rango de voltaje umbral. En el ejemplo de la Figura 7, si el estado programado se verifica en el estado de celda 1, entonces el voltaje de referencia del dominio de voltaje de borrado se selecciona para ser mayor que Vref1-rd. El voltaje de lectura es típicamente un voltaje de dominio de voltaje de programa suficiente para prender una celda de memoria que tiene el voltaje umbral programado más alto, tal como Vlectura en el ejemplo de la Figura 7. La línea de bit es detectada en la etapa 606, y se toma la determinación en la etapa 608 para ver si el voltaje de la línea de bit ha cambiado, es decir, se ha descargado a través de la cadena de celda NAND. Si existe un cambio en el voltaje de la línea de bit, entonces el voltaje umbral del estado actualmente programado es demasiado bajo y conduce corriente. Así el o las celdas de memoria se consideran que han fallado, y el método continúa a la etapa 610 para repetir la

programación de él o las celdas fallidas. De otra manera, el método de verificación del programa finaliza en la etapa 612 en razón a que todas las celdas han pasado la verificación del estado programado actualmente.

Una vez que se han programado y verificado los datos, este se puede leer del arreglo de memoria. En un esquema de detección multinivel, las retenciones para los dos bits que representan uno de los cuatro posibles estados lógicos se ajustan a los estados por omisión, tal como por ejemplo 1,1. La lectura se logra al leer iterativamente la celda al aplicar Vref1-rd, Vref2-rd y Vref3-rd en cada iteración. Si el voltaje umbral de la celda de memoria seleccionada se determina que es menor que el voltaje de referencia aplicado para esa iteración, entonces ningún estado de bit es cambiado o conmutado. Si el voltaje umbral de la celda de memoria seleccionada se determina que es mayor que el voltaje de referencia aplicada para esa iteración, entonces se cambia un estado de bit, o se conmuta. El bit particular a conmutar depende de la iteración de lectura específica que se ejecute. Esto asegura que los estados de bit para el voltaje umbral más bajo (es decir el estado borrado) permanecerán sin cambio para cada iteración posterior. De esta manera, para una celda de memoria multinivel de dos bits, tres iteraciones de lectura se requieren para determinar el estado de dos bits de la celda de memoria.

La Figura 15 es un diagrama de flujo de un método para leer un estado de celda en un dominio de voltaje de borrado. Los métodos inician en la etapa 700 al pre-cargar las líneas de bit a un primer nivel de voltaje, tal como por ejemplo un nivel de voltaje positivo. La línea seleccionada es controlada para un voltaje de referencia de dominio de voltaje de borrado en la etapa 702, mientras que el resto de las líneas no seleccionadas son controladas a un voltaje de lectura en la etapa 704. En el ejemplo actualmente descrito, el voltaje de referencia de dominio de voltaje de borrado se selecciona para ser inferior a aquel del rango de voltaje umbral deseado del estado actualmente programado, pero mayor que el estado adyacente que tiene un rango de voltaje umbral inferior. En el ejemplo de la Figura 8, si el estado programado que es leído es el estado de la celda 1, entonces el voltaje de referencia del dominio de voltaje de borrado se selecciona para ser Vref1-rd. El voltaje de lectura es típicamente un voltaje de dominio de voltaje de programación suficiente para prender una celda de memoria que tiene el voltaje umbral programado más alto, tal como el Vlectura en el ejemplo de la Figura 8. La línea de bit es detectada en la etapa 706 para determinar si el voltaje umbral de la celda es mayor o menor que Vref1-rd, y los estados de los bits se actualizan. En la etapa 708, el resto de los estados se detecta para completar la operación de lectura para la celda de memoria. El resto de los estados pueden ser adicionalmente estados de dominio de voltaje de borrado y estados de dominio de voltaje de programación. En otras palabras, el proceso de lectura se repetirá con los parámetros actualizados que corresponden al estado que es detectado, es decir, establecer el voltaje de referencia Vref2-rd en la etapa 700. Una vez que todos los estados posibles almacenados en la celda de memoria flash se detectan, los estados lógicos muti bit que corresponden al nivel umbral almacenado en la celda de memoria son sacados a través de los circuitos de la senda de lectura en la etapa 710.

Por lo tanto, al programar al menos un estado en el dominio de voltaje de borrado como se describió previamente mediante las realizaciones de la presente invención, la confiabilidad o duración de un dispositivo de memoria flash multinivel se maximiza con relación a los dispositivos de memoria flash multinivel de la técnica anterior porque la ventana V_t para cada uno de los estados de celda se minimiza mientras que la distancia V_t entre los estados de celda se maximiza. De manera alternativa, la ventana V_t para cada uno de los estados de celda se puede relajar, incrementando de esta manera la velocidad de programación ISPP con relación a los dispositivos de memoria flash multinivel de la técnica anterior en la medida en que los tamaños de etapa se incrementa y disminuyen los números de etapas. Aquellos expertos en la técnica entenderán que la optimización de la ventana V_t y la distancia V_t será hecha a la medida para la aplicación específica del dispositivo de memoria flash multinivel.

Las realizaciones anteriormente descritas de la presente invención pretenden ser solamente ejemplos. Las alteraciones, modificaciones y variaciones pueden afectar a las realizaciones particulares de acuerdo con los expertos en la técnica sin apartarse del alcance de la invención, que se define solamente por las reivindicaciones anexas a esta.

Por ejemplo, el dominio de voltaje de borrado se describe en las realizaciones de ejemplo como voltajes que son menores de 0V aunque el dominio de voltaje de programa incluye voltajes mayores de 0V. En una realización alternativa, el esquema de distribución del voltaje umbral se puede invertir, de tal manera que el dominio de voltaje de borrado incluye voltajes mayores de 0V mientras que el dominio de voltaje de programa incluye voltajes menores de 0V.

En la descripción precedente, con propósitos de explicación, se establecen numerosos detalles con el fin de suministrar un entendimiento completo de las realizaciones de la invención. Sin embargo, será evidente para aquella persona experta en la técnica que estos detalles no se requieren con el fin de practicar la invención. En otros casos, estructuras y circuitos eléctricos bien conocidos se muestran en la forma de diagrama de bloque con el fin de no oscurecer la invención. Por ejemplo, no se suministran detalles específicos de si las realizaciones de la invención descritas aquí se ejecutan como una rutina de software, circuitos de hardware, firmware, o una combinación de los mismos.

5 Las realizaciones de la invención se pueden representar como un producto de software almacenado en un medio
leíble por máquina (también denominado como un medio leíble por ordenador, un medio leíble por procesador, un
medio que utiliza un ordenador que tiene un código de programa de lectura de ordenador incluido en este). El medio
leíble por máquina puede ser cualquier medio tangible adecuado, que incluye almacenamiento magnético, óptico o
eléctrico, medios que incluyen un disquete, memoria de solo lectura de disco compacto (CD-ROM). El dispositivo de
10 memoria (volátil o no volátil), o mecanismo de almacenamiento similar. El medio leíble por máquina puede contener
varios conjuntos de instrucciones, secuencias de código, información de configuración, u otros datos, los cuales,
cuando se ejecutan, hace que un procesador efectúe las etapas en un método de acuerdo con una realización de la
invención. Aquellos expertos en la técnica apreciarán que otras instrucciones y operaciones necesarias para ejecutar
15 la invención descrita se pueden almacenar en el medio leíble por máquina. El software que corre desde el medio
leíble por máquina puede hacer interface con el circuito para efectuar las tareas descritas.

Las realizaciones anteriormente descritas de la invención pretenden ser solamente ejemplo. Las alteraciones,
modificaciones y variaciones pueden afectarse por las realizaciones particulares de acuerdo con aquellos expertos
15 en la técnica sin apartasen del alcance de la invención, que se define solamente en las reivindicaciones anexas a
esta.

REIVINDICACIONES

1. Un dispositivo de memoria que comprende:

Un arreglo de memoria que tiene celdas de memoria (50) dispuestas en filas y columnas caracterizadas porque:

5 cada celda de memoria (50) es borrrable para tener un voltaje umbral de borrado negativo y es programable en una operación de programa que tiene al menos un voltaje umbral de programación negativo;

un controlador de línea (110) para controlar selectivamente una línea (WLn) conectada a un terminal de puerta (60) de una celda de memoria con un voltaje de programación para cambiar el voltaje umbral de borrado negativo a al menos un voltaje umbral de programa negativo durante la operación del programa.

2. El dispositivo de memoria de la reivindicación 1, en donde

10 cada celda de memoria es programable para tener un voltaje umbral de programa positivo.

3. El dispositivo de memoria de la reivindicación 1, en donde cada celda de memoria almacena N bits de datos que corresponden a voltajes umbral 2N, donde N es un valor entero de al menos 2.

15 4. El dispositivo de memoria de la reivindicación 3, en donde la primera porción de los voltajes umbral 2N tienen voltajes umbral negativos, y una segunda porción de los voltajes umbral 2N tienen voltajes umbrales positivos, opcionalmente, en donde una de la primera porción de los voltajes umbral 2N tiene voltajes umbral negativos,

la primera porción incluye la mitad de los voltajes umbral 2N,

la primera porción incluye más de la mitad de los voltajes umbral 2N, o

la primera porción incluye menos de la mitad de los voltajes umbral 2N.

5. Un método para almacenar datos en una celda de memoria flash caracterizado porque:

20 borrar la celda de memoria flash (50) para tener un estado borrado con un voltaje de umbral negativo,

programar la celda de memoria flash (50), para tener una cualquiera de la primera porción de estados programados distintos del estado borrado que tiene un voltaje umbral negativo y una segunda porción de estados programados que tiene un voltaje umbral positivo.

25 6. El método de la reivindicación 5, en donde las celdas de memoria flash almacenan uno cualquiera de los estados 2N, donde N es un valor entero de al menos 2, opcionalmente, donde

la mitad de los estados 2N que tiene un voltaje umbral negativo incluye una primera porción de estados de programa y el estado de borrado,

30 más de la mitad de los estados 2N que tiene un voltaje umbral negativo incluyen una primera porción de estados programados y el estado borrado, menos de la mitad de los estados 2N que tiene un voltaje umbral negativo incluye una primera porción de estados programados y el estado borrado, o

programar incluye controlar una línea (WLn) conectada a la celda de memoria flash (50) con un voltaje de programación para cambiar un voltaje umbral negativo que corresponde a un estado de borrado a un voltaje umbral positivo que corresponde a una cualquiera de los primeros estados programados y la segunda porción de los estados programados.

35 7. El dispositivo de memoria de la reivindicación 1, en donde

al menos una celda de memoria (50) de un arreglo de memoria es programable para tener una de los primeros estados de celda y un segundo estado de celda, el primer estado de celda tiene un voltaje umbral en un rango de voltaje umbral entre un voltaje negativo y un voltaje positivo.

40 8. El dispositivo de memoria de la reivindicación 7; en donde el segundo estado de celda tiene un segundo voltaje umbral menor que el voltaje umbral del primer estado de celda.

9. El dispositivo de memoria de la reivindicación 8, en donde el primer estado de celda corresponde a un estado de borrado o un estado programado, y el segundo estado de celda corresponde a otro estado programado,

5 el primer estado de celda corresponde al primer estado programado y el rango de voltaje umbral es un primer rango de voltaje umbral y el segundo estado de celda corresponde a un segundo estado programado que tiene un segundo estado umbral dentro de un segundo rango de voltaje umbral inferior a aquel del primer rango de voltaje umbral, o

el segundo estado de celda corresponde a un estado de borrado.

10. El dispositivo de memoria de la reivindicación 9 que comprende adicionalmente un estado de borrado que contiene un rango de voltaje umbral de borrado inferior a aquel del segundo rango de voltaje umbral, opcionalmente en donde al menos una celda de memoria es programable a un tercer estado programado que tiene un tercer rango de voltaje umbral mayor que el primer rango de voltaje umbral.

11. Un método para verificar la programación exitosa de una celda de memoria flash (50) acoplada a una línea de bit, caracterizada porque la celda de memoria flash (50) se programó de un estado de borrado que tiene un primer voltaje umbral negativo a un estado programado que tiene un segundo voltaje umbral negativo;

que controla una línea (WLn) conectada a la celda de memoria flash (50) con un voltaje de referencia negativo; y

15 determinar la programación fallida de la celda de memoria flash (50) si el nivel de voltaje de la línea de bit cambia en respuesta a la línea del voltaje de referencia negativo.

12. El método de la reivindicación 11,

que además incluye pre cargar una línea de bit del nivel de voltaje antes de controlar la línea,

20 en donde determinar incluye detectar un cambio en el nivel de voltaje de la línea de bit cuando la celda de memoria flash se prende en respuesta a la línea en el voltaje de referencia negativo,

en donde el estado programado corresponde a un primer estado de celda, y el voltaje de referencia negativo es mayor que un voltaje umbral negativo que corresponde a un segundo estado de celda de la celda de memoria flash.

13. El método de la reivindicación 12 en donde

el segundo estado de celda corresponde a otro estado programado.

25 14. El método de la reivindicación 11, en donde el estado programado tiene un rango de voltaje umbral definido por un límite de voltaje inferior y un límite de voltaje superior mayor que el límite de voltaje umbral, el límite de voltaje inferior que es un voltaje negativo, opcionalmente, en donde

el límite de voltaje superior es otro voltaje negativo, o

el límite de voltaje superior es un voltaje positivo.

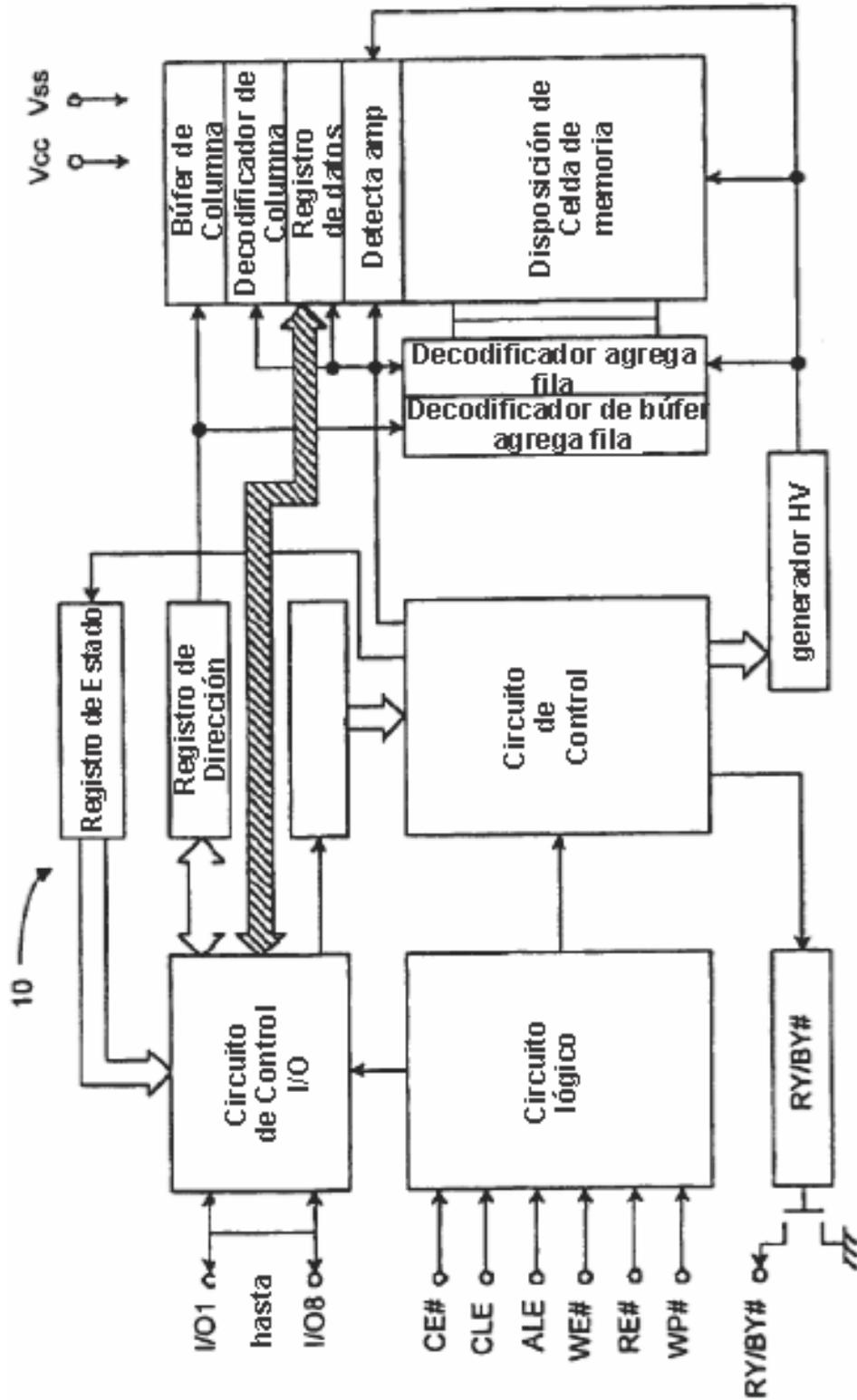


Figura 1

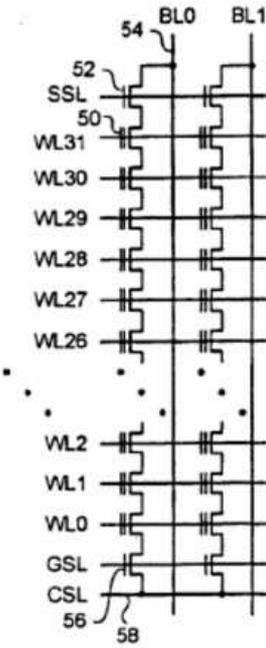


Figura 2

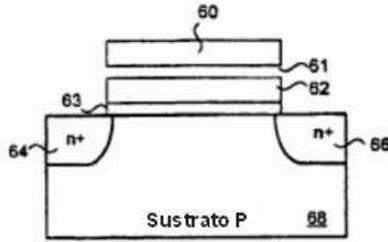


Figura 3 (Técnica Anterior)

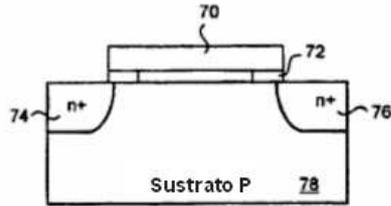


Figura 4 (Técnica Anterior)

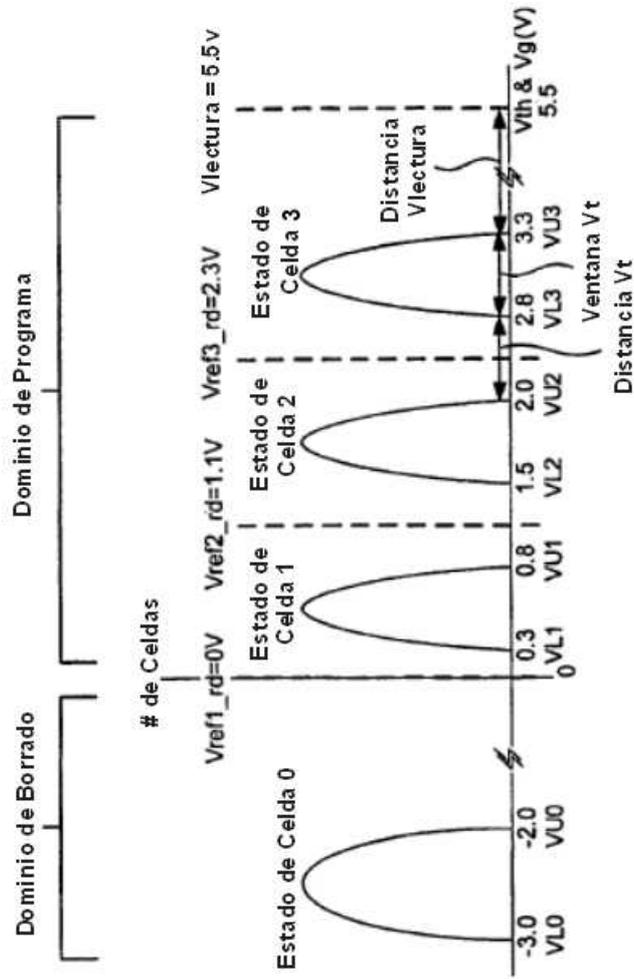


Figura 5 (Técnica Anterior)

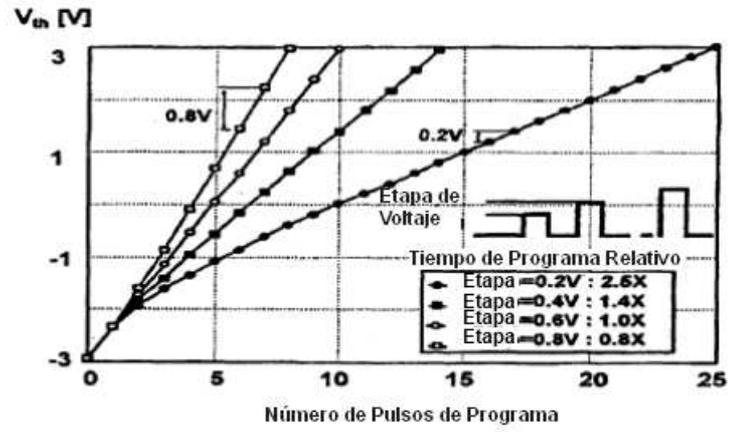


Figura 6 (Técnica Anterior)

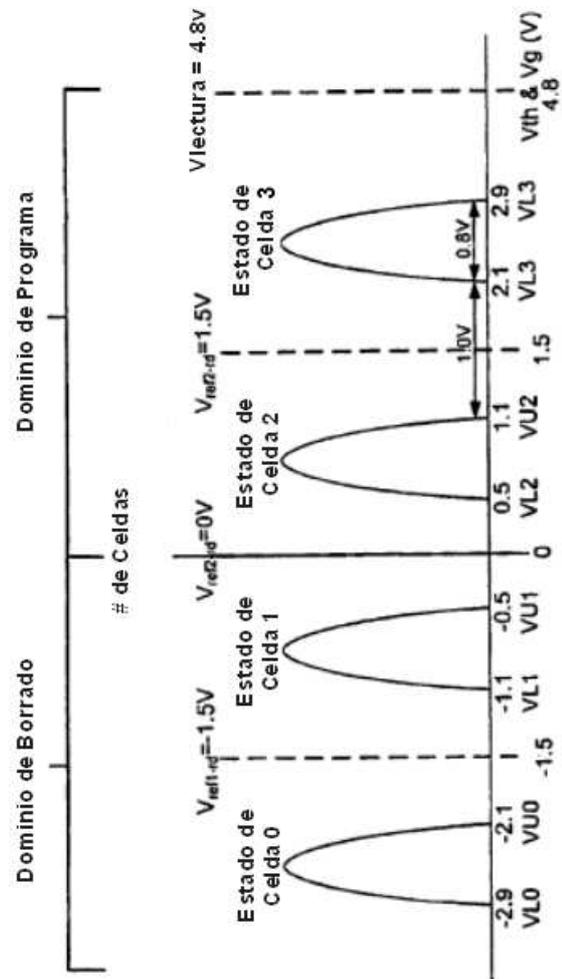


Figura 7

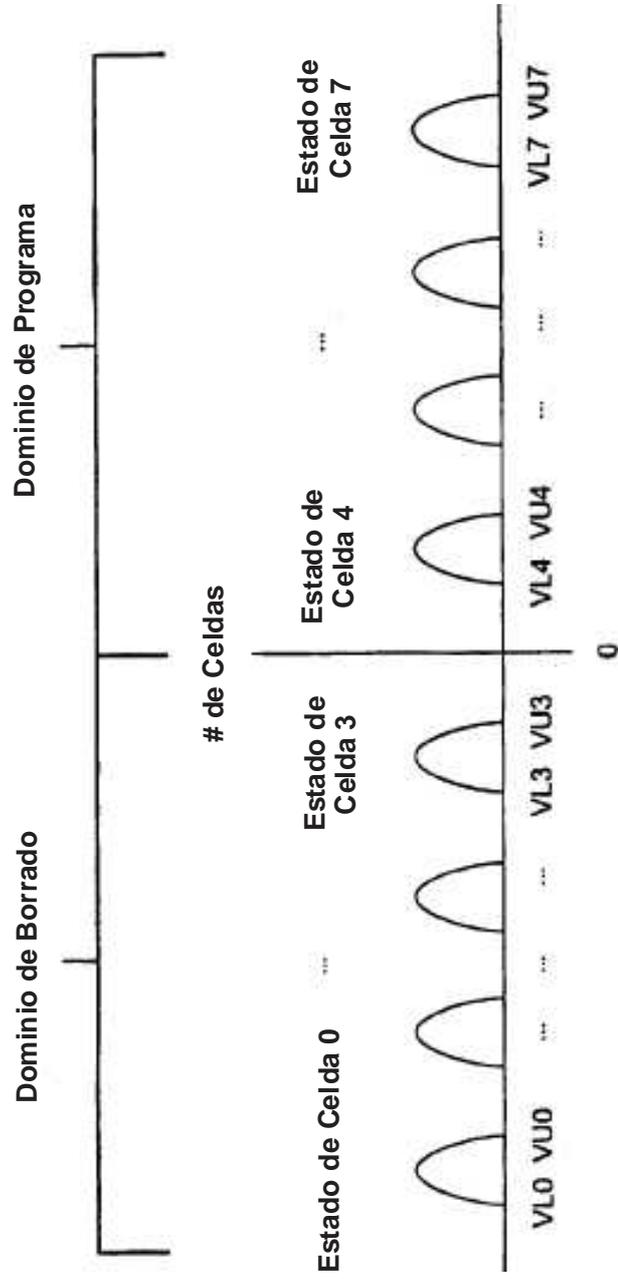


Figura 8

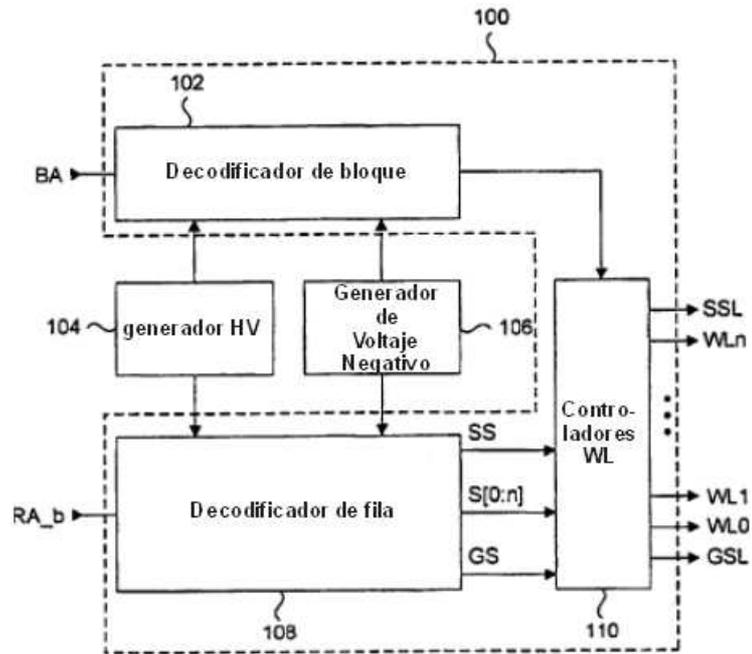


Figura 9

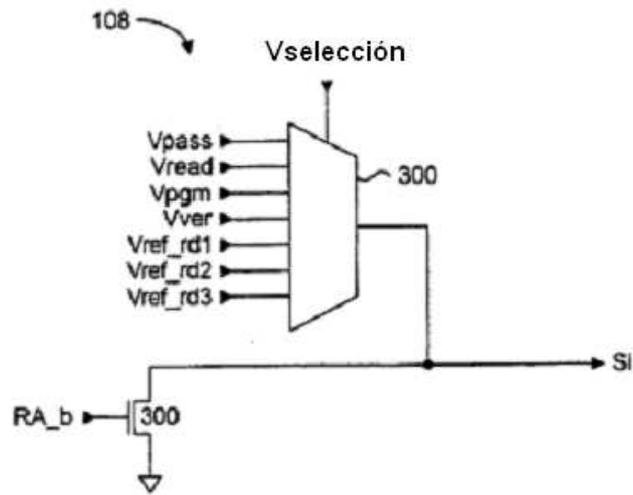


Figura 11

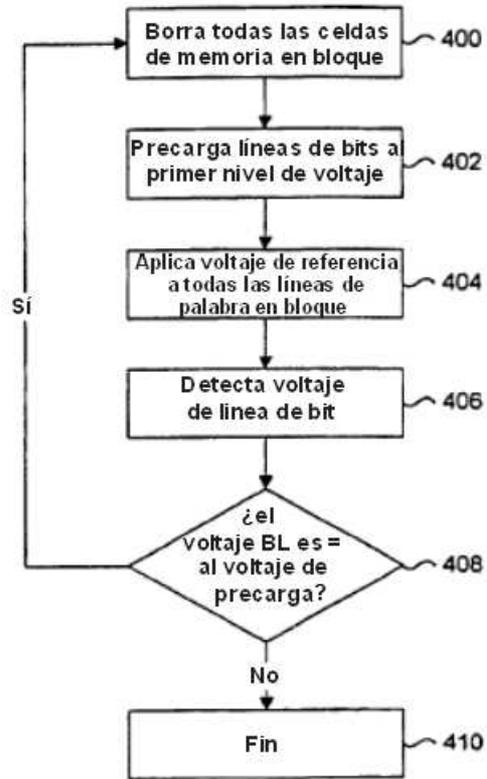


Figura 12

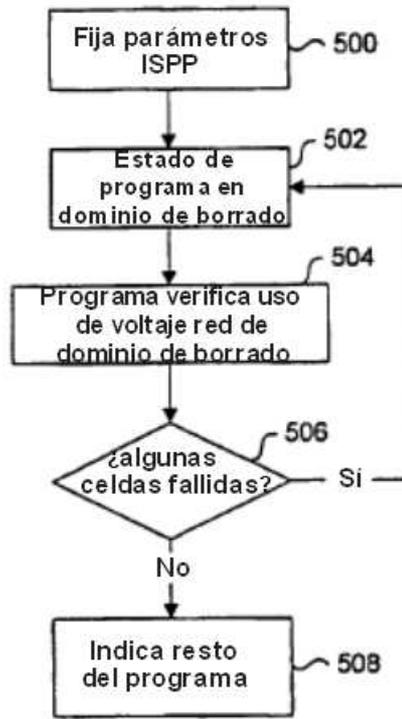


Figura 13

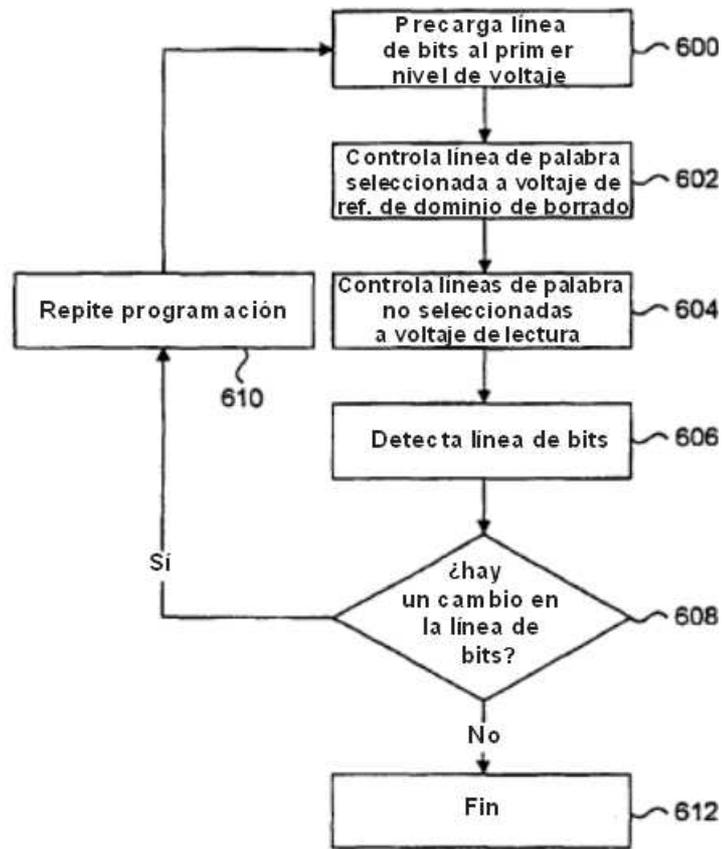


Figura 14

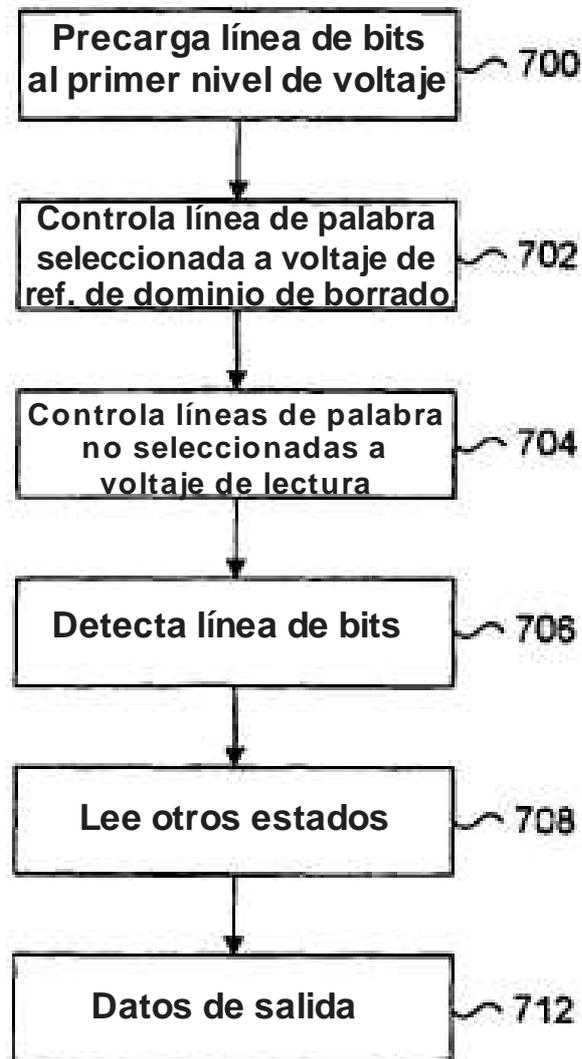


Figura 15