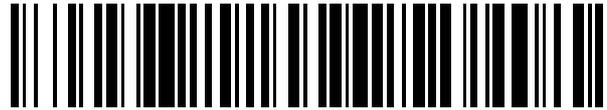


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 449 444**

51 Int. Cl.:

H04B 1/707 (2011.01)

H04J 11/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **18.10.2004 E 10153281 (0)**

97 Fecha y número de publicación de la concesión europea: **27.11.2013 EP 2182646**

54 Título: **Demodulación de datos para un sistema de comunicaciones CDMA**

30 Prioridad:

17.10.2003 US 688145

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

19.03.2014

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 MOREHOUSE DRIVE
SAN DIEGO, CA 92121-1714, US**

72 Inventor/es:

**LI, TAO y
ZHANG, LI**

74 Agente/Representante:

FÀBREGA SABATÉ, Xavier

ES 2 449 444 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Demodulación de datos para un sistema de comunicaciones CDMA

5 ANTECEDENTES

I. Campo

10 La presente invención se refiere en general a la comunicación, y más específicamente, a técnicas para llevar a cabo demodulación de datos en un sistema de comunicación de Acceso Múltiple por División de Código (CDMA).

II. Antecedentes

15 En un sistema CDMA, una estación base transmite los datos en los canales de "código" a terminales inalámbricos. Cada canal de código está asociado con un respectivo código ortogonal. La estación base canaliza los datos para un canal de código multiplicando cada símbolo de datos a transmitir en el canal de código con todos los L chips de un código ortogonal de L chips asignado al canal de código para obtener L símbolos de datos canalizados, que se transmiten a continuación. L es el factor de ensanchado (SF) o la longitud del código ortogonal y es igual a cuatro o mayor (es decir, $L \geq 4$). Un terminal receptor recupera los datos enviados en el canal de código multiplicando primero
20 las muestras recibidas con los L chips del mismo código ortogonal para obtener muestras de-modeladas. El terminal acumula entonces grupos de L muestras de-modeladas para todo el código ortogonal para obtener símbolos de datos recuperados, que son estimaciones de los símbolos de datos enviados en el canal de código por la estación base.

25 La canalización logra la ortogonalidad entre todos los canales de código de transmisión al mismo tiempo por la estación base. Para CDMA de banda ancha (W-CDMA), la canalización se conoce como "difundir", los canales de código se conocen como canales "físicos", y los códigos de factor de ensanchado variable de ortogonal (OVSF) se utilizan para los códigos ortogonales. Para IS-95 e IS-2000, la canalización se conoce como "cubierta", los canales de código se denominan canales "tráfico", y los códigos de Walsh y funciones cuasi-ortogonales (QOF) se utilizan
30 para los códigos ortogonales. Por lo tanto, los diferentes estándares CDMA pueden utilizar una terminología diferente para el proceso de canalización. Para mayor claridad, la terminología de W-CDMA se utiliza para la siguiente descripción.

35 Una estación base puede transmitir datos por múltiples canales físicos a un solo terminal con el fin de lograr una mayor velocidad de datos. La estación base también puede realizar otras tareas de procesamiento en los símbolos de datos antes de la transmisión al terminal. Por ejemplo, la estación base puede utilizar transmisión de diversidad en espacio_tiempo (STTD) y transmitir los símbolos de datos desde múltiples antenas para obtener diversidad espacial, que puede combatir los efectos de trayectoria deletérea. El terminal realiza la demodulación de datos para recuperar los símbolos de datos enviados en los múltiples canales físicos. Como parte de la demodulación de datos,
40 el terminal normalmente realiza demodulación de ensanchamiento para cada canal físico para obtener símbolos desensanchados para ese canal físico. El terminal después realiza otro proceso (por ejemplo, la compensación de canal y la decodificación STTD) sobre los símbolos desensanchados para cada canal físico para obtener símbolos de datos recuperados para el canal físico. El tratamiento para la demodulación de datos aumenta en gran medida como el número de canales físicos aumenta.

45 Por tanto, existe una necesidad en la técnica de técnicas para llevar a cabo de manera más eficiente demodulación de datos en un sistema CDMA.

50 De acuerdo con la invención, se proporcionan un aparato de acuerdo con la reivindicación 1 y un procedimiento según la reivindicación 5.

RESUMEN

55 En el presente documento, se proporcionan técnicas para la realización de demodulación de datos sobre los símbolos parcialmente desensanchados. Un símbolo parcialmente desensanchado para un canal físico con un factor de ensanchado de L se obtiene mediante la acumulación de muestras de-modeladas una longitud más corta que L (por ejemplo, la acumulación de más de $L/2$ o $L/4$). La demodulación de datos sobre símbolos parcialmente desensanchados reduce el número de multiplicaciones necesarias.

60 US-B1-6222875 muestra una tasa de detección de bajo retardo para sistemas de comunicación de tasa variable en la que el proceso de supresión de ensanchado se divide en dos operaciones separadas de supresión de ensanchado, con el almacenamiento en una memoria temporal entre las dos operaciones. El almacenamiento en memorias temporales se hace a partir de los símbolos intermedios entre las etapas de supresión de ensanchado, y se puede hacer a la velocidad máxima de datos de usuario en lugar de a una velocidad de chip mucho más alta.

65

5 En una realización, un circuito integrado que puede funcionar para realizar la demodulación de datos sobre los símbolos parcialmente desensanchados incluye una unidad de supresión de ensanchado, una unidad de compensación de canal, y un combinador de símbolos. La unidad de inversión de la dispersión desensancha muestras de entrada y proporciona símbolos desensanchados para un primer canal de código con un primer factor de ensanchado (por ejemplo, $SF = 8$). La unidad de compensación de canal multiplica los símbolos desensanchados con estimaciones de canal y proporciona símbolos demodulados. El combinador de símbolos combina grupos de símbolos demodulados para obtener símbolos de datos recuperados para un segundo canal de código con un segundo factor de ensanchado (por ejemplo, $SF = 16$) que es un múltiplo entero del primer factor de ensanchado. La compensación de canal y la combinación de símbolos dependen de si se utiliza o no la STTD, tal y como se describe a continuación.

15 Para un diseño de multiplexación por división de tiempo (TDM), los símbolos desensanchados para múltiples primeros canales de código pueden procesarse de manera TDM para obtener símbolos de datos recuperados para múltiples segundos canales de código. Un selector de canal recibe los símbolos desensanchados para los múltiples primeros canales de código y proporciona un símbolo desensanchado para un primer canal de código cada vez a la unidad de compensación de canal. La unidad de compensación de canal y el combinador de símbolos funcionan de manera segmentada. La unidad de compensación de canal multiplica los símbolos desensanchados desde el selector de canales con las estimaciones de canal y proporciona los símbolos demodulados. El combinador de símbolos combina los símbolos demodulados desde la unidad de compensación de canal con los símbolos acumulados y proporciona símbolos combinados. Los símbolos acumulados son indicativos de los resultados parciales para la combinación de los símbolos de datos recuperados, y los símbolos combinados son indicativos de resultados de combinación actualizados para los símbolos de datos recuperados. Una memoria temporal de símbolos proporciona símbolos acumulados y almacena símbolos combinados.

25 Las técnicas descritas en este documento pueden ser utilizadas para diversos sistemas y estándares CDMA. Por ejemplo, el segundo canal de código puede ser un enlace descendente físico de canal compartido de alta velocidad (HS-PDSCH) en W-CDMA, un canal de datos por paquetes (PDCH) en IS-2000, y así sucesivamente.

30 Diversos aspectos y realizaciones de la invención se describen en más detalle a continuación.

Breve descripción de los dibujos

35 Las características y la naturaleza de la presente invención serán más evidentes a partir de la descripción detallada expuesta a continuación cuando se toma en conjunto con los dibujos, en los que caracteres de referencia similares identifican elementos similares y en donde:

La Figura 1 muestra una estación base y un terminal inalámbrico en un sistema W-CDMA;

40 La Figura 2 muestra un modulador dentro de la estación base;

La Figura 3 ilustra la codificación STTD en W-CDMA;

La Figura 4 muestra la generación de códigos de OVVSF utilizados en W-CDMA;

45 La Figura 5 muestra un demodulador que realiza la demodulación de datos sobre símbolos totalmente desensanchados;

50 La Figura 6 muestra un demodulador que realiza la demodulación de datos sobre símbolos parcialmente desensanchados;

La Figura 7 muestra un demodulador que realiza la demodulación de datos sobre símbolos parcialmente desensanchados de forma TDM;

55 La Figura 8 muestra un demodulador de ensanchamiento de 8 canales;

La Figura 9 muestra una unidad de demodulación de datos (DDE);

Las Figuras 10A y 10B muestran el procesamiento por etapas de la unidad DDE;

60 La Figura 11 muestra una memoria temporal de símbolos dentro de la unidad DDE; y

La Figura 12 muestra un proceso para llevar a cabo demodulación de datos sobre los símbolos parcialmente desensanchados.

65 Descripción detallada

La expresión "de ejemplo" se usa aquí para significar "que sirve como ejemplo, caso o ilustración". Cualquier realización o diseño descrito en el presente documento como "de ejemplo" no debe considerarse necesariamente como preferido o ventajoso sobre otras realizaciones o diseños.

5 W-CDMA versión 5 da soporte a alta velocidad de acceso de paquetes de enlace descendente (HSDPA), que es un conjunto de canales y procedimientos que permite alta velocidad de paquetes de transmisión de datos en el enlace descendente. Para HSDPA, los datos se procesan en bloques que se multiplexan en un canal compartido de enlace descendente de alta velocidad (HS-DSCH). El HS-DSCH es entonces asignado a uno o más canales físicos compartidos de enlace descendente de alta velocidad (HS-PDSCH), que son canales físicos. Un canal físico está asociado con un código OVFS y otros atributos (por ejemplo, control de potencia). El HS-PDSCH se puede utilizar para transmitir datos de forma multiplexada por división de código (TDM/CDM) para múltiples terminales. La información de control para el HS-PDSCH se transmite sobre uno o más HS-SCCH, que son canales físicos de control para HS-DSCH compartidos. La información de control incluye varios parámetros usados por los terminales para recibir y procesar adecuadamente los HS-PDSCH

La Figura 1 muestra un diagrama de bloques de una estación base 110 y un terminal inalámbrico 150 en un sistema W-CDMA. Una estación base se conoce como Nodo B y un terminal se denomina equipo de usuario (UE) en terminología W-CDMA. El terminal 150 puede comunicarse con una o más estaciones base en el enlace descendente (es decir, el enlace de comunicación desde la estación base al terminal) y/o el enlace ascendente (es decir, el enlace de comunicación desde el terminal a la estación base) en un momento dado.

En el enlace descendente, un procesador de datos de transmisión (TX) 112 recibe y procesa (por ejemplo, formatea, codifica e intercala) datos para los canales de transporte, asigna los datos procesados en canales físicos y proporciona símbolos de datos para cada canal físico. Un modulador (MOD) 120 procesa adicionalmente (por ejemplo, canaliza, desensancha espectralmente y escala) los símbolos de datos desde el procesador de datos TX 112 y proporciona un flujo de chips de salida para cada antena utilizada para transmisión de datos. Cada flujo de chips de salida es acondicionado (por ejemplo, convertido a analógico, amplificado, filtrado, convertido de manera ascendente en frecuencia) por una unidad transmisora respectiva (TMTR) 130 para generar una señal modulada de enlace descendente, que se transmite entonces desde una antena respectiva 132.

En el terminal 150, la(s) señal(es) de enlace descendente moduladas son recibidas por una antena 152 y proporcionadas a una unidad receptor (RCVR) 154. La unidad receptora 154 acondiciona (por ejemplo, convierte de manera descendente en frecuencia, filtra y amplifica) la señal recibida desde la antena 152 y digitaliza la señal acondicionada para obtener muestras recibidas. Un demodulador (DEMODO) 160 procesa adicionalmente (por ejemplo, descifra, desensancha y demodula) las muestras recibidas para obtener símbolos de datos recuperados, que son estimaciones de los símbolos de datos transmitidos por la estación base 110. Un procesador de datos RX 162 procesa adicionalmente (por ejemplo, desintercala y decodifica) los símbolos de datos recuperados para obtener datos decodificados.

En el enlace ascendente, un procesador de datos TX 180 recibe y procesa varios tipos de datos (por ejemplo, confirmaciones para transmisiones de paquetes de datos del enlace descendente). Los datos procesados desde el procesador de datos TX 180 son posteriormente procesados (por ejemplo, ensanchados y cifrados) por un modulador 182 y acondicionados por una unidad transmisora 154 para generar una señal modulada de enlace ascendente, que luego se transmite a través de la antena 152. En la estación base 110, la señal modulada de enlace ascendente es recibida por las antenas 132a y 132b y es acondicionada y digitalizada por las unidades receptoras 130a y 130b para proporcionar muestras. Un demodulador 134 y un procesador de datos RX 136 procesan adicionalmente las muestras para recuperar los datos transmitidos por el terminal 150.

Los controladores 140 y 170 dirigen el funcionamiento de diversas unidades de procesamiento dentro de la estación base 110 y el terminal 150, respectivamente. Las unidades de memoria 142 y 172 almacenan datos y códigos de programa utilizados por diversas unidades de procesamiento dentro de la estación base 110 y del terminal 150, respectivamente.

La Figura 2 muestra un diagrama de bloques de modulador 120 dentro de la estación base 110 en la Figura 1. La estación base utiliza típicamente múltiples canales físicos para transmitir datos a uno o varios terminales en un momento dado. El modulador 120 incluye N procesadores de canal 210a a 210N, un procesador de canal para cada canal físico utilizado para transmisión de datos. Dentro del procesador de canal 210 para el canal físico $Ch_{SF,1}$, un codificador STTD 212 recibe los símbolos de datos para el canal físico. Para el modo no-STTD (es decir, con STTD no habilitado), el codificador STTD 212 proporciona los mismos símbolos de datos a los multiplicadores 220a y 220b. Para el modo STTD (es decir, con STTD habilitada), tal y como se muestra en la Figura 2, el codificador STTD 212 proporciona símbolos STTD codificados para la antena 1 al multiplicador 220a y símbolos codificados STTD para la antena 2 al multiplicador 220b. STTD es seleccionable por la estación base 110.

Para cada antena, el multiplicador 220 multiplica los símbolos codificados STTD para que la antena con un código OVFS $C_{SF,i}$ asignado al canal $Ch_{SF,i}$ y proporciona símbolos canalizados. El multiplicador 220 lleva a cabo la difusión del canal $Ch_{SF,i}$. La velocidad de símbolos en el multiplicador 220 es $1/T_S$ y la velocidad de símbolos de multiplicador 220 es SF/T_S , donde T_S es un periodo de símbolo de datos. A cada canal físico se le asigna un código OVFS diferente, pero el mismo código OVFS se utiliza para ambas antenas para el canal físico. Los símbolos canalizados para cada antena son entonces codificados (es decir, multiplicados) con un código de ensanchado con valores complejos $S_{dl,u}$ por un multiplicador 230 y ampliarse aún más con un factor de ponderación T_y o por un multiplicador 232. El código de cifrado $S_{dl,u}$ se asigna al terminal para el que se dirige el canal $Ch_{SF,i}$. El factor de ponderación G_i y determina la cantidad de potencia de transmisión utilizada para el canal $Ch_{SF,i}$. El multiplicador 232a proporciona símbolos cifrados y ponderados para la antena 1 a un combinador 234a, y el multiplicador 232b proporciona símbolos cifrados y ponderados para la antena 2 a un combinador 234b.

El combinador 234a recibe y combina los datos codificados y ponderados para el canal $Ch_{SF,i}$ con los datos de otros canales físicos para la antena 1 y proporciona símbolos compuestos para la antena 1. El multiplicador 236a multiplica los símbolos compuestos con un factor de ponderación de valor complejo W_1 y proporciona símbolos ponderados para la antena 1. El combinador 234b y el multiplicador 236b llevan a cabo un procesamiento similar para la antena 2. Los factores de ponderación W_1 y W_2 se utilizan para el ajuste de fase en modo de bucle cerrado 1 en W-CDMA y para el ajuste de fase y amplitud en modo de bucle cerrado 2. Los modos de bucle cerrado 1 y 2 sólo se aplican al DPCH y el PDSCH correspondiente. Cuando un modo de bucle cerrado está habilitado, los datos no STTD codificados y los multiplicadores 236a y 236b se proporcionan con los factores de ponderación W_1 y W_2 . Cuando el modo de bucle cerrado no está activado, los multiplicadores 236a y 236b se anulan mediante el ajuste de los factores de ponderación W_1 y W_2 a uno. Los multiplicadores 236a y 236b proporcionan símbolos ponderados (es decir, flujos de salida de chips) para las antenas 1 y 2 a las unidades del transmisor 130a y 130b, respectivamente, donde la ponderación puede ser unitaria o no unitaria con factores de ponderación W_1 y W_2 .

La Figura 3 ilustra la codificación STTD en W-CDMA. Los datos para cada canal físico son una secuencia de bits que puede expresarse como $\{b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, \dots\}$. El codificador STTD 212 recibe la secuencia de bits de entrada y proporciona dos secuencias de bits de salida para las dos antenas. La secuencia de bits de salida para la antena 1 es la misma que la secuencia de bits de entrada. La secuencia de bits de salida para la antena 2 es $\{-b_2, b_3, b_0, -b_1, -b_6, b_7, b_4, -b_5, \dots\}$. La secuencia de bits de salida para cada antena se demultiplexa en una fase (I) y una secuencia en cuadratura (Q). La secuencia I para la antena 1 es $\{b_0, b_2, b_4, b_6, \dots\}$ y la secuencia Q para la antena 1 es $\{b_1, b_3, b_5, b_7, \dots\}$. Las secuencias I y Q para la antena 1 pueden ser vistas como una secuencia de símbolos de valor complejo $\{s_0, s_1, s_2, s_3, \dots\}$, donde $s_0 = b_0 + jb_1$, $s_1 = b_2 + jb_3$, y así sucesivamente. Del mismo modo, la secuencia para la antena 2 es $\{-b_2, b_0, -b_6, b_4, \dots\}$ y la secuencia Q para la antena 2 es $\{b_3, -b_1, b_7, -b_5, \dots\}$. Las secuencias I y Q para la antena 2 se pueden ver como una secuencia de símbolos de valor complejo $\{s_1, -s_0, s_3, s_2, \dots\}$, donde $s_1 = b_2 + jb_3$, $s_0 = b_0 + jb_1$ y así sucesivamente, donde s_0^* es el complejo conjugado de s_0 . La codificación STTD transmite efectivamente cada par de símbolos de datos (por ejemplo, s_0 y s_1) más de dos antenas para lograr diversidad espacial, que pueden combatir los efectos nocivos de trayectoria. Por otra parte, los símbolos de datos para la antena 2 se reorganizan para proporcionar diversidad temporal.

La Figura 4 muestra la generación de los códigos OVFS utilizados en W-CDMA. Cada código OVFS se identifica mediante una designación $C_{SF,i}$, en donde el subíndice "SF" denota el factor de ensanchado del código OVFS e i denota el número de código. El factor de ensanchado es la longitud del código OVFS y se da en número de chips. El número de código i se encuentra entre 0 y SF-1, es decir, $i = 0, 1, \dots, SF-1$. Los códigos OVFS son códigos estructurados y pueden generarse códigos OVFS sucesivamente más largos a partir de códigos OVFS más cortos, de acuerdo con reglas definidas. Los códigos OVFS de longitud $2L$ se pueden generar mediante la formación de dos códigos OVFS más largos con cada código OVFS más corto de longitud L . El primer código OVFS se forma repitiendo el código OVFS más corto dos veces, es decir, $Ch_{2L,2i+1} = (Ch_{L,i}, Ch_{L,i})$. El segundo código OVFS se forma repitiendo el código OVFS más corto dos veces e invirtiendo la segunda repetición, es decir, $Ch_{2L,2i+1} = (Ch_{L,i}, -Ch_{L,i})$. La naturaleza estructurada de los códigos de OVFS puede explotarse para simplificar la demodulación de datos, tal y como se describe a continuación.

Para HSDPA, una estación base puede transmitir hasta cinco HS-PDSCH para un terminal dado en un momento dado. El HS-PDSCH se comparte entre todos los terminales bajo la cobertura de la estación base. A cada HS-PDSCH se le asigna un código OVFS específico con un factor de ensanchado 16 ($SF = 16$). La estación base también transmite hasta cuatro HS-SCCH, donde a cada HS-SCCH se le asigna un código OVFS específico con un factor de ensanchado 128. El HS-PDSCH y HS-SCCH para HSDPA se describen en el estándar W-CDMA Versión 5, que está disponible al público.

El HS-SCCH lleva información de control para el HS-PDSCH La información de control indica el código OVFS, esquema de modulación, y el terminal receptor para cada HSPDSCH La estación base envía la información de control en el HS-SCCH dos ranuras por delante de las transmisiones de paquetes correspondientes en el HS-PDSCH Un terminal recibe información de control desde un solo HS-SCCH, en todo caso, pero puede recibir datos de paquetes desde uno o múltiples HS-PDSCH

La Figura 5 muestra un diagrama de bloques de un demodulador 160a que lleva a cabo demodulación de datos sobre símbolos totalmente desensanchados para HS-PDSCH El demodulador 160A es una implementación de demodulador 160 en la Figura 1.

- 5 Dentro del demodulador 160a, un multiplicador 512 multiplica las muestras recibidas desde la unidad receptora 154 con un código de descifrado $S_{dl,u}^*$ asignado al terminal 150 y proporciona muestras descifradas. Para HSDPA, las muestras descifradas se proporcionan a dieciséis SF = 16 descifradorees 520a a 520p, un descifrador 520 para cada uno de los dieciséis SF = 16 canales $Ch_{16,0}$ a $Ch_{16,15}$ que pueden ser utilizados para el HS-PDSCH por la estación base 110. Dentro del descifrador 520 para el canal $Ch_{16,i}$, un multiplicador 522 multiplica las muestras desensanchadas con el código OVSF $C_{16,i}$ para el canal de $Ch_{16,i}$. Un acumulador 524 acumula entonces la salida del multiplicador 522 a lo largo de la longitud del código OVSF $C_{16,i}$ (que es 16 chips para SF = 16) y proporciona símbolos desensanchados para el canal $Ch_{16,i}$. El multiplicador 522 y el acumulador 524 realizan desensanchado para el canal $Ch_{16,i}$.
- 10
- 15 Para el modo no STTD, los símbolos de datos para cada canal físico se transmiten desde una antena de estación base. Los símbolos recibidos en el terminal se pueden expresar como:

$$r = h * s + n \quad \text{Ecuación (1)}$$

20 donde

- s es el símbolo de datos transmitido por la estación base;
 r son los símbolos recibidos por el terminal;
 h es la ruta de ganancia de la señal de la antena de la estación base a la antena del terminal; y
 n es el ruido asociado con el símbolo recibido r .
- 25

El terminal puede obtener una estimación, \hat{s} , del símbolo de datos transmitido s , como sigue:

$$\hat{s} = \frac{h^* \cdot r}{|h|^2} = s + \frac{h^* \cdot n}{|h|^2} \quad \text{Ecuación (2)}$$

30 El procesamiento en la ecuación (2) se conoce como la demodulación de datos o filtrado adaptado.

Para el modo STTD, el terminal lleva a cabo una decodificación STTD complementaria para recuperar los símbolos de datos transmitidos. Para la transmisión STTD de un par de símbolos de datos, s_0 y s_1 , La estación base transmite s_0 y s_1 secuencialmente en dos periodos de símbolos de datos desde la antena 1 y transmite $-s_1$ y s_0 y secuencialmente en el mismo periodo de 2 símbolos desde la antena 2, como se muestra en la Figura 3. Si el terminal está equipado con una única antena, entonces los símbolos recibidos pueden expresarse como:

35

$$\begin{aligned} r_0 &= h_0 s_0 - h_1 s_1^* + n_0 \quad , \quad y \\ r_1 &= h_0 s_1 + h_1 s_0^* + n_1 \quad , \end{aligned} \quad \text{Ecuación (3)}$$

40 donde

- r_0 y r_1 son dos símbolos recibidos por el terminal en dos periodos de símbolos;
 h_0 y h_1 son las ganancias de ruta de señal de las antenas de estaciones base de 1 y 2 a la antena del terminal para el periodo de 2 símbolos, y
 n_0 y n_1 son el ruido asociado con los dos símbolos recibidos r_0 y r_1 , respectivamente.
- 45

El terminal puede derivar estimaciones de los dos símbolos transmitidos, s_0 y s_1 , Como sigue:

$$\hat{s}_0 = \frac{h_0^* \cdot r_0 + h_1 \cdot r_1^*}{|h_0|^2 + |h_1|^2} = s_0 + \frac{h_0^* \cdot n_0 + h_1 \cdot n_1}{|h_0|^2 + |h_1|^2}, \quad \text{y}$$

Ecuación (4)

$$\hat{s}_1 = \frac{-h_1 \cdot r_0^* + h_0^* \cdot r_1}{|h_0|^2 + |h_1|^2} = s_1 + \frac{h_0^* \cdot n_1 - h_1 \cdot n_0}{|h_0|^2 + |h_1|^2}.$$

El procesamiento en el conjunto de ecuaciones (4) se conoce como demodulación de datos para STTD.

5 El demodulador 160a incluye dieciséis demoduladores de datos 530a a 530P para los dieciséis SF = 16 canales. Cada demodulador de datos 530 realiza la demodulación de datos para STTD para un SF = 16 canal, como se muestra en el conjunto de ecuaciones (4). Dentro del demodulador de datos 530 para el canal Ch_{16,i}. Los símbolos desensanchados para el canal Ch_{16,i} (que corresponden a r₀ en el conjunto de ecuaciones (4)) se proporcionan a una unidad de retardo 532, a una unidad de complejo conjugado 534b y a un multiplicador 536a. La unidad de retardo 532 proporciona un periodo de símbolo de retardo SF = 16 y proporciona los símbolos desensanchados retardados (que corresponden a r₁) A una unidad de complejo conjugado 534a y a un multiplicador 536c. El multiplicador 536a multiplica los símbolos desensanchados con una estimación de canal P₀ (que corresponde a h₀^{*}) y proporciona símbolos demodulados correspondientes al término h₀^{*}r₀. El multiplicador 536B multiplica los símbolos desensanchados conjugados y retardados con una estimación de canal P₁ (que corresponde a h₁) y proporciona símbolos demodulados correspondientes al término h₀^{*}r₁. El multiplicador 536c multiplica los símbolos desensanchados retardados con la estimación de canal P₀ y proporciona símbolos demodulados correspondientes al término h₀^{*}r₁. El multiplicador 536d multiplica los símbolos desensanchados conjugados con la estimación de canal P₁ y proporciona símbolos demodulados correspondientes al término h₁^{*}r₀. Las estimaciones de canal se obtienen típicamente en base a un piloto transmitido por la estación base y por lo tanto se conoce comúnmente como estimaciones de piloto.

20 El sumador 538a añade los símbolos demodulados de los multiplicadores 536a y 536B para obtener símbolos de datos recuperados correspondientes a ŝ₀. Un sumador 538b resta los símbolos demodulados del multiplicador 536d de los símbolos demodulados del multiplicador 536c para obtener símbolos de datos recuperados correspondientes a ŝ₁. Un multiplexor (MUX) 540 recibe los símbolos de datos recuperados para ŝ₀ y ŝ₁ y proporciona símbolos de datos recuperados en serie para el canal Ch_{16,i} (denotado S_{16,i}).

30 Para la implementación se muestra en la Figura 5, se utilizan dieciséis multiplicadores 522a a 522p para obtener símbolos desensanchados de dieciséis SF = 16 canales Ch_{16,0} a Ch_{16,15}. Cuatro multiplicadores complejos 536a a 536d se utilizan para compensación de canal STTD para cada canal físico. Se necesita un total de 64 multiplicadores complejos para procesar los dieciséis canales Ch_{16,0} a Ch_{16,15} que pueden ser utilizados para el HS-PDSCH

35 Un demodulador puede ser diseñado para explotar la naturaleza estructurada de los códigos OVSF y realizar demodulación de datos sobre los símbolos parcialmente desensanchados para el HS-PDSCH Un símbolo parcialmente desensanchado para un canal físico con un factor de ensanchado L se obtiene mediante la acumulación de más de una longitud más corta que L (por ejemplo, la acumulación de más de L/2 o L/4). Un símbolo ensanchado suprimido parcialmente para el canal físico con un factor de ensanchado L es un símbolo ensanchado totalmente para otro canal físico con un factor de ensanchado menor que L. La demodulación de datos parcialmente desensanchados reduce el número de multiplicaciones necesarias.

40 La demodulación de datos sobre los símbolos parcialmente desensanchados para el HS-PDSCH se puede realizar de varias maneras. Dos esquemas de ejemplo se describen a continuación.

45 1. Multiplicar los símbolos desensanchados para un SF = 4 canal Ch_{4,i} con estimaciones de canal y combinar SF = 4 símbolos demodulados para obtener símbolos de datos recuperados durante cuatro SF = 16 canales Ch_{16,4i} a Ch_{16,4i+3}.

50 2. Multiplicar símbolos desensanchados para un SF = 8 canal Ch_{8,i} con estimaciones de canal y combinar SF = 8 símbolos demodulados para obtener símbolos de datos recuperados de dos SF = 16 canales Ch_{16,2i} y Ch_{16,2i+1}.

El esquema 2 requiere menos cálculo y menos accesos a memoria. Un diseño de ejemplo para el Esquema 2 descrito a continuación.

5 Para el modo no STTD, la demodulación de datos para SF = 16 canales con SF = 8 símbolos desensanchados se puede expresar como:

$$\begin{aligned} S_{16,2i,n} &= P^* \cdot R_{16,2i,n} = P^* \cdot (R_{8,i,2n} + R_{8,i,2n+1}) = P^* \cdot R_{8,i,2n} + P^* \cdot R_{8,i,2n+1} & \text{Ecuación (5)} \\ S_{16,2i+1,n} &= P^* \cdot R_{16,2i+1,n} = P^* \cdot (R_{8,i,2n} - R_{8,i,2n+1}) = P^* \cdot R_{8,i,2n} - P^* \cdot R_{8,i,2n+1} \end{aligned}$$

donde

10 P es la estimación de canal;
 $R_{SF,i,n}$ es el canal de símbolos desensanchados para $Ch_{SF,i}$ por periodo de símbolo n; y
 $S_{SF,i,n}$ es el símbolo de datos recuperado para el canal $Ch_{SF,i}$ por periodo de símbolo n.

15 Para el modo STTD, la demodulación de datos para SF = 16 canales con SF = 8 símbolos desensanchados se puede expresar como:

$$\begin{aligned} S_{16,2i,n} &= P_0^* \cdot R_{16,2i,n} + P_1^* \cdot R_{16,2i,n+1} \\ &= P_0^* \cdot (R_{8,i,2n} + R_{8,i,2n+1}) + P_1^* \cdot (R_{8,i,2n+2} + R_{8,i,2n+3}) \\ &= P_0^* \cdot R_{8,i,2n} + P_0^* \cdot R_{8,i,2n+1} + P_1^* \cdot R_{8,i,2n+2} + P_1^* \cdot R_{8,i,2n+3} & \text{Ecuación (6)} \\ &= D_{8,i,2n}^0 + D_{8,i,2n+1}^0 + D_{8,i,2n+2}^1 + D_{8,i,2n+3}^1 \end{aligned}$$

$$\begin{aligned} S_{16,2i,n+1} &= -P_1^* \cdot R_{16,2i,n} + P_0^* \cdot R_{16,2i,n+1} \\ &= -P_1^* \cdot (R_{8,i,2n} + R_{8,i,2n+1}) + P_0^* \cdot (R_{8,i,2n+2} + R_{8,i,2n+3}) \\ &= -P_1^* \cdot R_{8,i,2n} - P_1^* \cdot R_{8,i,2n+1} + P_0^* \cdot R_{8,i,2n+2} + P_0^* \cdot R_{8,i,2n+3} \\ &= -D_{8,i,2n}^1 - D_{8,i,2n+1}^1 + D_{8,i,2n+2}^0 + D_{8,i,2n+3}^0 & \text{Ecuación (7)} \end{aligned}$$

20

$$\begin{aligned} S_{16,2i+1,n} &= P_0^* \cdot R_{16,2i+1,n} + P_1^* \cdot R_{16,2i+1,n+1} \\ &= P_0^* \cdot (R_{8,i,2n} - R_{8,i,2n+1}) + P_1^* \cdot (R_{8,i,2n+2} - R_{8,i,2n+3}) \\ &= P_0^* \cdot R_{8,i,2n} - P_0^* \cdot R_{8,i,2n+1} + P_1^* \cdot R_{8,i,2n+2} - P_1^* \cdot R_{8,i,2n+3} \\ &= D_{8,i,2n}^0 - D_{8,i,2n+1}^0 + D_{8,i,2n+2}^1 - D_{8,i,2n+3}^1 & \text{Ecuación (8)} \end{aligned}$$

$$\begin{aligned}
 S_{16,2i+1,n+1} &= -P_1^* \cdot R_{16,2i+1,n}^* + P_0^* \cdot R_{16,2i+1,n+1} \\
 &= -P_1^* \cdot (R_{8,j,2n} - R_{8,i,2n+1})^* + P_0^* \cdot (R_{8,i,2n+2} - R_{8,i,2n+3}) \\
 &= -P_1^* \cdot R_{8,j,2n}^* + P_1^* \cdot R_{8,j,2n+1}^* + P_0^* \cdot R_{8,i,2n+2} - P_0^* \cdot R_{8,i,2n+3} \\
 &= -D_{8,i,2n}^1 + D_{8,i,2n+1}^1 + D_{8,i,2n+2}^0 - D_{8,i,2n+3}^0
 \end{aligned}$$

Ecuación (9)

donde

P_0 es la estimación de canal para la antena 1;

5 P_1 es la estimación de canal para la antena 2; y

$D_{SF,i,n}^*$ es el símbolo para el canal demodulado $Ch_{SF,i}$ por periodo de símbolo n , que se obtiene con estimación de canal P_a .

10 En las ecuaciones (6) a (9), $S_{16,2i,n}$ es un símbolo de datos recuperado par para un SF = 16 canal, $S_{16,2i,n+1}$ es un símbolo de datos recuperado impar para un SF = 16 canal, $S_{16,2i+1,n}$ es un símbolo de datos recuperado par para un canal impar SF = 16 y $S_{16,2i+1,n+1}$ es un símbolo de datos recuperado impar para un canal impar SF = 16. Los canales pares SF = 16 tienen índices $2i$ pares, y los canales impares SF = 16 tienen índices impares $2i + 1$. Los símbolos de datos recuperados pares tienen índices de periodo de símbolo n SF = 16 pares y los símbolos de datos recuperados impares tienen índices de periodo de símbolo impares $n + 1$.

Como se muestra en las ecuaciones (6) a (9), para el modo STTD, cuatro símbolos desensanchados consecutivos $R_{8,i,2n}$ a $R_{8,i,2n+3}$ para un canal SF = 8 $Ch_{8,i}$ se procesan para obtener cuatro símbolos de datos recuperados de dos SF = 16 canales $Ch_{16,2i}$ y $Ch_{16,2i+1}$ (es decir, un símbolo de datos recuperados impar y un par para cada canal SF = 16). Cada SF = 8 símbolo desensanchado $R_{8,i,x}$ (donde $x = 2n, 2n + 1, 2n + 2$, o $2n + 3$) se multiplica tanto por P_0 como por P_1 para obtener dos símbolos demodulados $D_{8,i,x}^0$ y $D_{8,i,x}^1$ respectivamente. Cada símbolo demodulado se utiliza para dos de los cuatro símbolos de datos recuperados para los canales $Ch_{16,2i}$ y $Ch_{16,2i+1}$. Cada SF = 8 símbolo desensanchado $R_{8,i,x}$, se utiliza por lo tanto para los cuatro símbolos de datos recuperados de los canales $Ch_{16,2i}$ y $Ch_{16,2i+1}$.

La Figura 6 muestra un diagrama de bloques de un demodulador 160b que realiza demodulación de datos SF = 8 8 símbolos desensanchados para el HS-PDSCH El demodulador 160b es una realización del demodulador 160 en la Figura 1. Dentro del demodulador 160B, un multiplicador 612 multiplica las muestras recibidas con el código de descifrado $S_{dl,u}^*$ y proporciona muestras descifradas SF = 8 a ocho desensanchadores 620a a 620h durante ocho SF = 8 canales $Ch_{8,0}$ a $Ch_{8,7}$, respectivamente.

Dentro del desensanchador 620 para el canal $Ch_{8,i}$, un multiplicador 622 multiplica las muestras descifradas con el código OVFS $C_{8,i}$ para el canal $Ch_{8,i}$. Un acumulador 624 acumula la salida del multiplicador 622 a lo largo de la longitud del código OVFS $C_{8,i}$ (es decir, más de 8 chips) y proporciona símbolos desensanchados para el canal $Ch_{8,i}$. Los desensanchadores 620a a 620h proporcionan símbolos desensanchados para los ocho canales $Ch_{8,0}$ a $Ch_{8,7}$ a los demoduladores de datos 630a a 630h, respectivamente.

Cada demodulador de datos 630 incluye una unidad de compensación de canal 640 y un combinador de símbolos 650. Dentro del demodulador de datos 630 para el canal $Ch_{8,i}$, los símbolos desensanchados para el canal $Ch_{8,i}$ se proporcionan a las unidades 642a y 642b dentro de la unidad de compensación de canal 640. Cada unidad 642 proporciona cualquiera de los símbolos desensanchados recibidos o los símbolos desensanchados complejos conjugados, tal y como se indica mediante las ecuaciones (6) a (9), a un multiplicador asociado 644. El multiplicador 644a multiplica la salida de la unidad 642a con la estimación de canal P_0 y proporciona los símbolos demodulados $D_{8,i,2n}^0$ a una unidad de retardo 652a dentro del combinador de símbolos 650. Las unidades de retardo 652a, 652b, y 652c están acopladas en serie y proporcionan símbolos demodulados retardados $D_{8,i,2n+1}^0$ y $D_{8,i,2n+2}^0$ respectivamente.

Del mismo modo, el multiplicador 644b multiplica la salida de la unidad 642b con la estimación de canal P_1 y proporciona los símbolos demodulados $D_{8,i,2n+3}^0$ a una unidad de retardo 654a. Las unidades de retardo 654a, 654b, y 654c están acopladas en serie y proporcionan símbolos demodulados retardados $D_{8,i,2n+1}^0$, $D_{8,i,2n+2}^0$ y $D_{8,i,2n+3}^0$ respectivamente.

Un sumador 656A suma los símbolos demodulados $D_{8,i,2n}^0$, $D_{8,i,2n+1}^0$, $D_{8,i,2n+2}^0$ y $D_{8,i,2n+3}^0$, tal y como se muestra en la ecuación (6), y proporciona el símbolo de datos recuperado $S_{16,2i,n}$. El sumador 656B suma los símbolos demodulados $D_{8,i,2n+2}^0$ y $D_{8,i,2n+3}^0$ y resta los símbolos demodulados $D_{8,i,2n}^0$, $D_{8,i,2n+1}^0$, tal y como se muestra en la ecuación (7), y proporciona el símbolo de datos recuperado $S_{16,2i,n+1}$. Un multiplexor 658A recibe los símbolos de datos recuperados $S_{16,2,n}$ y $S_{16,2i,n+1}$ y proporciona símbolos de datos recuperados en serie para el canal $Ch_{16,2i}$. Un

sumador 656c suma los símbolos demodulados $D_{8,i,2n}^0$, $D_{8,i,2n+2}^0$ y resta los símbolos demodulados $D_{8,i,2n+1}^0$ y $D_{8,i,2n+3}^0$, tal y

como se muestra en la ecuación (8), y proporciona el símbolo de datos recuperado $S_{16,2i+n}$. Un sumador 656d suma los símbolos demodulados $D_{8,i,2n+1}^0$, $D_{8,i,2n+2}^0$ y resta los símbolos demodulados $D_{8,i,2n}^0$ y $D_{8,i,2n+3}^0$, tal y como se muestra en la ecuación (9), y proporciona el símbolo de datos recuperado $S_{16,2i+1,n+i}$. Un multiplexor 658B recibe los símbolos de datos recuperados $S_{16,2i+1,n}$ y $S_{16,2i+1,n+i}$ y proporciona símbolos de datos recuperados en serie para el canal $Ch_{16,2i+1}$.

Para la realización mostrada en la Figura 6, la demodulación de datos con SF = 8 símbolos desensanchados requiere sólo dos multiplicadores complejos 644a y 644b para cada par de SF = 16 canales, o un total de dieciséis multiplicadores complejos para todos los dieciséis SF = 16 canales. Este es un cuarto del número de multiplicadores complejos necesarios para la implementación mostrada en la Figura 5.

El hardware para el demodulador puede reducirse aún más con un diseño TDM. Para el diseño TDM, se utiliza una unidad de demodulación de datos (DDE) para llevar a cabo el procesamiento para todos los ocho SF = 8 canales de forma TDM para obtener símbolos de datos recuperados para todos los dieciséis SF = 16 canales. En una realización, los ciclos de la unidad DDE a través de los ocho SF = 8 canales en ocho ciclos de reloj. Para cada canal SF = 8, la unidad DDE calcula dos símbolos demodulados para el símbolo desensanchado para ese canal SF = 8 y acumula estos símbolos demodulados con resultados combinados parciales para cuatro símbolos de datos recuperados para dos SF = 16 canales correspondientes al SF = 8 canal. Una memoria temporal de símbolos se utiliza para almacenar los resultados de la combinación.

La Figura 7 muestra un diagrama de bloques de un demodulador 160C que realiza demodulación de datos en SF = 8 símbolos desensanchados para el HS-PDSCH de forma TDM. El demodulador 160c es otra realización de un demodulador 160 en la Figura 1. El demodulador 160c incluye una unidad de desensanchado 710, una unidad DDE 720 para el HS-PDSCH, y una unidad DDE 770 para el HS-SCCH. El demodulador 160c también puede incluir otras unidades de procesamiento (por ejemplo, para otros canales físicos), que no se muestran en la Figura 7 por simplicidad.

Dentro de la unidad de desensanchado 710, un multiplicador 712 multiplica las muestras recibidas con el código de descifrado $S_{dl,u}^*$ y proporciona muestras descifradas. Un desensanchador de 8 canales 714 realiza desensanchado sobre las muestras descifradas a lo largo de ocho SF = 8 canales $Ch_{8,0}$ a $Ch_{8,7}$ y proporciona símbolos desensanchados para estos ocho canales. Un desensanchador 716 realiza desensanchado en las muestras descifradas para los cuatro HS-SCCH y proporciona símbolos desensanchados para estos cuatro canales.

Dentro de la unidad DDE 720, un selector de canal 730 recibe del desensanchador 714 los símbolos desensanchados para los ocho SF = 8 canales $Ch_{8,0}$ a $Ch_{8,7}$ y proporciona un símbolo desensanchado para cada canal a la vez a una unidad de compensación entre canales 740. La unidad de compensación entre canales 740 multiplica el símbolo desensanchado $R_{8,i}$ para el canal $Ch_{8,i}$ con la estimación de canal P_0 para la antena 1 y la estimación de canal P_1 para la antena 2 y proporciona los símbolos demodulados $D_{8,i}^0$ y a un combinador de símbolos 750.

El combinador de símbolos 750 combina todos los símbolos demodulados para cada símbolo de datos recuperado. La combinación se realiza individualmente al irse obteniendo los símbolos demodulados para cada SF = 8 símbolos ensanchados. La combinación es más dependiente de si o no la estación base utiliza STTD, tal como se describe a continuación. Una memoria temporal de símbolos 760 proporciona los símbolos acumulados, que son los resultados intermedios de la combinación, para el combinador de símbolos 750. El combinador de símbolos 750 combina los símbolos acumulados con los actuales símbolos demodulados y proporciona símbolos combinados, que actualizan los resultados de la combinación. La memoria temporal de símbolos 760 almacena los símbolos combinados del combinador de símbolos 750, que se convierten en símbolos de datos recuperados después de que se combinen todos los símbolos demodulados. Un controlador DDE 762 proporciona controles al selector de canal 730, a la unidad de compensación de canal 740, al combinador de símbolos 750 y a la memoria temporal de símbolos 760.

Dentro de la unidad DDE 770, un selector de canales 772 recibe del demodulador de ensanchamiento 716 los símbolos desensanchados para los cuatro SF = 128 canales utilizados para el HS-SCCH y proporciona símbolos desensanchados un canal cada vez a una unidad de compensación de canal 774. Dentro de la unidad de compensación de canal 774, un multiplexor 778 recibe las estimaciones de canal P_0 y P_1 y proporciona estimación de canal para la antena adecuada para un multiplicador 776. El multiplicador 776 realiza multiplicaciones complejas de símbolos desensanchados del selector de canal 772 con la estimación de canal desde el multiplexor 776 y proporciona símbolos demodulados al combinador de símbolos 780. El combinador de símbolos 780 combina todos los símbolos demodulados para cada símbolo de datos recuperado para el HS-SCCH. Una memoria temporal de símbolos 782 proporciona símbolos acumulados para el combinador de símbolos 780 para combinar los símbolos demodulados actuales y almacena los símbolos combinados del combinador de símbolos 780. Un controlador DDE 784 ofrece controles al selector de canal 772, a la unidad de compensación de canal 774, al combinador de símbolos 780 y a la memoria temporal de símbolos 782.

La Figura 8 muestra un diagrama de bloques del desensanchador de 8 canales 714 dentro del demodulador 160C. Las muestras de entrada (es decir, las muestras descifradas) se proporcionan a los cuatro multiplicadores 812a a 812d a lo largo de cuatro SF = 4 canales $Ch_{4,0}$ a $Ch_{4,3}$, respectivamente. Cada multiplicador 812 multiplica las muestras descifradas con un código OVFSF respectivo $C_{4,i}$ para el canal $Ch_{4,i}$ y proporciona muestras de-modeladas. Un acumulador 814 acumula cada grupo de cuatro muestras de-modeladas para los cuatro chips del código OVFSF $C_{4,i}$ para obtener un canal de símbolos desensanchados para $Ch_{4,i}$. Acumuladores 814a través 814d proporcionan símbolos desensanchados para SF = 4 canales $Ch_{4,0}$ a $Ch_{4,3}$, respectivamente.

Cuatro desensanchadores 820a a 820D reciben los símbolos desensanchados para los canales $Ch_{4,0}$ a $Ch_{4,3}$, respectivamente. Dentro del desensanchador 820 para el canal $Ch_{4,i}$, los símbolos desensanchados para este canal se proporcionan a los sumadores 822 y 824 y a un multiplexor 826. Para cada par de SF = 4 símbolos desensanchados, el primer símbolo del par se pasa a través del multiplexor 826 y se almacena en un registro 828. Cuando se recibe el segundo símbolos desensanchado del par, sumador 822 suma los primer y segundo símbolos en el par para obtener un símbolo desensanchado para el SF = 8 canal $Ch_{8,2i}$. Un sumador 824 resta el segundo símbolo del par del primer símbolo para obtener símbolos desensanchados para los SF = 8 canales $Ch_{8,2i+1}$. El canal de símbolos desensanchados para $Ch_{8,2}$ se enruta a través del multiplexor 826 y se almacena en el registro 828, y el canal de símbolos desensanchados para $Ch_{8,2i+1}$ se almacena en un registro 830. Cada desensanchador 820 proporciona símbolos desensanchados para un par de SF = 8 canales $Ch_{8,2i}$ y $Ch_{8,2i+1}$. Dentro del selector de canal 730, un multiplexor 840 recibe los símbolos desensanchados para los ocho SF = 8 canales $Ch_{8,0}$ y $Ch_{8,7}$ desde los desensanchadores 820a a 820D. El multiplexor 840 proporciona símbolos desensanchados $R_{8,i}$ para un SF = 8 canal cada vez sobre la base de una señal de control desde el controlador DDE 762. Una unidad 842 recibe los símbolos desensanchados desde el multiplexor 840 y proporciona el símbolos desensanchados conjugados $R_{8,i}^*$.

El demodulador 160c puede realizar demodulación de datos sobre los símbolos parcialmente desensanchados tanto para el modo no STTD como para el modo STTD. La demodulación de datos para el modo STTD se describe a continuación.

La Figura 9 muestra un diagrama de bloques de la unidad DDE 720 para el HS-PDSCH La unidad DDE 720 se hace funcionar de manera segmentada y procesa un símbolo desensanchado para los SF = 8 canales cada ciclo de reloj. El selector de canal 730 recibe los símbolos desensanchados para ocho SF = 8 canales $Ch_{8,0}$ a $Ch_{8,7}$ de la unidad de desensanchado 710.

El selector de canales 730 se desplaza a través de los ocho SF = 8 canales en ocho ciclos de reloj y, para cada ciclo de reloj, proporciona un símbolo desensanchado para una unidad de compensación entre canales 740.

Dentro de la unidad de compensación entre canales 740, un multiplexor 940a recibe los símbolos desensanchados $R_{8,i}$ y el conjugado de símbolos desensanchados $R_{8,i}^*$ para el canal de $Ch_{8,i}$ del selector de canal 730 y ofrece el símbolo desensanchado adecuado a un multiplicador 942a. Un multiplexor 940b recibe también el símbolo desensanchado $R_{8,i}$ y el símbolo desensanchado conjugado $R_{8,i}^*$ y proporciona el símbolo desensanchado adecuado a un multiplicador 942b. El multiplicador 942a multiplica el símbolo desensanchado al multiplexor 940a o con P_0 o con P_1 y proporciona un símbolo demodulado a un registro 946a. Del mismo modo, un multiplicador 942b multiplica el símbolo desensanchado del multiplexor 940b con cualquiera P_1 o con P_0 y proporciona un símbolo demodulado a un registro 946b. En función de los controles para los multiplexores 940a, 940b, 944a y 944b, el registro 946a proporciona ya sea el símbolo demodulado $D_{8,i}^0$ o $D_{8,i}^1$ (denotado $D_{8,i}^{0/1}$) a los sumadores 952a y 952b en el combinador de símbolos 750, y el registro 946b proporciona el otro símbolo demodulado $D_{8,i}^1$ o $D_{8,i}^0$ (denotado $D_{8,i}^{1/0}$) a los sumadores 952c y 952d.

Para lograr el rendimiento deseado de un SF = 8 símbolo desensanchado por ciclo de reloj, cada acceso de memoria de la memoria temporal de símbolos 760 es para cuatro SF = 16 canales. Los símbolos acumulados pares e impares de cuatro SF = 16 canales se recuperan de la memoria temporal de símbolos 760 para cada operación de lectura. Los símbolos combinados pares e impares para cuatro SF = 16 canales se escriben en la memoria temporal de símbolos 760 para cada operación de escritura. Los dieciséis SF = 16 canales se dividen en cuatro grupos, como sigue:

- Grupo de Canal 0: $Ch_{16,0}$, $Ch_{16,1}$, $Ch_{16,2}$ y $Ch_{16,3}$,
- Grupo de Canal 1: $Ch_{16,4}$, $Ch_{16,5}$, $Ch_{16,6}$ y $Ch_{16,7}$,
- Grupo de Canal 2: $Ch_{16,8}$, $Ch_{16,9}$, $Ch_{16,10}$ y $Ch_{16,11}$, y
- Grupo de Canal 3: $Ch_{16,12}$, $Ch_{16,13}$, $Ch_{16,14}$ y $Ch_{16,15}$.

El procesamiento para el grupo de canales 0 se describe a continuación. Cuando el selector de canales 730 proporciona el símbolo desensanchado $R_{8,0}$ para el canal $Ch_{8,0}$, los símbolos pares e impares acumulados para los cuatro SF = 16 canales en el grupo 0 se recuperan de memoria temporal de símbolos 760, los símbolos acumulados pares se almacenan en un registro 958a, y los símbolos acumulados impares se almacenan en un registro 958b. Un multiplexor 954a recibe los símbolos acumulados pares para los primer y tercer SF = 16 canales del grupo, $Ch_{16,0}$ y

Ch_{16,2}, y un multiplexor 954b recibe los símbolos acumulados pares para los segundo y cuarto SF = 16 canales del grupo, Ch_{16,1} y Ch_{16,3}. La "k" en la Figura 9 indica el índice de canal dentro del grupo. Un multiplexor 954c recibe los símbolos acumulados impares para los canales Ch_{16,0} y Ch_{16,2}, y un multiplexor 954d recibe los símbolos acumulados impares para los canales Ch_{16,1} y Ch_{16,3}.

Para el símbolo desensanchado R_{8,0} para el canal Ch_{8,0}, los multiplexores 954a y 954B ofrecen los símbolos pares acumulados para los canales Ch_{16,0} y Ch_{16,1} a los sumadores 952a y 952b, respectivamente, y los multiplexores 954c y 954d proporcionan los símbolos acumulados impares para los canales Ch_{16,0} y Ch_{16,1} a los sumadores 952c y 952d, respectivamente. Cada sumador 952 o bien suma o resta el símbolo demodulado a partir de un registro asociado 946 con el símbolo acumulado de un multiplexor asociado 954 y proporciona un símbolo combinado a un registro 956. En un momento determinado, el registro 956 proporciona los cuatro símbolos combinados de los sumadores 952a a 952d (que son los símbolos pares e impares para los canales Ch_{16,0} y Ch_{16,1}) a una memoria temporal de símbolos 760 para su almacenamiento.

Para el símbolo desensanchado R_{8,1} para el canal Ch_{8,1}, los multiplexores 954a y 954B ofrecen símbolos pares acumulados para los canales Ch_{16,2} y Ch_{16,3} a los sumadores 952a y 952b, respectivamente, y los multiplexores 954c y 954d proporcionan símbolos acumulados impares para los canales Ch_{16,2} y Ch_{16,3} a los sumadores 952C y 952d, respectivamente. Cada sumador 952 o bien suma o resta el símbolo demodulado de un registro asociado 946 con el símbolo acumulado de un multiplexor asociado 954 y proporciona un símbolo combinado al registro 956. El registro 956 proporciona los cuatro símbolos combinados para los canales Ch_{16,2} y Ch_{16,3} a la memoria temporal de símbolos 760 para su almacenamiento.

El procesamiento para otros SF = 8 símbolos desensanchados para los grupos de canales 1, 2, y 3 procede de manera similar como para el grupo de canal 0. Cuando el selector de canales 730 proporciona símbolos desensanchados para SF = 8 canales Ch_{8,2}, Ch_{8,4} y Ch_{8,6}, la memoria temporal de símbolos 760 proporciona los símbolos pares e impares acumulados para los cuatro SF = 16 canales en los grupos 1, 2, y 3, respectivamente, a los multiplexores 954a a través de 954d. Para un número par de SF = 8 canales, los multiplexores 954a a 954d proporcionan los símbolos pares e impares acumulados para el primer par de SF = 16 canales del grupo. Para un canal SF = 8 impar, los multiplexores 954a a 954d proporcionan los símbolos pares e impares acumulados para el segundo par de SF = 16 canales del grupo.

Las Figuras 10a y 10b muestran el procesamiento por etapas de la unidad DDE 720 para el modo STTD. En el ciclo de reloj 0, los símbolos pares e impares acumulados por Ch_{16,0} a Ch_{16,3} se recuperan de memoria temporal de símbolos 760 y se almacenan en los registros 958a y 958b. También en el ciclo de reloj 0, el símbolo desensanchado R_{8,0} para el canal de Ch_{8,0} se multiplica con las estimaciones de canal P_0 y P_1 y los símbolos demodulados $D_{8,0}^1$ y $D_{8,0}^0$ se almacenan en los registros 946a y 946b. En el ciclo de reloj 1, los símbolos demodulados $D_{8,0}^1$ y $D_{8,0}^0$ de los registros 946a y 946b se combinan con los símbolos pares e impares acumulados por Ch_{16,0} y Ch_{16,1}, y los símbolos combinados se almacenan en el registro 956. También en el ciclo de reloj 1, el símbolo desensanchado R_{8,1} para el canal Ch_{8,1}, se multiplica con las estimaciones de canal P_0 y P_1 y los símbolos demodulados $D_{8,1}^0$ y $D_{8,1}^1$ se almacenan en los registros 946a y 946b.

En el ciclo de reloj 2, los símbolos demodulados $D_{8,1}^0$ y $D_{8,1}^1$ de los registros 946a y 946b se combinan con los símbolos pares e impares acumulados por Ch_{16,2} y Ch_{16,3}, y los símbolos combinados se almacenan en el registro 956. En el mismo ciclo de reloj, el símbolo desensanchado R_{8,2} para el canal de Ch_{8,2} se multiplica con las estimaciones de canal P_0 y P_1 y los símbolos demodulados $D_{8,2}^0$ y $D_{8,2}^1$ se almacenan en los registros 946a y 946b. También en el ciclo de reloj 2, los símbolos pares e impares acumulados por Ch_{16,4} a Ch_{16,7} se recuperan de memoria temporal de símbolos 760 y se almacenan en los registros 958a y 958b.

En ciclo de reloj 3, los símbolos combinados para Ch_{16,0} a Ch_{16,3} de los registros 956 se almacenan de nuevo en la memoria temporal de símbolos 760. En el mismo ciclo de reloj, los símbolos demodulados $D_{8,2}^0$ y $D_{8,2}^1$ de los registros 946a y 946b se combinan con los símbolos pares e impares acumulados por Ch_{16,4} y Ch_{16,5}, y los símbolos combinados se almacenan en el registro 956. También en el ciclo de reloj 3, el símbolo desensanchado R_{8,3} para el canal de Ch_{8,3} se multiplica con las estimaciones de canal P_0 y P_1 , y los símbolos demodulados $D_{8,3}^0$ y $D_{8,3}^1$ se almacenan en los registros 946a y 946b.

Como se muestra en la Figura 10A, el procesamiento para un símbolo desensanchado durante un SF = 8 canales se extiende por cuatro ciclos de reloj. El procesamiento para los símbolos desensanchados para los otros SF = 8 canales procede de manera similar. Las Figuras 10A y 10B también muestran una tasa de rendimiento de SF = 8 símbolos desensanchados por un periodo de reloj. La memoria temporal de símbolos 760 es accedida cada ciclo de reloj de número par para recuperar los símbolos acumulados para un grupo de cuatro SF = 16 canales, y es accedida en cada ciclo de reloj con números impares para almacenar símbolos combinados para un grupo de cuatro SF = 16 canales.

La Figura 11 muestra una realización de memoria temporal de símbolos 760 dentro de la unidad DDE 720. Con el fin de lograr una alta tasa de transferencia de datos necesaria para dar soporte a la demodulación de datos de un SF =

8 símbolo desensanchado por periodo de reloj, la memoria temporal de símbolos 760 se implementa con dos bancos de memoria 1110a y 1110b. El banco de memoria 1110a almacena los símbolos combinados para los ocho SF = 16 canales en los grupos 0 y 2. El banco de memoria 1110b almacena los símbolos combinados para los ocho SF = 16 canales en los grupos 1 y 3. Cada banco de memoria 1110 almacena una ranura de símbolos combinados para los ocho SF = 16 canales. Ya que una ranura incluye 160 símbolos para SF = 16 en W-CDMA, cada banco de memoria 1110 almacena 1.280 símbolos (i, e., 1280 = 160 x 8) para ocho SF = 16 canales.

Cada uno puede almacenar la ubicación de direcciones de dos símbolos consecutivos combinados para cuatro SF = 16 canales. Con la arquitectura de memoria que se muestra en la Figura 11, los símbolos pares e impares para un grupo de cuatro SF = 16 canales pueden ser recuperados de una ubicación de memoria en un banco de memoria en un ciclo de reloj. Los símbolos combinados para otro grupo de cuatro SF = 16 canales se pueden escribir en una ubicación en el otro banco de memoria en el próximo ciclo de reloj. Los bancos de memoria 1110a y 1110b son accedidos por lo tanto en ciclos de reloj alternos.

Ambos bancos de memoria 1110a y 1110b se vacían en el inicio de cada ranura para establecer todos los símbolos acumulados a cero. De esta manera, la acumulación se puede realizar correctamente cuando el primero de símbolos desensanchados para cada símbolo de datos recuperado llega. Los símbolos de datos recuperados en los bancos de memoria pueden ser procesados por el procesador de datos RX 162 tan pronto como la se completa combinación.

Haciendo de nuevo referencia a la Figura 10B, después de que se procesan de los ocho símbolos desensanchados para los ocho SF = 8 canales $Ch_{8,0}$ a $Ch_{8,7}$ para periodo de símbolo $2n$, el mismo procesamiento se repite para los símbolos desensanchados para estos SF = 8 canales para el próximo período de símbolo $2n+1$, comenzando en el lado derecho de la línea continua gruesa 1010 en la Figura 10B.

Como se muestra en las ecuaciones (6) a (9), cuatro símbolos demodulados para cuatro periodos de símbolo consecutivos $2n$ a $2n+3$ para el SF = 8 canal $Ch_{8,i}$ se combinan para obtener cuatro símbolos de datos recuperados de dos SF = 16 canales $Ch_{16,2i}$ y $Ch_{16,2i+1}$.

La Tabla 1 enumera (1) los símbolos desensanchados proporcionados por los multiplexores 940a y 940b y las estimaciones de canal proporcionadas por los multiplexores 944a y 944b a los multiplicadores 942 y 942b y (2) la operación (o bien adición o sustracción) realizada por cada uno de los sumadores 952a a 952d para cada periodo de símbolo. Los controles para los multiplexores 940a y 940b, 944a y 944b, y 954a a 954d son proporcionados por el controlador DDE 762.

Tabla 1

Unidad de Procesamiento	Período de símbolo/símbolo desensanchado			
	2n	2n + 1	2n + 2	2n + 3
Multiplexador 940a	$R_{8,i,2n}$	$R_{8,i,2n+1}$	$R_{8,i,2n+2}$	$R_{8,i,2n+3}$
Multiplexador 940b	$R_{8,i,2n}$	$R_{8,i,2n+1}$	$R_{8,i,2n+2}$	$R_{8,i,2n+3}$
Multiplexador 944a	P_0	P_0	P_1	P_1
Multiplexador 944b	P_1	P_1	P_0	P_0
Sumador 952a	+	+	+	+
Sumador 952b	+	-	+	-
Sumador 952c	-	-	+	+
Sumador 952d	-	+	+	-

El demodulador 160c también puede realizar demodulación de datos para el modo no-STTD. En este caso, las unidades de procesamiento dentro del combinador de símbolos 750 están configuradas para implementar el conjunto de ecuaciones (5) para el modo no-STTD. Un símbolo desensanchado $R_{8,i}$ para un canal SF = 8 $Ch_{8,i}$ se multiplica con un solo canal de estimación P para una antena para generar un símbolo demodulado. Dos símbolos demodulados para dos períodos de símbolos se combinan (suman y restan) para obtener dos símbolos de datos recuperados de dos SF = 16 canales $Ch_{16,2i}$ y $Ch_{16,2i+1}$, tal y como se muestra en el conjunto de ecuaciones (5).

Para la realización mostrada en las Figuras 7 a 11, el demodulador 160c realiza demodulación de datos en símbolos desensanchados para los SF = 8 canales para obtener símbolos de datos recuperados para los SF = 16 canales. El demodulador 160c combina dos símbolos desensanchados consecutivos para un SF = 4 canal $Ch_{4,i}$ para obtener dos símbolos desensanchados para dos SF = 8 canales $Ch_{8,2i}$ y $Ch_{8,2i+1}$. El demodulador 160c multiplica el canal de símbolos desensanchados para $Ch_{8,2i}$ con las estimaciones de canal y combina los símbolos demodulados con los símbolos acumulados para dos SF = 16 canales $Ch_{16,4i}$ y $Ch_{16,4i+1}$. El demodulador 160c también multiplica el símbolo desensanchado para el canal $Ch_{8,2i+1}$ con las estimaciones de canal y combina los símbolos demodulados con los símbolos acumulados para dos SF = 16 canales $Ch_{16,4i+2}$ y $Ch_{16,4i+3}$. El demodulador almacena los símbolos combinados para los cuatro SF = 16 canales $Ch_{16,4i}$ a $Ch_{16,4i+3}$ de nuevo en la memoria temporal de símbolos.

En una realización alternativa, un demodulador puede realizar demodulación de datos en símbolos desensanchados para $SF = 4$ canales para obtener símbolos de datos recuperados para $SF = 16$ canales. Para esta realización, el demodulador puede multiplicar un símbolo desensanchado para un canal $SF = 4$ $Ch_{4,i}$ con las estimaciones de canal, combine los símbolos demodulados con símbolos acumulados de cuatro $SF = 16$ canales $Ch_{16,4i}$ a $Ch_{16,4i+3}$ y almacenar símbolos combinados para estos cuatro $SF = 16$ canales de nuevo en la memoria temporal de símbolos.

En general, un demodulador puede realizar demodulación de datos en símbolos desensanchados para los canales $SF = L$ para obtener símbolos de datos recuperados para $SF = H \cdot L$ canales, donde $M > 1$. Menos cálculo y menos accesos a memoria pueden ser requeridos cuando $M = 2$. Por ejemplo, la demodulación de datos en $SF = 8$ símbolos desensanchados requiere menos cálculo y menos accesos a memoria de demodulación de datos en $SF = 4$ símbolos desensanchados.

La Figura 12 muestra un diagrama de flujo de un proceso 1200 para realizar demodulación de datos sobre los símbolos parcialmente desensanchados. Las muestras de entrada se desensanchan para obtener símbolos desensanchados para un primer canal de código con un primer factor de ensanchado L (por ejemplo, $SF = L = 8$) (etapa 1212). Los símbolos desensanchados se multiplican con estimaciones de canal para obtener símbolos demodulados (etapa 1214). Los grupos de símbolos demodulados para diferentes periodos de símbolo se combinan entonces para obtener símbolos de datos recuperados para un segundo canal de código con un segundo factor de ensanchado $M \cdot L$ que es un múltiplo entero del primer factor de ensanchado (por ejemplo, $SF = H \cdot L = 16$, y $M = 2$) (etapa 1216). Para los códigos ortogonales estructurados, tales como los códigos OVFSF, los símbolos desensanchados para un primer canal de código pueden utilizarse para obtener símbolos de datos recuperados para M segundos canales de código.

La compensación de canal y la combinación de símbolos dependen de si se utiliza el modo no STTD o el STTD. Para el modo no STTD, cada símbolo desensanchado se multiplica con una estimación de canal para una antena para obtener un símbolo demodulado. M símbolos demodulados para M periodos de símbolo se combinan para obtener un símbolo de datos recuperado para el segundo canal de código. Para el modo STTD, cada uno de los símbolos desensanchados se multiplica por dos estimaciones de canal para dos antenas para obtener dos símbolos demodulados. $2 \cdot M$ símbolos demodulados para $2 \cdot M$ periodos de símbolo se combinan para obtener un símbolo de datos recuperado para los segundos M canales de código.

El desensanchado en la etapa 1212, la compensación de canal en la etapa 1214, y la combinación de símbolos en la etapa 1216 puede llevarse a cabo por múltiples primeros canales de código. La compensación de canal y la combinación de símbolos se pueden realizar de forma TDM y de manera segmentada para reducir la complejidad del hardware.

La señal transmitida por la estación base 110 puede alcanzar el terminal 150 a través de múltiples trayectorias de señal. La señal recibida en el terminal puede por lo tanto incluir un número de componentes de múltiples trayectorias, uno de los componentes de múltiples trayectorias para cada trayectoria de la señal. Un receptor de barrido se utiliza a menudo para procesar una pluralidad de componentes de trayectorias múltiples en la señal recibida. El receptor rake suele incluir uno o más elementos de búsqueda (o simplemente "buscadores") que buscan los componentes multi-trayectoria fuertes en la señal recibida. Los buscadores proporcionan sincronización y la potencia de cada componente multi-trayectoria encontrada en la señal recibida. Cada componente de trayectorias múltiples de interés (por ejemplo, de resistencia suficiente) se procesa para obtener símbolos de datos recuperados de ese componente multi-trayectoria. Los símbolos de datos recuperados para todos los componentes multi-trayectoria de interés se combinan para obtener símbolos de datos recuperados definitivos, que luego son procesados (por ejemplo, desentrelazados y decodificados) para recuperar los datos transmitidos.

El demodulador 160c puede ser operado para procesar cualquier número de componentes de trayectorias múltiples de interés. Dentro de la unidad receptora 154, las muestras recibidas se almacenan en una memoria temporal de muestras para que puedan ser recuperadas y procesadas varias veces para diferentes componentes multi-trayectoria. Para cada componente multi-trayectoria para ser procesado, un segmento adecuado de muestras recibidas se recupera de la memoria temporal de muestras (por ejemplo, basado en el tiempo de la componente multi-trayectoria) y se procesa para obtener símbolos desensanchados que están alineados en el límite del símbolo. Cada símbolo desensanchado se multiplica con la estimación de canal, y el símbolo demodulado se combina con los símbolos acumulados adecuados de la memoria temporal de símbolos 760. El controlador DDE 762 recibe información de temporización para el componente multi-trayectoria que se está procesando y determina los símbolos acumulados adecuados a recuperar de la memoria temporal de símbolos 760 para combinarlos. La memoria temporal de símbolos 760 también funciona como una memoria temporal "de desesgo" para alinear en el tiempo los símbolos para los diferentes componentes de trayectos múltiples para combinarlos.

Para una mayor claridad, las técnicas para realizar la demodulación de datos sobre los símbolos parcialmente desensanchados se han descrito específicamente para los HS-PDSCH utilizados para HSDPA en W-CDMA. Estas técnicas se pueden usar para otros sistemas y estándares CDMA. Por ejemplo, estas técnicas pueden utilizarse para 1xEV-DV (Evolución 1x, de datos y de voz), que es un estándar que es bien conocido en la técnica. Las

técnicas descritas en el presente documento se pueden usar con y sin diversidad de transmisión (por ejemplo, STTD). Las técnicas descritas en el presente documento también pueden ser utilizadas para el enlace ascendente, así como el enlace descendente.

- 5 Las técnicas descritas en el presente documento pueden implementarse por diversos medios. Por ejemplo, estas técnicas pueden implementarse en hardware, software, o una combinación de los mismos. Para una implementación hardware, las unidades de procesamiento utilizadas para realizar la demodulación de datos sobre los símbolos parcialmente desensanchados pueden ser implementadas dentro de uno o más circuitos integrados específicos de aplicación (ASIC), procesadores de señales digitales (DSP), dispositivos de procesamiento de señales digitales (DSPD), dispositivos lógicos programables (PLD), matrices de puertas programables (FPGA), procesadores, controladores, micro-controladores, microprocesadores, otras unidades electrónicas diseñadas para realizar las funciones descritas en el presente documento, o una combinación de los mismos. Las técnicas también pueden implementarse en uno o más circuitos integrados.
- 10
- 15 Para una implementación software, las técnicas descritas en el presente documento pueden implementarse con módulos (por ejemplo, procedimientos, funciones, y así sucesivamente) que realizan las funciones descritas en el presente documento. Los códigos software pueden almacenarse en una unidad de memoria (por ejemplo, unidad de memoria 142 ó 172 en la Figura 1) y ser ejecutadas por un procesador (por ejemplo, el controlador 140 ó 170). La unidad de memoria puede implementarse dentro del procesador o externa al procesador, en cuyo caso puede acoplarse comunicativamente al procesador a través de diversos medios, tal y como se conoce en la técnica.
- 20

REIVINDICACIONES

1. Un aparato para llevar a cabo demodulación de datos, que comprende:
- 5 medios para desensanchar muestras de entrada y proporcionar símbolos desensanchados para una pluralidad de primeros canales de código con un primer factor de ensanchado;
- medios para multiplicar cada uno de los símbolos desensanchados para cada uno de la pluralidad de
10 primeros canales de código con estimaciones de canal para dos antenas transmisoras para obtener dos símbolos demodulados para el primer canal de código
- caracterizado por**
- 15 medios para combinar grupos de símbolos demodulados para cada uno de la pluralidad de primeros canales de código con símbolos demodulados actuales para obtener símbolos de datos recuperados para un conjunto de segundos canales de código con un segundo factor de ensanchado y correspondientes al primer canal de código, siendo el segundo factor de ensanchado dos veces el primer factor de ensanchado y los medios para combinar siendo operativos para combinar grupos de cuatro símbolos demodulados para cuatro periodos de símbolo de los primeros canales de código en base a diversidad de transmisión en espacio_tiempo para
20 obtener los símbolos de datos recuperados.
2. El aparato de la reivindicación 1, donde los medios para multiplicar y los medios para combinar se hacen funcionar por etapas.
- 25 3. El aparato de la reivindicación 1, que comprende además:
un selector de canal operativo para recibir los símbolos desensanchados para la pluralidad de primeros canales de código y proporcionar un símbolo desensanchado por un primer canal de código cada vez a la unidad de compensación de canal.
- 30 4. El aparato de cualquiera de las reivindicaciones 1 a 3, en el que
los medios para desensanchar se llevan a cabo por una unidad de desensanchado,
los medios para la multiplicación se llevan a cabo por una unidad de compensación de canal y
los medios para combinar se llevan a cabo por un combinador de símbolos.
- 35 5. Un procedimiento para realizar demodulación de datos, que comprende:
desensanchar muestras de entrada para proporcionar símbolos desensanchados para una pluralidad de
40 primeros canales de código con un primer factor de ensanchado;
multiplicar cada uno de los símbolos desensanchados para cada uno de la pluralidad de primeros canales de código con estimaciones de canal para dos antenas transmisoras para obtener dos símbolos demodulados para el primer canal de código
- caracterizado por
- 45 combinar los grupos de símbolos demodulados para cada uno de la pluralidad de primeros canales de código con símbolos demodulados actuales para obtener símbolos de datos recuperados para un conjunto de segundos canales de código con un segundo factor de ensanchado y correspondientes al primer canal de código, siendo el segundo factor de ensanchado dos veces el primer factor de ensanchado y la etapa de combinar comprende combinar grupos de cuatro símbolos demodulados para cuatro periodos de símbolo de los primeros canales de código en base a la diversidad de transmisión en espacio_tiempo para obtener los
50 símbolos de datos recuperados.
6. Un medio legible por procesador para almacenar instrucciones operables en un dispositivo inalámbrico para llevar a cabo un procedimiento de acuerdo con la reivindicación 5.

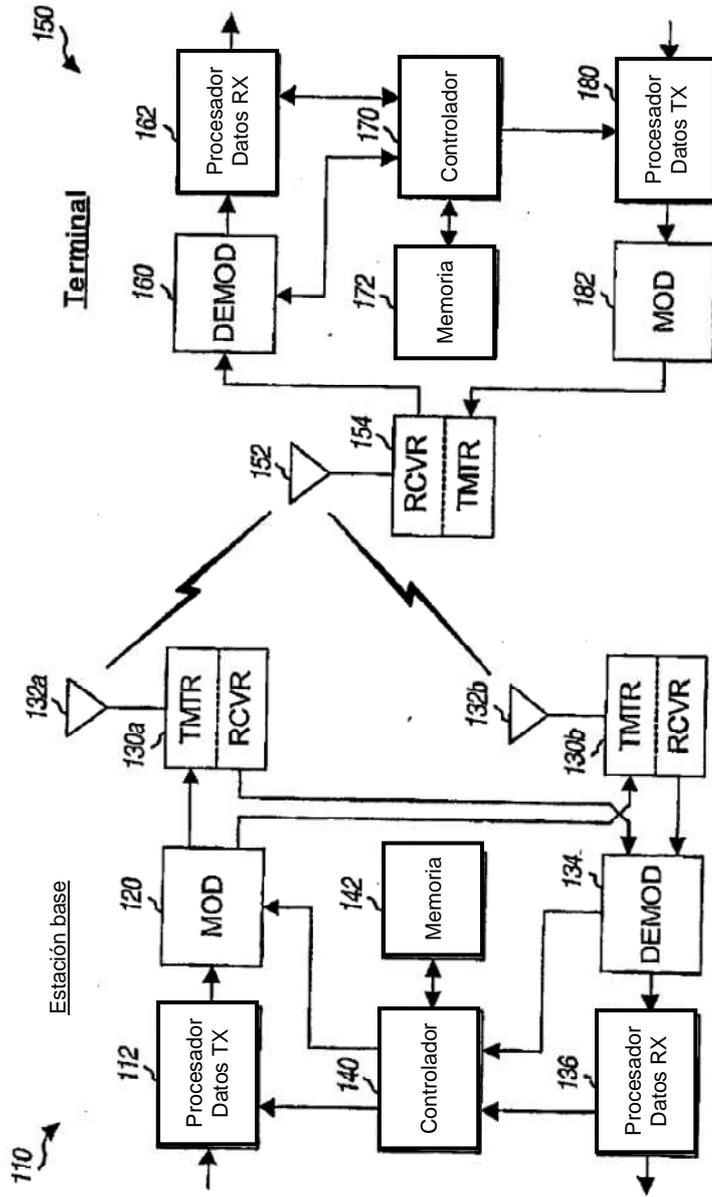


FIG.1

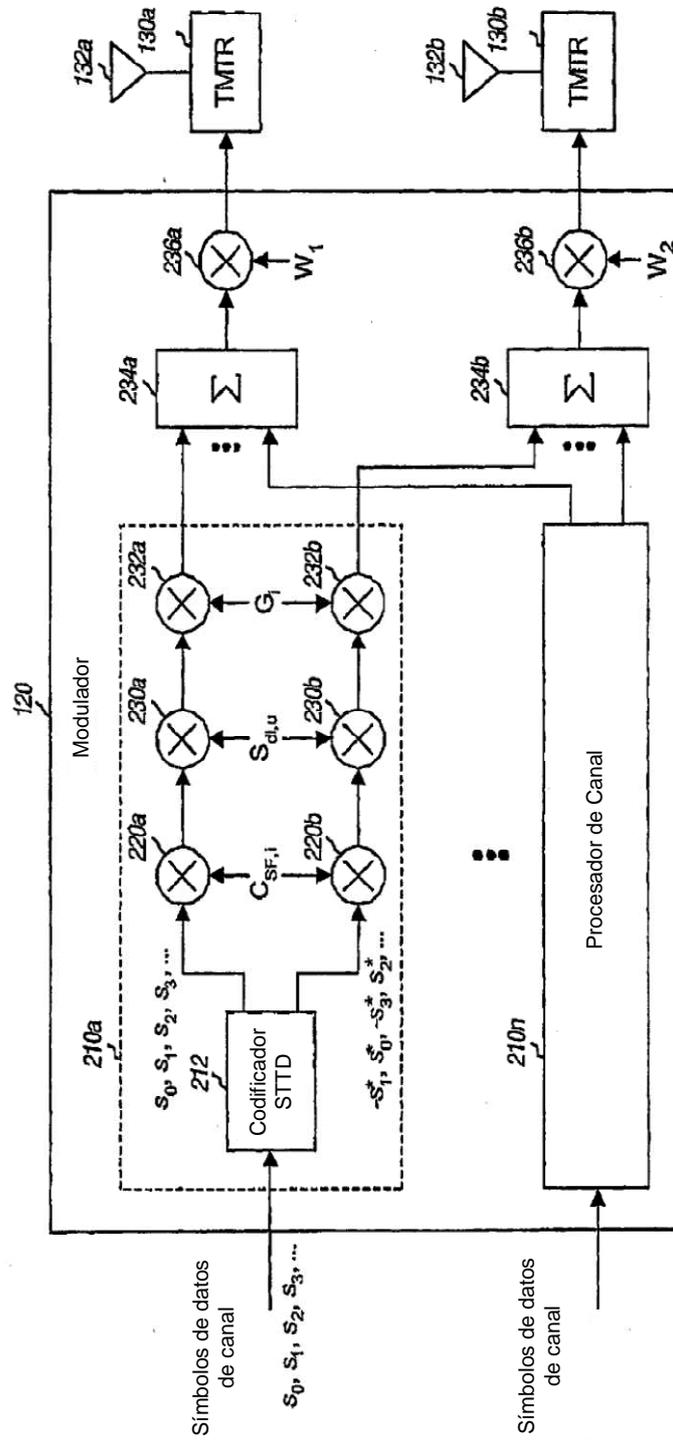


FIG. 2

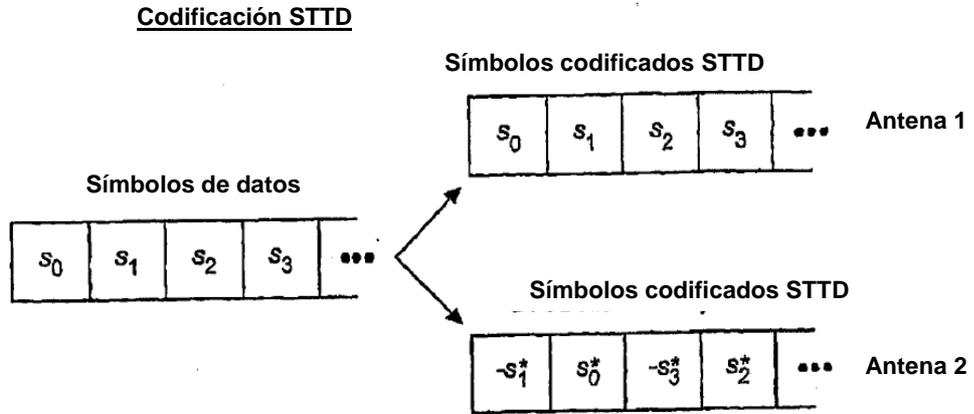


FIG.3

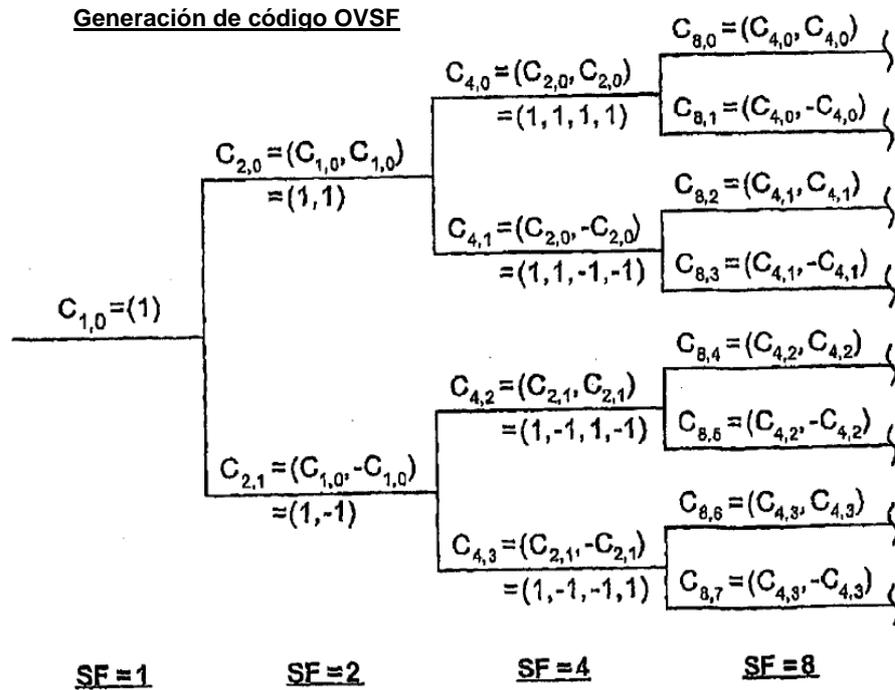


FIG.4

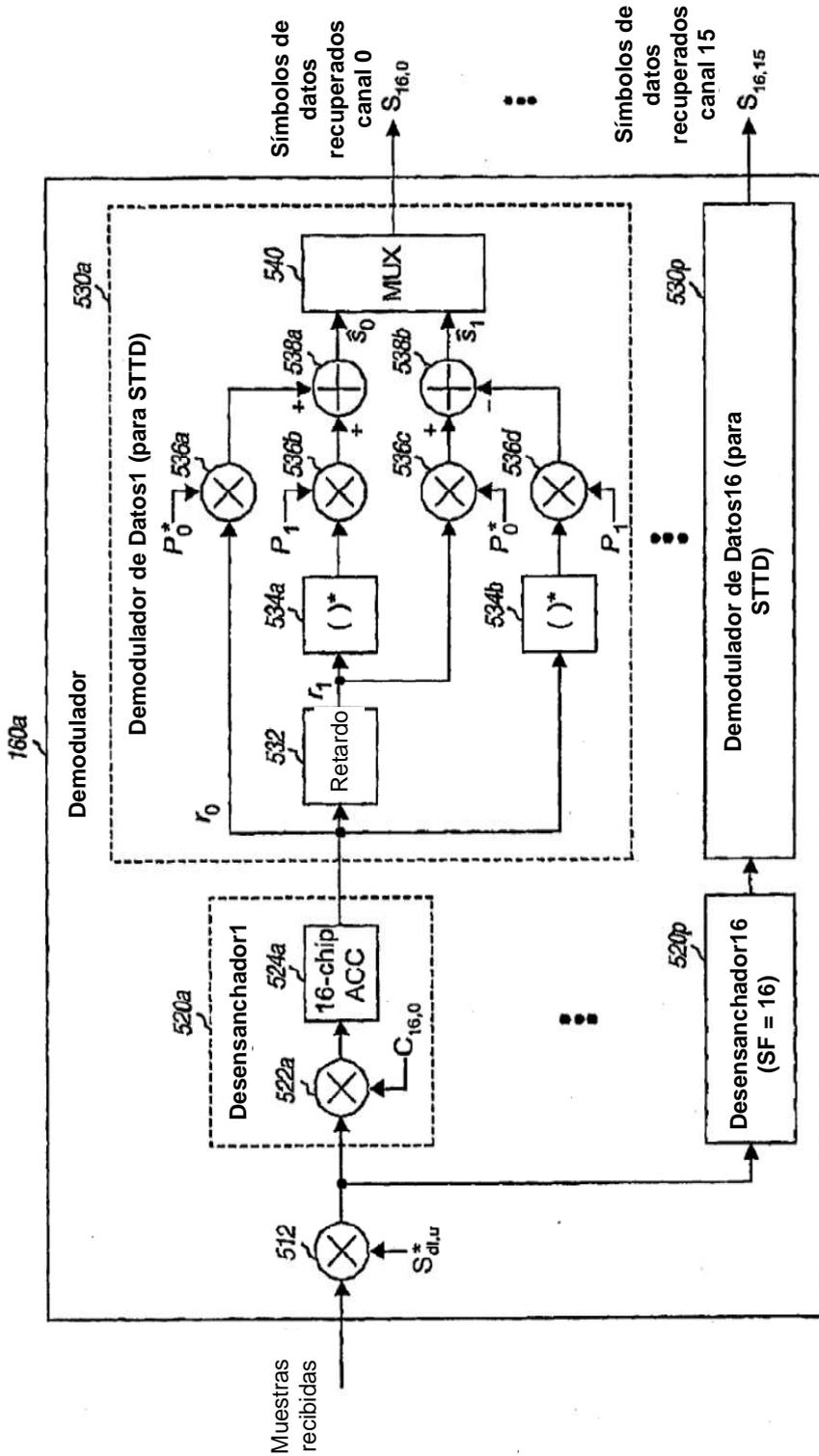


FIG.5

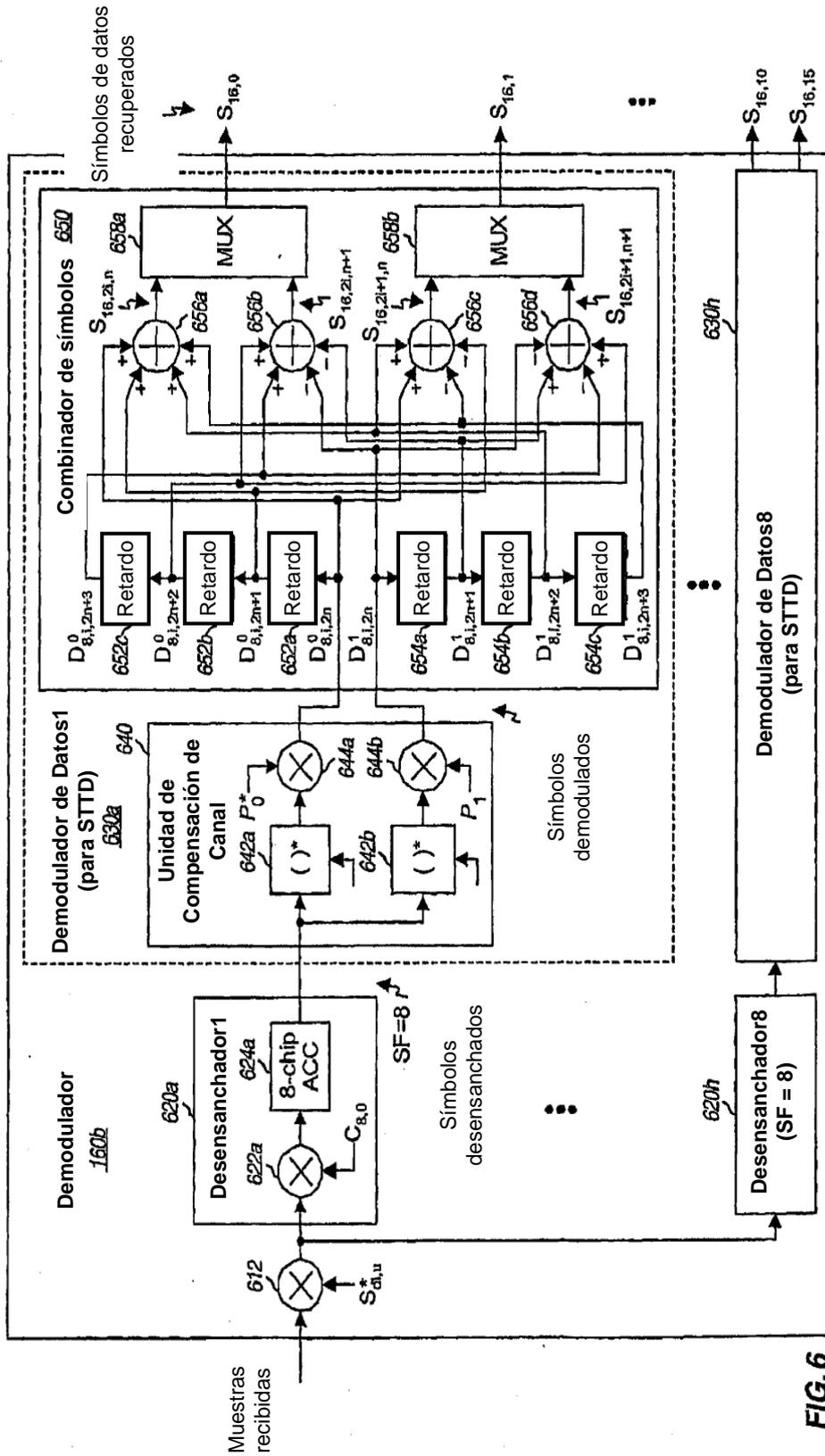


FIG. 6

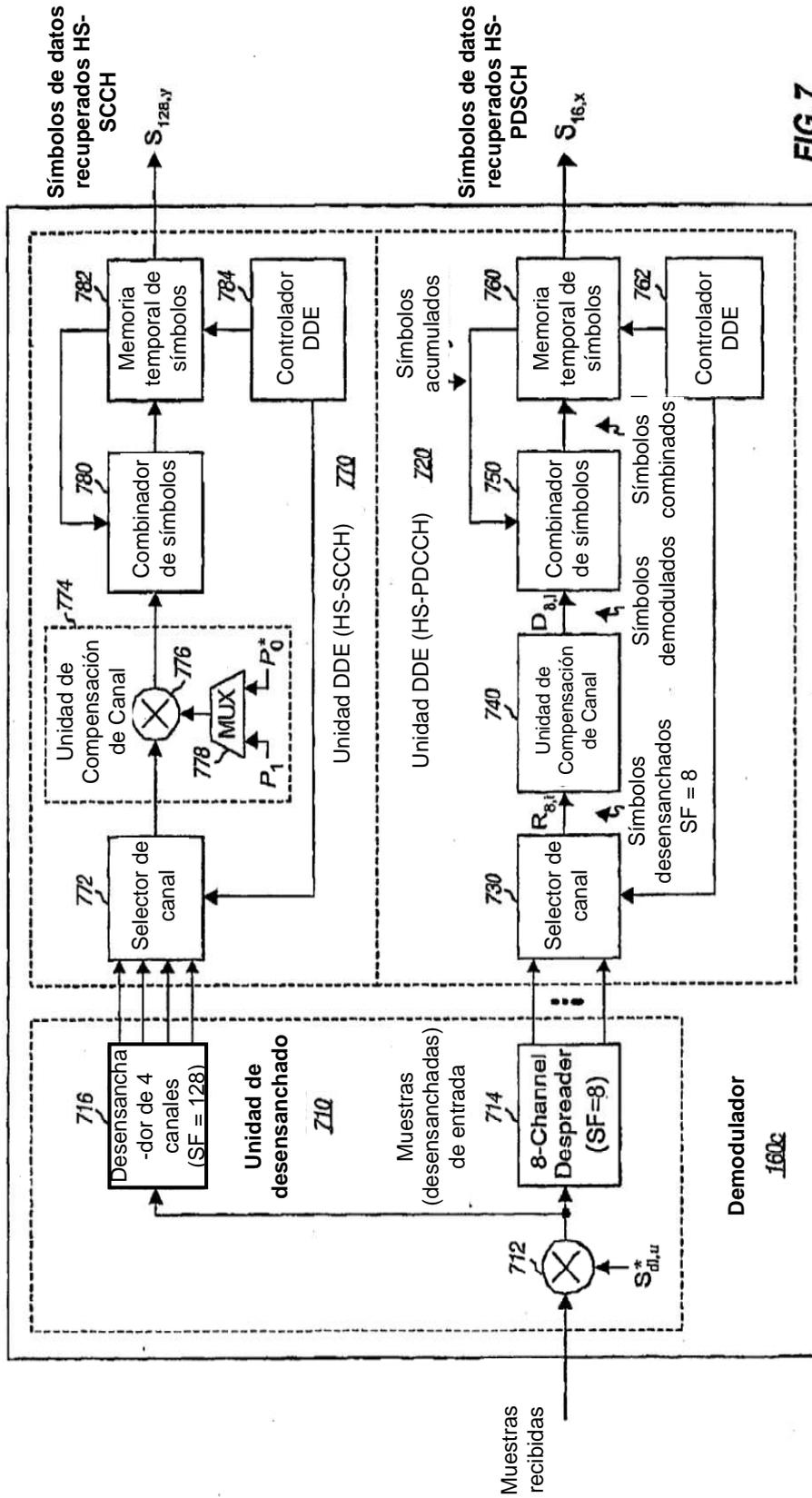


FIG.7

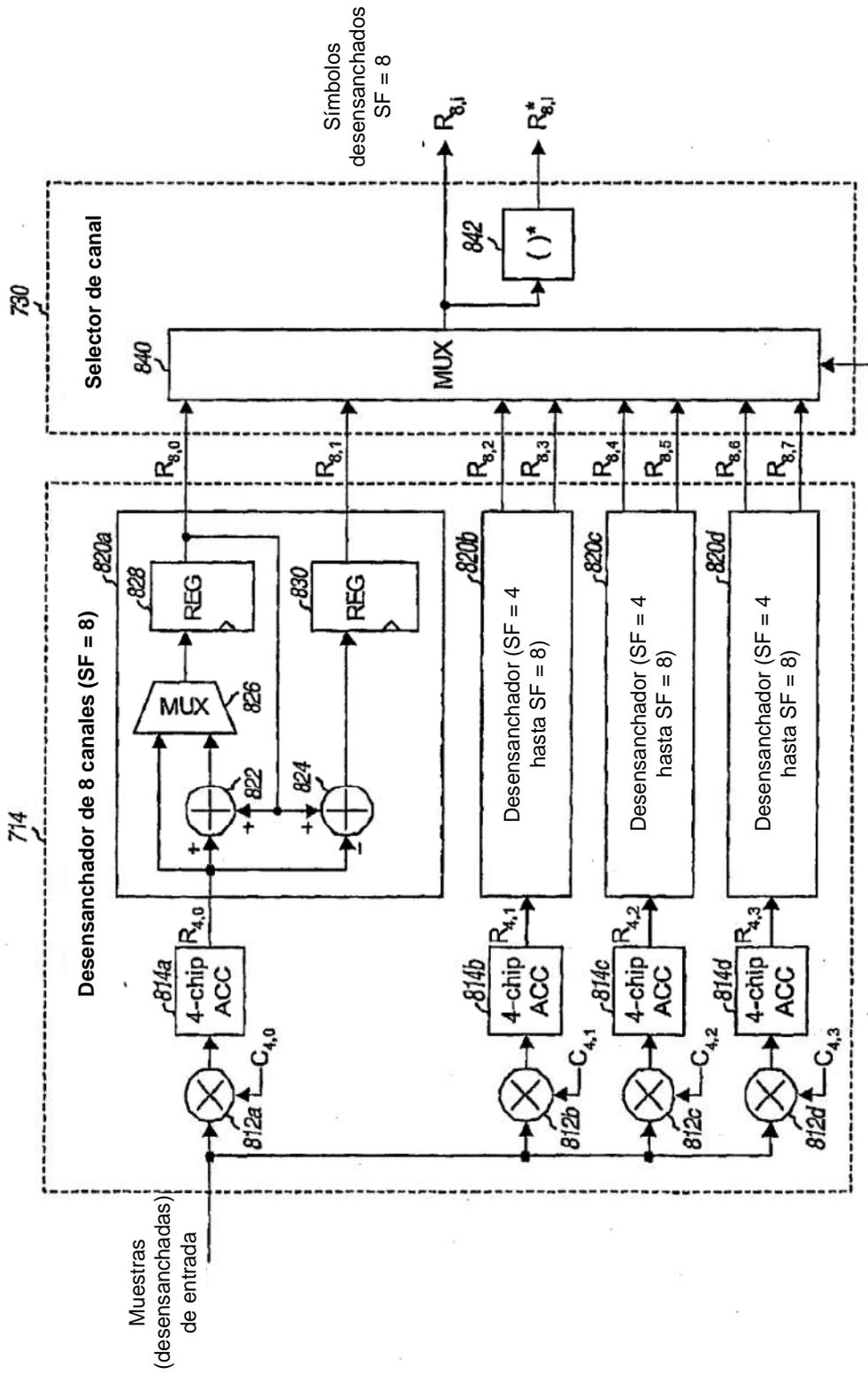


FIG. 8

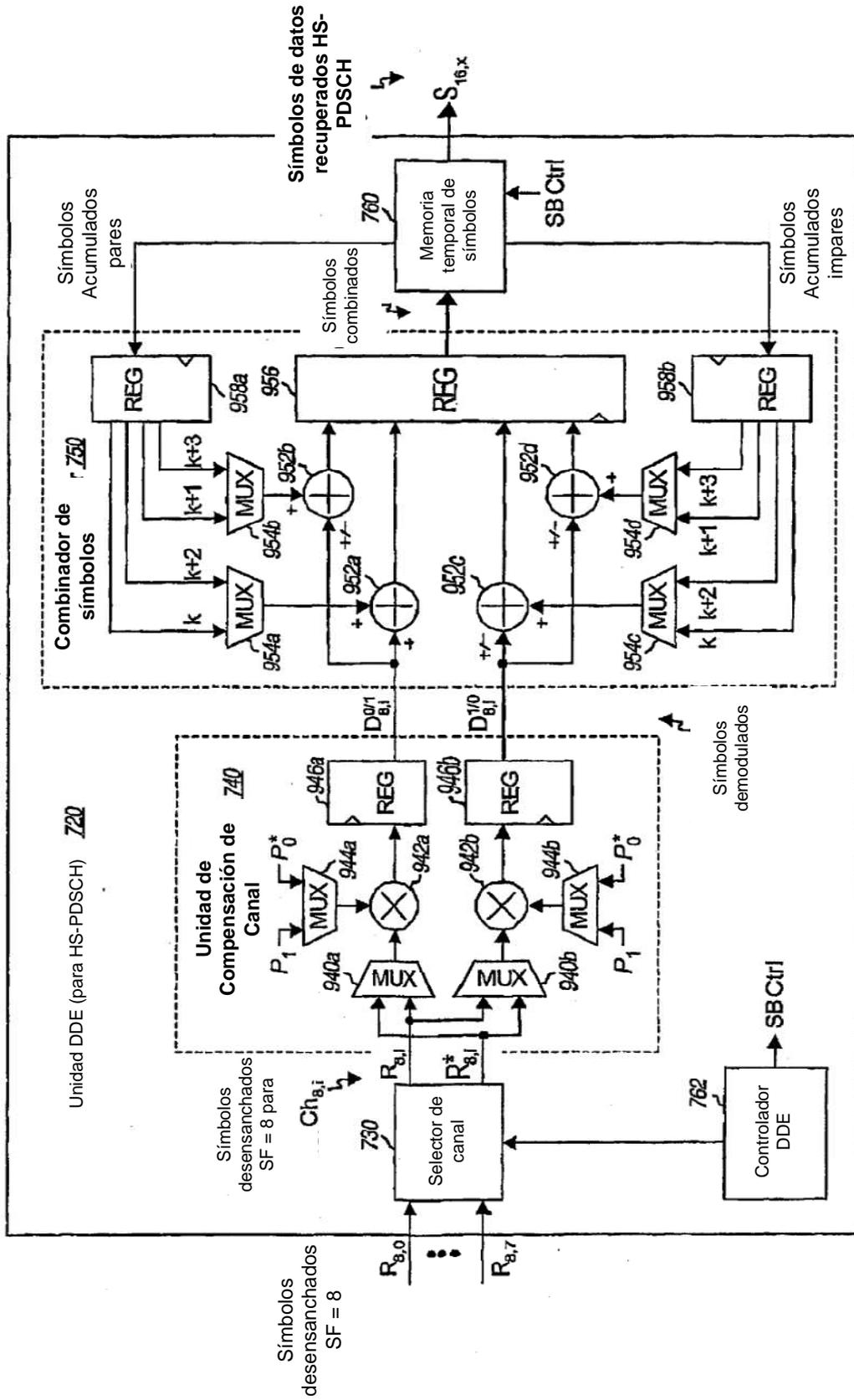


FIG. 9

Período de símbolos $2n$		Período de símbolos $2n+1$	
Recuperar símbolos pares e impares para $Ch_{16,12}$, $Ch_{16,13}$, $Ch_{16,14}$ and $Ch_{16,15}$ de la memoria temporal de símbolos	Recuperar símbolos pares e impares para $Ch_{16,0}$, $Ch_{16,1}$, $Ch_{16,2}$ and $Ch_{16,3}$ de la memoria temporal de símbolos	Recuperar símbolos pares e impares para $Ch_{16,4}$, $Ch_{16,5}$, $Ch_{16,6}$ and $Ch_{16,7}$ de la memoria temporal de símbolos	Recuperar símbolos pares e impares para $Ch_{16,8}$, $Ch_{16,9}$, $Ch_{16,10}$, $Ch_{16,11}$ de la memoria temporal de símbolos
Multiplicar símbolo para $Ch_{8,6}$, por P_0 y P_1 y proporcionar los símbolos $D_{8,6}^0$ y $D_{8,6}^1$	Multiplicar símbolo para $Ch_{8,0}$, por P_0 y P_1 y proporcionar los símbolos $D_{8,0}^0$ y $D_{8,0}^1$	Multiplicar símbolo para $Ch_{8,2}$, por P_0 y P_1 y proporcionar los símbolos $D_{8,2}^0$ y $D_{8,2}^1$	Multiplicar símbolo para $Ch_{8,8}$, por P_0 y P_1 y proporcionar los símbolos $D_{8,8}^0$ y $D_{8,8}^1$
Combinar los símbolos $D_{8,6}^0$ y $D_{8,6}^1$ con símbolos pares e impares para $Ch_{16,12}$ y $Ch_{16,13}$	Combinar los símbolos $D_{8,0}^0$ y $D_{8,0}^1$ con símbolos pares e impares para $Ch_{16,14}$ y $Ch_{16,15}$	Combinar los símbolos $D_{8,2}^0$ y $D_{8,2}^1$ con símbolos pares e impares para $Ch_{16,2}$ y $Ch_{16,3}$	Combinar los símbolos $D_{8,8}^0$ y $D_{8,8}^1$ con símbolos pares e impares para $Ch_{16,4}$ y $Ch_{16,5}$
Almacenar símbolos combinados los para $Ch_{16,8}$, $Ch_{16,9}$, $Ch_{16,10}$ y $Ch_{16,11}$ de nuevo en la memoria temporal de símbolos	Almacenar símbolos combinados los para $Ch_{16,12}$, $Ch_{16,13}$, $Ch_{16,16}$ y $Ch_{16,15}$ de nuevo en la memoria temporal de símbolos	Almacenar símbolos combinados los para $Ch_{16,0}$, $Ch_{16,1}$, $Ch_{16,2}$ y $Ch_{16,3}$ de nuevo en la memoria temporal de símbolos	Almacenar símbolos combinados los para $Ch_{16,8}$, $Ch_{16,9}$, $Ch_{16,10}$ y $Ch_{16,11}$ de nuevo en la memoria temporal de símbolos
Ciclo 6	Ciclo 7	Ciclo 0	Ciclo 1
Ciclo 2	Ciclo 3	Ciclo 4	Ciclo 5

De la FIG. 10A



FIG. 10B

760

Banco de Memoria 1 (SF = 16 Canales 0, 1, 2, 3, 8, 9, 10, 11) 1110a

0	$S_{16,0,0}$	$S_{16,0,1}$	$S_{16,1,0}$	$S_{16,1,1}$	$S_{16,2,0}$	$S_{16,2,1}$	$S_{16,3,0}$	$S_{16,3,1}$
1	$S_{16,0,2}$	$S_{16,0,3}$	$S_{16,1,2}$	$S_{16,1,3}$	$S_{16,2,2}$	$S_{16,2,3}$	$S_{16,3,2}$	$S_{16,3,3}$
	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
79	$S_{16,0,158}$	$S_{16,0,159}$	$S_{16,1,158}$	$S_{16,1,159}$	$S_{16,2,158}$	$S_{16,2,159}$	$S_{16,3,158}$	$S_{16,3,159}$
80	$S_{16,8,0}$	$S_{16,8,1}$	$S_{16,9,0}$	$S_{16,9,1}$	$S_{16,10,0}$	$S_{16,10,1}$	$S_{16,11,0}$	$S_{16,11,1}$
	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
159	$S_{16,8,158}$	$S_{16,8,159}$	$S_{16,9,158}$	$S_{16,9,159}$	$S_{16,10,158}$	$S_{16,10,159}$	$S_{16,11,158}$	$S_{16,11,159}$

Banco de Memoria 2 (SF = 16 Canales 4, 5, 6, 7, 12, 13, 14, 15) 1110a

0	$S_{16,4,0}$	$S_{16,4,1}$	$S_{16,5,0}$	$S_{16,5,1}$	$S_{16,6,0}$	$S_{16,6,1}$	$S_{16,7,0}$	$S_{16,7,1}$
1	$S_{16,4,2}$	$S_{16,4,3}$	$S_{16,5,2}$	$S_{16,5,3}$	$S_{16,6,2}$	$S_{16,6,3}$	$S_{16,7,2}$	$S_{16,7,3}$
	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
79	$S_{16,4,158}$	$S_{16,4,159}$	$S_{16,5,158}$	$S_{16,5,159}$	$S_{16,6,158}$	$S_{16,6,159}$	$S_{16,7,158}$	$S_{16,7,159}$
80	$S_{16,12,0}$	$S_{16,12,1}$	$S_{16,13,0}$	$S_{16,13,1}$	$S_{16,14,0}$	$S_{16,14,1}$	$S_{16,15,0}$	$S_{16,15,1}$
	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
159	$S_{16,12,158}$	$S_{16,12,159}$	$S_{16,13,158}$	$S_{16,13,159}$	$S_{16,14,158}$	$S_{16,14,159}$	$S_{16,15,158}$	$S_{16,15,159}$

FIG. 11

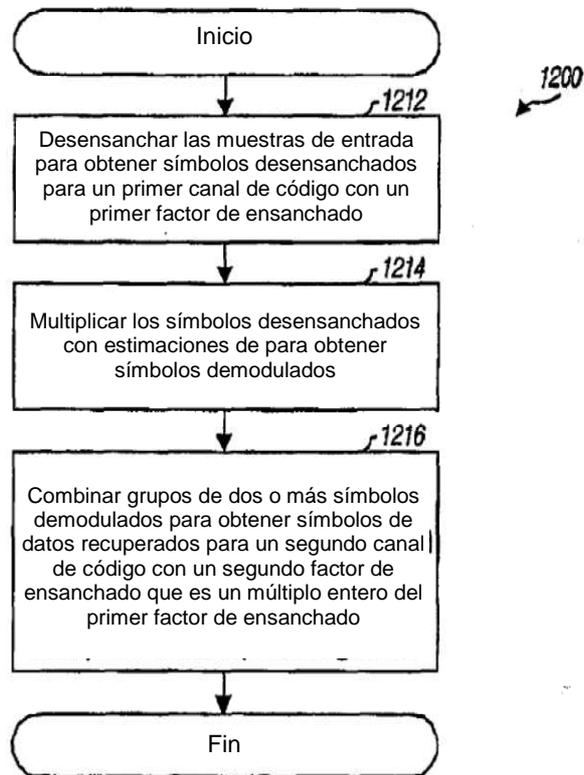


FIG. 12