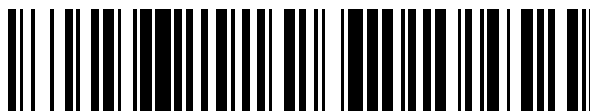


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 449 769**

51 Int. Cl.:

G11C 7/10 (2006.01)

G11C 11/34 (2006.01)

H03M 9/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **10.12.2007** **E 07855504 (2)**

97 Fecha y número de publicación de la concesión europea: **19.02.2014** **EP 2126915**

54 Título: **Sistema de memoria y método con modos en serie y en paralelo**

30 Prioridad:

12.12.2006 US 637175

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
21.03.2014

73 Titular/es:

**MOSAID TECHNOLOGIES INCORPORATED
(100.0%)
11 HINES ROAD, SUITE 203
OTTAWA, ON K2K 2X1, CA**

72 Inventor/es:

**PYEON, HONG BEOM;
OH, HAKJUNE y
KIM, JIN-KI**

74 Agente/Representante:

CARVAJAL Y URQUIJO, Isabel

ES 2 449 769 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema de memoria y método con modos en serie y en paralelo

CAMPO DE LA INVENCION

La presente invención se refiere a sistemas de memoria en paralelo y a sistemas de memoria en serie.

5 ANTECEDENTES DE LA INVENCION

- El documento US 2006/0123164 A1 da a conocer un dispositivo de memoria que incluye una sección de conversión de serie a paralelo que convierte datos en serie a datos en paralelo, una sección de conversión de paralelo a serie que convierte datos en paralelo a datos en serie, y una sección de conversión de paralelo a paralelo que cambia la anchura de bits de los datos en paralelo. El dispositivo de memoria conecta un terminal externo a la sección de conversión de serie a paralelo, y otro terminal externo a la sección de conversión de paralelo a serie, cuando se lleva a cabo un acceso utilizando una interfaz en serie. Por otra parte, el dispositivo de memoria conecta una serie de terminales externos a la sección de conversión de paralelo a paralelo cuando se realiza un acceso utilizando una interfaz en paralelo, permitiendo por lo tanto al dispositivo de memoria realizar ocasionalmente transferencia de datos en paralelo mientras utiliza un paquete convencional.
- 10 El documento US 2002/0101778 A1 se refiere a un circuito integrado que almacena múltiples bits por celda de memoria. La cantidad de carga almacenada en una celda de memoria corresponde a los múltiples bits en una celda de memoria. Bancos dobles de registros de desplazamiento acoplados alternativamente a uno o varios contactos de datos y a las celdas de memoria de la matriz de memoria aceleran la transferencia de datos para funcionamiento de lectura y escritura. La lectura se realiza en el modo de tensión para ahorrar energía. Durante las operaciones de escritura, la lectura de una celda de memoria se lleva a cabo en el modo de tensión para determinar si se ha conseguido la programación deseada en la celda de memoria. Durante la lectura de una celda de memoria, la tensión correspondiente a la cantidad de carga almacenada en una celda de memoria se compara con una secuencia de búsqueda binaria de tensiones de referencia, para determinar los múltiples bits almacenados en la celda de memoria.
- 15 El documento WO 2004/111856 A1 describe un sistema de memoria en el que la organización del núcleo de la memoria cambia con la anchura del dispositivo. El número de bancos físicos accedidos se reduce con la anchura del dispositivo, lo que tiene como resultado una utilización reducida de energía para configuraciones de memoria relativamente estrechas. Aumentar el número de bancos de memoria lógicos para anchuras de memoria estrechas reduce la probabilidad de conflictos de bancos, y por consiguiente mejora el comportamiento en velocidad.
- 20 Los actuales dispositivos de electrónica de consumo utilizan dispositivos de memoria. Por ejemplo, los dispositivos electrónicos móviles tales como cámaras digitales, asistentes digitales personales, reproductores de audio/video portátiles y terminales móviles siguen requiriendo memoria de almacenamiento masivo, preferentemente memoria no volátil con capacidades y prestaciones de velocidad cada vez mayores. Se prefieren unidades de disco duro y memoria no volátil dado que los datos se mantienen en ausencia de alimentación, extendiendo de ese modo la vida de la batería.
- 25 Si bien los dispositivos de memoria existentes funcionan a velocidades suficientes para muchos de los actuales dispositivos de electrónica de consumo, dichos dispositivos de memoria pueden no ser adecuados para su utilización en dispositivos electrónicos futuros y otros dispositivos en los que se desean elevadas velocidades de transferencia de datos. Por ejemplo, es probable que un dispositivo multimedia móvil que graba imágenes en movimiento con alta definición necesite un módulo de memoria con un rendimiento de programación mayor que uno con la tecnología de memoria actual. Aunque dicha solución parece ser sencilla, existe un problema con la calidad de la señal a dichas altas frecuencias, que impone un límite práctico a la frecuencia de funcionamiento de la memoria. La memoria comunica con otros componentes utilizando un conjunto de contactos de entrada/salida (I/O) en paralelo, cuya cantidad es específica de la implementación. Los contactos de I/O reciben instrucciones de comandos y datos de entrada y proporcionan datos de salida. Esto se conoce normalmente como una interfaz en paralelo. El funcionamiento a alta velocidad puede provocar efectos de degradación de la comunicación tales como diafonía, distorsión de la señal y atenuación de la señal, por ejemplo, lo cual degrada la calidad de la señal.
- 30 Para incorporar una mayor densidad y un funcionamiento más rápido en las placas de sistema, existen dos técnicas de diseño: configuraciones de interconexión en serie, tales como cadena de margarita, y configuraciones de interconexión en paralelo, tales como múltiples puntos. Estas técnicas de diseño pueden ser utilizadas para superar el problema de la densidad, que determina el coste y la eficiencia de funcionamiento del tráfico de memoria entre un disco duro y un sistema de memoria. Sin embargo, las configuraciones de múltiples puntos tienen un inconveniente con respecto a las configuraciones de cadena de margarita. Por ejemplo, si el número de puntos en un sistema de memoria de múltiples puntos aumenta, entonces como resultado del efecto de carga de cada contacto, aumenta
- 35
- 40
- 45
- 50

también el tiempo de retardo de manera que el comportamiento general del sistema de memoria de múltiples puntos se degrada. Esto se debe a la carga de resistencia-condensador del cable y a la capacidad eléctrica del contacto del dispositivo de memoria. Una conexión en serie en un dispositivo tal como un dispositivo de memoria, puede utilizar una entrada de un solo contacto que recibe en serie todas las direcciones, comandos y datos. Una conexión en serie puede proporcionar una configuración de cadena de margarita en serie para controlar eficazmente los bits de comando, los bits de dirección y los bits de datos a través de la configuración en cascada. Disponiendo una configuración de cadena de margarita en serie, se asigna un número de identificador de dispositivo (ID, device identifier) de memoria a cada dispositivo en una cadena en cascada. Los dispositivos de memoria pueden ser memorias dinámicas de acceso aleatorio (DRAMs, dynamic random access memories), memorias estáticas de acceso aleatorio (SRAMs, static random access memories) y memorias flash.

RESUMEN DE LA INVENCION

Se dan a conocer métodos y sistemas para permitir llevar a cabo el método de acceso a uno o varios bancos de memoria utilizando acceso en serie, o utilizando acceso en paralelo. En modo en serie, cada conexión funciona como una conexión en serie independiente. Por contraste, durante el modo en paralelo, las conexiones funcionan en común como una conexión en paralelo. Donde para el modo en serie se reciben independientemente para cada conexión controles de entrada y salida, durante el modo en paralelo es utilizado en común un solo conjunto de controles de entrada y salida por todas las conexiones.

De acuerdo con un aspecto general, la invención da a conocer un sistema de memoria tal como se define en la reivindicación 1.

En algunas realizaciones, dicho por lo menos un banco de memoria comprende una serie de bancos de memoria.

En algunas realizaciones, durante el modo en serie, dicha por lo menos una entrada que funciona, cada una, como una respectiva entrada en serie comprende una serie de las entradas, y dicha por lo menos una salida que funciona como una respectiva salida en serie, comprende una serie de las salidas.

En algunas realizaciones, los circuitos de interfaz en modo dual comprenden: una serie de controladores de conexión y de banco que tienen cada uno una entrada respectiva de la serie de entradas; donde cada uno de la serie de controladores de conexión y de banco puede funcionar en modo en serie para realizar en serie operaciones de lectura y escritura mediante procesar para cada operación de lectura y escritura una señal de entrada de un solo bit de anchura recibida sobre la respectiva entrada, que contiene comando, dirección y datos, si la operación es una operación de escritura; donde dicha serie de controladores de conexión y de banco pueden funcionar colectivamente en modo en paralelo para realizar en paralelo operaciones de lectura y escritura mediante procesar para cada operación de lectura y escritura una señal de entrada de múltiples bits de anchura recibida sobre múltiples entradas, que contiene comando, dirección y datos, si la operación es una operación de escritura.

En algunas realizaciones, cada controlador de conexión y de banco está conectado a uno predeterminado de los bancos de memoria y cada banco de memoria está conectado a una predeterminada de las salidas.

En algunas realizaciones, cada controlador de conexión y de banco comprende además un respectivo control de entrada para operaciones de escritura y un respectivo control de salida para operaciones de lectura; los circuitos de interfaz del modo dual son operativos durante el modo en paralelo para conectar el control de entrada de uno común de la serie de circuitos de control de conexiones y bancos al control de entrada de los restantes circuitos de control de conexiones y bancos, y para conectar el control de salida de dicho común de la serie de circuitos de control de conexiones y datos, al control de salida de los restantes circuitos de conexiones y datos, de tal modo que durante el modo en paralelo todos los circuitos de control de conexiones y datos funcionan en común; los circuitos de interfaz del modo dual son operativos durante el modo en serie para permitir que se reciban señales independientes en cada control de entrada y control de salida.

En algunas realizaciones, la serie de controladores de conexión y de banco comprenden un respectivo controlador de conexión y de banco para cada banco de memoria.

En algunas realizaciones, el sistema de memoria comprende además: por lo menos un conmutador de conexiones que funciona durante el modo en serie para conectar cada controlador de conexión y de banco a un respectivo banco seleccionado, y que funciona durante el modo en paralelo para conectar la totalidad de los controladores de conexión y de banco a un banco de memoria seleccionado.

En algunas realizaciones, dicho por lo menos un conmutador de conexiones comprende un primer conmutador de conexiones que conecta cada conexión a un respectivo banco seleccionado para escritura y control, y un segundo conmutador de conexiones que conecta cada conexión al banco seleccionado para lectura, impidiendo la conexión simultánea de múltiples conexiones mismo banco.

En algunas realizaciones, los circuitos de interfaz en modo dual comprenden: una entrada 66 para recibir una entrada de control de anchura de datos que selecciona entre modo en serie y modo en paralelo.

5 En algunas realizaciones, el circuito de interfaz de modo dual comprende: una entrada para recibir una señal de entrada de control de la anchura de datos que selecciona entre modo en serie y modo en paralelo; para cada controlador de conexión y de banco, un primer multiplexor respectivo que tiene primera y segunda entradas, cada primera entrada conectada al control de entrada respectivo del controlador de conexión y de banco, cada segunda entrada conectada al control de entrada de uno común de los controladores de conexión y de banco, el primer multiplexor puede funcionar para seleccionar la primera entrada o la segunda entrada bajo el control de la entrada de control de anchura del control de datos; para cada controlador de conexión y de banco, un segundo multiplexor respectivo que tiene primera y segunda entradas, cada primera entrada conectada al control de salida respectivo del controlador de conexión y de banco, cada segunda entrada conectada al control de salida del común de los controladores de conexión y de banco, el segundo multiplexor pudiendo funcionar para seleccionar la primera entrada o la segunda entrada bajo el control de la señal de entrada de control de la anchura de control de datos.

15 En algunas realizaciones, los circuitos de interfaz de modo dual comprenden: para cada banco de memoria, un respectivo convertidor de paralelo a serie que tiene una salida en serie; lógica de conmutación que conmuta la salida en serie de cada convertidor de paralelo a serie, hacia una salida seleccionada.

En algunas realizaciones, el sistema de memoria comprende además: lógica de selector para seleccionar salidas en serie de los convertidores de paralelo a serie durante el modo en serie, y para seleccionar una salida en paralelo durante el modo en paralelo

20 En algunas realizaciones, el sistema de memoria comprende además: un convertidor de la anchura de datos que produce dicha salida en paralelo mediante convertir una salida procedente de un banco seleccionado, desde una anchura de datos para acceso al banco a una anchura de datos igual al número de salidas de dicha serie de salidas.

25 En algunas realizaciones, los circuitos de interfaz de modo dual comprenden: para cada banco de memoria, un respectivo convertidor de serie a paralelo; lógica de conmutación que conmuta cada entrada a la entrada de uno respectivo seleccionado de los convertidores de serie a paralelo.

En algunas realizaciones, el sistema de memoria comprende además: un convertidor de la anchura de datos, que convierte una entrada en paralelo que tiene una anchura de datos igual al número de entradas de dicha serie de entradas, a una anchura de datos para acceso al banco.

30 De acuerdo con otro aspecto general, la invención da a conocer un método tal como el definido en la reivindicación 13.

En algunas realizaciones, el método comprende además: durante el modo en serie, proporcionar acceso en serie desde cada conexión a cualquier banco de una serie de bancos.

35 En algunas realizaciones, reconfigurar una interfaz de memoria en uno seleccionado de un modo en serie y un modo en paralelo, en función de una entrada de control de la anchura de datos, comprende: para el modo en serie, reconfigurar una serie de controladores de conexión y de banco de manera que durante el modo en serie, se reciben controles de entrada y salida independientes para cada uno de dicha por lo menos una interfaz en serie; para modo en paralelo, reconfigurar dicha serie de controladores de conexión y de banco, de manera que un control de entrada y salida recibido en un controlador de conexión y de banco es utilizado en común por todos los controladores de conexión y de banco.

40 BREVE DESCRIPCIÓN DE LOS DIBUJOS

A continuación se describirán realizaciones de la presente invención, solamente a modo de ejemplo, haciendo referencia a las figuras adjuntas, en las cuales:

la figura 1 es un diagrama de bloques de un sistema de memoria que presenta múltiples conexiones y múltiples bancos con interfaces en serie;

45 la figura 2 es un diagrama de bloques de un sistema de memoria que presenta múltiples conexiones independientes y múltiples bancos con interfaces en serie;

la figura 3 es un diagrama de temporización para funcionamiento en serie del sistema de memoria de la figura 2;

la figura 4 es un diagrama de bloques de un sistema de memoria que tiene un modo en serie durante el cual el sistema tiene interfaces en serie de un único bit, y un modo en paralelo durante el cual el sistema tiene una interfaz en paralelo de múltiples bits;

5 la figura 5 es un diagrama que muestra una comparación de ancho de banda entre tres configuraciones de salida de datos;

la figura 6 es un diagrama de bloques que muestra una configuración de conexión en serie independiente múltiple, con un proceso de datos en serie de 1 bit;

la figura 7 es un diagrama de bloques que muestra una única configuración de conexión en paralelo dependiente, con un proceso de datos en paralelo de 4 bits;

10 la figura 8A es un diagrama esquemático de multiplexación de control de entrada;

la figura 8B es un diagrama esquemático de multiplexación de control de salida;

la figura 8C es un diagrama esquemático de conmutación de salida de banco para funcionamiento en serie y en paralelo;

15 la figura 8D es un diagrama esquemático de conmutación de entrada de banco para funcionamiento en serie y en paralelo; y

la figura 9 es un diagrama de bloques de un sistema de memoria en modo dual proporcionado por la invención.

DESCRIPCIÓN DETALLADA

20 Las prestaciones de gran ancho de banda para muchas operaciones que involucran dispositivos de memoria se están convirtiendo en un aspecto cada vez más importante en los sistemas digitales. Se han intentado diversos enfoques para conseguir el objetivo de un alto rendimiento. Un método representativo que se está utilizando en un esfuerzo por conseguir este objetivo es utilizar una interfaz en serie con anchura de datos de un solo bit sobre la que toda la información, que incluye comando, dirección y datos de lectura y escritura, se transfiere en serie al siguiente destino. Muchos productos existentes en el mercado de la electrónica de consumo hacen uso de dicha interfaz en serie.

25 Los enfoques de transferencia de datos en serie tienen muchas ventajas sobre los enfoques de transferencia de datos en paralelo. Por ejemplo, las interconexiones utilizadas para la transferencia de datos en serie no tienen la diafonía e interferencia entre líneas de datos en una placa de circuito impreso que se encuentran habitualmente en las interconexiones en paralelo.

30 Para aumentar el máximo rendimiento de pico de dispositivos de memoria con transferencia de datos en serie, se están considerando modos de conexiones múltiples que pueden hacer uso de interfaces en serie. Específicamente, cada una de un conjunto de conexiones funciona como una conexión en serie independiente con su propio comando, dirección y datos de escritura y lectura. La figura 1 muestra un ejemplo de un sistema de memoria que presenta múltiples interfaces en serie. En el ejemplo de la figura 1, se muestra un conjunto de entradas en serie SI1 10, SI2 12, SIn 14 conectadas a respectivos controladores de conexión y de banco 16, 18, 20. Cada uno de los controladores de conexión y de banco 16, 18, 20 está conectado a los respectivos bancos de memoria, banco 0 22, banco 1 24, banco n 26. Las salidas en serie están indicadas en SO0 28, SO1 30,..., SOn 32. La figura 1 muestra una conexión dedicada para cada banco. Toda la transferencia de datos es realizada por el proceso de datos en serie. Múltiples circuitos, tales como el mostrado en la figura 1, pueden conectarse en secuencia, utilizándose el redireccionamiento de las interconexiones en serie para seleccionar uno particular de los múltiples circuitos.

40 En otro enfoque para combinar múltiples conexiones en serie para mejorar el ancho de banda, se da a conocer una disposición que tiene múltiples conexiones independientes que pueden acceder a cualquier banco desde cualquier conexión mediante la utilización de lógica de conmutador de conexiones situada entre los controladores de conexión y de banco, y el banco de memoria. Se muestra un ejemplo de esto en la figura 2. Este ejemplo es igual a la figura 1 excepto por la inclusión de un conmutador de conexiones 34 entre los controladores de conexión y de banco 16, 18, 20 y los bancos de memoria 22, 24, 26, y un conmutador de conexiones 36 entre los bancos de memoria 22, 24, 26 y las salidas en serie 28, 30, 32. En este caso, la información de dirección contenida en cada entrada en serie incluye asimismo un identificador del banco para permitir la selección del banco para un comando dado. No se permite el acceso simultáneo desde diferentes conexiones al mismo banco. Los conmutadores de conexiones impiden el conflicto de flujos de bits en serie, mediante permitir que la primera conexión en la que está siendo afirmado un dato en serie para un banco dado, tenga una prioridad mayor que la segunda conexión que accede al mismo banco. Para hacerse cargo de esta prevención del conflicto, los conmutadores de conexiones 34, 36 no son

simples circuitos que contienen solamente unos pocos conmutadores lógicos. De nuevo, múltiples circuitos, tal como se muestra en la figura 2, pueden estar conectados en secuencia, y el direccionamiento de las interconexiones en serie se utiliza para seleccionar uno particular de los múltiples circuitos.

La figura 3 muestra un ejemplo simple de un diagrama de temporización con puertos en serie de entrada y de salida que están definidos en circuitos periféricos de dispositivos de memoria que consisten en múltiples bancos, en correspondencia con el ejemplo de la figura 2. En la figura 3, los puertos que reciben señales para entradas en serie SIO 10, SI1 12, SIn 14 están indicados en SIPO, SIP1, SIPn. Los puertos que entregan salidas en serie SOO 28, SO1 30, SOn 32 están indicados en SOPO, SOP1, SOPn. El número de puertos de conexión no tiene que ser el mismo que el número de bancos incorporados en un dispositivo de memoria. Se permiten cualesquiera números de combinaciones de bancos y conexiones. Con esta flexibilidad de interconexión de conexiones y bancos, los trayectos de entrada y salida de datos pueden ser transferidos fácilmente al siguiente dispositivo, a modo de cadena de margarita. Todas las combinaciones de conexiones y bancos tienen una interfaz común mediante la que se transfieren datos al dispositivo siguiente con conexiones en serie (la anchura de datos es de "uno"). Para SIPO, existe una señal de entrada que incluye información de comando, dirección y datos y que es válida para cierto período de tiempo. Algún tiempo después, la salida sobre este SOP0 es válida y contiene datos de salida cuando se afirma una solicitud de salida mediante cualquier comando o mediante cualquier contacto de control dedicado. Está presente una disposición de temporización similar para otras entradas y salidas en serie.

Una interfaz en serie ofrece muchas ventajas sobre una interfaz en paralelo, especialmente ante pequeñas interferencias y efectos de acoplamiento. Sin embargo, la interfaz en serie requiere de una frecuencia de funcionamiento superior comparada con la interfaz en paralelo, para mantener la misma cantidad de ancho de banda de datos. En algunos intervalos de frecuencia, un funcionamiento de dos bits puede ser mejor que la interfaz de bus de múltiples datos en serie.

Las realizaciones de la invención dan a conocer una interfaz que es configurable para funcionar como un conjunto de interfaces en serie de un solo bit o una interfaz en paralelo de múltiples bits. La interfaz en paralelo de múltiples bits puede ser una interfaz en paralelo de dos bits o de un número mayor de bits, dependiendo de la salida máxima de datos y dependiendo de los puertos de salida disponibles. Cuando la anchura de salida de datos se modifica desde la configuración en serie de 1 bit a una configuración en paralelo de múltiples bits, se utiliza un conjunto de controles de entrada (es decir, las entradas utilizadas normalmente para controlar una interfaz en serie de un solo bit) para controlar la interfaz en paralelo, mientras que los controles de entrada que se utilizan normalmente para controlar las otras interfaces en serie de un solo bit se ignoran.

Haciendo referencia a continuación a la figura 9, se muestra un diagrama de bloques de un sistema de memoria en modo dual dado a conocer por una realización de la invención. El sistema tiene circuitos de interfaz en modo dual 400, 401 que conectan un conjunto de entradas 406 y un conjunto de salidas 408 a un conjunto de bancos de memoria 402 y 403. De forma más general, existe por lo menos un banco de memoria. Los circuitos de interfaz 400 tienen un modo en serie durante el que cada entrada 406 funciona como una entrada en serie respectiva, y cada salida 408 funciona como una salida en serie respectiva. Los circuitos de interfaz 400 tienen un modo en paralelo durante el que las entradas 406 funcionan colectivamente como una entrada en paralelo y las salidas 408 funcionan colectivamente como una salida en paralelo. De forma más general, durante el modo en serie, por lo menos una de las entradas y por lo menos una de las salidas pueden funcionar en modo en serie. Por ejemplo, una posible configuración de este tipo es una configuración de 8 conexiones, 10 bancos. Durante el modo en paralelo, la totalidad de las 8 conexiones se utilizan en paralelo para acceder al banco. Durante el modo en serie, se utiliza una conexión para acceder al banco.

A continuación se describirán ejemplos detallados del sistema de la figura 9, haciendo referencia a las figuras 4 a 8. Haciendo referencia a continuación a la figura 4, se muestra un diagrama de bloques de un sistema de memoria que es reconfigurable entre funcionamiento en serie y en paralelo. El ejemplo asume n conexiones y n bancos, pero la figura incluye solamente detalles de las conexiones y los bancos primero, segundo y n-ésimo. El circuito tiene un conjunto de n entradas, de las que se muestran tres denominándose por ahora entradas en serie SIO 11, SI1 13, SIn 15, un conjunto correspondiente de n controladores de conexión y de banco 40, 42, 44, un conmutador de conexiones 35, bancos de memoria banco 0 23, banco 1 25, banco n 27, un conmutador de conexiones 37, y un conjunto de salidas, denominadas por ahora salidas en serie SOO 29, SO1 31, SOn 33. Los controladores de conexión y de banco 40, 42, 44 interconectan las entradas en serie 11, 13, 15 con el conmutador de conexiones 35. El controlador de conexión y de banco 40 para SIO 11 tiene contactos adicionales para IPC0 (control de entrada 0) 46, OPC0 (control de salida 0) 48. El controlador de conexión y de banco 42 para SI1 13 tiene contactos adicionales para IPC1 50, OPC1 52. El controlador de conexión y de banco 44 para SIn 15 tiene contactos adicionales para IPCn 54, OPCn 56. Existe asimismo una entrada 66 al controlador de conexión y de banco 40 para recibir una entrada de control de la anchura de los datos, que controla la anchura de datos a la que funciona el sistema. En algunas realizaciones, esto consiste en un único bit que selecciona entre funcionamiento en modo en serie y funcionamiento en modo en paralelo. En otras realizaciones, existen una serie de bits para indicar la anchura de datos, como cualquier anchura entre 1 y alguna anchura de datos máxima predefinida. La señal de control de la anchura de los datos introducida en la entrada de control de la anchura 66 del controlador de conexión y de banco

40 se introduce de manera similar a todos los otros controladores de conexión y de banco, aunque esto no se muestra. En algunas realizaciones, la señal de control de la anchura de los datos recibida en la entrada de control de la anchura de los datos 66 procede de un registro de configuración que se activa durante una secuencia de arranque. Ésta puede consistir, por ejemplo, en un solo bit. Cuando este bit es '0', esto significa que el sistema debería funcionar el modo en serie, de lo contrario el bit es "1" y el sistema debería funcionar el modo en paralelo.

Durante el funcionamiento en modo en paralelo, existe un único comando que afecta a todos los controladores de conexión y de banco 40, 42, 44, y está involucrado un solo banco de memoria para la operación de lectura o escritura. La manera específica mediante la cual un comando, que contiene comando, dirección y posiblemente datos, es recibido por el funcionamiento en paralelo es específica de la implementación. En una implementación a modo de ejemplo, los bits de cada campo se reciben en paralelo como parte de la entrada general en paralelo. Los bits de comando y dirección pueden alimentarse a un solo controlador de conexión y de banco, por ejemplo el controlador de conexión y de banco 40, en el que se produce el procesamiento del comando y la dirección. Alternativamente, puede proporcionarse un registro dedicado de comando y dirección para el funcionamiento en paralelo.

Durante el funcionamiento en modo en serie, los contactos de control 46, 48 son contactos de control dedicados para el controlador de conexión y de banco 40. En algunas implementaciones, el IPC 46 tiene la función de puerta de los flujos de entrada, de tal modo que éste contacto debería estar 'alto' durante la afirmación de comando, direcciones y/o datos a través de SI. OPC se utiliza para habilitar una memoria tampón de salida. Cuando OPC está alto después de que es emitido un comando de lectura, los datos son transmitidos a una posición indicada, tal como otra memoria o un controlador, dependiendo de las conexiones. Los otros contactos de control están dedicados de manera similar a un controlador de conexión y de banco específico. Además, mientras que en el modo en serie, cada control de conexión y banco extrae su propia información de comando, dirección y datos desde cada entrada en serie.

Durante el funcionamiento en modo en paralelo, el funcionamiento de las conexiones en paralelo se controla utilizando en común IPC0 y OPC0. Más específicamente, la totalidad de los controladores de conexión y de banco 40, 42, 44 funcionan como una función del control de entrada y el control de salida del primer controlador de conexión y de banco 40. De manera más general, la totalidad de los controladores de conexión y de banco funcionarán como una función del control de entrada y el control de salida de uno concreto de los controladores de conexión y de banco. Se muestran interconexiones entre pares adyacentes de controladores de conexión y de banco, con las interconexiones entre los controladores de conexión y de banco 40, 42 indicadas en 58, las interconexiones entre los controladores de conexión y de banco 42 y un controlador de conexión y de banco subsiguiente (no mostrado) indicadas en 60, y las interconexiones entre un controlador de conexión y de banco segundo a último (no mostrado) y el controlador de conexión y de banco 44 indicadas en 62. El objetivo de estas interconexiones es propagar los controles IPC0 y OPC0 46, 48 desde el primer controlador de conexión y de banco 40 hasta la totalidad de los otros controladores de conexión y de banco 42, 44, de tal modo que todos los controladores de conexión y de banco reciban las mismas señales de control de conexiones en paralelo durante el funcionamiento en paralelo. Para la realización de la figura 4, los controladores de conexión y de banco 40, 42, 44 funcionan colectivamente como un ejemplo de circuitos de interfaz en modo dual.

Para controlar todas las conexiones con IPC0 y OPC0 cuando está seleccionado funcionamiento en paralelo, las otras conexiones (conexiones 1 hasta n) están dotadas de circuitos internos para conmutar el trayecto de la señal de control, desde utilizar las entradas sobre IPCx y OPCx, x=1, ..., n para funcionamiento en serie, a utilizar IPC0 y OPC0 para funcionamiento en paralelo. Se describirá un ejemplo detallado de dichos circuitos internos, haciendo referencia a las figuras 8A y 8B. Después de que ha sido habilitado el funcionamiento en paralelo, solamente son relevantes IPC0 y OPC0, y otros IPCx y OPCxn no tienen ninguna funcionalidad y la afirmación de señales externas no afectará a ninguna operación del sistema.

Los resultados de un acceso a banco cuando se afirma una lectura o cuando han de escribirse datos desde múltiples puertos SIP, tienen múltiples combinaciones de datos, tal como se muestra en la figura 5. Se describirá un ejemplo de funcionamiento en serie y varios ejemplos de funcionamiento en paralelo. Se muestra un primer reloj 80 para funcionamiento en serie. Para este primer reloj, la frecuencia es algún valor m, y el ancho de banda es de 1 bit*m. El flujo de datos está indicado en 82. En el caso de una anchura de datos de un bit, es decir, funcionamiento en serie, son leídos/escritos los datos siguientes, donde el número representa el orden del bit, con '7' representando el MSB y '0' representando el LSB:

D7 → D6 → D5 → D4 → D3 → D2 → D1 → D0 (SIP0 y SOP0).

Se muestra un segundo reloj 84 para funcionamiento en paralelo de 2 bits. Se asume que el reloj tiene una frecuencia de reloj de m/2, y el ancho de banda es 2 bits*m/2 = m, igual que en el ejemplo en serie descrito anteriormente. El flujo de datos está indicado en 86. En el caso de funcionamiento en paralelo con anchura de datos de dos bits, son leídos/escritos los datos siguientes:

D7 → D5 → D3 → D1 (SIP0 y SOP0)

D6 → D4 → D2 → D0 (SIP1 y SOP1).

Se muestra un tercer reloj 88 para funcionamiento en paralelo de 4 bits. Se asume que el reloj tiene una frecuencia de reloj de $m/4$, y el ancho de banda es $4 \text{ bits} \cdot m/4 = m$, igual que en el ejemplo en serie descrito anteriormente. El flujo de datos está indicado en 90. En el caso de funcionamiento en paralelo con anchura de datos de cuatro bits, son leídos/escritos los datos siguientes:

D7 → D3 (SIP0 y SOP0)

D6 → D2 (SIP1 y SOP1)

D5 → D1 (SIP2 y SOP2)

D4 → D0 (SIP3 y SOP3)

Para los ejemplos de la figura 5, las frecuencias de reloj han sido seleccionadas de tal modo que la frecuencia de datos de los diferentes modos de funcionamiento es la misma. Esto pretende demostrar que para obtener cierto ancho de banda que requiere una frecuencia de reloj m , puede conseguirse el mismo ancho de banda con una interfaz en serie de un solo bit, con una interfaz en paralelo de dos bits con una frecuencia de reloj de $m/2$, o con una interfaz en paralelo de cuatro bits con una frecuencia de reloj de $m/4$. Por supuesto, si la interfaz en paralelo está capacitada para funcionar a la frecuencia de reloj m , entonces la interfaz en paralelo de dos bits podría tener el doble de ancho de banda que la interfaz de un solo bit.

La figura 6 muestra un ejemplo de múltiples conexiones que funcionan en un modo en serie. En este ejemplo, existen cuatro conexiones independientes, conexión 0, conexión 1, conexión 2, conexión 3, 100, 102, 104, 106, cada una con una anchura de datos de 1 bit, y cuatro bancos, banco 0, banco 1, banco 2, banco 3, 120, 122, 124, 126, si bien de manera general puede utilizarse cualquier cantidad de conexiones y bancos. A diferencia de las figuras anteriores en las que los circuitos para funcionamiento de entrada y salida se han mostrado por separado, una "conexión" de la figura 6 incluye funcionalidad de entrada y funcionalidad de salida. Cada conexión 100, 102, 104, 106 tiene contactos de control dedicados (IPC $_x$, OPC $_x$, $x=0,\dots,3$) (no mostrados, mostrados en la figura 4). La conexión 0 100 tiene I/O SIP0, SOP0 108, la conexión 1 102 tiene I/O SIP1, SOP1 110, la conexión 2 104 tiene I/O SIP2, SOP2 112 y la conexión 3 106 tiene I/O SIP3, SOP3 114. Las conexiones 100, 102, 104, 106 están conectadas a los bancos 120, 122, 124 y 126 a través de conmutadores 116. Independientemente, cada conexión 100, 102, 104, 106 tiene acceso a un banco diferente 120, 122, 124, 126 al mismo tiempo, sin ninguna limitación de temporización. Los trayectos 103, 105 son ejemplos de trayectos de flujo de datos que muestran flujos de datos a través de una conexión y un banco cuando se utiliza funcionamiento en serie de 1 bit. El trayecto 103 representa el acceso de la conexión 0 al banco 2, mientras que el trayecto 105 representa el acceso de la conexión 1 al banco 0. De forma más general, para este ejemplo se proporciona un acceso libre desde cualquier conexión a cualquier banco. La única restricción es que el mismo banco no puede ser accedido simultáneamente mediante múltiples conexiones diferentes.

La figura 7 muestra un ejemplo de las conexiones de la figura 6 funcionando en modo en paralelo. En este ejemplo, para operaciones de escritura, existe una entrada en paralelo de cuatro bits recibida sobre las cuatro conexiones 100, 102, 104, 106 para uno seleccionado de los cuatro bancos 120, 122, 124, 126. Para operaciones de lectura, existe una salida de cuatro bits desde uno seleccionado de los cuatro bancos 120, 122, 124, 126, que es entregada en paralelo desde las cuatro conexiones 100, 102, 104, 106. El control es a través de un único conjunto de contactos de control (IPC0, OPC0) (no mostrado, se muestra en la figura 4). Las conexiones 100, 102, 104, 106, los conmutadores 116 y los bancos 120, 122, 124, 126 son los mostrados en la figura 6, pero en este caso los I/O están designados como SIP $_d3$, SOP $_d3$ 130 para la conexión 0 100, SIP $_d2$, SOP $_d2$ 132 para la conexión 1 100, SIP $_d1$, SOP $_d1$ 134 para la conexión 2 104, y SIP $_d0$, SOP $_d0$ 136 para la conexión 3 106. Físicamente, los contactos de entrada para el funcionamiento en paralelo y en serie son los mismos, pero lógicamente las señales de entrada son diferentes. El funcionamiento en paralelo escribe en un banco seleccionado o lee desde un banco seleccionado. En este caso, existe un trayecto 107 de anchura de datos de 4 bits desde las conexiones 100, 102, 104, 106 colectivamente para escritura y comando, y un trayecto 109 de anchura de datos de 4 bits a las conexiones 100, 102, 104, 106, colectivamente para la operación de lectura. Durante un funcionamiento en paralelo dado, se selecciona uno solo de los bancos de 120, 122, 124, 126. Para funcionamiento en paralelo, solamente puede ser accedido un banco debido al IPC y OPC únicos (no se utilizan otros IPC (1 - n) y OPC (1 - n)).

Puede observarse que los modos de funcionamiento representados en la figura 6 y la figura 7 utilizan diferentes anchuras de datos. Utilizando este enfoque, es posible un control variado de anchura de los datos y está disponible la flexibilidad en el tamaño de la anchura de los datos.

A continuación se describirá un ejemplo de circuitos para interconectar las entradas de control de conexiones en serie dedicadas, haciendo referencia a las figuras 8A, 8B, 8C y 8D. Estos ejemplos son específicos para funcionamiento con cuatro conexiones, pero pueden generalizarse a cualquier número de conexiones. En la figura 8A se muestra un circuito 220 para multiplexación del control de entrada, en la figura 8B se muestra un circuito 240 para multiplexación del control de salida, en la figura 8C se muestra un circuito 280 para producir salidas en serie o en paralelo y en la figura 8D se muestra un circuito 450 para procesar entradas en serie y en paralelo.

Haciendo referencia a la figura 8A, la multiplexación para el control de entrada se indica en general en 220. Cuatro controles de entrada de conexiones en serie dedicados se indican como IPC0 200, IPC1 202, IPC2 204 y IPC3 206. Éstos están conectados a memorias tampón respectivas 208, 210, 212, 214, y a continuación a una primera entrada respectiva de cada uno de los cuatro multiplexores de dos entradas 216, 218, 220, 222. Además, el primer control de entrada de conexión en serie IPC0 200 está unido a la segunda entrada de cada uno de los cuatro multiplexores de dos entradas 216, 218, 220, 222. Los cuatro multiplexores de dos entradas 216, 218, 220, 222 están controlados mediante la señal de control de anchura de los datos 224. En este caso, la señal de control en un primer estado causa que cada uno de los controles de conexión en serie individuales IPC0, IPC1, IPC2, IPC3 aparezca en las salidas ipc0_i 217, ipc1_i 219, ipc2_i 221, ipc3_i 223 de los multiplexores 216, 218, 220, 222, y en un segundo estado causa que aparezca IPC0 en las salidas de todos los multiplexores.

Haciendo referencia a continuación a la figura 8B, la multiplexación para el control de salida se indica en general en 240. Los cuatro controles de salida de conexión en serie dedicados, se indican como OPC0 250, OPC1 252, OPC2 254 y OPC3 256. Estos están conectados a memorias tampón respectivas 258, 260, 262, 264, y a continuación a una primera entrada respectiva de cada uno de los cuatro multiplexores de dos entradas 266, 268, 270, 272. Además, el primer control de salida de conexión en serie OPC0 250 está unido a la segunda entrada de cada uno de los cuatro multiplexores de dos entradas 266, 268, 270, 272. Los cuatro multiplexores de dos entradas 266, 268, 270, 272 están controlados mediante la señal de control de anchura de los datos 224. En este caso, la señal de control en un primer estado provoca que cada uno de los controles de conexión en serie individuales OPC0, OPC1, OPC2, OPC3 aparezca en las salidas opc0_i 267, opc1_i 269, opc2_i 271, opc3_i 273 de los multiplexores 266, 268, 270, 272, y en un segundo estado provoca que OPC0 aparezca en las salidas de todos los multiplexores.

Haciendo referencia a continuación la figura 8C, se indica en general en 280 un circuito que convierte un proceso de salida de datos en paralelo en un proceso de datos en serie con multiplexores. Este ejemplo asume que existen cuatro salidas, designadas SOPO 300, SOP1 302, SOP2 304 y SOP3 306. Cada uno de los cuatro bancos, banco 0 420, banco 0 422, banco 2 424 y banco 3 426 tiene una respectiva salida en paralelo de 8 bits 289, 291, 294, 295 conectada a la entrada de un conversor de anchura de datos 285. Cabe señalar que para el funcionamiento en paralelo, en cada momento está activa solamente una de las salidas en paralelo de 8 bits 289, 291, 294, 295. Se muestran cuatro multiplexores 288, 290, 292, 294 que tienen cada uno una primera (designada "0") y una segunda (designada "1") entradas, y una entrada de control que está conectada para recibir la señal de control de la anchura de los datos 224. Cada uno de los multiplexores 288, 290, 292, 294 produce una salida respectiva que pasa a través de memorias tampón respectivas 300, 302, 304, 306 para producir señales en las salidas. Para cada banco 420, 422, 424, 426 existe un respectivo registro de paralelo a serie 301, 303, 305, 307 cuya salida está conectada a un conmutador 296. El conmutador 296 conecta de manera seleccionable la salida de cada uno de los registros de paralelo a serie 301, 303, 305, 307 a una respectiva de las primeras entradas de los multiplexores 288, 290, 292, 294. Cuatro salidas del convertidor de la anchura de los datos 285 están conectadas a las segundas entradas de los multiplexores 288, 290, 292, 294.

Durante el funcionamiento en serie, la señal de control de la anchura de los datos 224 selecciona la primera entrada para cada uno de los multiplexores 288, 290, 292, 294. Para cada operación en serie, la salida de datos mediante uno de los bancos 420, 422, 424, 426 (hasta cuatro simultáneamente) se desplaza al correspondiente registro de paralelo a serie 301, 303, 305, 307. El conmutador 296 controla en qué salida debe aparecer cada salida en serie, mediante seleccionar sobre qué entrada del primer multiplexor debe ser encaminada la salida en serie de 8 bits de cada registro de serie a paralelo 301, 303, 305, 307, bajo el control del número de conexión de entrada. Para operaciones de lectura, la salida en serie se produce en la misma conexión a través de la cual se ha recibido el comando. Por lo tanto, si el comando se ha recibido en la conexión 0, por ejemplo, la salida debería transmitirse a la conexión 0 de salida para impedir el conflicto de datos accidental en la etapa de salida. El conmutador 296 pasa las salidas en serie de los registros de paralelo a serie 301, 303, 305, 307 a las primeras entradas seleccionadas. Los multiplexores 288, 290, 292, 294 pasan estas entradas a través de las salidas seleccionadas. A modo de ejemplo, en 325 se muestra un flujo de datos para la salida de la conexión en serie desde el banco 0 a la conexión 1 (correspondiendo ésta, al flujo 105 de la figura 6), y en 330 se muestra un flujo de datos para la salida de la conexión en serie desde el banco 2 a la conexión 0 (correspondiendo ésta, al flujo 103 de la figura 6).

Durante el funcionamiento en paralelo, el convertidor de la anchura de datos 285 recibe 8 bits desde uno seleccionado de los bancos 420, 422, 424, 426 y los convierte en una salida que tiene un ancho de banda de cuatro, con dos bits por cada salida. Para funcionamiento en paralelo, la señal de control de la anchura de datos 224 selecciona la segunda entrada para cada uno de los multiplexores 288, 290, 292, 294. El convertidor de la anchura de datos 285 encamina los bits 0-ésimo y 4-ésimo a la segunda entrada del primer multiplexor 288, encamina los

bits 1-ésimo y 5-ésimo al segundo multiplexor 290, encamina los bits 2-ésimo y 6-ésimo a la segunda entrada del tercer multiplexor 292 y encamina los bits 3-ésimo y 7-ésimo a la segunda entrada del cuarto multiplexor 294. Todos los multiplexores seleccionan estas segundas salidas y producen dos bits en cada salida, y la señal de salida en paralelo global tiene una anchura de bits de cuatro. En el ejemplo descrito, se asume que es la totalidad de las conexiones en serie (cuatro en el ejemplo) se combinan en una sola conexión en paralelo. En otras implementaciones, se combina un subconjunto, por ejemplo dos, de las conexiones en serie en una conexión en paralelo. En este caso, el circuito funcionaría con un ancho de banda de dos. En este caso, están disponibles solamente dos salidas SOP0 y SOP1.

Haciendo referencia a continuación a la figura 8D, se indica en general en 450 un circuito que convierte un proceso de entrada de datos en serie en un proceso de datos en paralelo. Este ejemplo asume que existen cuatro entradas, designadas SIP0, SIP1, SIP2 y SIP3. Además, para este ejemplo se asume que durante el funcionamiento en paralelo, el ancho de banda es de cuatro. Se muestran cuatro bancos 520, 522, 524, 526. Cada uno de los bancos 520, 522, 524, 526 está conectado para recibir una entrada en desde un respectivo registro de serie a paralelo 501, 503, 505, 507.

Cada una de las entradas SIP0, SIP1, SIP2 y SIP3 pasa a través de respectivas memorias tampón de la señal de entrada 500, 502, 504, 506. Las memorias tampón 500, 502, 504, 506 están conectadas a un convertidor de la anchura de los datos 485. El convertidor de la anchura de los datos 485 recibe 2 bits desde cada una de las cuatro entradas SIP0, SIP1, SIP2 y SIP3, y los convierte colectivamente en una salida en paralelo de 8 bits 489. Cada entrada SIP0, SIP1, SIP2 y SIP3 se muestra asimismo conectada a través de un conmutador 487 a uno seleccionado respectivo de los registros de serie a paralelo 501, 503, 505, 507. El conmutador 487 funciona bajo el control del IPCi, y una dirección de banco. La salida en paralelo de 8 bits 489 del convertidor de la anchura de los datos 485 está conectada asimismo a una entrada en paralelo de 8 bits, de un conmutador 496. El conmutador 496 tiene cuatro salidas en paralelo de 8 bits que están conectadas, cada una, a una respectiva primera entrada de 8 bits de cuatro multiplexores 540, 542, 544, 546. La salida de cada uno de los registros de serie a paralelo 501, 503, 505, 507 está conectada a una respectiva segunda entrada de 8 bits de los cuatro multiplexores 540, 542, 544, 546. Los multiplexores funcionan como una función de la entrada de control de la anchura de los datos 224 para pasar las primeras entradas o bien la segundas entradas, tal como se describe a continuación.

Durante el funcionamiento en serie, la entrada de control de la anchura de los datos 224 selecciona la segunda entrada de cada uno de los multiplexores 540, 542, 544, 546, en concreto las entradas procedentes de los convertidores de serie a paralelo 501, 503, 505, 507. Los datos en serie recibidos desde una de las entradas SIP0, SIP1, SIP2, SIP3 son encaminados a uno seleccionado de los registros de serie a paralelo 501, 503, 505, 507 mediante el conmutador 487 (hasta cuatro, simultáneamente), como una función del IPC y de la dirección del banco de los comandos de entrada. El registro de serie a paralelo seleccionado produce a continuación una salida en paralelo que se escribe en el banco seleccionado correspondiente mediante el multiplexor correspondiente.

Durante el funcionamiento en paralelo, la entrada de control de la anchura de los datos 224 selecciona la primera entrada de cada multiplexor, una entrada de ocho bits (dos bits recibidos cada vez, desde las cuatro entradas SIP0, SIP1, SIP2, SIP3) se entrega como 8 bits 489 en paralelo desde el convertidor de la anchura de los datos 485. El conmutador 496 selecciona uno de los bancos 520, 522, 524, 526, y los datos se escriben en el banco seleccionado mediante el multiplexor correspondiente. El resultado es que se escriben ocho bits en un banco seleccionado, que consisten en dos bits recibidos en cada una de las entradas.

Las realizaciones de las figuras 4 a 8 asumen que cada conexión es conmutable a cada banco independientemente. En algunas realizaciones, cada conexión tiene una relación fija con un banco particular. Por ejemplo, para la realización de la figura 4, cada controlador de conexión y de banco 40, 42, 44 estaría conectado a uno predeterminado de los bancos de memoria 23, 25, 27, y cada banco de memoria está conectado a una predeterminada de las salidas. Esto significaría que los conmutadores de conexiones 35, 37 no serían necesarios.

En las realizaciones descritas anteriormente, los circuitos y elementos de dispositivo están conectados entre ellos tal como se muestra en las figuras, para mayor simplicidad. En las aplicaciones prácticas de la presente invención, los elementos, circuitos, etc. pueden estar conectados directamente entre ellos. Asimismo, los elementos, circuitos, etc. pueden estar conectados indirectamente entre sí a través de otros elementos, circuitos, etc., necesarios para el funcionamiento de dispositivos y aparatos. Por lo tanto, en la configuración actual, los elementos de circuito y los circuitos están acoplados directa o indirectamente entre ellos, o conectados entre ellos.

Las realizaciones de la presente invención descritas anteriormente están previstas solamente como ejemplos. Los expertos en la materia pueden realizar alteraciones, modificaciones y variaciones a las realizaciones específicas, sin apartarse del alcance de la invención, tal como se define exclusivamente mediante las reivindicaciones adjuntas al presente documento.

REIVINDICACIONES

1. Un sistema de memoria, que comprende:

por lo menos un banco de memoria (402); y

5 circuitos de interfaz (400, 401) configurados para comunicar con dicho por lo menos un banco de memoria (402), teniendo los servicios de interfaz una serie de puertos de entrada (406) y una serie de puertos de salida (408) que son diferentes entre sí, estando configurada la serie de puertos de entrada para recibir señales desde circuitos externos, estando configurada la serie de puertos de salida para entregar señales a los circuitos externos,

siendo configurables los circuitos de interfaz (400, 401) para funcionar en una serie de modos, para conexiones de la serie de puertos de entrada (406) y la serie de puertos de salida (408), incluyendo dicha serie de modos

10 un modo en serie, durante el cual por lo menos un puerto de entrada de la serie de puertos de entrada (406) está configurado para recibir una respectiva señal de entrada en serie, y por lo menos un puerto de salida de la serie de puertos de salida (408) está configurado para entregar una respectiva señal de salida en serie, y

15 un modo en paralelo durante el cual la serie de puertos de entrada (406) están configurados colectivamente para recibir una señal de entrada en paralelo, y la serie de puertos de salida (408) están configurados para entregar colectivamente una señal de salida en paralelo.

2. El sistema de memoria acorde con la reivindicación 1, en el que dicho por lo menos un banco de memoria comprende una serie de bancos de memoria (23, 25, 27).

3. El sistema de memoria acorde con la reivindicación 2, en el que durante el modo en serie,

20 dicho por lo menos un puerto de entrada que está configurado, cada uno, para recibir una respectiva señal de entrada en serie, comprende por lo menos dos puertos de entrada de la serie de puertos de entrada (11, 13, 15), y

dicho por lo menos un puerto de salida que está configurado, cada uno, para recibir una respectiva señal de salida en serie, comprende por lo menos dos puertos de salida de la serie de puertos de salida (29, 31, 33).

4. El sistema de memoria acorde con la reivindicación 3, en el que los circuitos de interfaz comprenden circuitos de interfaz en modo dual (400, 401), que comprenden:

25 una serie de controladores de conexión y de banco (40, 42, 44) que tienen, cada uno, un respectivo puerto de entrada (11, 13, 15) de la serie de puertos de entrada;

30 en el que cada uno de la serie de controladores de conexión y de banco está configurado en modo en serie para llevar a cabo operaciones de lectura y escritura en serie, mediante procesar para cada operación de lectura y escritura una señal de entrada de un solo bit de ancho de banda recibida sobre el puerto de entrada respectivo, que contiene comando, dirección y datos, si la operación es una operación de escritura;

en el que la serie de controladores de conexión y de banco están configurados colectivamente en modo en paralelo para llevar a cabo operaciones de lectura y escritura en paralelo, mediante procesar para cada operación de lectura y escritura una señal de entrada de múltiples bits de ancho de banda recibida sobre múltiples puertos de entrada, que contiene comando, dirección y datos, si la operación es una operación de escritura.

35 5. El sistema de memoria acorde con la reivindicación 4, en el que

cada uno de la serie de controladores de conexión y de banco (40, 42, 44) está configurado para comunicar con uno predeterminado de los bancos de memoria (23, 25, 27) y

cada uno de la serie de bancos de memoria (23, 25, 27) está configurado para comunicar con uno predeterminado de la serie de puertos de salida (29, 31, 33).

40 6. El sistema de memoria acorde con la reivindicación 4 o la reivindicación 5, en el que:

cada uno de la serie de controladores de conexión y de banco (42, 44, 46) comprende además

un respectivo control de entrada (46, 50, 54) para operaciones de escritura y

un respectivo control de salida (48, 52, 56) para operaciones de lectura;

los circuitos de interfaz en modo dual están configurados durante el modo en paralelo

para conectar el control de entrada (46) de uno común de la serie de controladores de conexión y de banco (40) al control de entrada (50, 54) de los controladores de conexión y de banco (42, 44) restantes y

- 5 para conectar el control de salida (48) de la serie de controladores de conexión y de banco (40) al control de salida (52, 56) de los controladores de conexión y de banco (42, 40) restantes, de manera que durante el modo en paralelo funcionan en común la totalidad de los controladores de conexión y de banco;

los circuitos de interfaz en modo dual están configurados durante el modo en serie para permitir la recepción de señales independientes en cada control de entrada y control de salida.

- 10 7. El sistema de memoria acorde con cualquiera de las reivindicaciones 4 a 6, en el que cada uno de la serie de controladores de conexión y de banco (40, 42, 44) comprende un respectivo circuito de control de conexiones y bancos para cada uno de la serie de bancos de memoria (23, 25, 27).

8. El sistema de memoria acorde con cualquiera de las reivindicaciones 4 a 7, que comprende además:

por lo menos un conmutador de conexiones (35, 37) que

- 15 funciona durante el modo en serie para conectar cada uno de la serie de controladores de conexión y de banco (40, 42, 44) a un respectivo banco seleccionado (23, 25, 27) y

funciona durante el modo en paralelo para conectar la totalidad de los controladores de conexión y de banco a un banco de memoria seleccionado.

9. El sistema de memoria acorde con la reivindicación 8, en el que:

- 20 dicho por lo menos un conmutador de conexiones comprende

un primer conmutador de conexiones (35; 116) que conecta cada conexión (100, 102, 104, 106) a un respectivo banco seleccionado (120, 122, 124, 126) para escritura y control, y

un segundo conmutador de conexiones (37; 116) que conecta cada conexión al banco seleccionado para lectura, impidiendo la conexión simultánea de múltiples conexiones al mismo banco.

- 25 10. El sistema de memoria acorde con cualquiera de las reivindicaciones 4 a 9, en el que los circuitos de interfaz en modo dual comprenden:

una entrada (66) que recibe una entrada de control de la anchura de los datos que selecciona entre modo en serie y modo en paralelo, o

- 30 una entrada (66) para recibir una señal de entrada de control de la anchura de los datos, que selecciona entre modo en serie y modo en paralelo;

para cada uno de la serie de controladores de conexión y de banco (40, 42, 44), un respectivo primer multiplexor (216, 218, 220, 222) que tiene primera y segunda entradas, la primera entrada conectada a un respectivo control de entrada (200, 202, 204, 206) del controlador de conexión y de banco, cada segunda entrada conectada al control de entrada (200) de uno común de dichos controladores de conexión y de banco, pudiendo funcionar el primer multiplexor para seleccionar la primera entrada o la segunda entrada bajo el control de la entrada de control de la anchura de control de datos;

- 35 para cada uno de la serie de controladores de conexión y de banco (40, 42, 44), un respectivo segundo multiplexor (266, 268, 270, 272) que tiene primera y segunda entradas, la primera entrada conectada al respectivo control de salida (250, 252, 254, 256) de un controlador de conexión y de banco, cada segunda entrada conectada al control de salida (250) del común de los controladores de conexión y de banco, pudiendo funcionar el segundo multiplexor para seleccionar la primera entrada o la segunda entrada, bajo el control de la señal de entrada de control de la anchura de control de datos.

- 40 11. El sistema de memoria acorde con cualquiera de las reivindicaciones 1 a 3, en el que los circuitos de interfaz comprenden circuitos de interfaz en modo dual (400, 401), que comprenden uno de:

(i) para cada banco de memoria (420, 422, 424, 426), un respectivo convertidor de paralelo a serie (301, 303, 305, 307) que tiene una salida en serie;

un conmutador (296) que conmuta la salida en serie de cada convertidor de paralelo a serie (301, 303, 305, 307) hacia una salida seleccionada,

5 (ii) para cada banco de memoria, un respectivo convertidor de serie a paralelo (501, 503, 505, 507);

un conmutador (487) que conmuta cada entrada, a la entrada de un respectivo seleccionado de los convertidores de serie a paralelo (501, 503, 505, 507),

opcionalmente, el sistema de memoria comprende adicionalmente uno de:

10 (a) selectores (288, 290, 292, 294) para seleccionar salidas en serie de los convertidores de paralelo a serie (301, 303, 305, 307) durante el modo en serie, y para seleccionar una salida en paralelo durante el modo en paralelo; o

un convertidor de la anchura de los datos (285) que produce dicha salida en paralelo mediante convertir una salida procedente de un banco seleccionado, desde una anchura de datos para acceso al banco a una anchura de datos igual al número de salidas de dicha serie de salidas,

15 (b) un convertidor de la anchura de los datos (285), que convierte una entrada en paralelo que tiene una anchura de datos igual al número de entradas de dicha serie de entradas, a una anchura de datos para acceso al banco.

12. El sistema de memoria acorde con cualquier reivindicación anterior, en el que para una operación de lectura en modo en serie,

20 se recibe un comando a través de uno de dicho por lo menos un puerto de entrada, de la serie de puertos de entrada, que está configurado para recibir una respectiva señal de entrada en serie, y

en respuesta, se produce una señal de salida en serie en un correspondiente puerto de salida de dicho por lo menos un puerto de salida de la serie de puertos de salida, que está configurado para entregar una respectiva señal de salida en serie, correspondiendo el puerto de salida correspondiente al puerto de entrada a través del cual se ha recibido el comando.

25 13. Un método para utilizar en un sistema de memoria que comprende por lo menos un banco de memoria (402) y circuitos de interfaz (400, 401) que tienen una serie de puertos de entrada (406) y una serie de puertos de salida (408) que son diferentes entre sí, estando configurada dicha serie de puertos de entrada (406) para recibir señales desde circuitos externos, estando configurada dicha serie de puertos de salida (408) para entregar señales a los circuitos externos, comprendiendo el método:

reconfigurar los circuitos de interfaz en uno seleccionado de un modo en serie y un modo en paralelo, de acuerdo con una entrada de control de la anchura de los datos (224);

35 en el modo en serie, funcionando los circuitos de interfaz como por lo menos una interfaz en serie, durante lo cual por lo menos un puerto de entrada de la serie de puertos de entrada está configurado para recibir una respectiva señal de entrada en serie, y por lo menos un puerto de salida de la serie de puertos de salida está configurado para entregar una respectiva señal de salida en serie;

en el modo en paralelo, funcionando los circuitos de interfaz como una interfaz en paralelo, durante lo cual la serie de puertos de entrada están configurados para recibir colectivamente una señal de entrada en paralelo, y la serie de puertos de salida están configurados para entregar colectivamente una señal de salida en paralelo.

40 14. El método acorde con la reivindicación 13, que comprende:

durante el modo en serie, proporcionar acceso en serie desde cada uno de dicho por lo menos uno de la serie de puertos de entrada, que está configurado para recibir una respectiva señal de entrada en serie, a dicho por lo menos un banco de memoria (402).

45 15. El método acorde con la reivindicación 13 o la reivindicación 14, en el que la reconfiguración de los circuitos de interfaz comprende:

para el modo en serie, reconfigurar una serie de controladores de conexión y de banco (40, 42, 44) de manera que durante el modo en serie, se reciben controles independientes de entrada y de salida para dicha por lo menos una interfaz en serie;

- 5 para el modo en paralelo, reconfigurar la serie de controladores de conexión y de banco (40, 42, 44) de manera que un control de entrada y de salida recibido en uno de la serie de controladores de conexión y de banco es utilizado en común por todos los controladores de conexión y de banco.

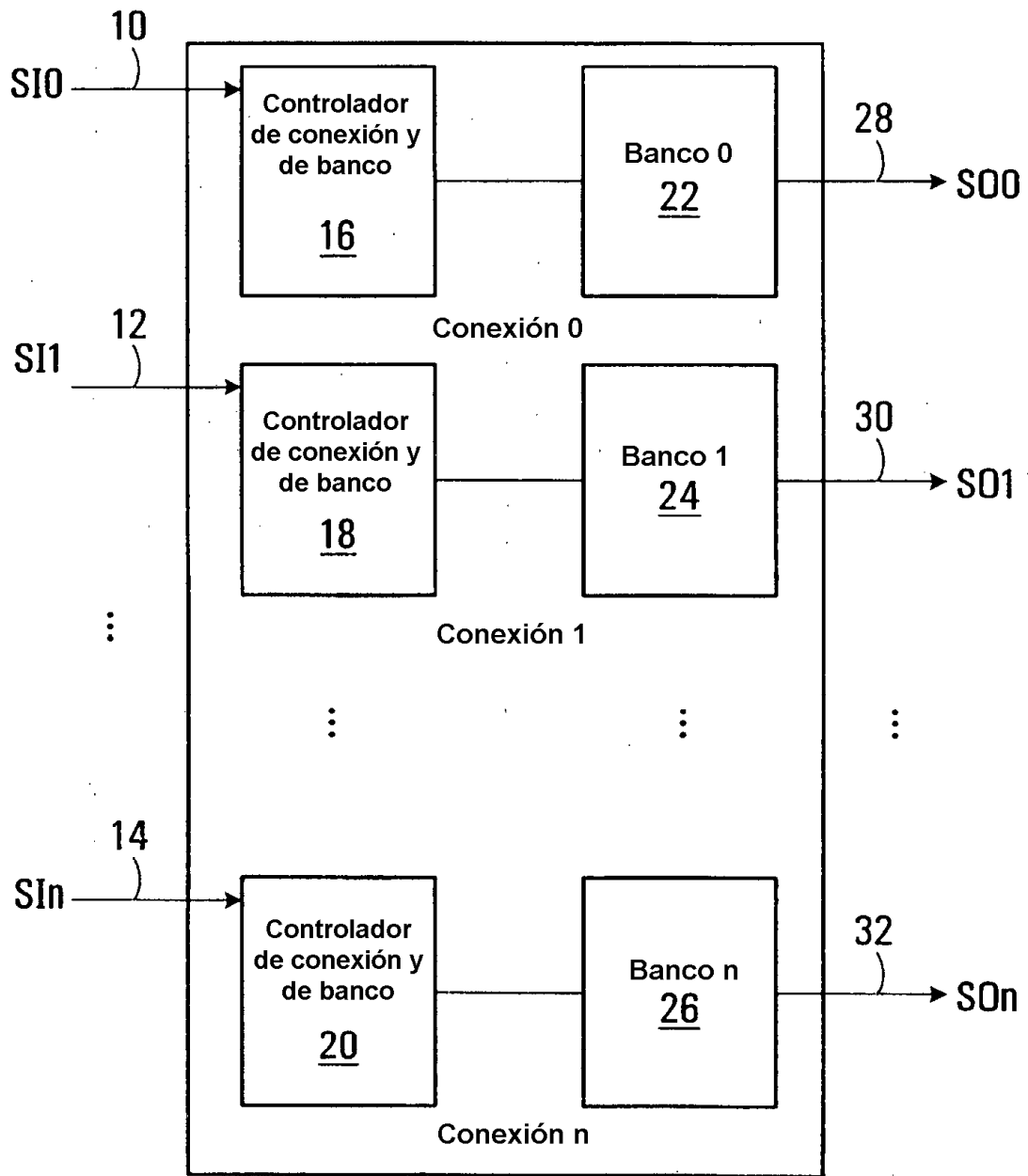


FIG. 1

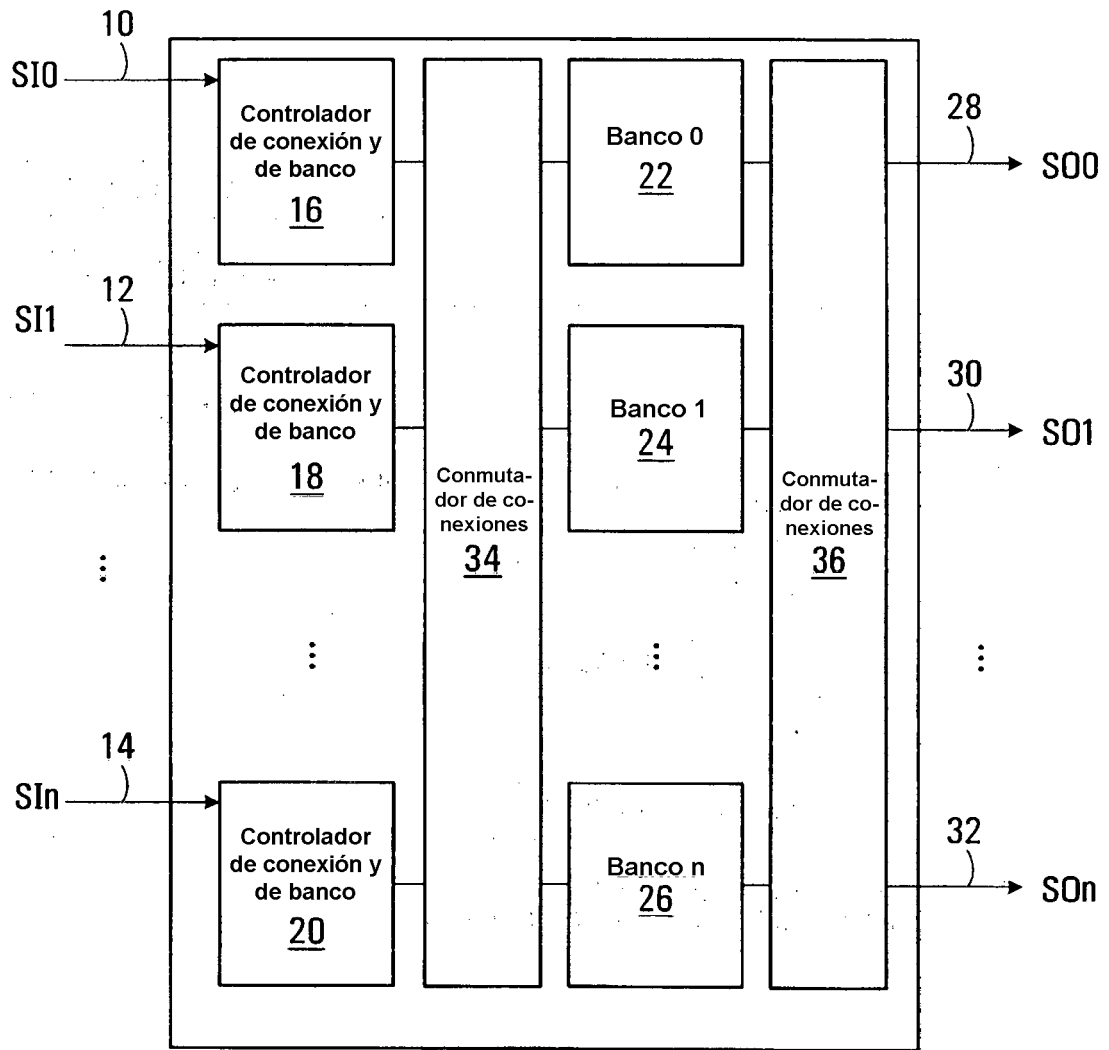


FIG. 2

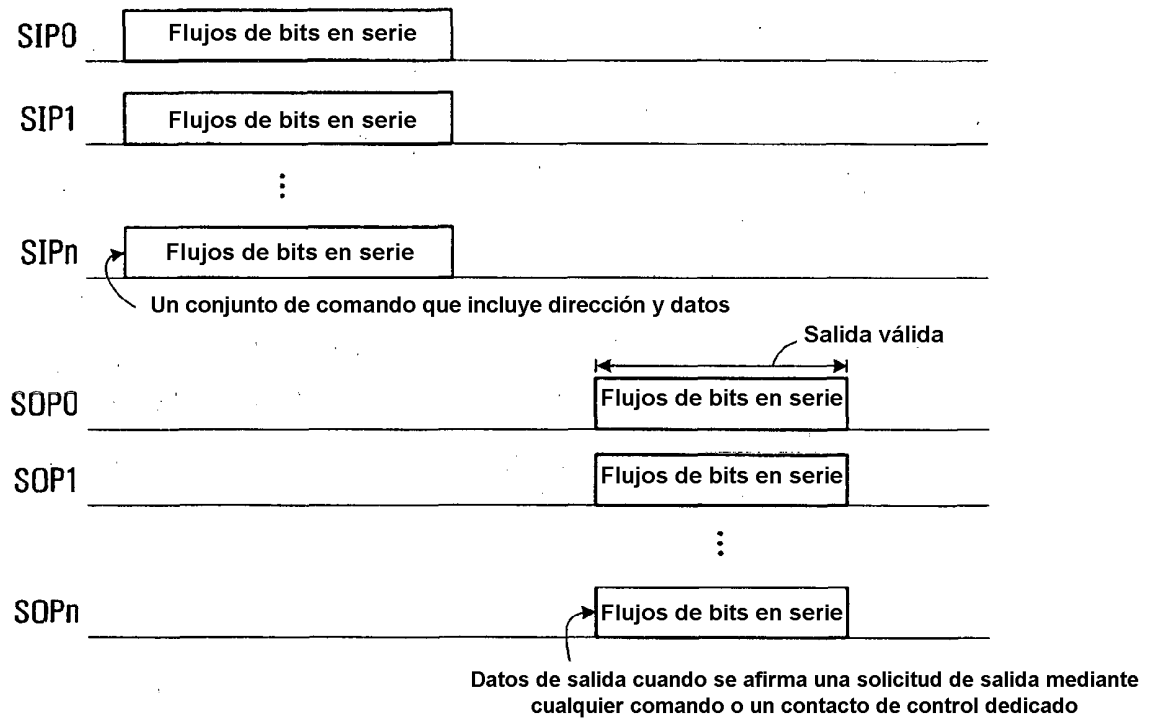


FIG. 3

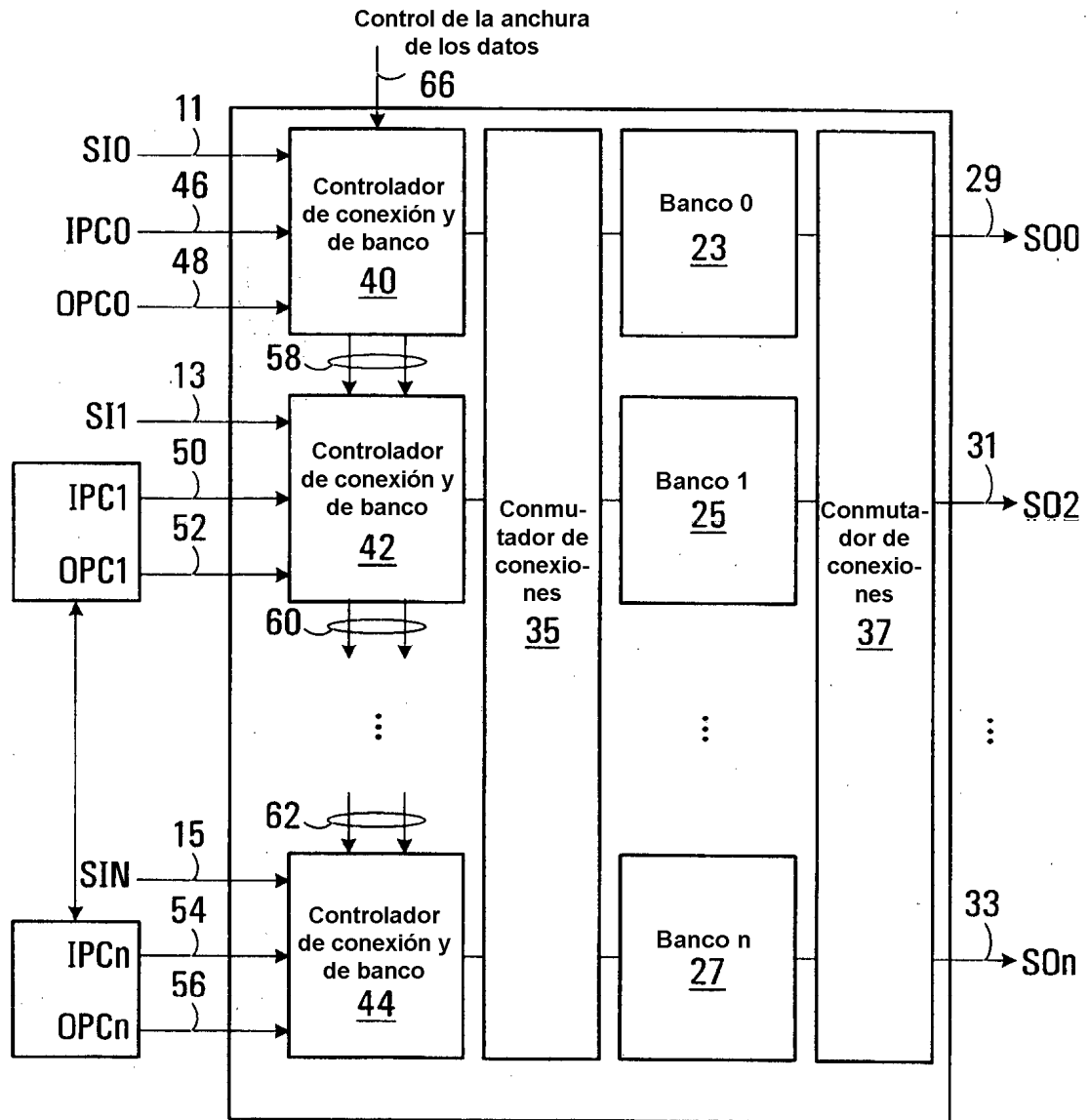


FIG. 4

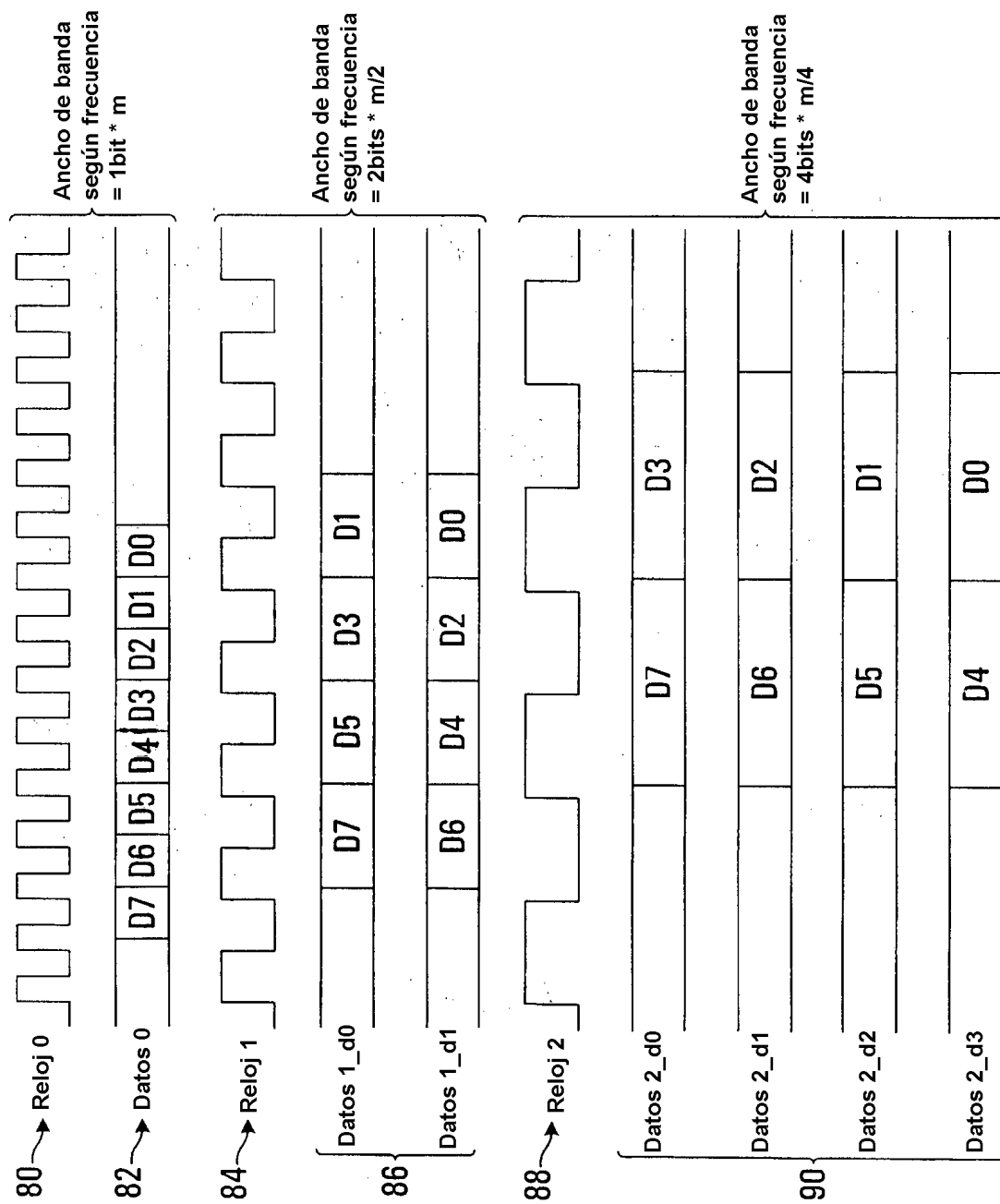


FIG. 5

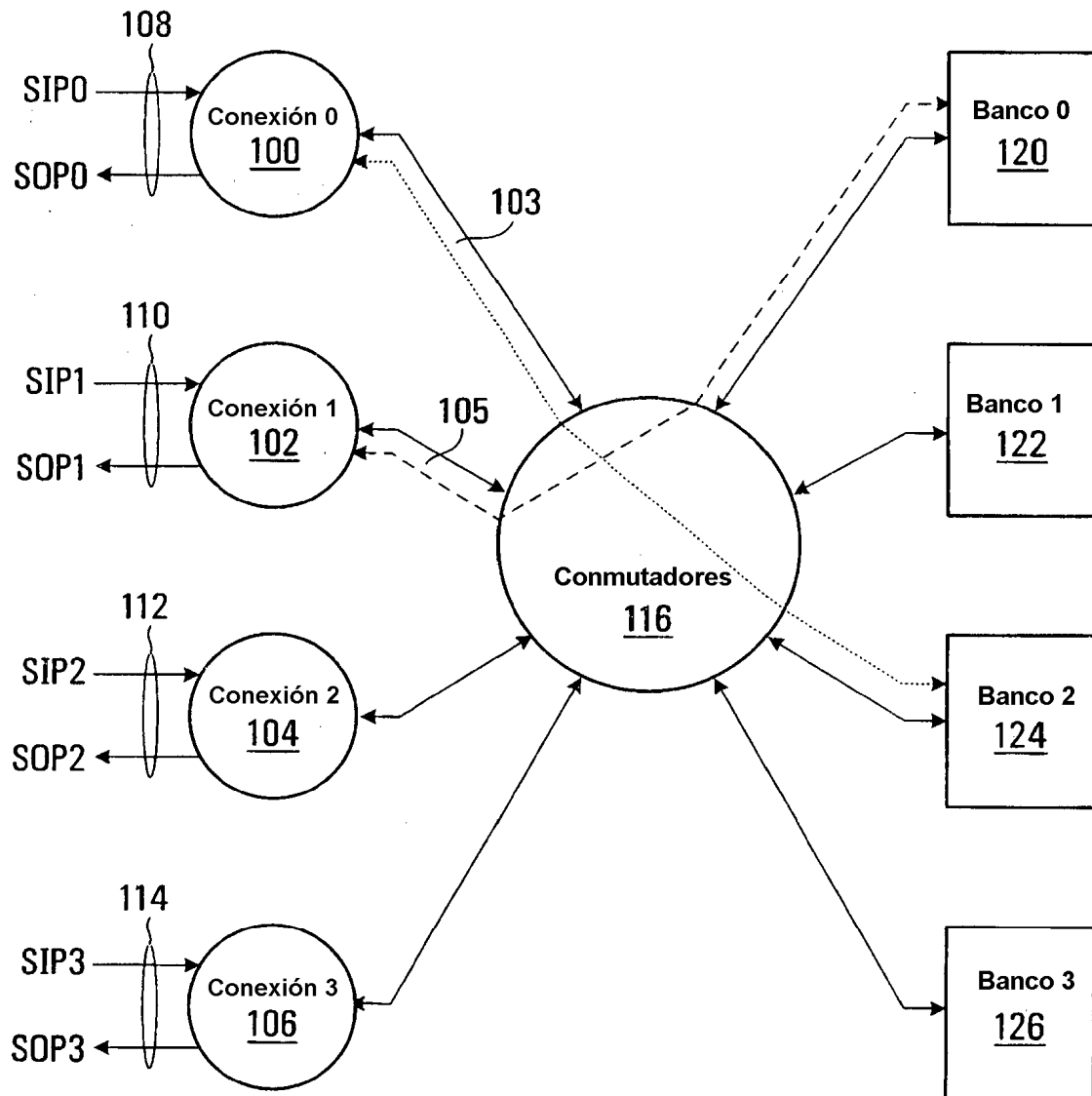


FIG. 6

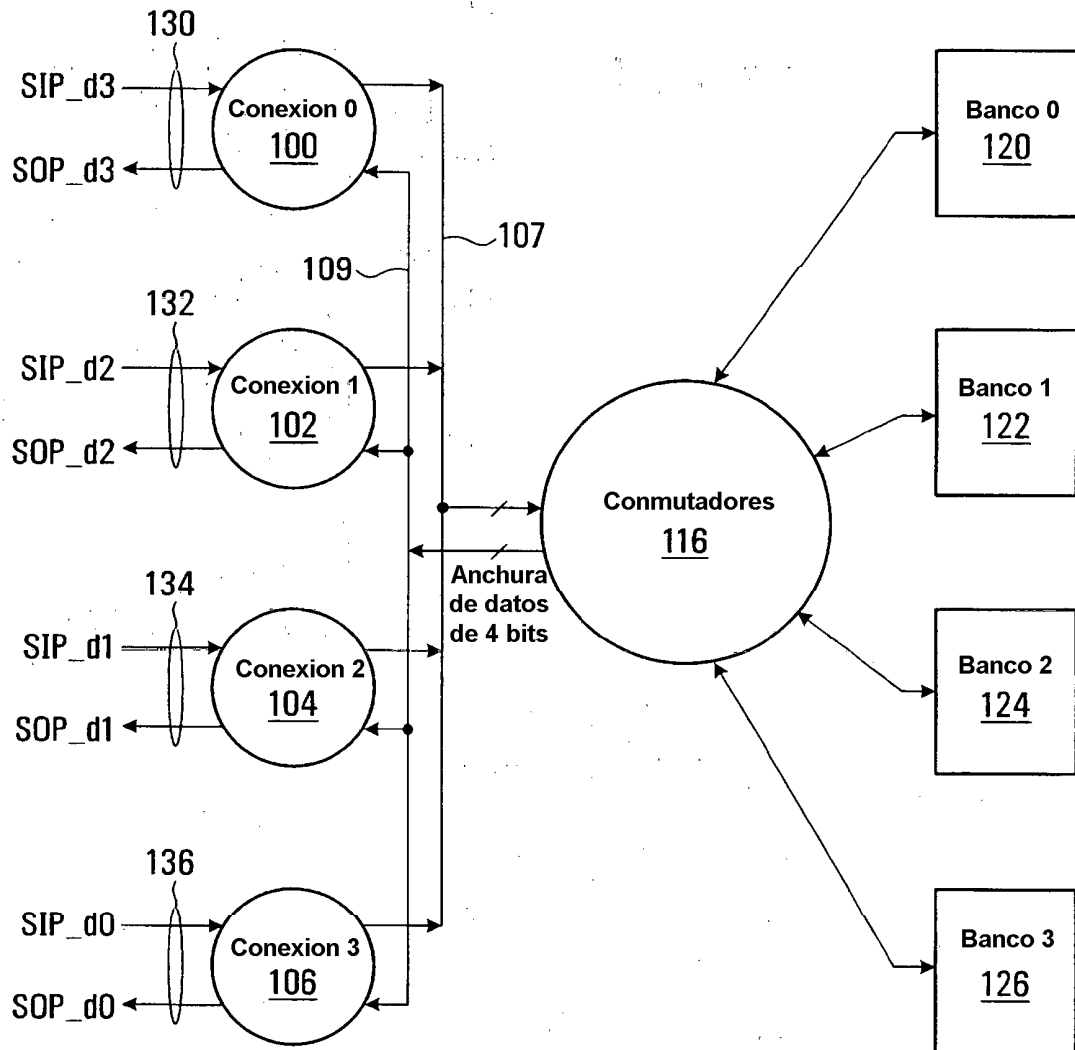
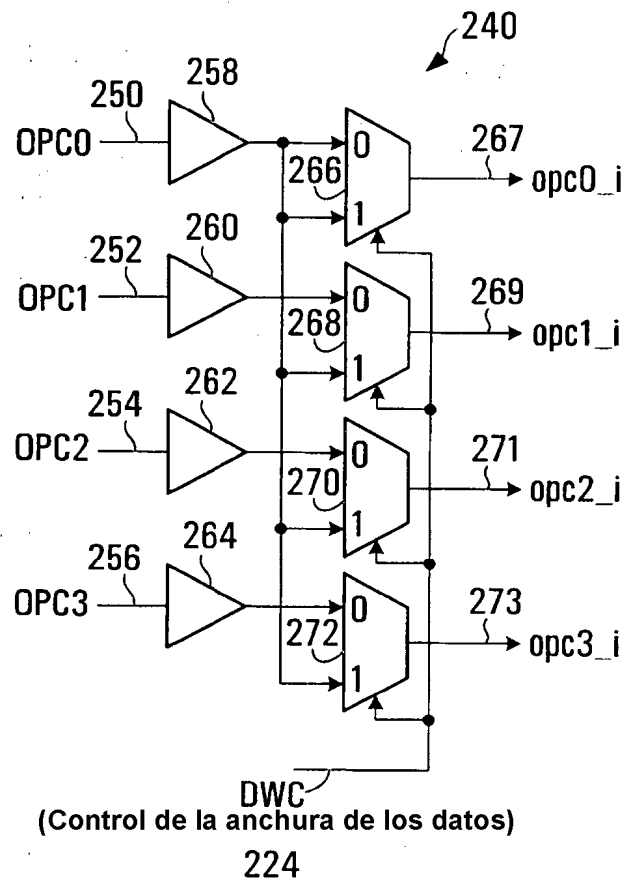
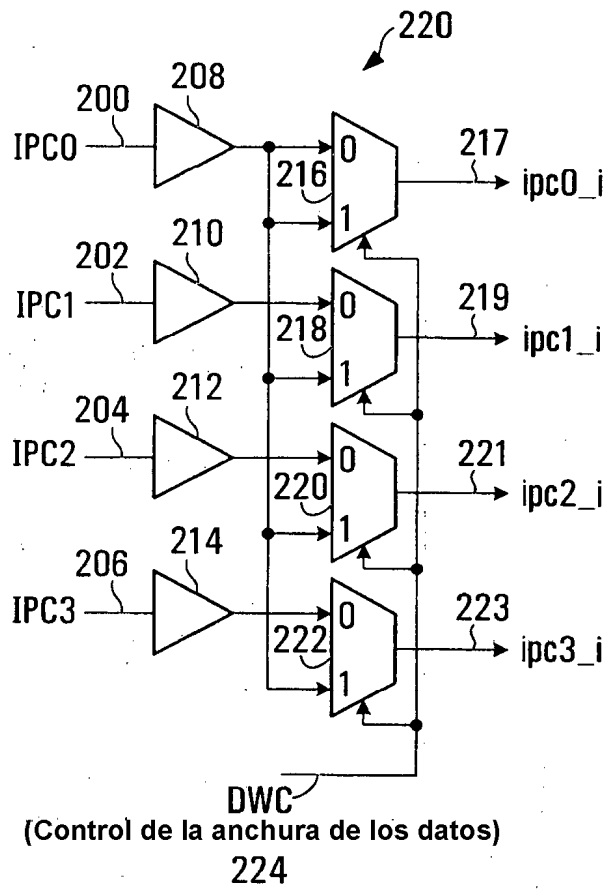


FIG. 7



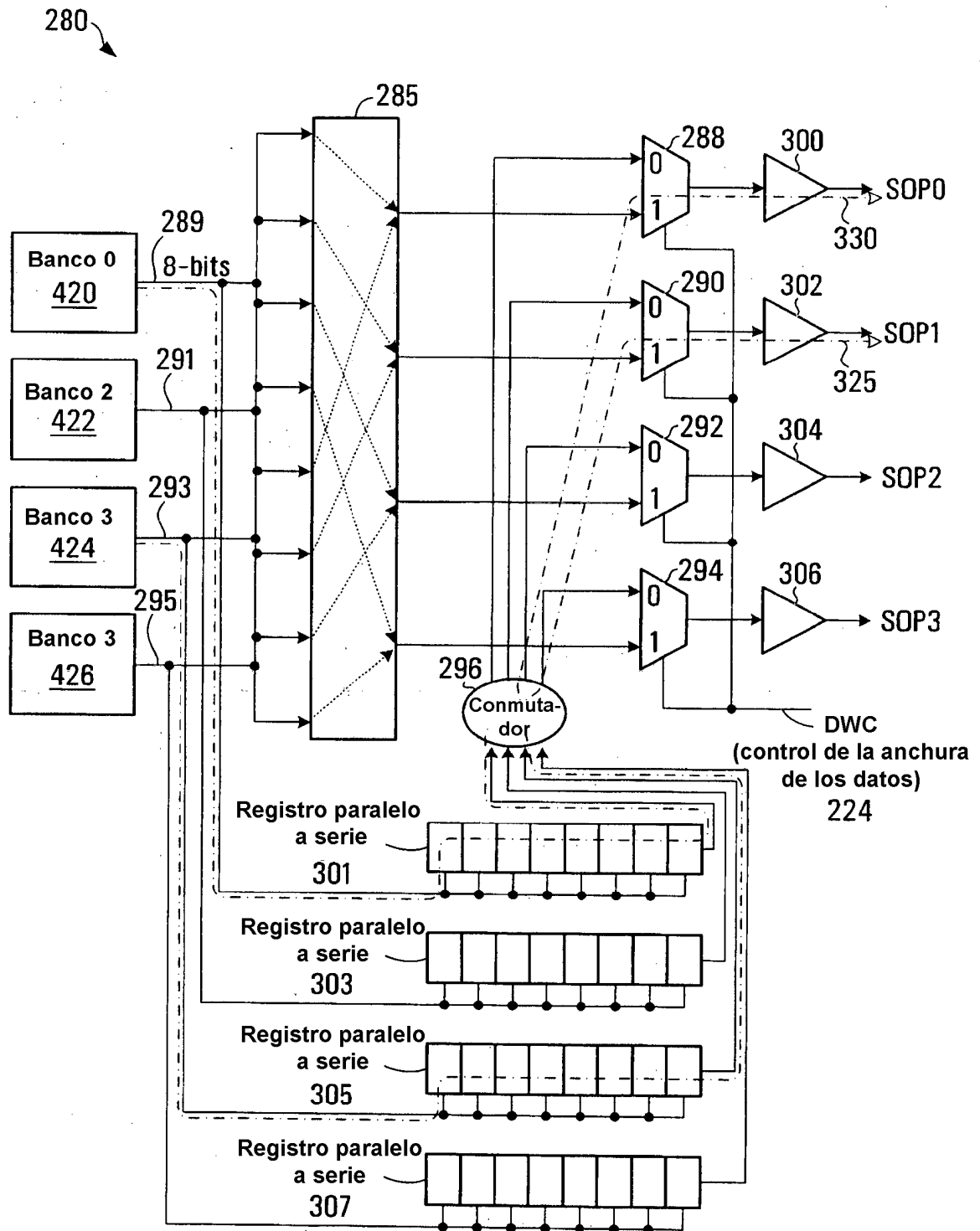


FIG. 8C

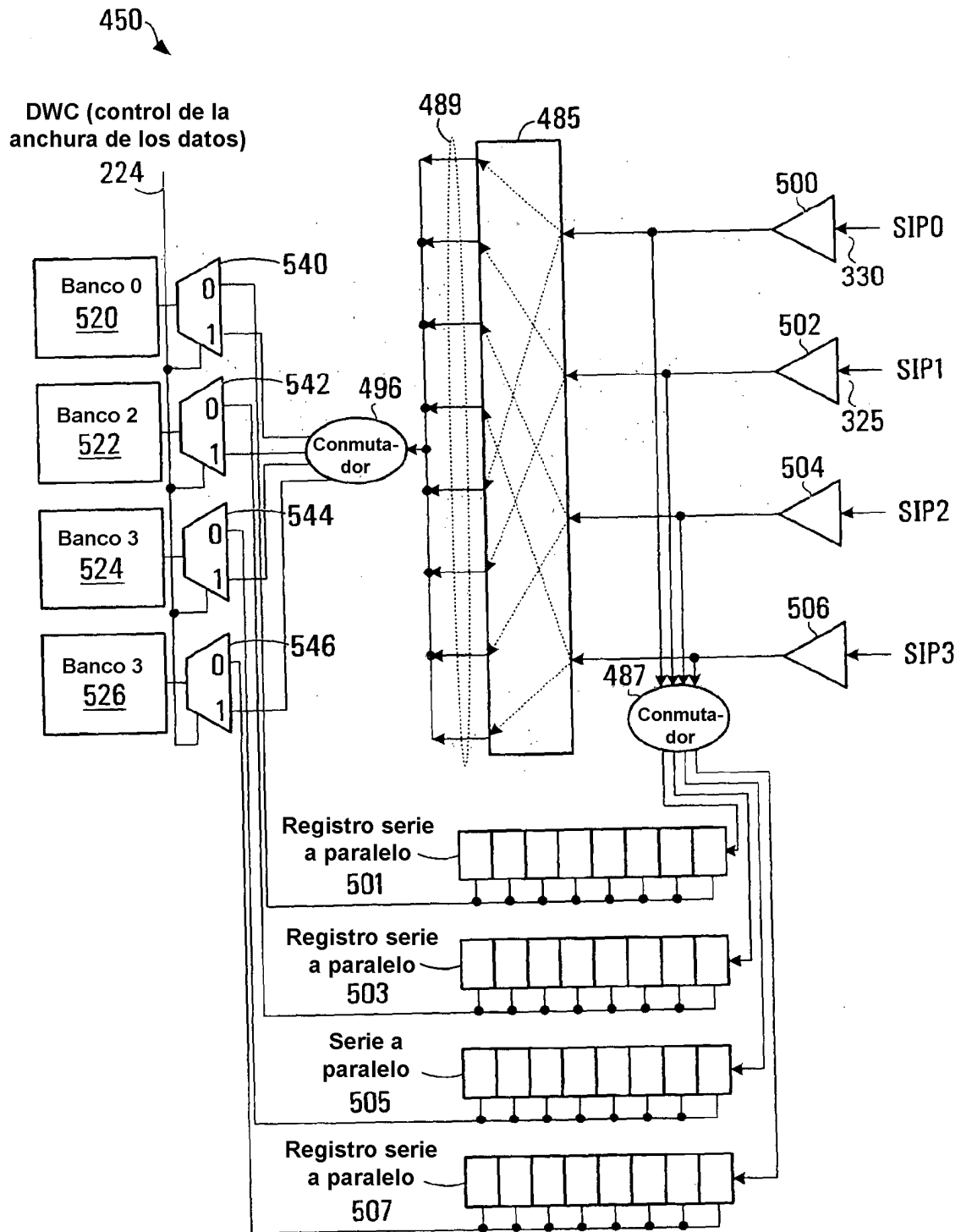


FIG. 8D

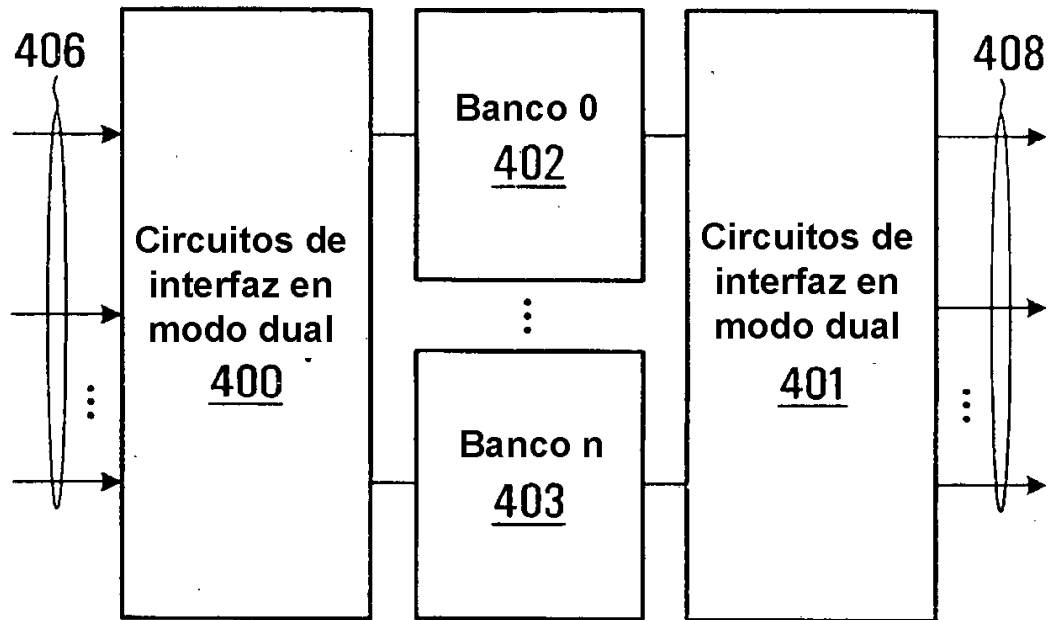


FIG. 9