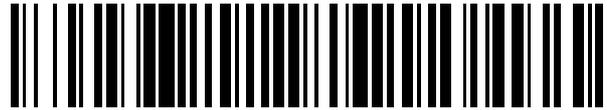


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 453 046**

51 Int. Cl.:

H03K 17/16 (2006.01)

H03K 17/0812 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **15.06.2010 E 10165936 (5)**

97 Fecha y número de publicación de la concesión europea: **26.02.2014 EP 2276173**

54 Título: **Dispositivo de control de un transistor de potencia**

30 Prioridad:

07.07.2009 FR 0954681

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
03.04.2014

73 Titular/es:

**SCHNEIDER TOSHIBA INVERTER EUROPE SAS
(100.0%)**

**33, rue André Blanchet
27120 Pacy sur Eure, FR**

72 Inventor/es:

GRBOVIC, PETAR

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 453 046 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de control de un transistor de potencia

Campo de la invención

5 La presente invención se refiere a un dispositivo de control de un transistor de potencia, de manera más particular de un transistor con efecto de campo de unión de tipo JFET (*Junction Field Effect Transistor*). El transistor JFET se fabricará, por ejemplo, en un material con una gran energía de banda prohibida, como el carburo de silicio o el nitruro de galio. Este tipo de transistor se puede emplear, en particular, en un ondulator con modulación por ancho de pulso (MLI o PWM por *Pulse Width Modulation* en inglés).

10 Se han escrito numerosas publicaciones a propósito del control de transistores, en particular de tipo IGBT (*Insulated Gate Bipolar Transistor*).

15 En el control de un transistor, el principal problema a resolver es que se pueda controlar la velocidad de conmutación del transistor. Para ello, es preciso poder controlar de forma independiente entre sí la variación de la corriente en función del tiempo (di/dt) y la variación de la tensión en función del tiempo (dV/dt). En la puesta en conducción del transistor, el objetivo es, por ejemplo, reducir el di/dt y aumentar el dV/dt . Sin embargo, la mayor parte del tiempo, los controles conocidos no son satisfactorios.

20 La publicación titulada "An IGBT Gate Driver for Feed-Forward control Turnon Losses and Reverse Recovery Current" de Petar J. Grbovic, en *IEEE Transactions on Power Electronics*, vol. 23, nº. 2, marzo de 2008, página 643, describe un dispositivo de control satisfactorio para un transistor de tipo IGBT. Este tipo de dispositivo permite, en particular, limitar las pérdidas en la puesta en conducción del transistor. La resistencia de compuerta se selecciona para conseguir un equilibrio entre las pérdidas en conmutación del transistor, la amplitud de la corriente de conducción inversa del diodo de rueda libre asociado al transistor y las interferencias electromagnéticas generadas. Sin embargo, este dispositivo sigue sin adaptarse al control de un transistor de tipo JFET. En efecto, en un JFET, el intervalo de tensión entre la tensión mínima de puesta en conducción y la tensión máxima que puede soportar el transistor es muy reducido. De este modo, el transistor JFET requiere un dispositivo de control muy preciso en el cual los rendimientos en conmutación deben estar optimizados. Al optimizar los rendimientos durante la puesta en conducción del transistor, es entonces posible reducir las pérdidas en conmutación así como las interferencias electromagnéticas.

30 El objeto de la invención es ofrecer un dispositivo de control de un transistor de tipo JFET con unos rendimientos optimizados para reducir las pérdidas en conmutación y las interferencias electromagnéticas durante la puesta en conducción del transistor.

Este objeto se consigue mediante un dispositivo de control de compuerta de un transistor de tipo JFET que comprende una compuerta, un drenaje y una fuente, **caracterizándose** dicho dispositivo **porque** comprende:

- 35 – un circuito de generación de tensión que comprende una salida conectada a la compuerta del transistor, estando destinado dicho circuito a generar en la salida una tensión compuerta-fuente de referencia siguiendo una rampa de tensión predeterminada;
- un circuito de limitación de tensión destinado a limitar la tensión compuerta-fuente de referencia en un valor máximo predeterminado cuando la tensión compuerta-fuente en los bornes del transistor JFET ha alcanzado dicho valor máximo.

40 Según una particularidad de la invención, el circuito de limitación comprende una entrada en la cual se aplica la tensión a los bornes de un condensador y una salida destinada a generar la tensión compuerta-fuente de referencia.

Según otra particularidad de la invención, el circuito de limitación comprende un transistor bipolar y unos medios de comparación entre la tensión compuerta-fuente del transistor JFET y el valor máximo predeterminado.

45 Según otra particularidad de la invención, el circuito de limitación comprende un diodo y el valor máximo se determina mediante la suma de la tensión umbral de conducción del transistor bipolar y de la tensión umbral de conducción del diodo.

Según otra particularidad, el circuito de generación de tensión comprende una resistencia, una inductancia y un condensador unidos en serie, que forman un circuito RLC conectado entre la salida de un circuito de entrada y la fuente del transistor JFET y un diodo de bloqueo montado en paralelo al condensador del circuito RLC entre una entrada del circuito de limitación y la fuente del transistor JFET.

50 Según otra particularidad, el circuito de generación de tensión comprende dos transistores bipolares en serie cuyas dos bases están unidas entre sí y conectadas a la salida del circuito de limitación.

Según otra particularidad, el primer transistor bipolar del circuito de generación de tensión es de tipo PNP y el segundo transistor es de tipo NPN, estando los bornes del emisor de los transistores conectados entre sí.

Según otra particularidad, el dispositivo de control comprende un circuito de entrada destinado a generar en la salida una señal de control del transistor JFET.

- 5 Según otra particularidad, el dispositivo comprende una resistencia de compuerta conectada entre la compuerta del transistor y la salida del circuito de generación de tensión.

Según otra particularidad, el dispositivo comprende un diodo y un condensador montados en serie entre una primera entrada del circuito de limitación y la masa, y un diodo de estabilización montado en paralelo al condensador.

- 10 La invención también se refiere a un convertidor de potencia que comprende una etapa onduladora que comprende varios transistores de tipo JFET, estando cada transistor JFET controlado por medio de un dispositivo de control tal como se ha definido con anterioridad.

La invención se puede aplicar al control de un transistor JFET de tipo normalmente abierto ("normally OFF") o de tipo normalmente cerrado ("normally ON").

- 15 El dispositivo de control de la invención permite controlar de forma independiente la variación de corriente en función del tiempo que atraviesa el transistor y, por lo tanto, las interferencias electromagnéticas que genera esta variación, así como la variación de tensión entre el drenaje y la fuente del transistor, y por lo tanto las pérdidas en conmutación.

Se mostrarán otras características y ventajas en la descripción detallada que viene a continuación en referencia a un modo de realización que se da a título de ejemplo y se representa en los dibujos adjuntos, en los que:

- 20 – la figura 1 representa el dispositivo de la invención destinado al control de un transistor de tipo JFET;
- la figura 2 muestra la evolución de los diferentes parámetros intensidad y tensión en el dispositivo de control representado en la figura 1;
- la figura 3 representa de manera más particular el circuito de limitación de tensión utilizado en el dispositivo de control de la invención;
- 25 – la figura 4 representa una variante de realización del dispositivo de la invención;
- la figura 5 muestra las curvas de evolución de la tensión de alimentación y de la corriente en el dispositivo representado en la figura 4.

El dispositivo de la invención se aplica al control de un transistor de tipo JFET (*Junction Field Effect Transistor*).

- 30 Un transistor JFET es un interruptor electrónico de potencia conocido que comprende una compuerta de control (G) cuya función es permitir o no el paso de una corriente entre un drenaje (D) y una fuente (S). Dicho transistor es de tipo normalmente cerrado (o "Normally ON") si la tensión V_{GS} entre la compuerta y la fuente se aproxima a cero. Esto significa que el camino drenaje-fuente es de paso o conductor en ausencia de tensión de control V_{GS} . A la inversa, un transistor JFET es de tipo normalmente abierto (o "Normally OFF") si el camino drenaje-fuente no es conductor en ausencia de tensión V_{GS} entre compuerta y fuente.

- 35 Según la invención, el transistor JFET controlado se fabricará de preferencia en un material con una alta energía de banda prohibida ("Wide Gap Band Material"), por ejemplo de Carburo de Silicio o Nitruro de Galio, con el fin de presentar una baja resistencia en el estado conductor (R_{DSon}), por lo tanto de presentar unas pérdidas limitadas, y de soportar unas altas tensiones (superiores a 600 V).

- 40 Para controlarlo en la apertura un transistor JFET normalmente cerrado precisa la aplicación de una tensión V_{GS} entre compuerta y fuente que sea negativa. Esta tensión está tradicionalmente comprendida entre -5 voltios y -5 voltios.

Para controlarlo en el cierre un transistor JFET normalmente abierto precisa la aplicación de una tensión V_{GS} entre compuerta y fuente que sea positiva. Esta tensión positiva está tradicionalmente comprendida entre +1 voltio y +3 voltios.

- 45 Los transistores JFETs se pueden emplear en las aplicaciones de conmutación que van de algunos kilohercios a unos cientos de kilohercios, como las aplicaciones de tipo conversión de potencia como variación de velocidad, alimentación de conmutación o sistema de alimentación ininterrumpida (UPS por "Uninterruptible Power Supply").

- 50 A continuación en la descripción, el dispositivo de la invención se describe para el control de un transistor JFET de tipo normalmente abierto. Por supuesto, el dispositivo de control de la invención está plenamente adaptado para el control de un transistor JFET de tipo normalmente cerrado.

El dispositivo de control de la invención comprende, en particular, un circuito de entrada 10, un circuito de generación de tensión 11, un circuito de limitación de tensión 12 y una resistencia de compuerta R_G .

5 El circuito de entrada 10 está destinado a generar una señal de control en la compuerta del transistor JFET. Este comprende un diodo D y dos interruptores S1, S2 en serie. La salida del circuito de entrada 10 está conectada al punto situado entre los dos interruptores. El circuito de entrada 10 está destinado a generar una tensión de entrada de alimentación V_{GG} que puede tomar un valor positivo designado V_{CC} , por ejemplo igual a +5 V para controlar la puesta en conducción del JFET y un valor negativo designado V_{EE} , que va de -15 V y -20 V, para controlar la extinción del transistor JFET.

10 El circuito de generación de tensión 11 está conectado a la salida del circuito de entrada 10 y está destinado a generar una tensión compuerta-fuente de referencia V_{REF} , designada de aquí en adelante tensión de referencia V_{REF} , según una rampa de tensión predeterminada. La pendiente de la rampa de tensión de referencia V_{REF} es aproximadamente constante.

15 El circuito de generación de tensión 11 comprende, en particular, un circuito RLC pasivo y un diodo de bloqueo D_Z . La resistencia R, la inductancia L y el condensador C del circuito RLC están conectados en serie entre la salida del circuito de entrada 10 y la fuente S del transistor JFET controlado. El diodo de bloqueo D_Z está, por su parte, conectado en paralelo al condensador C del circuito RLC. El punto de conexión situado entre la inductancia L y el condensador C está conectado a una primera entrada (in1) del circuito de limitación de tensión 12. El circuito de generación de tensión 11 comprende, por otra parte, dos transistores Q1, Q2 bipolares en serie. El transistor Q1 es de tipo NPN y tiene su colector (C) conectado a la tensión positiva V_{CC} . El transistor Q2 es de tipo PNP cuyo emisor (E) está conectado al emisor (E) del transistor Q1 y el colector (C) está conectado a la tensión negativa V_{EE} . Las bases (B) de los dos transistores Q1, Q2 están unidas entre sí, un punto de conexión une las dos bases de los transistores Q1, estando conectado Q2 a la salida (out1) del circuito de limitación de tensión 12.

25 El circuito de limitación de tensión 12 que se representa en la figura 3 comprende, por su parte, unas resistencias R1, R2, R3, unos diodos D1 y D2, un condensador C3 y un transistor Q3 bipolar de tipo NPN. La primera entrada (in1) del circuito de limitación de tensión 12 está de este modo conectada directamente a la salida (out1) del circuito de limitación a través de la resistencia R1. Una segunda entrada (in2) del circuito de limitación está conectada a la tensión de alimentación positiva V_{CC} y conectada a la salida (out1) del circuito de limitación a través de la resistencia R2. El condensador C3 y la resistencia R3 están conectados en serie entre una tercera entrada (in3) y un borne en común (com) del circuito de limitación 12. La tercera entrada (in3) del circuito de limitación 12 está conectada a la compuerta G del transistor JFET mientras que el borne en común (com) está unido a la fuente S del transistor JFET. El diodo D1 está conectado entre la salida (out1) del circuito de limitación 12 y el colector C del transistor Q3, mientras que el emisor del transistor Q3 está unido al común (com). El diodo D2 está, por su parte, conectado entre la base del transistor Q3 y el punto de conexión situado entre la resistencia R3 y el condensador C3 en serie.

30 De este modo, la tensión V_C en los bornes del condensador C se aplica entre la primera entrada (in1) del circuito de limitación 12 y el borne en común (com) que está conectado a la fuente S del JFET. Por otra parte, la tensión compuerta-fuente V_{GS} del transistor JFET se aplica entre la tercera entrada (in3) y el borne en común (com) del circuito de limitación 12.

35 La salida (out2) del circuito de generación de tensión está conectada a través de la resistencia de compuerta R_G a la compuerta del transistor JFET controlado. La tensión de referencia V_{REF} que emite el circuito de generación de tensión 11 se aplica entre la salida out2 del circuito de generación de tensión 11 y la fuente S del transistor JFET.

El principio de la invención es optimizar la puesta en conducción del transistor JFET. Con el fin de acelerar la puesta en conducción del transistor JFET, es necesario disponer de una corriente de compuerta i_G lo suficientemente importante. Sin embargo, las pérdidas en conducción y las interferencias electromagnéticas deben mantenerse limitadas.

45 La secuencia de puesta en conducción se puede dividir en cuatro fases distintas que se detallan a continuación en referencia a la figura 2:

Fase 1

50 Se envía una señal de cierre del transistor JFET al dispositivo de control que acciona el cierre del interruptor S2 y la carga del circuito RLC a través del diodo D. Después del cierre del interruptor S2, la tensión V_C en los bornes del condensador C aumenta desde el valor negativo de alimentación V_{EE} hacia cero. La tensión de referencia V_{REF} aumenta siguiendo la rampa predeterminada de pendiente dV_{REF}/dt , que también acciona con un ligero retardo, según la misma pendiente, el aumento de la tensión compuerta-fuente V_{GS} en los bornes del transistor JFET controlado. Durante esta primera fase, la tensión compuerta-fuente V_{GS} es inferior al valor umbral V_{GS_th} de puesta en conducción del JFET. En consecuencia, la corriente de drenaje i_D es nula.

55

Fase 2

La tensión compuerta-fuente V_{GS} alcanza el valor umbral $V_{GS_{th}}$ de puesta en conducción del JFET. La corriente de drenaje i_D comienza, por lo tanto a atravesar el JFET entre el drenaje D y la fuente S. Como la tensión compuerta-fuente V_{GS} continua aumentando, la corriente de drenaje i_D también aumenta según la pendiente de aumento de la tensión compuerta-fuente V_{GS} y las características del transistor JFET. En consecuencia, la variación de la corriente de drenaje i_D se controla mediante la variación de la tensión compuerta-fuente V_{GS} y, por lo tanto, mediante la tensión de referencia V_{REF} .

Fase 3

La corriente de drenaje i_D alcanza el valor de la corriente de carga i_{LO} y la tensión drenaje-fuente V_{DS} comienza a disminuir. La disminución de la tensión drenaje-fuente V_{DS} está vinculada al importante aumento de la corriente de compuerta i_G . Esta disminución de la tensión drenaje-fuente V_{DS} encuentra su origen en el efecto Miller del transistor JFET. En la meseta de Miller, como el transistor está en la zona activa, la tensión compuerta-fuente V_{GS} es constante lo que conlleva el mantenimiento en el estado constante de la corriente de drenaje i_D en el valor de la corriente de carga i_{LO} . Como la tensión de referencia V_{REF} continúa aumentando para alcanzar la tensión positiva V_{CC} , la corriente i_G inyectada en la compuerta G del transistor JFET también aumenta. En efecto, la diferencia entre la tensión de referencia V_{REF} y la tensión compuerta-fuente V_{GS} corresponde a la tensión V_G en los bornes de la resistencia de compuerta R_G . De este modo, cuanto más grande es la diferencia entre la tensión de referencia V_{REF} y la tensión compuerta-fuente V_{GS} , más alta es la corriente inyectada i_G en la compuerta G del transistor JFET. Además, si la resistencia de compuerta R_G tiene un valor especialmente bajo, la corriente de compuerta i_G aumenta de manera significativa. Si se considera que la resistencia de compuerta R_G presenta un valor pequeño, por ejemplo de algunos Ohmios, la corriente de compuerta i_G puede, por lo tanto, ser alta y cuanto más alta es la corriente de compuerta i_G , más rápido es el decrecimiento de la tensión drenaje-fuente V_{DS} . De este modo, se limita la deriva de la tensión y se reducen las pérdidas en conmutación durante la puesta en conducción del transistor JFET.

Fase 4

Una vez que la tensión drenaje-fuente V_{DS} se aproxima a cero, la tensión compuerta-fuente V_{GS} continúa su aumento siguiendo la progresión de la tensión de referencia V_{REF} . Sin embargo, cuando la tensión compuerta-fuente V_{GS} alcanza el valor máximo $V_{GS_{max}}$, se debe limitar la tensión compuerta-fuente V_{GS} con el fin de no deteriorar el componente. Para ello la tensión de referencia V_{REF} se reduce al valor máximo $V_{GS_{max}}$ de tal modo que se limite la tensión compuerta-fuente en el valor máximo $V_{GS_{max}}$.

La energía disipada durante la puesta en conducción del transistor se expresa mediante la siguiente relación:

$$E_{on} \approx \frac{1}{2} \left(\frac{V_{BUS} \cdot (I_{LO})^2}{di_D/dt} \cdot \frac{C_{DS} \cdot I_{LO} \cdot V_{BUS}^2}{i_G} \right) \approx \frac{1}{2} \left(\frac{V_{BUS} \cdot (I_{LO})^2}{f_1(dV_{GS}/dt)} \cdot \frac{C_{DS} \cdot I_{LO} \cdot V_{BUS}^2}{f_2(R_G)} \right)$$

A partir de esta fórmula, se comprueba que las pérdidas en conmutación dependen de la variación de la tensión compuerta-fuente V_{GS} a lo largo del tiempo y de la amplitud de la corriente de compuerta i_G .

Durante la fase de funcionamiento nº. 4, la tensión de referencia V_{REF} está limitada al valor máximo $V_{GS_{max}}$ por medio del circuito de limitación 12 que se representa en la figura 3. Cuando la tensión compuerta-fuente V_{GS} que se aplica entre la tercera entrada (in3) y el borne en común (com) del circuito de limitación es inferior a la suma de la tensión umbral V_{BE} de conducción del transistor Q3 y de la tensión umbral V_{D2} de conducción del diodo D2 del circuito de limitación 12, el transistor Q3 queda entonces bloqueado y la tensión V_C en los bornes del condensador C se transfiere directamente a la salida (out1) del circuito de limitación 12. Cuando la tensión compuerta-fuente V_{GS} se vuelve superior a la suma de las tensiones umbral de conducción del transistor Q3 y del diodo D2, el transistor Q3 comienza a conducir lo que tiene como efecto limitar la tensión aplicada en la salida (out1) del circuito de limitación 12. Como la tensión aplicada en la salida (out1) es la tensión de referencia V_{REF} , la tensión compuerta-fuente V_{GS} quedará automáticamente limitada. Como $V_{GS_{max}} \leq V_{BE} + V_{D2}$ y si se considera que la tensión umbral V_{BE} de conducción del transistor Q3 es de 0,7 V y que la tensión umbral V_{D2} de conducción del diodo D2 es de 0,7 V, la tensión máxima compuerta-fuente $V_{GS_{max}}$ vale 1,4 V. En el circuito de limitación 12 que se representa en la figura 3, la resistencia R3 y el condensador C3 forman un filtro de paso bajo que se emplea para filtrar el ruido de alta frecuencia en la tensión compuerta-fuente V_{GS} y permiten limitar la inestabilidad de la regulación en la tensión máxima compuerta-fuente $V_{GS_{max}}$. La resistencia R2 se emplea como una resistencia de polarización del transistor Q3 una vez terminada la conmutación del transistor JFET.

La figura 4 muestra una variante de realización en el dispositivo de la figura 1. Como se ha mencionado con anterioridad, la tensión compuerta-fuente V_{GS} debe ser ligeramente positiva para controlar la puesta en conducción del transistor JFET. Para ello, es necesario disponer de una tensión de alimentación positiva designada más arriba V_{CC} . La variante de la figura 4 consiste en suprimir la parte positiva de la tensión de alimentación y en generar esta

5 tensión de alimentación positiva directamente en el dispositivo de control lo que permite reducir la complejidad del sistema de alimentación del dispositivo de control. Para ello, el dispositivo de control comprende un diodo D_B , llamado diodo de refuerzo ("boost diode"), un condensador C_B , llamado condensador de refuerzo ("boost capacitor") y un diodo D_S . El diodo D_B y el condensador C_B están montados en serie entre la primera entrada in1 del circuito de limitación 12 y la masa. El diodo D_S está montado en paralelo al condensador C_B .

10 Haciendo referencia a la figura 5, en el instante t_0 , se envía una señal de cierre del transistor JFET al dispositivo de control que acciona el cierre del interruptor S2 y la aparición de la tensión de control de compuerta V_{GG} . El condensador C se carga de tal modo que su tensión V_C aumenta desde la tensión de alimentación negativa V_{EE} hacia la tensión de alimentación positiva V_{CC} pasando por cero. En el instante t_1 , la tensión en los bornes del condensador C alcanza el valor V_{CC} y el diodo D_B comienza a conducir la corriente. La energía entonces almacenada en la inductancia L, en función de la corriente máxima I_M , puede entonces liberarse en el condensador C_B . La cantidad de energía liberada en el condensador C_B es siempre idéntica sea cual sea el instante en el que el transistor JFET se pone en conducción. Esta energía permite, por lo tanto, cubrir la parte positiva de la alimentación del dispositivo de control y, por lo tanto, mantener una tensión V_{CC} . La tensión máxima se estabiliza por medio del diodo Zener D_S . En el instante t_2 , la corriente que atraviesa la inductancia se vuelve nula y se mantiene a cero ya que el diodo D es de bloqueo. El condensador C se mantiene cargado con la tensión positiva V_{CC} .

15

REIVINDICACIONES

1. Dispositivo de control de compuerta de un transistor de tipo JFET que comprende una compuerta, un drenaje y una fuente, comprendiendo dicho dispositivo:
- 5 – un circuito de generación de tensión (11) que comprende una salida (out2) conectada a la compuerta (G) del transistor, estando destinado dicho circuito a generar en la salida una tensión compuerta-fuente de referencia (V_{REF}) siguiendo una rampa de tensión predeterminada;
caracterizándose el circuito de generación de tensión **porque** comprende:
- 10 – un circuito de limitación de tensión (12) que comprende un transistor bipolar (Q3) y unos medios de comparación entre la tensión compuerta-fuente (V_{GS}) del transistor JFET y un valor máximo (V_{GS_max}) predeterminado, estando destinado dicho circuito de limitación a limitar la tensión compuerta-fuente de referencia (V_{REF}) a dicho valor máximo (V_{GS_max}) predeterminado cuando la tensión compuerta-fuente (V_{GS}) en los bornes del transistor JFET ha alcanzado dicho valor máximo.
2. Dispositivo según la reivindicación 1, **caracterizado porque** el circuito de limitación comprende una entrada (in1) en la cual se aplica la tensión a los bornes de un condensador (C) y una salida destinada a generar la tensión compuerta-fuente de referencia (V_{REF}).
3. Dispositivo según la reivindicación 1, **caracterizado porque** el circuito de limitación (12) comprende un diodo (D2) y **porque** el valor máximo está determinado mediante la suma de la tensión umbral (V_{BE}) de conducción del transistor bipolar (Q3) y de la tensión umbral (V_{D2}) de conducción del diodo (D2).
- 20 4. Dispositivo según una de las reivindicaciones 1 a 3, **caracterizado porque** el circuito de generación de tensión (11) comprende una resistencia (R), una inductancia (L) y un condensador (C) unidos en serie, que forman un circuito RLC conectado entre la salida de un circuito de entrada (10) y la fuente del transistor JFET y un diodo de bloqueo (Dz) montado en paralelo al condensador (C) del circuito RLC entre una entrada (in1) del circuito de limitación (12) y la fuente del transistor JFET.
- 25 5. Dispositivo según la reivindicación 4, **caracterizado porque** el circuito de generación de tensión (11) comprende dos transistores bipolares (Q1, Q2) en serie cuyas dos bases están unidas entre sí y conectadas a la salida (out1) del circuito de limitación (12).
6. Dispositivo según la reivindicación 5, **caracterizado porque** el primer transistor bipolar (Q1) es de tipo PNP y el segundo transistor (Q2) es de tipo NPN, estando los bornes del emisor de los transistores conectados entre sí.
- 30 7. Dispositivo según la reivindicación 1, **caracterizado porque** comprende un circuito de entrada (10) destinado a generar en la salida una señal de control del transistor JFET.
8. Dispositivo según una de las reivindicaciones 1 a 7, **caracterizado porque** comprende una resistencia de compuerta (R_G) conectada entre la compuerta (G) del transistor y la salida (out2) del circuito de generación de tensión (11).
- 35 9. Dispositivo según la reivindicación 1, **caracterizado porque** comprende un diodo (D_B) y un condensador (C_B) montados en serie entre una primera entrada (in1) del circuito de limitación (12) y la masa, y un diodo de estabilización montado en paralelo al condensador (C_B).
10. Convertidor de potencia que comprende una etapa onduladora que comprende varios transistores de tipo JFET, **caracterizado porque** cada transistor JFET está controlado por medio de un dispositivo de control tal como se define en una de las reivindicaciones anteriores.

40

Fig. 2

