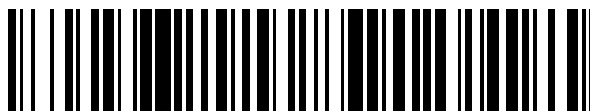


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 455 091**

51 Int. Cl.:

G11C 11/408 (2006.01)

H03K 19/0185 (2006.01)

G11C 8/08 (2006.01)

H03K 19/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **21.11.2006 E 06804754 (7)**

97 Fecha y número de publicación de la concesión europea: **08.01.2014 EP 1982413**

54 Título: **Circuito desplazador de nivel de voltaje**

30 Prioridad:

06.02.2006 US 347289

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

14.04.2014

73 Titular/es:

**MOSAID TECHNOLOGIES INC. (100.0%)
11 Hines Road, Suite 203
Ottawa, ON K2K 2X1, CA**

72 Inventor/es:

LINES, VALERIE L.

74 Agente/Representante:

CARVAJAL Y URQUIJO, Isabel

ES 2 455 091 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito desplazador de nivel de voltaje

Campo Técnico

5 La presente invención se relaciona de manera general con circuitos desplazadores de nivel. En particular, la presente invención se relaciona con circuitos desplazadores de nivel de dos voltajes.

Información Antecedente

10 Los circuitos desplazadores de nivel de voltaje son bien conocidos en la técnica por traducir, o convertir, las señales digitales controladas con un primer conjunto de suministros de voltaje a una señal controlada con un segundo conjunto de suministros de voltaje, en donde la salida de voltaje alta (o baja) es mayor (o menor) que aquella en el primer conjunto de suministros de voltaje. El desplazamiento del nivel de voltaje se utiliza en sistemas donde los circuitos que operan con diferentes suministros de voltaje deben comunicarse entre sí.

15 Aquellos expertos en la técnica entenderán que la memoria de acceso aleatorio dinámica (DRAM) emplea convencionalmente desplazadores de nivel en los circuitos controladores de filas de un arreglo de memoria. Los circuitos controladores de filas en una memoria con transistores de celda n-canal preferiblemente controlan las filas con un voltaje por encima del voltaje de suministro de potencia lógico "1" (típicamente VDD) para maximizar la carga escrita y leída de las celdas DRAM que han tenido acceso. Las filas pueden ser además controladas a un nivel de voltaje por debajo del VSS para minimizar la corriente de fugas de las celdas DRAM.

20 La figura 1 es un esquema de un circuito que incluye un circuito desplazador de nivel de la técnica anterior que se utiliza para controlar las líneas en un DRAM a millones de voltaje por encima del VDD y por debajo del VSS. La Figura 1 incluye un circuito lógico 12, y un circuito desplazador de nivel 10 comprendido del transistor de paso n-canal 14, el transistor de paso p-canal 16, los transistores de acoplamiento mutuo p-canal 18 y 20, y los transistores n-canal de acoplamiento mutuo 22 y 24.

25 El circuito lógico 12 se muestra como una puerta NAND para recibir cualquier número y combinación de señales de dirección y de señales de control, y para suministrar una salida decodificada única. El circuito lógico 12 está energizado mediante los suministros de voltaje VDD y VSS, y puede tener cualquier configuración de circuito conocida. La salida del circuito lógico 12 se divide en paralelo y pasa a través del transistor de paso n-canal 14 y el transistor de paso p-canal 16. El transistor de paso 14 tiene su puerta atada al VDD para aislar el circuito lógico 12 del voltaje VPP (anteriormente VDD), mientras que el transistor de paso 16 tiene su puerta atada al VSS para aislar el circuito lógico 12 del voltaje negativo VBB (por debajo del VSS). El drenador del transistor 16 se conecta a la puerta del transistor 24 y el drenador del transistor 22. El drenador del transistor 14 se conecta a la puerta del transistor 20 y el drenador del transistor 18. Así cuando la salida del circuito lógico 12 es VDD, ese nivel VDD se pasa a través del transistor 16 a los transistores de acoplamiento mutuo 22 y 24 de tal manera que el transistor 24 está prendido y el transistor 22 está apagado. En paralelo, el transistor 20 está apagado y el transistor 18 está prendido y la fila está en VBB.

35 Cuando la salida del circuito lógico 12 cambia de VDD a VSS, el nivel de VSS se pasa al nivel del transistor 14 a los transistores de acoplamiento mutuo 18 y 20 de tal manera que el transistor 20 comienza a prenderse y el transistor 18 comienza a apagarse. En paralelo, el elevamiento del voltaje de línea prende el transistor 22, lo que origina que el transistor de acoplamiento mutuo 24 sea apagado. El tamaño del despliegue lógico de la puerta 12 y el tamaño del transistor 14 deben ser suficientemente grandes para suministrar suficiente corriente para contrarrestar la corriente de funcionamiento del transistor 18 en la puerta del transistor 20. De manera similar, el tamaño del lógico del funcionamiento de la puerta 12 y el tamaño del transistor 16 deben ser suficientemente grandes para suministrar suficiente corriente para contrarrestar el desplegamiento del transistor 22 en la puerta del transistor 24 cuando la salida de la puerta lógica 12 cambia de VSS a VDD. Como los transistores 20 y 24 están conectados directamente a la fila, sus tamaños deben ser suficientemente largos para controlar la línea a tiempo. Los otros transistores en el circuito de desplazamiento del nivel 10 y la puerta lógica 12 también debe ser de un tamaño suficientemente grande de tal manera que el circuito de desplazamiento de nivel 10 opere correctamente. Así la puerta lógica 12 y el circuito de desplazamiento de nivel 10 pueden requerir un área relativamente grande.

50 Adicionalmente, cuando el voltaje de línea se conmuta de VBB a VPP o de VPP a VBB, ocurrirá una corriente en corto en los transistores 20 y 24 y hay una senda de corriente directa desde el VPP al VBB durante un periodo breve de tiempo.

La operación del desplazador de nivel 10 se puede mejorar si los transistores de paso 14 y 16 se fabrican con voltajes de umbral bajo. Sin embargo, en razón a que la fuga de corriente es un problema creciente en los procesos

semiconductores de geometría pequeña, esta solución puede no estar disponible para procesos de energía baja donde solamente se pueden fabricar los dispositivos de alto V_t .

Un segundo circuito de la técnica anterior para traducir una señal lógica VDNSS a una señal de línea de nivel VPP/VBB se muestra en la Figura 2. El circuito en la Figura 2 incluye un circuito lógico 32, un circuito de desplazamiento de nivel 30 para desplazar la salida del nivel VDDNSS del circuito lógico 32 al VPPNSS, un circuito de desplazamiento de nivel 31 para desplazar la salida del nivel VDDNSS del circuito lógico 32 al VDD/VBB, y los transistores de control de línea 42 y 50. El circuito difiere del circuito de la Figura 1 por que los transistores de control de línea 42 y 50 no son parte del circuito del desplazamiento de nivel, y porque hay dos desplazadores de nivel independientes separados utilizados para controlar las puertas de los transistores de control de línea 42 y 50. En razón a que una extra etapa se incluye en el circuito en la Figura 2, el circuito de desplazamiento de nivel 31 y 30 y el circuito lógico 32 pueden utilizar tamaños de dispositivo más pequeño que el circuito de puerta lógico 12 y el circuito de desplazamiento de nivel 10 en la Figura 1. Sin embargo, el tamaño de la conexión en serie del despliegamiento de la puerta lógica 32 y el dispositivo de paso 34 deben ser suficientemente grandes para contrarrestar la corriente de funcionamiento del transistor 38. De manera similar, el tamaño de la conexión en serie del funcionamiento en la puerta lógica 32 y el dispositivo de paso 36 deben ser suficientemente grandes para contrarrestar la corriente de despliegamiento del transistor 52.

La corriente de corto también es una preocupación en los circuitos de desplazamiento de nivel. Los tamaños del dispositivo más pequeños en el circuito de desplazamiento de nivel también dan como resultado un consumo de corriente en corto más baja. Los tamaños de los dispositivos de los circuitos del desplazamiento de nivel 30 y 31 en la Figura 2 pueden ser más pequeños que los tamaños del dispositivo en el desplazador de nivel en la Figura 1, y así contribuyen a la corriente de corto más pequeña; sin embargo existen dos circuitos de desplazamiento de nivel. Adicionalmente, la corriente de corto ocurrirá entre los dispositivos 42 y 50.

El documento US 2005/0212557 (Nagata) describe un circuito de conversión de nivel en el cual se transmite una señal de control a cada una de las unidades de control del controlador y un transistor de salida. El circuito propuesto por Nagata pretende evitar que la unidad de control del controlador y el transistor de salida opere al mismo tiempo con el objetivo de reducir los flujos de corriente directa. Sin embargo, las corrientes de corto existen aún en los circuitos enseñados por Nagata durante los estados de transición en la señal de salida.

Como lo puede entender cualquier persona experta en la técnica, la carga del circuito lógico responsable por cambiar el estado del circuito de desplazamiento de nivel puede afectar el desempeño de la activación de línea. Preferiblemente, las líneas son activadas rápidamente en respuesta a una dirección de hilera decodificada y/o señal de control. Adicionalmente, una carga mayor sobre aquella de circuito lógico puede requerir el uso de tamaños de dispositivo mayor tanto en el circuito lógico como en el desplazador de nivel, incrementando el área requerida. Los costos adicionales de un proceso de fabricación múltiple que podrían posibilitar tamaños de dispositivo más pequeño pueden no ser aceptables tampoco. Minimizar la corriente de corto también es una preocupación en los circuitos de desplazamiento de nivel.

De acuerdo con esto, subsiste la necesidad de un circuito para desplazar el nivel de una señal lógica VDD/VSS a una señal VPP/VBB, donde el circuito de desplazamiento de nivel coloca una carga mínima en el circuito lógico precedente, ocupa un área pequeña y minimiza las corrientes de corto.

El documento JP-A 59175218 se relaciona con un inversor CMOS adaptado para eliminar la corriente directa de un invertidor CMOS que consiste de dos transistores MOS de canal P y N (TR) y para reducir su consumo de corriente al controlar una pareja de los TR a través de un circuito de retraso. Cuando un VIN de ingreso se eleva a un voltaje V_4 , un MOSTRT₄ se prende, y cuando este se eleva adicionalmente a un voltaje V_1 , un TRT₁ se apaga, pero el VOUT de salida del TRT₁ está a un nivel alto porque un TRT₂ está hasta ahora prendido. La salida de retraso (a) está en L durante dicho periodo, de tal manera que el TRT₂ está prendido y el TRT₃ está apagado, pero cuando la salida de retraso (a) se eleva por encima de un voltaje V_3 , el TRT₁ se prende. Cuando el TRT₃ se prende, la salida del VOUT cae a L por que el TRT₄ ya está prendido y el TRT₁ está apagado. Cuando las salidas de retraso (a) se eleva adicionalmente por encima del voltaje V_2 de tal manera que el TRT₂ se apaga, pero la salida no varía. El VOUT de salida ingresa a un estado de flotamiento durante el periodo de transición T_3 y se elimina una corriente de transición.

El documento US - A- 5136190 describe un circuito traductor de nivel de voltaje CMOS mejorado que tiene una etapa de interface, una etapa intermedia y una etapa de salida presentes. El circuito de la invención se caracteriza por una corriente de cruce baja en la salida y etapas intermedias mientras que se mantiene la respuesta de retraso mínima cuando se traduce una señal potencial más baja en una señal potencial más alta. El circuito traductor mejorado se puede utilizar en aplicaciones tales como durante la programación de EEPROM donde las señales de control con voltajes normal TTL oscilación de voltaje de V_{cc} a V_{ss} requiere interface con los decodificadores de fila o de hilera EEPROM que requieren una oscilación de voltaje más alta del V_{cc} ($>V_{hd CC}$) y V_{ss} .

Resumen de la Invención

Es un objeto de la presente invención suministrar un circuito desplazador de nivel que tiene carga mínima en un circuito lógico precedente mientras ocupa un área pequeña y minimizar las corrientes de corto.

En un primer aspecto, la presente invención suministra un circuito desplazador de nivel para traducir una señal lógica con los niveles lógicos "1" y "0" que corresponden a los primeros de voltaje alto y bajo, controlados de un circuito lógico energizado mediante unos primeros suministros de voltaje alto y bajo, a una señal de salida con unos segundos niveles de voltaje alto y bajo. El circuito desplazador de nivel incluye un primer circuito, un segundo circuito y un circuito limitante de corriente de corto. El primer circuito recibe un segundo suministro de voltaje alto para suministrar el segundo nivel de voltaje alto a la señal de salida en respuesta al primer estado de la señal lógica. El segundo circuito recibe un segundo suministro de voltaje bajo para suministrar el segundo nivel de voltaje bajo a la señal de salida en respuesta al segundo estado de la señal lógica. El circuito limitante de corriente de corto se puede conectar a la señal de salida entre el primer circuito y el segundo circuito para limitar la corriente de corto entre el primer circuito y el segundo circuito durante un estado de transición de la señal lógica.

De acuerdo con una realización del presente aspecto, un circuito limitante de la corriente de corto puede incluir un primer circuito limitante de corriente y un segundo circuito limitante de corriente. El primer circuito limitante de corriente se puede conectar a la señal de salida y en serie con el circuito de funcionamiento al segundo suministro de voltaje alto en el primer circuito. El segundo circuito limitante de corriente se puede conectar a la señal de salida y en serie con el circuito de despliegue al segundo suministro de voltaje bajo en el segundo circuito. El primer y segundo circuitos limitantes de corriente pueden responder a una señal de entrada común, y la señal de entrada común puede ser lógicamente derivada de la señal lógica. El primer circuito limitante de corriente puede incluir un transistor de p-canal y el segundo circuito limitante de corriente puede incluir un transistor n-canal.

En aún otra realización del presente aspecto, el primer circuito puede incluir un circuito de despliegue, un primer transistor p-canal y un segundo transistor p-canal. El circuito de despliegue carga la puerta del primer transistor p-canal al primer nivel de voltaje en respuesta al primer estado de la señal lógica. El transistor p-canal se puede conectar al segundo suministro de voltaje alto. El segundo transistor p-canal se puede conectar entre la puerta del primer transistor p-canal y el segundo suministro de voltaje alto, y la puerta del segundo transistor p-canal se puede conectar a la señal de salida del desplazador de nivel para cargar la puerta del primer p-canal al segundo nivel de alto voltaje en respuesta al segundo estado de la señal lógica.

En una realización adicional del presente aspecto, el segundo circuito puede incluir un circuito de funcionamiento, un primer transistor n-canal y un segundo transistor n-canal. El circuito de funcionamiento carga la puerta del primer transistor n-canal al primer nivel de alto voltaje en respuesta al segundo estado de la señal lógica. El transistor n-canal se puede conectar al segundo suministro de voltaje bajo. El segundo transistor n-canal se puede conectar entre la puerta del primer transistor n-canal y el segundo suministro de voltaje bajo. La puerta del segundo transistor n-canal se puede conectar a la señal de salida del desplazador de nivel para cargar la puerta del primer n-canal al segundo nivel de voltaje bajo en respuesta al primer estado de la señal lógica.

En un segundo aspecto la presente invención suministra un circuito desplazador de nivel para transformar la señal lógica de entrada con unos niveles lógicos "1" y "0" que corresponden a los primeros niveles de voltaje alto y bajo controlado desde un circuito lógico energizado por los primeros suministros de voltaje alto y bajo, a una señal de salida con segundos niveles de voltaje alto y bajo. El circuito desplazador de nivel incluye un primer transistor p-canal, un segundo transistor p-canal, un primer transistor n-canal, un tercer transistor p-canal, un segundo transistor n-canal, un tercer transistor n-canal, un cuarto transistor p-canal, un cuarto transistor n-canal. El primer transistor p-canal tiene una fuente conectada a un segundo suministro de voltaje alto. El segundo transistor p-canal tiene una fuente conectada al segundo suministro de voltaje alto, un drenador conectado a una puerta del primer transistor de p-canal y una puerta conectada a la señal de salida. El primer transistor n-canal tiene un drenador conectado al drenador del segundo transistor p-canal, una fuente conectada al primer suministro de voltaje bajo y una puerta conectada a una primera señal lógica con los primeros niveles de voltaje alto bajo. El tercer transistor p-canal se conecta entre un drenador del primer transistor p-canal y la señal de salida, y tiene una puerta conectada a la segunda señal lógica con los primeros niveles de voltaje lógico alto y bajo. El segundo transistor n-canal tiene una fuente conectada al segundo suministro de voltaje bajo. El tercer transistor n-canal tiene una fuente conectada al segundo suministro de voltaje, un drenador conectado a una puerta del segundo transistor n-canal, y una puerta conectada a la señal de salida. El cuarto transistor p-canal tiene un drenador conectado a la puerta del segundo transistor n-canal, una fuente conectada al primer suministro de voltaje alto y una puerta conectada a la primera señal lógica con los primeros niveles de voltaje alto y bajo. El cuarto transistor n-canal está conectado entre el drenador del segundo transistor n-canal y la señal de salida, y tiene una puerta conectada a la segunda señal lógica con los primeros niveles de voltaje lógico alto y bajo.

De acuerdo a las realizaciones del presente aspecto, la primera señal lógica se puede generar mediante una puerta lógica energizada por el primer suministro de voltaje alto y bajo. En particular, la segunda señal lógica se puede generar desde un inversor que recibe la primera señal lógica donde el inversor se puede energizar mediante primeros suministros de voltaje alto y bajo.

Otros aspectos y características de la presente invención serán evidentes para aquellos medianamente expertos en la técnica luego de revisar la siguiente descripción de realizaciones específicas de la invención en conjunto con las figuras que la acompañan.

Breve Descripción de los Dibujos

5 Las realizaciones de la presente invención se describirán ahora por vía solo de ejemplo, con referencia a las figuras anexas, en donde:

La Figura 1 es un circuito esquemático de un circuito desplazador de nivel de la técnica anterior;

La Figura 2 es un circuito esquemático de otro circuito desplazador de nivel de la técnica anterior y,

10 La Figura 3 es un circuito esquemático de un circuito desplazador de nivel de acuerdo con una realización de la presente invención.

Descripción Detallada

15 Se describe un circuito desplazador de nivel para convertir una señal lógica con unos niveles de voltaje lógico alto y bajo en los voltajes de suministro lógico a una señal con un nivel de voltaje alto por encima del nivel de voltaje lógico alto y un voltaje bajo por debajo del nivel de voltaje lógico bajo. El circuito desplazador de nivel descrito reduce la carga sobre el circuito lógico utilizado para conmutar el estado del desplazador de nivel, minimiza corrientes de corto y ocupa un área pequeña facilitando así su diseño en áreas limitadas por el grado de inclinación, sin un cambio significativo en el desempeño.

20 La Figura 13 es un circuito esquemático de un circuito desplazador de nivel de acuerdo a una realización de la presente invención. La Figura 3 incluye un circuito lógico 100, un circuito desplazador de nivel 200, y un buffer 300. El circuito desplazador de nivel 200 convertirá o traducirá una señal lógica que tiene primeros niveles de voltaje de suministro alto y bajo a una señal que tiene segundos niveles de voltaje de suministro alto y bajo. El segundo nivel de voltaje de suministro alto es mayor que el primer nivel de voltaje de suministro alto mientras el segundo nivel de voltaje de suministro bajo es más bajo que el primer nivel de voltaje de suministro bajo. En la realización actualmente mostrada, el VDD y el VSS son los primeros niveles de voltaje de suministro alto y bajo mientras que el VPP y el VBB son los segundos niveles de voltaje de suministro alto y bajo.

30 El circuito desplazador de nivel 200 consiste del circuito 202, utilizado para controlar el controlador de la salida del desplazador de nivel al segundo nivel de voltaje de suministro alto, y el circuito 204, utilizado para controlar el controlador de la salida del desplazador de nivel al segundo nivel de voltaje del suministro bajo y una corriente de corto que limita el circuito 206. Más específicamente el circuito 202 suministra VPP a la señal de salida mientras el circuito 204 suministra VBB a la señal de salida, por vía de la corriente de corto que limita el circuito 206. En el ejemplo actualmente mostrado, un circuito de buffer 300 energizado mediante los segundos niveles de voltaje de suministro alto y bajo se pueden utilizar para controlar una línea WL. La corriente de corto que limita el circuito 206 se conecta al nodo de salida, entre los circuitos 202 y 204.

35 El circuito lógico 100 suministra una o más señales de control al circuito desplazador de nivel 200 en respuesta a una dirección y/o señal de control. El circuito lógico 100 puede incluir cualquier combinación de elementos lógicos, preferiblemente energizados mediante primeros voltajes de suministro lógico VBB y VSS. Una realización del circuito lógico 100 se muestra en la Figura 3 e incluye la puerta NAND 102 y el inversor 104. La puerta NAND 102 suministra una señal de control en* en respuesta a una combinación de direcciones y posibilita las señales. La señal en* se invierte mediante el inversor 104 para generar la señal en. Tanto en como en* se suministran al circuito desplazador de nivel 200. En la realización mostrada en la Figura 3, la señal en* se utiliza para controlar el estado del circuito desplazador de nivel 200 y la señal en se utiliza para controlar la corriente de corte que limita el circuito 206 en el circuito desplazador de nivel 200.

45 En la realización mostrada en la Figura 3, las entradas al circuito desplazador de nivel 200 son las señales en* y en desde el circuito lógico 100 y la señal de salida es marcada SALIDA. El circuito 202 del circuito desplazador de nivel 200 consiste en un circuito de despliegue 208, transistores de acoplamiento mutuo 210 y 212 y sus fuentes conectadas al VPP. De manera similar, el circuito 204 consiste de un circuito de funcionamiento 214, transistores de acoplamiento mutuo 216 y 218 con sus fuentes conectadas al VBB.

50 El circuito que limita la corriente de corto 206 incluye los transistores 220 y 222. El transistor 220 se conecta entre el drenador del transistor 212 y el nodo de SALIDA, que está conectado a la puerta del transistor 2210. El transistor 222 está conectado entre el drenador del transistor 218 y el nodo de SALID que también está conectado a la puerta del transistor 216.

- 5 En la realización mostrada en la Figura 3, el circuito de despliegue 208 consiste de un transistor n-canal con su fuente conectada al VSS, su drenador marcado rst* conectado al drenador del transistor 210 y la puerta del transistor 212, y su puerta conectada a la señal en* suministrada desde el circuito lógico 100. Cuando la salida del circuito desplazador de nivel es VBB la señal en* es baja de tal manera que el circuito de despliegue 208 está apagado, el transistor 210 está prendido, rst* está en VPP y el transistor 212 está apagado. Cuando el estado del circuito lógico 100 cambia de tal manera que la salida del desplazador de nivel se va a cambiar a VPP, el circuito de despliegue 208 está posibilitado, conectando el nuevo rst* al VSS. El circuito de despliegue 208 suministra una conexión directa entre el nodo rst* y el VSS, a diferencia de los circuitos de la técnica anterior en los cuales la conexión se suministraba a través de un dispositivo de paso y el circuito de despliegue del circuito lógico.
- 10 De manera similar, el circuito de funcionamiento 214 consiste de un transistor p-canal con su fuente conectada al VDD, su conjunto marcado drenador conectado al drenador del transistor 216 y la puerta del transistor 218, y su puerta conectada a la señal en* suministrada desde el circuito lógico 100. Cuando la salida del circuito desplazador de nivel es VPP, el circuito de funcionamiento 214 está apagado, el transistor 216 está prendido, el conjunto está en VBB y el transistor 218 está apagado. Cuando el estado del circuito lógico 100 cambia de tal manera que la salida del desplazador de nivel se va a cambiar a VDD, el circuito de funcionamiento 214 está habilitado, conectando el nodo de conjunto al VDD. El circuito de funcionamiento 214 suministra una conexión directa entre el nodo del conjunto y el VDD a diferencia de los circuitos de la técnica anterior en los cuales la conexión se suministraba a través de un dispositivo de paso y el circuito de funcionamiento del circuito lógico.
- 15 Como la corriente de despliegue del nodo rst* y el funcionamiento del conjunto del nodo no se suministra desde el circuito lógico 100, los tamaños del dispositivo en el circuito lógico 100 se pueden hacer más pequeños que aquellos en los circuitos lógicos 12 y 32 de las Figuras 1 y 2 respectivamente. Adicionalmente, el circuito de despliegue 208 y el circuito de funcionamiento 214 pueden ser de un tamaño más pequeño que los dispositivos de paso en las Figuras 1 y 2.
- 20 Cuando el nodo de SALIDA está en VPP en los transistores 212 y 220 están prendidos. El transistor 218 está apagado y el transistor 222 está parcialmente prendido. Cuando la salida del circuito lógico 100 hace que la salida del desplazador de nivel cambie a VBB, la capacidad de la corriente del transistor 220 se reduce al cambiar su voltaje de puerta de BSS a VDD. Al mismo tiempo, los transistores 222 y 218 se prenden completamente. Esto posibilita que las series de senda de los dispositivos 222 y 218 halen el nodo de SALIDA de VPP a VBB rápidamente con un consumo de corriente de corto limitado.
- 25 De manera similar cuando el nodo de SALIDA está en VBB, los transistores 218 y 222 están prendidos. El transistor 212 está apagado y el transistor 220 está parcialmente prendido. Cuando la salida del circuito lógico 100 hace que a la salida desplazadora de nivel cambie a VPP, la capacidad de la corriente del transistor 222 se reduce al cambiar su voltaje de puerta de VDD a VSS. Al mismo tiempo, los transistores 220 y 212 son prendidos completamente. Esto posibilita que la serie de senda de los dispositivos 220 y 212 hale el nodo de SALIDA de VBB a VPP rápidamente sin consumo de corriente de corto limitada.
- 30 Así lo transistores 220 y 222 trabajan para limitar la corriente de corto en el circuito desplazador de nivel 200. Adicionalmente, ellos suministran algún aislamiento entre los transistores 212 y 218. Al describir la operación del circuito en la Figura 3, se asumió que el voltaje de línea debe estar en VPP para acceder a la celda de memoria y que esta debe estar en VBB cuando la celda de memoria no esté teniendo acceso. Una realización alternativa del circuito podría tener el voltaje de línea activo para ser VBB y el voltaje de línea activo para ser VPP.
- 35 Cuando el circuito en la Figura 3 conecta a VBB a la señal de línea WL, al menos una de las entradas a la puerta NAND 102 está en el nivel lógico bajo VSS de tal manera que la señal en* es VDD y la señal en es VSS. El despliegue 208 está prendido, rst* está en VSS y el transistor 212 está prendido. El transistor 220 está también prendido, de tal manera que el nodo de SALIDA está en VPP. Esto asegura que el transistor 210 está apagado. Esto también asegura que el transistor 216 está prendido de tal manera que el conjunto de nodo está en VBB y el transistor 218 está apagado. En la medida en que la señal en* está en VDD el transistor 214 está apagado. El transistor 212 estará parcialmente prendido en la medida en que su puerta esté en VSS, lo cual es mayor que su fuente de voltaje, la que estará entre VBB y VSS-V_{tn} del transistor 222.
- 40 Cuando todas las entradas a la puerta NAND 102 están en VDD el nodo en* cambia a VSS y el nodo en cambia a VDD. Esto origina que el despliegue 208 se apague, permitiéndole al nodo rst* flotar en VSS. La señal en* baja también posibilita que el funcionamiento 214 haga que el conjunto de nodo se eleve hacia VDD. Esto hace que el transistor 218 comience a prenderse. Al mismo tiempo, el nivel VDD en la señal cambia el transistor 222 a completamente prendido y reduce la capacidad de corriente del transistor 220 permitiendo la conexión en serie del transistor 218 y 222 para tirar el nodo de SALIDA desde VPP a VBB fácilmente, con un consumo de corriente de corte limitada. En la medida en que el nodo de SALIDA es halado hacia VBB el transistor 210 se prende, y carga el nodo rst* a VPP. Este apaga el transistor 212, permitiéndole al nodo de SALIDA estar completamente cargado a VBB. Esto hace que el voltaje de línea se eleve a VPP.
- 50
- 55

5 El estado del circuito desplazador de nivel 200 cambia cuando al menos una de las entradas a la puerta NAND 102 cae a VSS haciendo que el nodo en* cambie a VDD y el nodo en cambie a VSS. Esto hace que el funcionamiento 214 se apague, permitiéndole al conjunto de nuevo flotar en VDD. La señal alta en* también posibilita el despliegue 208 originando que el nodo rst* caiga hacia VSS. Esto hace que el transistor 212 comience a prenderse. Al mismo tiempo, la señal en, en el nivel VSS prende el transistor 220 completamente y reduce la capacidad de corriente del transistor 222 permitiendo la serie de conexión del transistor 212 y 220 para tirar el nodo de SALIDA desde VBB a VPP fácilmente, con un consumo de corriente de corto limitada. En la medida en que el nodo de SALIDA es halado hacia VPP, el transistor 216 se prende, y carga el conjunto de nuevo a VBB. Esto deshabilita el transistor 218, permitiéndole al nodo de SALIDA estar completamente cargado en VPP. Esto hace que el voltaje de línea caiga a VBB.

10 Como se describió anteriormente, el circuito desplazador de nivel 200 permite el uso de tamaños de transistor pequeños tanto en el desplazador de nivel mismo como en el circuito lógico que lo controla, haciéndolo ideal para áreas con inclinación limitada. Aunque las realizaciones de la presente invención se implementan preferiblemente en los circuitos decodificadores de la hilera DRAM, ellos se pueden utilizar en cualquier tipo de memoria o de circuito de sistema que requiera la conversión del nivel de voltaje alto de las señales lógicas a un voltaje de suministro de energía mayor y también la conversión del nivel de voltaje bajo de las señales lógicas a un voltaje de suministro de energía inferior.

REIVINDICACIONES

1. Un desplazador de nivel (200) para traducir una señal lógica con los niveles lógicos “1” y “0” que corresponden a los primeros niveles de voltaje alto y bajo, controlados desde el circuito lógico (100) energizados mediante los primeros suministros de voltaje alto (VVD) y bajo (VSS), a una señal de salida con los segundos niveles de voltaje alto (VPP) y bajo (VBB), que comprende:
- 5 un primer circuito (202) que recibe el segundo suministro de voltaje alto para suministrar el segundo nivel de voltaje alto al primer nodo en respuesta al primer estado de la señal lógica;
- un segundo circuito (204) que recibe un segundo suministro de voltaje bajo para suministrar el segundo nivel de voltaje bajo al segundo nodo en respuesta al segundo estado de la señal lógica;
- 10 un circuito que limita la corriente de corto (206) conectada a la señal de salida entre el primer nodo y el segundo nodo para limitar la corriente de corto entre el primer circuito (202) y el segundo circuito (204) durante el estado de transición de la señal lógica, el circuito que limita la corriente de corto (206) comprende
- un primer circuito que limita la corriente (220) conectado a la señal de salida y en serie con el circuito de funcionamiento al segundo suministro de voltaje alto en el primer circuito (202), y un segundo circuito que limita la corriente (222) conectado a la señal de salida y en serie con el circuito de despliegue al segundo suministro de voltaje bajo en el segundo circuito (204),
- 15 caracterizado porque el primer y segundos circuitos limitantes de corriente (220, 222) son responsables de una señal lógica común (en) y en donde la señal lógica común (en) para controlar el circuito limitante de corriente de corto (206) se origina desde el circuito lógico (100).
- 20 2. El desplazador de nivel (200) de la reivindicación 1, en donde la señal lógica común (en) es lógicamente derivada de la señal lógica.
3. El desplazador de nivel (200) de la reivindicación 1, en donde el primer circuito limitante de corriente (220) es un transistor p-canal, y el segundo circuito limitante de corriente (222) es un transistor n-canal.
4. El desplazador de nivel (200) de la reivindicación 1, en donde el primer circuito (202) incluye un circuito de despliegue (208) para descargar la puerta del primer transistor p-canal (212) al primer nivel de voltaje en respuesta al primer estado de la señal lógica, el primer transistor p-canal (212) se conecta al segundo suministro de voltaje alto, y un segundo transistor p-canal (210) conectado entre la puerta del primer transistor p-canal (212) y el segundo suministro de voltaje alto, la puerta del segundo transistor p-canal (210) se conecta a la señal de salida del desplazador de nivel para cargar la puerta del primer p-canal (212) al segundo nivel de voltaje alto en respuesta al
- 25 segundo estado de la señal lógica.
- 30 5. El desplazador de nivel (200) de la reivindicación 1, en donde el segundo circuito (204) incluye:
- un circuito de funcionamiento (214) para cargar la puerta de un primer transistor n-canal (218) del primer nivel de voltaje alto en respuesta al segundo estado de la señal lógica, el primer transistor n-canal (218) se conecta al segundo suministro de voltaje bajo, y
- 35 el segundo transistor n-canal (216) conectado entre la puerta del primer transistor n-canal (218) y el segundo suministro de voltaje, la puerta del segundo transistor n-canal (216) se conecta a la señal de salida del desplazador de nivel para cargar la puerta del primer n-canal (218) al segundo nivel de voltaje bajo en respuesta al primer estado de la señal lógica.
6. Un método para cambiar los primeros niveles de voltaje alto y bajo a segundos niveles de voltaje alto y bajo, los primeros voltajes alto (VDD) y bajo (VSS) están representados por una señal lógica de entrada con los niveles lógicos “1” y “0”, la señal lógica de entrada se suministra desde un proveedor de señal lógica (100) operado con los primeros voltajes alto y bajo, los segundos niveles de voltaje alto (VPP) y bajo (VBB) se representan mediante una señal lógica de salida, el método comprende:
- 40 suministrar el segundo nivel de voltaje alto (VPP) desde un primer proveedor de voltaje (202) a la señal de salida en respuesta a la primera señal en el primer nivel de voltaje bajo (VSS), la primera señal es controlada por el primer nivel de voltaje bajo (VSS) en respuesta al primer estado de la señal lógica;
- 45

suministrar el segundo nivel de voltaje (VBB) desde un segundo proveedor de voltaje (204) a la señal de salida en respuesta a la segunda señal en el primer nivel de voltaje alto (VDD), la segunda señal es controlada en el primer nivel de voltaje alto (VDD) en respuesta a un segundo estado de la señal lógica; y

caracterizada por

- 5 controlar la corriente entre el primer proveedor de voltaje (202) y el segundo proveedor de voltaje (204) durante un estado de transición de la señal lógica al limitar la corriente desde el primer proveedor de voltaje (202) en respuesta a un estado de una señal de entrada común y limitar la corriente desde el segundo proveedor de voltaje (204) en respuesta a otro estado de la señal lógica común (en),

en donde la señal lógica común (en) se origina del circuito lógico (100).

- 10 7. El método de la reivindicación 6, en donde la señal lógica común se deriva lógicamente de la señal lógica de entrada.

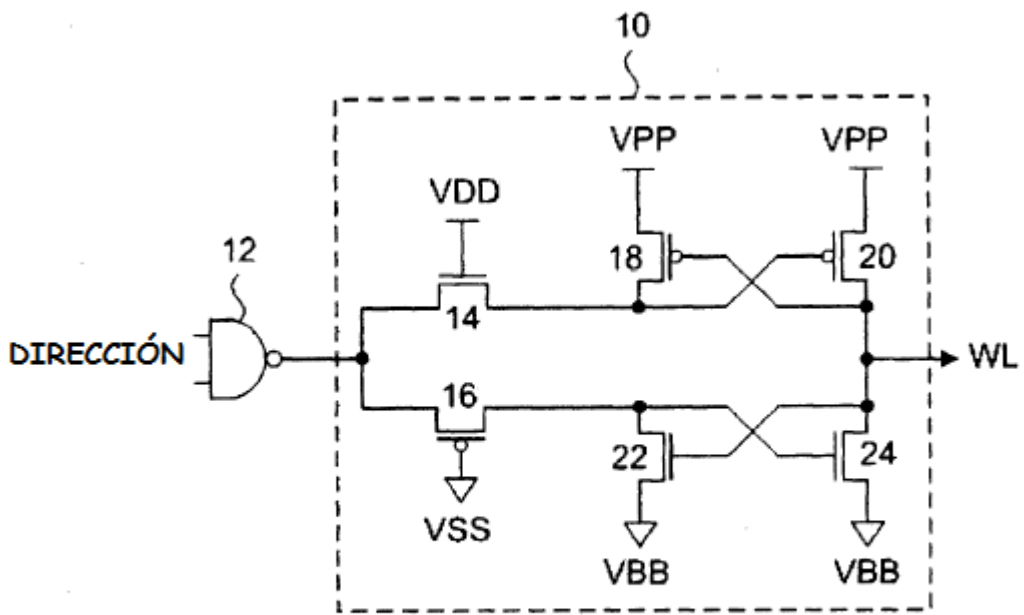


Figura 1 (Técnica Anterior)

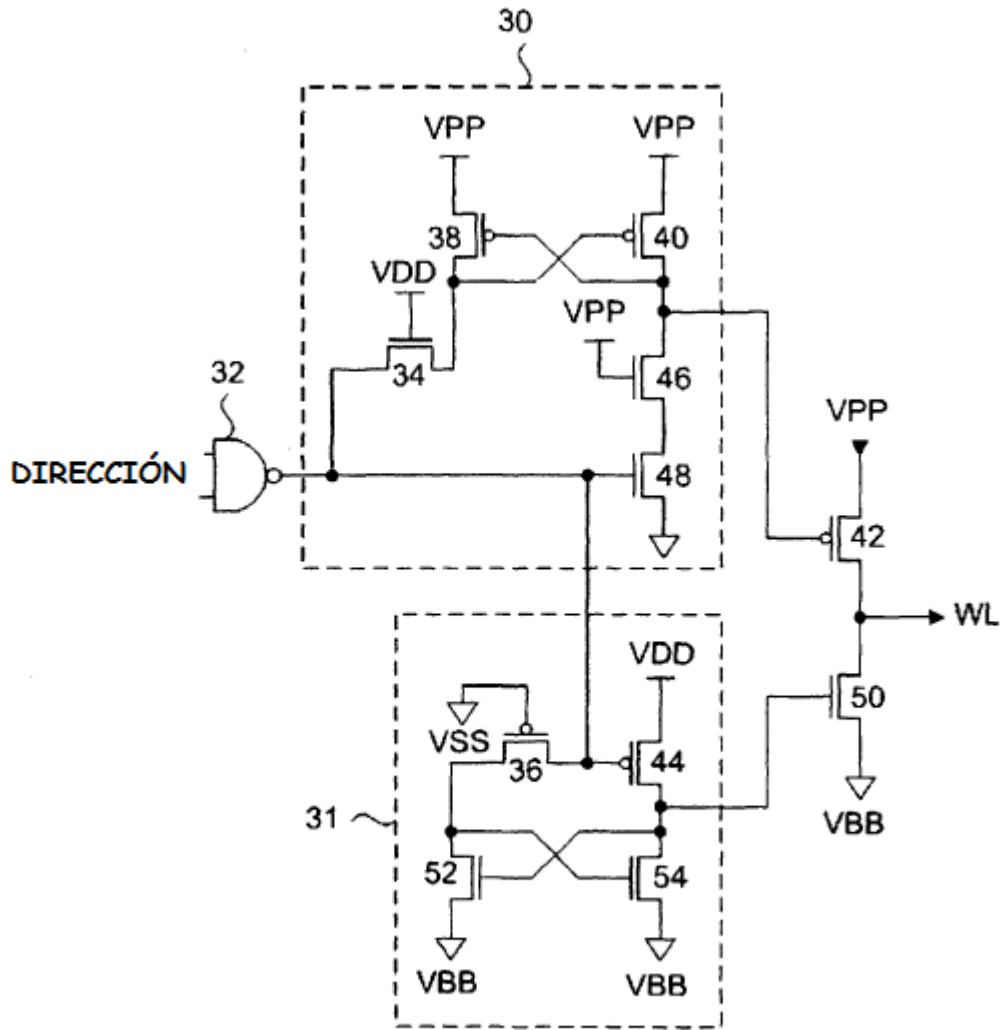


Figura 2 (Técnica Anterior)

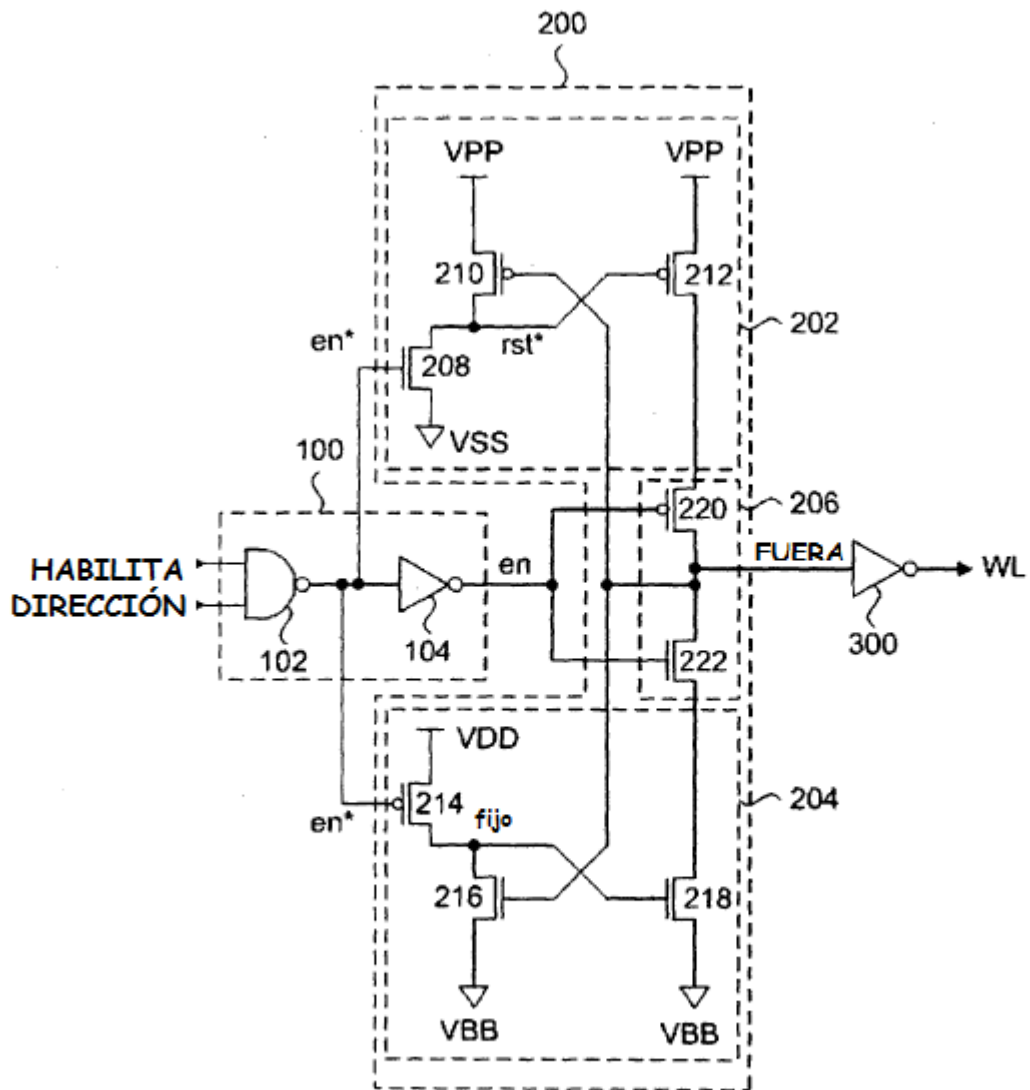


Figura 3