

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 456 670**

51 Int. Cl.:

G11B 20/12	(2006.01)	H04N 5/926	(2006.01)	H04N 9/877	(2006.01)
G11B 20/10	(2006.01)	H04N 5/937	(2006.01)	H04N 9/79	(2006.01)
G11B 20/18	(2006.01)	H04N 9/804	(2006.01)		
H04N 5/93	(2006.01)	G11B 27/11	(2006.01)		
G11B 27/32	(2006.01)	H04N 5/783	(2006.01)		
G11B 27/30	(2006.01)	H04N 5/85	(2006.01)		
G11B 20/00	(2006.01)	H04N 5/907	(2006.01)		
G11B 27/10	(2006.01)	H04N 9/806	(2006.01)		
G11B 27/36	(2006.01)	H04N 9/82	(2006.01)		
H04N 5/92	(2006.01)	H04N 9/85	(2006.01)		

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **19.12.1994 E 06075403 (3)**

97 Fecha y número de publicación de la concesión europea: **12.03.2014 EP 1667147**

54 Título: **Aparato de reproducción de datos y almacenamiento de datos**

30 Prioridad:

18.12.1993 JP 34401293

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

23.04.2014

73 Titular/es:

**SONY CORPORATION (100.0%)
6-7-35 Kitashinagawa, Shinagawa-ku
Tokyo 141, JP**

72 Inventor/es:

**KAWAMURA, MAKOTO y
FUJINAMI, YASUSHI**

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 456 670 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato de reproducción de datos y almacenamiento de datos

5 La presente invención se refiere a un aparato de reproducción de datos y a un medio de memorización de datos que pueden aplicarse preferentemente, a modo de ejemplo, a los que utilizan un medio de memorización con imágenes en movimiento digitalizadas memorizadas. El documento US-A-4 680 766 se refiere a la decodificación de datos digitales. Este documento no sugiere la aplicación de la corrección de errores, un número variable de veces, si los datos objeto de lectura son datos de índice de contenidos y resulta operativamente insatisfactorio un primer intento de corregir un error en los datos.

10 Un aparato de reproducción de datos convencional, que reproduce datos desde un disco como un medio de memorización con imágenes en movimiento digitalizadas, memorizadas en dicho medio, se describe como un aparato de reproducción de datos sensible a tasa variable según se ilustra en la Figura 35 en la patente japonesa abierta al público nº 6-124,168 (publicada el 6 de mayo de 1994) del mismo solicitante. Este aparato de reproducción reproduce datos memorizados en un disco óptico 101 utilizando un dispositivo de captación 102. El dispositivo de captación 102 irradia el disco óptico 101 con haces láser y utiliza la luz reflejada desde el disco óptico 101 para reproducir los datos allí memorizados. Las señales reproducidas por el dispositivo de captación 102 se entregan a un demodulador 103. El demodulador 103 demodula la salida de señales reproducidas por el dispositivo de captación óptico 102 para proporcionarlas, a la salida, a un detector sectorial 104.

15 El detector sectorial 104 detecta una dirección memorizada en cada sector a partir de los datos proporcionados para su salida a un circuito de control de memoria intermedia anular 106. Asimismo, proporciona los datos a un circuito de ECC 105 situado después de que el detector sectorial mantenga la sincronización de sectores. El detector sectorial 104 proporciona una señal de error de número de sector a un circuito de determinación de salto de pista 118 por intermedio del circuito de control de memoria intermedia anular 106 si el detector deja de detectar direcciones o si las direcciones detectadas no son continuas.

20 El circuito de ECC 105 detecta un error en los datos suministrados por el detector sectorial 104 y utiliza bits redundantes contenidos en los datos para corregir el error para proporcionar los datos corregidos a una memoria intermedia anular (FIFO) 107 para el salto de anillo. Además, si el circuito de ECC 105 deja de corregir un error en los datos, proporciona, a la salida, una señal de generación de error al circuito de determinación de salto de pista 118.

25 El circuito de control de memoria intermedia anular 106 controla, realiza la escritura a y la lectura desde, la memoria intermedia anular 107 y controla una señal de demanda de código que solicita la salida de datos desde un circuito de separación de datos multiplexado 108.

30 El circuito de determinación de salto de pista 118 controla la salida del circuito de control de memoria intermedia anular 106 para proporcionar una señal de salto de pista a un servocircuito de seguimiento 117 que se requiere para el salto de pista con respecto a la posición de reproducción del dispositivo de captación 102, denominado *pickup*, relativo al disco óptico 101. El circuito de determinación de salto de pista 118 detecta también una señal de error de número de sector desde el detector sectorial 104 o una señal de generación de error desde el circuito de ECC 105 para proporcionar, a la salida, la señal de salto de pista al servocircuito de seguimiento 117 para el salto de pista de la posición de reproducción del dispositivo de captación 102.

35 La salida de la memoria intermedia anular 107 se suministra al circuito de separación de datos multiplexados 108. Un circuito de separación de cabecera 109, en el circuito de separación de datos multiplexados 108, separa las cabeceras incorporadas y las denominadas cabezas de paquetes a partir de los datos suministrados desde la memoria intermedia anular 107 para proporcionarlos a un control de separador 111 y suministra datos multiplexados por división de tiempo al terminal de salida G de un circuito de conmutación 110. Los terminales de salida (terminales conmutados) H1, H2 del circuito de conmutación 110 están conectados a los terminales de entrada de una memoria intermedia de códigos de vídeo 113 y una memoria intermedia de códigos de audio 115, respectivamente. La salida de la memoria intermedia de códigos de vídeo 113 está conectada a la entrada de un decodificador de vídeo 114, mientras que la salida de la memoria intermedia de códigos de audio 115 está conectada a la entrada de un decodificador de audio 116.

40 Además, las señales de demanda de códigos, generadas por un decodificador de vídeo 114, se aplican a la entrada de la memoria intermedia de códigos de vídeo 113, mientras que las señales de demanda de códigos generadas por la memoria intermedia de códigos de vídeo 113 se aplican a la entrada del circuito de separación de datos multiplexados 108. De modo similar, las señales de demanda de códigos, emitidas por un decodificador de audio 116, son aplicadas a la entrada de la memoria intermedia de códigos de audio 115, mientras que las señales de demanda de códigos emitidas por la memoria intermedia de códigos de audio 115 se aplican a la entrada del circuito de separación de datos multiplexados 108.

45 La operación de cada componente de este aparato de reproducción de datos se describe a continuación. El

dispositivo de captación 102 irradia el disco óptico 101 con haces de láser y utiliza la luz reflejada desde el disco óptico para reproducir los datos allí memorizados. La salida de señales reproducidas por el dispositivo de captación 102 se aplica a la entrada del demodulador 103 para su demodulación. Los datos demodulados por el demodulador 103 se aplican a la entrada del circuito de ECC 105 por intermedio del detector sectorial 104 para detectar y corregir un error.

Una señal de error del número de sector se proporciona, a la salida, al circuito de determinación de salto de pista 118 si el detector sectorial 104 falla en la detección del número de sectores (las direcciones asignadas a los sectores del disco óptico 101) de forma correcta. El circuito de ECC 105 proporciona una señal de generación de error al circuito de determinación de salto de pista 118 si un error incorregible está ocurriendo en los datos. Los datos corregidos se proporcionan desde el circuito ECC 105 a la memoria intermedia anular 107 para su almacenamiento.

El circuito de control de memoria intermedia anular 106 realiza la lectura de la dirección de cada sector desde la salida del detector sectorial 104 para designar la dirección de escritura (punto de escritura (WP)) en la memoria intermedia anular 107 correspondiente a la dirección del sector. El control de memoria intermedia anular 106 designa también las direcciones objeto de lectura (puntos de reproducción (RPs)) para los datos objeto de escritura en la memoria intermedia anular 107 en función de una señal de demanda de códigos procedente del circuito de separación de datos multiplexados 108 situado después del control de memoria intermedia anular. A continuación, efectúa la lectura de datos desde los puntos de reproducción (RP) para suministrarlos al circuito de separación de datos multiplexados 108.

El circuito de separación de cabezas 109, en el circuito de separación de datos multiplexados 108 separa las cabeceras incorporadas y las cabeceras de paquetes a partir de los datos proporcionados por la memoria intermedia anular 107 para suministrarlos al circuito de control del circuito de separación 111. El circuito de control del circuito de separación 111 conecta, de forma secuencial, el terminal de entrada G del circuito de conmutación 110 al terminal de salida (terminal conmutado) H1 o H2 del mismo en función de la información de identificación ID de flujo en las cabeceras de paquetes que se proporcionan desde el circuito de separación de cabecera 109 para separar correctamente los datos multiplexados por división de tiempo. A continuación, suministra los datos a la memoria intermedia de datos correspondiente 113 o 115.

La memoria intermedia de códigos de vídeo 113 emite una señal de demanda de códigos al circuito de separación de datos multiplexados 108 utilizando la sección disponible de su memoria intermedia de códigos interna. La memoria intermedia 113 memoriza luego los datos recibidos. Asimismo, recibe señales de demanda de códigos procedentes del decodificador de vídeo 114 para proporcionar, a la salida, los datos que contiene. El decodificador de vídeo 114 reproduce señales de vídeo a partir de los datos suministrados para proporcionarlos desde el terminal de salida.

La memoria intermedia de códigos de audio 115 emite una señal de demanda de código al circuito de separación de datos multiplexados 108 utilizando la sección disponible de su memoria intermedia de códigos interna. La memoria intermedia 115 memoriza luego los datos recibidos. Además, recibe señales de demanda de códigos procedentes del decodificador de audio 116 y proporciona, a la salida, los datos que contiene. El decodificador de audio 116 reproduce señales de audio a partir de los datos suministrados para proporcionarlos desde el terminal de salida.

El decodificador de vídeo 114 demanda, de este modo, datos desde la memoria intermedia de códigos de vídeo 113, mientras que la memoria intermedia de códigos de vídeo 113 demanda datos desde el circuito de separación de datos multiplexados 108. El circuito de separación de datos multiplexados 108 demanda, a su vez, datos desde el circuito de control de memoria intermedia anular 106. En este caso, los datos fluyen desde la memoria intermedia anular 107 en la dirección inversa a la demanda.

A modo de ejemplo, las lecturas desde la memoria intermedia anular 107 disminuyen con el número decreciente de datos consumidos por el decodificador de vídeo 114, por unidad de tiempo, debido al procesamiento de datos continuo para pantallas simples. En este caso, la cantidad de datos memorizados en la memoria intermedia anular 107 puede aumentar dando lugar a un flujo excesivo. El circuito de determinación de salto de pista 118 utiliza, de este modo, puntos de escritura (WPs) y puntos de reproducción (RPs) para calcular la cantidad de datos actualmente memorizados en la memoria intermedia anular 107 y, si los datos superan un criterio predeterminado, determina que la memoria intermedia anular puede tener un flujo excesivo a la salida de una instrucción de salto de pista para el servocircuito de seguimiento 117.

Si el circuito de determinación de salto de pista 118 detecta una señal de error del número de selector desde el detector sectorial 104 o una señal de generación de error desde el circuito ECC 105, utiliza direcciones de escritura (WPs) y direcciones de lectura (RPs) para calcular la cantidad de datos remanentes en la memoria intermedia anular 107 y la cantidad de datos requeridos para asegurar lecturas desde la memoria intermedia anular 107 al circuito de separación de datos multiplexados 108 mientras el disco óptico 101 está efectuando una rotación única desde la posición de pista actual (es decir, mientras está a la espera de que el disco óptico 101 realice una rotación única).

Si una gran cantidad de datos permanece en la memoria intermedia anular 107, el circuito de determinación de salto de pista 118 determina que el error puede recuperarse forzando al dispositivo de captación 102 a reintentar la reproducción de datos a partir de la posición en donde ha ocurrido el error y proporcionan una instrucción de salto de pista al servocircuito de seguimiento 117 porque no ocurre un infraflujo aún cuando se lean datos desde la memoria intermedia anular 107 a la tasa de transferencia máxima.

Cuando la instrucción de salto de pista es objeto de salida desde el circuito de determinación de salto de pista 118, a modo de ejemplo, el servocircuito de seguimiento 117 fuerza al dispositivo de captación 102 a saltar desde la posición A a la posición B en una circunferencia interior en una pista fuera de la posición A, según se ilustra en la Figura 13. El circuito de control de memoria intermedia anular 106 inhibe la escritura de nuevos datos a la memoria intermedia anular 107 y los datos memorizados en la memoria intermedia anular 107 se transfieren al circuito de separación de datos multiplexados 108, según se requiera, hasta que el disco óptico realice otra rotación única desde la posición B a la posición A, es decir, hasta que el número de sector obtenido desde el detector sectorial 104 se haga igual al obtenido antes del salto de pista.

Incluso cuando el número de sector obtenido desde el detector sectorial 104 se hace igual al obtenido antes del salto de pista, las escrituras en la memoria intermedia anular 107 no se reinician y se realiza otro salto de pista si la cantidad de datos memorizados en la memoria intermedia anular 107 supera los criterios predeterminados, es decir, si la memoria intermedia anular 107 puede tener un flujo excesivo. El aparato de reproducción de datos puede utilizar, de este modo, la memoria intermedia anular 107 para direccionar una tasa variable y para realizar reintentos con respecto a los errores.

La falta de utilidad de este aparato de reproducción de datos convencional puede mejorarse sustancialmente reproduciendo, de forma síncrona, los datos multiplexados con datos de vídeo, audio y datos de diálogo superpuestos comprimidos a una tasa variable en conformidad con la norma ISO11172 (MPEG1) o ISO13818 (MPEG2) mientras se corrigen errores de sincronización y para realizar una búsqueda, una parada o una operación de avance de trama sobre errores.

Aspectos de la presente invención se establecen en las reivindicaciones adjuntas.

Un aparato de reproducción de datos según una forma de realización, a modo de ejemplo, que utiliza dos tipos de símbolos de corrección de errores asociados con diferentes direcciones de intercalado para corregir errores, en datos reproducidos, tiene un dispositivo de corrección de errores capaz de variar el número de veces que son corregidos los errores.

Un aparato de reproducción de datos, según una forma de realización, a modo de ejemplo, que efectúa una relectura de datos desde la posición en donde ha ocurrido un error cuando el error es incorregible, conmuta automáticamente el número de veces que los datos son objeto de nueva lectura, dependiendo de las condiciones operativas o del tipo de datos que se va a reproducir.

Un aparato de reproducción de datos, según una forma de realización, a modo de ejemplo, que puede variar el número de veces que se corrigen errores y el número de veces que los datos son objeto de relectura automática conmuta el número de veces y el orden en que se corrigen los errores y en el que los datos son objeto de relectura, dependiendo de las condiciones operativas o del tipo de datos que se van a reproducir.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

La Figura 1 es un diagrama de bloques que ilustra la configuración de un aparato de reproducción de datos según esta invención;

La Figura 2 es un diagrama esquemático que describe el formato sectorial para datos reproducidos en el aparato de reproducción de datos;

La Figura 3 es un diagrama esquemático que describe la configuración de un DSM a partir de la que el aparato de reproducción de datos efectúa la reproducción de datos;

La Figura 4 es un diagrama esquemático que describe la configuración de un DSM que difiere del DSM representado en la Figura 3 a partir del que el aparato de reproducción de datos efectúa su reproducción de datos;

La Figura 5 es un diagrama esquemático que describe la estructura de datos de TOC en el DSM;

La Figura 6 es un diagrama esquemático que describe la estructura de datos de TOC en el DCM que difiere de los datos de TOC representados en la Figura 5;

Las Figuras 7A a 7D son diagramas esquemáticos que describen la estructura de una entrada de flujo de bits multiplexada para un demultiplexor y la estructura de una salida de flujo de bits para cada memoria intermedia de

códigos;

La Figura 8 es un diagrama esquemático que describe la estructura de una cabecera de sistema en el flujo de bits que se representa en las Figuras 7A a 7D;

5 La Figura 9 es un diagrama esquemático que describe las estructuras de vídeo, audio y cabeceras de datos de diálogo superpuestos en el flujo de bits que se representa en las Figuras 7A a 7D;

10 La Figura 10 es un diagrama esquemático que describe el formato de datos de subcódigos;

La Figura 11 es un diagrama de flujo que describe la transición del estado operativo de un controlador para explicar el funcionamiento del aparato de reproducción de datos;

15 La Figura 12 es un diagrama de bloques que ilustra la configuración de un dispositivo de corrección de errores 3;

La Figura 13 es un diagrama de flujo que ilustra el procesamiento por un controlador 16 en su estado de inicialización;

20 La Figura 14 es un diagrama de flujo que ilustra el procesamiento por el controlador 16 en su estado de salida de lectura de TOC;

La Figura 15 es un diagrama de flujo que ilustra el procesamiento por el controlador 16 en su estado de parada;

25 La Figura 16 es un diagrama de flujo que ilustra el procesamiento por el controlador 16 en su estado preparado para la reproducción;

La Figura 17 es un diagrama de flujo que ilustra el procesamiento por el controlador 16 en su estado de determinación del método de iniciación en condición sincronizada;

30 La Figura 18 es un diagrama de flujo que ilustra el procesamiento de señales de vídeo por el controlador 16 en su estado sincronizado de audio y de vídeo;

La Figura 19 es un diagrama de flujo que ilustra el procesamiento de audio por el controlador 16 en el estado de iniciación sincronizada de audio y de vídeo;

35 La Figura 20 es un diagrama de flujo que ilustra el procesamiento por el controlador 16 en su estado de iniciación sincronizada de vídeo solamente;

40 La Figura 21 es un diagrama de flujo que ilustra el procesamiento por el controlador 16 en su estado de iniciación sincronizada de audio solamente;

La Figura 22 es un diagrama de flujo que ilustra el procesamiento por el controlador 16 en su estado de iniciación sincronizada de diálogo superpuesto solamente;

45 La Figura 23 es un diagrama de flujo que ilustra el procesamiento ejecutado por el controlador 16 para detectar un error en sincronización en términos de vídeo;

La Figura 24 es un diagrama de flujo que ilustra el procesamiento ejecutado por el controlador 16 para detectar un error en sincronización en términos de audio;

50 La Figura 25 es un diagrama de flujo que ilustra otro procesamiento ejecutado por el controlador 16 para detectar un error en sincronización en términos de vídeo;

55 La Figura 26 es un diagrama de flujo que ilustra el procesamiento ejecutado por el controlador 16 para corregir un error en sincronización en términos de vídeo;

La Figura 27 es un diagrama de flujo que ilustra el procesamiento ejecutado por el controlador 16 para corregir un error en la sincronización en términos de audio;

60 La Figura 28 es un diagrama de flujo que ilustra el procesamiento ejecutado por el controlador 16 para detectar un error;

La Figura 29 es un diagrama de flujo que ilustra otro procesamiento ejecutado por el controlador 16 para detectar un error;

65 La Figura 30 es un diagrama de flujo que ilustra otro procesamiento ejecutado por el controlador 16 para detectar un

error;

La Figura 31 es un diagrama de flujo que ilustra un procesamiento de diálogo superpuesto por el controlador 16;

5 La Figura 32 es un diagrama de flujo que ilustra un procesamiento por el controlador 16 en su estado de búsqueda;

La Figura 33 es un diagrama de flujo que ilustra un procesamiento por el controlador 16 en su estado de parada;

10 La Figura 34 es un diagrama de flujo que ilustra un procesamiento por el controlador 16 en su estado de avance de trama

La Figura 35 es un diagrama de bloques que ilustra la configuración de un aparato de reproducción de datos convencional y

15 La Figura 36 es un diagrama esquemático que describe un salto de pista en el aparato de reproducción de datos representado en la Figura 35.

DESCRIPCIÓN DE FORMAS DE REALIZACIÓN PREFERIDAS DE LA INVENCION

20 Una forma de realización de esta invención se describe haciendo referencia a los dibujos.

(1) Configuración del aparato de reproducción de datos

25 La Figura 1 ilustra, en general, un aparato de reproducción de datos según esta invención, en donde un medio de memorización de datos (DSM) 1 comprende un disco óptico que puede extraerse desde una unidad de disco 2 que memoriza datos digitales tales como información de vídeo, audio, diálogo superpuesto e índice del contenido (TOC). Sin embargo, el medio de memorización DSM 1 puede ser un medio de memorización óptico, extraíble o desechable, un medio de memorización magnético, un medio opto-electrónico o un elemento de almacenamiento de semiconductores u otro medio de memorización de datos digital.

30 La unidad de disco 2 tiene una sección de mecanismo para la carga y descarga mecánica del DSM 1 y una unidad que controla un dispositivo de captación que incluye una cabeza óptica para la lectura de señales de reproducción desde el DSM 1. El dispositivo de captación corresponde al DSM 1 y puede ser una cabeza magnética u optoelectrónica. El dispositivo de captación actúa también como un puntero de dirección si el DSM 1 es un elemento de semiconductor. La unidad de disco 2 tiene un demodulador que demodula las señales de reproducción, objeto de
35 lectura, para obtener datos de subcódigos, datos multiplexados, datos de corrección de errores (C1) y datos de corrección de errores (C2) y los envía al dispositivo de corrección de errores 3 en el formato ilustrado en la Figura 2.

40 El dispositivo de corrección de errores 3 recibe datos de subcódigos, datos multiplexados, datos de corrección de errores (C1) y datos de corrección de errores (C2) enviados desde la unidad de disco 2 en el formato ilustrado en la Figura 2 y utiliza los datos de corrección de errores para detectar y corregir errores. Además, analiza datos de subcódigos con un error corregidos para obtener datos de números de sector. Además, añade datos de números de sectores y un indicador de error obtenido a partir de datos de subcódigos para datos multiplexados con un error corregido y efectúa la transferencia de los datos multiplexados a una memoria intermedia anular 4 en el formato
45 ilustrado en la Figura 7A. La Figura 12 representa la configuración de un dispositivo de corrección de errores 3. Una memoria RAM 30 memoriza los datos suministrados por la unidad de disco 2. Un conmutador 31 efectúa la conmutación a un circuito de corrección de errores 32 o un circuito de adición de datos 34, el destino de los datos objeto de lectura desde la memoria RAM. El circuito de corrección de errores 32 utiliza datos de corrección de errores (C1) y datos de corrección de errores (C2) para corregir los errores. El circuito de adición de datos añade
50 datos del número de sector y un indicador de error suministrado por un controlador 33 para los datos multiplexados objeto de lectura desde la memoria RAM 30. El controlador 33 controla las direcciones de la memoria RAM y el conmutador 31 y analiza los datos de subcódigos. En el estado de salida de lectura de TOC descrito a continuación, el conmutador 31 puede ajustarse continuamente para el circuito de corrección de errores 32 para realizar la corrección de errores para los mismos datos en una pluralidad de veces.

55 Para datos que comprenden ocho bits de datos multiplexados a los que se añade un bit cuando se requiere, un indicador de error de "0" se añade a los datos multiplexados si los datos no implican ningún error o el error en los datos se corrige completamente, mientras que un indicador de error de "1" se añade a los datos si el error es incorregible. El dispositivo de corrección de errores 3 envía datos de subcódigos a un decodificador de subcódigos
60 21 solamente si los datos no implican ningún error o si el error está completamente corregido.

El decodificador de subcódigos 21 decodifica datos de subcódigos proporcionados desde el dispositivo de corrección de errores 3 para transmitir los datos decodificados a un circuito de control 16.

65 La memoria intermedia anular 4 tiene una memoria FIFO en su interior y memoriza temporalmente datos multiplexados, datos del número de sectores y un indicador de error enviado desde el dispositivo de corrección de

errores 3 en el formato ilustrado en la Figura 7A para la transferencia de datos multiplexados y los datos de números de sectores asociados y el indicador de error en el formato ilustrado en la Figura 7A, en respuesta a un puntero de salida de lectura indicado por un circuito de control de memoria intermedia anular 26.

5 Todos los datos enviados desde el dispositivo de corrección de errores 3 pueden ser objeto de memorización intermedia de forma incondicional; solamente un número limitado de datos puede seleccionarse y memorizarse, comenzando con el número de sector de un punto de iniciación de lectura especificado por el controlador 16; solamente una cantidad limitada de datos puede memorizarse finalizando con un punto final especificado por el controlador o solamente una cantidad limitada de datos puede memorizarse dentro del margen específico entre el
10 número de sector de un punto de iniciación especificado por el controlador 16 y el número de sector de un punto final también especificado por el controlador 16. Lo que antecede puede conmutarse por intermedio de un circuito de control de memoria intermedia anular 26.

15 Si el punto de iniciación y/o final ha sido especificado por el controlador 16, el circuito de control de la memoria intermedia anular 26 informa al controlador 16 cuando se detectan los datos en un punto de iniciación o punto final de la memoria intermedia. Además, recibe una instrucción de carga de datos de TOC para cargar datos de TOC enviados desde el dispositivo de corrección de errores 3 en zona específica para datos de TOC en una memoria intermedia y detecta el final de la carga para comunicarlo al controlador 16. El circuito de control de memoria intermedia anular 26 transfiere datos de TOC cargados y memorizados en la memoria intermedia anular 4 en
20 respuesta a una demanda desde el controlador 16. Además, como con el circuito de control de memoria intermedia anular 106 y el circuito de determinación de salto de pista 118 según se ilustra en la Figura 35, el circuito de control de memoria intermedia anular 26 controla la cantidad de datos memorizados en la memoria intermedia anular 4 y ordena a la sección impulsora de la unidad de disco 2 realizar un salto de pista cuando se requiera.

25 El demultiplexor 5 divide los datos multiplexados enviados desde la memoria intermedia anular 4 y según se indica en la Figura 7A, en un flujo de bits de vídeo, un flujo de bits de audio y un flujo de bits de diálogo superpuesto y efectúa la transferencia de cabeceras de vídeo y datos, cabeceras de audio y datos y cabeceras de diálogo superpuesto y datos a la memoria intermedia de códigos de vídeo 6, la memoria intermedia de códigos de audio 9 y la memoria intermedia de códigos de diálogo superpuestos 12, según se ilustra en las Figuras 7B, 7C y 7D
30 respectivamente.

El demultiplexor 5 envía un indicador de error correspondiente a cada uno de los datos de vídeo, audio de diálogos superpuestos a la memoria intermedia de códigos de vídeo 6, la memoria intermedia de códigos de audio 9 o la memoria intermedia de códigos de diálogo superpuesto 12, respectivamente. Sin embargo, interrumpe las
35 demandas de códigos a la memoria intermedia anular 26 e interrumpe, de forma anómala, la entrega de datos a la memoria intermedia de códigos de vídeo 6, la memoria intermedia de códigos de audio 9 y la memoria intermedia de códigos de diálogo superpuesto 12 si recibe una señal que significa que la memoria intermedia de códigos de vídeo 6, la memoria intermedia de códigos de audio 9 o la memoria intermedia de diálogos superpuestos 12 tiene un exceso de flujo.

40 El demultiplexor 5 detecta también los datos de números de sector, las referencias de reloj del sistema (SCR) memorizadas en una cabecera del sistema, una marca de tiempo de decodificación de vídeo (DTSV) memorizada en una cabeza de datos de vídeo para mostrar el momento de inicio de la decodificación de datos de vídeo, una marca de tiempo de decodificación de audio (DTSA) memoriza en una cabeza de datos de audio para indicar el momento
45 de iniciación de la decodificación de datos de audio y una marca de tiempo de decodificación de diálogos superpuestos (DTSS) memorizada en una cabeza de datos de diálogos superpuestos para indicar el momento de iniciación de la decodificación de datos de diálogos superpuestos para enviar una señal al controlador 16 que significa que ha detectado datos de número de sector, un SCR, un DTSV, un DTSA y un DTSS. Además, retiene los datos de números de sector detectados SCR, DTSV, DTSA y DTSS y comunica sus contenidos al controlador 16
50 cuando se ordena por el controlador 16.

Si el demultiplexor 5 comprueba la continuidad de números de sector para encontrar que datos, con números de sectores discontinuos, han sido entregados por la memoria intermedia anular 4, inserta entre los datos ficticios de sectores discontinuos que contienen un indicador de error de uno o más bytes y transmite los datos a la totalidad de
55 la memoria intermedia de códigos de vídeo 6, la memoria intermedia de códigos de audio 9 y la memoria intermedia de códigos de diálogo superpuesto 12 para informarles de la pérdida de datos en esa posición o la presencia de un límite de sector discontinuo creado por una operación de búsqueda.

La memoria intermedia de códigos de vídeo 6 tiene una memoria FIFO en su interior y memoriza cabeceras de datos de vídeo y datos de vídeo enviados por el demultiplexor 5 para su transferencia a un detector de DTSV 7 cuando se
60 demanda por el decodificador de vídeo 8. Además, emite una señal que informa al demultiplexor 5 y al controlador 16 del flujo excesivo o del flujo insuficiente de la memoria intermedia de códigos de vídeo si la memoria intermedia tiene flujos excesivos o insuficientes.

65 El detector de DTSV 7 permite solamente que los datos de vídeo de la cabeza de datos de vídeo y los datos de vídeo enviados desde la memoria intermedia de códigos de vídeo 6 pasen con el fin de su transferencia al

decodificador de vídeo 8. Asimismo, detecta un DTSV en una cabeza de datos de vídeo para emitir una señal al controlador 16 lo que significa que se ha detectado el DTSV y retiene el DTSV detectado en su registro interno para informar al controlador 16 de la retención cuando se ordena por el controlador 16.

5 El decodificador de vídeo 8 incluye un decodificador de MPEG en conformidad con la norma ISO1172 (MPEG1) o ISO13818 (MPEG2) y decodifica los datos de vídeo transferidos desde el detector de DTSV 7 para enviar los resultados a un postprocesador 15. Durante la decodificación, interrumpe la decodificación, reanuda la decodificación, busca una cabeza de imágenes I y comuna la detección de una cabeza de imágenes en I al controlador 16. El decodificador de MPEG puede detectar una cabeza de imágenes, determinar el tipo de la cabeza de imágenes, es decir, si la cabeza de imágenes es una cabeza de imágenes en I, en P o en B y comunicar la detección a la cabeza de imágenes y su tipo al controlador 16. El decodificador de vídeo 8 sustituye temporalmente los datos de vídeo resultantes de la decodificación con una pantalla negra o azul para suprimir la salida. Además, envía una señal que informa al controlador 16 de que se está produciendo un error si encuentra que los datos comprimidos recibidos contienen una descripción sintácticamente incoherente o si intenta decodificar datos con un indicador de error.

La memoria intermedia de códigos de audio 9 tiene una memoria FIFO en su interior y memoriza cabezas de datos de audio y datos de audio enviados por el demultiplexor 5 para su transferencia a un detector de DTSA 10 cuando se demanda por el decodificador de audio 11. Además, emite una señal que informa al demultiplexor 5 y al controlador 16 del flujo excesivo o del flujo insuficiente de la memoria intermedia de códigos de audio si la memoria intermedia tiene un flujo excesivo o insuficiente.

De modo similar al detector de DTSV 7, el detector de DTSA 10 permite solamente que los datos de audio de la cabeza de datos de audio y los datos de audio enviados desde la memoria intermedia de códigos de audio 9 pasen para poder efectuar su transferencia al decodificador de audio 11. Además, detecta un DTSA en una cabeza de datos de audio para emitir una señal al controlador 16 y el decodificador de audio 11, lo que significa que se ha detectado el DTSA. Además, retiene el DTSA detectado en su registro interno para informar al controlador 16 de retención cuando se ordena por el controlador 16.

El decodificador de audio 11 decodifica datos de audio, comprimidos o no comprimidos, transferidos desde el detector de DTSA 10 para proporcionar, a la salida, los resultados al terminal de salida de audio. Durante la decodificación, interrumpe la decodificación, reanuda la decodificación, repite la decodificación de datos de audio en una duración especificada, salta los datos de audio para una duración especificada. A modo de ejemplo, la duración especificada se refiere a cuatro niveles de duración: 1 s, 100 ms, 10 ms y 1 ms y la unidad de decodificación mínima para datos comprimidos. El decodificador de audio 11 interrumpe la decodificación cuando se recibe una señal desde el detector de DTSA 10 que significa que se ha detectado un DTSA. Además, tiene una función de silenciamiento mitad para reducir temporalmente el volumen de sonido de las salidas de audio decodificadas en un nivel especificado y una función de silenciamiento para eliminar el volumen de sonido.

La memoria intermedia de códigos de diálogos superpuestos 12 tiene una memoria FIFO en su interior y realiza la memorización intermedia de cabezas de datos de diálogos superpuestos y datos de diálogos superpuestos enviados desde el demultiplexor 5 para su transferencia a un detector de DTSS 13. Además, emite una señal que informa al demultiplexor 5 y al controlador 16 de la presencia del flujo excesivo o del flujo insuficiente de la memoria intermedia de códigos de diálogo superpuesto si la memoria intermedia tiene un flujo excesivo o insuficiente.

El detector de DTSS 13 permite el paso de solamente los datos de diálogos superpuestos de la cabeza de datos de diálogos superpuestos y los datos de diálogos superpuestos enviados desde la memoria intermedia de códigos de diálogos superpuestos 12 para su transferencia al decodificador de diálogos superpuestos 14. Además, detecta un DTSS en cabezas de datos de diálogos superpuestos y el tiempo de duración en datos de diálogos superpuestos para emitir una señal al controlador 16 con el significado de que han sido detectado y retiene el DTSS y la duración detectada en su registro interno para informar al controlador 16 de la retención cuando se ordena por el controlador 16.

Cuando un DTSS se detecta durante la operación de búsqueda de DTSS, el detector de DTSS emite una señal al decodificador de diálogos superpuestos 14 así como al controlador 16 con el significado de que se ha detectado el DTSS. El decodificador de diálogos superpuestos 14 decodifica los datos de diálogos superpuestos enviados por el detector de DTSS 13 para enviar los resultados al postprocesador 15.

Durante la decodificación, el decodificador de diálogos superpuestos 14 interrumpe la decodificación, reanuda la decodificación e interrumpe la salida de los resultados de decodificación. Durante la búsqueda de DTSS, saltan los datos de diálogos superpuestos en lugar de decodificarlos hasta que reciba una señal de detección de DTSS desde el detector de DTSS 13.

El postprocesador 15 genera una señal de vídeo para visualizar información que muestra el estado operativo actual del aparato de reproducción de datos en respuesta a una instrucción recibida desde el controlador 16 y sintetiza una señal de vídeo enviada desde el decodificador de vídeo 8, una señal de vídeo enviada desde el decodificador de

diálogos superpuestos 14 y una señal de vídeo emitida para mostrar el estado actual del aparato de reproducción para proporcionar, a la salida, la señal de vídeo sintetizada al terminal de salida de vídeo.

5 El controlador 16 puede recibir información desde cada sección y emitir señales y además, puede controlar la operación del aparato de reproducción de datos completo que se representa en la Figura 1. Una interfaz externa 17 recibe instrucciones desde el equipo informático o editores para su transmisión al controlador 16. Un dispositivo de entrada de usuario 18 recibe entradas claves por usuario por intermedio de pulsadores o un dispositivo de mando a distancia para su transmisión al controlador 16.

10 Un dispositivo de presentación visual de información 19 visualiza la información que ilustra el estado operativo actual del aparato de reproducción en respuesta a una instrucción recibida desde el controlador 16 utilizando, a modo de ejemplo, lámparas o una pantalla de cristal líquido. Un circuito de generación de señales de sincronización vertical 22 genera señales de sincronización vertical para suministrarlas al decodificador de vídeo 8, al decodificador de datos de diálogos superpuestos 14, al postprocesador 15 y al controlador 16.

15 Un registro de STC 23 se incrementa en respuesta a una señal procedente de un circuito de conteo de STC 24 y pone en práctica un reloj de referencia para reproducir, de forma síncrona, datos de vídeo, de audio y de diálogos superpuestos. El controlador 16 puede establecer valores arbitrarios para el registro de STC 23. El registro de STC 23, en esta forma de realización, es independiente del controlador 16, mientras que, en otra forma de realización, puede retenerse en el controlador 16 como un programa informático.

20 El circuito de conteo de STC 24 genera señales tales como señales de pulsos de una frecuencia especificada, para proporcionarlas, a la salida, al registro de STC 23. Además, interrumpe la salida al registro de STC 23 en respuesta a una instrucción recibida desde el controlador 16. El circuito de conteo de STC 24 y el registro de STC actúan como un STC de reloj interno. De modo similar al registro de STC 23, el registro de conteo de STC 24, en esta forma de realización, es independiente del controlador 16, mientras que, en otra forma de realización, puede ponerse en práctica como un generador de señales de conteo como un programa informático.

25 (2) Configuración de DSM

30 En DSM 1, todos los datos están memorizados en sectores y la posición de inicio para la lectura de datos desde DSM 1 se especifica por el controlador 16 utilizando un número de sector. Una vez especificada una posición de inicio, los sectores posteriores son objeto de lectura continua a no ser que el controlador 16 especifique una nueva posición. A modo de ejemplo, cuando el sector 100 se especifica como un punto de partida, son objeto de lectura los sectores en el orden de 100, 101, 102, 103, ... hasta que se especifique una nueva posición de salida de lectura.

35 La Figura 2 ilustra que cada sector consiste en 6.208 bytes y comprende cuatro tipos de datos: datos de subcódigos, datos multiplexados, datos de corrección de errores (C1) y datos de corrección de errores (C2). La cantidad de estos datos, en cada sector, es 64, 4096, 1024 y 1024 bytes, respectivamente. Entre los cuatro tipos de datos, se reproducen los datos multiplexados y los tres tipos restantes de datos, es decir, datos de subcódigos, datos de corrección de errores (C1) y datos de corrección de errores (C2) son datos suplementarios para aumentar la velocidad de multiplexación y la exactitud de reproducción.

40 Según se ilustra en la Figura 10, los datos de subcódigos comprenden información del número de sector, información del código de tiempos, un indicador ID de contenidos de subcódigos y un indicador de inhibición de reproducción. La información del número de sector contiene el número de sector un sector, la información de códigos de tiempos contiene información que representa el tiempo en que se reproducirá el sector, los contenidos de datos contienen información que indica los contenidos de datos de subcódigos (a modo de ejemplo, "01" si los datos contienen un indicador de inhibición de reproducción) y el indicador de inhibición de reproducción contiene un indicador (a modo de ejemplo "FF") que muestra si el sector es, o no, una zona de iniciativa de entrada, una zona de inicio de salida o una zona en donde los datos tales como los datos de TOC, que no se reproducen, son objeto de memorización. Los 59 bytes restantes están reservados y otra información puede ser objeto de escritura para estos bytes como datos de subcódigos. Los datos multiplexados incluyen datos multiplexados que comprenden datos de vídeo, de audio y de diálogos superpuestos para reproducirse y otros datos tales como programas informáticos.

45 Los datos de corrección de errores C1 y C2 es información de corrección para detectar y corregir errores en datos de subcódigos y datos multiplexados así como los propios datos de corrección de errores. Puesto que los datos de corrección de errores C1 y los datos de corrección de errores C2 tienen diferentes direcciones de intercalado, la repetición de correcciones con C1 y C2 mejora la capacidad de corrección de errores.

50 La Figura 3 ilustra el tipo de datos memorizados en la sección de datos multiplexados de cada sector, en donde los datos se clasifican utilizando números de sectores. Los datos memorizados en los datos multiplexados tienen esencialmente datos de vídeo, de audio y de diálogos superpuestos allí multiplexados, pero, de forma excepcional, contienen datos especiales tales como datos de TOC memorizados en sectores de -3,000 a 1,023. Los datos de vídeo, de audio y de diálogos superpuestos, que se van a reproducir, se memorizan en el sector 1024 y sectores posteriores.

Una zona denominada una zona de TOC se proporciona en los sectores -3000 a -1 del DSM 1. La zona de TOC contiene datos de TOC, es decir, información para los contenidos de los datos memorizados en DSM 1. Según se indica en la Figura 3, los mismos datos de TOC se memorizan en tres zonas, es decir, sectores -3,000 a -2,001, sectores -2,000 a -1,001 y sectores -1,000 a -1 para mejorar la fiabilidad para errores. Sin embargo, la magnitud de los datos de TOC no debe superar 1000 sectores. Los usuarios pueden especificar números de sectores por intermedio del dispositivo de entrada de usuario 18 o las diez teclas existentes en la interfaz externa 17 para obtener imágenes y voces deseadas. Sin embargo, puesto que los datos de TOC son para control y no deben ser objeto de acceso durante la reproducción normal, el área de TOC se establece con números de sectores negativos que no pueden especificarse por pulsaciones del teclado decimal ordinario.

Los sectores en el DSM 1, que contienen datos con datos de vídeo, audio y de diálogos superpuestos multiplexados, se agrupan en una o más pistas en función de sus contenidos. Este grupo, que incluye una pluralidad de sectores continuos, se denomina una pista. La Figura 5 ilustra la configuración de datos de TOC. Los datos de TOC comprenden una cabecera de TOC, un tamaño de TOC, número de información de pistas para cada pista, una cabecera de tabla de puntos de entrada, una tabla de puntos de entrada y una marca de final de TOC.

La cabecera de TOC contiene una configuración de datos especial que muestra que TOC se inicia en esta posición. El tamaño de TOC contiene la longitud de los datos de TOC expresada en bytes. La información para cada pista comprende el número de pista de cada pista, un número de sector de inicio, un número de sector final, un indicador de pista de título, un indicador de pista final, un indicador de pista de inhibición de reproducción, un indicador de codificador de vídeo, un indicador de codificación de audio, un indicador de codificador de diálogos superpuestos y un indicador de información válida de indicador de codificación.

El número de pista contiene el número de serie de una pista. El margen normal de los valores de números de pistas debe ser 1 a 254. El número de sector de inicio en el punto de partida y el número de sector final en el punto final indican el margen de la pista en el DSM 1. Los indicadores de título y de pista final muestran que la pista es una pista de título o una pista final, respectivamente.

El indicador de inhibición de reproducción se establece para inhibir la reproducción de la pista y no se establece cuando la reproducción de la pista no está inhibida. El indicador de multiplexación de vídeo, audio y diálogos superpuestos indica si los datos de vídeo, de audio y de diálogos superpuestos están multiplexados, o no, en los datos multiplexados en la pista, respectivamente. Cada indicador de multiplexación puede mostrar el grado de multiplexación para cada tipo de datos dentro de la pista.

El indicador de información válida del indicador de multiplexación indica si los contenidos de los indicadores de vídeo, de audio y de diálogos superpuestos precedentes son válidos. A modo de ejemplo, cada uno de los tres indicadores precedentes no puede fijarse a un valor único si el estado de multiplexación para datos de vídeo, de audio o de diálogos superpuestos varía dentro de una pista única. En este caso, un valor arbitrario es objeto de escritura para los tres indicadores y un valor que indica su falta de validez se memoriza en el indicador de información válida del indicador de multiplexación.

En la información anterior, a modo de ejemplo, en una pista, un atributo que indica que la pista es una pista de título o una pista final puede añadirse a cualquiera de las pistas 1 a 254. Sin embargo, el procesamiento del aparato de reproducción puede simplificarse reduciendo el tamaño de datos de TOC y asegurando que el DSM 1 contiene solamente una pista de título única y una pista de final única sustituyendo la estructura del DSM, representada en la Figura 3, con la estructura ilustrada en la Figura 4 y la estructura del TOC en la Figura 5 con la estructura en la Figura 6 u proporcionando pistas especiales con números de pistas de 0 y 255 para una pista de título y una pista final y fijando sus posiciones en el DSM 1.

La cabecera de tabla de punto de entrada contiene una configuración de datos especial que indica que la tabla de puntos de entrada comienza en esta posición. La tabla de puntos de entrada comprende el número de puntos de entrada y la información para los puntos de entrada. El número de puntos de entrada comprende el número de puntos de entrada en DSM 1, las posiciones de los puntos de entrada representadas por números de sectores y la información de códigos de tiempo memorizada en los datos de subcódigos en el sector.

La tabla de puntos de entrada se utiliza durante el acceso aleatorio y la búsqueda. La tabla de puntos de entrada debe ser objeto de referencia cuando los datos de vídeo se comprimen a una tasa variable en conformidad con las normas ISO11172 (MPEG1) o ISO13818 (MPEG2), porque el incremento en los números de sectores no es proporcional al incremento en los códigos de tiempos. La marca final de TOC contiene una configuración de datos especial que indica que TOC finaliza en esta posición.

(3) Funcionamiento del aparato de reproducción de datos

(3-1) Encendido

La Figura 11 es un diagrama de transición de estado operativo del controlador 16. El controlador 16 introduce el

estado de iniciación cuando está activada la fuente de suministro de energía del aparato de reproducción de datos, según se ilustra en la Figura 1. La Figura 13 ilustra el flujo de procesamiento por el controlador en su estado de inicialización. En este estado, el controlador 16 da instrucciones al dispositivo de presentación visual de información 19 para encender una lámpara que indica que está activada la fuente de suministro de energía y además, da instrucciones al postprocesador 15 para hacer que un dispositivo de presentación visual tal como un tubo de rayos catódicos CRT (no ilustrado) visualice un mensaje que indique que la fuente de suministro de energía está activada (etapa SP100). El controlador efectúa, posteriormente, la lectura de las configuraciones de prueba memorizadas en la memoria ROM 25 para su escritura en las memorias correspondientes instaladas en el dispositivo de corrección de errores 3, la memoria intermedia anular 4, la memoria intermedia de códigos de vídeo 6, la memoria intermedia de códigos de audio 9, la memoria intermedia de códigos de diálogos superpuestos 12 y el dispositivo de memorización 20 y a continuación, efectúa su lectura desde las memorias (etapa SP102) para comprobar si estas memorias están operando con exactitud (comprobación de memoria: etapa SP103) o no.

Si se descubre un error durante la comprobación de la memoria, el controlador da instrucciones al dispositivo de presentación visual de información 19 para iluminar una lámpara que indique que se está produciendo un error y además, da instrucciones al postprocesador 15 para hacer que un dispositivo de presentación visual, tal como un tubo de rayos catódicos CRT (no ilustrado) visualice un mensaje que indique que se está produciendo un error en una memoria (etapa SP104). En este estado operativo, el controlador 16 ignora posteriormente todas las entradas procedentes de la interfaz externa 17 y del dispositivo de entrada del usuario 18, con la excepción de una instrucción de descarga de disco. Además, no efectúa la lectura de datos ni señales desde DSM 1. El controlador 16 desactiva también el suministro de energía eléctrica durante un periodo de tiempo especificado si se produce un error en una memoria (etapa SP105).

Si no se está produciendo ningún error en las memorias, el controlador 16 envía una señal a la unidad motriz 2 para tener información sobre si DSM 1 está cargado o no (etapa SP106). Cuando se recibe esta señal, la unidad motriz 2 emite una señal al controlador 16 indicando si DSM 1 está actualmente cargado o no. Si DSM 1 está cargado o no, se determina utilizando para detección un micro-interruptor instalado en la sección de mecanismo de la unidad motriz 2 o comprobando si puede aplicarse un enfoque, o no, en una parte predeterminada de DSM 1. Si el controlador 16 recibe una señal que indica que DSM 1 está actualmente cargado, introduce el estado de salida de lectura de TOC en la etapa SP2 según se ilustra en la Figura 11 (etapa SP107). Por el contrario, si el controlador 16 recibe una señal que indica que DSM 1 no está actualmente cargado, da instrucciones al dispositivo de presentación visual de información 19 para iluminar una lámpara que indica que el DSM 1 no está cargado y además, da instrucciones al postprocesador 15 para visualizar un mensaje que indique DSM 1 no está cargado (etapa SP108). El controlador 16 espera, posteriormente, hasta que se recibe una señal procedente de la unidad motriz 2 que indique que está cargado DSM 1.

La unidad motriz 2 detecta el establecimiento por el usuario de DSM 1 en la unidad motriz 2 para realizar la carga mecánica tal como la alineación de DSM 1 con el fin de permitir la captación de la unidad motriz para la lectura de señales. Una vez concluida la carga, la unidad motriz 2 envía una señal al controlador 16 que indique que está cargado DSM 1. El controlador 16 introduce el estado de salida de lectura de TOC en la etapa SP2 en la Figura 11, cuando se recibe una señal que indica que la carga está concluida, mientras se está a la espera de una señal procedente de la unidad motriz 2 que indique que DSM 1 está cargado.

(3-2) Salida de lectura de TOC

La Figura 14 ilustra el flujo de procesamiento por el controlador 16 en su estado de salida de lectura de TOC. Cuando se introduce el estado de salida de lectura de TOC, el controlador 16 da instrucciones al dispositivo de corrección de errores 3 para introducir el modo de salida de lectura de TOC (etapa SP200). El controlador 16 da instrucciones, además, a la unidad motriz 2 para buscar una sección en donde están escritos los primeros datos de TOC, es decir, el sector -3,000 (etapas SP201, SP202).

La unidad motriz 2 efectúa la lectura de los datos de DSM 1 para su transferencia al dispositivo de corrección de errores 3. El dispositivo de corrección de errores 3 detecta y corrige cualquier error en los datos enviados desde la unidad motriz 2 y transmite los datos multiplexados a la memoria intermedia anular 4 y los datos de subcódigos al decodificador de subcódigos 21. Sin embargo, el número de repeticiones posibles de las correcciones C1 y C2 debe establecerse mayor que en la reproducción normal porque el controlador 16 ha dado instrucciones a la unidad motriz para introducir el modo de salida de lectura de TOC.

Es decir, ambas correcciones de errores C1 y C2, ejecutadas por el dispositivo de corrección de errores 3, se transmiten solamente una vez durante la reproducción de datos normal para reducir el tiempo de la carga de datos desde DSM 1 hasta la salida de vídeo desde el postprocesador 15 o el decodificador de audio 11 y a la salida desde el terminal de salida de audio.

Sin embargo, la capacidad de corrección de errores puede mejorarse repitiendo las correcciones de errores C1 y C2 un gran número de veces si no necesita reducirse el tiempo desde la carga de datos hasta la reproducción. En consecuencia, para la salida de lectura de datos de TOC que no necesite ser rápida pero que requiera la alta

fiabilidad de datos, el dispositivo de corrección de errores 3 repite el procesamiento de corrección de errores si el controlador 16 ha dejado de corregir un error a pesar de su primer intento utilizando una corrección C1 única y una corrección C2 única. El dispositivo de corrección de errores 3 puede repetir incondicionalmente las correcciones C1 y C2 varias veces, a modo de ejemplo, cuatro veces.

5 Aunque el número de corrección de errores se incremente para datos de TOC para mejorar la capacidad de corrección de errores, un error de ráfaga en el DSM 1, es decir, la pérdida de datos a través de un amplio margen no puede corregirse completamente incluso por correcciones de errores repetidas. De este modo, si no se puede corregir un error después de un número especificado de correcciones de errores, el controlador 16 da instrucciones a la unidad motriz 2 para buscar la posición en donde se está produciendo el error y efectúa la lectura de datos de nuevo desde DSM 1 para intentar detectar y corregir el error en los datos cargados. Este procesamiento de salida de lectura no se realiza durante la reproducción normal porque tarda una gran cantidad de tiempo. En este estado de salida de lectura de TOC, sin embargo, el controlador 16 realiza esta operación.

15 Si un error no puede corregirse después de un número predeterminado de relecturas de datos desde el DSM 1, el controlador 16 da instrucciones a la unidad motriz para buscar la segunda de la información de TOC memorizada en tres posiciones diferentes en DSM 1 para su carga y a continuación, intenta cargar la información en la memoria intermedia anular 4 como en la carga de los primeros datos de TOC. El controlador 16 ejecuta la misma operación para la tercera información de TOC si ha dejado de leer la segunda información de TOC. Dicha salida de lectura desde diferentes posiciones son posibles porque los mismos datos de TOC se memorizan en tres posiciones y ello es imposible durante la reproducción normal. En este estado de salida de lectura de TOC, sin embargo, el controlador 16 realiza esta operación (etapas SP202, SP203, SP204, SP205, SP206).

25 Si el controlador 16 falla en la lectura de todos los datos de TOC memorizados en las tres posiciones, da instrucciones al dispositivo de presentación visual de información 19 para iluminar una lámpara que indique que ha fallado la salida de lectura de TOC y además, da instrucciones al postprocesador 15 para visualizar un mensaje en la pantalla que indique la presencia de un error de salida de lectura de TOC (etapa SP207). El controlador 16 da instrucciones, además, a la unidad motriz 2 para descargar el disco (etapa SP208) e introduce el estado de inicialización. La unidad motriz 2 descarga el disco cuando se recibe una instrucción de descarga desde el controlador 16.

El controlador 16 da instrucciones al circuito de control de memoria intermedia anular 26 para iniciar la carga de TOC cuando se concluye la corrección de error de TOC (etapa SP209). El circuito de control de memoria intermedia anular controla un puntero de escritura para cargar los datos de TOC en una zona específica para la carga de datos de TOC en la memoria instalada en la memoria intermedia anular 4. La memoria intermedia anular 4 realiza la escritura en la zona para datos de TOC en su memoria, datos de reproducción transferidos desde el dispositivo de corrección de errores 3. En este caso, todos los datos de TOC mostrados en la FIG. 5 se cargan en la memoria si la memoria intermedia anular 4 tiene una memoria suficiente para memorizar esta cantidad, mientras que, de no ser así, se cargan los datos de TOC excluyendo la cabecera de tabla de puntos de entrada y la tabla de puntos de entrada.

La memoria intermedia anular 4 puede detectar la carga de una marca final de TOC para detectar el final de la carga de datos de TOC; cuando se detecta el final de la carga, la memoria intermedia anular 4 informa al controlador 16 de esta condición. El controlador 16 recibe una señal desde la memoria intermedia anular 4 que indica el final de la carga y luego, introduce el estado de parada (etapa SP210).

(3-3) Estado de parada (reproducción de pista de títulos/pista final)

La Figura 15 ilustra el flujo de procesamiento por el controlador 16 en su estado de parada. Cuando se introduce el estado de parada, el controlador 16 determina si el TOC ha concluido, o no, su carga (etapa SP300). El controlador 16 reproduce la pista de título si TOC acaba de cargarse. De no ser así, a modo de ejemplo, si la reproducción de la totalidad o parte de los datos desde el DSM 1 acaba de terminarse, el controlador da instrucciones para la reproducción de la pista final.

55 Para la reproducción de una pista de títulos, el controlador 16 hace referencia a los datos de TOC (etapa SP301) y si existe una pista con un indicador que señala que es una pista de título, reproduce esa pista sin importar una instrucción de reproducción dada por el usuario (etapa SP302). Para la reproducción de una pista final, como en la reproducción de una pista de título, el controlador 16 hace referencia a los datos de TOC (etapa SP303) y si existe una pista con un indicador que señala que es una pista final, reproduce esa pista haciendo caso omiso de una instrucción de reproducción desde el usuario (etapa SP304).

En la etapa de parada, el controlador 16 envía una instrucción de parada, una instrucción de interrupción de la corrección de error, una instrucción de interrupción de la memorización intermedia y una instrucción de parada del demultiplexor a la unidad motriz 2, el dispositivo de corrección de errores 3, la memoria intermedia anular 4 y el demultiplexor 5, respectivamente, si no puede encontrar una pista de título o una pista final a reproducirse o si está concluida la reproducción de una pista de título o una pista final (etapa SP305). Asimismo, borra la memoria

intermedia de códigos de vídeo 6, la memoria intermedia de códigos de audio 9 y la memoria intermedia de códigos de diálogos superpuestos 12 (etapa SP306).

5 En el estado de parada, el controlador 16 espera una instrucción para iniciar la reproducción enviada por el usuario por intermedio del dispositivo de entrada del usuario 18 o la interfaz externa 17 (etapa SP307). Además, da instrucciones al dispositivo de presentación visual de información 19 y al postprocesador 15 para encender una luz que indique el estado de parada y para visualizar el mensaje asociado en la pantalla (etapa SP308).

10 El dispositivo de entrada del usuario 18 envía una señal de iniciación de reproducción al controlador 16 cuando el usuario realiza entradas con el teclado requeridas para iniciar la reproducción. En este caso, si las pistas a reproducirse han sido especificadas por el usuario, la información para los números de pistas se transfiere también al controlador 16. La interfaz externa 17 emite una señal de iniciación de reproducción al controlador 16 cuando se recibe la instrucción correspondiente desde el equipo exterior (no ilustrado). En este caso, o si el equipo exterior ha especificado los números de las pistas a reproducirse, los números de las pistas se transfieren al controlador 16.

15 El controlador 16 introduce el estado de preparación de reproducción en la etapa SP4 en la Figura 11, cuando se recibe una señal de iniciación de reproducción desde el dispositivo de entrada del usuario 18 o el circuito de interfaz externa 17. El controlador 16 inicia la reproducción con la pista representada por el número de pista "1" si el dispositivo de entrada del usuario 18 o el circuito de interfaz externa 17 no ha especificado los números de las pistas a reproducirse.

(3-4) Preparación para la reproducción

25 La Figura 16 ilustra el flujo de procesamiento por el controlador 16 en su estado de preparación para la reproducción. Cuando se introduce el estado de preparación para la reproducción, el controlador 16 da instrucciones al dispositivo de presentación visual de información 19 y al postprocesador 15 para iluminar una luz indicadora de que se está preparando la reproducción y para visualizar el mensaje asociado en la pantalla (etapa SP400). El controlador 16 inicializa, entonces, la memoria intermedia anular 4, el demultiplexor 5, la memoria intermedia de códigos de vídeo 6, el decodificador de vídeo 8, la memoria intermedia de códigos de audio 9, el decodificador de audio 11, la memoria intermedia de códigos de diálogos superpuestos 12, el decodificador de diálogos superpuestos 14, el postprocesador 15 y el dispositivo de memorización 20 (etapa SP401). Sin embargo, no inicializa los datos de TOC cargados y memorizados en la memoria intermedia anular 4.

35 El controlador 16 da instrucciones al dispositivo de corrección de errores 3 para introducir el modo de reproducción normal (etapa SP402). Esta instrucción hace que el dispositivo de corrección de errores 3 efectúe ambas correcciones de errores C1 y C2 una vez cuando ocurra un error. El controlador 16 hace referencia, luego, a los datos de TOC para obtener el número de sector al inicio de las pistas a reproducir y emite una instrucción de búsqueda a la unidad motriz 2 utilizando el número de sector (etapa SP403).

40 El controlador 16 envía una instrucción de iniciación de demultiplexación al demultiplexor 5 (etapa SP404). El demultiplexor 5 efectúa la demultiplexación de los flujos de bits multiplexados transmitidos desde la memoria intermedia anular en el formato ilustrado en la Figura 7A y luego, los transfiere a la memoria intermedia de códigos de vídeo 6, la memoria intermedia de códigos de audio 9 y la memoria intermedia de códigos de diálogos superpuestos 12, según se ilustra en las Figuras 7B, 7C y 7D, respectivamente. Además, detecta el SCR memorizado en la cabeza del sistema y lo retiene en su registro interno.

50 La memoria intermedia de códigos de vídeo 6 memoriza los datos transferidos desde el demultiplexor 5 en su memoria intermedia y luego, los transmite al detector de DTSV 7. De modo similar, la memoria intermedia de códigos de audio 9 y la memoria intermedia de códigos de diálogos superpuestos 12 memoriza los datos transferidos desde el demultiplexor 5 en sus respectivas memorias intermedias y luego, los transmite al detector de DTSA 10 y al detector de DTSS 13.

55 El detector de DTSV 7 selecciona solamente los datos de vídeo de los datos enviados desde la memoria intermedia de códigos de vídeo 6 para transferirlos al decodificador de vídeo 8. Además, intenta detectar un DTSV en la cabecera de vídeo ilustrada en la Figura 9 y cuando se detecta un DTSV, comunica la detección al controlador 16 y retiene el valor del DTSV. De modo similar, el detector de DTSA 10 y el detector de DTSS 13 seleccionan solamente los datos de audio y de diálogos superpuestos de los datos enviados de la memoria intermedia de códigos de audio 9 y la memoria intermedia de códigos de diálogos superpuestos 12 para transferirlos al decodificador de audio 11 y el decodificador de diálogos superpuestos 13, respectivamente. Intenta, además, detectar un DTSA en la cabecera de audio ilustrada en la Figura 9 y un DTSS en la cabecera de datos de diálogos superpuestos también ilustrada en la Figura 9 y cuando se detecta un DTSA y un DTSS, comunica la detección al controlador 16 y retiene sus valores, respectivamente. Después de que se concluya este procesamiento, el controlador 16 introduce el estado de determinación del método de iniciación sincronizada en las etapas SP5 en la Figura 11.

65 (3-5) Estado de determinación del método de iniciación sincronizada

La Figura 17 ilustra el flujo de procesamiento por el controlador 16 en el estado de determinación del método de iniciación sincronizada. Cuando se introduce el estado de determinación del método de iniciación sincronizada, el controlador 16 ejecuta el procesamiento requerido para iniciar la reproducción de datos de vídeo, audio y/o diálogos superpuestos. Selecciona un procedimiento de procesamiento utilizado al principio de la reproducción de datos
 5 utilizando los datos contenidos en TOC y el estado de detección de un DTSV, un DTSA o un DTSS para detectar la presencia de datos de vídeo, de audio y de diálogos superpuestos en los datos que se van a reproducir.

El controlador 16 hace referencia a los indicadores de multiplexación de vídeo, audio y diálogos superpuestos en la información para cada pista en los datos de TOC ilustrados en la Figura 5 para detectar la presencia de datos de vídeo, de audio y de diálogos superpuestos en los datos que se van a reproducir. El controlador 16 carga primero
 10 desde el TOC memorizado en la memoria intermedia anular 4, la información de pistas correspondiente a las pistas a reproducirse (etapa SP500). A continuación, determina si cada uno de los indicadores de multiplexación es, o no, válido en función del indicador de información válida del indicador de multiplexación en la información de pista obtenida (etapa SP501). Si se produce un fallo en esta operación debido a que el indicador de información válida del
 15 indicador de multiplexación transmite un valor que indica la falta de validez, ejecuta la misma determinación en función de la presencia de una señal que informa de la detección de un DTSV, un DTSA o un DTSS enviado desde el detector de DTSV 7, el detector de DTSA 10 o el detector de DTSS 13 dentro de una duración especificada, desde la iniciación de la demultiplexación.

El controlador 16 introduce el estado de iniciación sincronizada de audio y de vídeo si determina, a partir de los indicadores de multiplexación en la información de TOC, que ambos datos de vídeo y de audio están presentes en las pistas que se van a reproducir o si se detecta un DTSV y un DTSA dentro de una duración especificada. Introduce el estado de iniciación sincronizada de vídeo solamente si determina, a partir de los indicadores de multiplexación en la información de TOC, que los datos de vídeo están presentes en las pistas que se van a reproducir, mientras que los datos de audio no están presentes en estas pistas o si se ha detectado un DTSV dentro
 20 de una duración especificada mientras que un DTSA no ha sido detectado dentro de la misma duración. Introduce el estado de iniciación sincronizada de audio solamente si determina, a partir de los indicadores de multiplexación, en la información de TOC, que datos de audio están presentes en las pistas que se van a reproducir, mientras que los datos de vídeo no están presentes en esas pistas o si se ha detectado un DTSA dentro de una duración especificada, mientras que no se ha detectado un DTSV dentro de la misma duración.
 25 30

Además, si el controlador 16 determina, a partir de los indicadores de multiplexación en la información de TOC, que ni datos de audio ni datos de vídeo están presentes en las pistas que se van a reproducir o si no se ha detectado un DTSV ni un DTSA dentro de una duración especificada, introduce el estado de iniciación sincronizada de diálogos superpuestos si se ha detectado un DTSS en ese punto en el tiempo. Además, el controlador 16 introduce el estado de parada si determina, a partir de la información de TOC, que no hay datos de vídeo ni de audio ni de diálogos superpuestos presentes o si no se ha detectado un DTSV ni un DTSA ni un DTSS dentro de una duración especificada (etapas SP502 a SP510).
 35 40

(3-6) Estado de iniciación sincronizada de audio y de vídeo

La Figura 18 ilustra el flujo de procesamiento para datos de vídeo ejecutado por el controlador 16 en su estado de iniciación sincronizada de audio y de vídeo. Cuando se introduce el estado de iniciación sincronizada de audio y de vídeo, el controlador 16 da orden al decodificador de vídeo 8 para interrumpir la decodificación y para buscar una cabecera de imagen en I (etapa SP600). Puesto que esta operación hace que una cabecera de imagen en I sea buscada mientras se interrumpe la decodificación, el decodificador de vídeo 8 no iniciará la decodificación después de detectar una cabecera de imagen en I y espera una instrucción de liberación de la parada procedente del controlador 16. La cabecera de imagen en I es una configuración de datos particular colocada al principio de datos intra-imagen en datos de vídeo, tales como flujos de bits de vídeo definidos por la norma ISO11172 (MPEG1) o ISO13818 (MPEG2).
 45 50

Una regla específica que un DTSV debe memorizarse en la cabecera de datos de vídeo en datos de vídeo que contengan una cabecera de imagen en I utilizando el método de codificación ilustrado en el "caso de indicador de codificación DTSV = 1" en la Figura 9, cuando se memorizan datos en la DSM en donde se memorizan flujos de bits multiplexados en conformidad con la norma ISO11172 (MPEG1) o ISO13818 (MPEG2). Esto permite al controlador 16 cargar el DTSV correspondiente a una cabecera de imagen en I detectada desde el detector de DTSV 7. La sincronización se inicia con imágenes en I puesto que la imágenes, distintas de las imágenes en I, es decir, las imágenes en P y en B se codifican, de forma predictiva, utilizando imágenes temporalmente situadas antes y/o después de estas imágenes en P y en B y la iniciación de la decodificación con las imágenes en P y en B es así imposible.
 55 60

El controlador 16 determina, entonces, si la memoria intermedia de códigos de vídeo 6 está, o no, en condición de flujos insuficientes (etapa SP601). Si la memoria intermedia de códigos de vídeo 6 está en condición de flujos insuficientes, la memoria intermedia no tiene que efectuar la lectura de datos, por lo que el controlador 16 interrumpe la lectura de datos de vídeo desde la memoria intermedia de códigos de vídeo 6. A continuación, cuando se recibe una señal desde el decodificador de vídeo 8 que indica que se ha leído una cabecera de imagen en I, el controlador
 65

16 carga el valor de DTSV desde el detector de DTSV 16 (etapa SP602). El controlador 16 determina, entonces, si el circuito de conteo de STC 24 está, o no, funcionando (etapa SP603).

5 Si se ha activado el conteo automático del circuito de conteo de STC 24, debe iniciarse las funciones de vídeo y de audio en sincronización con el reloj del sistema STC, es decir, el registro de STC, que ha iniciado ya el conteo. Si se ha desactivado el conteo automático del STC, debe iniciarse la decodificación de vídeo y de audio y el conteo automático del reloj del sistema STC.

10 El controlador realiza el procesamiento siguiente para el decodificador de vídeo 8 si se ha activado el conteo automático del STC: el controlador 16 compara primero el STC memorizado en el registro de STC 23 con el DTSV detectado por el detector de DTSV 7 (etapa SP604). Si DTSV es \leq que STC, determina que ha faltado el tiempo para iniciar la decodificación, da instrucciones al decodificador de vídeo 8 para buscar de nuevo una cabecera de imagen en I (etapa SP605) y carga, desde el detector de DTSV 7, el DTSV correspondiente a la cabecera de imagen en I siguiente en el flujo de bits de vídeo (etapa SP602).

15 Puesto que el STC ha estado también efectuando un conteo automático, el controlador 16 carga de nuevo el más reciente valor de STC desde el registro de STC 23. A continuación, compara el DTSV recientemente cargado con este STC (etapa SP604) y repite este proceso hasta que DTSV sea mayor que STC. Si un DTSV de un valor que es mayor que el valor del STC se carga, el controlador 16 espera hasta que se cumpla DTSV = STC (etapas SP615, SP616). A continuación, emite una instrucción de liberación de interrupción de decodificación al decodificador de vídeo 8 en sincronización con la siguiente señal de sincronización vertical enviada desde el circuito de generación de señales de sincronización vertical 22 (etapas SP617, SP618). El controlador 16 establece el STC al valor del DTSV porque el STC efectúa un conteo automático durante la espera para una señal de sincronización vertical (etapa SP619).

20 En condiciones normales, el procesamiento de errores debe realizarse cuando se detecta una señal de flujo insuficiente en la memoria intermedia de códigos de vídeo 6 o en la memoria intermedia de códigos de audio 9. En el estado de iniciación sincronizada de audio y de vídeo, sin embargo, el controlador 16 no ejecuta ningún procesamiento de errores especial aún cuando reciba una señal de error de flujo insuficiente desde la memoria intermedia de códigos de vídeo 6 después de ordenar al decodificador de vídeo 8 que busque una cabecera de imagen en I y antes de que se detecte una imagen en I; la memoria intermedia de códigos de audio 9 espera hasta que se suministren datos desde el demultiplexor 5 para suprimir el estado de flujo insuficiente.

25 Si el decodificador de vídeo 8 detecta una imagen en I, el controlador 16 debe esperar hasta que una cantidad suficiente de datos sea memorizada en la memoria intermedia de códigos de vídeo 6. El aparato según esta invención, rellena la memoria intermedia de códigos en la manera siguiente si el STC deja su conteo automático, con el fin de obtener la integridad predeterminada de la memoria intermedia de códigos especificada en la norma ISO11172 (MPEG1) o ISO13818 (MPEG2).

30 Si el decodificador de vídeo 8 detecta una imagen en I, puede recibir datos desde el demultiplexor 5 y memorizarlos en la memoria intermedia de códigos de vídeo 5 hasta que la memoria intermedia 6 tenga flujos excesivos porque el decodificador de vídeo 8 haya interrumpido ya la decodificación. Cada vez que se memorizan datos temporales, el demultiplexor 5 intenta detectar un nuevo SCR.

35 El controlador 16 carga un nuevo SCR cada duración especificada en el que el SCR actualizó todos los datos temporales que se memorizan en la memoria intermedia de códigos de vídeo 6 (etapa SP606). A continuación, compara este SCR con un DTSV cargado desde el detector de DTSV 7 (etapa SP607). En este punto, si DTSV es \leq que SCR, determina que una cantidad suficiente de datos se memorice en la memoria intermedia de códigos. Si DTSV es mayor que SCR, espera hasta que el demultiplexor 5 detecte un nuevo SCR. Además, determina que una cantidad suficiente de datos está memorizada en la memoria intermedia de códigos si recibe una señal que signifique la presencia de un flujo excesivo desde la memoria intermedia de códigos de vídeo 6, de la memoria intermedia de códigos de audio 9 o de la memoria intermedia de códigos de diálogos superpuestos 12 mientras está a la espera de un nuevo SCR a detectarse (etapa SP608).

40 El STC, que es un reloj del sistema, debe iniciarse en sincronización con una señal de sincronización vertical si se ha desactivado el conteo automático del STC. El DTSV se codifica en sincronización con una señal de sincronización vertical, mientras que el DTSA se codifica independientemente de una señal de sincronización vertical. De este modo, el STC se inicia en sincronización con la señal de sincronización vertical utilizando el DTSV como un valor inicial. Después de que se inicie el STC y se inicie simultáneamente la decodificación de datos de vídeo, la decodificación de datos de audio se inicia utilizando el DTSA. El controlador realiza el siguiente procesamiento para el decodificador de vídeo si se ha desactivado el conteo automático de STC. El controlador 16 establece un DTSV objeto de lectura desde el detector de DTSV 7 en el registro de STC 23 (etapa SP609).

45 A continuación, el controlador 16 compara el DTSA objeto de lectura desde el detector de DTSA 10 con el DTSV objeto de lectura desde el detector de DTSV 7 (etapa SP610). Si DTSA \leq que DTSV, esto significa que los datos de audio se decodifican antes que los datos de vídeo; el STC no puede iniciarse así en sincronización con una señal de

sincronización vertical. El controlador 16 repite, de este modo, la emisión de una instrucción de búsqueda de DTSA al decodificador de audio 11 hasta que se cumpla $DTSA > DTSV$. El control del decodificador de audio 11 se describe a continuación en detalle.

- 5 Si un DTSV y un DTSA han sido cargados y $DTSA > DTSV$, el controlador 16 espera una señal de sincronización vertical procedente del circuito de generación de señales de sincronización vertical 22 y hace que el circuito de conteo de STC 24 funcione en sincronización con una señal de sincronización vertical para activar el conteo automático del STC (etapa SP612). El controlador 16 envía una instrucción de liberación de parada al decodificador de vídeo 8 para iniciar la decodificación de datos de vídeo al mismo tiempo que hace que funcione el
10 circuito de conteo de STC 24 (etapa SP613).

La Figura 19 ilustra el flujo de procesamiento para datos de audio ejecutado por el controlador 16 en su estado de iniciación sincronizada de audio y de vídeo. Cuando se introduce el estado de iniciación sincronizada de audio y de vídeo, el controlador 16 emite una instrucción de silenciamiento de salida y una instrucción de búsqueda de DTSA al decodificador de audio 11 (etapa SP700). Cuando se recibe la instrucción de búsqueda de DTSA, el decodificador de audio 11 envía una demanda de código a la memoria intermedia de códigos de audio 9, inicia la decodificación y espera una señal procedente del detector de DTSA 10 lo que significa que se ha detectado una señal de DTSA. En este estado operativo, sin embargo, el decodificador de audio 11 no proporciona realmente, a la salida, datos de decodificación debido a que se ha recibido la instrucción de silenciamiento. El controlador 16 controla la memoria intermedia de códigos de audio 9 en cuanto a la presencia de un flujo insuficiente (etapa SP701). El flujo insuficiente de la memoria intermedia de códigos de audio 9 significa que la memoria intermedia de códigos de audio 9 no tiene datos que entregar. En consecuencia, cuando se detecta esta circunstancia operativa, el controlador 16 hace que se interrumpa la entrega de datos desde la memoria intermedia de códigos de audio 9 y permite que se resuelva de nuevo la entrega cuando hay un flujo insuficiente. El decodificador 11 interrumpe la decodificación cuando se recibe una señal desde el detector de DTSA 10 que significa que se ha detectado una señal de DTSA. En este punto, el controlador 16 puede cargar el DTSA detectado desde el detector de DTSA 10 (etapa SP702). El estado de interrupción del decodificador de audio 11 puede liberarse por el controlador 16 según se describe a continuación.

El controlador 16 determina, entonces, el estado operativo del STC (etapa SP703). El controlador ejecuta el mismo procesamiento para el decodificador de audio 11 como para el decodificador de vídeo 8 si se ha activado el conteo automático del STC. Es decir, el controlador 16 compara el STC más reciente cargado desde el registro de STC 23 con el DTSA más reciente cargado desde el detector de DTSA 10 (etapa SP704) y repite la emisión de una instrucción de búsqueda de DTSA al decodificador de audio 11 hasta que se cumpla $DTSA > STC$ (etapa SP705). Cuando se carga un DTSA de un valor mayor que el valor de STC, el controlador 16 carga un nuevo STC (etapa SP710), espera hasta que se cumpla $DTSA = STC$ (etapa SP711) y emite una instrucción de liberación de interrupción de decodificación al decodificador de audio 11 (etapa SP712).

El controlador 16 realiza el siguiente procesamiento para el decodificador de audio si se ha desactivado el conteo automático de STC. Es decir, el controlador determina que se ha cargado ya un DTSV durante el procesamiento de iniciación sincronizada para el decodificador de vídeo 8 en la Figura 18 (etapa SP706). Si se ha cargado un DTSV, el controlador 16 lo carga para la iniciación sincronizada del procesamiento para el decodificador de audio 11 (etapa SP707). El controlador 16 compara posteriormente con el DTSV cargado con un DTSA (etapa SP708) y repite la emisión de una instrucción de búsqueda de DTSA al decodificador de audio 11 hasta que se cumpla $DTSA > DTSV$ (etapa SP709). Cuando se cumple $DTSA > DTSV$, el valor del STC puede cargarse para iniciación sincronizada del procesamiento para el decodificador de audio 11 en este punto porque se ha hecho funcionar el circuito de conteo de STC 24 para activar el conteo automático del STC durante el procesamiento de iniciación sincronizada para el decodificador de vídeo 8 en la Figura 18, según se describió con anterioridad. El controlador 16 espera posteriormente hasta que se cumpla $STC = DTSA$ (etapa SP711) y envía una instrucción de liberación de interrupción de decodificación al decodificador de audio 11 para iniciar la decodificación cuando se cumple $STC = DTSA$ (etapa SP712). Cuando se termina el procesamiento anterior, el controlador 16 introduce el estado de preparación de reproducción.

(3-7) Estado de iniciación sincronizada para vídeo solamente

55 La Figura 20 ilustra el flujo de procesamiento por el controlador 16 en su estado de iniciación sincronizada de vídeo solamente. Cuando se introduce el estado de iniciación sincronizada de vídeo solamente, el controlador 16 ejecuta el procesamiento requerido para iniciar datos de vídeo solamente en sincronización con una señal de sincronización vertical. El procesamiento por el controlador 16 en el estado de iniciación sincronizada de vídeo solamente es fundamentalmente el mismo que el correspondiente al estado de iniciación sincronizada de audio y de vídeo, con la excepción de la ausencia de la comparación del DTSV con el DTSA, es decir, etapa SP610 representa en la Figura 18. Por lo tanto, se omitirá aquí su descripción detallada. Como en la iniciación sincronizada de audio y de vídeo, el controlador 16 da instrucciones al decodificador de vídeo 8 para interrumpir la decodificación y para buscar una cabecera de imagen en I (etapa SP800).

65 Si el decodificador de vídeo 8 detecta una imagen en I, es decir, el controlador 16 carga un DTSV (etapa SP802) y el STC ha sido desactivado, el controlador 16 espera entonces que se memorice una cantidad suficiente de datos en

la memoria intermedia de códigos de vídeo 6. Es decir, como en la iniciación sincronizada de audio y de vídeo, el controlador 16 compara el DTSV detectado con el SCR más reciente objeto de lectura desde el demultiplexor 5 y espera hasta que se cumpla $DTSV \leq$ que SCR o recibe una señal que indica la presencia de un flujo excesivo desde la memoria intermedia de códigos de vídeo 6, la memoria intermedia de códigos de audio 9 o la memoria intermedia de códigos de diálogos superpuestos 12 (etapas SP806, SP807, SP808).

Para los datos de audio, el controlador 16 no realiza ningún procesamiento si el decodificador de audio 11 ha iniciado ya la decodificación y, de no ser así, envía una instrucción de silenciamiento de salida y una instrucción de búsqueda de DTSA al decodificador de audio 11 para hacer que el decodificador espere datos de audio a transferirse desde el demultiplexor 5 a la memoria intermedia de códigos de audio 9.

Para datos de vídeo, el controlador 16 ejecuta, además, el procesamiento siguiente. Si se ha activado el conteo automático del STC, realiza el mismo procesamiento que en la iniciación sincronizada de audio y de vídeo con el conteo automático del STC activado (etapas SP804, SP805, SP814, SP815, SP816, SP817, SP818). En este punto, el controlador 16 no realiza ningún procesamiento de datos de audio.

Si se ha desactivado el conteo automático del STC, el controlador realiza el mismo procesamiento que en la iniciación sincronizada de audio y de vídeo con la desactivación del conteo automático del STC. En este caso, sin embargo, el controlador no realiza ningún procesamiento de datos de audio, es decir, no repite la emisión de una instrucción de liberación de interrupción de decodificación al decodificador de audio 11 hasta que se cumpla $DTSA =$ STC después de hacer que el decodificador de vídeo inicie la decodificación.

Una vez concluido el procesamiento anterior, el controlador 16 envía una instrucción de inicio de decodificación al decodificador de diálogos superpuestos e introduce el estado de preparación de la reproducción. El controlador 16 introduce el estado de iniciación sincronizada de audio solamente en la etapa 804 y las etapas posteriores ilustradas en la Figura 21 si recibe una señal desde el detector de DTSA 10 que indique que se ha detectado un DTSA después de iniciar la reproducción en el estado de iniciación sincronizada de vídeo solamente y luego, introduce el estado de preparación de la reproducción.

(3-8) Estado de iniciación sincronizada de audio solamente

La Figura 21 ilustra el flujo de procesamiento por el controlador 16 en su estado de iniciación sincronizada de audio solamente. Cuando se introduce el estado de iniciación sincronizada de audio solamente, el controlador 16 ejecuta el procesamiento requerido para iniciar solamente datos de audio en sincronización con el STC. Para datos de vídeo, el controlador no realiza ningún procesamiento si el decodificador de vídeo 8 ha iniciado ya la decodificación y de no ser así, envía una instrucción de búsqueda de cabecera de imagen en I al decodificador de vídeo 8.

Cuando se introduce la iniciación sincronizada de audio solamente, el controlador 16 envía una instrucción de silenciamiento de salida y una instrucción de búsqueda de DTSA al decodificador de audio 11 (etapa SP900). Cuando se recibe la instrucción de búsqueda de DTSA, el decodificador de audio 11 entrega una demanda de código a la memoria intermedia de códigos de audio 9, inicia la decodificación y espera una señal procedente del detector de DTSA 10, lo que significa que se ha detectado una señal de DTSA. En este estado, sin embargo, el decodificador de audio 11 no proporciona realmente datos decodificados debido a que se ha recibido la instrucción de silenciamiento. El controlador 16 controla la memoria intermedia de códigos de audio 9 para un posible flujo insuficiente (etapa SP901). El flujo insuficiente de la memoria intermedia de códigos de audio 9 significa que la memoria intermedia de códigos de audio 9 no tiene datos que entregar. De este modo, cuando se detecta esta circunstancia operativa, el controlador 16 hace que se interrumpa la entrega de datos desde la memoria intermedia de códigos de audio 9 y permite que se resuelva la entrega de nuevo cuando existe un flujo insuficiente. El decodificador de audio 11 interrumpe la decodificación cuando se recibe una señal desde el detector de DTSA 10 que significa que se ha detectado una señal de DTSA. En este punto, el controlador 16 puede cargar el DTSA detectado desde el detector de DTSA 10 (etapa SP902). El estado de interrupción del funcionamiento del decodificador de audio 11 puede liberarse por el controlador 16 según se describe más adelante.

El controlador 16 determina, entonces, el estado operativo del STC (etapa SP903). El controlador ejecuta el procesamiento siguiente si se ha activado el conteo automático del STC: es decir, el controlador 16 compara el STC más reciente cargado desde el registro de STC 23 con el DTSA más reciente cargado desde el detector de DTSA 10 (etapa SP904) y repite la emisión de una instrucción de búsqueda de DTSA al decodificador de audio 11 hasta que se cumpla $DTSA >$ STC (etapa SP905). Cuando se carga un DTSA de un valor mayor que el valor del STC, el controlador 16 carga un nuevo STC (etapa SP913), espera hasta que se cumpla $DTSA =$ STC (etapa SP914) y emite una instrucción de liberación de interrupción de decodificación al decodificador de audio 11 (etapa SP911).

Si el conteo automático del STC ha sido desactivado, el controlador 16 inicia la espera hasta que se memorice una cantidad suficiente de datos en la memoria intermedia de códigos de audio 9 cuando el detector de DTSA 10 detecta un DTSA. Es decir, como en el proceso anterior de espera hasta que se memorice una cantidad suficiente de datos en la memoria intermedia de códigos de vídeo 6, el controlador 16 efectúa la lectura del SCR más reciente desde el demultiplexor 5 (etapa SP906), compara este SCR con el DTSA objeto de lectura (etapa SP907) y espera hasta que

se cumpla $DTSA \leq SCR$ o reciba una señal que indique la presencia de un flujo excesivo desde la memoria intermedia de códigos de vídeo 6, la memoria intermedia de códigos de audio 9 o la memoria intermedia de códigos de diálogos superpuestos 12 (etapa SP908). Si se ha desactivado el conteo automático de STC, el controlador 16 inicia entonces el conteo automático del STC al mismo tiempo que el decodificador de audio inicia la decodificación.

Es decir, cuando se detecta que una cantidad suficiente de datos se memoriza en la memoria intermedia de códigos de audio 9, el controlador 16 establece el valor de DTSA detectado por el detector de DTSA en el registro de STC 23 (etapa SP909) y hace que funcione el circuito de conteo de STC 24 para activar el conteo automático del STC (etapa SP910). Al mismo tiempo que se causa que funcione el circuito de conteo de STC 24, el controlador 16 emite una instrucción de liberación de la interrupción al decodificador de audio 11 para iniciar la decodificación de datos de audio (etapa SP911).

Una vez concluido el procesamiento anterior, el controlador 16 envía una instrucción de inicio de decodificación al decodificador de diálogos superpuestos (etapa SP912) e introduce el estado de preparación para la reproducción. El controlador 16 introduce el estado de iniciación sincronizada de vídeo solamente en la etapa 804 y las etapas posteriores ilustradas en la Figura 20 si recibe una señal desde el detector de DTSV 7 indicando que se ha detectado un DTSV después de iniciar la reproducción en el estado de iniciación sincronizada de audio solamente y luego, se introduce el estado de preparación de la reproducción.

(3-9) Estado de iniciación sincronizada de diálogos superpuestos solamente

La Figura 22 ilustra el flujo del procesamiento por el controlador 16 en su estado de iniciación sincronizada de diálogos superpuestos solamente. Cuando se introduce el estado de iniciación sincronizada de diálogos superpuestos solamente, el controlador 16 ejecuta el procesamiento requerido para iniciar solamente datos de diálogos superpuestos en sincronización con el STC.

Los datos de diálogos superpuestos están entre los datos de vídeo. Sin embargo, como en el caso de las señales de imagen de TV ordinarias o datos de vídeo codificados en conformidad con la norma ISO11172 (MPEG1) o ISO13818 (MPEG2), los datos de vídeo 8 utilizados por el decodificador de vídeo del presente aparato tiene una duración de presentación visual en una pantalla única de aproximadamente 1/25 a 1/30 segundos, mientras que los datos de diálogos superpuestos utilizados por el presente aparato son datos de imágenes en donde la misma pantalla se visualiza a través de una duración relativamente larga de aproximadamente un segundo o más en una pantalla única como en el diálogo superpuesto sintetizado o superpuesto en películas o programas de TV.

Puesto que los datos de diálogos superpuestos tienen la característica anterior, una cantidad de datos de diálogos superpuestos para una pantalla única deben memorizarse en DSM 1 a una tasa de transferencia más baja que los datos de vídeo y de audio también memorizados en DSM 1. El presente aparato que reproduce datos memorizados en dicha manera carga a través de la memoria intermedia de diálogos superpuestos 12 y los datos de diálogos superpuestos del detector de DTSS 13 se entregan a una baja tasa de transferencia y después de su decodificación por el decodificador de diálogos superpuestos 14 los proporciona, a la salida, al postprocesador 15.

Durante la iniciación sincronizada de diálogos superpuestos solamente, para datos de vídeo, el controlador no realiza ningún procesamiento si el decodificador de vídeo 8 ha iniciado ya la decodificación y, de no ser así, envía una instrucción de búsqueda de cabecera de imagen en I al decodificador de vídeo 8 para hacer que el decodificador espere la transferencia de datos de vídeo desde el demultiplexor 5 a la memoria intermedia de códigos de vídeo 6.

Para datos de audio, el controlador no realiza ningún procesamiento si el decodificador de audio 11 ha iniciado ya la decodificación y, de no ser así, envía una instrucción de silenciamiento de salida y una instrucción de búsqueda de DTSA al decodificador de audio 11 para hacer que el decodificador espere la transferencia de datos de audio desde el demultiplexor 5 a la memoria intermedia de códigos de audio 9.

Para datos de diálogos superpuestos, si se ha activado el conteo automático del STC, el controlador visualiza el diálogo superpuesto utilizando el mismo procedimiento de procesamiento que el del estado de preparación para la reproducción descrito a continuación. Durante la iniciación sincronizada de diálogos superpuestos solamente, el controlador 16 determina primero si se ha activado, o no, el conteo de STC (etapa SP1000). Si se ha desactivado el conteo automático de STC, el controlador, después de ejecutar el procesamiento siguiente, visualiza el diálogo superpuesto utilizando el mismo procedimiento de procesamiento que en el estado de preparación de reproducción descrito a continuación: si se ha desactivado el conteo automático de STC, el controlador 16 envía una instrucción de búsqueda de DTSS al decodificador de diálogos superpuestos 14 (etapa SP1001) y espera a que el detector de DTSS 13 detecte un DTSS (etapa SP1002). A continuación, el controlador carga un DTSS detectado (etapa SP1003). En este punto, la memoria intermedia de códigos de diálogos superpuestos 12 puede tener un flujo excesivo porque no se ha iniciado el STC, con lo que se impide que se emita una instrucción de inicio de decodificación al decodificador de diálogos superpuestos 14. En consecuencia, cuando se recibe una señal que significa la presencia de un flujo excesivo desde la memoria intermedia de códigos de diálogos superpuestos 12 (etapa SP1004), el controlador 16 establece en el registro de STC 23 una salida de lectura de DTSS desde el detector de DTSS 13 (etapa SP1005), espera una señal de sincronización vertical desde el circuito de generación de

señales de sincronización vertical 22 (etapa SP1006), hace que funcione el circuito de conteo de STC 24 (etapa SP1007) e inicia la decodificación de diálogos superpuestos (etapa SP1008). Después de que concluya el procesamiento anterior, el controlador 16 introduce el estado de preparación para la reproducción.

5 El controlador 16 introduce el estado de iniciación sincronizada de vídeo solamente en la etapa SP804 si recibe una señal desde el detector de DTSV 7 que indique se ha detectado un DTSV después de iniciar la reproducción en el estado de iniciación sincronizada de diálogos superpuestos solamente y a continuación, introduce el estado de preparación para la reproducción. El controlador 16 introduce el estado de iniciación sincronizada de audio solamente en la etapa SP904 si recibe una señal desde el detector DTSA 10 que indica que se ha detectado un DTSA después de iniciar la reproducción en el estado de iniciación sincronizada de diálogos superpuestos solamente y a continuación, introduce el estado de preparación para la reproducción. Además, el controlador 16 introduce el estado de iniciación sincronizada de audio y de vídeo en las etapas SP604 y SP704 si recibe una señal desde el detector de DTSV 7 y del detector DTSA 10 que indica que ha sido detectado un DTSV y un DTSA después de iniciar la reproducción en el estado de iniciación sincronizada de diálogos superpuestos solamente y a continuación, introduce el estado de preparación para la reproducción.

(3-10) Estado de preparación para la reproducción

20 Cuando se retorna al estado de preparación para la reproducción, el controlador 16 detecta errores en la sincronización de vídeo, detecta y corrige errores en la sincronización de audio, detecta otros errores, controla el decodificador de diálogos superpuestos y comprueba el programa de reproducción.

(3-11) Detección de errores en sincronización

25 Mientras el decodificador de vídeo 8 y el decodificador de audio 11 están decodificando datos, se requiere un medio para detectar y corregir la diferencia entre el momento de iniciación de la decodificación de datos de vídeo y el momento de iniciación de la decodificación de datos de audio, es decir, un error en sincronización de imágenes visualizadas con voces de salida que se denomina una "lip-sync", como abreviatura de sincronización labial.

30 Los posibles errores en la sincronización incluyen la diferencia entre el reloj del sistema STC y el momento de iniciación de la decodificación de vídeo DTSV y la diferencia entre el reloj del sistema STC y el momento de iniciación de la decodificación de audio DTSA. Dos métodos están disponibles para la detección de errores de sincronización. Un método consiste en detectar las diferencias para tomar una acción correctiva de modo que se puedan eliminar prácticamente ambas diferencias. El otro método consiste en tratar una de entre la diferencia como una referencia mientras se detecta la otra diferencia y tomando las medidas requeridas para corregir esta diferencia.

35 El método anterior consiste en ajustar todas las diferencias a un STC de referencia especificada para corregir errores en la sincronización de datos de vídeo con datos de audio. Además, si la diferencia entre el reloj del sistema STC y el momento de inicio de la decodificación de vídeo DTSV se trata como una referencia, este último método inicializa el STC al DTSV periódicamente o en un intervalo temporal especificado para eliminar esta diferencia en un sentido matemático.

40 En el último método, la diferencia entre el STC del sistema y el momento de iniciación de decodificación de audio DTSA se representa como su valor original más el valor de la diferencia entre el STC y el DTSV. Los errores en la sincronización de datos de vídeo, de audio y de diálogos superpuestos pueden ser, así, relativamente corregidos eliminando solamente la diferencia asociada con DTSA.

45 En el método anterior, la diferencia entre el STC y el DTSV y la diferencia entre el STC y DTSA se detectan como sigue: la Figura 23 ilustra el flujo del procesamiento ejecutado por el controlador 16 en el anterior método de detección de errores de sincronización de vídeo. Es decir, cuando se recibe una señal desde el decodificador de vídeo 8 que significa que se ha detectado una cabecera de imágenes en I (etapa SP2000), el controlador 16 carga el DTSV más reciente desde el detector de DTSV 7 y un STC desde el registro de STC 23 (etapas SP2001, SP2002) y calcula la diferencia entre el DTSV y STC, es decir (DTSV – STC) (etapa SP2003) para memorizar el resultado en el dispositivo de almacenamiento 20.

50 La Figura 24 ilustra el flujo del procesamiento ejecutado por el controlador 16 en el método anterior de detección de errores de sincronización de audio. Cuando se recibe una señal desde el detector de DTSA 10 que significa que se ha detectado un DTSA (etapa SP3000), el controlador 16 carga el DTSA más reciente desde el detector de DTSA 10 y un STC desde el registro de STC 23 (etapas SP3001, SP3002) y calcula la diferencia entre DTSA y STC, es decir, (DTSA – STC) (etapa SP3003) para memorizar el resultado en el dispositivo de almacenamiento 20 (etapa SP3004).

55 La Figura 25 ilustra el flujo del procesamiento ejecutado por el controlador 16 en el último método de detección de errores de sincronización de vídeo. Cuando se recibe una señal desde el decodificador de vídeo 8 que significa que se ha detectado una cabecera de imagen en I (etapa SP4000), el controlador 16 carga el DTSV más reciente desde el detector de DTSV 7 y un STC desde el registro de STC 23 (etapas SP4001, SP4002) y calcula el valor absoluto de la diferencia entre el DTSV y STC, es decir, |DTSV-STC| (etapa SP4003). A continuación, el controlador compara

|DTSV-STC| con un valor especificado (etapa SP4004) y establece el valor del DTSV en el registro de STC 23 si |DTSV-STC| es el valor especificado o más pequeño (etapa SP4005). Si |DTSV-STC| excede el valor especificado, el controlador determina que se está produciendo un error de sincronización grave y que el DTSV no puede utilizarse como una referencia y borra la memoria intermedia de códigos de vídeo 6 y la memoria intermedia de códigos de audio 9 para introducir el estado de iniciación sincronizada de audio y de vídeo (etapa SP4007). El dispositivo de memorización 20 memoriza un valor de "0" como (DTSV – STC) si |DTSV-STC| es el valor especificado o más pequeño (etapa SP4006).

La Figura 24 ilustra también el flujo de procesamiento por el controlador 16 en el último método de detección de errores de sincronización de audio. Es decir, cuando se recibe una señal desde el detector de DTSA 10 que significa que se ha detectado un DTSA, el controlador 16 carga el DTSA más reciente desde el detector de DTSA 10 y un STC desde el registro de STC 23. A continuación, calcula la diferencia entre el DTSA y STC, es decir, (DTSA – STC) para memorizar el resultado en el dispositivo de memorización 20.

Equipos físicos tales como un sumador, un sustractor y un comparador pueden utilizarse también para hacer que el controlador 16 establezca los valores del STC, del DTSV y del DTSA y para efectuar la lectura de los resultados del cálculo si el controlador debe dedicar una gran cantidad de tiempo al campo (DTSV – STC), (DTSA – STC) y |DTSV-STC| utilizando un programa informático.

(3-12) Corrección de errores de sincronización

La corrección de errores de sincronización, asociados con el DTSV y el DTSA que se suelen utilizar en ambos métodos de detección de errores de sincronización se describe a continuación. La Figura 26 ilustra el flujo de procesamiento por el controlador en la corrección de errores de sincronización asociados con el DTSV. Cuando se memoriza un nuevo (DTSV – STC) en el dispositivo de memorización 20 (etapa SP5000), el controlador 16 carga este valor (etapa SP5001). Si (DTSV-STC) = 0, el controlador no toma ninguna medida correctiva para el decodificador de vídeo 8 (etapa SP5002). El controlador 16 compara luego el valor absoluto de (DTSV-STC) con un valor especificado (etapa SP5003). Si el valor absoluto de (DTSV-STC) es grande y supera el valor especificado, el controlador 16 determina que está ocurriendo un error de sincronización grave y borra la memoria intermedia de códigos de vídeo 6 y la memoria intermedia de códigos de audio 9 (etapa SP5004) para introducir el estado de iniciación sincronizada de audio y de vídeo. Si el valor absoluto de (DTSV-STC) no excede el valor especificado, determina si el DTSV es positivo o negativo (etapa SP5006). Si (DTSV-STC) > 0, la decodificación de datos de vídeo ha progresado en relación con el STC. El controlador 16 da instrucciones, de este modo, al decodificador de vídeo 8 para interrumpir la decodificación para un número adecuado de imágenes correspondientes a la magnitud de |DTSV-STC| y para repetir la presentación visual de la misma imagen (etapa SP5007). Si (DTSV-STC) < 0, la decodificación de datos de vídeo se retrasa en relación con el STC, con lo que el controlador da instrucciones al decodificador de vídeo 8 para captar un número adecuado de imágenes correspondientes a la magnitud de |DTSV-STC| (etapa SP5008).

En este caso, si se saltan las imágenes en I y en P, no se pueden decodificar adecuadamente los datos de imágenes hasta la siguiente imagen en I porque las imágenes son comprimidas utilizando el método de correlación intertramas en conformidad con la norma ISO11172 (MPEG1) o ISO13818 (MPEG2). De este modo, el controlador da instrucciones al decodificador de vídeo 8 para saltar solamente imágenes en B que no se utilizan para imágenes de referencia para decodificar imágenes posteriores y de este modo, pueden saltarse con seguridad.

La Figura 27 ilustra el flujo de procesamiento ejecutado por el controlador para corregir errores de sincronización asociados con DTSA. Cuando se memoriza un nuevo (DTSA –STC) en el dispositivo de memorización 20 (etapa SP6000), el controlador 16 carga este valor (etapa SP6001). Si (DTSA-STC) = 0, el controlador no toma ninguna acción correctiva para el decodificador de audio 11 (etapa SP6002). El controlador 16 compara luego el valor absoluto de (DTSA-STC) con un valor especificado (etapa SP6003). Si el valor absoluto de (DTSA-STC) es grande y supera el valor especificado, el controlador 16 determina que está ocurriendo un error de sincronización grave y borra la memoria intermedia de códigos de vídeo 6 y la memoria intermedia de códigos de audio 9 (etapa SP6004) para introducir el estado de iniciación sincronizada de audio y de vídeo. Si el valor absoluto de (DTSA-STC) no supera el valor especificado, determina si el DTSA es positivo o negativo (etapa SP6006). Si (DTSA-STC) > 0, la decodificación de datos de audio ha avanzado en relación con el STC. En consecuencia, el controlador 16 da instrucciones al decodificador de audio 11 para interrumpir la decodificación para un número adecuado de imágenes correspondientes a la magnitud de |DTSA-STC| y para repetir la decodificación de datos de audio (etapa S6007). Si (DTSA-STC) < 0, la decodificación de datos de audio se retrasa en relación con el STC, por lo que el controlador da instrucciones al decodificador de audio 11 para saltar datos de audio para una duración adecuada correspondiente a la magnitud de |DTSA-STC| (etapa SP6008).

En las funciones de detección y corrección anteriores de errores de sincronización, el controlador 16 puede dar instrucciones al dispositivo de presentación visual de información 19 y al postprocesador 15 para iluminar una luz que indique que una cantidad importante de datos de vídeo pueden haberse perdido y visualizar esta condición en la pantalla si se determina que está ocurriendo un error de sincronización grave (etapas SP5006, SP6005).

(3-13) Detección de errores

5 Aunque los datos leídos desde DSM 1 tengan errores corregidos por el dispositivo de corrección de errores 3, si lo
 10 hubiere, datos que contienen una gran cantidad de datos de errores pueden enviarse al decodificador de vídeo 8, al
 decodificador de audio 11 o al decodificador de diálogos superpuestos 14 por intermedio del demultiplexor 5 sin
 tener que corregir completamente los errores. En este caso, los indicadores de errores contenidos en los datos de
 errores permiten al decodificador de vídeo 8, al decodificador de audio 11 y al decodificador de diálogos
 superpuestos 14 detectar los errores.

10 Además, puesto que tanto el decodificador de vídeo 8 como el decodificador de audio 11 decodifican datos de vídeo
 o audio en conformidad con la norma ISO11172 (MPEG1) o ISO 13818 (MPEG2) pueden detectar errores
 intentando encontrar datos incoherentes con esta sintaxis. En cualquier caso, cuando se detecta un error, el
 decodificador de vídeo 8, el decodificador de audio 11 y el decodificador de diálogos superpuestos 14 envían una
 señal al controlador 16 informándole de la presencia del error.

15 Si se detecta un error de decodificación en el decodificador de vídeo 8 o en el decodificador de audio 11, pueden
 haberse perdido datos de vídeo o de audio y la sincronización de las imágenes visualizadas con voces de salida
 puede tener fallos operativos consiguientes si se continúa la reproducción. Dicho error de sincronización puede
 20 corregirse por el método anterior de detección y corrección de errores de sincronización. Además de la corrección de
 errores de sincronización, el controlador 16 puede contar la frecuencia de errores para conocer las condiciones de
 generación de errores de discos. Esto permite al algoritmo de corrección de errores del dispositivo de corrección de
 errores 3 modificarse o las condiciones de generación de errores a notificarse al usuario.

25 El controlador 16 calcula la frecuencia con la que se producen errores en el disco, o en la pista, o dentro de la
 duración especificada anterior contando el número de señales recibidas que informan de la presencia de un error.
 Más concretamente, se proporcionan tres zonas de memorización de frecuencia de errores en el dispositivo de
 memorización 20: una zona de memorización de frecuencia de errores en disco, una zona de memorización de
 frecuencia de errores en pistas y una zona de memorización de frecuencia de errores de tres segundos y estas
 30 zonas operan como contadores. Las Figuras 28, 29 y 30 ilustran el flujo del procesamiento ejecutado por el
 controlador para detectar errores utilizando cada uno de los contadores. La zona de memorización de frecuencia de
 errores en disco es objeto de reposición cuando el estado de parada se desplaza al estado de preparación para la
 reproducción, la zona de memorización de frecuencia de errores de pistas es también objeto de reposición cuando el
 estado de parada se desplaza al estado de preparación para la reproducción y la nueva reproducción de pistas y la
 zona de memorización de frecuencias de errores de tres segundos es también objeto de reposición cuando el estado
 35 de parada se desplaza al estado de preparación para la reproducción así como cada tres segundos (etapas SP7000,
 SP7003, SP8000, SP8003, SP8004, SP9000, SP9003, SP9004).

40 Si el controlador 16 recibe una señal de error desde el decodificador de vídeo 8, el decodificador de audio 11 o el
 decodificador de diálogos superpuestos 14 (etapas SP7001, SP8001, SP9001), añade 1 a cada uno de los valores
 memorizados en el disco, la pista y las zonas de memorización de frecuencias de errores de tres segundos (etapas
 SP7002, SP8002, SP9002). Después de la adición, si el valor en la zona de memorización de frecuencias de errores
 en disco supera el umbral predeterminado, el controlador 16 determina que el DSM 1 que se está reproduciendo
 tiene un mayor número de defectos (etapa SP7004) para introducir el estado de parada.

45 Si el valor en la zona de memorización de frecuencias de errores en pistas supera el umbral predeterminado (etapa
 SP8005), el controlador 16 determina que esta pista tiene un gran número de defectos y suspende la reproducción
 de la pista para iniciar la reproducción de la pista siguiente (etapas SP8006, SP8007). Sin embargo, suspende la
 reproducción para introducir el estado de parada si encuentra a partir de los datos de TOC que no existen los datos
 siguientes. Si el valor en la zona de memorización de frecuencias de errores de tres segundos supera el umbral
 50 predeterminado (etapa SP9005), el controlador 16 da instrucciones al decodificador de vídeo 8 y al decodificador de
 diálogos superpuestos 14 para interrumpir la presentación visual de la pantalla y al decodificador de audio 11
 silencia las salidas durante los tres segundo siguientes (etapa SP9006).

(3-14) Identificación de pistas reproducidas

55 En el estado de preparación para la reproducción, el controlador 16 carga datos de números de sectores desde el
 demultiplexor 5 cuando se recibe una señal desde el demultiplexor 5 que indica que se han detectado números de
 sectores. El controlador compara los datos de números de sectores cargados con los números de sectores inicial y
 final de cada pista en los datos de TOC ilustrados en la Figura 5 para detectar si los números de sectores leídos
 60 desde el demultiplexor 5 pertenecen, o no, a esa pista. Si los números no pertenecen a la pista que se está
 reproduciendo actualmente, el controlador 16 da instrucciones al dispositivo de presentación visual de información
 19 y al postprocesador 15 para encender una luz que indique el hecho de que la pista reproducida se ha cambiado
 y/o el número de la pista reproducida y para su visualización en la pantalla.

65 Además, el controlador 16 da instrucciones al demultiplexor 5 para interrumpir la operación de demultiplexación si
 detecta que se acaba la reproducción de la pista final. El controlador 16 espera posteriormente una señal de error de

flujo insuficiente que indique que la totalidad de la memoria intermedia de códigos vídeo 8, la memoria intermedia de códigos de audio 11 y la memoria intermedia de códigos de diálogos superpuestos 12 han llegado a estar vacías y a continuación, introduce el estado de parada operativa.

5 En el estado de preparación para la reproducción, el controlador 16 carga datos de subcódigos desde el decodificador de subcódigos 21 como cuando se cargan números de sectores desde el demultiplexor 5. Como en los datos de números de sectores leídos desde el demultiplexor 5, el controlador 16 compara los datos de subcódigos cargados con los números de sectores inicial y final de cada pista en los datos de TOC ilustrados en la Figura 5 para identificar el número de la pista a la que los datos se están introduciendo actualmente para el dispositivo de corrección de errores 3. Si la pista identificada difiere de la pista que se está reproduciendo actualmente y si el usuario ha especificado la reproducción en un orden no consecutivo, el controlador introduce el estado de preparación para la reproducción para reproducir la siguiente pista a reproducir en ese orden.

15 En el estado de preparación para la reproducción, el controlador 16 introduce el estado de parada si recibe una instrucción de parada desde el dispositivo de entrada del usuario 18 o desde la interfaz externa 17. En el estado de preparación para la reproducción, el controlador 16 introduce el estado de búsqueda si recibe una instrucción de búsqueda desde el dispositivo de entrada del usuario 18 o desde la interfaz externa 17. En el estado de preparación para la reproducción, el controlador 16 introduce el estado de pausa si recibe una instrucción de pausa desde el dispositivo de entrada del usuario 18 o desde la interfaz externa 17.

20 (3-15) Control del decodificador de diálogos superpuestos

Los datos de diálogos superpuestos se codifican en cada pantalla. Un DTSS que indica que el tiempo de inicio de la decodificación de cada pantalla de diálogos superpuestos se memoriza en la cabecera de datos de diálogos superpuestos contenida en los datos de inicio para la pantalla de diálogos superpuestos, un tiempo de duración que indica la duración de la presentación visual de una pantalla de diálogos superpuestos se memoriza al inicio de la pantalla de diálogos superpuestos en cada uno de los datos de diálogos superpuestos. El DTSS no se memoriza en ninguna cabecera de datos de diálogos superpuestos distinta de en los datos de inicio para cada pantalla de diálogos superpuestos. Los datos de inicio para una pantalla de diálogos superpuestos pueden buscarse efectuando una búsqueda para el DTSS.

La Figura 31 ilustra el flujo del procesamiento ejecutado por el controlador 16 para controlar el decodificador de diálogos superpuestos en el estado de preparación para la reproducción. En el estado de preparación para la reproducción, el controlador 16 comprueba el tiempo de inicio de la decodificación cuando se recibe una señal de detección de DTSS desde el detector de DTSS 25. En primer lugar, efectúa la lectura del DTSS detectado desde el detector de DTSS 25 y el valor actual del STC desde el registro de STC 23 (etapas SP33, SP34). A continuación, compara los DTSS objeto de salida de lectura con este STC (etapa SP35). Si $DTSS < STC$, ello determina que ha faltado la temporización de la decodificación y borra la memoria intermedia de diálogos superpuestos (etapa SP43). A continuación, el controlador emite una instrucción de búsqueda de DTSS al detector de DTSS 25 y al decodificador de diálogos superpuestos 14 (etapa SP30). A continuación, espera una señal de detección de DTSS desde el detector de DTSS 25 (etapa SP31) y, si se detecta un DTSS, comprueba el tiempo de inicio de la decodificación para la pantalla de diálogos superpuestos siguiente.

Si $DTSS = STC$, el controlador determina que la decodificación debe iniciarse y emite una instrucción para decodificar datos para una pantalla única. Además, si $DTSS > STC$, realiza la misma operación cuando se cumple $DTSS = STC$ después de determinar que es demasiado pronto para iniciar la decodificación (etapas SP36, SP37, SP38, SP39). Cuando se recibe la instrucción de decodificar datos para una pantalla única, el decodificador de diálogos superpuestos 14 decodifica los datos de diálogos superpuestos para una pantalla única que se obtienen a partir de la memoria intermedia de códigos de diálogos superpuestos 12 por intermedio del detector de DTSS 25 y los retiene en su memoria de tramas interna. A continuación, inicia la salida de los datos hacia el postprocesador 15.

Además, el controlador 16 espera hasta que se cumpla $DTSS + \text{tiempo duración} > STC$ (etapas SP40, SP41). Durante esta operación, la pantalla de diálogos superpuestos se sigue visualizando. Cuando se cumple $DTSS + \text{tiempo duración} > STC$, el controlador emite una instrucción de interrupción de la presentación visual al decodificador de diálogos superpuestos 14 (etapa SP42) para finalizar la presentación visual de la pantalla de diálogos superpuestos. El DTSS correspondiente a los datos de inicio para la siguiente pantalla de diálogos superpuestos puede detectarse mientras el controlador 16 está a la espera hasta que se cumpla $DTSS + \text{tiempo duración} > STC$. En este caso, el controlador no realiza ningún procesamiento hasta que se cumpla $DTSS + \text{tiempo duración} > STC$ para hacer que termine la presentación visual de la pantalla de diálogos superpuestos.

Después de que finalice la presentación visual de la pantalla de diálogos superpuestos, el controlador efectúa la lectura del DTSS para la siguiente pantalla de diálogos superpuestos desde el detector de DTSS 25 para comprobar el tiempo de inicio de la decodificación si el DTSS correspondiente a los datos de inicio para la pantalla de diálogos superpuestos siguiente se detecta mientras el controlador 16 está a la espera de que se cumpla $DTSS + \text{tiempo duración} > STC$.

Si el controlador 16 está esperando que se cumpla $DTSS = STC$ después de la carga del DTSS y la determinación de que $DTSS > STC$, se puede enviar una señal de detección de imagen en I desde el decodificador de vídeo 8 y el DTSV correspondiente a esta imagen en I puede hacer que el registro de STC efectúe su reposición operativa. El conteo del STC puede hacerse entonces discontinuo para llegar a que se cumpla $DTSS < STC$, con lo que se impide que se establezca $DTSS = STC$ en tanto que el controlador está en la condición de espera.

De este modo, si se cumple $DTSS < STC$ (etapa SP37) con $(STC - DTSS)$ menor que un umbral, a modo de ejemplo, tiempo de duración, mientras el controlador está a la espera de que se cumpla $DTSS = STC$ después de determinar que $DTSS > STC$, esta pantalla de diálogos superpuestos debe seguir visualizándose y el decodificador de diálogos superpuestos 14 puede obligarse a iniciar la decodificación para una pantalla única. Sin embargo, si $(STC - DTSS)$ es grande, el controlador 16 determina que está ocurriendo un error de sincronización grave y emite una instrucción de búsqueda de DTSS al decodificador de diálogos superpuestos 14 y al detector de DTSS 25 (etapa SP30). Cuando se detecta un DTSS, comprueba el tiempo de inicio de la decodificación para esta pantalla de diálogos superpuestos.

(3-16) Estado de búsqueda

El estado de búsqueda es una operación para reproducir solamente las imágenes en I de datos de vídeo que aparecen en un intervalo especificado y para saltar las imágenes en P y las imágenes en B entre las imágenes en I, en lugar de reproducirlas para la reproducción de datos de vídeo memorizados en la DSM 1 en un tiempo más corto que en la reproducción normal. La visualización selectiva de solamente imágenes en I en la misma dirección que en la reproducción normal se refiere como una búsqueda hacia delante, mientras que la visualización selectiva de imágenes en I en la dirección inversa a la de la reproducción normal, es decir, la dirección en la que el tiempo de reproducción se hace secuencialmente anterior.

La Figura 32 ilustra el flujo de procesamiento por el controlador 16 en su estado de búsqueda. Cuando se introduce el estado de búsqueda, el controlador 16 envía una señal al codificador de vídeo 8 con el significado de que se ha introducido el estado de búsqueda (etapa SP50). Cuando se recibe la señal que significa que se ha introducido el estado de búsqueda, el decodificador de vídeo 8 decodifica solamente los datos de imágenes en I de los datos cargados desde el detector de DTSV 7 y omite los otros datos, es decir, los datos de imágenes en P y de imágenes en B en lugar de su decodificación. Las imágenes en I decodificadas se visualizan inmediatamente después de la decodificación.

El controlador da instrucciones al decodificador de audio 11 para interrumpir la decodificación y para silenciar los sonidos de la salida y también da instrucciones al decodificador de diálogos superpuestos 14 para interrumpir la decodificación y para interrumpir la decodificación de salidas (etapas SP51, SP52). Esto impide que los datos de audio y de diálogos superpuestos se reproduzcan durante la operación de búsqueda.

En el estado de búsqueda, para la búsqueda hacia delante, el controlador 16 da instrucciones a la unidad motriz 2 para realizar un salto de pista en la dirección hacia delante de la captación, mientras que, para la búsqueda inversa, da instrucciones a la unidad motriz 2 para ejecutar el salto de pista inverso (etapa SP53). En respuesta a una instrucción de salto de pista hacia delante o hacia atrás, la unidad motriz 2 hace que el dispositivo de captación se desplace de tal manera que, para la instrucción de salto de pista hacia delante, los datos se puedan leer desde un número de sector grande relativo a la posición actual del dispositivo de captación mientras que, para la instrucción de salto de pista en sentido inverso, los datos pueden leerse desde un pequeño número de sector relativo a la misma posición.

La magnitud del desplazamiento del dispositivo de captación durante el salto de pista no necesita especificarse con exactitud. Es decir, a diferencia de una instrucción de búsqueda en donde el número del sector al que debe desplazarse el dispositivo de captación está rígidamente especificado, estas instrucciones no requiere que la magnitud del salto se especifique con exactitud debido a la combinación de la DSM 1 y de la unidad motriz 2 que pueden designar solamente un sentido de desplazamiento aproximado y una magnitud de desplazamiento aproximada cuando se desea que sea rápido el salto e implica una cantidad de movimiento de gran magnitud.

Cuando el desplazamiento del dispositivo de captación se termina y los datos en la posición a la que se ha desplazado el dispositivo de captación son cargados luego en el dispositivo de corrección de errores, los datos de subcódigos en el formato ilustrado en la Figura 2 se cargan en el decodificador de subcódigos 21. El controlador 16 carga los datos de números de sectores y un indicador de inhibición de reproducción a partir de los datos de subcódigos cargados en el decodificador de subcódigos 21 (etapa SP54).

Si se establece el indicador de inhibición de reproducción cargado (etapa SP55), es decir, ello significa que está inhibida la reproducción, el controlador 16 determina que, después del salto de pista, el dispositivo de captación ha introducido una zona de inicio, una zona de salida o una zona de TOC e introduce el estado de parada. De no ser así, los datos multiplexados en el número de sector leído después de que se suministre el salto de pista al decodificador de vídeo 8, al decodificador de audio 11 y al decodificador de diálogos superpuestos 14.

Puesto que el decodificador de vídeo 8 está en el estado de búsqueda, busca una cabecera de imagen en I para reproducir solamente imágenes en I. Cuando se detecta una cabecera de imagen en I, el decodificador de vídeo 8 envía una señal al controlador 16 informando que se ha detectado una cabecera de imagen en I y decodifica, con prontitud, la imagen en I para proporcionarla a la salida inmediatamente después de terminar la decodificación. Si, a continuación, detecta una cabecera de imagen en P o de imagen en B, informa al controlador 16 de dicha detección e inicia la búsqueda de la siguiente cabecera de imagen en I en lugar de decodificar los datos de imágenes en P o de imágenes en B.

Cuando se introduce el estado de búsqueda, el controlador 16 inicia la espera de una señal desde el decodificador de vídeo 8 informando que se ha detectado una cabecera de imagen en I (etapa SP56). Cuando se recibe una señal de detección de cabecera de imagen en I, inicia la espera para una siguiente señal de detección de cabecera de imagen en P o de imagen en B (etapa SP58). Cuando se recibe una señal de detección de cabecera de imagen en P o de imagen en B, el controlador 16 determina que se acaba la decodificación de la imagen en I. De nuevo, para una búsqueda hacia delante, el controlador 16 da instrucciones a la unidad motriz 2 para hacer que se produzca un salto de pista del dispositivo de captación en la dirección hacia delante mientras que para la búsqueda inversa, da instrucciones a la unidad motriz 2 para hacer que se produzca un salto de pista del dispositivo de captación en la dirección inversa para poder repetir el estado de búsqueda anterior (etapa SP53).

En el estado de búsqueda, los datos de audio y de diálogos superpuestos se cargan en la memoria intermedia de códigos de audio 9 y en la memoria intermedia de códigos de diálogos superpuestos 12, respectivamente. Sin embargo, puesto que el decodificador de audio 11 y el decodificador de diálogos superpuestos 14 ha interrumpido la decodificación, la memoria intermedia de códigos de audio 9 y/o la memoria intermedia de códigos de diálogos superpuestos 12 pueden tener un flujo excesivo, con lo que se impide que el demultiplexor 5 transfiera datos a la memoria intermedia de códigos de vídeo 6, a la memoria intermedia de códigos de audio 9 y a la memoria intermedia de códigos de diálogos superpuestos 12.

En consecuencia, en el estado de búsqueda, el controlador 16 borra periódicamente la memoria intermedia de códigos de audio 9 y la memoria intermedia de códigos de diálogos superpuestos 12. A modo de ejemplo, borra estas memorias intermedias cada vez que el controlador recibe una señal de detección de cabecera de imagen en I, de imagen en P o de imagen en B desde el decodificador de vídeo 8 (etapa SP57, SP58). En el estado de búsqueda, el controlador 16 introduce el estado de determinación del método de iniciación sincronizada si recibe una instrucción de liberación de la operación de búsqueda desde el dispositivo de entrada del usuario 18 o desde la interfaz externa 17. En el estado de búsqueda el controlador 16 introduce el estado de parada si recibe una instrucción de parada desde el dispositivo de entrada del usuario 18 o desde la interfaz externa 17.

(3-17) Estado de pausa

La Figura 33 ilustra el flujo del procesamiento por el controlador 16 en su estado de pausa. Cuando se introduce el estado de pausa, el controlador 16 inicia la espera de una señal de sincronización vertical desde el generador de sincronización vertical (etapa SP70). Cuando se detecta una señal de sincronización vertical, emite una instrucción de parada al decodificador de vídeo 8 y una instrucción de interrupción de la decodificación al decodificador de audio 11 y da instrucciones, simultáneamente, al circuito de conteo de STC para interrumpir, de forma anómala, el conteo automático del STC (etapas SP71, SP72, SP73).

Cuando se recibe una instrucción de parada, el decodificador de vídeo 8 interrumpe la decodificación y sigue visualizando la última pantalla decodificada. En este caso, si la imagen que se decodifica es una imagen entrelazada en donde una pantalla única comprende dos campos con una diferencia temporal, el decodificador de vídeo 8 selecciona uno de entre los campos de números impares y de números pares que constituyen esta imagen para visualizar el campo seleccionado incluso cuando deba visualizarse el otro campo, con lo que se eliminan las fluctuaciones limitadoras. Cuando se recibe una instrucción de interrupción de la decodificación, el decodificador de audio 11 interrumpe, con prontitud, la decodificación.

En el estado de pausa, si una pantalla de diálogos superpuestos se visualiza en el momento en que el estado de reproducción normal se desplaza al estado de pausa, esta pantalla continua visualizándose. De no ser así, no se visualiza ninguna pantalla de diálogos superpuestos. En el estado de pausa, cuando se recibe una instrucción de liberación de pausa desde el dispositivo de entrada del usuario 18 o desde la interfaz externa 17, el controlador 16 inicia la espera de una señal de sincronización vertical desde el generador de señales de sincronización vertical (etapas SP74, SP75). Cuando se detecta una señal de sincronización vertical, emite una instrucción de liberación de pausa al decodificador de vídeo 8 y una instrucción de inicio de decodificación al decodificador de audio 11 y da instrucciones, simultáneamente, al circuito de conteo de STC para iniciar el conteo automático del STC (etapas SP76, SP77, SP78). El controlador 16 introduce posteriormente el estado de reproducción normal.

En el estado de pausa, el controlador 16 introduce el estado de avance de trama si recibe una instrucción de avance de trama desde el dispositivo de entrada de usuario 18 o desde la interfaz externa 17. La Figura 34 ilustra el flujo del procesamiento por el controlador 16 en su estado de avance de trama. Cuando se introduce el estado de avance de trama, el controlador 16 ordena primero el borrado de la memoria intermedia de códigos de audio 9 (etapa SP90).

Esta operación es para evitar el flujo insuficiente de la memoria intermedia de códigos de audio durante la siguiente decodificación de una pantalla única por el decodificador de vídeo.

5 A continuación, el controlador obliga al decodificador de vídeo 8 a decodificar una trama única. Es decir, el controlador espera una señal de sincronización vertical desde el circuito de generación de sincronización vertical 22 (etapa SP91), envía una instrucción de inicio de decodificación al decodificador de vídeo 8 en respuesta a una señal de sincronización vertical (etapa SP92) y emite una instrucción de parada en respuesta a la siguiente señal de sincronización vertical (etapas SP93, SP94). A continuación, el controlador establece el STC hacia delante en una trama (etapa SP95). Es decir, el controlador 16 efectúa la lectura de un STC desde el registro de STC 23 para
10 añadir una sola trama de tiempo de visualización a este STC y a continuación, establece el resultado de nuevo al registro de STC 23. El controlador 16 determina, entonces, si el dispositivo de entrada de usuario 18 o la interfaz externa 17 está emitiendo, o no, una instrucción de liberación de avance de trama (etapa SP96) y si no es así, repite el procesamiento anterior.

15 En este caso, el controlador realiza el siguiente procesamiento para la pantalla de diálogos superpuestos como en el estado de reproducción normal: si una pantalla de diálogos superpuestos está actualmente visualizada, emite una instrucción de interrupción de presentación visual al decodificador de diálogos superpuestos 14 cuando se cumple $DTSS + \text{tiempo duración} > STC$, con lo que se finaliza la presentación visual en la pantalla de diálogos superpuestos. De no ser así, da instrucciones al decodificador de diálogos superpuestos 14 para visualizar la
20 siguiente pantalla de diálogos superpuestos cuando se cumple $DTSS < STC$. Después de acabar el procesamiento anterior, el controlador se desplaza desde el estado de avance de trama al estado de pausa.

Según se describió anteriormente, esta invención pone en práctica un aparato de reproducción de datos y un medio de memorización de datos para reproducir datos multiplexados con datos de vídeo, de audio y de diálogos superpuestos comprimidos a una tasa variable y para realizar varias funciones.
25

Aplicabilidad industrial

30 El medio de memorización de datos, según esta invención, es aplicable a discos de vídeo digitales (DVDS) en donde se memorizan flujos de bits comprimidos utilizando MPEG. Además, el aparato de reproducción de datos según esta invención es aplicable a dispositivos de reproducción para reproducir dichos discos DVDS.

35

REIVINDICACIONES

- 5 **1.** Un aparato de reproducción de datos para reproducir datos desde un medio de memorización de datos (1), comprendiendo dichos datos dos símbolos de corrección de errores con diferentes direcciones de intercalado y comprendiendo dicho aparato:
- 10 un medio de reproducción (2) para reproducir datos desde dicho medio de memorización de datos y un medio de corrección de errores (3) para utilizar dichos dos símbolos de corrección de errores con diferentes direcciones de intercalado para corregir errores en datos reproducidos por dichos medios de reproducción caracterizado por cuanto que
- 15 dicho medio de corrección de errores (3) está adaptado para aplicar el proceso de corrección de errores, un número variable de veces, si los datos que son objeto de lectura son los datos de Índice de Contenidos (TOC) y el primer intento de corregir el error fue operativamente insatisfactorio.
- 2.** El aparato de reproducción de datos según la reivindicación 1, en donde:
- 20 dicho medio de memorización de datos contiene información para los contenidos de datos memorizados y dicho medio de corrección de errores ejecuta el procesamiento de corrección de errores para dicha información de contenidos un mayor número de veces que para otros datos.
- 3.** El aparato de reproducción de datos según la reivindicación 1 en donde:
- 25 dicho medio de memorización de datos contiene información para los contenidos de datos memorizados y dicho medio de corrección de errores repite el procesamiento de corrección de errores para dicha información de contenido un número especificado de veces hasta que se corrija completamente el error.
- 30 **4.** El aparato de reproducción de datos según la reivindicación 2 o 3, que incluye, además, un medio de control para dar instrucciones a dicho medio de reproducción para efectuar una relectura de datos desde la posición en la que está ocurriendo un error si el error no es corregido después de un número especificado de veces del procesamiento de corrección de errores.
- 35 **5.** El aparato de reproducción de datos según la reivindicación 1, en donde:
- dicho medio de memorización de datos contiene información para los contenidos de datos memorizados y dicho aparato de reproducción incluye, además, un medio de control para dar instrucciones, si no puede corregirse el error en alguna información, a dicho medio de reproducción para efectuar la lectura de otra información de contenidos.
- 40 **6.** El aparato de reproducción de datos según la reivindicación 1, en donde dicho medio de corrección de errores incluye medios para añadir un indicador de error a datos incorregibles, que comprende:
- 45 dicho aparato de reproducción tiene un contador para el conteo de dichos indicadores de errores generados dentro de una duración especificada y un medio de control para omitir datos o interrumpir, de forma, anómala, la reproducción dependiendo del valor de conteo de dicho contador.
- 50 **7.** Un aparato de reproducción de datos según la reivindicación 1, en donde dicho aparato de reproducción de datos es utilizable en al menos dos modos de corrección de errores, un primer modo para la lectura de datos del índice de contenidos en donde cuando los errores en los datos de los índices de contenidos reproducidos no son corregidos después de una primera reproducción por dicho medio de reproducción, dicho medio de corrección de errores da instrucciones a dicho medio de reproducción para reproducir repetidamente dicho datos de índice de contenidos varias veces y realiza el procesamiento de corrección de errores en dichos datos de índice de contenidos, un número de veces respectivo, hasta que se corrijan todos los errores en dichos datos de índice de contenidos o hasta que el procesamiento de corrección de errores se haya realizado dicho número de veces, lo que ocurra primero, y un segundo modo para la lectura de datos distintos de los datos de índice de contenidos, en donde
- 60 el procesamiento de corrección de errores no incluye la relectura de datos.

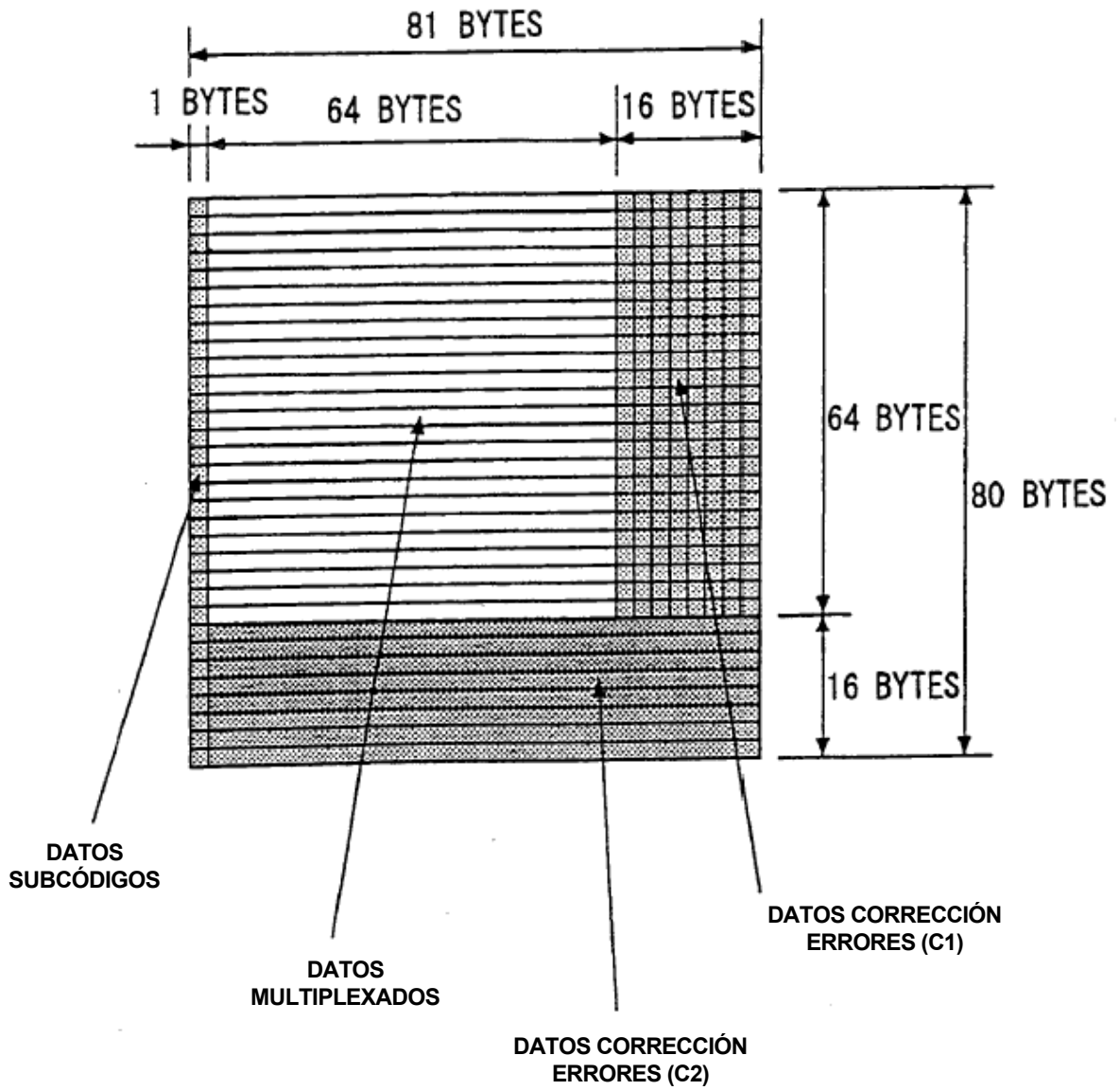


FIG. 2

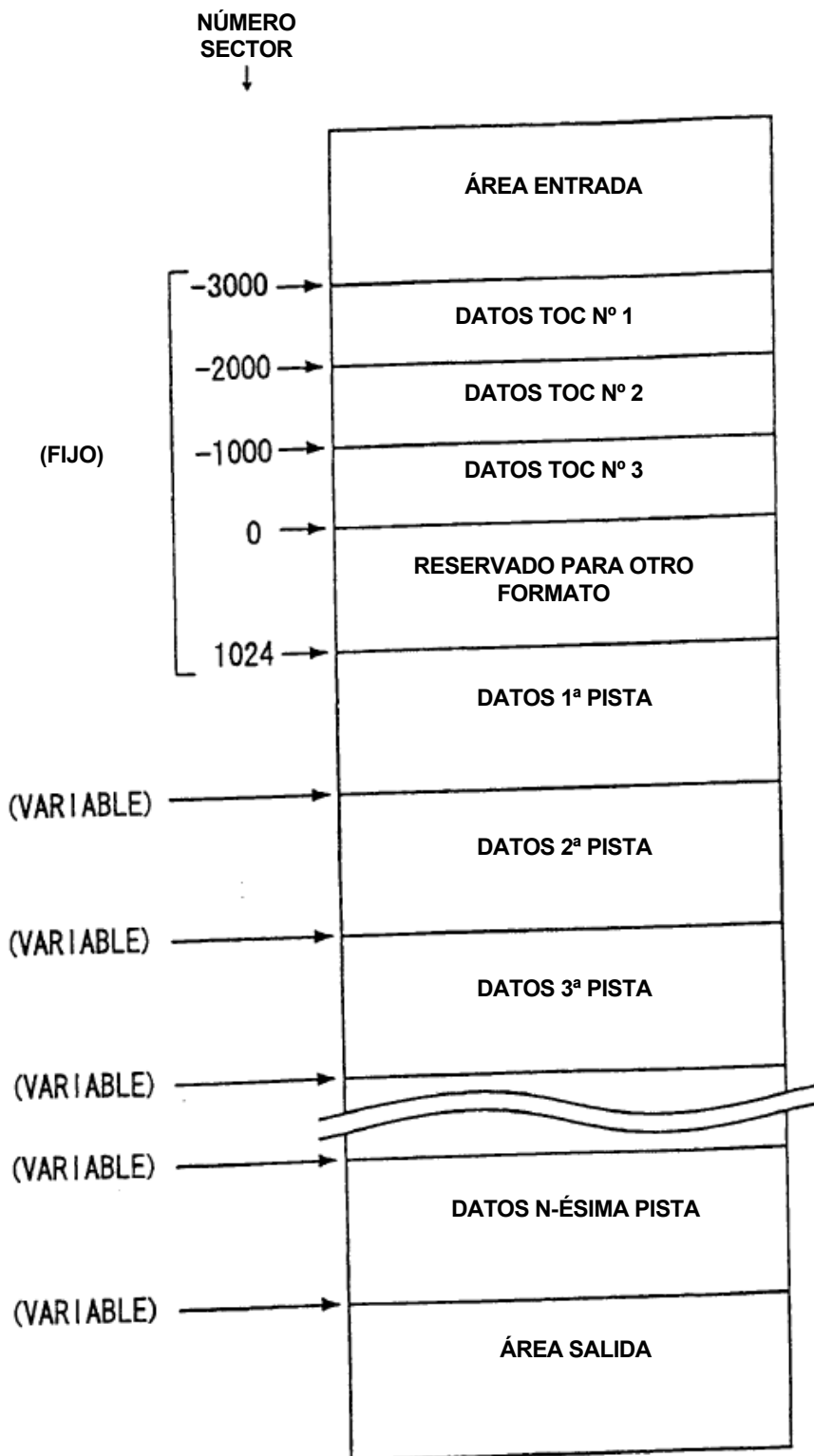


FIG. 3

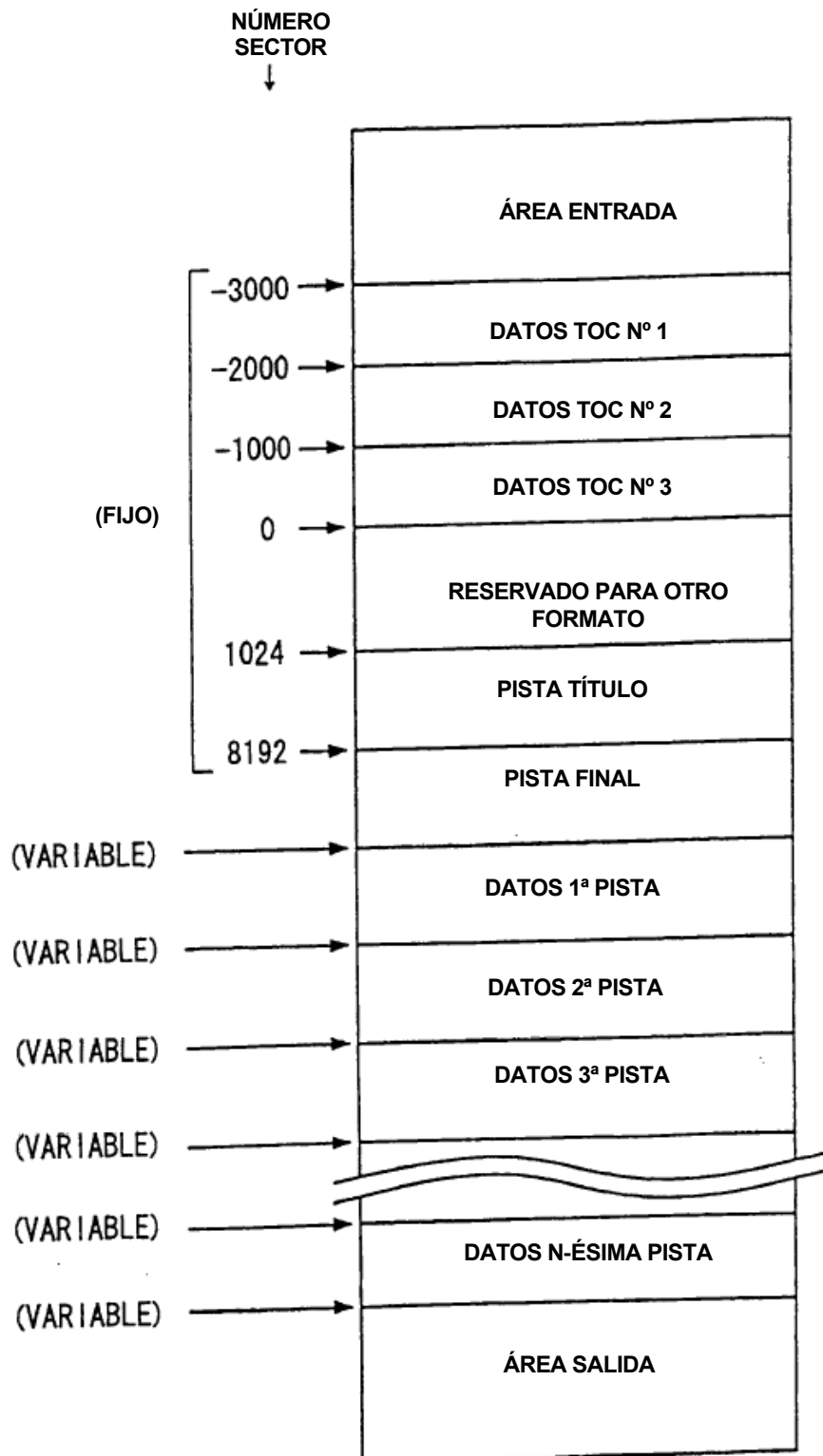


FIG. 4

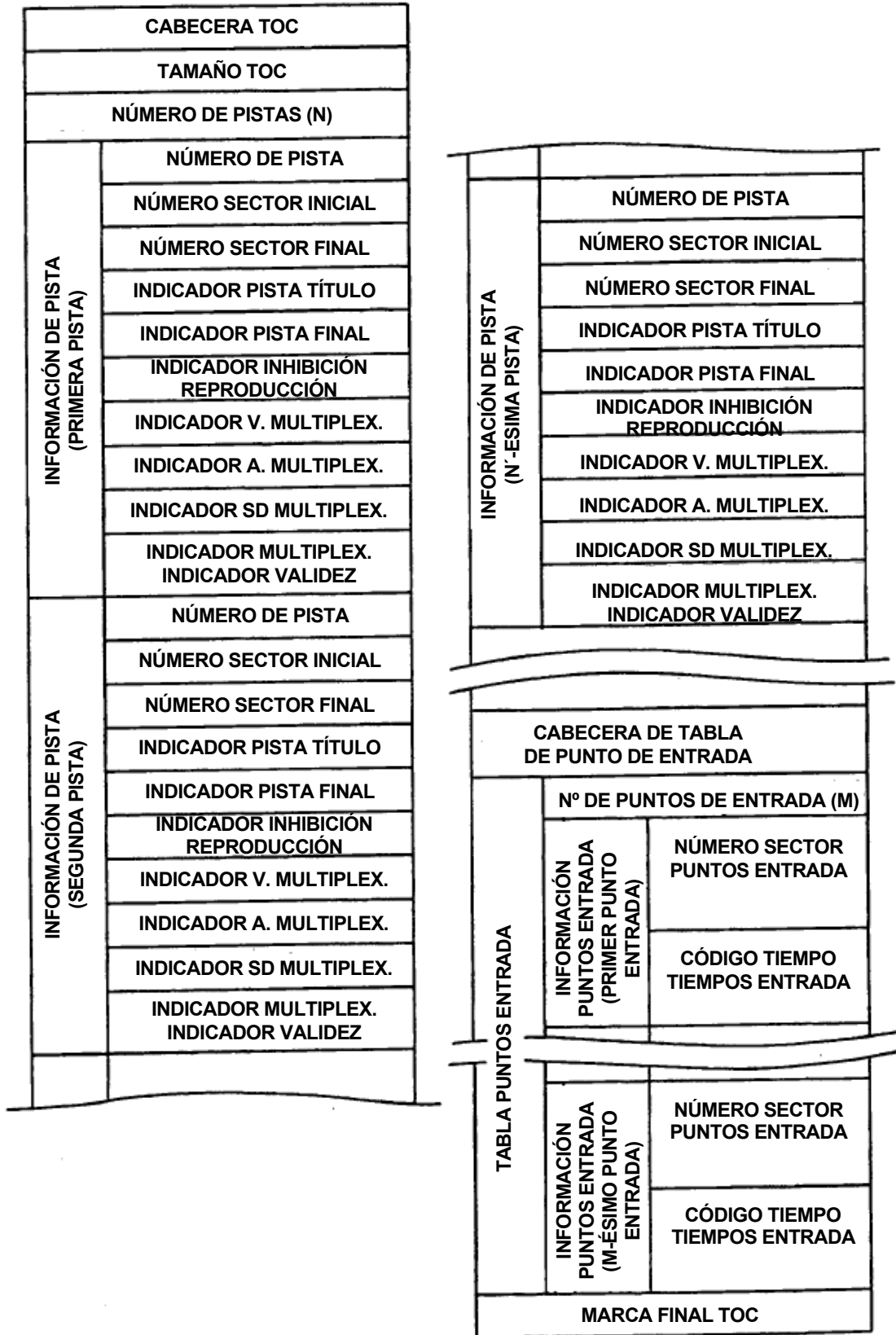


FIG. 5

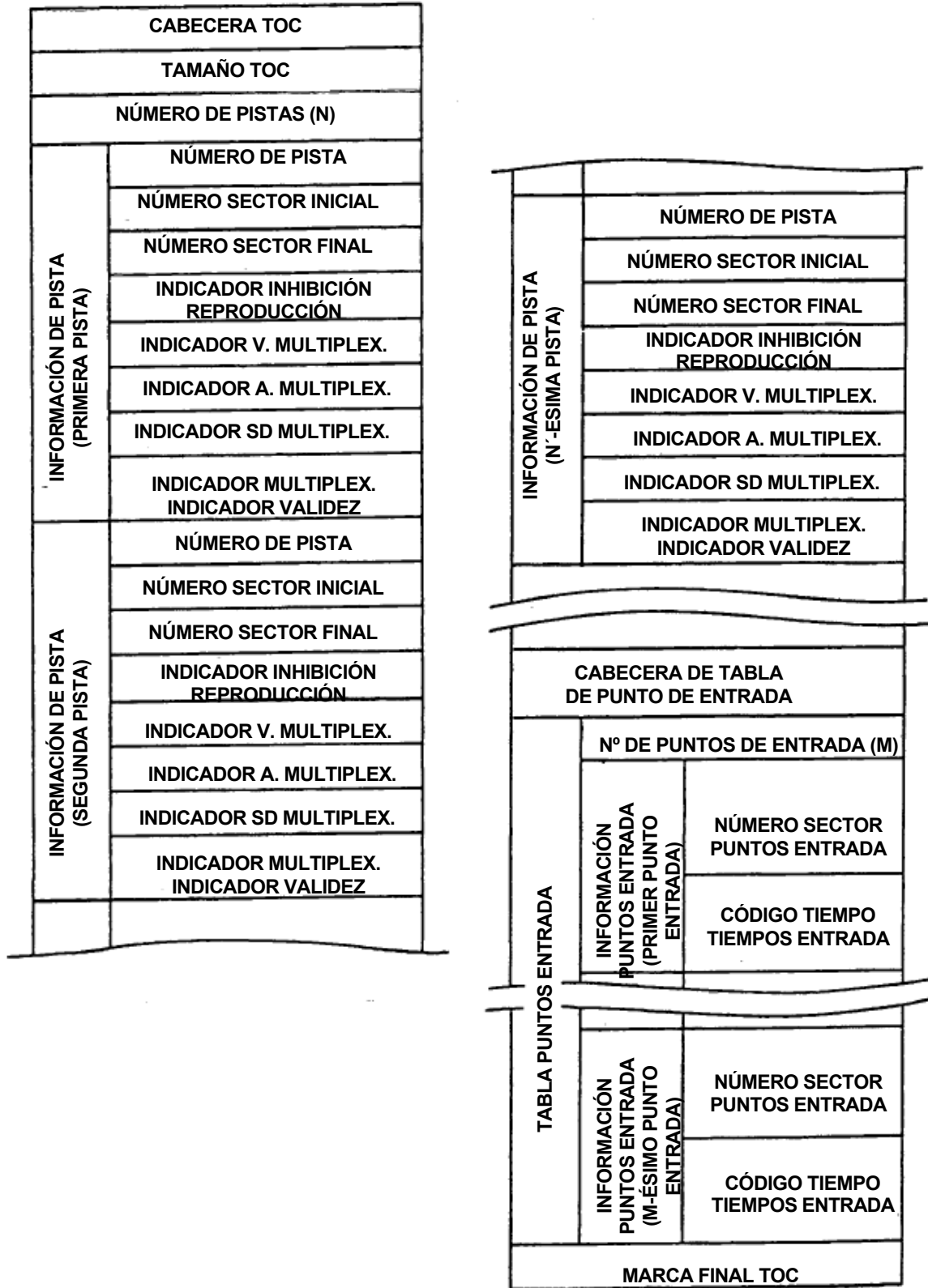


FIG. 6

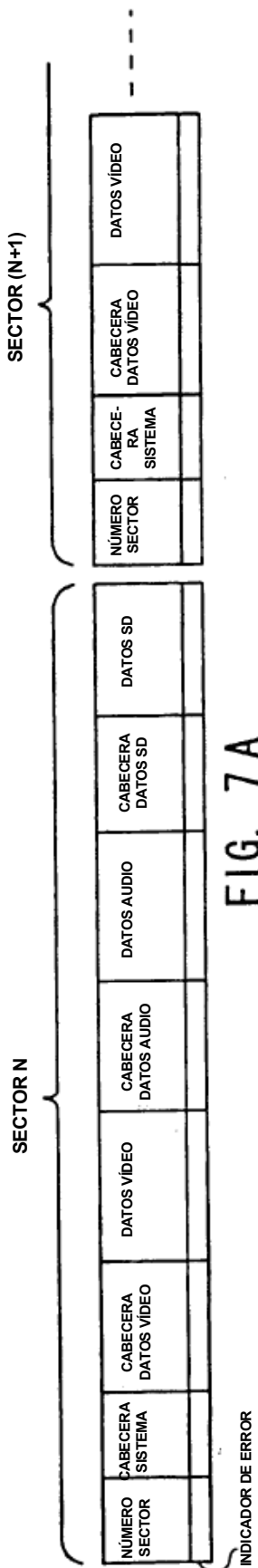


FIG. 7A



FIG. 7B

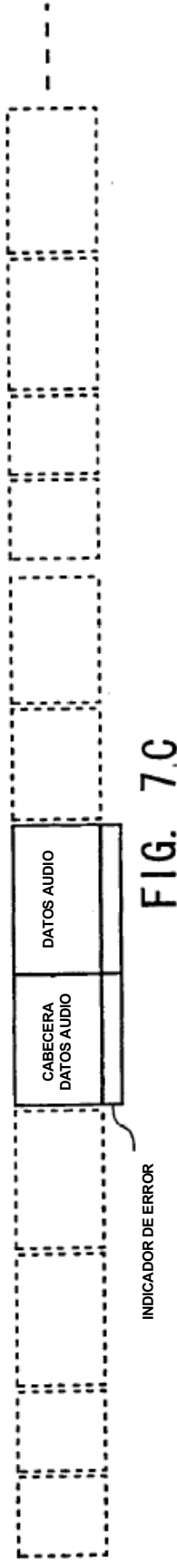


FIG. 7C

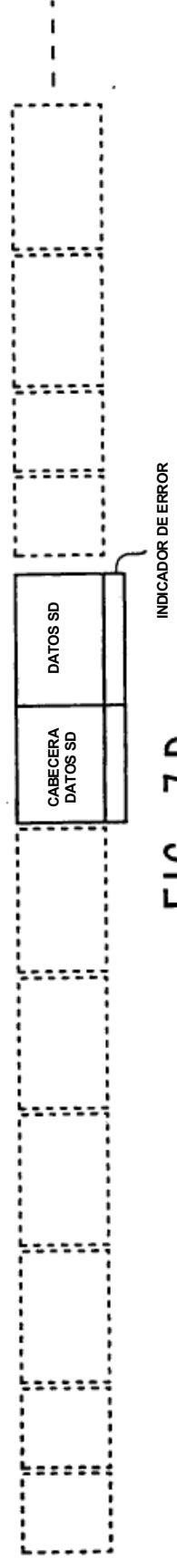


FIG. 7D

CÓDIGO INICIO CABECERA SISTEMA	LONGITUD CABECERA SISTEMA	SCR	DATOS DE USUARIO
--------------------------------	---------------------------	-----	------------------

FIG. 8

FORMATO DE CABECERA DATOS VÍDEO

CÓDIGO INICIO CABECERA DATOS VÍDEO	LONGITUD DATOS VÍDEO	INDIC. CODIF. DTSV
------------------------------------	----------------------	--------------------

INDICADOR CODIFICACIÓN DTSV = 0

CÓDIGO INICIO CABECERA DATOS VÍDEO	LONGITUD DATOS VÍDEO	NÚMERO SECTOR	DTSV
------------------------------------	----------------------	---------------	------

INDICADOR CODIFICACIÓN DTSV = 1

FORMATO DE CABECERA DATOS AUDIO

CÓDIGO INICIO CABECERA DATOS AUDIO	LONGITUD DATOS AUDIO	INDIC. CODIF. DTSA
------------------------------------	----------------------	--------------------

INDICADOR CODIFICACIÓN DTSA = 0

CÓDIGO INICIO CABECERA DATOS AUDIO	LONGITUD DATOS AUDIO	NÚMERO SECTOR	DTSA
------------------------------------	----------------------	---------------	------

INDICADOR CODIFICACIÓN DTSA = 1

FORMATO DE CABECERA DATOS DIÁLOGOS SUPERPUESTOS

CÓDIGO INICIO CABECERA DATOS DIÁLOGOS SUPERPUESTOS	LONGITUD DATOS DIÁLOGOS SUPERPUESTOS	INDIC. CODIF. DTSS
--	--------------------------------------	--------------------

INDICADOR CODIFICACIÓN DTSS = 0

CÓDIGO INICIO CABECERA DATOS DIÁLOGOS SUPERPUESTOS	LONGITUD DATOS DIÁLOGOS SUPERPUESTOS	NÚMERO SECTOR	DTSS
--	--------------------------------------	---------------	------

INDICADOR CODIFICACIÓN DTSS = 1

FIG. 9

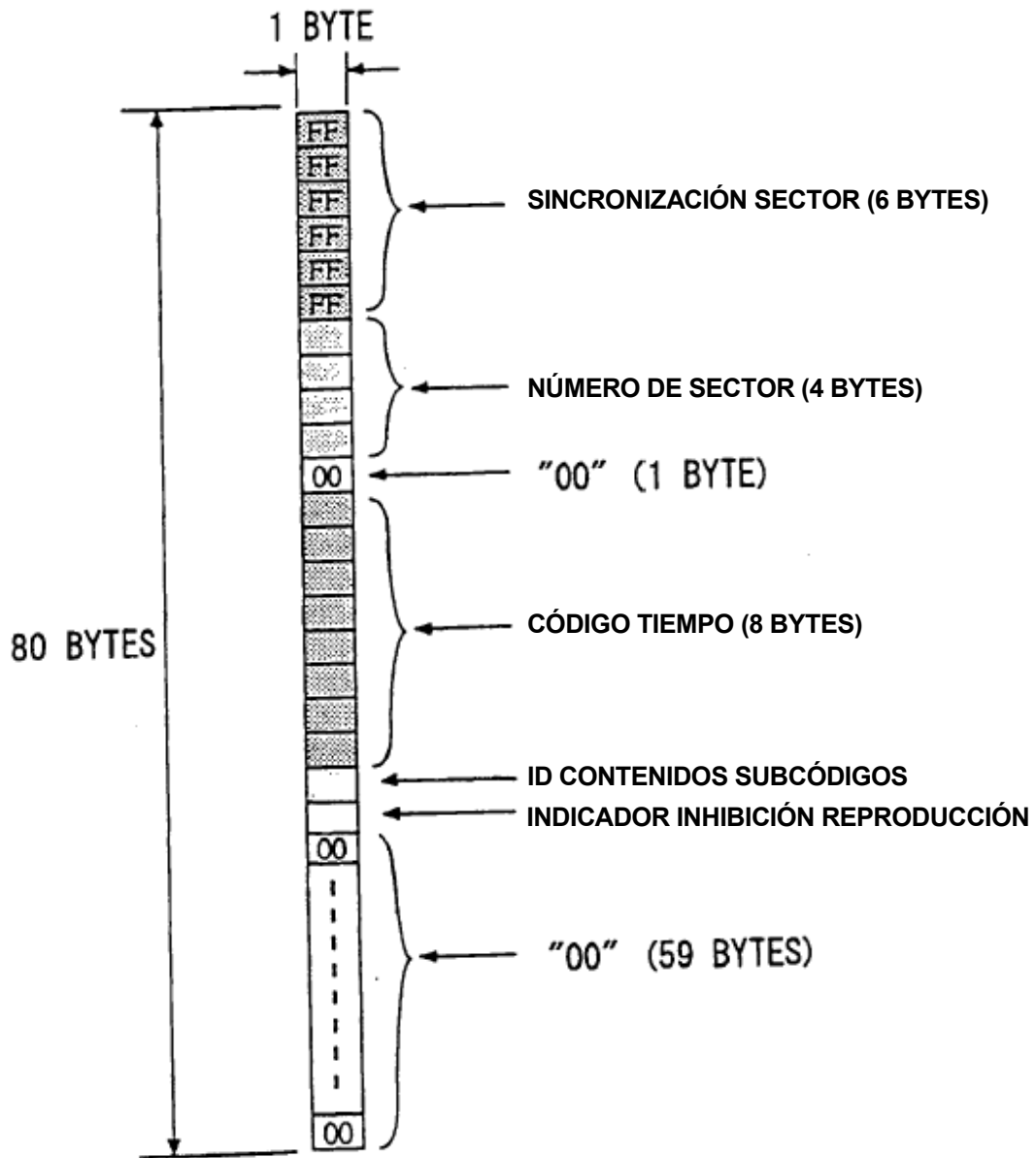


FIG. 10

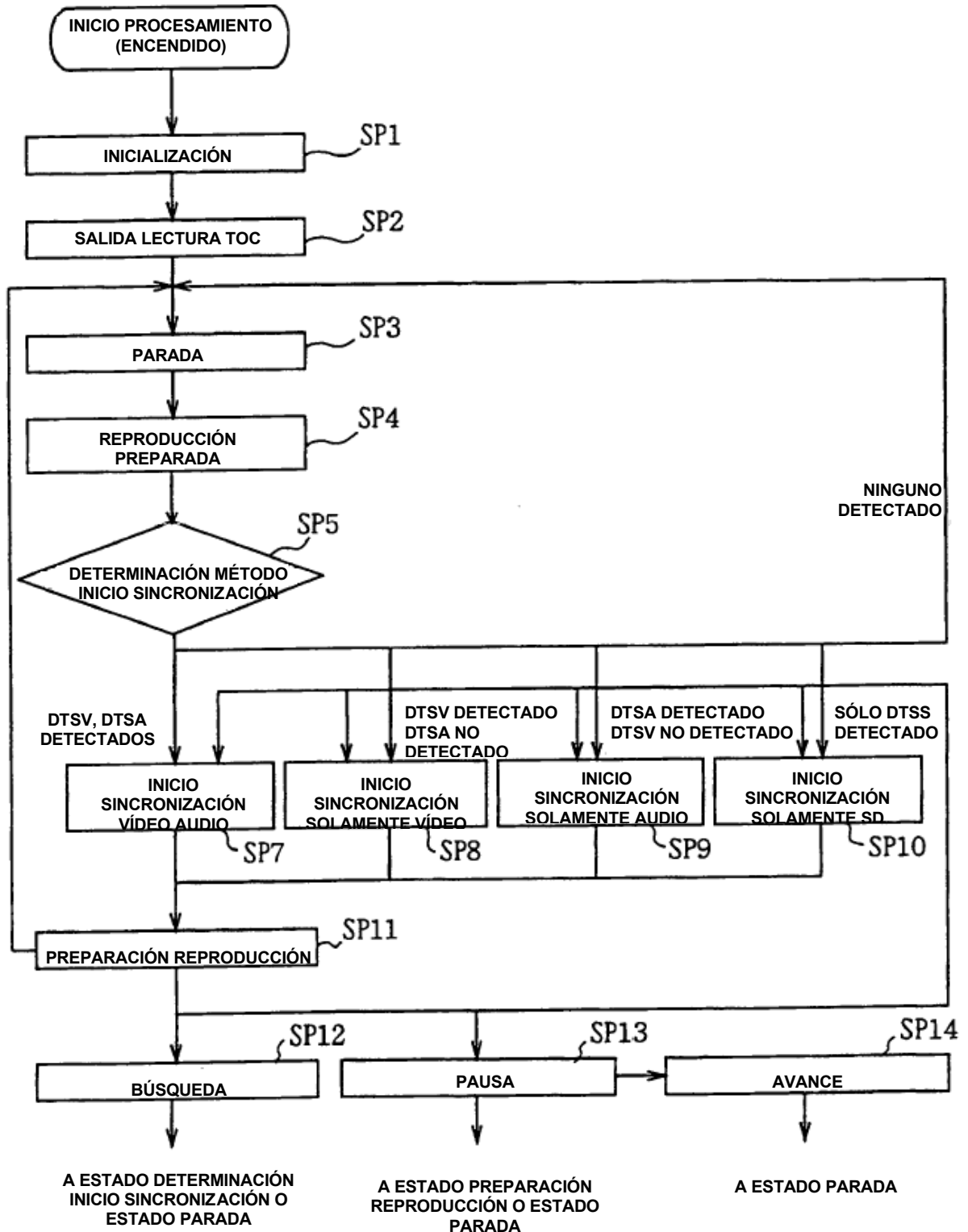


FIG. 11

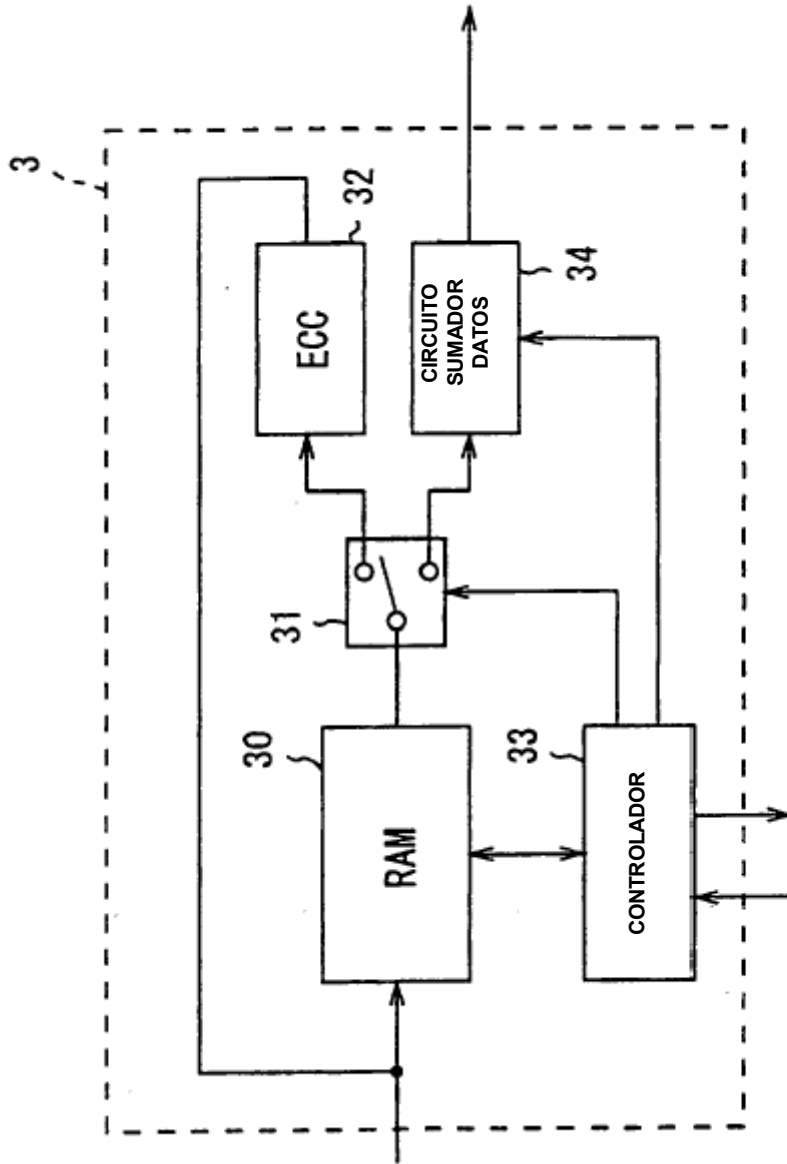


FIG. 12

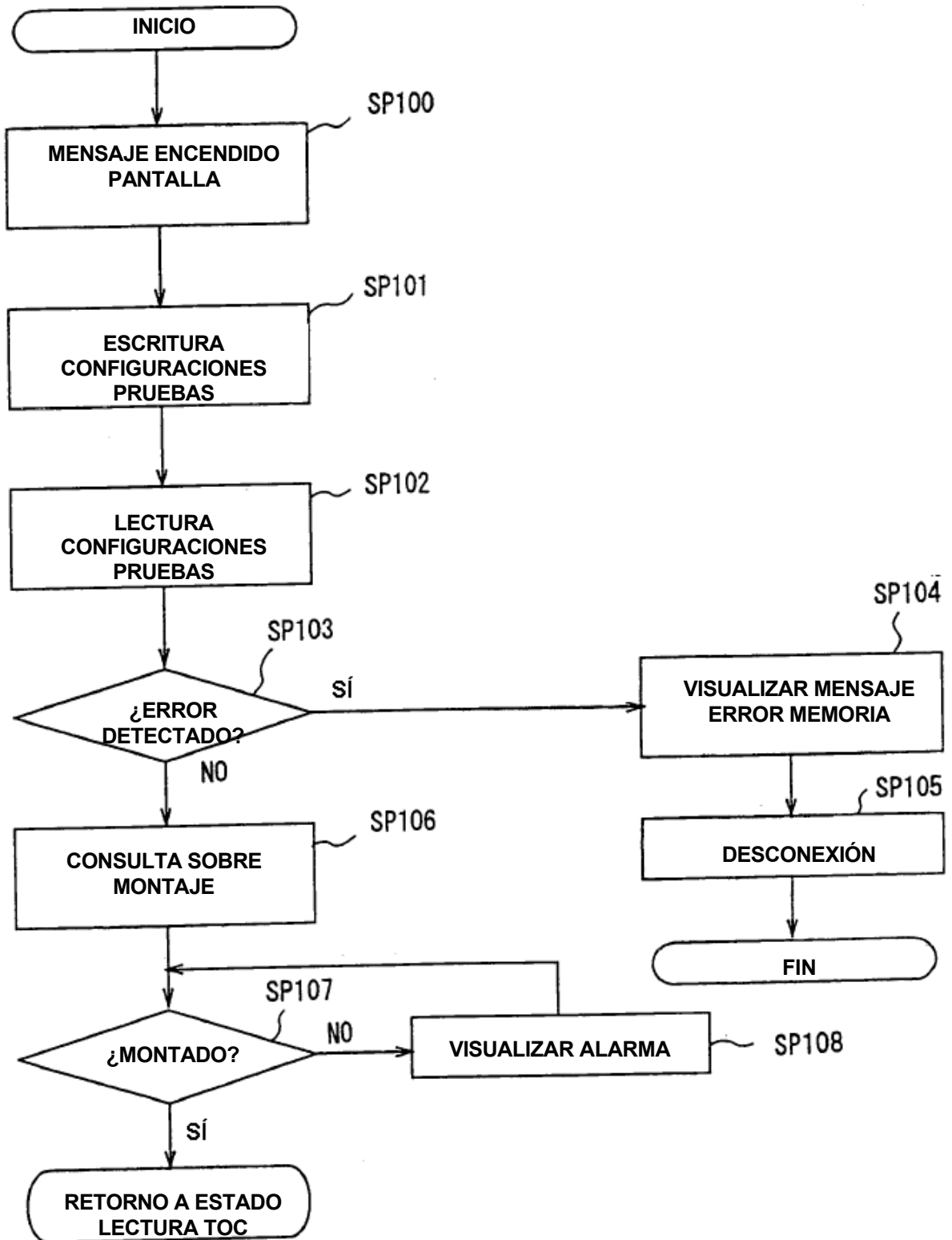


FIG. 13

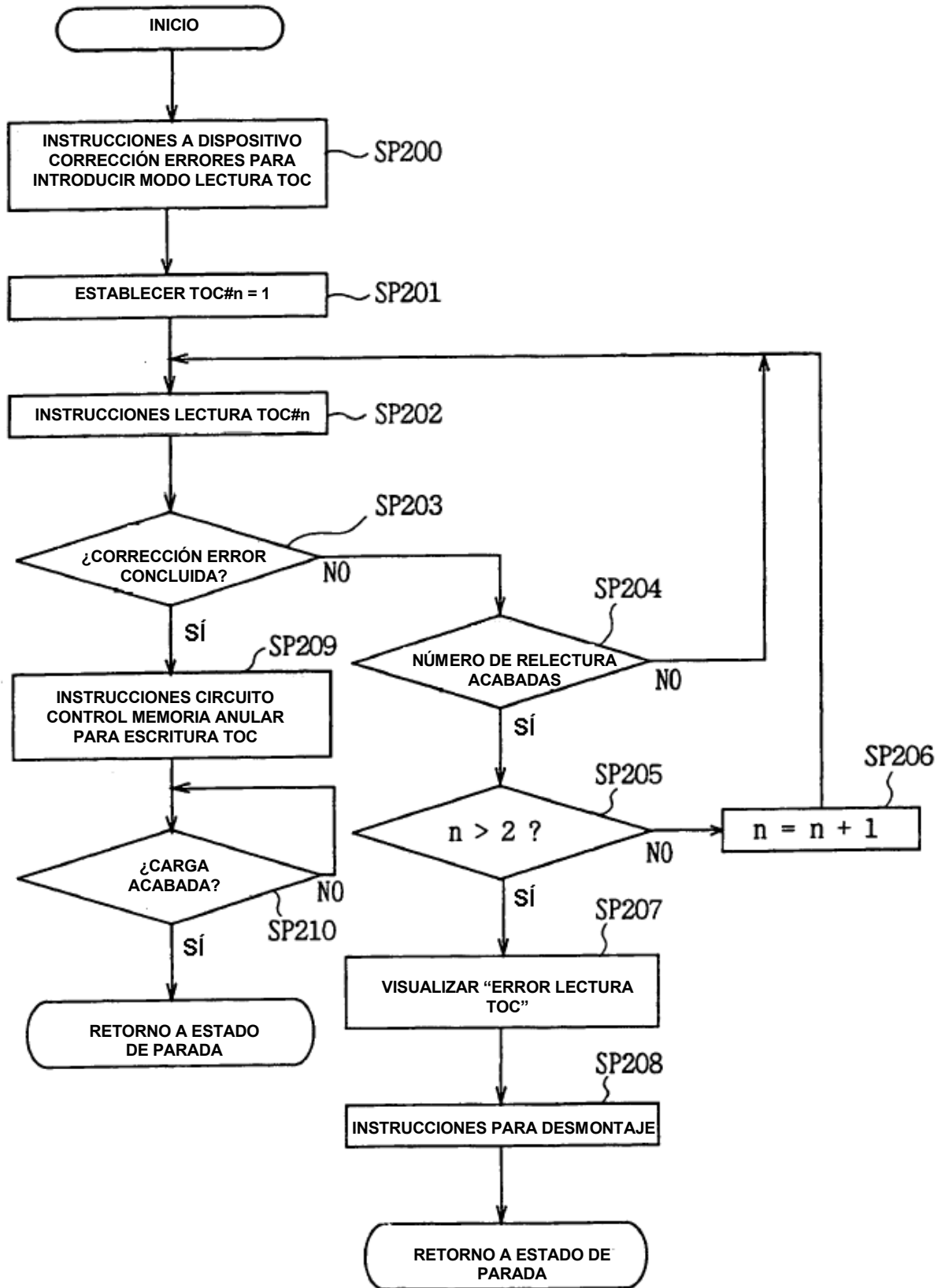


FIG. 14

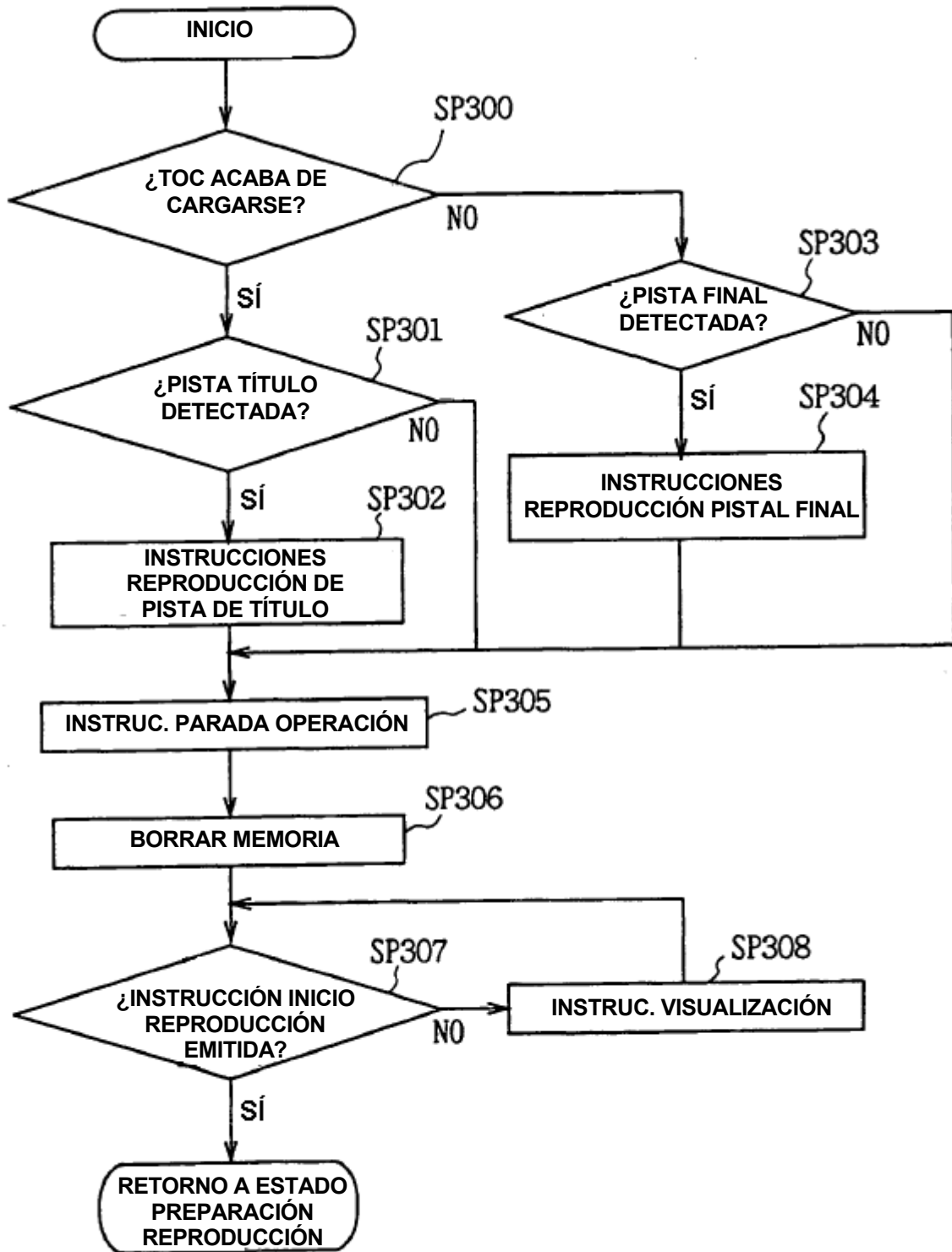


FIG. 15

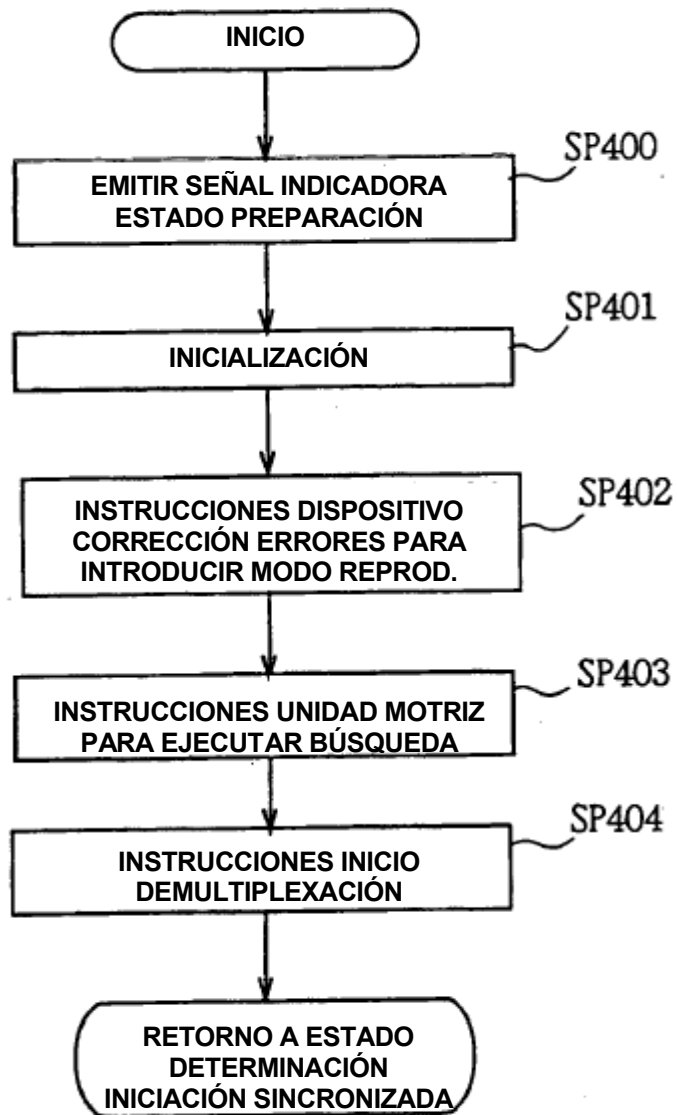


FIG. 16

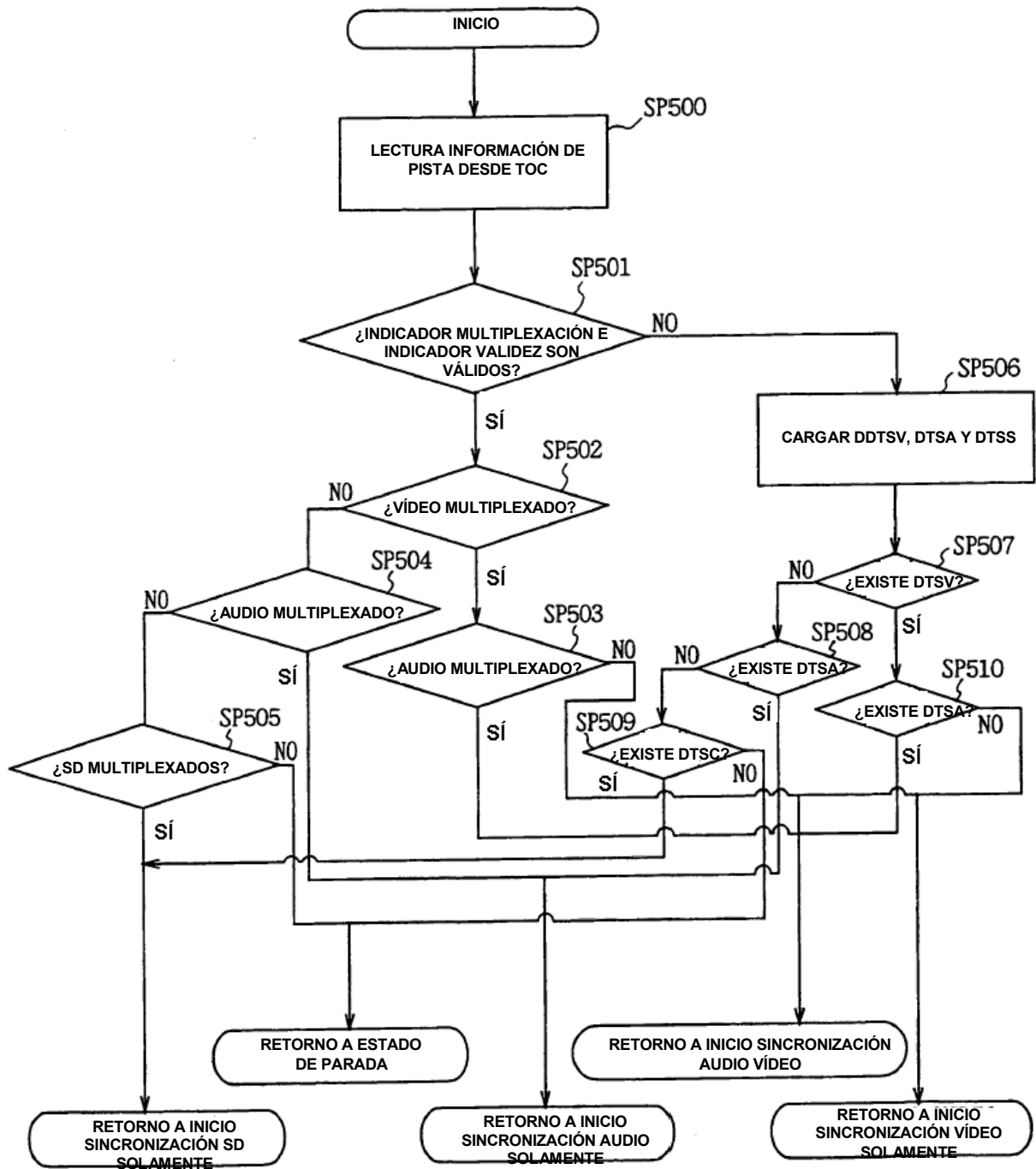


FIG. 17

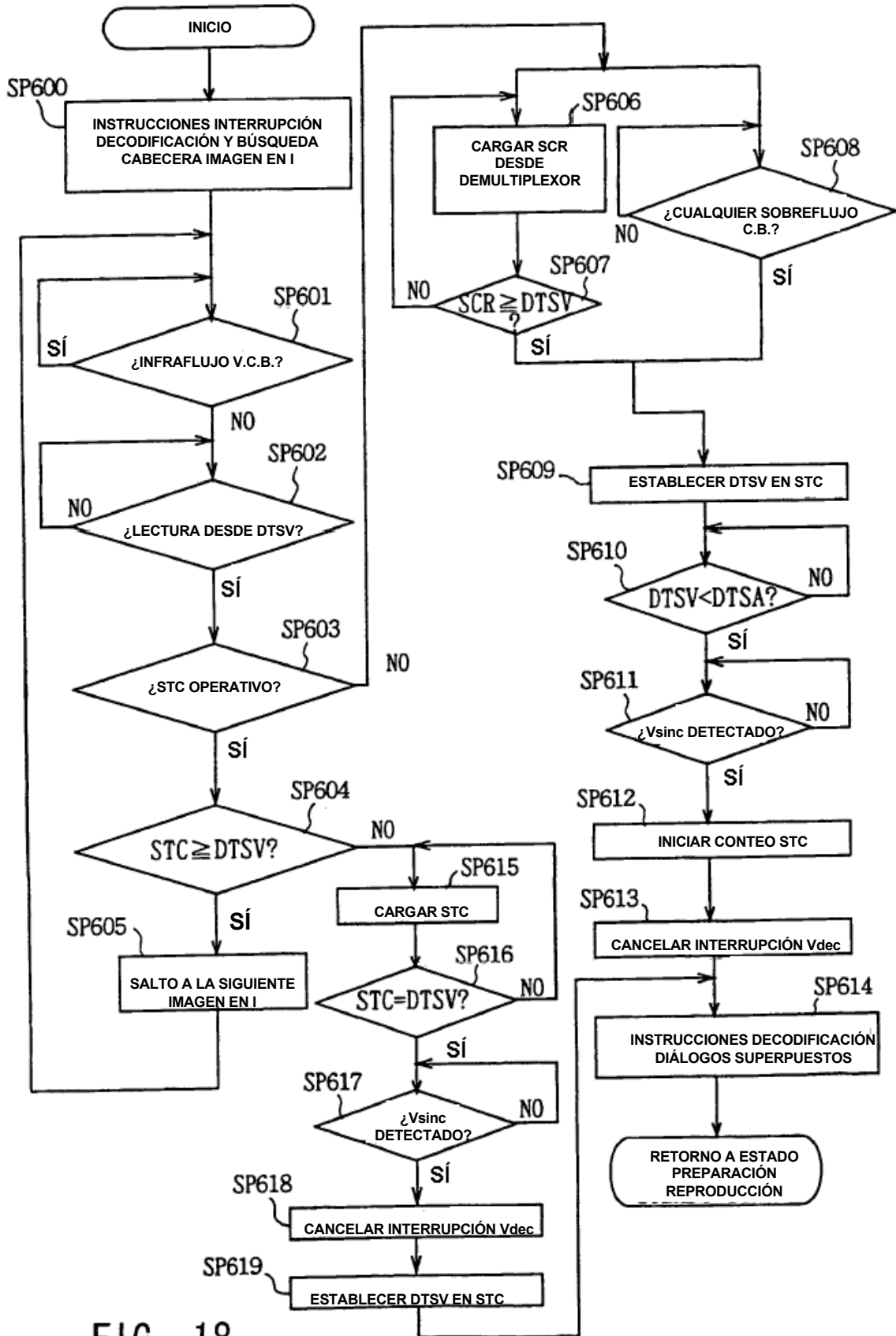


FIG. 18

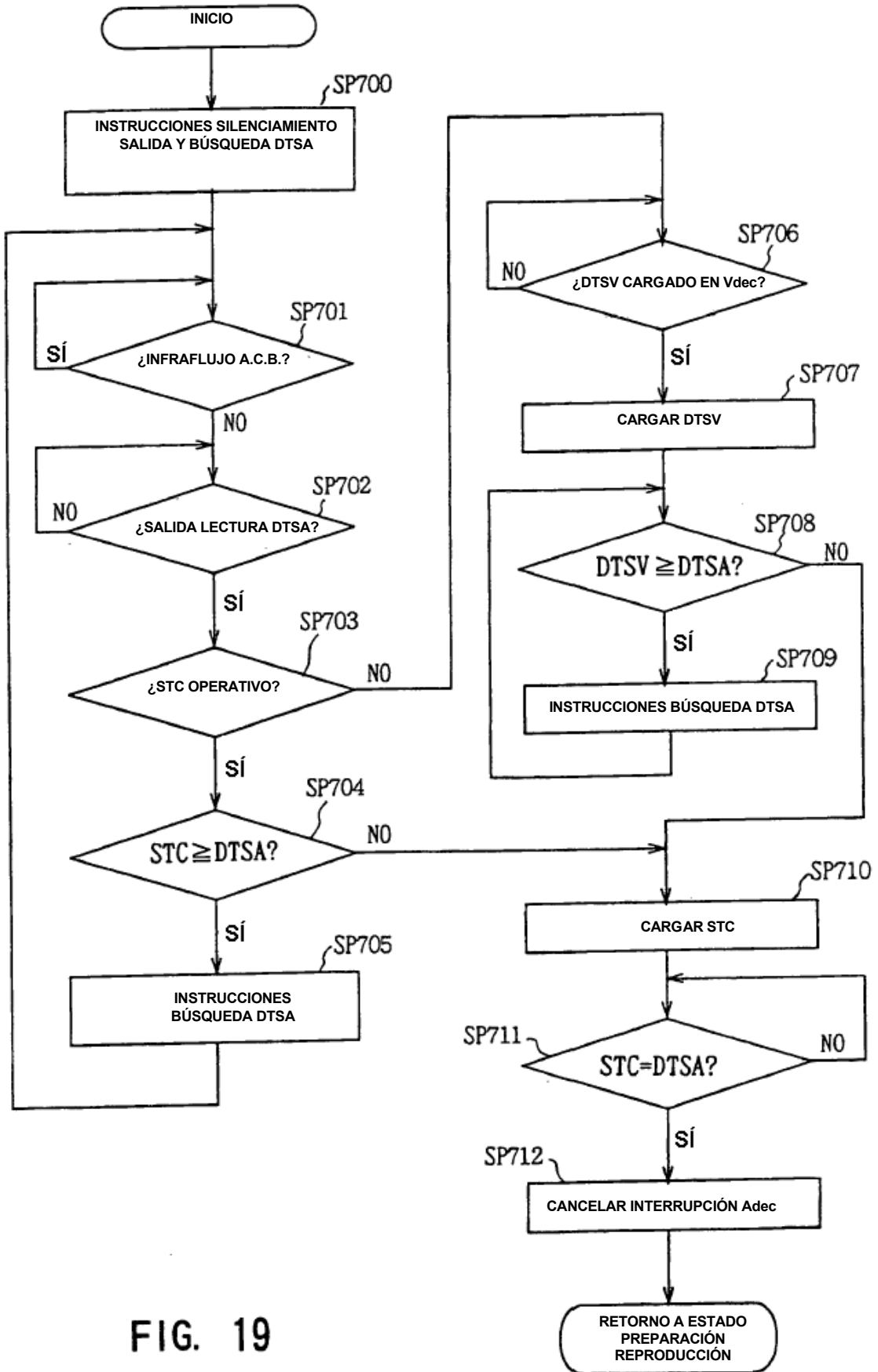


FIG. 19

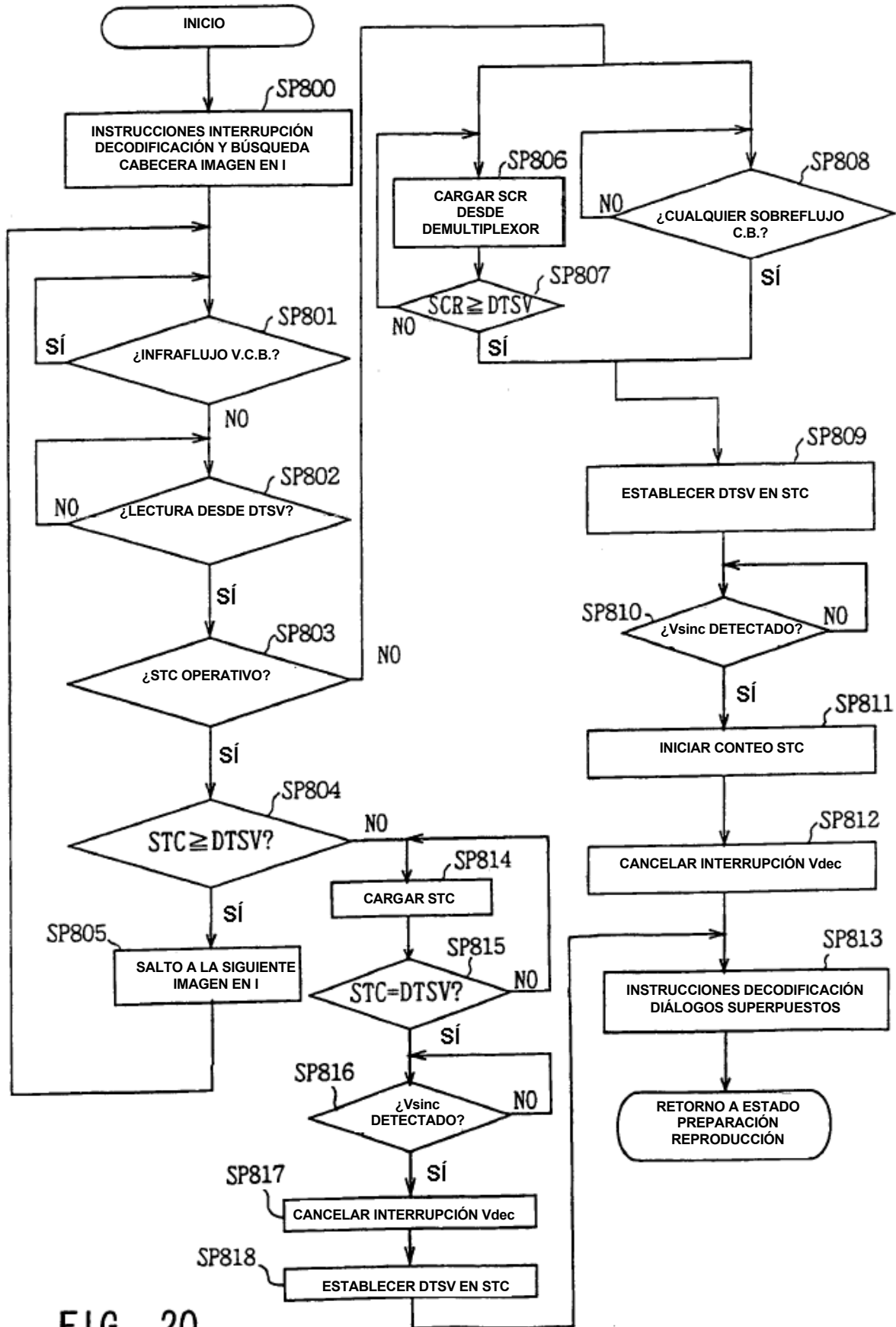


FIG. 20

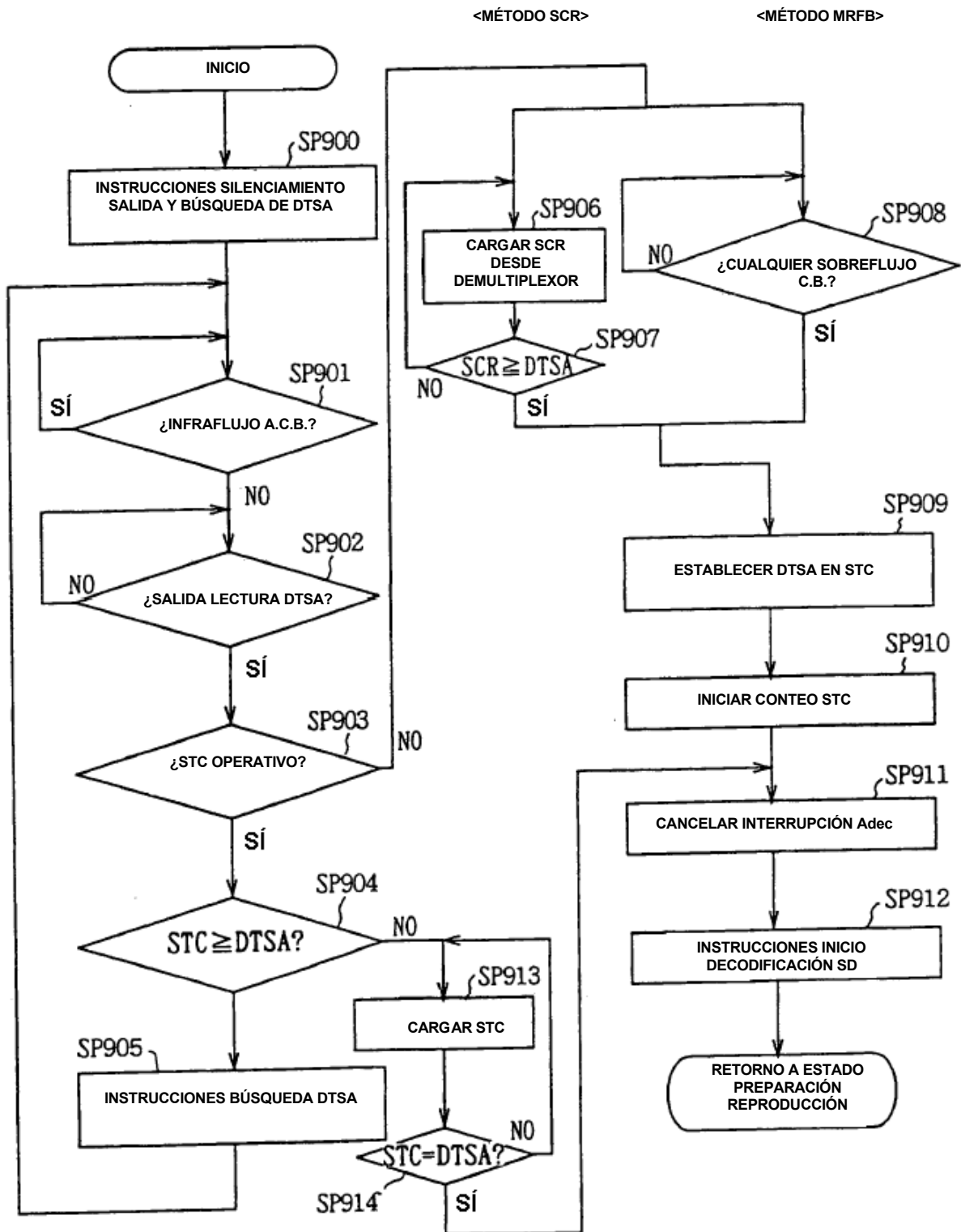


FIG. 21

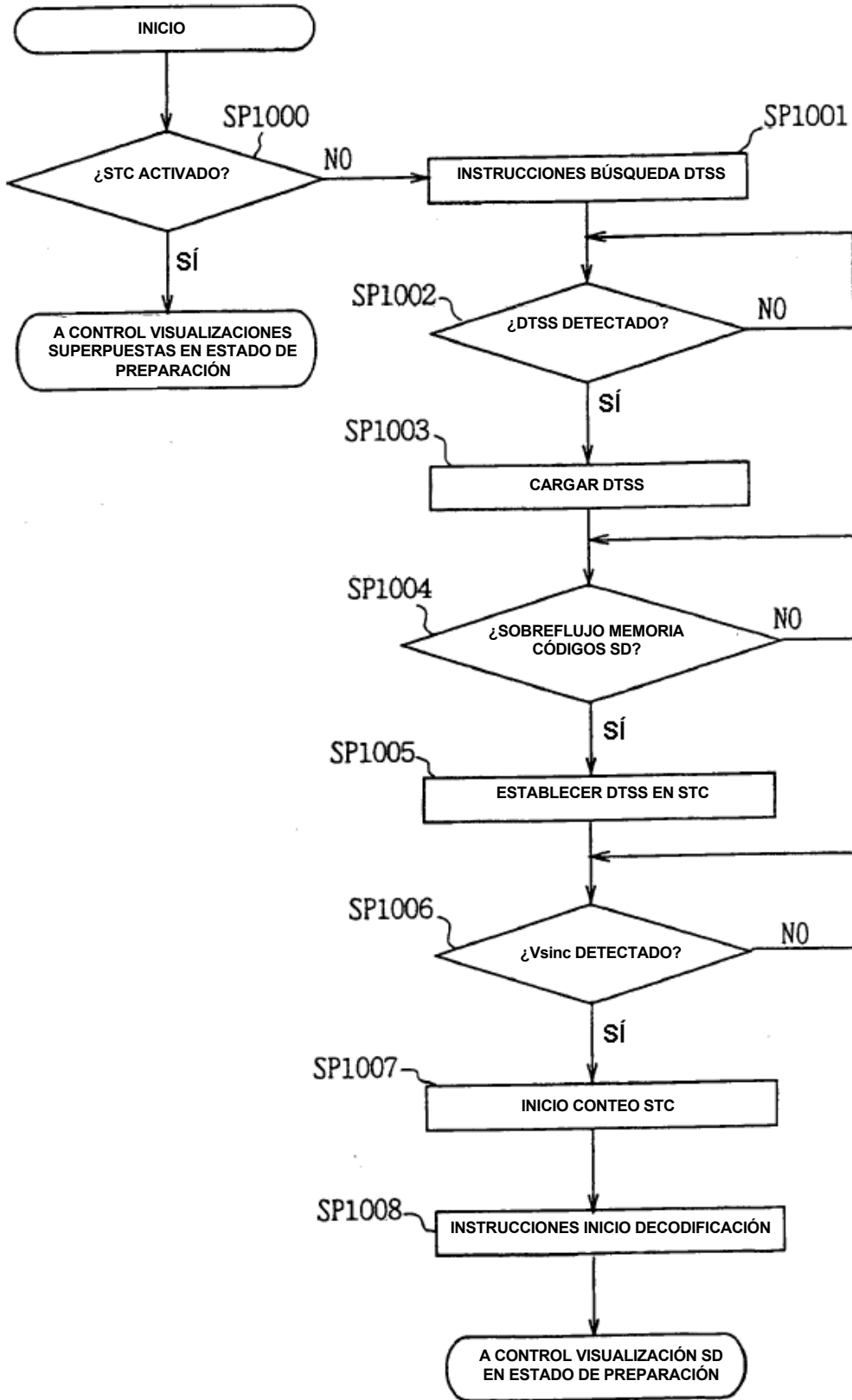


FIG. 22

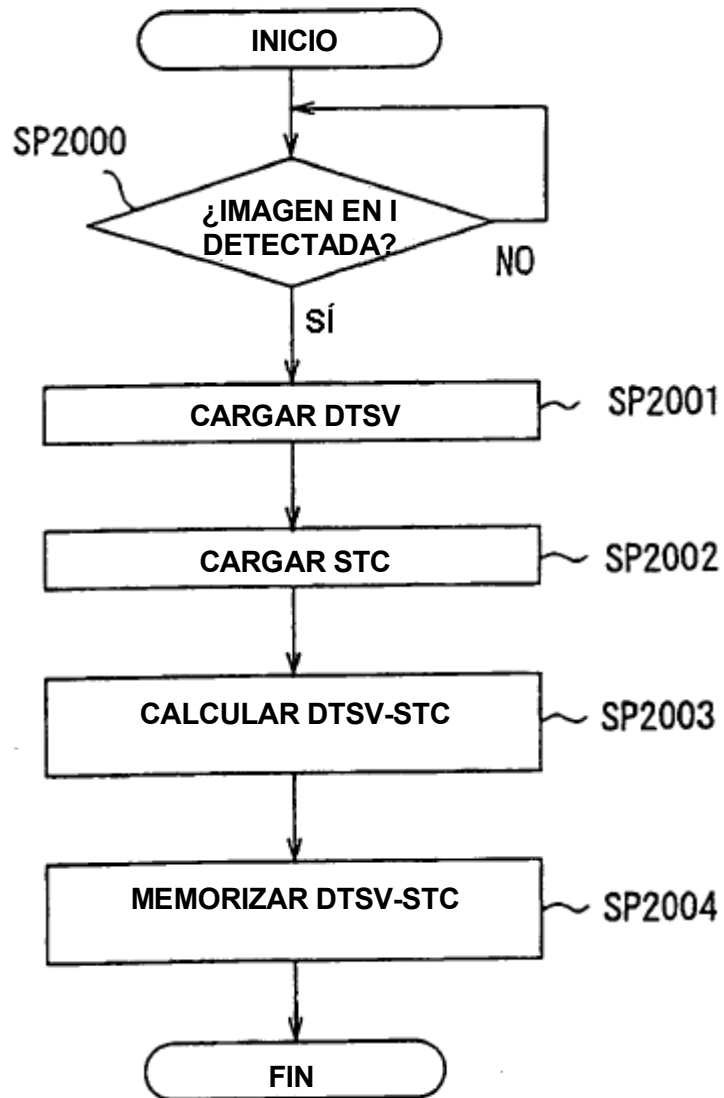


FIG. 23

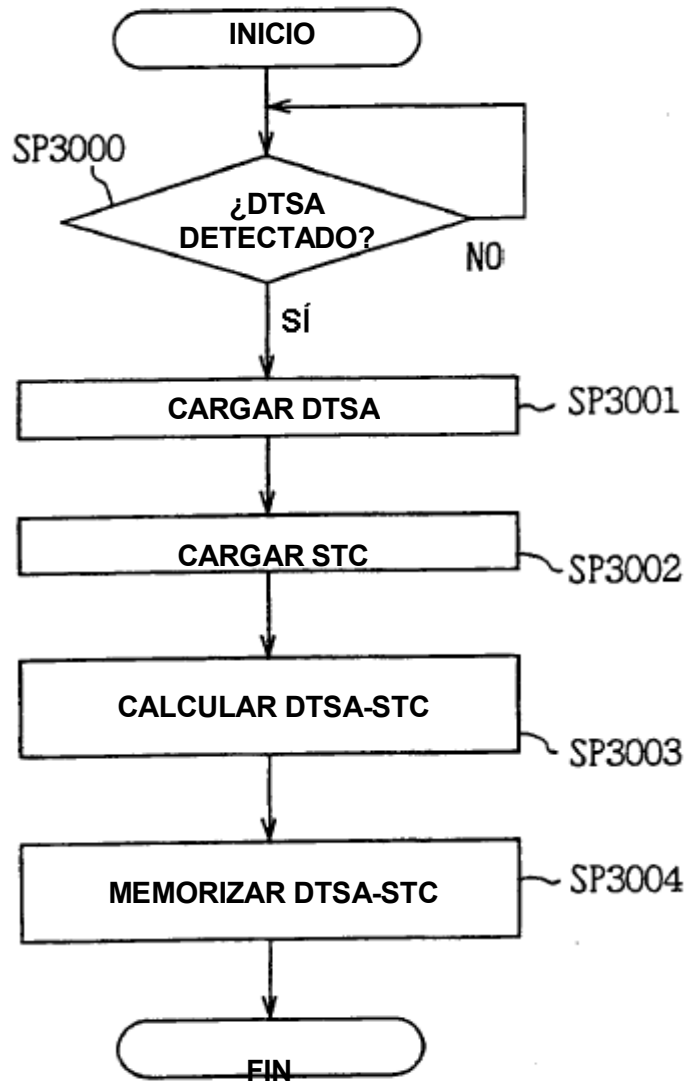


FIG. 24

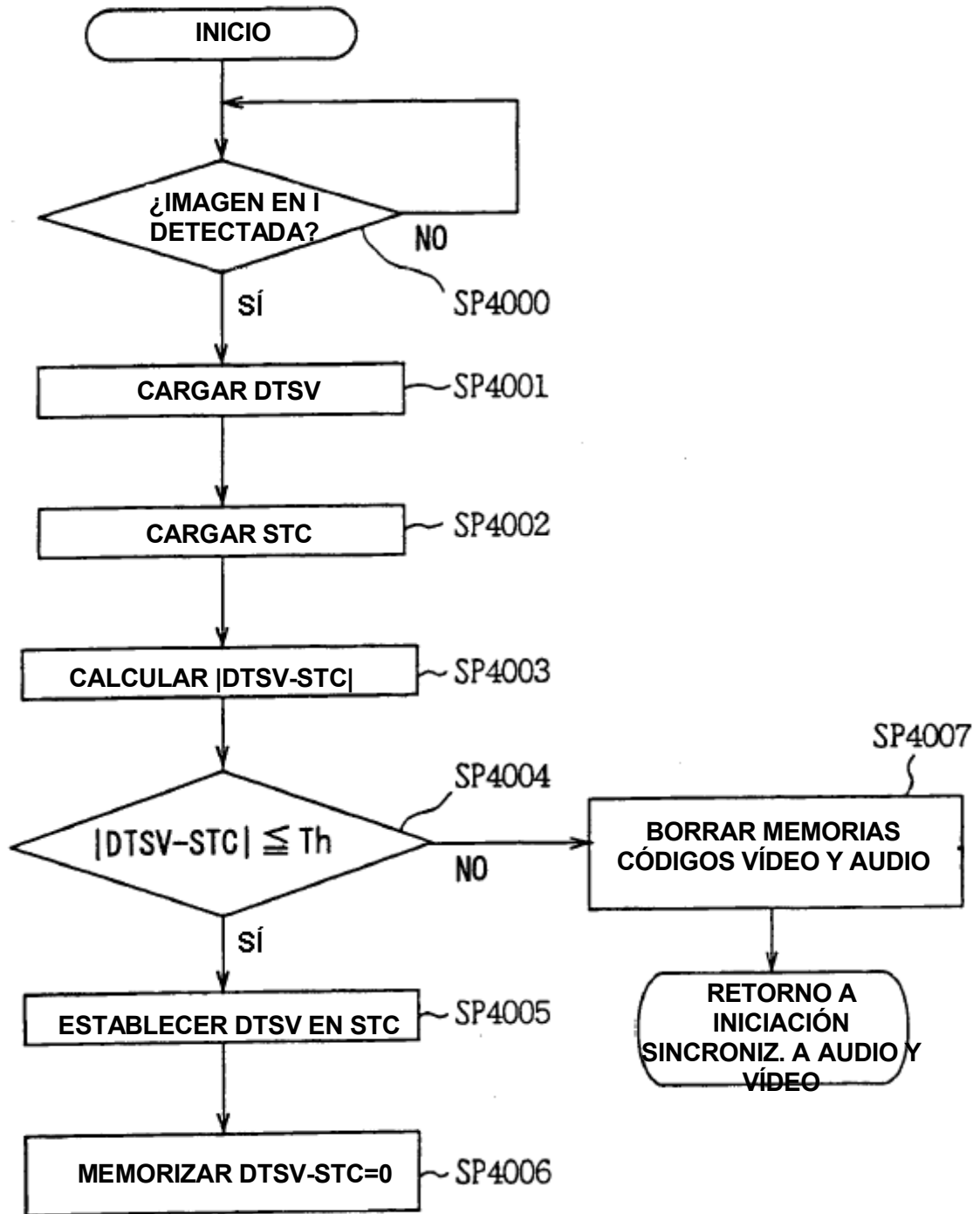


FIG. 25

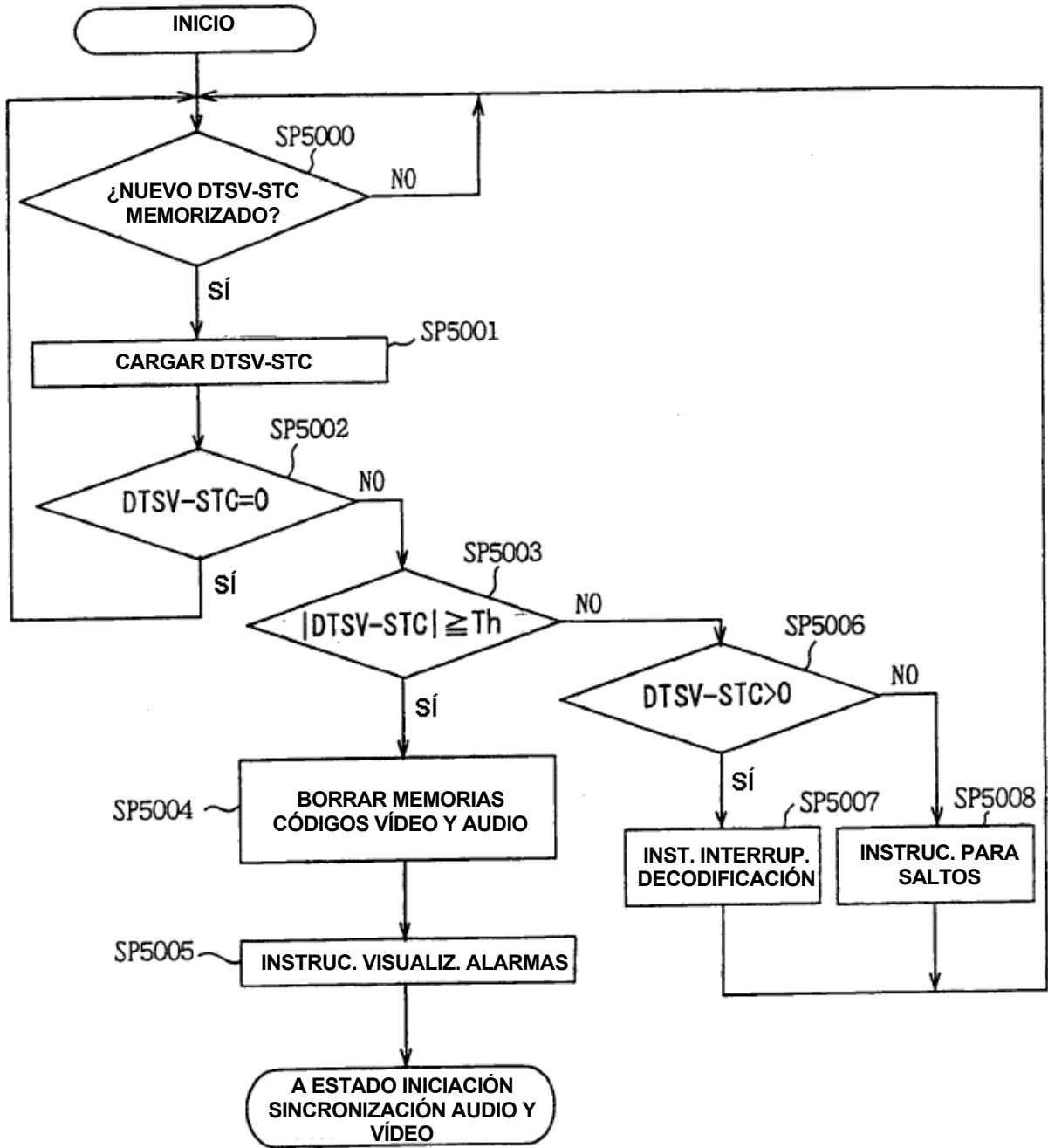


FIG. 26

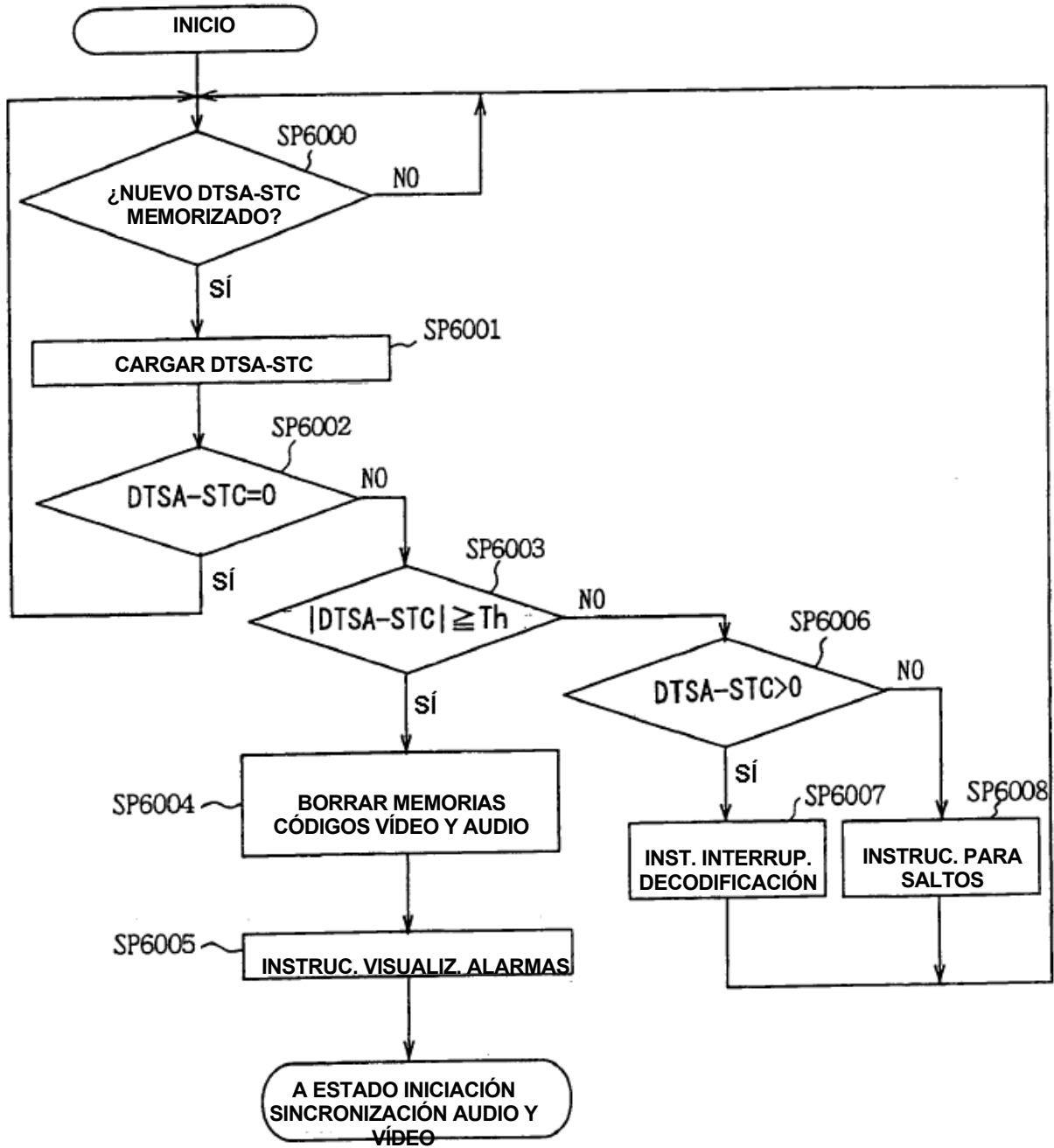


FIG. 27

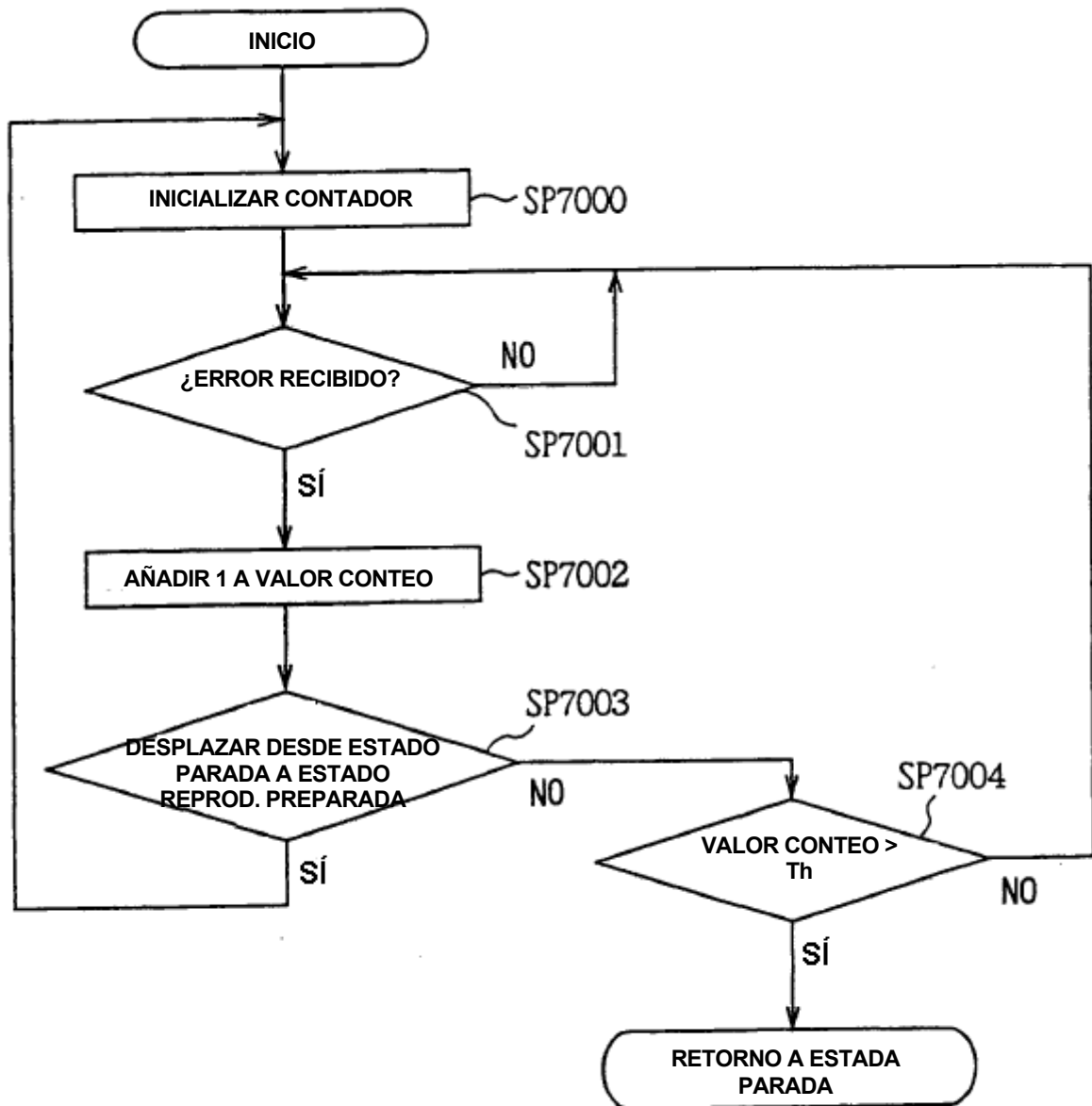


FIG. 28

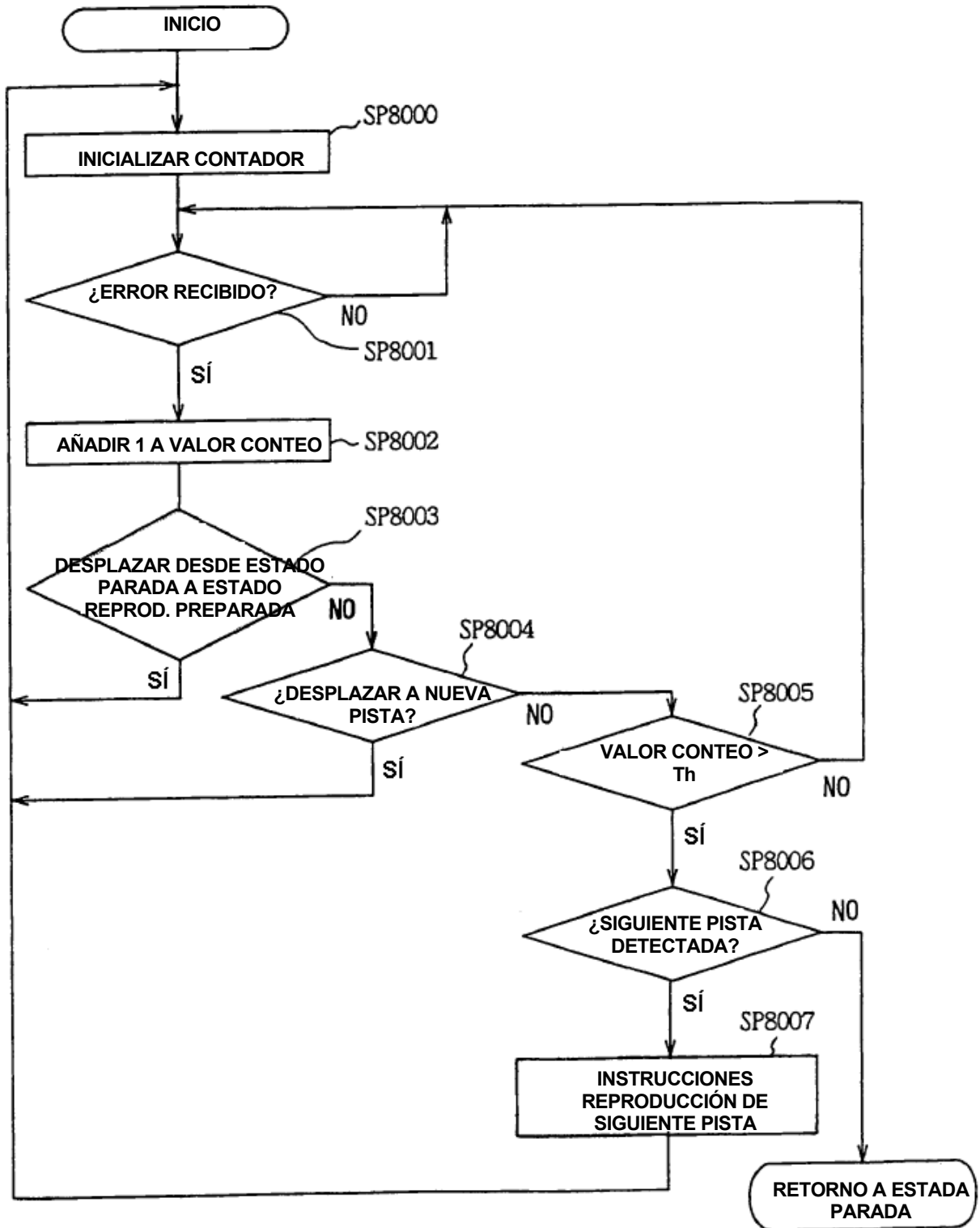


FIG. 29

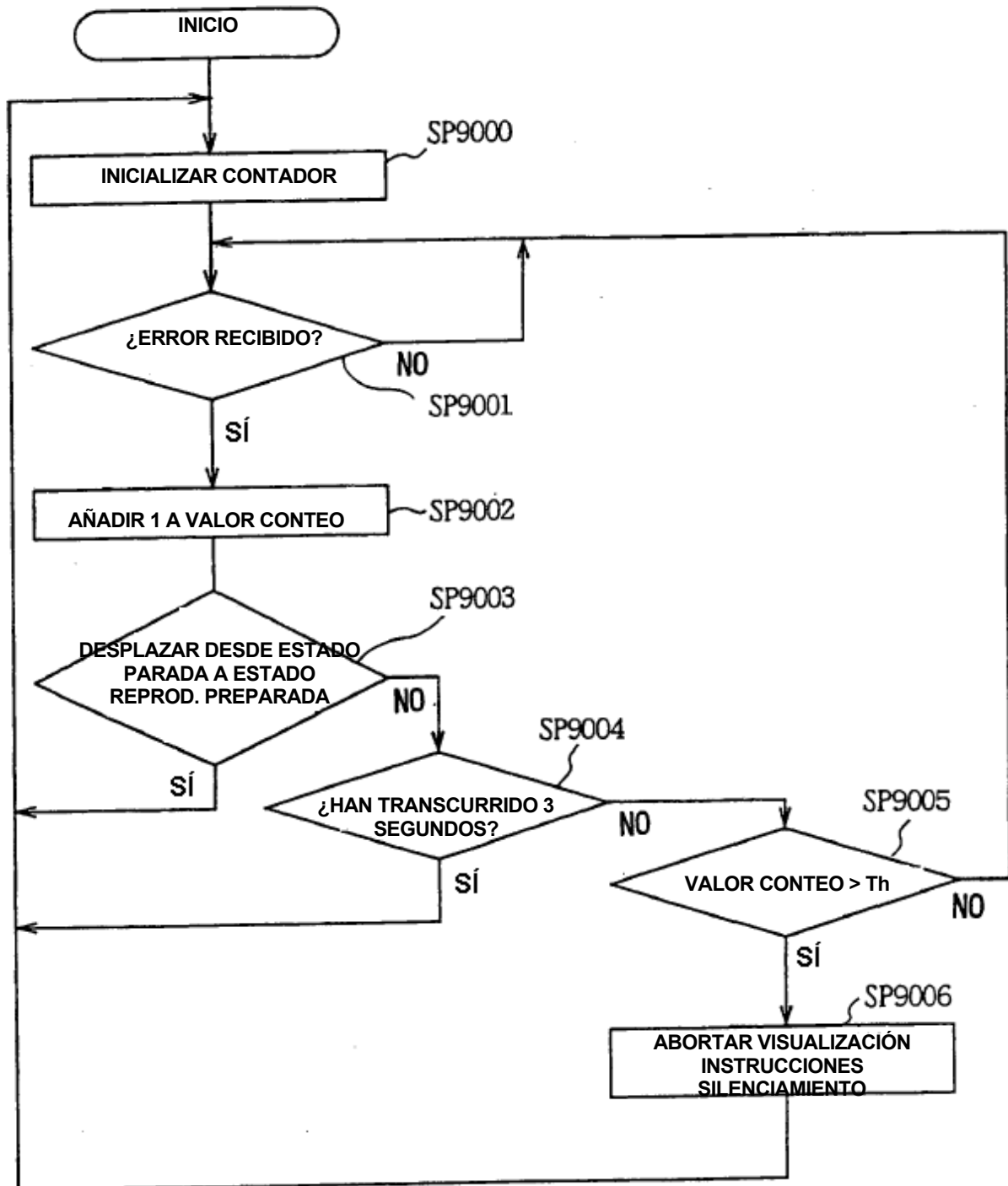


FIG. 30

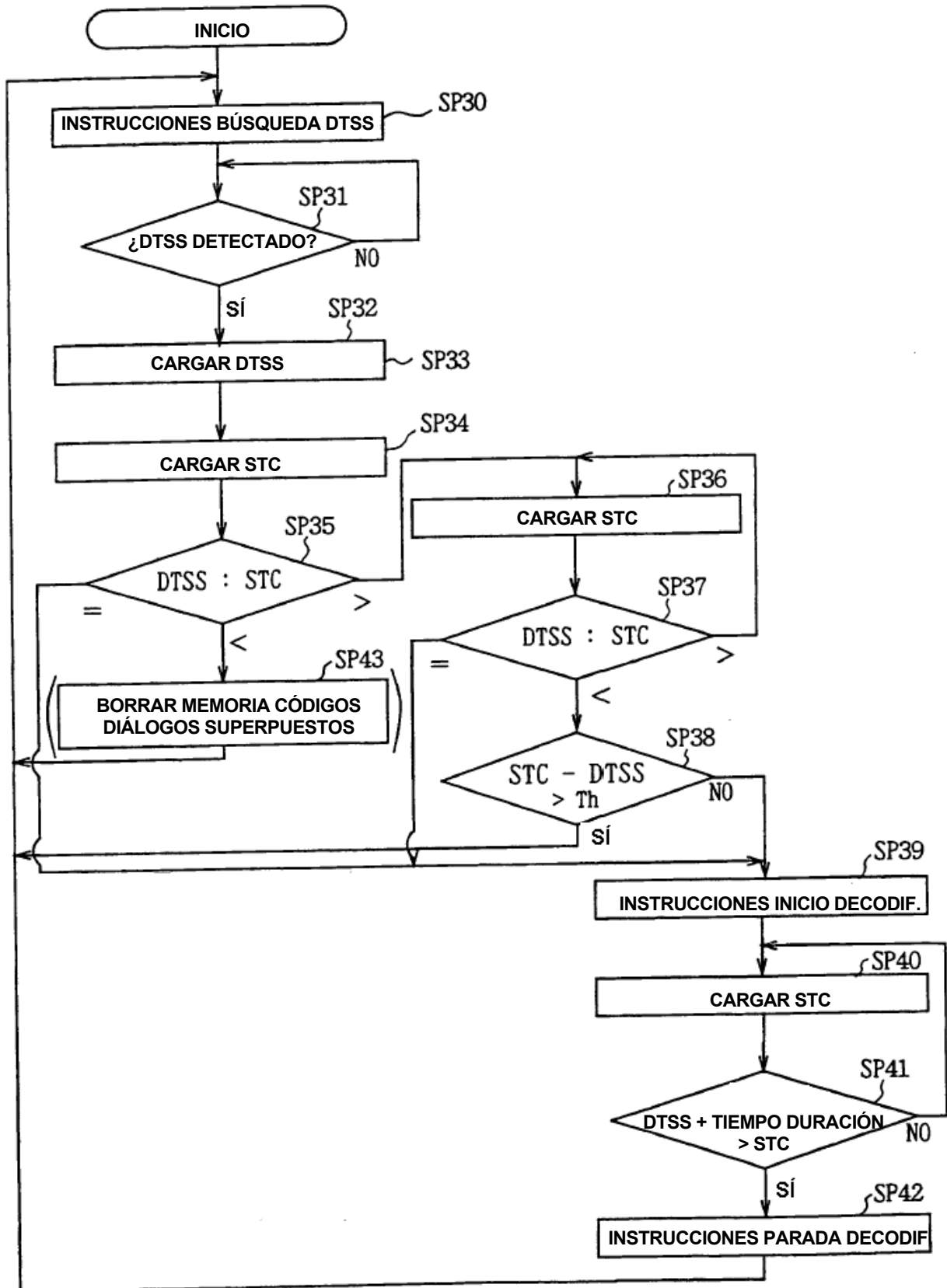


FIG. 31

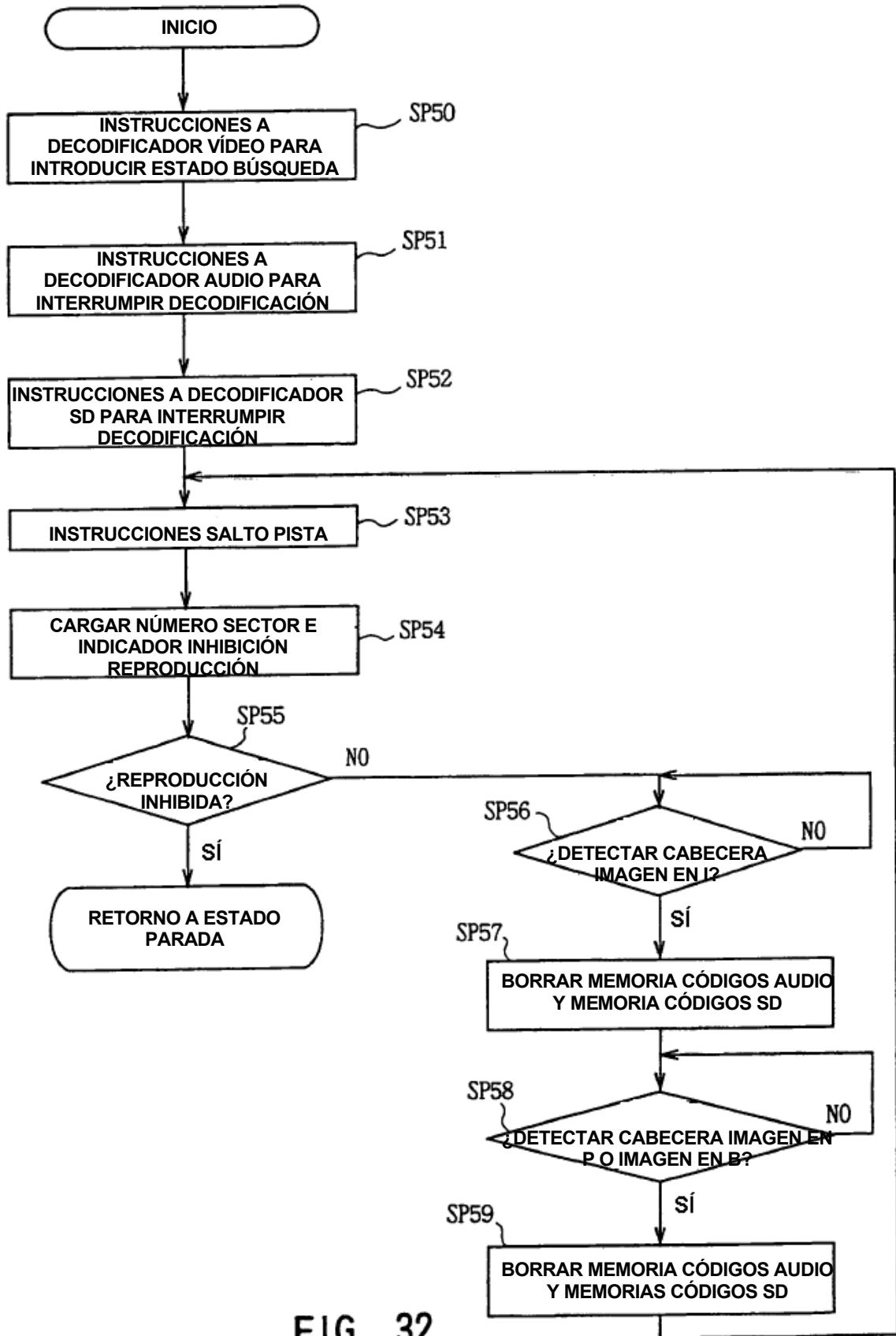


FIG. 32

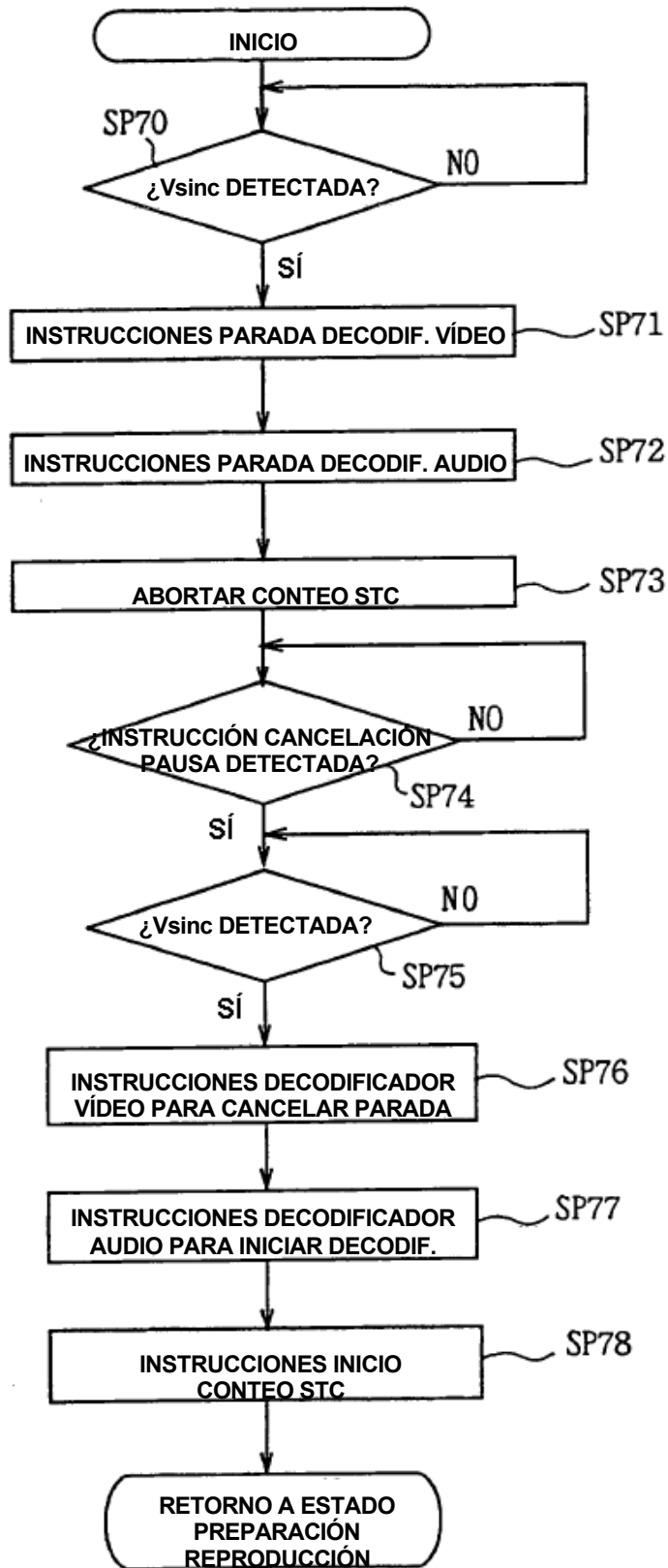


FIG. 33

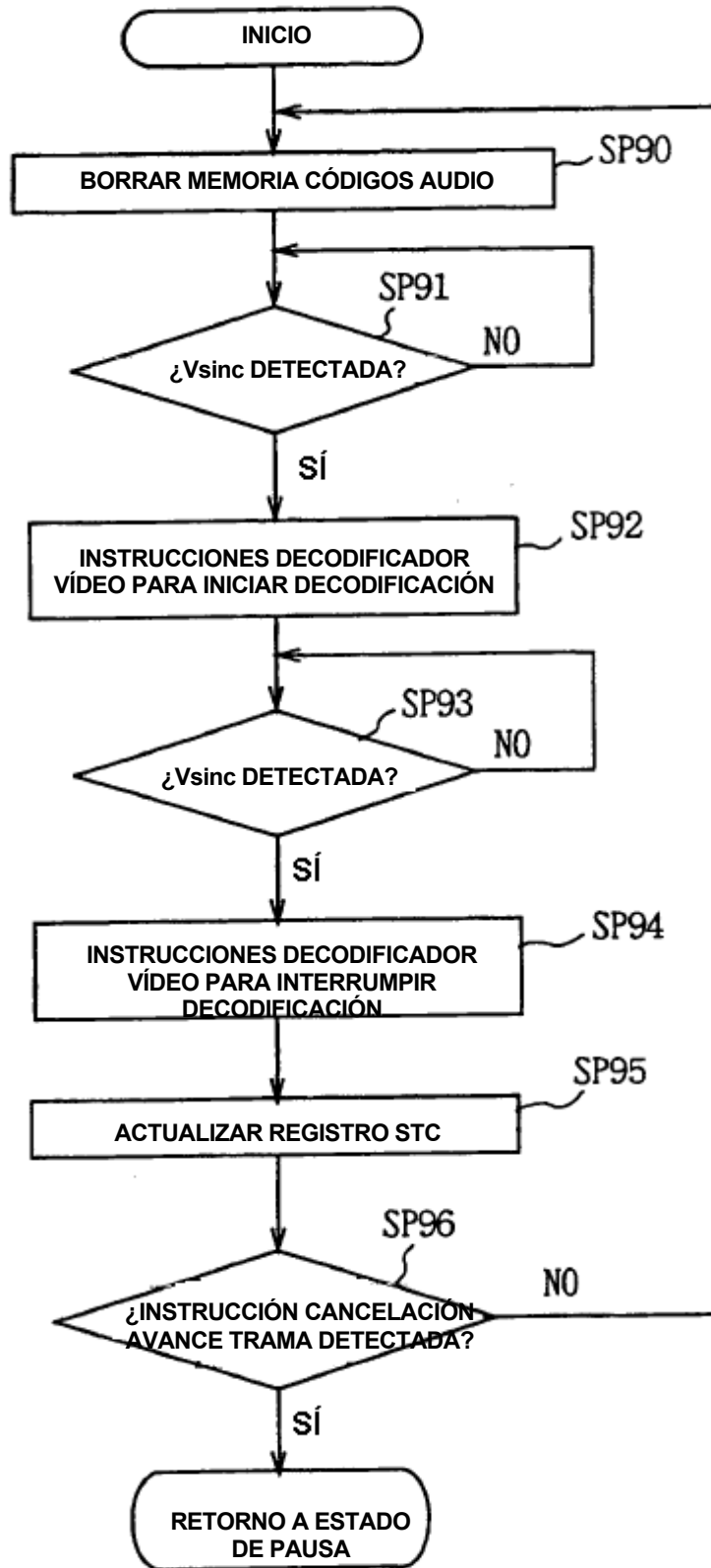


FIG. 34

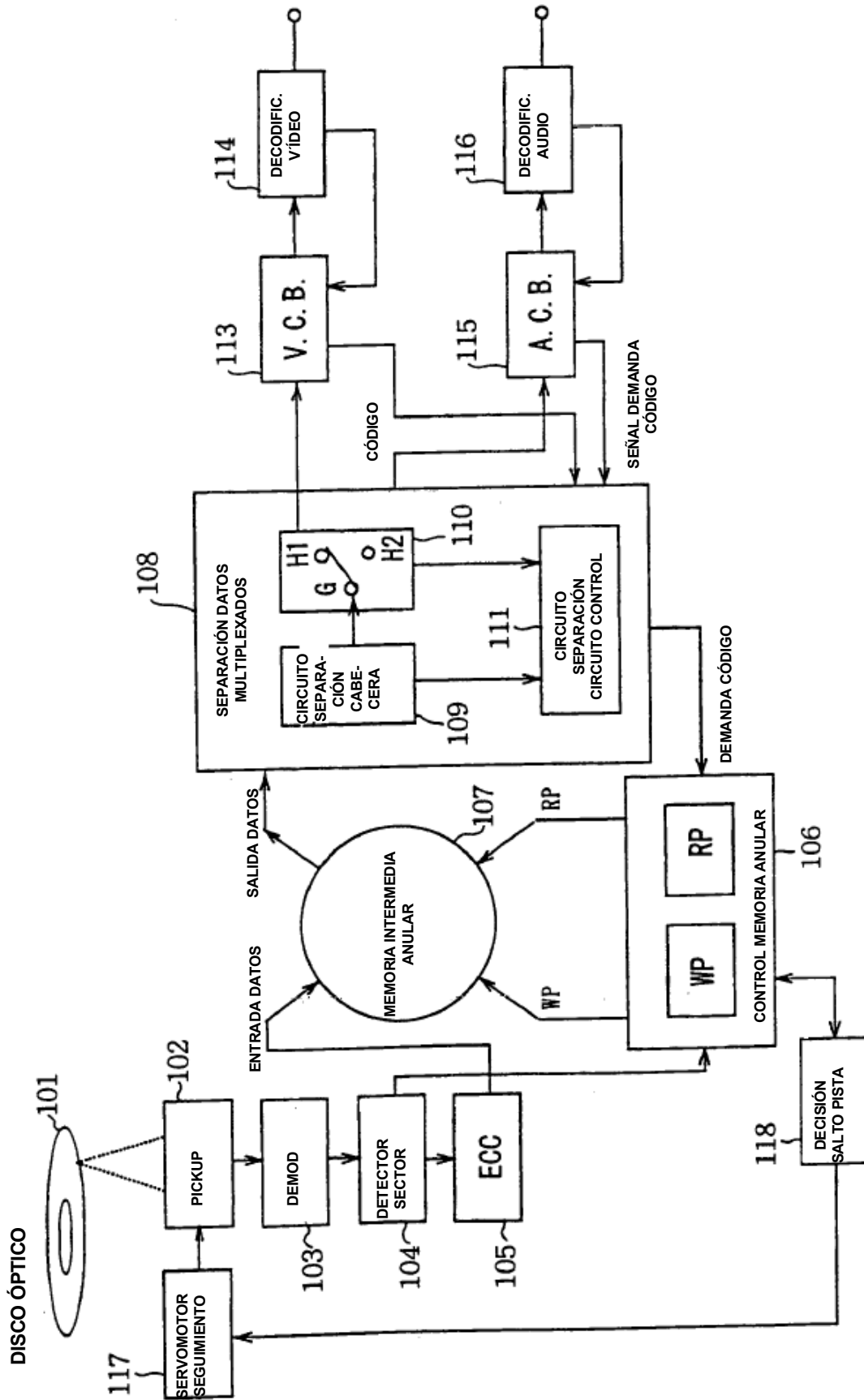


FIG. 35

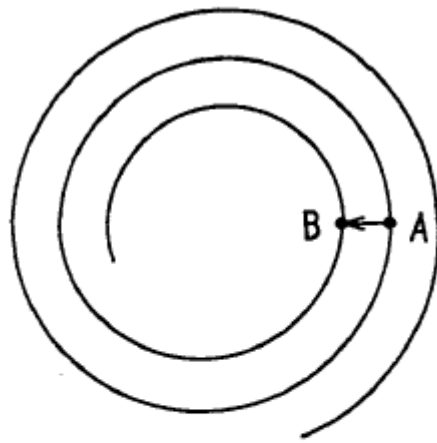


FIG. 36

Descripción de las referencias numéricas no abreviadas

1... DSM, 2... unidad motriz, 3... dispositivo corrección errores; 4... memoria anular; 5... demultiplexor; 6... memoria códigos video; 7... marca tiempo codificación video (DTSV); 8... decodificador códigos audio; 9... memoria códigos audio; 10... marca tiempo codificación audio (DTSA); 11... decodificador códigos video; 12... memoria códigos diálogos superpuestos; 13... detector de marca de tiempo decodificación diálogos superpuestos (DTTS); 14... decodificador códigos diálogos superpuestos; 15... Postprocesador; 16... controlador; 17... interfaz externa; 18... dispositivo entrada usuario; 19... dispositivo presentación visual información; 20... dispositivo de memorización; 21... decodificador subcódigos; 22... circuito generador de señales sincronización vertical; 23... registro del reloj del sistema (STC); 24... circuito conteo reloj del sistema (STC).