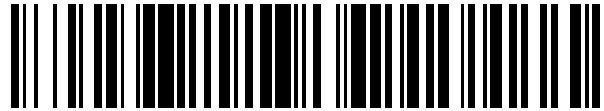


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 460 723**

51 Int. Cl.:

**H03M 9/00**

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **02.08.2007 E 12189620 (3)**

97 Fecha y número de publicación de la concesión europea: **26.03.2014 EP 2552026**

54 Título: **Codificador en serie de doble velocidad de transmisión de datos y baja desalineación de salida**

30 Prioridad:

**08.08.2006 US 463129**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**14.05.2014**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)  
5775 Morehouse Drive  
San Diego, CA 91121-1714, US**

72 Inventor/es:

**MUSFELDT, CURTIS D.**

74 Agente/Representante:

**CARPINTERO LÓPEZ, Mario**

**ES 2 460 723 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Codificador en serie de doble velocidad de transmisión de datos y baja desalineación de salida

- 5 La presente solicitud reivindica prioridad respecto de la Solicitud N° 11 / 285.397, titulada “Codificador en serie con doble velocidad de transmisión de datos” [“Double Data Rate Serial Encoder”], depositada el 23 de noviembre de 2005, que reivindica prioridad respecto de la Solicitud Provisional N° 60 / 630.853, titulada “Diseño de Núcleo Anfitrión de MDDI” [“MDDI Host Core Design”], depositada el 24 de noviembre de 2004, la Solicitud Provisional N° 6 / 631.549, titulada “Dispositivo de interfaz de cámara anfitriona con interfaz digital de visualización móvil” [“Mobile Display Digital Interface Host Camera Interface Device”], depositada el 30 de noviembre de 2004, la Solicitud Provisional N° 60 / 632.825, titulada “Dispositivo anfitrión de MDDI de cámara” [“Camera MDDI Host Device”], depositada el 2 de diciembre de 2004, la Solicitud Provisional N° 60 / 633.071, titulada “Panorama de MDDI” [“MDDI Overview”], depositada el 2 de diciembre de 2004, la Solicitud Provisional No. 60 / 633.084, titulada “Diseño de tableta de núcleo anfitrión de MDDI” [“MDDI Host Core Pad Design”], depositada el 2 de diciembre de 2004 y la Solicitud Provisional N° 60 / 632.852, titulada “Implementación del controlador anfitrión de MDDI” [“Implementation of the MDDI Host Controller”], depositada el 2 de diciembre de 2004.
- 10
- 15 La presente solicitud está también relacionada con la patente estadounidense N° 6.760.772 B2, transferida legalmente, titulada “Generación e implementación de un protocolo y de una interfaz de comunicación para la transferencia de datos de alta velocidad”, publicada el 6 de julio de 2004.

### Antecedentes

#### Campo

- 20 La presente invención se refiere, en general, a un codificador en serie para enlaces de comunicación en serie con velocidad elevada de transmisión de datos. Más en concreto, la invención se refiere a un codificador en serie de doble velocidad de transmisión de datos para enlaces de la Interfaz Digital de Visualización Móvil (MDDI).

#### Antecedentes

- 25 En el campo de las tecnologías de interconexión, continúa en auge la demanda de velocidades de transmisión de datos en constante aumento, especialmente en lo que se refiere a las presentaciones de vídeo.

30 La Interfaz Digital de Visualización Móvil (MDDI) es un mecanismo de transferencia con un consumo de energía reducido y rentable que hace posible la transferencia de datos a muy alta velocidad, a través de un enlace de comunicación de corto alcance entre un anfitrión y un cliente. La MDDI requiere un mínimo de solamente cuatro cables más la energía para la transferencia bidireccional de datos que proporciona un máximo ancho de banda de hasta 3,2 Gbits por segundo.

35 En una aplicación, la MDDI incrementa la fiabilidad y reduce el consumo de energía en teléfonos de tapa abatible (“clamshell”), mediante la reducción significativa del número de cables que discurren a través de una articulación del aparato de mano para interconectar el controlador de banda base digital con una pantalla de LCD y / o una cámara. Esta reducción de cables permite también que los fabricantes de los aparatos de mano reduzcan los costes de desarrollo mediante la simplificación de los diseños de aparatos de mano de tapa abatible o de tapa deslizante.

40 La MDDI es un protocolo de transferencia en serie y, como tal, los datos recibidos en paralelo para la transmisión a través de un enlace de MDDI necesitan ser serializados. La Solicitud de Patente estadounidense N° 11 / 285.397, titulada “Codificador en serie con doble velocidad de transmisión de datos” [“Double Data Rate Serial Encoder”], depositada el 23 de noviembre de 2005 describe un codificador en serie con Doble Velocidad de Transmisión de Datos (DDR) de la MDDI que incorpora una salida sin defectos. El codificador en serie de salida sin defectos cuenta con la ventaja de un multiplexador sin defectos, diseñado con un conocimiento *a priori* de una secuencia de selección de entrada de código Gray. Este conocimiento *a priori* de la secuencia de selección de entrada permite una reducción del tamaño del multiplexador y, en consecuencia, del tamaño del codificador en serie con DDR.

45 Sin embargo, pueden llevarse a cabo mejoras en diversos aspectos del diseño del codificador en serie con DDR descrito en la solicitud estadounidense N° 11 / 285.397. En un aspecto, se destaca que el multiplexador sin defectos utilizado en el codificador en serie con DDR descrito en la solicitud estadounidense N° 11 / 285,397 sigue siendo de mayor tamaño que un multiplexador que no sea sin defectos. En otro aspecto, el número de capas lógicas entre la etapa de registro final y la salida del codificador, un factor que contribuye a una mayor desalineación de salida y a una menor velocidad de enlace, puede ser considerablemente reducido.

50 Por tanto, lo que se necesita es un codificador en serie con DDR y MDDI, que tenga un tamaño, una complejidad y una desalineación de salida reducidos. Así mismo, se necesita que el codificador en serie con DDR y MDDI tenga una salida sin defectos.

### Breve resumen de la invención

De acuerdo a la invención, se proporciona un codificador en serie, de acuerdo a la reivindicación 1, y se proporciona un procedimiento de codificación en serie de acuerdo a la reivindicación 11. Se proporciona en la presente memoria un codificador en serie de Doble Velocidad de Transmisión de Datos (DDR).

5 En un aspecto, el codificador en serie con DDR incluye un multiplexador no sin defectos y una lógica digital para asegurar una salida del codificador exenta de defectos. Mediante la utilización de un multiplexador no sin defectos, se reducen de manera considerable el tamaño y la complejidad del codificador.

10 En otro aspecto, el codificador en serie con DDR presenta una sola capa de lógica entre la etapa de registro final y la salida del codificador, y un número reducido de trayectorias desde la etapa de registro final hasta la salida del codificador, dando por ello como resultado una desalineación de salida reducida y una velocidad incrementada de transmisión de enlace. El número reducido de trayectorias desde la etapa de registro final hasta la salida del codificador simplifica también el análisis de la desalineación de salida.

Realizaciones, características y ventajas adicionales de la presente invención, así como la estructura y funcionamiento de las diversas realizaciones de la presente invención, se describen con detalle en las líneas que siguen con referencia a los dibujos adjuntos.

15 **Breve descripción de los dibujos**

Los dibujos adjuntos, los cuales se incorporan en la presente memoria y forman parte de la memoria descriptiva, ilustran la presente invención y, junto con la descripción, sirven también para exponer los principios de la invención y para hacer posible que una persona experta en la técnica pertinente haga y use la invención.

20 La FIG. 1 es un diagrama de bloques que ilustra un entorno de ejemplo que utiliza una interfaz de la Interfaz Digital de Visualización Móvil (MDDI).

La FIG. 2 es un diagrama de bloques que ilustra una interconexión de enlace de MDDI de acuerdo a una realización del ejemplo de la FIG. 1.

La FIG. 3 es un diagrama de circuito que ilustra un codificador en serie de MDDI.

Las FIGs. 4A a B ilustran ejemplos de desalineación de señales.

25 La FIG. 5 es un diagrama de bloques que ilustra un codificador en serie de MDDI de acuerdo a una realización de la presente invención.

La FIG. 6 es un diagrama de circuito que ilustra un codificador en serie de MDDI de acuerdo a otra realización de la presente invención.

30 La FIG. 7 es un diagrama de temporización de ejemplo que se refiere a señales del codificador en serie de MDDI de la FIG. 6.

La FIG. 8 es un diagrama de circuito que ilustra un codificador en serie de MDDI de acuerdo a una realización adicional de la presente invención.

La FIG. 9 es un diagrama de temporización de ejemplo que se refiere a señales del codificador en serie de MDDI de la FIG. 8.

35 La presente invención se describirá con referencia a los dibujos adjuntos. El dibujo en el que un elemento aparece por primera vez se indica habitualmente mediante el (los) dígito(s) de más a la izquierda en el correspondiente número de referencia.

**Descripción detallada**

40 Esta memoria descriptiva divulga una o más realizaciones que incorporan las características de la presente invención. La(s) realización(es) divulgada(s) simplemente ejemplifican la invención. El ámbito de la invención no está limitado a la(s) realización(es) divulgada(s). La invención está definida por las reivindicaciones adjuntas a la presente memoria.

45 La(s) realización(es) descrita(s), y las referencias en la memoria descriptiva a "una realización", "una realización de ejemplo", etc., indican que la(s) realización(es) descrita(s) puede(n) incluir un rasgo, estructura o característica específicos, pero cada realización no necesariamente puede incluir el rasgo, estructura o característica específicos. Además, dichas frases no se refieren necesariamente a la misma realización. Además, cuando un rasgo, estructura o característica particular se describa con relación a una realización, se aduce que está dentro del conocimiento de una persona experta en la técnica llevar a cabo dicho rasgo, estructura o característica con relación a otras realizaciones, sean o no descritas explícitamente.

50 Las realizaciones de la invención pueden ser implementadas en hardware, firmware, software, o en cualquier

combinación de los mismos. Las realizaciones de la invención pueden también ser implementadas como instrucciones almacenadas en un medio legible por máquina, y que puedan ser leídas o ejecutadas por uno o más procesadores. Un medio legible por máquina puede incluir cualquier mecanismo para almacenar o transmitir información de una forma legible por una máquina (por ejemplo, un dispositivo informático). Por ejemplo, un medio legible por máquina puede incluir una memoria de solo lectura (ROM); una memoria de acceso aleatorio (RAM); medios de almacenamiento en disco magnético; medios de almacenamiento óptico; dispositivos de memoria Flash; formas eléctricas, ópticas, acústicas, u otras formas de señales propagadas (por ejemplo, ondas portadoras, señales infrarrojas, señales digitales, etc.), y otras. Además, el firmware, el software, las rutinas, las instrucciones pueden ser descritas en la presente memoria como llevando a cabo determinadas acciones. Sin embargo, se debe apreciar que dichas descripciones se deben simplemente a razones de comodidad y que dichas acciones de hecho provienen de dispositivos informáticos, procesadores, controladores, u otros dispositivos que ejecutan el firmware, el software, las rutinas, las instrucciones, etc.

**Interfaz Digital de Visualización Móvil (MDDI)**

La Interfaz Digital de Visualización Móvil (MDDI) es un mecanismo rentable de transferencia, de bajo consumo de energía, que permite la transferencia de datos en serie de muy alta velocidad a través de un enlace de comunicación de corto alcance entre un anfitrión y un cliente.

En lo que sigue, se representarán ejemplos de la MDDI con respecto a un módulo de cámara contenido en una pantalla plegable superior de un teléfono móvil. Sin embargo, debe resultar evidente para las personas expertas en la(s) técnica(s) relevante(s) que cualquier módulo que incorpore características funcionalmente equivalentes al módulo de cámara podría ser fácilmente sustituido y utilizado en diversas realizaciones de la presente invención.

Además, de acuerdo a realizaciones de la invención, un anfitrión de MDDI puede comprender uno entre varios tipos de dispositivos que puedan contar con el beneficio de la utilización de la presente invención. Por ejemplo, el anfitrión podría ser un ordenador portátil bajo la forma de un ordenador de mano, uno plegable o un dispositivo informático similar. Así mismo, podría ser un Asistente Personal de Datos (PDA), un dispositivo de envío de radiomensajes o uno de los muchos teléfonos inalámbricos o módems. Como alternativa, el anfitrión podría ser un dispositivo de entretenimiento o presentación portátil, como por ejemplo un reproductor portátil de DVD o CD, o un dispositivo de reproducción de juegos. Además, el anfitrión puede residir como un dispositivo anfitrión o elemento de control en una gran diversidad de otros productos comerciales ampliamente utilizados o planeados, para los cuales se desea un enlace de comunicaciones de gran velocidad con un cliente. Por ejemplo, un anfitrión podría ser utilizado para transferir datos a altas velocidades desde un dispositivo de grabación de vídeo hasta un cliente con base en memoria para una respuesta mejorada, o hasta una pantalla de mayor tamaño y alta resolución para presentaciones. Un electrodoméstico como, por ejemplo, una nevera que incorpore un inventario de a bordo o un sistema informático y / o conexiones de Bluetooth con otros dispositivos domésticos, puede incorporar capacidades mejoradas de visualización cuando funcione en una modalidad conectada con Internet o Bluetooth, o presentar necesidades reducidas de cableado para visualizaciones en la puerta (un cliente) y teclados o escáneres (cliente), mientras los sistemas de control o informáticos electrónicos (anfitrión) residen en cualquier otra parte del armario. En general, los expertos en la técnica apreciarán que la amplia variedad de dispositivos y aparatos electrónicos modernos pueden beneficiarse del uso de esta interfaz, así como de la capacidad de reconvertir dispositivos más antiguos con un transporte de información de una velocidad mayor de transmisión de datos, utilizando números limitados de los conductores disponibles, ya sea en conectores o cables añadidos recientemente o existentes. Al mismo tiempo, un cliente de MDDI puede comprender una amplia diversidad de dispositivos de utilidad para presentar información a un usuario final, o presentar información desde un usuario al anfitrión. Por ejemplo, una micro-pantalla incorporada en antiparras o gafas, un dispositivo de proyección incorporado en un sombrero o un casco, una pequeña pantalla o incluso un elemento holográfico incorporado en un vehículo, como por ejemplo en una ventana o en un parabrisas, o diversos sistemas de altavoz, cascos o sonido para presentar sonido o música de gran calidad. Otros dispositivos de presentación incluyen proyectores o dispositivos de proyección utilizados para presentar información para reuniones, o para películas e imágenes de televisión. Otros ejemplos incluyen el uso de tabletas táctiles o dispositivos sensibles, dispositivos de entrada de reconocimiento de voz, escáneres de seguridad, etc., que pueden ser invocados para transferir una cantidad considerable de información desde un usuario del dispositivo o del sistema con escasa "entrada" efectiva distinta de la táctil o sonora procedente del usuario. Además, unas estaciones de acoplamiento para ordenadores y para equipos de coches o equipos de sobremesa, y soportes para teléfonos inalámbricos, pueden actuar como dispositivos de interfaz con los usuarios terminales o con otros dispositivos y equipamientos, y emplear o bien clientes (dispositivos de salida o entrada, tales como ratones), o bien anfitriones para ayudar a la transferencia de datos, especialmente allí donde están implicadas redes de alta velocidad. Sin embargo, los expertos en la técnica advertirán inmediatamente que la presente invención no está limitada a estos dispositivos, existiendo otros muchos dispositivos en el mercado, y propuestos para su utilización, que están concebidos para proporcionar a los usuarios finales imágenes y sonido de alta calidad, ya sea en términos de almacenamiento y transporte o en términos de presentación en la reproducción. La presente invención es de utilidad para incrementar el caudal de datos entre diversos elementos o dispositivos para adaptarse a las altas velocidades de datos necesarias para llevar a cabo la experiencia de usuario deseada.

La FIG. 1 es un diagrama de bloques que ilustra un entorno de ejemplo que utiliza una interfaz MDDI. En el ejemplo de la FIG. 1, la MDDI es utilizada para interconectar módulos a través de la articulación de un teléfono 100 de

pantalla plegable. Se debe destacar aquí que, si bien ciertas realizaciones de la presente invención se describirán en el contexto de ejemplos específicos, tales como las interconexiones de MDDI en un teléfono de pantalla plegable, esto se efectúa únicamente con fines de ilustración y no debería ser utilizado para limitar la presente invención a dichas realizaciones. Como comprenderá la persona experta en la(s) técnica(s) relevante(s), en base a las enseñanzas contenidas en la presente memoria, las realizaciones de la presente invención pueden ser utilizadas en otros dispositivos, incluyendo cualquier dispositivo que pueda contar con la ventaja de incorporar interconexiones de MDDI.

Con referencia a la FIG. 1, una sección inferior 102 plegable del teléfono 100 de pantalla plegable incluye un chip 104 de banda base del Módem de Estación Móvil (MSM). El MSM 104 es un controlador de banda base digital. Una sección 114 superior plegable del teléfono 100 de pantalla plegable incluye un módulo 116 de Pantalla de Cristal Líquido (LCD) y un módulo 118 de cámara.

Todavía con referencia a la FIG. 1, un enlace 110 de MDDI conecta el módulo 118 de cámara con el MSM 104. Habitualmente, un controlador de enlace de MDDI está integrado tanto en el módulo 118 de cámara como en el MSM 104. En el ejemplo de la FIG. 1, un anfitrión 122 de MDDI está integrado en un módulo 112 de cámara, mientras que un Cliente 106 de MDDI reside en el sector del MSM del enlace 110 de MDDI. Habitualmente, el anfitrión de MDDI es el controlador maestro del enlace de MDDI. En el ejemplo de la FIG. 1, los datos de píxeles procedentes del módulo 118 de cámara son recibidos y formateados en paquetes de MDDI por el Anfitrión 122 de MDDI antes de ser transmitidos sobre el enlace 110 de MDDI. El cliente 106 de MDDI recibe los paquetes de MDDI y los reconvierte en datos de píxeles del mismo formato que el generado por el módulo 118 de cámara. Los datos de píxeles son enviados luego al bloque adecuado en el MSM 104 para su procesamiento.

Con referencia todavía a la FIG. 1, un enlace 112 de MDDI conecta el módulo 116 de LCD con el MSM 104. En el ejemplo de la FIG. 1, el enlace 112 de MDDI interconecta un Anfitrión 108 de MDDI, integrado en el MSM 104, y un Cliente 120 de MDDI integrado en el módulo 116 de LCD. En el ejemplo de la FIG. 1, los datos de visualización generados por un controlador de gráficos del MSM 104 son recibidos y formateados en paquetes de MDDI por el Anfitrión 108 de MDDI antes de ser transmitidos sobre el enlace 112 de MDDI. El cliente 120 de MDDI recibe los paquetes de MDDI y los reconvierte en datos de visualización para su uso por el módulo 116 de LCD.

La FIG. 2 es un diagrama de bloques que ilustra la interconexión 110 del enlace de la MDDI de acuerdo al ejemplo de la FIG. 1. Según lo descrito anteriormente, una de las funciones del enlace 110 de MDDI es transferir los datos de píxeles desde el módulo 118 de cámara al MSM 104. Por consiguiente, en la realización de la FIG. 2, una interfaz 206 de trama conecta el módulo 118 de cámara con el Anfitrión 122 de MDDI. La interfaz 206 de trama sirve para transferir los datos de píxeles desde el módulo 118 de cámara al Anfitrión 122 de MDDI.

Habitualmente, el módulo 118 de cámara recibe los datos de píxeles desde una cámara a través de una interfaz paralela, almacena los datos de píxeles y, a continuación, los transfiere al Anfitrión 122 de MDDI cuando el anfitrión está preparado. El Anfitrión 122 de MDDI encapsula los datos de píxeles recibidos en paquetes de MDDI. Sin embargo, a fin de que el Anfitrión 122 de MDDI pueda transmitir los datos de píxeles sobre el enlace 110 de MDDI, es necesaria una serialización de los paquetes de MDDI.

En la realización de la FIG. 2, un módulo 202 de serialización, integrado dentro del Anfitrión 122 de MDDI, sirve para desplazar, emitiendo en serie, los paquetes de MDDI sobre el enlace 110 de MDDI. En el extremo del MSM del enlace 110 de MDDI, un módulo deserializador 204, integrado dentro del cliente 106 de MDDI, reconstruye los paquetes de MDDI a partir de los datos en serie recibidos por el enlace 110 de MDDI. El cliente 106 de MDDI a continuación retira la encapsulación de la MDDI y transfiere los datos de píxeles paralelos a través de una interfaz 208 de trama, hasta un bloque adecuado del MSM 104.

### **Codificador en serie de la MDDI**

La FIG. 3 es un diagrama de circuito que ilustra un codificador 300 en serie de la MDDI. El codificador 300 en serie de la MDDI se describe con mayor detalle en la Solicitud estadounidense N° 11 / 285.397, titulada "Codificador en serie con doble velocidad de transmisión de datos", depositada el 23 de noviembre de 2005. El codificador 300 en serie incluye una etapa final de registro de datos, ilustrada utilizando los biestables 320 y 322, una etapa de registro de entrada de selección, ilustrada utilizando los biestables 314, 316 y 318, y un conjunto 324 de circuitos de multiplexador sin defectos.

Los biestables 320 y 322 de la etapa final de registro de datos reciben, respectivamente, las señales 308 y 310 de entrada de datos. En una realización, cada una de las señales 308 y 310 de entrada de datos tiene 4 bits. En consecuencia, cada uno de los biestables 320 y 322 son biestables de 4 bits. En otras realizaciones, los biestables 320 y 322 pueden ser sustituidos por cuatro biestables de 2 bits o por ocho biestables de 1 bit. Como se ilustra en la FIG. 3, los biestables 320 y 322 son biestables D, pero también pueden ser utilizados otros tipos de biestables o registros, como debe entender la persona experta en la técnica en base a las enseñanzas contenidas en la presente memoria. Los biestables 320 y 322 son controlados por una señal 312 de reloj y actualizan sus salidas en cada flanco de subida de la señal 312 de reloj.

Los biestables 314, 316 y 318 de la etapa de registro de entrada de selección reciben, respectivamente, las señales

de entrada de selección sel (2) 302, sel (1) 304 y sel (0) 306. Las señales 302, 304 y 306 de entrada de selección son habitualmente suministradas por un contador y son utilizadas para seleccionar la entrada del conjunto 324 de circuitos de multiplexador. En una realización, las señales 302, 304 y 306 de selección son generadas de acuerdo a una secuencia de código Gray, que es conocida *a priori* por el conjunto 324 de circuitos del multiplexador, permitiendo por ello una salida de multiplexador sin defectos. Los biestables 314, 316 y 318 son biestables D, pero también pueden ser utilizados otros tipos de biestables, como debe entender la persona experta en la técnica en base a las enseñanzas contenidas en la presente memoria. Los biestables 314, 316 y 318 son también controlados por la señal 312 de reloj, actualizando el biestable 318 su salida en los flancos de subida de la señal 312 de reloj y actualizando los biestables 314 y 316 sus salidas en los flancos de caída de la señal 312 de reloj.

El conjunto 324 de circuitos de multiplexador recibe las señales de entrada de datos procedentes de la etapa de registro final de datos y las señales de selección de entrada procedentes de la etapa de registro de entrada de selección, y genera la salida 334 del codificador 300 en serie. El conjunto 324 de circuitos de multiplexador genera una salida de codificador sin defectos, utilizando un conocimiento *a priori* de la secuencia de selección de entrada de código Gray. El conjunto 324 de circuitos de multiplexador incluye cuatro capas de lógica 326, 328, 330 y 332 que separan la etapa final de registro de datos (biestables 320 y 322) y la etapa de registro de entrada de selección (biestables 318, 320 y 322) de la salida 334 del codificador. La capa lógica 326 incluye un conjunto de circuitos inversores sobre determinadas trayectorias desde la etapa de registro de entrada de selección hasta la salida del codificador. La capa lógica 326 está acoplada por medio de una interconexión con la capa lógica 328, la cual incluye una pluralidad de compuertas AND. A su vez, la capa lógica 328 está acoplada por medio de una interconexión con la capa lógica 330. La capa lógica 330 incluye una pluralidad de compuertas OR, las cuales proporcionan las entradas de la capa lógica 332. La capa lógica 332 incluye una compuerta OR que proporciona la salida 334 del codificador en serie.

Se debe destacar que las cuatro capas lógicas 326, 328, 330 y 332 de un conjunto 324 de circuitos de multiplexador están basadas en la lógica combinatoria y no son controladas por señales de reloj. En consecuencia, los retardos en la propagación de las señales sobre las diferentes trayectorias desde la etapa final de registro de datos y / o la etapa de registro de entrada de selección, hasta la salida del codificador, pueden ser diferentes. Además, los retardos en la propagación de las señales podrían variar según la temperatura y / o las variaciones del proceso producidas en el conjunto de circuitos del codificador, haciendo que sean difíciles de controlar y / o compensar.

Habitualmente, tener distintos retardos de propagación de señales en las trayectorias hasta la salida del codificador da como resultado lo que se conoce como "desalineación de salida", estando la salida efectiva del codificador desalineada o distorsionada con respecto a una salida nominal deseada. La desalineación de salida también puede ser resultado de la desalineación de una sola señal que contribuye a la salida del codificador.

Las FIGs. 4A a B ilustran ejemplos de desalineación de señales. La FIG. 4A ilustra la desalineación en una señal de ejemplo 400, por la cual pueden producirse flancos de caída y / o subida antes o después de cuando deberían producirse en teoría. La FIG. 4B ilustra la desalineación entre dos señales Salida 1 y Salida 2. La Salida 1 y la Salida 2 resultan de las señales 402 y 404 de entrada sincronizadas que se propagan a través de las trayectorias 406 y 408, respectivamente, del circuito ejemplar 414, teniendo las trayectorias 406 y 408 diferentes retardos de propagación de las señales. La desalineación entre las señales Salida 1 y Salida 2, ilustrada como "tsk" en la FIG. 4B, representa la magnitud de la diferencia de tiempo entre las señales Salida 1 y Salida 2, las cuales teóricamente se producirían de manera simultánea. Nótese que la desalineación entre las señales Salida 1 y Salida 2 podría traducirse en una desalineación de salidas en la salida 412 del circuito ejemplar 414.

En ciertos casos, la desalineación de salida puede provocar una reducción en la máxima velocidad del enlace de MDDI. Es evidente, por tanto, que la desalineación de salida debería reducirse al mínimo.

#### **Codificador en serie de MDDI con baja desalineación de salida**

De acuerdo a la presente invención, la desalineación de salida se reduce minimizando los efectos de los factores que contribuyen a ella. En un aspecto, la desalineación de salida está afectada por la desalineación individual de cada señal (desde la etapa final de registro de datos y / o de la etapa de registro de entrada de selección) que contribuye a la salida del codificador. En otro aspecto, la desalineación de salida es proporcional a las magnitudes de estas desalineaciones de salida individuales, las cuales, a su vez, son proporcionales a las longitudes de sus respectivas trayectorias de señales (una función del número de capas lógicas sucesivas para alcanzar la salida del codificador).

Como tal, la desalineación de salida puede ser reducida minimizando: (1) el número de señales (procedentes de la etapa final de registro de datos y / o de la etapa de registro de entrada de selección) que contribuyen a la salida del codificador, y (2) el número de capas lógicas, desde la etapa final de registro de entrada y / o la etapa de registro de entrada de selección, hasta la salida del codificador.

La FIG. 5 es un diagrama de bloques que ilustra un codificador 500 en serie de la MDDI, de acuerdo a una realización de la presente invención. El codificador 500 en serie incluye un multiplexador 506 no sin defectos y un circuito 510 de sincronización.

5 El multiplexador 506 no sin defectos recibe la señal 504 de entrada de datos y las señales 502 de selección de entrada, y genera la señal 508 de salida. En una realización, la señal 504 de entrada de datos incluye una señal de 8 bits. En otras realizaciones, la señal 504 de entrada de datos incluye dos señales de 4 bits, cuatro señales de 2 bits, u ocho señales de 1 bit. Las señales 502 de selección de entrada controlan el multiplexador 506 para acoplar una de las señales recibidas de entrada de datos a la salida del multiplexador. Habitualmente, el número N de señales 502 de selección de entrada es tal que  $2^N$  es igual al número de bits de datos en la señal 504. En la FIG. 5, el número de señales 502 de selección de entrada es 3, haciendo que el multiplexador 506 sea un multiplexador de 8:1.

10 Dado que la salida 508 del multiplexador 506 puede ser no libre de defectos, el codificador 500 en serie puede ser simplificado de manera considerable. En un aspecto, se permite que los bits de datos en la señal 504 de entrada se conmuten en cualquier momento y no solo cuando no están siendo seleccionados para la salida, como en un multiplexador sin defectos. En otro aspecto, la secuencia de selección de entrada llevada a cabo por las señales 502 de selección de entrada ya no necesita adherirse a una secuencia de código Gray.

15 Por consiguiente, para generar una salida de codificador sin defectos se utiliza un circuito 510 de sincronización para asegurar que cualquier defecto en la salida 508 sea eliminado en la salida 512 del codificador. En una realización, el circuito 510 de sincronización incluye una etapa final de registro de datos, controlada por reloj, que hace posible que las señales que contribuyen a la salida del codificador presenten una mínima desalineación entre sí. Además, la etapa final de registro de datos está alejada en un número muy pequeño de capas lógicas de la salida del codificador, reduciendo adicionalmente la desalineación de salida.

20 La FIG. 6 es un diagrama de circuito que ilustra un codificador 600 en serie de la MDDI de acuerdo a otra realización de la presente invención.

El codificador 600 en serie incluye una etapa de registro de datos, ilustrada utilizando el biestable 620, una etapa de registro de entrada de selección, ilustrada utilizando los biestables 612, 614 y 616, un multiplexador 622 y un circuito 626 de sincronización.

25 El biestable 620 de la etapa de registro de datos recibe la señal 610 de entrada de datos. En una realización, la señal 610 de entrada de datos incluye una señal de 8 bits. En consecuencia, el biestable 620 es un biestable de 8 bits. En otras realizaciones, el biestable 620 puede ser sustituido por dos biestables de 4 bits, cuatro biestables de 2 bits u ocho biestables de 1 bit. Como se ilustra en la FIG. 6, el biestable 620 es un biestable D, pero también pueden ser utilizados otros tipos de biestables o registros, como comprenderá un experto en la técnica, en base a las enseñanzas contenidas en la presente memoria.

30 Los biestables 612, 614 y 616 de la etapa de registro de entrada de selección reciben las señales de entrada de selección sel (2) 602, sel (1) 604 y sel (0) 606, respectivamente. Las señales 602, 604 y 607 de entrada de selección son habitualmente proporcionadas por un contador y son utilizadas para seleccionar la entrada del multiplexador 622. Las señales 602, 604 y 606 de selección no necesitan adherirse a ningún tipo de secuencia de selección de entrada, tal como una secuencia de código Gray, por ejemplo. Los biestables 612, 614 y 616 son biestables D, pero también pueden ser utilizados otros tipos de biestables, como comprenderá una persona experta en la materia en base a las enseñanzas contenidas en la presente memoria.

El multiplexador 622 recibe las señales de entrada de datos procedentes de la etapa de registro de datos y las señales de selección de entrada, procedentes de la etapa de registro de entrada de selección, y genera la señal 624 de salida. En una realización, el multiplexador 622 es un multiplexador 8:1.

40 El multiplexador 622 es un multiplexador no sin defectos. En otras palabras, pueden producirse defectos en la salida 624 del multiplexador 622. En consecuencia, la salida 624 del multiplexador 622 se proporciona a un circuito 626 de sincronización para asegurar que cualquier defecto en la salida 624 sea eliminado en la salida 642 del codificador.

45 El circuito 626 de sincronización incluye una primera etapa XOR, ilustrada utilizando las compuertas XOR 628 y 630, una etapa final de registro de datos, ilustrada utilizando los biestables 632, 634, 636 y 638, y una etapa XOR final, ilustrada utilizando la compuerta XOR 640, para generar la salida 642 del codificador.

50 Las compuertas 628 y 630 de la primera etapa XOR reciben la señal 624 de salida y las señales de retroalimentación procedentes de los biestables 633 y 634, respectivamente. Las salidas de las compuertas XOR 628 y 630 son respectivamente recibidas por los biestables 632, 634, 636 y 638. Los biestables 632, 634, 636 y 638 son controlados por una señal de reloj clk, actualizando los biestables 632 y 634 las salidas de los flancos de subida de la señal de reloj, y actualizando los biestables 636 y 638 las salidas de los flancos de caída de la señal de reloj.

55 Los biestables 634 y 636 son biestables de retroalimentación de la etapa final de registro de datos que presenta sus salidas acopladas transversalmente a las compuertas XOR 628 y 638 de la primera etapa XOR. En otras realizaciones, las señales de retroalimentación hacia las compuertas XOR 628 y 630 son proporcionadas desde las salidas de los biestables 638 y 632, respectivamente, siendo eliminados los biestables 634 y 636 de la etapa final de registro de datos. Un diseño más estable, sin embargo, se obtiene mediante la utilización de los biestables 634 y 636 para proporcionar las señales de retroalimentación a la primera etapa XOR. Esto reduce cualquier encaminamiento adicional de las salidas de los biestables 632 y 638, los cuales, entonces, solo necesitan ser introducidos en la etapa

XOR final del circuito 626 de sincronización.

La etapa XOR final del circuito 626 de sincronización incluye una única compuerta XOR 640, la cual recibe las salidas de los biestables 632, 638 y emite la salida 642 del codificador. La salida 642 del codificador es una salida sin defectos con baja desalineación de salida.

- 5 Se destaca que, en el codificador 600 en serie, una sola capa de lógica separa la etapa final de registro de datos de la salida del codificador. En consecuencia, la desalineación individual de las señales que contribuyen a la salida del codificador permanece muy baja. Además, se destaca que solo dos señales procedentes de la etapa final de registro de datos (salidas de los biestables 632 y 638) contribuyen a la salida 642 del descodificador, reduciendo adicionalmente la desalineación de salida. El número reducido de trayectorias desde la etapa final de registro hasta la salida del codificador simplifica también el análisis de la desalineación de salida.

10 La FIG. 8 es un diagrama de circuito que ilustra un codificador 800 en serie de la MDDI de acuerdo a una realización adicional de la presente invención. El codificador 800 en serie de la MDDI es similar en diversos aspectos al codificador 600 en serie de la MDDI de la FIG. 6, pero emplea una implementación 812 distinta del circuito de sincronización. Se destaca que, en la práctica, el circuito de sincronización es equivalente a un biestable de flanco doble y, por consiguiente, cualquier implementación de un biestable de flanco doble o de un conjunto de circuitos funcionalmente equivalente puede ser utilizada para el circuito de sincronización, de acuerdo a las realizaciones de la presente invención.

15 En la FIG. 8, el circuito 812 de sincronización incluye una etapa final de registro de datos, ilustrada utilizando los biestables 804 y 806 y un multiplexador 808. Los biestables 804 y 806 reciben la señal 624 de salida del multiplexador 622 y son controlados por la señal 802 de reloj, actualizando el biestable 804 su salida en los flancos de subida de la señal 802 de reloj, y actualizando el biestable 806 su salida en los flancos de caída de la señal 802 de reloj. Las salidas de los biestables 804 y 806 forman posteriormente entradas al multiplexador 808. El multiplexador 808 es también controlado por la señal 802 de reloj, siendo la salida del biestable 804 emitida desde el multiplexador 808 cuando la señal 802 de reloj está alta, y siendo la salida del biestable 806 emitida desde el multiplexador 808 cuando la señal 802 de reloj está baja, para generar la salida 810 del codificador. Se destaca que, en la realización 800, la salida 810 del codificador presenta una condición de carrera sobre la señal 802 de reloj. Esta condición de carrera es un resultado de un flanco de subida o de caída en la señal 802 de reloj, que provoca que cambie la entrada actualmente seleccionada al multiplexador 808. La salida 810 del codificador es sin defectos solamente si un flanco de subida o caída de la señal 802 de reloj ha seleccionado la otra entrada del multiplexador 808 como la salida 810 del codificador antes de que la entrada actual cambie. A modo de ejemplo, cuando la señal 802 de reloj está baja, la salida del biestable 806 está siendo emitida desde el multiplexador 808 como salida 810 del codificador. En un flanco de subida de la señal 802 de reloj, la salida del biestable 806 será actualizada en un nuevo estado mientras que, al mismo tiempo, la salida del biestable 804 es seleccionada como la salida del multiplexador 808, como salida 810 del codificador. Para evitar defectos en la salida 810 del codificador, el retardo procedente de la señal 802 de reloj a través del multiplexador 808 hasta la salida 810 del codificador debe ser inferior al retardo de la señal 802 de reloj a través de los biestables 804 u 806 hasta el multiplexador 808. Mientras esta condición de temporización se cumpla, la salida 810 del codificador es una salida sin defectos con baja desalineación de salida.

20 Se destaca también que en el codificador 800 en serie, una sola capa de lógica separa la etapa final de registro de la salida del codificador, contribuyendo solo dos señales procedentes de la etapa final de registro de datos a la salida 810 del codificador, dando por ello como resultado una desalineación de salida reducida y un análisis simplificado de la desalineación de salida.

### **Diagramas de temporización de ejemplo**

25 La FIG. 7 es un diagrama de temporización de ejemplo relacionado con las señales del codificador 600 en serie de la MDDI de la FIG. 6. En este diagrama de ejemplo, las transiciones de las entradas de selección, ilustradas como la señal sel [2:0] de la FIG. 7, son de acuerdo a una secuencia de código Gray, según lo habitualmente requerido para los codificadores de la MDDI con multiplexador sin defectos. En consecuencia, el multiplexador 622 de la FIG. 6 funciona de manera idéntica a un multiplexador sin defectos, pero sin el requisito de salida libre de defectos. Nótese que la secuencia de entradas de selección en la FIG. 7 es una secuencia ejemplar y que también pueden ser utilizadas otras secuencias de entradas de selección.

30 La salida din [7:0] de la FIG. 7 corresponde a la señal 610 de entrada de datos en la FIG. 6. Una secuencia ejemplar de la señal din [7:0] se proporciona en la FIG. 7.

La señal din\_reg [7:0] corresponde a la señal din\_reg [7:0] ilustrada en la FIG. 6, y puede ser generada a partir de la señal din [7:0] de acuerdo a la señal data\_en en la FIG. 7. Una secuencia ejemplar de la señal din\_reg [7:0] se proporciona en la FIG. 7.

35 La señal desired\_data\_out corresponde a la señal 624 de la FIG. 6.

Las señales out\_rise y out\_fall corresponden, respectivamente, a las salidas de los biestables 632 y 638. Nótese que  $out\_rise = (desired\_data\_out \text{ XOR } out\_fall)$  y que  $out\_fall = (desired\_data\_out \text{ XOR } out\_rise)$ . Asimismo, nótese que



la señal dout = out\_rise XOR out\_fall. En consecuencia, uno cualquiera de los dos registros de salida finales puede llevar el valor desired\_data\_out hasta dout mediante la retención o la inversión de su salida. La señal dout es equivalente a la señal desired\_data\_out, pero está retardada en ½ ciclo de reloj.

5 La FIG. 9 es un diagrama de temporización de ejemplo relativo a las señales del codificador 800 en serie de la MDDI de la FIG. 8. De modo similar al diagrama de temporización de ejemplo de la FIG. 7, las transiciones de entradas de selección, ilustradas como sel [2:0] en la FIG. 9, son de acuerdo a una secuencia de código Gray, como se requiere habitualmente para los codificadores de MDDI con multiplexador sin defectos. Nótese que, sin embargo, la secuencia de entradas de selección ilustrada en la FIG. 9 es solo ejemplar, y que también pueden ser utilizadas otras secuencias de entradas de selección.

10 La señal din [7:0] en la FIG. 9 corresponde a la señal 610 de entrada de datos en la FIG. 8. Una secuencia ejemplar de la señal din [7:0] se proporciona en la FIG. 9.

La señal din\_reg [7:0] corresponde a la salida del biestable 620 en la FIG. 8. Una secuencia ejemplar de la señal din\_reg [7:0] se proporciona en la FIG. 9.

La señal desired\_data\_out corresponde a la señal 624 en la FIG. 8.

15 Las señales post\_reg y neg\_reg corresponden, respectivamente, a las salidas de los biestables 804 y 806 en la FIG. 8.

La señal dout corresponde al dout 810 de salida del codificador en la FIG. 8. Nótese que dout es equivalente a la señal desired\_data\_out, pero está retrasada en 1 ciclo de reloj, con un retraso de ½ ciclo de reloj debido a los biestables 804 y 806, y un retraso de ½ ciclo de reloj debido al multiplexador 808.

## 20 **Conclusión**

Aunque en las líneas anteriores se han descrito diversas realizaciones de la presente invención, debería entenderse que han sido ofrecidas solo a modo de ejemplo, y no de limitación. Será evidente para las personas expertas en la técnica relevante que en la presente memoria pueden llevarse a cabo diversos cambios de forma y detalle sin apartarse del ámbito de la invención. Por tanto, la amplitud y el alcance de la presente invención no deben quedar limitados por ninguna de las realizaciones ejemplares descritas anteriormente, sino que deben quedar definidos únicamente con arreglo a las siguientes reivindicaciones y sus equivalentes.

25

**REIVINDICACIONES**

1. Un codificador (800) en serie, que comprende:  
 un medio (620, 622) para almacenar una pluralidad de bits de entrada de datos;  
 un medio (612; 614, 616) para almacenar una pluralidad de bits de entrada de selección;
- 5 un medio (622) para emitir en serie la pluralidad de bits de entrada de datos de acuerdo a una secuencia de selección de entrada generada por la pluralidad de bits de entrada de selección, **caracterizado por** comprender adicionalmente  
 un medio para eliminar (812) defectos de una salida de dicho medio de emisión en serie, generando por ello una salida de codificador en serie sin defectos, en el que dicho medio para eliminar defectos incluye una  
 10 etapa (804, 806) de registro controlada por reloj que emite dos señales, y  
 un medio (808) para seleccionar una de las dos señales como la salida del codificador en serie, y en el que la salida del codificador en serie está únicamente determinada por dos señales provenientes de dicha etapa de registro, dando como resultado por ello una baja desalineación de salida del codificador, en el que la salida de dicho medio de emisión en serie está acoplada con una entrada de datos de la etapa de registro controlada por reloj.
- 15 2. El codificador serie de la reivindicación 1, en el que  
 el medio para almacenar bits de entrada de datos comprende adicionalmente un primer multiplexor (622) que presenta una pluralidad de entradas de datos, una pluralidad de entradas de selección, una salida y una pluralidad de biestables (620) de entrada de datos acoplados con las entradas de datos del multiplexador;
- 20 el medio para almacenar los bits de entrada de selección comprende adicionalmente una pluralidad de biestables (612, 614, 616) de entradas de selección, acoplado con las entradas de selección del multiplexador; y  
 el medio para eliminar comprende adicionalmente un circuito (812) de sincronización acoplado con la salida del multiplexador, y que proporciona una salida del codificador (810) en serie, en el que el circuito de sincronización comprende una etapa final (804, 806) de registro de datos que emite dos señales, y un  
 25 segundo multiplexador (808) para seleccionar una de las dos señales como la salida del codificador en serie.
3. El codificador en serie de acuerdo a la reivindicación 2, en el que el primer multiplexador presenta ocho entradas de datos y tres entradas de selección.
4. El codificador en serie de acuerdo a la reivindicación 2, en el que el primer multiplexador es un multiplexador  
 30 no sin defectos.
5. El codificador en serie de acuerdo a la reivindicación 2, en el que los biestables de entrada de datos y los biestables de entrada de selección son biestables D.
6. El codificador en serie de acuerdo a la reivindicación 2, en el que las entradas de selección del primer multiplexador son proporcionadas por un contador de acuerdo a una señal de reloj.
- 35 7. El codificador en serie de acuerdo a la reivindicación 2, en el que el primer multiplexor emite un bit en cada flanco de la señal de reloj.
8. El codificador en serie de acuerdo a la reivindicación 2, en el que la etapa final de registro de datos es controlada por reloj.
9. El codificador en serie de acuerdo a la reivindicación 2, en el que el codificador recibe una entrada de datos en paralelo y emite en serie la entrada de datos sobre un enlace de comunicaciones en serie.
- 40 10. El codificador en serie de acuerdo a la reivindicación 2, en el que dicho medio de emisión en serie emite un bit en cada flanco de una señal de reloj, haciendo por ello del codificador en serie un codificador de doble velocidad de transmisión de datos.
11. Un procedimiento de codificación en serie, que comprende  
 45 proporcionar un primer multiplexador (622) con una pluralidad de entradas de datos, una pluralidad de entradas de selección y una salida;  
 proporcionar una pluralidad de biestables (620) de entrada de datos, acoplados con las entradas de datos de dicho primer multiplexador;

## ES 2 460 723 T3

proporcionar una pluralidad de biestables (612, 614, 616) de entradas de selección, acoplados con las entradas de selección de dicho primer multiplexador; y

5 proporcionar un circuito (812) de sincronización acoplado con la salida de dicho primer multiplexador, y proporcionar una salida del codificador (810) en serie, en el que el circuito de sincronización comprende una etapa final (804, 806) de registro de datos, que emite dos señales, y un segundo multiplexador (808) para seleccionar una de las dos señales como la salida del codificador en serie, dando como resultado por ello una baja desalineación de salida del codificador, en el que la salida de dicho primer multiplexador está acoplada con una entrada de datos de la etapa de registro controlada por reloj, y

10 emplear el circuito de sincronización para eliminar esencialmente los defectos de salida de la salida de dicho primer multiplexador.

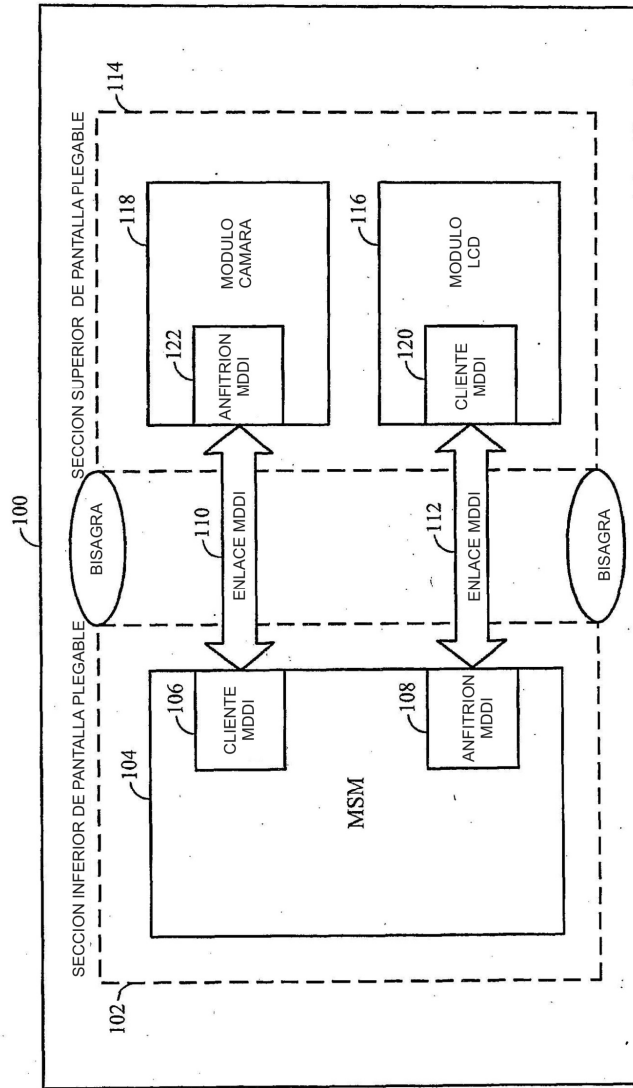


FIG. 1

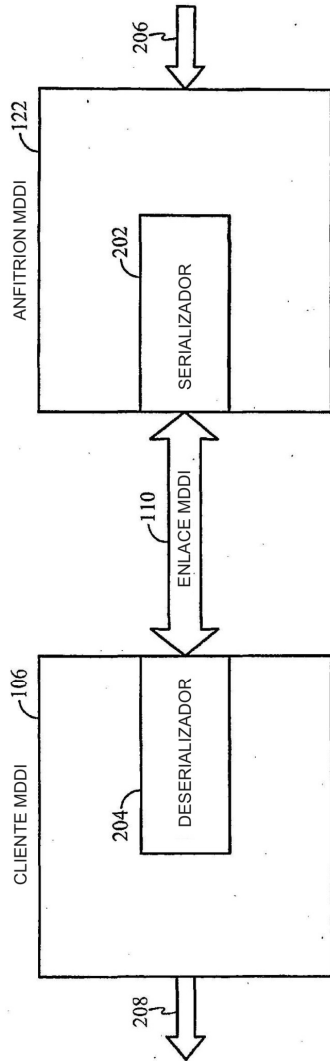


FIG. 2

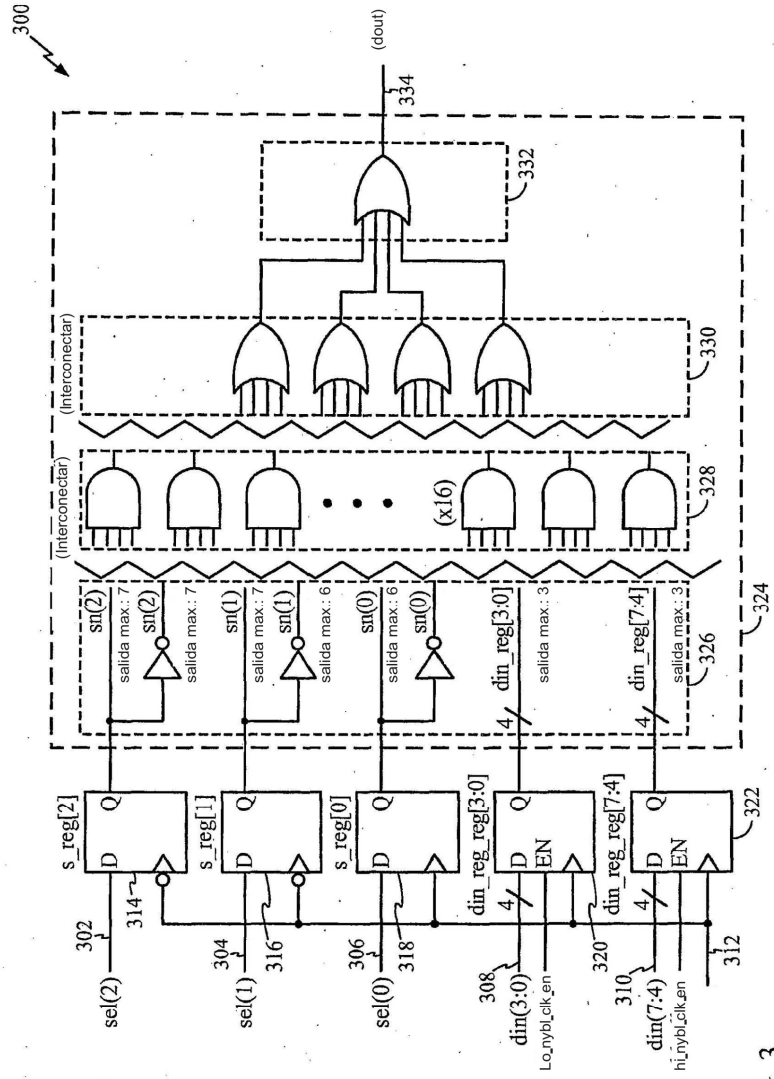


FIG. 3

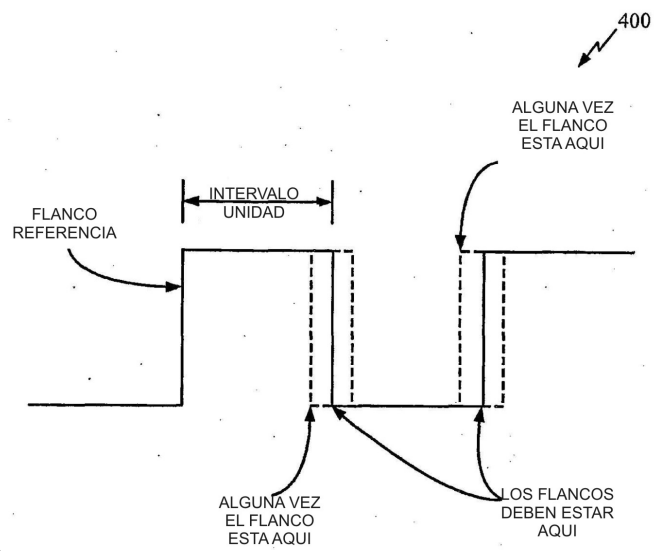


FIG. 4A

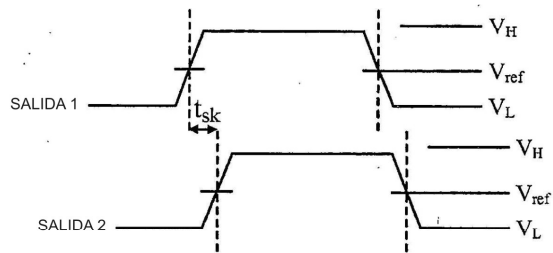
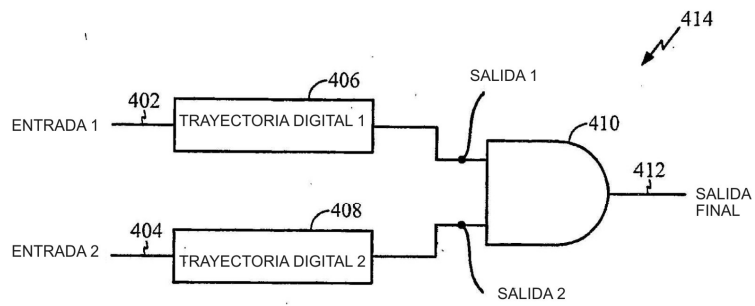


FIG. 4B



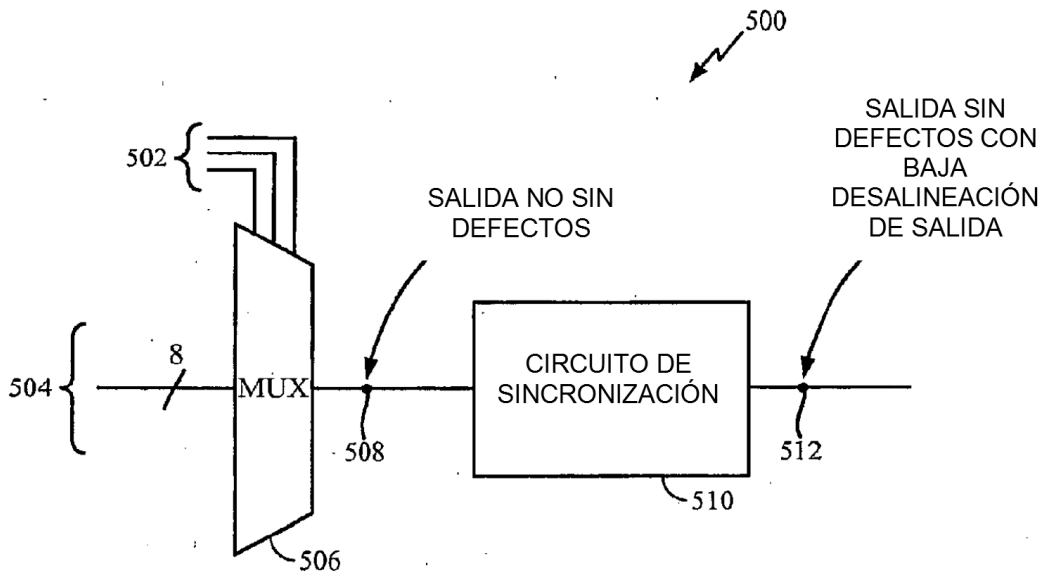


FIG. 5

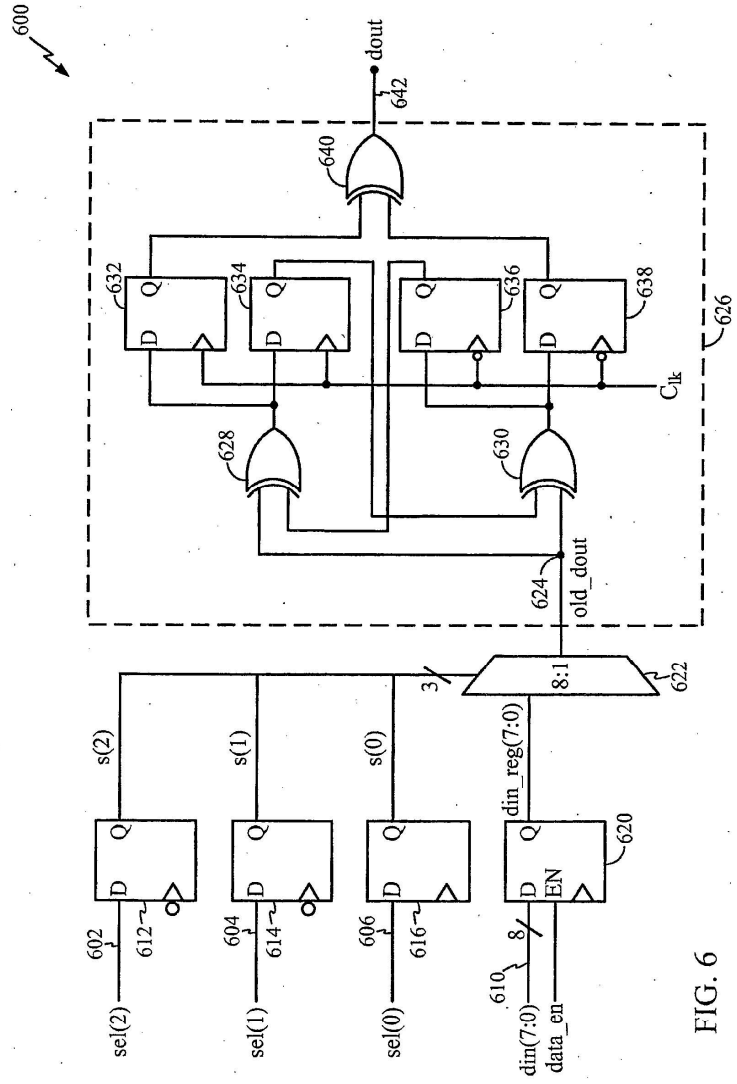


FIG. 6

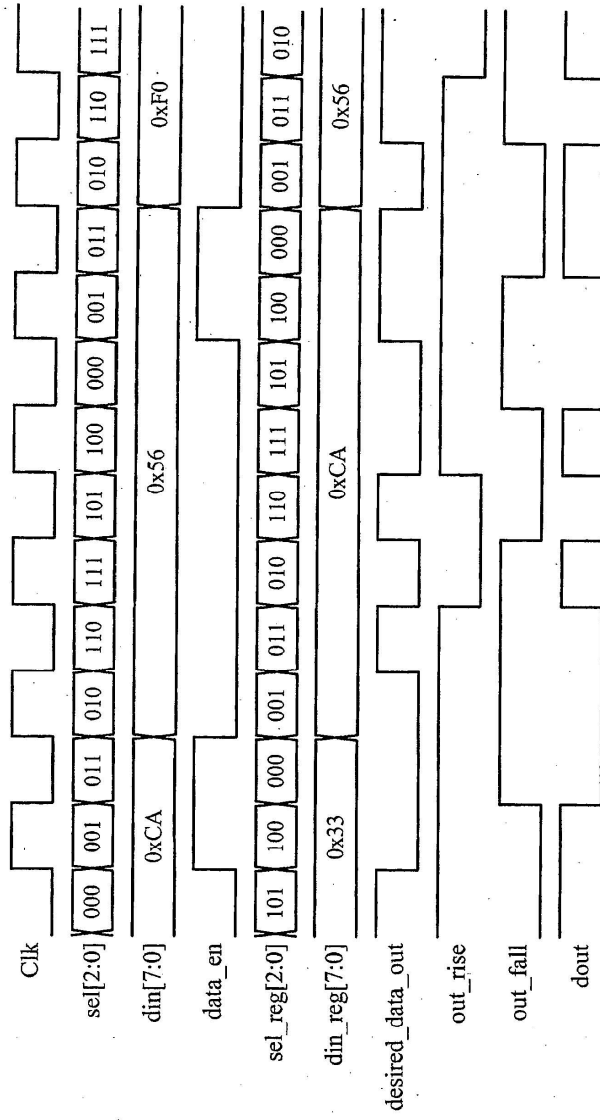


FIG. 7

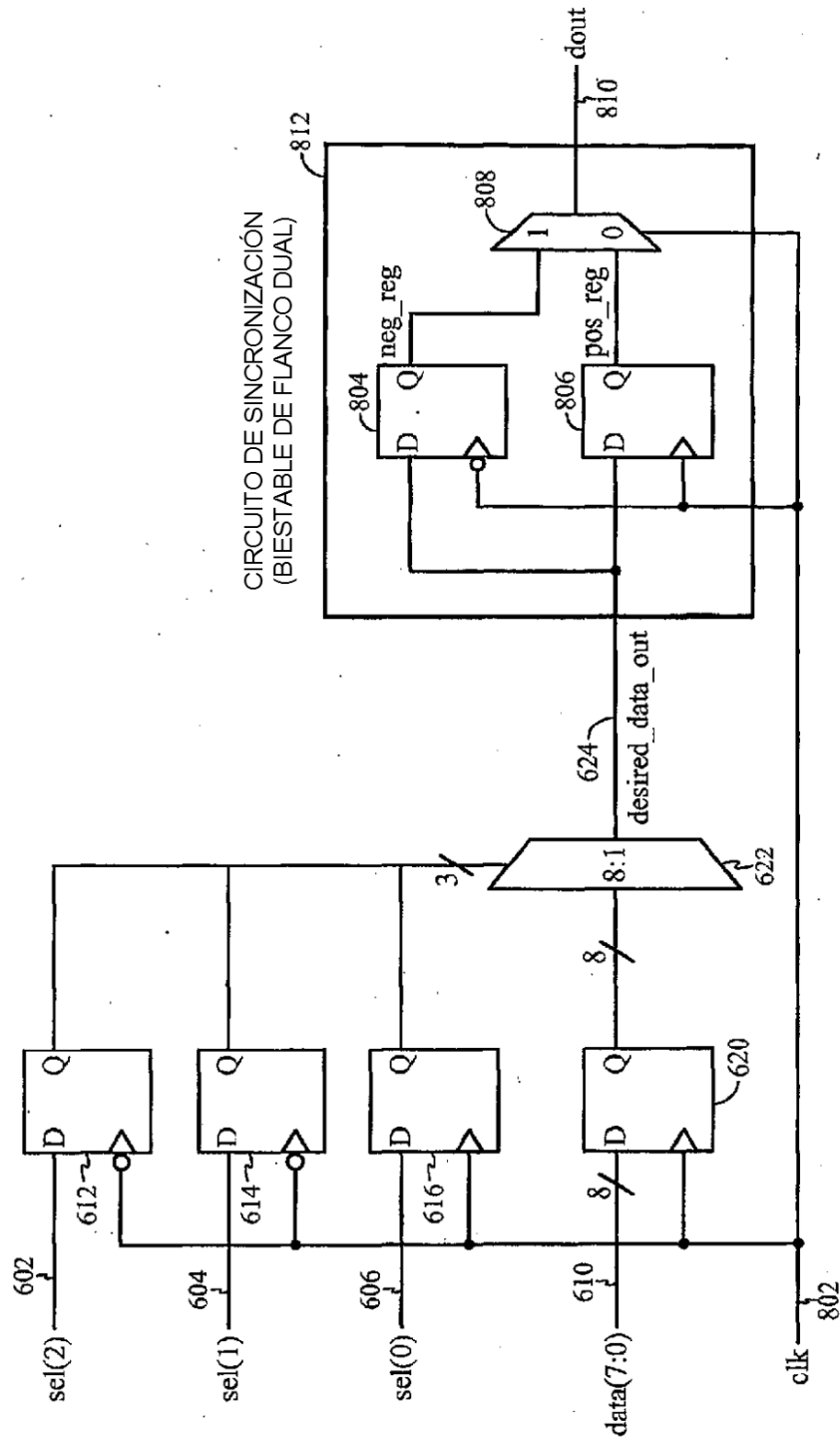


FIG. 8

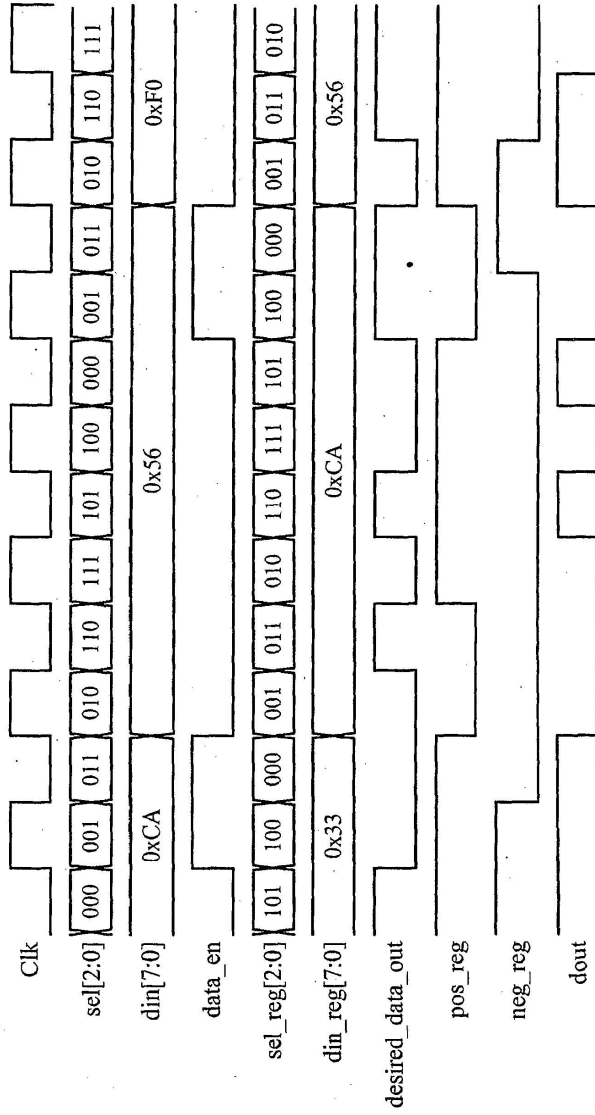


FIG. 9