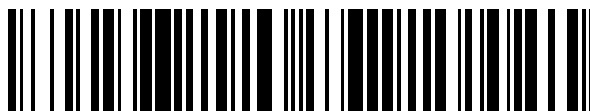


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 462 368**

51 Int. Cl.:

G11C 5/06 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **11.12.2006 E 06848943 (4)**

97 Fecha y número de publicación de la concesión europea: **12.02.2014 EP 1969601**

54 Título: **Memoria que usa un bus de nodo único de datos, direcciones y control**

30 Prioridad:

13.12.2005 US 301670

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

22.05.2014

73 Titular/es:

**MICROCHIP TECHNOLOGY INCORPORATED
(100.0%)**

**2355 WEST CHANDLER BOULEVARD
CHANDLER, AZ 85224-6199, US**

72 Inventor/es:

**SORRELLS, PETER H.;
WILKIE, DAVID L.;
PARRIS, CHRISTOPHER A.;
KVASNICKA, MARTIN S. y
BOWMAN, MARTIN R.**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 462 368 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Memoria que usa un bus de nodo único de datos, direcciones y control

Campo técnico

5 La presente revelación se refiere, en general, a una memoria de semiconductores, por ejemplo una memoria de solo lectura programable y borrrable eléctricamente (EEPROM), una memoria FLASH, una memoria de acceso aleatorio estática (SRAM), una memoria de acceso aleatorio dinámica (DRAM) y similares, y más particularmente, a una memoria de semiconductores que usa un bus de nodo único de datos, direcciones y control.

Antecedentes

10 Los dispositivos digitales de circuitos integrados, por ejemplo los procesadores digitales, tales como, por ejemplo, pero sin limitarnos a estos, microprocesadores, microcontroladores, procesadores de señal digital (DSP), redes lógicas programables (PLA), circuitos integrados de aplicación específica (ASIC) y similares, se hacen cada vez más pequeños y con menos conexiones de señales de entrada - salida (E/S) (por ejemplo, terminales) tanto por consideraciones de coste como de espacio. Usualmente, un dispositivo de circuito integrado puede estar en un encapsulado de circuito integrado que tiene una pluralidad de terminales de conexión. Al menos dos de estos
15 terminales se deben usar para alimentación eléctrica y puesta a tierra, por ejemplo, V_{DD} y V_{SS} , respectivamente. Estos dispositivos de circuitos integrados se pueden beneficiar de memoria adicional, por ejemplo memoria externa. La memoria puede ser, por ejemplo, pero sin limitarse a estas, una memoria programable una vez (OTP), una memoria de solo lectura programable eléctricamente (EPROM), una memoria de solo lectura programable y borrrable eléctricamente (EEPROM), una memoria FLASH, una memoria estática de acceso aleatorio (SRAM), una memoria
20 dinámica de acceso aleatorio (DRAM) y similares.

El documento US 5.270.972 desvela un sistema digital serie de tres terminales en el que está dispuesto una memoria en un encapsulado de baja cuenta de terminales y conectado a un bus de nodo único (303, fig. 3) controlado por un controlador de conducción hacia abajo (385). El controlador de conducción hacia abajo genera una primera o una segunda señales de confirmación sobre un bus de nodo único (303) causadas por una señal de control (ACK) recibida desde un procesador digital (340).
25

El documento EP 1 496 444 desvela un procedimiento de generación de una señal de activación de un núcleo de memoria normalizado. El documento US 6.034.898 desvela una memoria dinámica de acceso aleatorio para aumentar la corriente del controlador de salida de datos que comparte transistores de conducción hacia arriba y transistores de conducción hacia abajo. El documento US 2005/0268022 desvela una memoria de línea caché y un procedimiento que tiene un puerto de direcciones serie. El documento US 5.809.518 desvela un protocolo de transferencia de comandos / datos para una arquitectura de bus de un hilo.
30

Sumario

Es un objeto de la presente invención proporcionar un sistema digital que tiene una memoria conectada a un bus de un nodo único que proporciona un protocolo de transmisión fiable. Este objeto se puede conseguir por el sistema digital como se define en la reivindicación independiente 1. Las mejoras adicionales se caracterizan en las reivindicaciones dependientes.
35

Por ejemplo, una matriz de memoria (en adelante en ese documento "memoria") puede estar acoplada a un dispositivo digital de circuito integrado con un número mínimo de conexiones, por ejemplo, se pueden requerir un bus de nodo único de datos, direcciones y control, más alimentación eléctrica y puesta a tierra, por ejemplo, V_{DD} (o V_{CC}) y V_{SS} , respectivamente, para la operación de la memoria, de este modo se puede usar un encapsulado mínimo de circuito integrado de tres terminales, por ejemplo, SOT 23-3, SC70-3, etc. para el encapsulado de la memoria. La selección de direcciones de la memoria cuando se implementa una pluralidad de memorias puede usar terminales de selección de dirección adicionales sobre un encapsulado de circuito integrado de baja cuenta de terminales, por ejemplo, SOT 23-5, SOT 23-6, MSOP-8, SOIC-8 y similares, y/o programando una dirección de memoria para cada una de la pluralidad de memorias a través del bus de nodo único de datos, direcciones y control.
40
45

De acuerdo con una realización de ejemplo específica como se describe en la presente revelación, una memoria que usa un bus de nodo único de datos, direcciones y control, comprende una matriz de memoria adaptada para el acoplamiento a un bus de nodo único de datos, direcciones y control, alimentación eléctrica y puesta a tierra. La matriz de memoria tiene un controlador activo de conducción hacia arriba y conducción hacia abajo para controlar el bus de nodo único de datos, direcciones y control. La matriz de memoria puede estar encapsulada en un encapsulado de circuito integrado con una baja cuenta de terminales. La memoria puede ser también parte de un encapsulado de circuito integrado de múltiples dados que albergan tanto el dispositivo digital como la memoria.
50

De acuerdo con otra realización de ejemplo específica como se describe en la presente revelación, un sistema digital comprende un procesador digital y una matriz de memoria que se acopla al procesador digital a través de un bus de nodo único de datos, direcciones y control. La matriz de memoria tiene un controlador activo de bus con conducción hacia arriba y hacia abajo para controlar el bus de nodo único de datos, direcciones y control. El procesador digital
55

puede ser el maestro y la matriz de memoria puede ser un esclavo sobre el bus de nodo único de datos, direcciones y control.

Breve descripción de los dibujos

5 Se puede adquirir un entendimiento más completo de la presente revelación refiriéndonos a la siguiente descripción tomada junto con los dibujos adjuntos, en los que:

la Figura 1 ilustra un diagrama de bloques esquemático de un dispositivo digital de circuito integrado acoplado a una memoria con un bus de nodo único de datos, direcciones y control, de acuerdo con una realización de ejemplo específica de la presente revelación;

10 la Figura 2 ilustra diagramas físicos esquemáticos de encapsulados de circuitos integrados de baja cuenta de terminales de ejemplo, de acuerdo con una realización de ejemplo específica de la presente revelación;

la Figura 3 ilustra un diagrama esquemático de formas de onda de temporización de señal para un bus de nodo único de datos, direcciones y control ilustrado en la Figura 1, de acuerdo con una realización de ejemplo específica de la presente revelación;

15 la Figura 4 ilustra un diagrama de una asignación de bytes de dirección de un dispositivo de memoria en una memoria, de acuerdo con una realización de ejemplo específica de la presente revelación;

la Figura 5 ilustra una tabla de un conjunto de instrucciones para una memoria, de acuerdo con una realización de ejemplo específica de la presente revelación:

20 la Figura 6 ilustra un diagrama esquemático de formas de onda de temporización de señal para una secuencia de comando de lectura de una memoria, de acuerdo con una realización de ejemplo específica de la presente revelación;

la Figura 7 ilustra un diagrama esquemático de formas de onda de temporización de señal para una secuencia de comando de escritura de una memoria, de acuerdo con una realización de ejemplo específica de la presente revelación;

25 la Figura 8 ilustra un diagrama esquemático de formas de onda de temporización de señal para una secuencia de comando de activación de escritura de una memoria, de acuerdo con una realización de ejemplo específica de la presente revelación;

la Figura 9 ilustra un diagrama esquemático de formas de onda de temporización de señal para una secuencia de comando de desactivación de escritura de una memoria, de acuerdo con una realización de ejemplo específica de la presente revelación;

30 la Figura 10 ilustra un diagrama esquemático de formas de onda de temporización de señal para una secuencia de comando de lectura del registro de estado de una memoria, de acuerdo con una realización de ejemplo específica de la presente revelación;

35 la Figura 11 ilustra un diagrama esquemático de formas de onda de temporización de señal para una secuencia de comando de escritura del registro de estado de una memoria, de acuerdo con una realización de ejemplo específica de la presente revelación;

la Figura 12 ilustra un diagrama esquemático de formas de onda de temporización de señal para una secuencia de comando de borrar todo de una memoria, de acuerdo con una realización de ejemplo específica de la presente revelación;

40 la Figura 13 ilustra un diagrama esquemático de formas de onda de temporización de señal para una secuencia de comando de escribir todo de una memoria, de acuerdo con una realización de ejemplo específico de la presente revelación;

45 Aunque la presente revelación es susceptible de diversas modificaciones y formas alternativas, se han mostrado en los dibujos realizaciones de ejemplo específicas de la misma y se han descrito en detalle en este documento. Sin embargo, se entenderá que la descripción en este documento de realizaciones específicas de ejemplo no pretende limitar la revelación a las formas particulares desveladas en este documento, sino que por el contrario esta revelación cubrirá todas las modificaciones y equivalentes como se define por las reivindicaciones adjuntas.

Descripción detallada

50 Refiriéndonos ahora a los dibujos, se ilustran esquemáticamente los detalles de las realizaciones específicas de ejemplo. Los mismos elementos en los dibujos se representarán por los mismos números, y elementos similares se representarán por los mismos números con un sufijo diferente en letras minúsculas.

Refiriéndonos ahora a la Figura 1, se representa un diagrama de bloques esquemático de un dispositivo digital de circuito integrado acoplado a una memoria con un bus de nodo único de datos, direcciones y control, de acuerdo con una realización de ejemplo específica de la presente revelación. Un procesador digital 102 puede estar acoplado a una memoria 104 por un bus de nodo único de datos, direcciones y control 106. El procesador digital 102 puede ser un microprocesador, un microcontrolador, un procesador de señales digitales (DSP), una matriz lógica programable (PLA), un circuito integrado de aplicación específica (ASIC) y similares. La memoria 104 puede ser una memoria no volátil, por ejemplo, una memoria programable una vez (OTP), una memoria de solo lectura programable eléctricamente (EPROM), una memoria de solo lectura programable y borrrable eléctricamente (EEPROM), una memoria FLASH, y similares. La memoria 104 también puede ser una memoria volátil, por ejemplo una memoria estática de acceso aleatorio (SRAM), una memoria dinámica de acceso aleatorio (DRAM) y similares. El bus de nodo único de datos, direcciones y control 106 puede ser un nodo conductivo, por ejemplo un conductor de circuito impreso, un nodo de enlace de datos de circuitos integrados y similares. El procesador digital 102 y la memoria 104 pueden tener un controlador activo de conducción hacia arriba (por ejemplo, lógica "1") y de conducción hacia abajo (por ejemplo, lógica "0") acoplado al bus de nodo único de datos, direcciones y control 106. El procesador digital 102 y la memoria 104 pueden estar acoplados a un retorno de la fuente de alimentación común, por ejemplo, V_{SS} , puesta a tierra, etc. y alimentación eléctrica, por ejemplo V_{CC} , V_{DD} , etc.

Refiriéndonos ahora a la Figura 2, se representan diagramas físicos esquemáticos de encapsulados de circuitos integrados de baja cuenta de terminales. La memoria 104 puede estar encapsulada en un encapsulado de circuito integrado de baja cuenta de terminales, por ejemplo, SOT 23-3, SOT 23-5, SC70-3 y similares. Se contempla y está dentro del ámbito de esta revelación que se puede usar cualquier encapsulado de circuito integrado de baja cuenta de terminales para encapsular la memoria 104. También se contempla y está dentro del ámbito de la presente revelación que el procesador digital 102 y la memoria 104 pueden estar encapsulados en un encapsulado de circuito integrado de datos dual en el que el bus de nodo único, de datos, direcciones y control 106 puede ser un hilo de enlace (no mostrado) u otra conexión directa entre datos dentro del encapsulado del circuito integrado. El encapsulado de circuito integrado puede tener un terminal de puesta a tierra, V_{SS} , un terminal de alimentación eléctrica, V_{DD} o V_{CC} ; y un terminal bidireccional de entrada - salida en serie (E/S), SCIO. Además se pueden usar los terminales de selección de dirección de memoria cableados A0 y A1 cuando están disponibles más de tres terminales sobre el encapsulado de circuito integrado. Se contempla y está dentro del ámbito de esta revelación que el establecimiento de las direcciones de bloque de memoria se puede realizar mediante instrucciones software a través del terminal SCIO.

Refiriéndonos ahora a la Figura 3, se representa un diagrama esquemático de las formas de onda de temporización de la señal para un bus de nodo único de datos, direcciones y control ilustrado en la Figura 1. El bus de nodo único de datos, direcciones y control 106 puede operar usando un bus de nodo único bidireccional y un protocolo de transmisión de datos. Un dispositivo que envía datos sobre el bus 106 se puede definir como transmisor, y un dispositivo que recibe datos como receptor. El bus 106 se puede controlar por un dispositivo maestro que puede determinar un periodo de reloj, control de acceso al bus y puede iniciar todas las operaciones del mismo. Usualmente, la memoria 104 puede ser el esclavo y el procesador digital 102 puede ser el maestro. Ambos maestro y esclavo pueden operar como transmisor y receptor, pero el maestro determina qué modo operativo (maestro o esclavo) se activa para cada uno.

Todos los comandos pueden estar precedidos por una cabecera de Comienzo. La cabecera de Comienzo puede consistir de, por ejemplo, pero sin limitarse a estos, un código binario de 8 bits (por ejemplo, 01010101) que se saca desde el dispositivo que transmite. El protocolo de señales sobre el bus 106 puede ser el Manchester codificado, o cualquier otro tipo de protocolo de señal de transferencia en serie, por ejemplo, el protocolo sin retorno a cero (NRZ), la modulación de posición de pulso (PPM), la codificación por desplazamiento de frecuencia (FSK), la codificación por desplazamiento de fase (PSK), la codificación por desplazamiento de amplitud (ASK) y similares, que pueden usar un byte de cabecera de Comienzo inicial (u otra palabra de longitud) para sincronizar juntos los relojes de maestro y esclavo.

Cada uno de los receptores, cuando se direcciona, puede generar una confirmación después de recibir un cierto número de bits, por ejemplo, cada byte (8 bits). El receptor puede confirmar forzando el terminal SCIO a nivel alto, por ejemplo, a sustancialmente V_{DD} o V_{CC} , durante la primera mitad de un bit y a continuación a nivel bajo, por ejemplo, sustancialmente a V_{SS} , durante la segunda mitad (restante) del bit. Durante una lectura de la matriz, el maestro puede señalar un final de datos al esclavo generando un bit de confirmación sobre el último byte que se ha sacado con el reloj para el esclavo, por ejemplo, puede transmitirse un "1", indicando que no se envíen más datos.

Si no se produce ninguna actividad sobre el bus 106, durante un cierto periodo de tiempo, puede tener lugar un reinicio de bus. Tanto el dispositivo maestro como el esclavo pueden volver a continuación a los modos de reposo. Cualesquiera comandos adicionales se procesarán por una cabecera de Comienzo correcta para sacar el dispositivo direccionado del modo de reposo.

Refiriéndonos ahora a la Figura 4, se representa un diagrama de una asignación de los bytes de dirección del dispositivo de memoria en una memoria de acuerdo con una realización de ejemplo específica de la presente revelación. La dirección del dispositivo puede seguir a la cabecera de Comienzo desde el dispositivo maestro. La dirección del dispositivo puede consistir de un " código de familia" de cuatro bits, por ejemplo, pero sin limitarse a

este "1010" y los últimos cuatro bits del byte de dirección del dispositivo pueden ser los bits de Selección de Chip (por ejemplo, A3, A2, A1 y A0). Se contempla y está dentro del ámbito de esta revelación que se pueden usar otros códigos de familia de otra longitud de bits.

5 Refiriéndonos a la Figura 5, se representa una tabla de un conjunto de instrucciones para una memoria, de acuerdo con una realización de ejemplo específica de la presente revelación. Después del byte de dirección del dispositivo, se puede enviar un byte de comando por el maestro para indicar el tipo de operación a realizar. En la tabla de la Figura 5 se muestra un conjunto de instrucciones de ejemplo específicas. Se contempla y está dentro del ámbito de esta revelación que se pueden usar otras instrucciones e instrucciones adicionales para el conjunto de instrucciones.

10 Refiriéndonos a la Figura 6, se representa un diagrama esquemático de formas de onda de temporización de señal para una secuencia de comando de lectura de una memoria, de acuerdo con una realización de ejemplo específica de la presente realización. La instrucción de lectura se puede usar por el maestro para acceder a cualquier localización de memoria en un modo aleatorio. La lectura de datos desde la memoria 104 puede comenzar en una dirección seleccionada. Después de que se ha enviado la instrucción de lectura al esclavo, se pueden transmitir los dos bytes de la Palabra de Dirección, en los que el esclavo puede generar un bit de confirmación (ACK), por ejemplo "0" después de cada byte recibido. A continuación el esclavo puede enviar un primer byte de datos al maestro. Si hay más datos a leer, a continuación el maestro puede responder con un bit de confirmación que indica al esclavo que saque el siguiente byte de datos. Esto puede continuar hasta que el maestro responde con un bit NACK (por ejemplo, un "1" en lugar del bit de confirmación). La memoria 104 puede tener un puntero de dirección que puede proporcionar lecturas secuenciales incrementales a la terminación de cada lectura. De este modo se puede leer en serie cualquier número de bytes almacenados en una secuencia de direcciones desde la memoria 104 durante una operación de lectura múltiple.

25 Refiriéndonos ahora a las Figuras 7 y 8, en las que la Figura 7 representa un diagrama esquemático de formas de onda de temporización de señal para una secuencia de comando de escritura de una memoria y la Figura 8 representa un diagrama esquemático de formas de onda de temporización de señal para una secuencia de comando de activación de la escritura de una memoria de acuerdo con una realización de ejemplo específica de la presente revelación. Antes de escribir a la memoria 104, se puede enviar una instrucción de activación de la escritura (WREN) por el maestro, por ejemplo, el procesador digital 102, para establecer un seguro de activación de escritura (no mostrado). Una vez que se ha establecido el seguro de activación de escritura, se puede emitir una instrucción de escritura (WRITE) (incluyendo la cabecera y los bytes de dirección del dispositivo) seguidos por el byte más significativo (MSB) y el byte menos significativo (LSB) de la Dirección de Palabra. A continuación, después de que se recibe el último bit de ACK, el maestro puede transmitir a continuación el byte de datos a escribir dentro de la memoria 104.

35 Refiriéndonos a la Figura 9, se representa un diagrama esquemático de las formas de onda de temporización de señal para una secuencia de comando de desactivación de la escritura de una memoria de acuerdo con una realización de ejemplo específica de la presente revelación. La instrucción de desactivación de escritura (WRDI) puede eliminar el seguro de activación de escritura (no mostrado). El seguro de activación de escritura se puede eliminar cuando se ha ejecutado satisfactoriamente la instrucción WRDI, se ha ejecutado satisfactoriamente la instrucción (WRSR) de escritura del registro de estado, y/o se ha ejecutado satisfactoriamente la instrucción WRITE.

40 Refiriéndonos a la Figura 10, se representa un diagrama esquemático de las formas de onda de la temporización de señal para una secuencia de comando de lectura del registro de estado de una memoria, de acuerdo con una realización de ejemplo específica de la presente revelación. La instrucción de lectura del registro de estado (RDSR) puede proporcionar acceso al Registro de Estado (no mostrado) de la memoria 104. El Registro de Estado se puede leer en cualquier momento, incluso durante una operación de escritura. El Registro de Estado se puede formatear como sigue:

7	6	5	4	3	2	1	0
X	X	X	X	BP1	BP0	WEL	WIP

45 Los bits 4 - 7 se pueden reservar para los bits de ID futuras. Un bit de Escritura en Procedimiento (WIP) puede indicar si la memoria 104 está ocupada con una operación de escritura. Por ejemplo, cuando está fijado a "1", puede estar en progreso una operación de escritura, cuando está fijado a "0" no hay ninguna escritura en progreso. También se puede usar el significado opuesto del bit. Se contempla y está dentro del ámbito de la revelación que se puede usar cualquier tamaño de bits del Registro de Estado, y se puede reservar cualquier número de bits como bits de ID. El Registro de Estado puede ser una pluralidad de Registros de Estado.

50 Un bit de Seguro de Activación de Escritura (WEL) puede indicar el estado de un seguro de activación de la escritura (no mostrado). Por ejemplo, cuando está fijo a "1", el seguro de activación de escritura puede permitir escrituras a una matriz de memoria, cuando está fijo a "0", no se pueden permitir escrituras a la matriz de memoria. También se puede usar el significado opuesto del bit. Este bit puede ser de solo lectura.

Los bits de Protección de Bloque (por ejemplo BP0 y BP1) pueden indicar qué bloques están actualmente protegidos frente a escritura. Los bits BP0 y BP1 se pueden fijar mediante la instrucción WRSR. Los bits BP0 y BP1 pueden ser no volátiles.

5 Refiriéndonos a la FIG. 11, se representa un diagrama esquemático de las formas de onda de temporización de señal para una secuencia de comando de escritura del registro de estado de una memoria, de acuerdo con una realización de ejemplo específica de la presente revelación. La instrucción de Escritura del Registro de Estado (WRSR) puede permitir una selección, por ejemplo, uno de cuatro niveles, de protección de la matriz de memoria escribiendo los bits apropiados en el registro de estado. La matriz de memoria puede estar dividida en segmentos. Por ejemplo, cuatro segmentos. Cada uno de los segmentos puede estar protegido frente a escritura independientemente de los otros segmentos. La partición de los segmentos puede estar controlada como ejemplo, pero sin limitarse a lo que se indica en la tabla a continuación:

BP1	BP2	Direcciones de la Matriz Protegidas frente a escritura
0	0	Ninguna
0	1	1/4 superior de la matriz de memoria
1	0	1/2 superior de la matriz de memoria
1	1	Toda la matriz de memoria

15 Refiriéndonos a la Figura 12, se representa un diagrama esquemático de las formas de onda de temporización de señal para una secuencia de comando de borrar todo de una memoria, de acuerdo con una realización de ejemplo específica de la presente revelación. La instrucción de borrar todo (ERAL) se puede usar para borrar toda la matriz de memoria a "1", por ejemplo, '0xFF', con un comando de instrucción único. Una vez que se ha establecido el seguro de activación de escritura, se puede emitir una instrucción ERAL a continuación la matriz de memoria se puede borrar a '0xFF'.

20 Refiriéndonos a la Figura 13, se representa un diagrama esquemático de las formas de onda de temporización de señal para una secuencia de comando de escribir todo de una memoria, de acuerdo con una realización de ejemplo de la presente revelación. La instrucción de Escribir Todo (WRAL) se puede usar para fijar toda la matriz de memoria a "0", por ejemplo '0x00', con un único comando de instrucción. Una vez que se establece el seguro de activación de escritura se puede emitir la instrucción WRAL y a continuación la matriz de memoria se puede fijar a '0x00'.

REIVINDICACIONES

1. Un sistema digital, que comprende

una memoria (104) que usa un bus de nodo único, de datos, direcciones y control, que comprende:

una matriz de memoria (104) adaptada para su acoplamiento a la alimentación eléctrica (V_{DD}) y a puesta a tierra (V_{SS});

en donde, la matriz de memoria (104) está encapsulada en un encapsulado de circuito integrado de baja cuenta de terminales (SOT 23-3, SOT 23-5); y

un bus de nodo único de datos, direcciones y control (106) acoplado a dicha matriz de memoria (104), en el que la matriz de memoria (104) tiene un controlador de bus activo de conducción hacia arriba y conducción hacia abajo para controlar el bus de nodo único de datos, direcciones y control (106) y en el que la red de memoria sincroniza una señal de reloj interna de la memoria por medio de una señal recibida; y

un procesador digital (102) acoplado a la memoria (104) a través del bus de nodo único de datos, direcciones y control (106) en el que el procesador digital (102) genera una primera señal de confirmación (ACK) sobre dicho bus de nodo único de datos, direcciones y control después de la recepción de un byte de datos y genera una segunda señal de confirmación (NACK) a la recepción de un byte de datos si no se va a enviar ningún byte de datos adicional por la matriz de memoria (104).

2. El sistema digital de acuerdo con la reivindicación 1, en el que la señal recibida comprende una cabecera de comienzo codificada en binario multi-bit.

3. El sistema digital de acuerdo con la reivindicación 1 o 2, en el que la matriz de memoria (104) genera una señal de confirmación (ACK) después de la recepción de un byte por dicho controlador de bus de conducción hacia arriba y conducción hacia abajo.

4. El sistema digital de acuerdo con una de las reivindicaciones anteriores, que comprende además al menos un terminal de selección de la dirección de memoria (A0; A1).

5. El sistema digital de acuerdo con una de las reivindicaciones anteriores, en el que la matriz de memoria (104) usa un protocolo de transferencia en serie de señales seleccionado del grupo que consiste en Manchester, modulación de ancho de pulso (PWM), modulación sin retorno a cero (NRZ), modulación de la posición de pulso (PPM), codificación de desplazamiento de frecuencia (FSK), codificación de desplazamiento de fase (PSK), y codificación de desplazamiento de amplitud (ASK).

6. El sistema digital de acuerdo con una de las reivindicaciones anteriores, en el que la matriz de memoria (104) tiene una instrucción READ que lee los datos de la matriz de memoria (104) comenzando en una dirección seleccionada y una instrucción WRITE que escribe los datos a la matriz de memoria (104) comenzando en la dirección seleccionada.

7. El sistema digital de acuerdo con una de las reivindicaciones anteriores, en el que la matriz de memoria (104) tiene una instrucción WREN que establece un seguro de activación de la escritura de modo que posibilita las operaciones de escritura y una instrucción WRDI que elimina el seguro de activación de la escritura de modo que imposibilita las operaciones de escritura.

8. El sistema digital de acuerdo con la reivindicación 1, en el que la matriz de memoria (104) tiene una instrucción RDSR que lee desde una pluralidad de registros de estado y una instrucción WRSR que escribe a uno o a la pluralidad de registros de estado.

9. El sistema digital de acuerdo con la reivindicación 1, en el que la matriz de memoria (104) tiene una instrucción ERAL que borra toda la matriz de memoria (104) y una instrucción WRAL que escribe toda la matriz de memoria (104).

10. El sistema digital de acuerdo con una de las reivindicaciones anteriores, en el que la matriz de memoria (104) se selecciona del grupo que consiste en una memoria programable una vez (OTP), una memoria de solo lectura programable eléctricamente (EPROM), una memoria de solo lectura programable y borrrable eléctricamente (EEPROM), y una memoria FLASH.

11. El sistema digital de acuerdo con una de las reivindicaciones anteriores, en el que el encapsulado de circuito integrado (SOT 23-3) tiene tres terminales (V_{SS} , V_{DD} , SCIO).

12. El sistema digital de acuerdo con una de las reivindicaciones anteriores, que comprende además un encapsulado de circuito integrado (SOT 23-3; SOT 23-5) que encapsula el procesador digital (102) y la matriz de memoria (104).

13. El sistema digital de acuerdo con la reivindicación 12, en el que el encapsulado del circuito integrado SOT 23-3;

SOT 23-5) es un encapsulado de datos dual.

14. El sistema digital de acuerdo con una de las reivindicaciones anteriores 11 - 13, en el que el procesador digital (102) se selecciona del grupo que consiste en un microprocesador, un microcontrolador y procesador de señales digitales (DSP), una matriz lógica programable (PLA), y un circuito integrado de aplicación específica (ASIC).

- 5 15. El sistema digital de acuerdo con una de las reivindicaciones anteriores 11-14, en el que el procesador digital (102) es un maestro y la matriz de memoria (104) es un esclavo sobre el bus de nodo único de datos, direcciones y control (106).

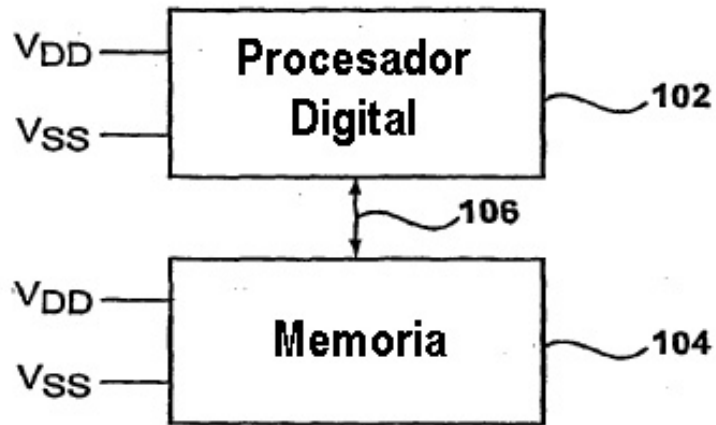


Figura 1

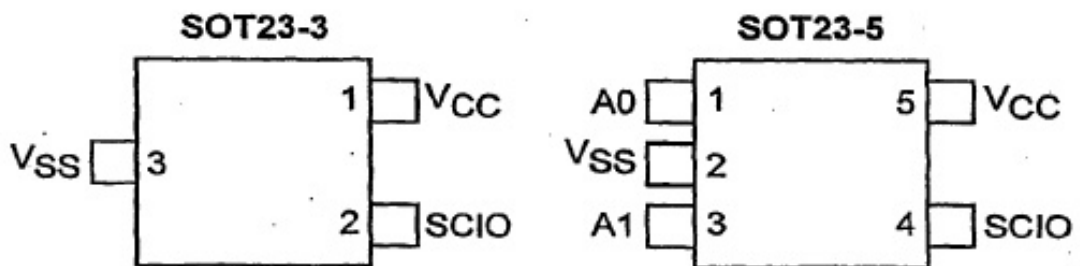


Figura 2

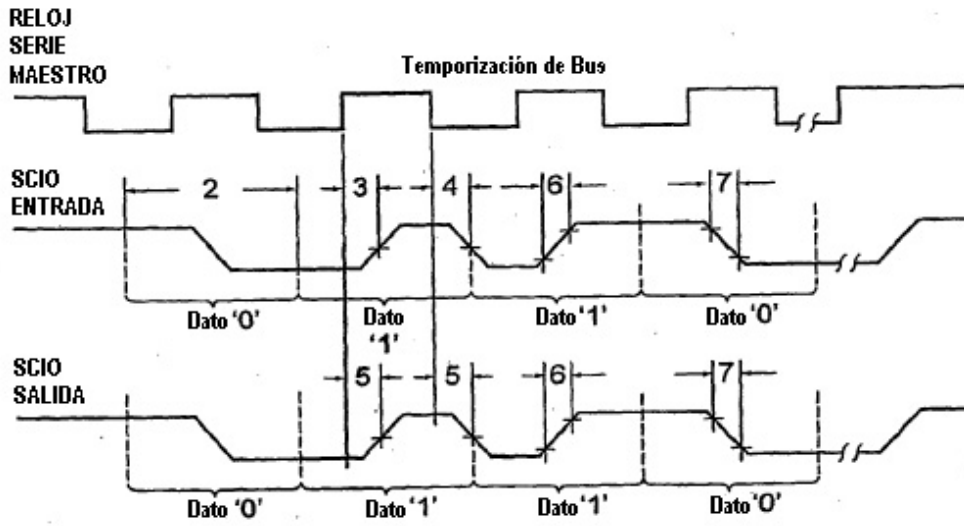


Figura 3

Asignación de byte de dirección

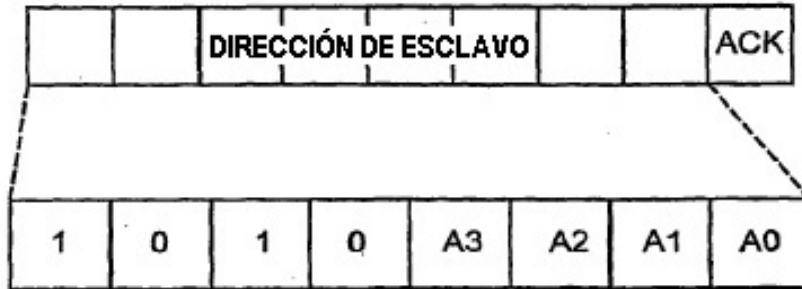


Figura 4

Nombre de Instrucción	Código de Instrucción	Cód. Hex	Descripción
READ	0000 0011	0x03	Leer datos de la matriz de memoria comenzando en dirección seleccionada
WRITE	0110 1100	0x6C	Escribir datos a la matriz de memoria comenzando en direcc. seleccionada
WREN	1001 0110	0x96	Fijar el seguro de activación de escritura (posibilita operac. de escritura)
WRDI	0000 0001	0x01	Eliminar el seguro de activación de escritura (inhab. operac. de escritura)
RDSR	0000 0101	0x05	Leer el registro de estado
WRSR	0110 1110	0x6E	Escribir el registro de estado
ERAL	0110 1011	0x6B	Borrar toda la matriz de memoria a '0xFF'
WRAL	0110 0111	0x67	Fijar toda la matriz de memoria a '0x00'

Figura 5

Lectura

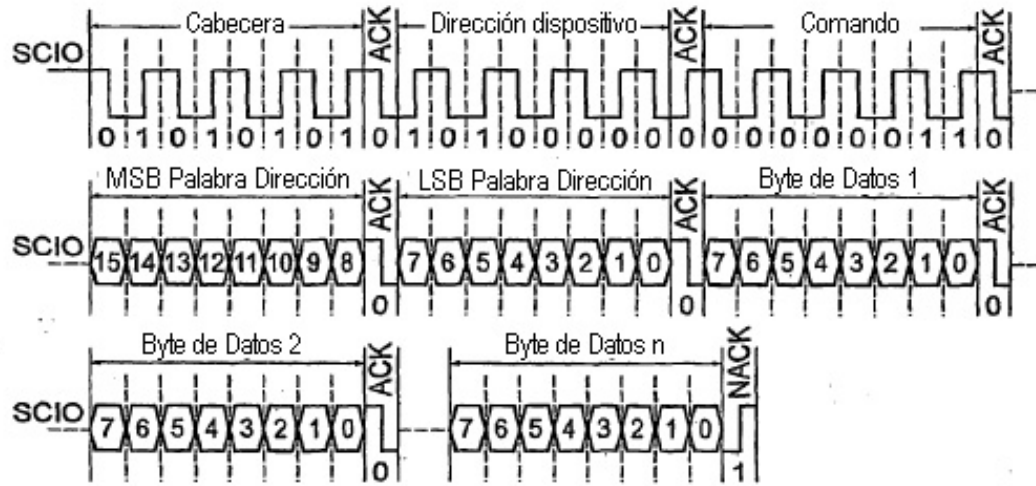


Figura 6

Escritura

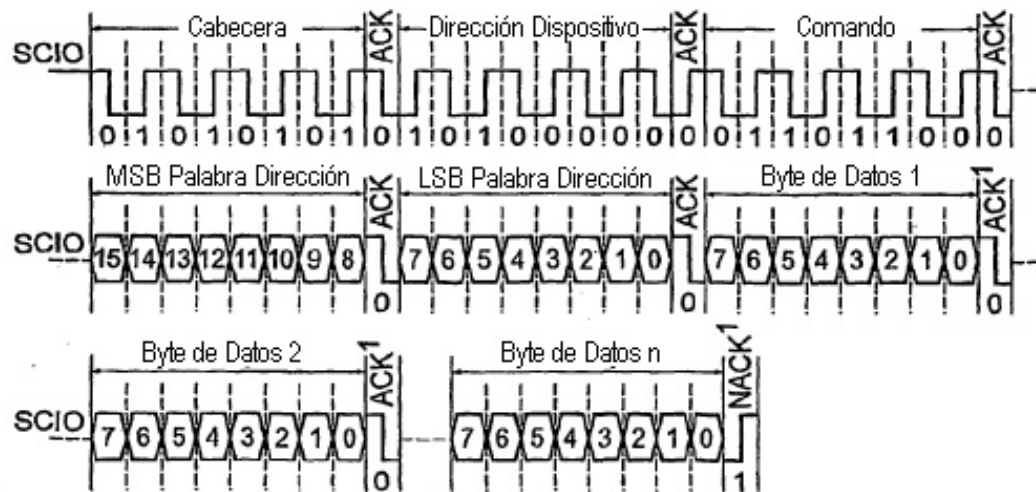


Figura 7

Activación de Escritura

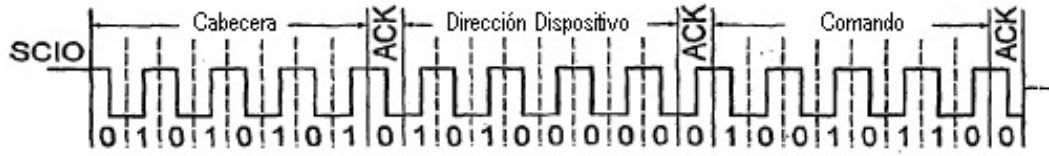


Figura 8

Desactivación de Escritura

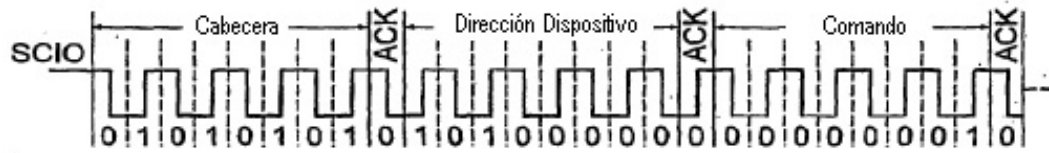


Figura 9

Lectura Registro de Estado

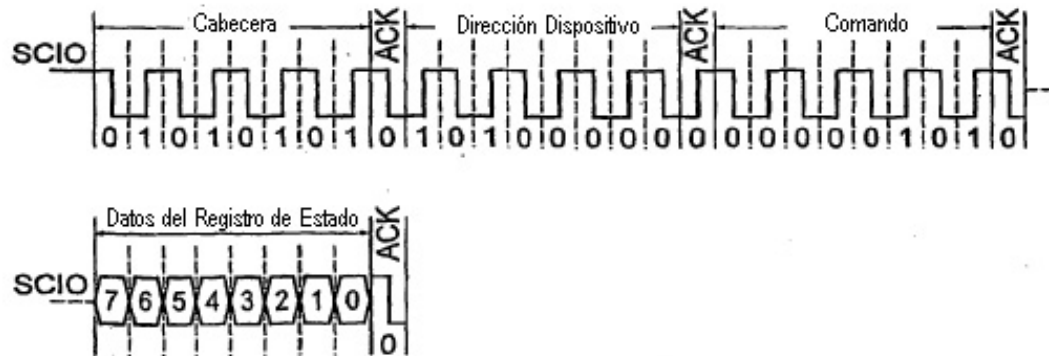


Figura 10

Escritura Registro de Estado

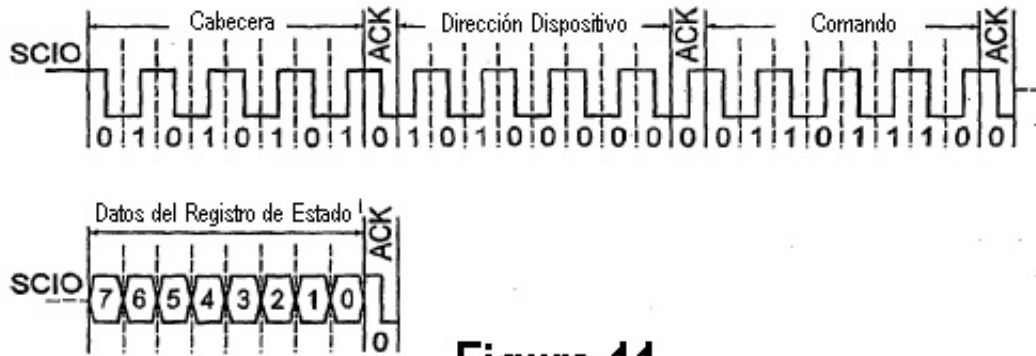


Figura 11

Borrar Todo

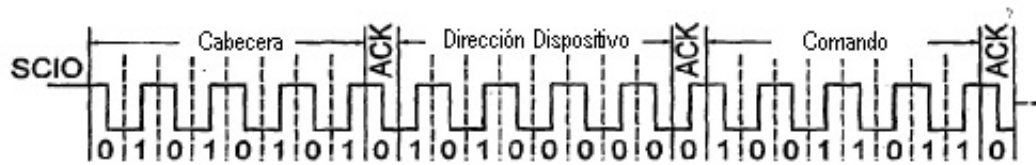


Figura 12

Escribir Todo

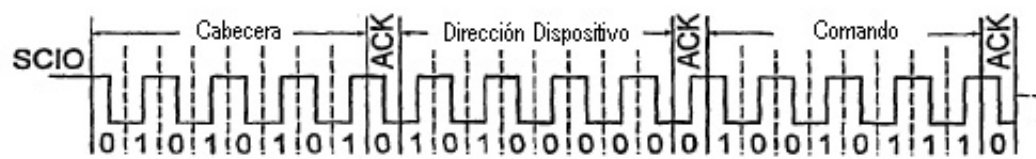


Figura 13