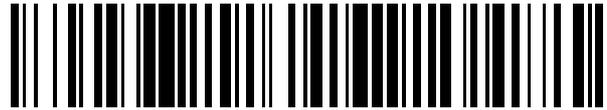


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 464 158**

51 Int. Cl.:

**G01R 31/02** (2006.01)

**H02H 1/00** (2006.01)

**H02H 3/00** (2006.01)

**H02H 3/44** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **01.09.2006 E 06814127 (4)**

97 Fecha y número de publicación de la concesión europea: **23.04.2014 EP 1924862**

54 Título: **Sistema interruptor de circuito por fallo de arco**

30 Prioridad:

**13.09.2005 US 225293**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**30.05.2014**

73 Titular/es:

**SCHNEIDER ELECTRIC USA, INC. (100.0%)  
1415 S. Roselle Road  
Palatine, Illinois 60067, US**

72 Inventor/es:

**DVORAK, ROBERT F. y  
WONG, KON B.**

74 Agente/Representante:

**MILTENYI, Peter**

**ES 2 464 158 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

**Sistema interruptor de circuito por fallo de arco**5 Campo de la invención

La presente invención se refiere a la protección de circuitos eléctricos y, más concretamente, a la detección de fallos eléctricos de tipo conocido como fallos de arco en un circuito eléctrico.

10 Antecedentes de la invención

Los sistemas eléctricos en aplicaciones residenciales, comerciales e industriales en general incluyen un cuadro eléctrico para recibir energía eléctrica de una red eléctrica. La energía se transmite entonces a través de unos dispositivos de protección a unos circuitos de derivación designados que suministran una o más cargas. Estos dispositivos de sobrecorriente normalmente son interruptores de circuito, tales como disyuntores y fusibles, que están diseñados para interrumpir la corriente eléctrica si se superan los límites de los conductores que llevan las cargas.

Los disyuntores son un tipo interruptor de circuito preferido dado que un mecanismo de restablecimiento permite su reutilización. Típicamente, los disyuntores interrumpen un circuito eléctrico debido a una condición de desconexión o de disparo tal como una sobrecarga de corriente o fallo de conexión a tierra. La condición de sobrecarga de corriente se produce cuando la corriente supera el valor nominal continuo del disyuntor para un intervalo de tiempo determinado por la corriente. Una condición de disparo de fallo de conexión a tierra se crea por un desequilibrio de las corrientes que pasan entre un conductor de línea y un conductor neutro que podría producirse por una fuga de corriente o un fallo de arco de conexión a tierra.

Los fallos de arco se definen comúnmente como la corriente que pasa por un gas ionizado entre dos extremos de un conductor roto o en un contacto o conector defectuoso, entre dos conductores que llevan una carga, o entre un conductor y tierra. Sin embargo, los fallos de arco no pueden provocar que un disyuntor convencional se dispare. Los niveles de corriente de fallo de arco pueden reducirse mediante una derivación o impedancia de carga a un nivel por debajo de los ajustes de la curva de disparo del disyuntor. Además, un fallo de arco que no hace contacto con un conductor o persona con conexión a tierra no disparará un protector de fallo de conexión a tierra.

Existen muchos estados que pueden producir un fallo de arco. Por ejemplo, cables, conectores, contactos o aislamiento corroído, gastado o envejecido, conexiones sueltas, cables dañados por clavos o grapas a través del aislamiento y una tensión eléctrica producida por una sobrecarga repetida, impactos de rayos, etc. Estos fallos pueden dañar el aislamiento de los conductores y/o hacer que el conductor alcance una temperatura inaceptable.

Los requisitos del código eléctrico nacional permiten en la actualidad que los interruptores de circuito por fallo de arco (AFCIs) para tomas de corriente que alimentan circuitos de derivación en dormitorios en todas las unidades de una vivienda sean de tipo alimentador de ramales. El alimentador de ramales es capaz de detectar fallos de arco en paralelo (es decir, formación de arcos a través de la línea) iguales o superiores a 75 amperios. Estos dispositivos están diseñados principalmente para proteger el cableado de derivación desde el panel de disyuntores hasta la toma de corriente y hasta cierto punto los dispositivos enchufados en esas tomas de corriente. A partir del 1 de enero de 2008, el Código Eléctrico Nacional requerirá AFCIs de tipo "combinación" que proporcionan un mayor grado de protección para tomas de corriente que suministran circuitos de derivación de un dormitorio. Los AFCIs de combinación son capaces de proporcionar toda la protección que ofrece un AFCI de un alimentador de ramales, pero, además, son capaces de detectar fallos de arco en serie (es decir, un arco en serie con cualquier conductor de línea) tan bajo como 5 amperios. Dicho fallo podría producirse, por ejemplo, en un cable de una lámpara o un aparato para un dispositivo conectado a una toma de corriente.

En conocido en la técnica la detección de fallos de arco en un alimentador de derivación para medir componentes espectrales de alta frecuencia en el espectro de la corriente de una carga de formación de arcos. Si hay presente un contenido espectral suficiente en determinadas bandas de frecuencias, esto puede tenerse en cuenta y utilizarse para detectar el fallo de arco utilizando un algoritmo de detección de procesamiento de señales. Uno de los retos en la detección de fallos de arco en serie en la norma de nivel de detección de amperaje relativamente inferior especificado para un AFCI de tipo combinación es medir correctamente la amplitud de los componentes de alta frecuencia debido a que estos componentes de alta frecuencia son reducidos, en comparación con fallos de arco de alimentadores de ramales, a bajos niveles de corriente de formación de arco de un fallo de arco en serie. Este reto se ve agravado por el hecho de que pueden haber presentes cargas inductivas en serie con el arco, tales como un motor eléctrico, y estas cargas tienden a atenuar la amplitud de la firma de alta frecuencia. Se da un problema adicional por la presencia de ordenadores personales y otros equipos electrónicos que proporcionan un filtrado

capacitivo de la línea de alimentación. Estos filtros efectivamente cortocircuitan parte de la señal de alta frecuencia cuando se conecta al mismo circuito que el arco que requiere ser detectado.

5 Realizaciones de la presente invención abordan una necesidad en la técnica de un AFCI de tipo combinación. Más concretamente, realizaciones de la presente invención responden a una necesidad en la técnica de detectar la presencia de componentes de corriente de alta frecuencia en corrientes de formación de arco en serie de amperaje de bajo nivel.

10 US 6.504.692 B1 describe un dispositivo que detecta fallos de arco en serie y en paralelo curso arriba y curso abajo.  
US 6.128.169 describe un detector de fallos de arco con un interruptor de circuito y detección temprana de fallo de arco.

15 US 5.341.265 describe un sistema para detectar un fallo de alta impedancia en un conductor de fase que tiene un dispositivo de potencial conectado al conductor de fase.

US 2004/0042137 A1 describe un procedimiento para determinar si la formación de arco está presente en un circuito eléctrico.

20 US 6.259.996 B1 describe un sistema de detección de fallo de arco para detectar fallos de formación de arco en un sistema de distribución eléctrica.

#### Descripción de la invención

25 Un objetivo de la presente invención es disponer un circuito y un procedimiento para determinar si la formación de arco está presente en un circuito eléctrico, proporcionando dicho dispositivo y procedimiento una detección mejorada de ruido de banda ancha.

30 De acuerdo con una realización de la invención, se presenta un circuito para determinar si la formación de arco está presente en un circuito eléctrico en respuesta a una señal de sensor correspondiente a la corriente en dicho circuito eléctrico. El circuito comprende un circuito de filtro para analizar dicha señal de sensor para determinar la presencia de ruido en un rango de frecuencias predeterminado. El circuito de filtro incluye por lo menos dos filtros de paso de banda que tienen diferentes pasos de banda, produciendo cada filtro de paso de banda una señal filtrada correspondiente. El circuito incluye también un circuito comparador, que incluye un comparador para cada filtro de  
35 paso de banda, recibiendo cada comparador una tensión umbral de referencia correspondiente, pudiendo funcionar cada comparador para comparar la señal filtrada correspondiente con la tensión umbral de referencia correspondiente para generar una señal de salida correspondiente. El circuito incluye también un circuito selector de tensión para cada uno de los comparadores, recibiendo cada circuito selector de tensión una pluralidad de tensiones umbral y pudiendo funcionar para seleccionar uno de esas tensiones umbral como tensión umbral de referencia para  
40 la aplicación a su circuito comparador correspondiente. La pluralidad de tensiones umbral incluye una tensión útil para detectar fallos en arco en paralelo en el circuito eléctrico y otra tensión útil para detectar fallos en arco en serie en el circuito eléctrico. El circuito incluye, además, un controlador adaptado para operar circuitos selectores de tensión para seleccionar las tensiones umbral de referencia para permitir detectar un fallo de arco en paralelo o un fallo de arco en serie, o ambos, en base a las señales de salida.

45 Breve descripción de los dibujos

En los dibujos: las figuras 1a y 1b forman un esquema de circuito de un sistema interruptor de circuito por fallo de arco de acuerdo con la invención;

50 La figura 2 es un diagrama funcional que muestra otros detalles de un chip de circuito integrado de aplicación específica que forma parte de un sistema de las figuras 1a y 1b;

La figura 3 es un diagrama de bloques funcional que ilustra el funcionamiento de una parte del circuito digital del chip de la figura 2;

55 La figura 4 es un esquema de circuito un circuito de procesamiento de señales que forma parte del chip de la figura 2; y

La figura 5 es un esquema de circuito de una realización alternativa del circuito ilustrado en la figura 3.

#### Descripción detallada de la realización ilustrada

60 Se hace referencia ahora a las figuras 1a y 1b que ilustran un esquema de circuito de un sistema interruptor de circuito por fallo de arco de acuerdo con una realización de la invención. En una realización preferida, pero no limitativa, el circuito es representativo de una solución de sistema en chip para la detección de fallo de arco principalmente para su uso en disyuntores o tomas de corriente eléctrica, u otros aparatos eléctricos, típicamente

limitados a 15 o 20 amperios, pero sin limitarse a éstos. Un microchip (es decir, un circuito integrado -CI) 10 está instalado en una placa de circuito impreso electrónica 12 con un mínimo de componentes externos para proporcionar un sistema que permite la detección de fallo de arco y disparo del dispositivo de conexión anfitrión. El microchip del sistema en chip 10 puede comprender un circuito integrado de aplicación específica (ASIC) que  
 5 combine procesamiento de señales analógicas y digitales en un único chip de circuito integrado. En la figura 2 se muestra un diagrama de bloques del chip 10.

El microchip 10 controla la tensión y la corriente de la línea en el dispositivo anfitrión y analiza la presencia de un fallo de arco. Si se cumplen ciertos criterios de detección de arco según se determina por un algoritmo de formación  
 10 de arco incorporado en el software de la memoria (ROM) 18 del chip 10, el chip envía señales a un SCR externo 98 (véase figura 1a) haciendo que la bobina de disparo 100 (que se describe a continuación) desconecte el dispositivo de la carga.

El ASIC incluye generalmente un procesador o microcontrolador 14, memorias (RAM 16 y ROM 18), etapas  
 15 amplificadoras, filtros, convertidor A/D, multiplexor analógico, un regulador de tensión y un circuito de restablecimiento de conexión. Las tareas del ASIC son: medir la tensión de la línea, detectar ceros de tensión, medir corriente de línea de 60 Hz, medir corriente de fallo de conexión a tierra, detectar bucles de conexión a tierra (neutro a tierra) en la línea neutra, detectar componentes de alta frecuencia de la corriente de línea, proporcionar una regulación de la tensión para todos los circuitos ASIC, detectar la presencia de una señal para comenzar  
 20 autocomprobación, generar una corriente de alta frecuencia de autocomprobación, proporcionar un restablecimiento de baja tensión (POR) para el microcontrolador, proporcionar una señal de disparo para activar un accionador del solenoide, proporcionar un control para restablecer el microcontrolador, y tomar una decisión de disparo en base al código incrustado en el microcontrolador.

25 El ASIC puede funcionar en dos modos diferentes:

El modo "normal" corresponde al modo en el que el procesador 14 es el maestro. En el modo normal, el microprocesador controla la tasa de conversión de datos (A a D), contadores, interrupciones y memorias de datos. El microprocesador 14 ejecuta el código almacenado en una memoria ROM 18. Además, el microprocesador 14  
 30 controla la actividad de todos los bloques analógicos forzando una "desconexión" de la señal con el fin de limitar la disipación de potencia. Este modo es el modo de funcionamiento normal del ASIC.

El modo "esclavo" corresponde al modo en que el procesador 14 es el esclavo y está controlado por una interfaz o puerto de canal de comunicación estándar (por ejemplo, un JTAG) 15 (véase figuras 1a y 1b). Pueden realizarse dos  
 35 operaciones principales en este modo utilizando la interfaz JTAG 15: modo de depuración y transferencia de datos y valores de registro. El puerto JTAG puede utilizarse para conectar un ordenador personal (PC) u otro procesador externo al ASIC, utilizando el procesador 14 del ASIC como procesador esclavo. Esto permite la interrogación de los contadores, registros del ASIC, etc., así como la reescritura de memorias, registros, etc. del ASIC. Los puertos JTAG 15 incluyen puertos de entrada/salida de datos (TDI, TDO) y puertos de restablecimiento (TRST), reloj (TCLK) y  
 40 selección de modo (TMS).

El procesador 14, en una realización, es el ARM7 TDMI de la firma ARM. El ARM7 tiene un circuito de exploración de límites alrededor de su interfaz que se utiliza para la prueba de producción o para la conexión a una interfaz de emulador en circuito (ICE) (es decir, el JTAG) para depuración de sistema y software. La interfaz JTAG es accesible  
 45 a través de los pines TDI, TDO, TMS, TCLK y TRST y se comporta tal como se indica en la especificación JTAG.

El procesador es de 32 bits de ancho y tiene una frecuencia de CPU de 12 MHz. Un resonador externo 90 (figura 1b) tiene una frecuencia de 24 MHz que está dividida en dos para la CPU. El microprocesador analiza corriente, fallo de conexión a tierra y señales di/dt y mediante un algoritmo de detección de arco ejecutado por el procesador toma una  
 50 decisión de disparo, utilizando la presencia de ruido de banda ancha y picos de corriente y el tiempo de subida (di/dt). Uno de dichos algoritmos para realizar esta detección se describe en la patente americana 6.259.996, concedida el 10 de julio 2001. Aunque la tensión de la línea se envía al microprocesador, ésta puede utilizarse opcionalmente por el algoritmo para efectuar diversos niveles de detección de arco según lo dictado por el software integrado. El microprocesador utiliza la señal de paso por cero para sincronizar el algoritmo de detección de arco  
 55 con la tensión de la línea.

Existen diferentes dominios de reloj en el ASIC: Un reloj para el ARM, el controlador y las memorias del bus. La frecuencia del reloj del microprocesador es de 12 MHz. Los relojes para los periféricos (contadores, elemento de control, ADC, filtros BP) son de una frecuencia de 4 MHz, 1 MHz y 250 KHz. Estos relojes son fijos y derivan de los  
 60 relojes ARM.

Existen dos dominios de memoria. La memoria del programa, que contiene el software para el funcionamiento del ARM, contiene una ROM de 14 kb 18 (3584 palabras de 32 bits) y la dirección inicial de la memoria del programa es

0000:0000hex. La memoria de datos 16 contiene los datos del programa y consiste en dos memorias RAM 16 de 192 bytes x 16 bits para un total de 768 bytes. El acceso a memoria puede ser de 32 bits o de 16 bits de ancho. El ARM selecciona el modo de acceso. La dirección inicial de memoria de datos es 0004:0000hex. Además de las memorias, el procesador también puede acceder a los registros. La dirección inicial de la memoria de registro es 5 0008:0000hex.

A continuación se describen brevemente los distintos bloques funcionales (véase figura 2), y su funcionamiento respectivo:

10 Un regulador de 3,3V 20 proporciona una fuente de alimentación de CC con ajuste fino para utilizarla mediante las secciones analógicas y digitales del chip. La entrada al chip sólo requiere que sea regulada de manera aproximada dentro de unos límites amplios, por ejemplo, de 4 a 7 voltios.

15 El POR o circuito de inicialización 22 detecta alimentación de tensión regulada del chip y mantiene el microcontrolador en estado de restablecimiento cuando la tensión se encuentra por debajo de un límite de funcionamiento seguro.

20 El circuito de referencia analógico (AREF) 24 proporciona un punto de referencia para las señales de entrada en el punto medio de la fuente de alimentación analógica para permitir que las señales amplificadas oscilen tanto positivas como negativas. El AREF se conecta externamente al pin REFIN.

25 Un amplificador diferencial VL/VN 28 mide diferencialmente la tensión de la línea en los terminales del dispositivo anfitrión a través de un divisor de tensión situado externamente 29 (figura 1b). La señal de tensión es filtrada con un filtro de paso bajo, tal como se muestra en el bloque de filtro de paso bajo 30 para eliminar el ruido de alta frecuencia o armónicos y proporcionar anti-solapamiento. La señal filtrada se envía a un primer canal de un multiplexor 32 y también a la entrada de un detector de paso por cero 34. La tensión de salida en el pin VCAP y un condensador externo 91 (figura 1b) proporciona un filtro de paso bajo de anti-solapamiento (LPF) para el convertidor A/D 86. El rango de entrada diferencial típico en las entradas es de + /-0,65V.

30 Un comparador utilizado para el detector de paso por cero 34 a la salida del amplificador de diferencial de tensión de la línea 28 detecta los pasos por cero (ZC) en la tensión de línea para utilizarlo en la sincronización de un algoritmo de detección de arcos.

35 Un amplificador 36 en la entrada INTEG amplifica la salida integrada externamente de un sensor di/dt antes de que sea filtrada por un filtro de paso bajo 38 para anti-solapamiento y se envía a un segundo canal (I) del multiplexor 32 anteriormente referenciado.

40 La salida de un sensor de di/dt 25 (véase la figura 1) que controla la corriente de línea a través del dispositivo anfitrión está conectado a la entrada de un amplificador di/dt 40 después de que ha sido filtrado mediante un filtro de paso alto por medio de unos condensadores de filtrado 42 (figura 1b) para eliminar la componente de 60 Hz. La señal di/dt se amplifica en el amplificador 40 y se envía a la entrada de tres filtros de paso de banda 50, 52, 54. El ruido de banda ancha en el rango de 10 KHz a 100 KHz que aparece en la entrada DIDDT es un indicador de la presencia de formación de arco (tanto para el alimentador de ramales como fallos de arco en serie).

45 La figura 3 muestra un diagrama de bloques más detallado del sistema de detección di/dt que soporta tanto la detección de fallo de arco del alimentador de ramales como la detección de fallo de arco en serie. Tres filtros de paso de banda (BPF) de condensadores conmutados (SC) 50, 52 y 54, con frecuencias centrales establecidas, respectivamente, a 20, 33 y 58 KHz, filtran la señal di/dt para determinar si hay ruido de banda ancha en la corriente de la línea. El filtro de BP de 20 KHz tiene un factor calidad típico Q de 4. Tanto los filtros de BP de 33 como de 58 KHz tienen un Q típico de 8. La salida de los filtros se controla por medio de un conjunto de comparadores 60 cuyas salidas varían de estado cuando un tensión umbral predeterminada seleccionable es superada por la tensión de la señal de salida del filtro correspondiente. El ajuste de las tensiones umbral permite realizar un ajuste del dispositivo para detección de fallo de arco del alimentador de ramales o detección de fallo de arco en serie, o ambas. El microprocesador 14 (figura 2) controla los contadores 64, 66, 68 y 70 para determinar la presencia de ruido de 55 banda ancha indicativo de fallos de arco del alimentador de ramales y fallos de arco en serie, o ambos. En una implementación preferida, las salidas de los comparadores 60 y las salidas de los puertos AND 62 se sincronizan mediante el mismo reloj ( $f_1$  y  $f_2 = 1$  MHz, por ejemplo) como filtros de paso de banda de condensador conmutado 50, 52 y 54 ( $f_3 = 1$  MHz, por ejemplo).

60 En la realización de ejemplo que se ilustra en la figura 3, hay que señalar que la aplicación del operador AND del comparador de 33 KHz y de 58 KHz envía señales entre sí y el reloj garantiza que los componentes de alta frecuencia en el paso de banda tanto del filtro de 33 KHz como el de 58 KHz tengan que estar presentes simultáneamente y tengan la suficiente amplitud (en función de la detección de fallos de arco del alimentador de

ramales y/o detección de fallo de arco en serie) con el fin de tener en cuenta el ruido de banda ancha y, por lo tanto, ser contado por el contador 33/58 64. Se entenderá que cualquier combinación de dos o más salidas del comparador pueden ser operadas con un operador AND lógico (con la señal de sincronización, si se desea).

5 Se disponen unos contadores independientes 66, 68 y 70 para contar de manera individual los componentes de las bandas de paso de los BPFs de 20 KHz, 33 KHz y 58 KHz, respectivamente, con el fin de determinar si los componentes de alta frecuencia en los componentes individuales de las bandas de paso son de una amplitud suficiente (dependiendo de la detección de fallo del alimentador de ramales y/o detección de fallo de arco en serie) con el fin de ser considerado ruido indicativo de un evento de fallo de arco.

10 El ASIC proporciona una amplificación de la señal de entrada di/dt y realiza un procesamiento de señales analógicas. Tal como se ha descrito anteriormente, la señal que va a través de los tres filtros de paso de banda de condensador conmutado independientes 50, 52 y 54 (a diferentes frecuencias de 20, 33 y 58 KHz) se compara por medio de los comparadores 60 con una tensión umbral de referencia seleccionable. Esta comparación puede realizarse en una o ambas direcciones (positiva y negativa). En una implementación preferida, se proporcionan tres tensiones umbral ( $V_{1\text{THD}}$ ,  $V_{2\text{THD}}$ , y  $V_{3\text{THD}}$ ), aunque se entenderá que puede suministrarse cualquier número plural de tensiones y seleccionarse selectivamente para su uso. Se dispone un circuito selector de tensión 61, operable bajo el control del microprocesador 14, para cada uno de los comparadores 60. Cada circuito selector 61 recibe las tres tensiones umbral e incluye un circuito de conmutación 63 que selecciona una de las tensiones umbral recibidas para enviarse como tensión de comparación al comparador correspondiente 60. El microprocesador 14 carga un circuito de registro umbral 65 con datos de selección de tensión. En respuesta a los datos de selección de tensión almacenados en el circuito de registro 65, cada uno de los circuitos selectores 61 funciona para seleccionar una tensión designada de las tres tensiones umbral ( $V_{1\text{THD}}$ ,  $V_{2\text{THD}}$ , y  $V_{3\text{THD}}$ ) para aplicación al comparador correspondiente 60.

25 Tal como se ha descrito anteriormente, las salidas de los comparadores controlan contadores independientes 66, 68 y 70. La combinación booleana AND de las salidas del comparador BP de 33 y 58 KHz controla un cuarto contador 64. Todas las salidas del comparador se sincronizan en el reloj de condensador conmutado (1 MHz) y son estables durante cada período de 1µs. Los contadores pueden restablecerse o desactivarse por software. En la primera etapa se coloca un filtro anti-solapamiento. La frecuencia de corte es típicamente de 150 KHz. La frecuencia de reloj de muestreo de los filtros de paso de banda es  $F_{1\text{MHz}}$ . Se disponen unos diodos anti-paralelos de sujeción entre los pines ARED y DIDT internos al ASIC.

30 La función de dominio Z de los filtros de paso de banda de condensador conmutado puede describirse mediante la siguiente expresión:

$$Y_i = a (X_i - X_{i-1}) - bY_{i-1} - c Y_{i-2}$$

donde  $X_i$  e  $Y_i$  son, respectivamente, las muestras i-ésimas de tensiones de entrada y salida y a, b y c son los coeficientes de filtro. La siguiente tabla presenta coeficientes de ejemplo para los filtros de paso de banda.

Coeficiente de BP normalizado	20 KHz	33 KHz	58 KHz
a	0,031	0,026	0,047
b	-1,953	-1,932	-1,825
c	0,969	0,974	0,952

45 La salida de un transformador de detección de fallo de conexión a tierra 35 (figura 1b) está conectada a la entrada de un amplificador GFIN 80 (figura 2), que tiene una alta ganancia para amplificar la pequeña salida del sensor. La señal de fallo de conexión a tierra es amplificada y filtrada a través de un filtro de paso bajo (82) (figura 2) para anti-solapamiento antes de enviarse al tercer canal del multiplexor 32 (figura 2).

Haciendo referencia ahora a la figura 4, en la misma se muestra un circuito que realiza amplificación y filtrado de paso bajo (LP) de anti-solapamiento de la tensión de entrada de fallo de conexión a tierra (GF) antes de una conversión A a D. Los diodos antiparalelos de sujeción 87 (véase figura 1b) se colocan entre los pines AREF y GFIN para una protección transitoria.

50 El multiplexor 32 (figura 2) selecciona alternativamente entre los tres canales de entrada, es decir, corriente, tensión de línea o fallo de conexión a tierra y pasa la señal seleccionada a la entrada de un convertidor analógico a digital (A/D) (ADC) 86 (figura 2). El convertidor analógico a digital 86 es un convertidor sigma delta de un canal que alternativamente digitaliza las señales de corriente, tensión de línea y fallo de conexión a tierra para su análisis por el microprocesador.

La señal de corriente de la línea en el pin INTEG del ASIC se obtiene mediante un filtro de paso bajo externo 84 colocado a la salida de la bobina di/dt 25 (figura 1a). El ASIC amplifica la señal INTEG. Mediante un condensador externo 88 (figura 1b) colocado en el pin ICAP antes de la etapa de conversión A a D se obtiene un filtro LP anti-solapamiento.

5

El elemento de control (WD) 92 monitoriza el funcionamiento del microprocesador ARM 14. Si el software no restablece el contador del elemento de control en tiempos periódicos, el elemento de control genera un restablecimiento completo del microprocesador. Alternativamente, esto podría utilizarse para provocar una condición de disparo. El elemento de control se basa en un contador periódico de 13 bits de ancho que es accionado por el

10

reloj de 250 KHz. El contador se pone a cero por software con la dirección WDG\_RST. Escribiendo un 1 en esta dirección el contador se pone a cero. Tal como se ha indicado, el elemento de control debe ponerse a cero solamente en una ventana de tiempo específica, de lo contrario se genera un restablecimiento completo. Si el elemento de control se restablece antes de que el contador llegue a  $2^{12}$  o si el contador no se restablece antes de que el contador llegue a  $2^{13}$ , el reinicio del elemento de control se genera para el ARM y para contador del WD.

15

Para permitir que el ARM compruebe el valor del elemento de control puede leerse el MSB (12 bits) y si el valor es 1 el procesador debe poner a cero el contador.

20

Cuando el elemento de control genera una puesta a cero se establece un registro específico para indicar que se ha producido un restablecimiento del elemento de control. Este valor de registro puede leerse incluso después del restablecimiento.

25

Cuando se llega a una decisión de disparo, un buffer de señal de disparo 96 cierra y acciona la puerta de un SCR 98 de un circuito de disparo externo (figura 1a). Con el fin de conservar la energía almacenada durante la secuencia de disparo, el microprocesador se detiene y partes de los circuitos analógicos se desactivan. El SCR 98 está conectado en serie con una bobina de disparo (solenoides) 100. En estado conectado, el SCR 98 hace que la bobina 100 se cortocircuite momentáneamente a través de la línea para desenclavar mecánicamente los contactos del dispositivo anfitrión y posteriormente interrumpir el flujo de corriente (véase, por ejemplo, la patente americana 5.682.101. Un varistor V1 se conecta a través de los terminales de CA de un puente de diodos CR1. El varistor V1 funciona de

30

supresor de transitorios. Los terminales de CC del puente de diodos CR1 están conectados entre los terminales del SCR 98. El nivel de tensión del SCR 98 lo establece el circuito de referencia de tensión 99 que también genera tensiones de alimentación para el chip ASIC 10. La señal de disparo generada en el pin TRIP del chip ASIC 10 funciona para suministrar corriente a la puerta del SCR, que carga el condensador C1 conectado entre el terminal de control SCR y tierra. Cuando el SCR se activa, el puente de diodos CR1 es cortocircuitado por el SCR, que hace que

35

la corriente pase a través de la bobina de disparo 100. Una resistencia R1 está conectada en paralelo con el condensador C1.

40

Se incluye también un circuito 101 conectado alrededor del puente de diodos CR1. Una primera rama capacitiva/resistiva en serie 103 está conectada a un terminal del varistor V1 en el lado de CA del puente de diodos CR1, mientras que una segunda rama capacitiva/resistiva en serie 105 está conectada al otro terminal del varistor V1 también en el lado de CA del puente de diodos CR1. Esta primera y segunda rama 103/105 están conectadas a un primer par de terminales de un segundo puente de diodos CR2. Uno del otro par de terminales del segundo puente de diodos CR2 está conectado en el lado de CC del primer puente de diodos CR1, mientras que un segundo de esos terminales está conectado al circuito de referencia de tensión 99.

45

El circuito de prueba (PTT) 102 monitoriza el estado de un botón de prueba (PTT) 104. Al pulsar el botón de prueba, se aplica una tensión de línea a través de un divisor de tensión externo en el circuito 102 a la entrada de PTT del chip 10. El circuito detecta que se está solicitando una prueba del sistema y envía una señal al microprocesador para entrar en un modo de prueba. La activación del botón de prueba 104 (no forma parte del ASIC) es detectada

50

por el comparador PTT 93 (figura 2) como una tensión en un pin PTT ("push-to-test").

Con el microprocesador en modo de prueba, el buffer de señal de prueba 106 actúa como fuente de corriente que conduce un bobinado de prueba 45 (figura 1a) del sensor di/dt con una onda cuadrada de flancos marcadamente ascendentes y descendentes en cada una de las frecuencias centrales de los filtros de paso de banda, es decir, en

55

cada una de las frecuencias 20 KHz, 33 KHz y 58 KHz. Un par de diodos protectores anti-paralelos D1 y D2 desechan transitorios.

Se hace referencia ahora a la figura 5 donde se muestra un diagrama esquemático de una implementación del circuito alternativa a la mostrada en la figura 3. En el circuito de la figura 5 se suministra una única tensión umbral de

60

referencia  $V_{THD}$ . Un divisor de tensión resistivo 67 está asociado a cada circuito selector 61 que es con derivación con el fin de proporcionar la pluralidad de tensiones umbral (por ejemplo,  $V1_{THD}$ ,  $V2_{THD}$ , y  $V3_{THD}$ , tal como se ha descrito anteriormente) para una aplicación selectiva al comparador correspondiente 60.

## ES 2 464 158 T3

La siguiente lista describe brevemente cada pin del ASIC 10.

Nombre	Tipo	Descripción
5 VSUP	Potencia	Tensión de alimentación del ASIC positiva alta
VDDA	Potencia	Tensión de alimentación del ASIC positiva analógica y salida del regulador
VDD	Potencia	Tensión de alimentación del ASIC positiva digital (entrada)
AGND	Potencia	Conexión a tierra analógica
10 GND	Potencia	Conexión a tierra digital
INTEG	Analógico	Entrada para medición de corriente
ICAP	Analógico	Entrada para el filtro LP
REFIN	Analógico	Sentido de entrada de la tensión de referencia
AREF	Analógico	Salida de referencia analógica
15 DIDT	Analógico	Entrada para la medición DIDT
TEST	Analógico	Señal de salida de prueba
TRIP	Analógico	Señal de salida de disparo
VL	Analógico	Entrada para la medición de la tensión
VN	Analógico	Entrada para la medición de la tensión
20 VCAP	Analógico	Entrada para el filtro LP
PTT	Analógico	Señal de entrada PTT
CLKI	Analógico	Reloj de cuarzo de entrada
CLKO	Analógico	Reloj de cuarzo de salida
GFIN	Analógico	Señal de entrada para la medición de GF
25 GFOUT	Analógico	Salida de la etapa de ganancia
GFLF	Analógico	Entrada para el filtro LP
GPIO1	Digital	Bi-direccional
GPIO2	Digital	Bi-direccional
TDI	Entrada digital	Entrada de datos
30 TDO	Salida digital	Salida de datos
TCLK	Entrada digital	Entrada reloj
TMS	Entrada digital	Entrada selección
TRST	Entrada digital	Entrada restablecimiento (bajo activo)

### 35 Descripción operativa adicional

Con referencia una vez más a la figura 3, el inductor 25 funciona como sensor di/dt para controlar la corriente de línea que pasa a través del dispositivo interruptor de circuito por fallo de arco. La salida del sensor se conecta al ASIC por medio de un divisor de tensión formado por resistencias R4 y R5 (que tienen una relación de ejemplo de 40 1/4). Toda la salida del sensor se conecta también a un integrador RC 36 (a través del pin INTEG tal como se muestra en las figuras 1b y 2) para producir una señal representativa de la corriente de carga fundamental de 60 Hz y sus armónicos bajos.

La salida del divisor de tensión se conecta al ASIC a través de un condensador (bloqueo de CC) en el pin DIDT 45 (véase la figura 1b). Una vez dentro del ASIC, la señal se aplica a un circuito de filtro de paso bajo con una frecuencia de corte típicamente a aproximadamente 150 kHz. Se observa aquí que la banda de frecuencia de interés respecto al arco de detección de fallo mediante la medición de los componentes espectrales de alta frecuencia en la firma de la corriente de carga de una carga de formación de arcos típicamente se encuentra en la banda de 10 kHz a 100 kHz. El ruido eléctrico en este rango de frecuencias proporciona una indicación de la formación de arcos. Un 50 amplificador de ganancia unitaria en el ASIC almacena en un buffer la señal de entrada de las entradas subsiguientes de los filtros de paso de banda de condensador conmutado 50, 52 y 54. En una implementación de ejemplo preferida, estos filtros tienen unas frecuencias centrales establecidas a 20 KHz, 33 kHz y 58 kHz, con ganancias de frecuencia central de aproximadamente 8. Se entenderá, sin embargo, que pueden seleccionarse diferentes frecuencias centrales y ganancias para los filtros ASIC dependiendo de las necesidades de aplicación. En 55 el caso de que se generen señales de salida simultáneas a partir de dos de los tres filtros cualesquiera, siempre que esas señales de salida excedan un umbral predeterminado (seleccionado de una pluralidad de umbrales disponibles por el circuito 61), esto sería indicativo de ruido de banda ancha en la banda de frecuencia de interés (lo cual es un elemento utilizado por el microprocesador del ASIC en la determinación de una instancia de la formación de arcos).

60 La salida de cada filtro de paso de banda 50, 52 y 54 está conectada a uno de los comparadores 60. Cada comparador 60 funciona para determinar si los componentes espectrales medidos por el filtro de paso de banda correspondiente han excedido un umbral de tensión especificado (por ejemplo,  $V1_{THD}$ ,  $V2_{THD}$ , o  $V3_{THD}$ ). En la implementación de ejemplo, el umbral de tensión especificada es seleccionado por el circuito 61 de cualquiera de los

tres niveles proporcionados. Como referencia, en una implementación a modo de ejemplo, las tensiones umbral pueden comprender:  $V1_{THD} = 0,33 \text{ V}$ ,  $V2_{THD} = 0,19 \text{ V}$  y  $V3_{THD} = 0,11 \text{ V}$ . Mediante el empleo de circuitería de conmutación en el circuito 61 (no se muestra explícitamente), las tensiones de referencia pueden invertirse para detectar señales negativas así como positivas tal como salen de los filtros de paso de banda 50, 52 y 54.

5

El circuito selector 61 funciona bajo el control del programa del microprocesador 14 para realizar la selección de cuál de las plurales tensiones umbral de referencia disponibles debe aplicarse al comparador correspondiente 60. El microprocesador 14 puede comprender un TDMI ARM7 facilitado por la empresa ARM. En la implementación preferida, el ARM7 va incorporado en el diseño del ASIC. El microprocesador ejecuta sus instrucciones de programa para elegir una tensión umbral determinada de las plurales para cada comparador incluido 60. Las opciones de tensión se cargan mediante el microprocesador 14 al circuito de registro umbral 65. Una circuitería de decodificación (no mostrada explícitamente) establece entonces la tensión de referencia para cada comparador 60 en base a los valores de los registros cargados controlando selectivamente el funcionamiento del circuito de conmutación 63 para seleccionar una de las tensiones umbral recibidas para la salida como tensión de comparación al comparador correspondiente 60.

La tensión de referencia para dos o más de los comparadores 60 puede seleccionarse por el microprocesador 14 a través del circuito de registro 65 para que sea la misma tensión. Alternativamente, la tensión para cada comparador 60 puede seleccionarse para que sea diferente. Se observa que diferentes cargas en el circuito que se está controlando pueden producir diferentes cantidades de ruido de alta frecuencia en diferentes niveles de corriente. La capacidad del microprocesador 14 para elegir selectivamente los niveles de tensión umbral permite realizar ajustes en el nivel de detección respecto a cada uno de los filtros de paso de banda 50, 52 y 54, y por lo tanto representan las diferencias en el ruido de alta frecuencia y proporcionan una mejora de la detección de ruido de banda ancha. Por ejemplo, variar los niveles de tensión umbral a diferentes frecuencias bajo control del microprocesador permite que el circuito funcione para detectar un fallo de arco del alimentador de ramales o un fallo de arco serie, o ambos.

Las salidas de los comparadores 60 y las puertas AND 62 están sincronizadas por el reloj de los filtros de condensador conmutado 50, 52 y 54 (por ejemplo, puede utilizarse un reloj de 1 MHz para cada dispositivo). La operación lógica de aplicar un operador AND a una pluralidad de salidas de comparador con la señal de reloj asegura que los componentes del umbral seleccionado que superan el ruido de alta frecuencia en las bandas de paso de los comparadores incluidos estén presentes simultáneamente (lo que indica que el ruido tiene una característica de banda ancha). Como ejemplo ilustrado en la figura 3, la puerta AND 62 combina lógicamente la salida tanto del filtro 52 de 33 kHz como del filtro 54 de 58 kHz con la señal de reloj. Cuando todas las entradas a la puerta AND 62 son un nivel lógico alto, la salida es de nivel lógico alto e indica ruido simultáneo a bandas tanto de 33 kHz como de 58 kHz que puede considerarse que presentan una característica de banda ancha, lo que indica por lo tanto un posible evento de formación de arcos. Se entenderá que pueden considerarse también otras combinaciones de frecuencia por las puertas AND 62 (tal como, por ejemplo, aplicar lógicamente el operador AND a las salidas de las tres salidas del comparador ilustradas para detectar una mayor instancia de ruido de banda ancha. Hay que señalar, además, que las puertas AND 62 pueden disponerse, tal como se muestra, para realizar detecciones respecto a las bandas de paso de frecuencia individuales de los filtros 50, 52 y 54.

La salida de cada puerta AND 62 incluida se presenta a un contador correspondiente 64, 66, 68 y 70. En respuesta a una salida de señal de nivel lógico alto de una puerta AND 62, el contador correspondiente 64, 66, 68 y 70 se incrementa. Los valores de los contadores son leídos por el microprocesador 14, de acuerdo con sus instrucciones de programa, y los valores procesados para realizar determinaciones, tal vez en combinación con otros datos, en cuanto a si se ha producido un evento de formación de arcos. Por ejemplo, si se detecta un número de recuentos suficiente en un determinado período de tiempo, la formación de arco puede estar presente. Al variar los niveles de tensión de referencia umbral mediante el microprocesador se permite que el dispositivo detecte uno u otro, o ambos, de un fallo de arco del alimentador de ramales y un fallo de arco en serie. Se hace referencia a la patente americana 6.259.996, para otras características de forma de onda que puede tener en cuenta el microprocesador 14 para realizar la determinación de evento de formación de arcos.

La función de detección de fallo de conexión a tierra opera para detectar la formación de arco a tierra, en las etapas incipientes de la formación de arco, donde un conductor de conexión a tierra se encuentra en la proximidad del conductor de la línea con fallo. Dicha detección y disparo pueden despejar fallos de arco antes de que se conviertan en eventos importantes. Tal como se ha descrito anteriormente, mediante el uso de transformadores de detección de fallo de conexión a tierra y neutro apropiados, esta característica puede utilizarse para proporcionar una protección del personal, así como detección de arco a conexión a tierra.

Con referencia una vez más a las figuras 1a y 1b, al pulsar el botón de prueba 104 se aplica una tensión de línea a través del circuito de prueba 102 de manera que se provoca que pase una corriente de fallo de conexión a tierra por el transformador de detección de fallo de conexión a tierra 83 (figura 4) y simultáneamente obligue al microcontrolador 14 a entrar en modo de prueba. El microprocesador controla la salida tanto de la circuitería de

detección de fallo de conexión a tierra como la salida de los filtros de paso de banda (producida por el buffer de prueba que conduce el ensayo de devanado de prueba) para determinar si la circuitería de detección del filtro de paso de banda es funcional. Solamente se dará una señal de disparo si los contadores 66 y 68 tienen recuentos suficientemente altos y hay presentes picos de señal de fallo de conexión a tierra suficientemente altos.

5 Una rutina de calibración permite al microprocesador 14 compensar las tensiones de equilibrio generadas por cada uno de los amplificadores operacionales en los circuitos de la tensión de la línea, corriente y fallo de conexión a tierra. Inmediatamente después de la conexión y a intervalos periódicos (para actualizar los datos, por ejemplo, para compensar la deriva térmica), el microprocesador inicia un procedimiento de calibración. Durante este período de  
10 tiempo, los circuitos de medición de corriente y tensión de la red se desconectan internamente de sus respectivas terminales de entrada y cada uno de los amplificadores operacionales se conecta a su vez a la tensión de referencia analógica (AREF) 24. Las respectivas tensiones de equilibrio (una para cada amplificador operacional) las lee el microprocesador y sus valores se almacenan en la memoria. Las tensiones de equilibrio almacenadas se restan de  
15 internamente resistencias de ajuste de ganancia del primer amplificador de etapa (80) y leyendo la tensión de equilibrio en un condensador de acoplamiento de CA externo directamente de la entrada. El software resta este valor del valor de la señal medida.

Unos disyuntores de tipo residencial que incorporan protección del circuito por fallo de arco requieren una placa de  
20 circuito impreso muy pequeña con una baja disipación de potencia. La interrupción del circuito por fallo de arco requiere un procesamiento de señal analógica y digital significativo con el fin de distinguir de manera fiable entre fallos de arco y cargas eléctricamente ruidosas, tales como arcos de interruptores de luz y motores universales. En una realización anterior, dicho procesamiento se conseguía utilizando un ASIC analógico independiente (circuito integrado de aplicación específica) y un microcontrolador.

25 El diseño del sistema en chip proporciona un tamaño de empaque reducido, una reducción de aproximadamente 1/3, así como una reducción de los componentes externos necesarios. La combinación de piezas reducidas y la colocación de las piezas se traduce en una reducción significativa de costes y facilidad de montaje. El rendimiento del filtro de paso de banda es más consistente, se mejora la corrección de la tensión de equilibrio, se mejora el  
30 rendimiento del circuito de prueba, y puede proporcionarse protección al personal de un fallo de conexión tierra.

**REIVINDICACIONES**

1. Circuito para determinar si en un circuito eléctrico hay presente una formación de arcos en respuesta a una señal de sensor correspondiente a corriente en dicho circuito eléctrico, que comprende:
- 5 un circuito de filtro (50, 52, 54) para analizar dicha señal de sensor para determinar la presencia de ruido en un rango de frecuencias predeterminado, en el que dicho circuito de filtro (50, 52, 54) incluye por lo menos dos filtros de paso de banda (50, 52, 54) que tienen diferentes pasos de banda, produciendo cada filtro de paso de banda (50, 52, 54) una señal filtrada correspondiente; y
- 10 un circuito comparador (60) que incluye un comparador (60) para cada filtro de paso de banda (50, 52, 54), recibiendo cada comparador (60) una tensión umbral de referencia correspondiente, y siendo operable cada comparador (60) para comparar la señal filtrada correspondiente con la tensión de umbral de referencia correspondiente para generar una señal de salida correspondiente;
- 15 caracterizado por
- un circuito selector de tensión (61) para cada uno de los comparadores (60), recibiendo cada circuito selector de tensión (61) una pluralidad de tensiones umbral de referencia para aplicación a su circuito comparador
- 20 correspondiente (60), la pluralidad de tensiones umbral incluye una tensión útil para detectar fallos de arco en paralelo en el circuito eléctrico y otra tensión útil para detectar fallos de arco en serie en el circuito eléctrico, y
- un controlador (14) adaptado para operar los circuitos selectores de tensión para seleccionar las tensiones umbral de referencia para permitir detectar fallos de arco en paralelo o fallos de arco en serie, o ambos, en base a las
- 25 señales de salida.
2. Circuito según la reivindicación 1, caracterizado por el hecho de que el controlador (14) está adaptado para procesar dicha señal de sensor y dichas señales de salida para determinar si está presente un fallo de formación de arco en dicho circuito eléctrico.
- 30 3. Circuito según cualquiera de las reivindicaciones anteriores, caracterizado por el hecho de que dicho circuito de filtro (50, 52, 54) para analizar y el citado controlador (14) se encuentran integrados en un único chip de circuito integrado de aplicación específica (ASIC).
- 35 4. Circuito según cualquiera de las reivindicaciones anteriores, caracterizado por el hecho de que incluye, además, un contador (64, 66, 68, 70) operable para incrementarse en respuesta a por lo menos una de dichas señales de salida del circuito comparador (60).
5. Circuito según la reivindicación 4, caracterizado por el hecho de que el controlador (14) está adaptado para
- 40 determinar periódicamente si está presente un fallo de formación de arco controlando dicho contador (64, 66, 68, 70) y comparando un recuento de dicho contador (64, 66, 68, 70) con uno o más recuentos preseleccionados indicativos de un fallo de formación de arco.
6. Circuito según la reivindicación 4, caracterizado por el hecho de que dicho contador (64, 66, 68, 70) está
- 45 implementado en software.
7. Circuito según cualquiera de las reivindicaciones anteriores, caracterizado por el hecho de que dichas tensiones umbral de referencia para cada uno de los comparadores (60) se seleccionan para sean diferentes.
- 50 8. Circuito según la reivindicación 1, caracterizado por el hecho de que incluye por lo menos un contador (64, 66, 68, 70) para cada comparador (60), en el que cada contador (64, 66, 68, 70) es operable para incrementarse en respuesta a dicha señal de salida para su comparador (60).
9. Circuito según la reivindicación 1, caracterizado por el hecho de que incluye, además, por lo menos un contador
- 55 (64) operable para incrementarse en respuesta a señales de salida simultáneas generadas a partir de por lo menos dos comparadores (64).
10. Circuito según cualquiera de las reivindicaciones anteriores, caracterizado por el hecho de que el controlador comprende un registro umbral (65) y un microprocesador, y en el que el microprocesador está adaptado para cargar
- 60 el registro umbral con un valor indicativo de la tensión umbral seleccionada de la pluralidad de tensiones umbral, en el que el circuito selector de tensión (61) está adaptado para responder al valor cargado en el registro umbral (65) para realizar la selección.

11. Circuito según cualquiera de las reivindicaciones anteriores, caracterizado por el hecho de que el controlador (14) está adaptado para procesar dicha señal de salida para determinar si está presente en dicho circuito eléctrico un fallo de formación de arco de tipo en serie.
- 5 12. Circuito según cualquiera de las reivindicaciones anteriores, caracterizado por el hecho de que la pluralidad de tensiones umbral se genera mediante un circuito divisor de tensión (67) a partir de una tensión de referencia común.

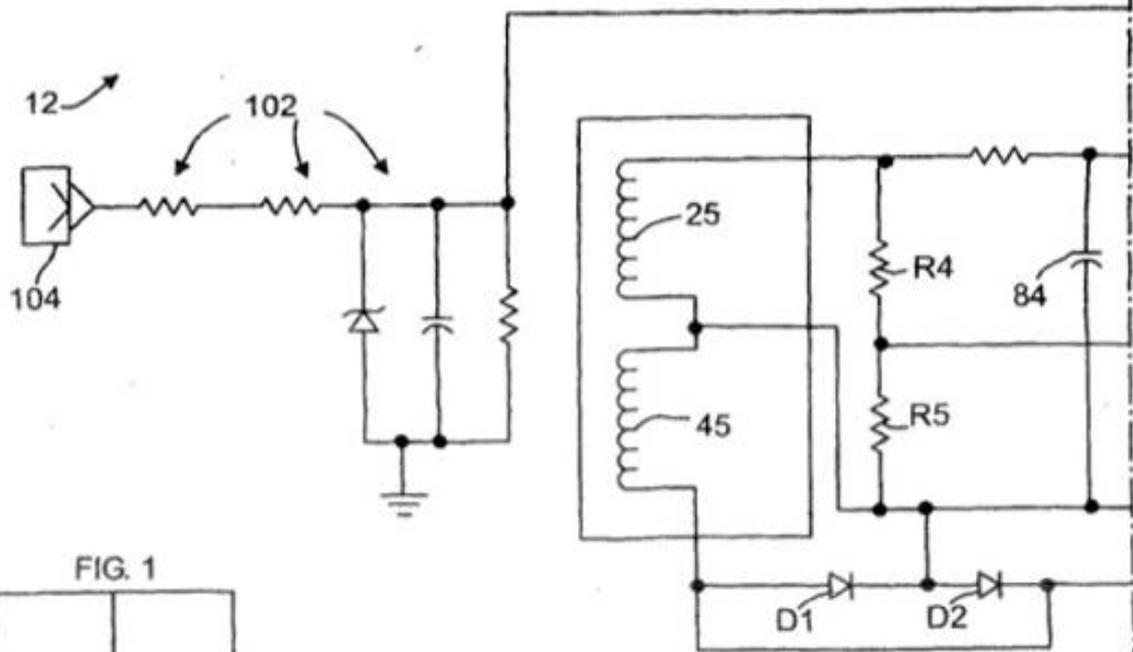
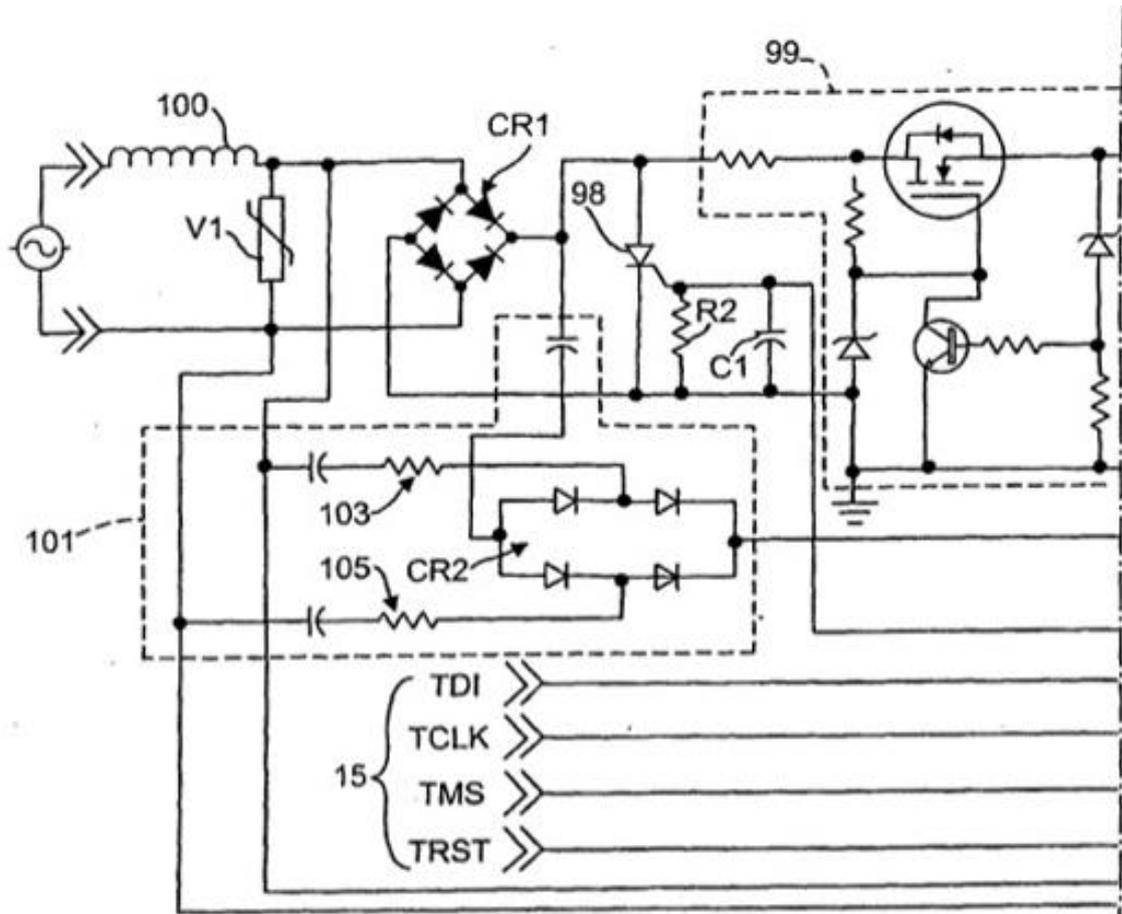


FIG. 1A

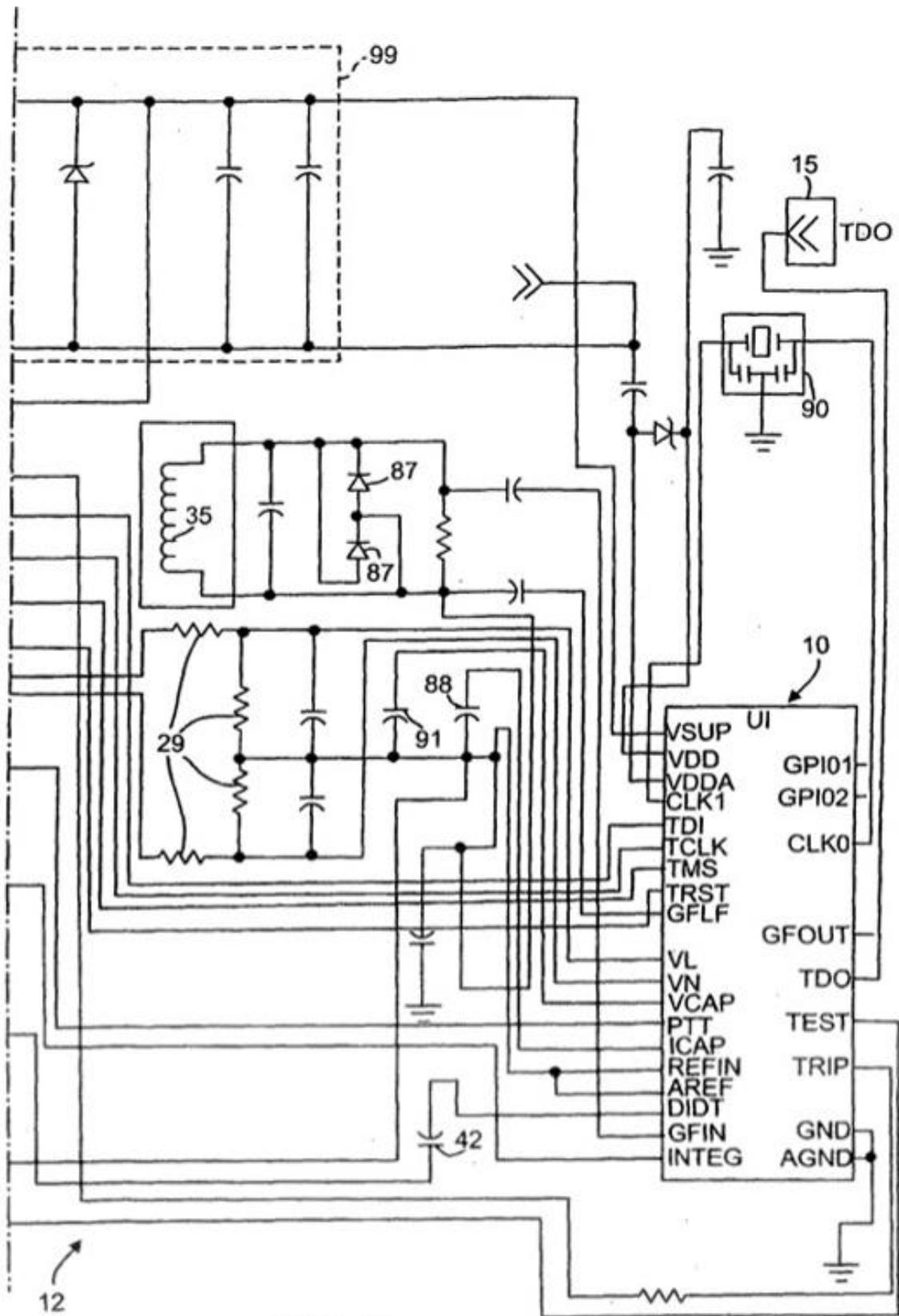


FIG. 1B

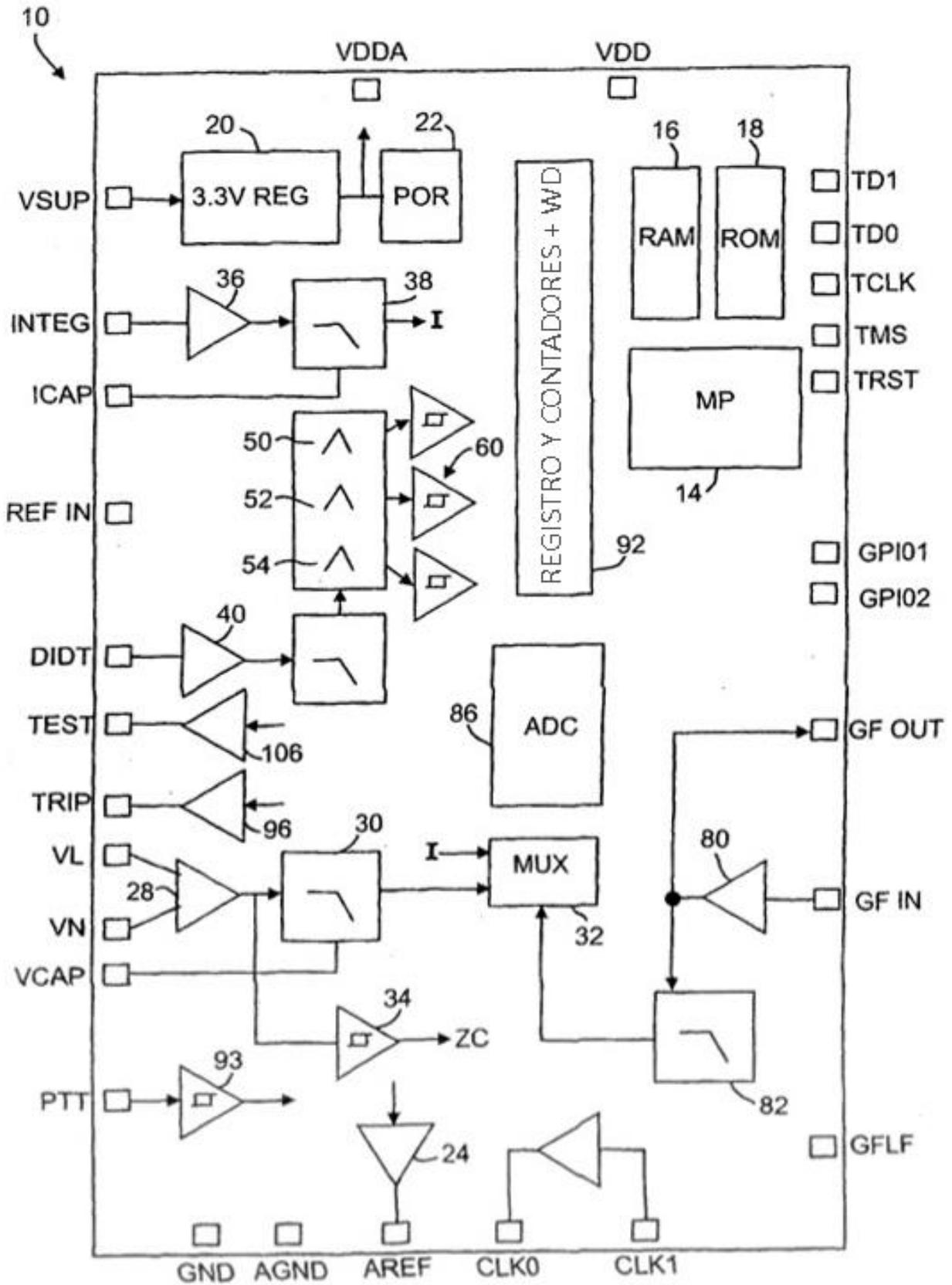


FIG. 2

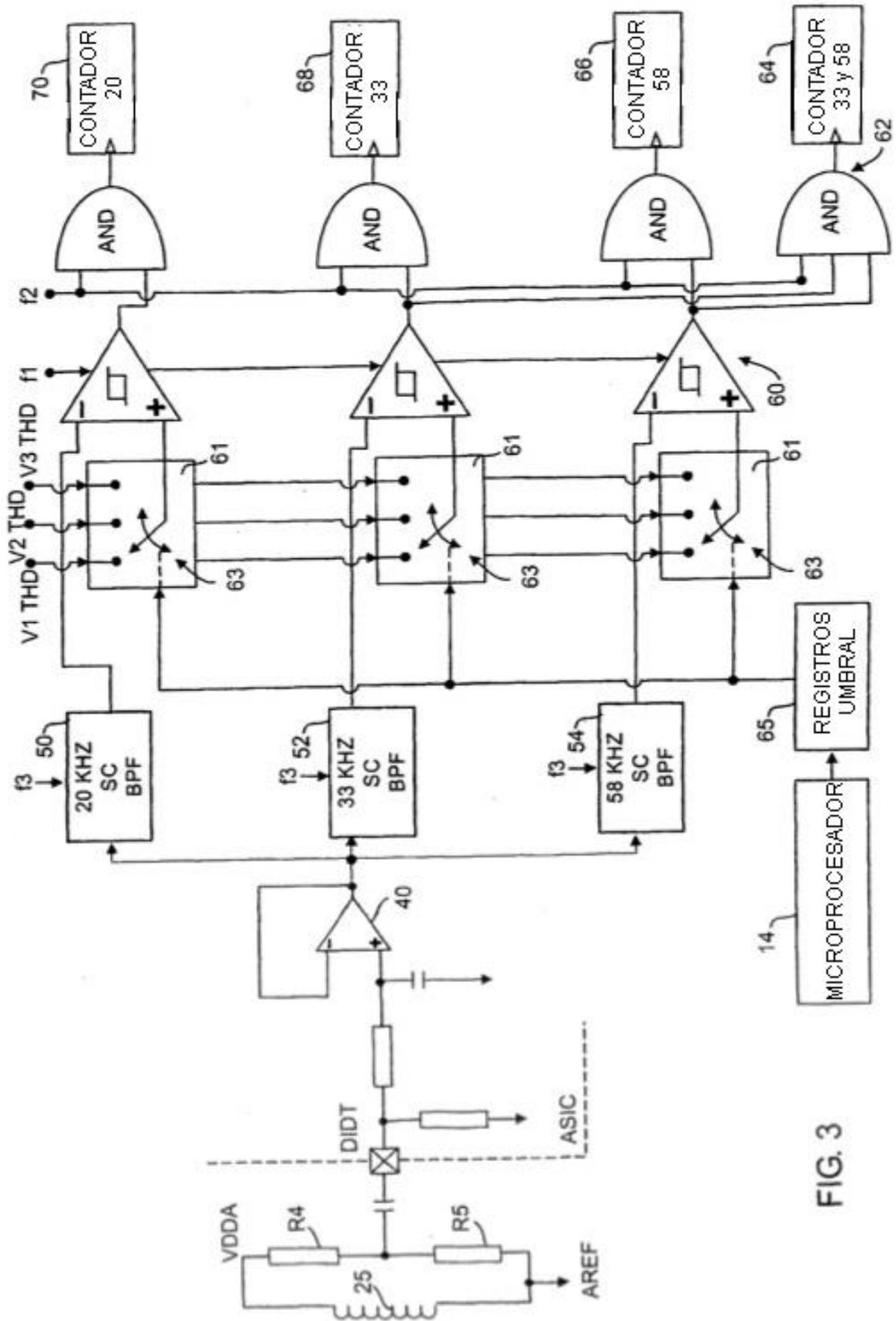


FIG. 3

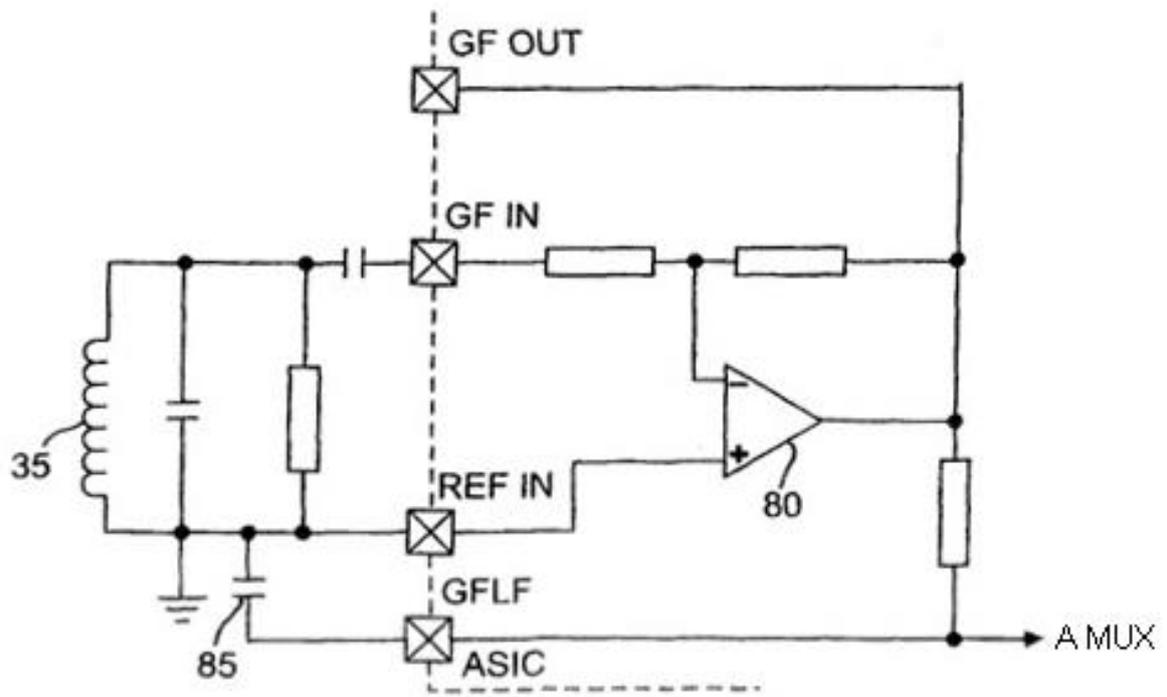


FIG. 4

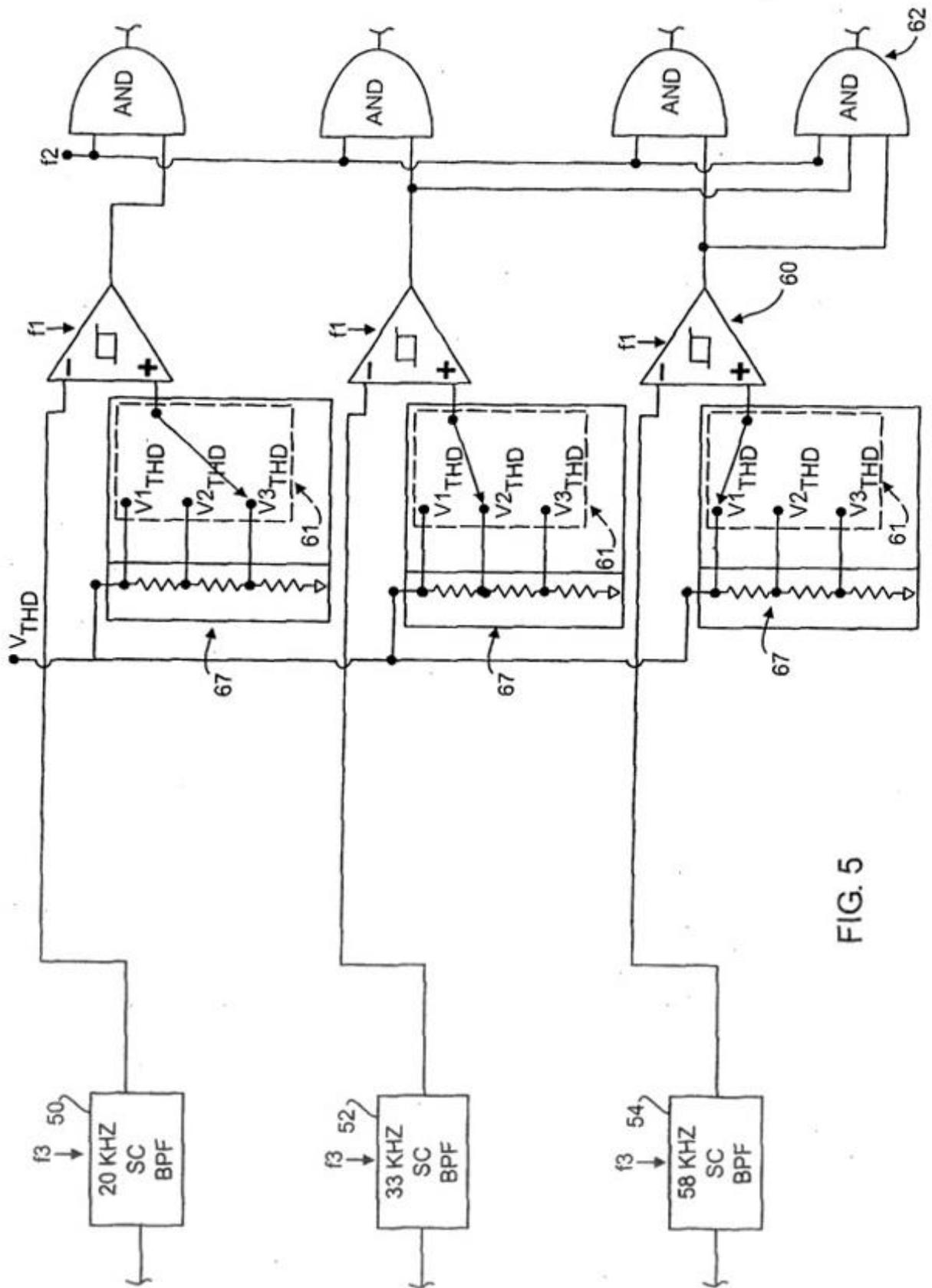


FIG. 5