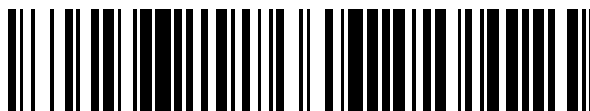


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 465 645**

51 Int. Cl.:

H04B 1/707 (2011.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **19.01.2006 E 06704572 (4)**

97 Fecha y número de publicación de la concesión europea: **12.03.2014 EP 1847029**

54 Título: **Procedimiento y aparato para desensanchar datos en un sistema de comunicación inalámbrico**

30 Prioridad:

31.01.2005 CN 200510005057

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

06.06.2014

73 Titular/es:

**ST-ERICSSON SA (100.0%)
Chemin du Champ-des-Filles 39
1228 Plan-les-Ouates, CH**

72 Inventor/es:

**ZHU, XIA y
LI, YAN**

74 Agente/Representante:

TRIGO PECES, José Ramón

ES 2 465 645 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

CAMPO DE LA INVENCION

5 [0001] La presente invención se refiere al campo de la comunicación inalámbrica, y más en particular a un procedimiento y aparato para desensanchar una señal ensanchada en el sistema TD-SCDMA (División de Tiempo-Acceso Múltiples de División de Código Sincrónico) y/o WCDMA (Acceso Múltiple de División de Código de Banda Ancha).

ANTECEDENTES DE LA INVENCION

10 [0002] La tecnología de espectro ensanchamiento, o tecnología de ensanchamiento, es una tecnología que se ha desarrollado muy rápidamente en los últimos años, que no solo juega un papel predominante en la comunicación militar, sino que se utiliza también ampliamente en todos los campos de la comunicación; por ejemplo, en la comunicación satelital, comunicación móvil, comunicación por microondas, sistema de posicionamiento inalámbrico, red inalámbrica de área local (LAN), comunicación personal global.

15 [0003] El ensanchamiento en la comunicación puede expresarse brevemente del modo siguiente: un modo para transmitir información, ocupando la señal un ancho de banda mucho más amplio que el ancho de banda más estrecho necesario para transmitir información; el ancho de banda se ensancha mediante procedimientos de codificación y modulación, que no afectan a los datos de información transmitida; y los datos de la información transmitida se desensanchan y restauran en un receptor mediante un código de ensanchamiento idéntico. La tecnología de ensanchamiento se utiliza en las formas siguientes: espectro de ensanchamiento de secuencia directa (abreviada como Ensanche Directo (DS)), Salto de Frecuencia (FH), Salto Temporal (TH), y modulación de frecuencia lineal (*Chirp*), y sus combinaciones tales como: FH/DS, TH/DS y FH/TH, donde DS, FH y FH/DS se utilizan más frecuentemente en comunicaciones.

20

[0004] La tecnología de comunicación ensanchada se caracteriza por lo siguiente:

1. Potente Capacidad Anti-interferencia

25 [0005] Dado que la señal se ensancha en una banda ancha, la señal de banda estrecha se restaura comprimiéndose el ancho de banda de la señal ensanchada en el receptor. Debido a que la señal de interferencia, que es irrelevante para un código pseudo aleatorio de ensanchamiento, se ensancha en una banda ancha, se reduce notablemente la potencia de la interferencia que entra en comunicación con un ancho de banda de una señal útil, y así se aumenta el ratio señal/interferencia del correlador. De ese modo, la tecnología de comunicación por ensanchamiento tiene una sólida capacidad anti-interferencia. Esta capacidad tiene una relación directa con los momentos de ensanchamiento de la banda: cuanto más se ensancha la banda, mayor es la capacidad anti-interferencia.

30

2. Comunicación de Acceso Múltiple

35 [0006] La comunicación por ensanchamiento es *per se* un modo de comunicación de acceso múltiple, denominado SSMA (Acceso Múltiple de Espectro Ensamamiento). Es *per se* una forma de AMDC (Acceso Múltiple por División de Código), que forma diferentes redes con diferentes códigos de ensanchamiento. Aunque ocupa una banda ancha, la proporción de uso del espectro de un sistema de ensanchamiento es superior al de un sistema de un único canal y un único transportador, dado que las diferentes redes pueden compartir la misma frecuencia simultáneamente. CDMA es una forma principal de comunicación de acceso múltiple para la comunicación personal global futura.

40

3. Seguro y Confidencial

45 [0007] Dado que el sistema de ensanchamiento ensancha la información en una banda ancha, la densidad de potencia se reduce con el ensanchamiento del espectro, y la señal podría incluso verse ocultada por el ruido. En consecuencia, la señal ensanchada tiene una seguridad considerable, y es muy difícil de interceptar, escuchar y detectar. Salvo que se utilice el mismo código de ensanchamiento que el utilizado por el transmisor, y se realice la detección de la correlación después de su sincronización, nada puede hacerse con la señal ensanchada. Debido a que la señal ensanchada tiene una baja densidad de espectro de potencia, puede utilizarse una banda de frecuencia específica, por ejemplo banda de frecuencia ISM, sin la aprobación en muchos países tales como EE.UU., Japón y países europeos, en tanto en cuanto la densidad del espectro de potencia cumpla algunos requisitos.

4. Rechazo de Interferencia Multi-recorrido

50 [0008] En algunas circunstancias de comunicación tales como comunicación móvil y comunicación interior, donde existe una fuerte interferencia multi-recorrido, un sistema debe tener una sólida capacidad anti-interferencia para asegurar la comunicación fluida. La tecnología de ensanchamiento tiene una fuerte capacidad de rechazo de interferencia multi-recorrido mediante el uso de las características relevantes del código de ensanchamiento utilizado para dicho ensanchamiento, y puede incluso mejorar el rendimiento de sistema mediante el uso de la potencia multi-

recorrido.

5 **[0009]** El sistema CDMA, que emplea la tecnología de ensanchamiento, opera de manera muy distinta a los sistemas de comunicación TDMA y FDMA habituales. Por ejemplo, un transmisor CDMA de secuencia directa (DS-CDMA), una corriente de símbolo digital para un canal determinado, dedicado o común, a una velocidad básica de símbolo, se ensancha a una velocidad de chip. Esta operación de ensanchamiento supone la aplicación de un código único de ensanchamiento de canal (denominado a veces una secuencia de firma) a la corriente de símbolo, que aumenta su ganancia de señal, añadiendo al mismo tiempo redundancia de ancho de banda.

10 **[0010]** Normalmente, la corriente de símbolo digital se multiplica por un código de canal durante el ensanchamiento para obtener una señal intermedia canalizada, que incluye información de datos. A continuación, la señal intermedia se añade a otras señales intermedias utilizándose diferentes códigos de canal. Las señales intermedias sumadas se multiplican a continuación por un código de aleatorización de celda para obtener un grupo de señales ensanchadas. Dado que todos los códigos de canal son ortogonales entre sí, diferentes usuarios pueden compartir un ancho de banda de transmisión en una ranura específica de tiempo, a través de diferentes códigos de canal. Y mediante la aplicación de técnicas de procesamiento adecuadas en el receptor, las señales intermedias pueden distinguirse de otras.

15 **[0011]** En los sistemas TD-SCDMA, los datos originales se restauran mediante la aplicación (por ejemplo la multiplicación o el ajuste) de los códigos de aleatorización apropiados y códigos de canal para desensanchar la señal ensanchada en el receptor. No obstante, cuando el código de ensanchamiento se aplica a otras señales intermedias recibidas, solo se genera ruido. Así pues, la operación de desensanchamiento comprende en efecto un proceso de correlación que compara la señal recibida con el código digital apropiado, a fin de recuperar la información deseada del canal.

20 **[0012]** En los sistemas TD-SCDMA, el ensanchamiento se aplica a los datos parte de los canales físicos y comprende dos operaciones. La primera es la operación de canalización, que transforma todos los símbolos de datos en una serie de chips, aumentando así el ancho de banda de la señal. El número de chips por símbolo de datos se denomina Factor de Ensanchamiento (SF). La segunda operación es la operación de aleatorización, en la que se aplica un código de aleatorización a la señal ensanchada. Las dos operaciones se denominan en general operación de ensanchamiento conjuntamente, en la que el código de canal y el código de aleatorización se denominan código de ensanchamiento conjuntamente. En la norma del sistema TD-SCDMA es necesario que los canales físicos descendentes utilicen SF=16. Para soportar mayores velocidades de datos, pueden utilizarse múltiples canales físicos paralelos. Estos canales físicos paralelos se transmitirán utilizándose diferentes códigos de canalización.

25 **[0013]** El ensanchamiento y desensanchamiento de las señales puede expresarse utilizándose la fórmula siguiente:

$$z(i) = x(\lceil [(i-1)/SF] + 1 \rceil) p\{[(i-1) \bmod SF] + 1\} \quad (1).$$

$$x(n) = \frac{1}{SF} \sum_{i=1}^{SF} z[(n-1) \times SF + i] p^*(i)$$

35 **[0014]** Donde $x(n)$ es la señal antes del ensanchamiento, $p(i)$ es el código de ensanchamiento y $z(i)$ es la señal después del ensanchamiento, $\lceil \cdot \rceil$ denota toda la operación y el valor de retorno son los enteros más cercanos mayores o iguales a A.

40 **[0015]** El procedimiento y el aparato habitual de desensanchamiento requieren una gran cantidad de multiplicadores. No obstante, dichos multiplicadores tienen complicadas estructuras y ocupan una superficie de chip relativamente grande. Así, si pueden sustituirse por otra estructura de circuito sencilla, entonces se podría reducir notablemente la superficie del chip y disminuirse el coste de fabricación en un margen importante. En consecuencia, existe la necesidad de un procedimiento y aparato de desensanchamiento capaz de reducir el coste de producción notablemente.

45 **[0016]** La patente EP 0661829A describe un receptor de espectro de ensanchamiento de secuencia directa que comprende un correlador para multiplicar señales de datos ensanchados en fase y en cuadratura, y señales piloto ensanchadas en cuadratura con secuencias de desensanchamiento ortogonales a una velocidad de chip para producir señales de datos desensanchados en fase y en fase de cuadratura, y señales piloto desensanchadas en fase y en cuadratura. Un integrador de datos proporciona la integración de las señales de datos desensanchados en fase y en cuadratura a una velocidad de símbolo para producir símbolos de datos en fase y cuadratura, y un integrador piloto integra las señales piloto desensanchadas en fase y en cuadratura a una velocidad de símbolo para producir símbolos piloto en fase y en cuadratura.

50 **[0017]** La patente EP 0854586A describe un aparato receptor para la desmodulación del espectro ensanchado en cuadratura, en el cual un selector selecciona las señales de salida detectadas ortogonalmente de los canales I y Q y genera las señales seleccionadas en un recorrido para obtener una señal de salida desmodulada del canal I.

Además, un selector selecciona las señales de salida detectadas ortogonalmente de los canales Q y I y genera las señales seleccionadas en un recorrido para obtener una señal de salida desmodulada del canal Q. Los selectores se intercambian dependiendo de si el código PN del canal I es el mismo o no que el código PN del canal Q. La señal de salida del selector del recorrido para obtener la señal de salida desmodulada del canal I y el código PN del PNQ del canal Q son ex-ORed y se generan como señal de salida desensanchada del canal I. La señal de salida del selector del recorrido para obtener la señal de salida desmodulada del canal Q y el código PN del PNQ del canal I son exORed y se generan como señal de salida desensanchada del canal Q.

[0018] La patente WO 2004/077693A describe un aparato de comunicaciones CDMA para aplicar uno o más valores de código a un valor de señal de entrada para producir un valor de señal de salida, en el que el valor o valores del código pueden quedar en un par ortogonal de ejes que definen un espacio de señal dimensional, o equidistantes a dicho par, teniendo cada uno de los valores de señal de salida componentes a lo largo de cada eje, y comprendiendo el aparato medios lógicos para combinar el valor o valores del código para producir dos valores multiplicadores y un valor selector, medios de multiplicación para crear dos valores del producto, multiplicando los valores multiplicadores con componentes correspondientes del valor de señal de entrada, medios de anulación para anular uno de los valores del producto a fin de producir un tercer valor de producto, y medios de selección para seleccionar, sobre la base del valor selector, dos de los tres valores de producto para convertirse en los componentes del valor de la señal de salida.

OBJETIVO Y RESUMEN DE LA INVENCIÓN

[0019] La presente invención tiene como objetivo proporcionar un procedimiento y aparato de desensanchamiento, que pueda reducir notablemente la superficie del circuito en comparación con el aparato habitual.

[0020] Es otro objetivo de la presente invención proporcionar un procedimiento y aparato de desensanchamiento, que pueda efectuar la función de desensanchamiento a través de un circuito simple sin multiplicadores que empleen circuitos complicados.

[0021] Otro objetivo adicional de la presente invención es proporcionar un procedimiento y aparato de desensanchamiento que pueda procesar datos en paralelo.

[0022] El último objeto de la presente invención es proporcionar un procedimiento y aparato de desensanchamiento, en el que únicamente sea necesario un conjunto de datos del puerto de entrada para cada canal del cálculo de desensanchamiento.

[0023] Para cumplir parcial o totalmente estos objetivos, según un aspecto de la presente invención, se proporciona un procedimiento a fin de desensanchar una señal ensanchada en un receptor de un sistema de comunicación inalámbrico, que comprende los pasos de:

(a) reprocesar la señal ensanchada para obtener un grupo de chips de ensanchamiento que corresponden a un símbolo de datos;

(b) procesar los chips de ensanchamiento para extraer componentes cofase y componentes ortogonales de cada uno de los chips de ensanchamiento; y

(c) convertir y combinar el grupo de componentes cofase y componentes ortogonales para obtener un grupo de chips de desensanchamiento basándose en una señal de selección predeterminada; caracterizado porque los bits de la señal de selección predeterminada son los bits del símbolo del conjugado de una secuencia de ensanchamiento, teniendo la secuencia de ensanchamiento bits impares imaginarios y bits pares reales.

[0024] Según otro aspecto de la presente invención, se proporciona un aparato para desensanchar una señal ensanchada en un receptor de un sistema de comunicación inalámbrico, que comprende:

medios de preproceso para preprocesar la señal ensanchada a fin de obtener un grupo de chips de ensanchamiento correspondiente a un símbolo de datos;

medios de extracción para procesar los chips de ensanchamiento a fin de extraer componentes cofase y componentes ortogonales de cada uno de los chips de ensanchamiento; y

medios de selección y procesamiento para convertir y combinar el grupo de componentes cofase y componentes ortogonales, basándose en una señal de selección predeterminada a fin de obtener un grupo de chips de desensanchamiento;

caracterizado porque los bits de la señal de selección predeterminada son los bits de la señal del conjugado de una secuencia de ensanchamiento, teniendo la secuencia de ensanchamiento bits impares imaginarios y bits pares reales.

[0025] Otros objetos y efectos de la presente invención pasarán a ser más explícitos y comprensibles de la

descripción siguiente, tomada junto con los dibujos adjuntos y los contenidos de las reivindicaciones, así como una comprensión más detallada de la presente invención.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

- 5 **[0026]** A continuación se describirán las realizaciones preferidas de la presente invención, con referencia a los dibujos adjuntos, en los que:
- La Figura 1 es un diagrama de estructura que ilustra el principio de un aparato de desensanchamiento según una realización de la presente invención;
- La Figura 2 es una vista esquemática de la estructura interior de los medios de selección y procesamiento tal como se ilustra en la Figura 1.
- 10 La Figura 3 es un diagrama de flujo de un procedimiento de desensanchamiento según una realización de la presente invención.
- La Figura 4 es un diagrama de la estructura del circuito de un aparato de desensanchamiento según la primera realización de la presente invención;
- 15 La Figura 5 es un diagrama de estructura de un aparato de desensanchamiento según la segunda realización de la presente invención, para ilustrar el principio de la presente invención desde otro aspecto.
- La Figura 6 muestra un ejemplo de la estructura interior de una ALU (Unidad Lógica Aritmética) ilustrada en la Figura 5; y
- La Figura 7 muestra una variación de la estructura interior de la ALU que se muestra en la Figura 6.

DESCRIPCIÓN DETALLADA DE LA INVENCION

- 20 **[0027]** Los principios del aparato y el procedimiento de desensanchamiento según la presente invención se explicarán más detalladamente con referencia a las Figuras 1 a 3. La Figura 1 es un diagrama de la estructura que ilustra el principio de un aparato de desensanchamiento según una realización de la presente invención. Tal como se ilustra en el Figura 1, el aparato de desensanchamiento según la presente invención comprende medios predeterminados 10, medios de preproceso 20, medios de extracción 30, medios de selección y procesamiento 40 y medios de suma 50.
- 25 **[0028]** Los medios de preproceso 20 preprocesan una señal ensanchada recibida para obtener un grupo de chips de ensanchamiento correspondientes a un símbolo de datos. La longitud de los chips de ensanchamiento equivale a la de la secuencia de ensanchamiento conocida $p(i)$; $\{i=1,2,\dots,SF\}$. Los medios de extracción 30 procesan los chips de ensanchamiento obtenidos de los medios de preproceso 20 para extraer los componentes cofase y los componentes ortogonales de cada uno de los chips de ensanchamiento, donde los componentes de cofase corresponden a los componentes I anteriormente mencionados, y los componentes ortogonales corresponden a los componentes Q anteriormente mencionados. Los componentes cofase I y los componentes ortogonales Q obtenidos por los medios de extracción 30 se proporcionan a los medios de selección y procesamiento 40, que comprenden uno o más selectores. Los medios de selección y procesamiento 40 convierten y combinan un grupo de componentes cofase I y componentes ortogonales Q, basándose en una señal de selección predeterminada, para obtener un grupo de chips de desensanchamiento r. Los medios de suma 50 suman los chips de desensanchamiento r obtenidos por los medios de selección y procesamiento 40, a fin de restaurar el símbolo de datos.
- 30 **[0029]** La Figura 2 es un diagrama esquemático de la estructura interior de los medios de selección y procesamiento 40 tal como se ilustra en la Figura 1. Los medios de selección y procesamiento 40 comprenden medios de combinación 401 y medios de anulación 402. Los medios de anulación 402 reciben el componente cofase I y el componente ortogonal Q, obtienen las señales anuladas -I y -Q, e ingresan el componente cofase I, el componente ortogonal Q, junto con las señales anuladas -I y -Q, en los medios de combinación 401. Los medios de combinación calculan selectivamente y generan el resultado combinado predeterminado entre el componente cofase I, el componente ortogonal Q y las señales anuladas de los mismos, basándose en la señal seleccionada predeterminada. El resultado predeterminado de la combinación es uno de un grupo previsto de resultados específicos de la combinación. Tal como se ilustra más adelante en relación con la primera y segunda realización, cuando el sistema de comunicación inalámbrica es un sistema TD-SCDMA, un valor de cada unidad $p(i)$ de la secuencia de ensanchamiento conocida, se selecciona del conjunto $\{1, -1, j, -j\}$, y el grupo de los resultados previstos se selecciona del conjunto $\{-jQ, -I-jQ, -Q+jI, Q-jI\}$, en el que I es un componente cofase, Q es un componente ortogonal, -I es un componente cofase anulado, y -Q es un componente ortogonal anulado.
- 35 **[0030]** La idea de la presente invención puede utilizarse también en un sistema de comunicación inalámbrico WCDMA. Cuando el sistema de comunicación inalámbrica es un sistema WCDMA, un valor de cada unidad $p(i)$ de la secuencia de ensanchamiento conocida es uno del conjunto $\{1+j, 1-j, 1+j, -1-j\}$. Los medios predeterminados 10
- 40
- 45
- 50

generan una señal de selección predeterminada correspondiente basándose en el valor de $p^*(i)$, seleccionado de $\{1+j, 1-j, 1+j, -1-j\}$, que puede, por ejemplo, expresarse mediante dos dígitos binarios de dos bits. Los medios de selección y procesamiento 40 generan un resultado previsto seleccionado basándose en la señal de selección predeterminada recibida. Mediante el cálculo, puede verse que el grupo de los resultados previstos es uno del conjunto $\{(I-Q)+j(I+Q), (I+Q)+j(-I+Q), (-I-Q)+j(I-Q), (-I+Q)+j(-I-Q)\}$, en el que I es un componente cofase, Q es un componente ortogonal, $-I$ es un componente cofase anulado, y $-Q$ es un componente ortogonal anulado.

[0031] De ese modo, cuando la secuencia de ensanchamiento $p(i)$ es un valor seleccionado de un conjunto limitado, se prevé que el resultado del desensanchamiento sea también un valor seleccionado de un conjunto limitado. Así pues, puede utilizarse un cálculo de combinación del selector, el anulador y el sumador a fin de realizar la multiplicación para el desensanchamiento, a fin de simplificar un circuito de desensanchamiento, y reducir la superficie del circuito.

[0032] La Figura 3 es un diagrama de flujo para un procedimiento de desensanchamiento según la presente invención. En primer lugar, en el paso S20 se preprocesa una señal de ensanchamiento para obtener un grupo de chips de ensanchamiento; en el paso S30 se extraen los componentes cofase I y los componentes ortogonales Q de cada uno de los chips de ensanchamiento; después, en el paso S40 se convierten y combinan el grupo de componentes cofase Q y los componentes ortogonales I para obtener un grupo de chips de desensanchamiento, basándose en una señal de selección predeterminada; y, por último, en el paso S50 se suman los chips de desensanchamiento para obtener el símbolo de los datos desensanchados.

Realización 1

[0033] La Figura 4 es un diagrama de estructura de circuito de un aparato de desensanchamiento según la Realización 1 de la presente invención. A continuación, se ilustrará la Realización 1 con referencia a la Figura 4.

[0034] En los sistemas TD-SCDMA, el ensanchamiento de datos comprende dos operaciones: canalización y aleatorización. En primer lugar, cada símbolo complejo de datos valiosos se ensancha con un código de canalización de valor real. A continuación, se aleatoriza la secuencia obtenida mediante una compleja secuencia de aleatorización, específica para cada celda. La combinación de los códigos de canalización específicos del usuario y de aleatorización específica de celda puede verse como un código de ensanchamiento específico de usuario y de celda. En el enlace descendente de los sistemas TD-SCDMA, tanto el SF como la longitud de la secuencia de aleatorización son 16. Así pues, es conveniente recuperar los datos originales mediante la aleatorización de una señal recibida con el código de canalización y el código de aleatorización conjuntamente.

[0035] El código de aleatorización en el TD-CDMA es complejo, cuyos elementos son reales e imaginarios alternativamente. Y el código de canalización es siempre real. En consecuencia, el código de ensanchamiento es real e imaginario alternativamente.

[0036] Según la norma 3GPP para el TD-SCDMA, la secuencia de ensanchamiento es $p(i); \{i=1,2,\dots, SF\}$.

$$p(i) = (j)^i \cdot v_i \quad v_i \in \{1, -1\}; i = 1, 2, \dots, SF$$

donde, j denota una unidad imaginaria y SF denota un factor de ensanchamiento.

[0037] Los bits impares en el código de ensanchamiento son siempre imaginarios, y los bits pares en el código de ensanchamiento son siempre reales. Es decir:

$$\begin{cases} p(i) \in \{1, -1\}, & i = 2n \\ p(i) \in \{j, -j\}, & i = 2n + 1 \end{cases} \quad (2)$$

donde n es un número entero.

[0038] Supongamos que:

$$z[(n - 1) \times SF + i] = w(i) = I + jQ \quad (3)$$

es una señal recibida, en la que I es un componente cofase, y Q es un componente ortogonal. En el desensanchamiento, los datos multiplican el conjugado del código de ensanchamiento y suman el número de resultados. Supongamos que $y(i)$ es el resultado de una multiplicación, que es:

$$y(i) = z[(n-1) \times SF + i] \times p^*(i) = w(i) \times p^*(i) = \begin{cases} I + jQ & p^*(i) = 1 \\ -I - jQ & p^*(i) = -1 \\ -Q + jI & p^*(i) = j \\ Q - jI & p^*(i) = -j \end{cases} \quad (4)$$

donde $p^*(i)$ es el conjugado del código de ensanchamiento $p(i)$.

[0039] En el modo habitual para el desensanchamiento, tanto el componente I como el componente Q son necesarios en cualquier momento para calcular un resultado de la multiplicación. En la presente invención, no obstante, únicamente el componente I o el componente Q son necesarios en un momento dado para obtener el resultado de la multiplicación.

[0040] Según la presente invención, a fin de obtener el componente real de los datos desensanchados, únicamente es necesario insertar el componente Q para la multiplicación con los bits impares de una secuencia de ensanchamiento, y únicamente es necesario insertar el componente I para la multiplicación con los bits impares de una secuencia de ensanchamiento. De igual modo, para obtener el componente imaginario de los datos desensanchados, únicamente es necesario insertar el componente I para la multiplicación con los bits impares de una secuencia de ensanchamiento, y únicamente es necesario insertar el componente Q para la multiplicación con los bits impares de una secuencia de ensanchamiento.

[0041] En la fórmula (4) puede observarse que no se requiere el multiplicador en la implementación, y el signo del conjugado del código de ensanchamiento $p^*(i)$ puede utilizarse como entrada al selector para obtener el resultado de la multiplicación. En la fórmula siguiente, el signo $[p^*(i)]=0$ denota un positivo y el signo $[p^*(i)]=1$ denota un negativo.

donde $n=2k$, $k \in$ número entero,

$$\begin{aligned} \text{Re}[y(i)] &= \begin{cases} I & p^*(i) = 1 & \text{sign}[p^*(i)] = 0 \\ -I & p^*(i) = -1 & \text{sign}[p^*(i)] = 1 \end{cases} \\ \text{Im}[y(i)] &= \begin{cases} Q & p^*(i) = 1 & \text{sign}[p^*(i)] = 0 \\ -Q & p^*(i) = -1 & \text{sign}[p^*(i)] = 1 \end{cases} \end{aligned} \quad (5)$$

donde $n=2k + 1$, $k \in$ número entero,

$$\begin{aligned} \text{Re}[y(i)] &= \begin{cases} -Q & p^*(i) = j & \text{sign}[p^*(i)] = 0 \\ Q & p^*(i) = -j & \text{sign}[p^*(i)] = 1 \end{cases} \\ \text{Im}[y(i)] &= \begin{cases} I & p^*(i) = j & \text{sign}[p^*(i)] = 0 \\ -I & p^*(i) = -j & \text{sign}[p^*(i)] = 1 \end{cases} \end{aligned} \quad (6).$$

[0042] En la fórmula (5), cuando i es par, si el signo del conjugado del código de ensanchamiento $p^*(i)$ es 0, entonces en la fórmula (4), el real del resultado de la multiplicación $y(i)$ es I y el imaginario es Q; si el signo del conjugado del código de ensanchamiento $p^*(i)$ es 1, entonces en la fórmula (4), el real del resultado de la multiplicación $y(i)$ es -I y el imaginario es -Q. En la fórmula (6), cuando n es impar, si el signo del conjugado del código de ensanchamiento $p^*(i)$ es 0, entonces en la fórmula (4), el real del resultado de la multiplicación $y(i)$ es Q y el imaginario es I; si el signo del conjugado del código de ensanchamiento $p^*(i)$ es 1, entonces en la fórmula (4), el real del resultado de la multiplicación $y(i)$ es Q y el imaginario es -I.

[0043] Desde un punto de vista de la implementación, únicamente se utiliza el bit de signo del conjugado del código de ensanchamiento como señal de selección del selector. En la Figura 1, $s(i)$ significa el signo $p^*(i)$.

[0044] La fórmula siguiente (7) puede obtenerse de la fórmula (1) y la fórmula (4), tanto el real como el imaginario de los datos desensanchados son la suma de dos partes. La primera parte es el resultado sumado de la multiplicación de los bits pares de una secuencia de ensanchamiento, y la segunda parte es el resultado sumado de la multiplicación de los bits impares de una secuencia de desensanchamiento.

$$\begin{aligned}
 \text{Re}[x(n)]1 &= \sum_{i=1}^{SF-1} \text{Re}\{z[(n-1) \times SF + i]p^*(i)\}, \quad i \in 2k+1, \quad p^*(i) \in \{j, -j\} \\
 \text{Re}[x(n)]2 &= \sum_{i=2}^{SF} \text{Re}\{z[(n-1) \times SF + i]p^*(i)\}, \quad i \in 2k, \quad p^*(i) \in \{1, -1\} \\
 \text{Im}[x(n)]1 &= \sum_{i=1}^{SF-1} \text{Re}\{z[(n-1) \times SF + i]p^*(i)\}, \quad i \in 2k+1, \quad p^*(i) \in \{j, -j\} \\
 \text{Im}[x(n)]2 &= \sum_{i=2}^{SF} \text{Re}\{z[(n-1) \times SF + i]p^*(i)\}, \quad i \in 2k, \quad p^*(i) \in \{1, -1\}
 \end{aligned}
 \tag{7}$$

En la fórmula anterior, $\text{Re}(x)$ denota el real de x , $\text{Im}[x]$ denota el imaginario de x , i, l, n y k son todos enteros.

[0045] El procedimiento y aparato de desensanchamiento de la presente invención se describen utilizándose la fórmula anterior. En primer lugar, se calcula el signo $[i] = \text{signo}[p^*(i)]$ del conjugado $p^*(i)$ del código de ensanchamiento $p(i)$. Después, el valor de signo obtenido sirve como entrada para el extremo de selección de un selector, y Q y $-Q$ sirven como entradas a un extremo de entrada en modo de espera del selector. De este modo, el selector alternativo puede realizar la multiplicación de la fórmula (4).

[0046] La presente invención aplica específicamente los siguientes procedimientos para desensanchar una señal recibida. El primer paso es almacenar señales después del Filtro Coseno Elevado (RCF) separadamente. Supongamos $w(i) = l(i) + jQ(i)$ son los datos que es necesario desensanchar, almacenamos todos los $l(i)$, $i = 2k$, $k \in$ entero en un espacio de memoria consecutiva, por ejemplo una RAM (Memoria de Acceso Aleatorio); y almacenamos todos los $l(i)$, $i = 2k + 1$, $k \in$ entero en otro espacio de memoria consecutiva. De igual modo, almacenamos todos los $Q(i)$, $i = 2k$, $k \in$ entero y todos los $Q(i)$, $i = 2k + 1$, $k \in$ entero en un espacio de memoria consecutiva, respectivamente. Así, son necesarios en total cuatro bloques de memoria.

[0047] La Figura 4 es un diagrama de estructura de circuito que ilustra un aparato de desensanchamiento según la primera Realización de la presente invención. En la Figura 4, los datos que deben desensancharse se filtran por un filtro 101 (el filtro puede ser un Filtro Coseno Elevado o Filtro Coseno Elevado de Raíz) y dividirse en los componentes I y Q . Según la secuencia, los componentes I y Q se dividen alternativamente en componentes impares y pares, a saber l_o y l_e , Q_o y Q_e , respectivamente ("o" como subíndice denota componentes impares en la secuencia impar, "e" como subíndice denota un componente par en la secuencia par), que se almacenan en cuatro bloques de memoria 103_o , 103_e , 104_o , y 104_e , respectivamente. El componente Q_o se ingresa secuencialmente en el primer extremo de ingreso de una serie de selectores 202 (representado por "1" del selector 202, tal como se ilustra en la Figura 4), y el resultado $-Q_o$ de Q_o que pasa a través del anulador se ingresa en el segundo extremo de ingreso de los selectores (representado por "0" del selector 202, tal como se ilustra en la Figura 4). Rogamos tomen nota de que pueden omitirse las memorias 103_o , 103_e , 104_o y 104_e y los componentes I y Q se ingresan directamente en las siguientes cascadas del circuito. Cuando se utilizan las memorias 103_o , 103_e , 104_o y 104_e , cada periodo de reloj puede generar dos grupos de componentes I y Q hacia abajo; por ejemplo, durante el primero periodo de reloj, se generan los componentes l_1 y Q_1 y Q_2 , y en el segundo período de reloj se generan hacia abajo los componentes l_3 y Q_3 y l_4 y Q_4 . Cuando se omiten las memorias 103_o , 103_e , 104_o y 104_e , cada periodo de reloj puede generar dos grupos de componentes I y Q hacia abajo; por ejemplo, en el primero período de reloj, se extraen los componentes l_1 y Q_1 , y durante el segundo período de reloj, se generan hacia abajo los componentes l_2 y Q_2 . Supongamos que $\{p(1), p(2), p(3), \dots, p(16)\}$ es una secuencia ensanchada utilizada en el descenso de sistema TD-SCDMA, en primer lugar, la secuencia de ensanchamiento se separa en dos partes $\{p(1), p(3), p(5), \dots, p(15)\}$ y $\{p(2), p(4), p(6), \dots, p(16)\}$; a continuación, se calcula el conjugado $p^*(i)$ ($i=1 \sim 16$) $\{p(1), p(3), p(5), \dots, p(15)$ y $\{p(2), p(4), p(6), \dots, p(16)\}$; y después, se calcula el signo de $p^*(i)$ para obtener $s[i] = \text{signo}[p^*(i)]$ (cuando $p^*(i)$ es un positivo, $s[i]$ es 0; cuando $p^*(i)$ es un negativo, $s[i]$ es 1). Los signos $[1], s[3], \dots, s[15]$ en posiciones impares de $p^*(i)$ se ingresan en paralelo en los extremos de selección de la serie de selectores alternativos 202, los componentes $Q_1, Q_3, \dots, Q_{2n-1}$ en el número impar del componente Q se ingresan secuencialmente en el extremo de ingreso "1" de los selectores 202, y los valores obtenidos de la anulación $Q_1, Q_3, \dots, Q_{2n-1}$ por el anulador 201 se ingresan secuencialmente en el extremo de ingreso "0" de la serie de selectores 202, respectivamente. El selector 202 selecciona y genera de manera correspondiente una entrada de señal en los extremos de ingreso "0" y "1", basándose en el signo 0 o 1 de entrada en el extremo de selección. La salida de cada selector 202 se suma con la salida de la cascada superior del circuito, y se genera el resultado sumado como la presente cascada del circuito, después de que un retardador retrase un periodo de reloj, y se suma posteriormente con la salida del selector de la siguiente cascada, y así sucesivamente. En la última cascada del circuito, se obtiene el resultado Real 1 del primer ramal de circuito. Rogamos tomen nota de que si se entregan dos grupos de los componentes I y Q en cada período de reloj, únicamente la salida del resultado Real 1 en la última cascada del circuito es el resultado correcto, después las veces íntegras SF de los periodos de reloj, dado que el selector 202 recibe el primer grupo de componentes de I y Q ; en consecuencia, no se tendrán en cuenta la salida de resultados en los otros períodos de reloj, salvo por las veces íntegras $SF/2$ de los periodos de reloj. De igual modo, si se genera un grupo de los componentes I y Q durante cada

periodo de reloj, únicamente la salida del resultado Real 1 en la última cascada del circuito es el resultado correcto después de todas las veces íntegras SF de los periodos de reloj, desde que el selector 202 recibe el primer grupo de los componentes I y Q; en consecuencia, no se tendrán en cuenta la salida de resultados en los otros periodos de reloj, salvo las veces íntegras SF/2 de los periodos de reloj. Esto se representará con más claridad en la Tabla 1 siguiente, y es el mismo caso en los ramales segundo a cuarto del circuito.

[0048] De igual modo, los signos $s[2], [4], \dots, s[16]$ en la posición par de $p^*(i)$ se ingresan en paralelo en el extremo de selección de la serie de selectores alternativos 202, los componentes l_2, l_4, \dots, l_{2n} de los componentes I en número par se ingresan secuencialmente en el extremo de ingreso "0" de la serie de selectores 202 y después se ingresan secuencialmente en el extremo de ingreso "1" de la serie de selectores 202, después de ser anulados por el anulador 201, respectivamente. El selector 202 selecciona y genera de forma correspondiente una entrada de señal en "0" o "1", basándose en el signo 0 o 1 de entrada en el extremo de selección. La salida del selector 202 en cada cascada se suma con la salida de la cascada superior del circuito, y el resultado sumado se entrega después de que un retardador retrase un periodo de reloj, y se suma posteriormente con la salida del selector de la siguiente cascada, y así sucesivamente. En la última cascada del circuito, se obtiene el resultado Real 2 del segundo ramal de circuito.

[0049] Rogamos tomen nota de que cada uno de los circuitos mencionados comprende un selector 202, un sumador 203 y un circuito retardador 204; además, dado que no se suma señal alguna de la cascada anterior con el presente selector 202 de cascada, en el primer circuito de cascada del primer y segundo ramal del circuito, puede omitirse un sumador 203 en el primer circuito de cascada, tal como se ilustra en la Figura 4.

[0050] Los resultados Real 1 y Real 2 de los dos ramales del circuito se suman en un sumador 112 para obtener el Real del resultado desensanchamiento.

[0051] A continuación se describe la estructura de un ramal de circuito para el cálculo de un imaginario de un aparato según la presente invención, tal como se ilustra en la Figura 4.

[0052] Los signos $s[1], s[3], \dots, s[15]$ en posición impar de $p^*(i)$ se ingresan en el extremo de selección de una serie de selectores alternativos 202 en paralelo, se ingresan los componentes $l_1, l_3, \dots, l_{2n-1}$ del componente I en número impar en la entrada "0" de la serie de selectores 202, y se ingresan secuencialmente en la entrada "1" de la serie de selectores 202, después ser anulados por el anulador 201, respectivamente. El selector 202 selecciona y genera de forma correspondiente una entrada de señal en la entrada "0" o la entrada "1", basándose en el signo 0 o 1 de entrada en el extremo de selección. La salida de cada selector 202 se suma con la salida de la cascada superior del circuito, y el resultado sumado se genera después de que un retardador retrase un periodo de reloj, y se suma posteriormente con la salida del selector de la siguiente cascada, y así sucesivamente. En la última cascada del circuito, se obtiene el resultado $Imag1$ del tercer ramal de circuito.

[0053] De igual modo, los signos $[2], [4], \dots, s[16]$ en posición par de $p^*(i)$ se ingresan en el extremo de selección de una serie de selectores alternativos 202 en paralelo, se ingresan secuencialmente los componentes l_2, l_4, \dots, l_{2n} de los componentes I en número par en la entrada "0" de la serie de selectores 202, y se ingresan secuencialmente en la entrada "1" de la serie de selectores 202 después ser anulados por el anulador 201, respectivamente. El selector 202 selecciona y genera de forma correspondiente una entrada de señal en la entrada "0" o entrada "1", basándose en el signo 0 o 1 de entrada en el extremo de selección. La salida de cada selector 202 se suma con la salida de la cascada superior del circuito, y el resultado sumado se entrega después de que un retardador retrase un periodo de reloj, y se suma posteriormente con la salida del selector de la siguiente cascada, y así sucesivamente. En la última cascada del circuito, se obtiene el resultado $Imag2$ del cuarto ramal de circuito.

[0054] En la Figura 4, "Real1", "Real2", "Imag1" e "Imag2" significa $Re[x(n)]_2, re[x(n)]_1, Im[x(n)]_1$ y $Im[x(n)]_2$ en la fórmula (10), respectivamente.

[0055] Rogamos tomen nota de que cada uno de los circuitos mencionados anteriormente comprenden un selector 202, un sumador 203, y un circuito retardador 204; además, dado que no se suma una señal de la cascada anterior con la salida del selector 202 de la presente cascada, en la primera cascada del circuito del tercer y cuarto ramal del circuito, puede omitirse un sumador 203 en la primera cascada del circuito, tal como se ilustra en la Figura 4.

[0056] Los resultados de $Image\ 1$ e $Image\ 2$ de los dos ramales de circuito se suman en el sumador 112 para obtener el $Imag$ imaginario del resultado desensanchado. Una combinación del Real y el $Imag$ del resultado desensanchado es el resultado final desensanchado.

Realización II

[0057] La Figura 5 es un diagrama de estructura de un aparato de desensanchamiento según la segunda realización de la presente invención, para describir el principio de la presente invención desde otro aspecto.

[0058] Tal como se ilustra en la Figura 5, los datos que deben desensancharse se filtran por el filtro 101 y se dividen en los componentes I y Q. Según la secuencia, los componentes I y Q se dividen alternativamente en componentes en números impares y pares, a saber, l_o y l_e, Q_o y Q_e , respectivamente. Al mismo tiempo, el código de

ensanchamiento p se ingresa en una calculadora 102 para conjugar el signo del código de ensanchamiento, a fin de calcular los signos de conjugado del código de ensanchamiento y dividir los signos en s_e y s_o en posiciones impares y pares, respectivamente.

5 **[0059]** Q_o se ingresa en una serie de ALUs $105_1, 105_3, \dots, 105_{15}$ simultáneamente. Estas ALUs reciben simultáneamente las posiciones impares $s[1], s[3], \dots, s[15]$ de los signos conjugados del código de ensanchamiento y se unen en cascada entre sí. Es decir, la salida de la ALU de la cascada anterior se conecta al extremo de entrada de la ALU de la cascada siguiente. Dado que no hay entrada de otra ALU antes de la ALU 105_1 de la primera cascada, la entrada en el extremo de entrada correspondiente es 0. De igual modo, Q_e se ingresa simultáneamente en una serie de ALUs $106_2, 106_4, \dots, 106_{16}$. Estas ALUs reciben simultáneamente posiciones pares $s[2], s[4], \dots, s[16]$ de los signos conjugados del código de ensanchamiento y se unen en cascada; I_e se ingresa simultáneamente en múltiples ALUs $105_2, 105_4, \dots, 105_{16}$ que reciben simultáneamente posiciones pares $s[2], s[4], \dots, s[16]$ de los signos conjugados del código de ensanchamiento, y se unen en cascada; I_o se ingresa simultáneamente a una serie de ALUs $106_1, 106_3, \dots, 106_{15}$, que reciben simultáneamente posiciones impares $s[1], s[3], \dots, s[15]$ de los signos conjugados del código de ensanchamiento, y se unen en cascada.

10 **[0060]** Supongamos que un valor de entrada de Q_o, Q_e, I_o o I_e es A, un valor de entrada de la entrada conectada a la cascada anterior es B, y un valor de entrada del signo s de entrada es C, y su valor de salida es D, en cada ALU se efectúa la siguiente operación:

$$D = \begin{cases} -A + B & C = 1 \\ A + B & C = 0 \end{cases} \quad (8)$$

6

$$D = \begin{cases} A + B & C = 1 \\ -A + B & C = 0 \end{cases} \quad (9)$$

20

donde $C=0$ denota un positivo; $C=1$ denota in negativo.

[0061] El resultado D del cálculo de la presente cascada se retrasará un período de reloj y después se sacará a la siguiente ALU de cascada.

25 **[0062]** Qué fórmula se utilice depende de la posición de la ALU. Por ejemplo, según la Figura 4, ALUs $105_1, 105_3, \dots, 105_{15}$ deberán aplicarse a la fórmula (9), mientras que las ALUs $105_2, 105_4, \dots, 105_{16}$, ALUs $106_1, 106_3, \dots, 106_{15}$, ALUs $106_2, 106_4, \dots, 106_{16}$, se aplican a la fórmula (8).

[0063] La salida de resultados de las ALUs 105_{15} , y 105_{16} de la cascada final son Real 1 y Real 2, respectivamente. Los dos resultados se suman en el sumador 112_1 y se generan para obtener el Real de los datos desensanchados.

30 **[0064]** La salida de resultados de las ALUs 105_{15} , y 105_{16} de la cascada final son Image 1 e Image 2, respectivamente. Los dos resultados se suman en el sumador 112_2 y se generan para obtener el Image de los datos desensanchados.

[0065] Una combinación del Real y el Imag es el resultado final desensanchado.

35 **[0066]** La Figura 6 muestra un ejemplo de la estructura interior de la ALU según la Figura 5. Las estructuras internas de cada una de las ALUs pueden ser idéntica o similares a fin de facilitar la producción. Tal como se ilustra en la Figura 6, la ALU comprende el anulador 201, el selector 202, el sumador 203 y el retardador 204. El selector 202 comprende seleccionar la entrada C para ingresar un valor del signo s, entrada "1" conectada a la salida del anulador, y entrada "0" conectada a la entrada del anulador. El selector selecciona correspondientemente la entrada de valor en la entrada "0", o la entrada "1" basándose en si el valor de la entrada C de selección es 0 o 1. El real/imaginario del componente I/Q se ingresa desde el extremo de entrada A, que está conectado a la entrada "0" del selector 202. El extremo de salida del selector 202 se conecta a un extremo de entrada del sumador 203. La salida de la ALU de la cascada superior se ingresa en otro extremo de entrada del sumador 203, a través del extremo de entrada B, y el extremo de salida del sumador 203 se conecta al retardador 204, y se saca de la salida D después de que el retardador la retrase un periodo de reloj. El retardador 204 puede implementarse también

mediante un oscilador.

[0067] La Figura 7 es una variación de la estructura interior de la ALU tal como se ilustra en la Figura 6, que se explicará junto con las Figuras 6 y 7. La estructura del circuito de ALU tal como se ilustra en la Figura 6 se utiliza para el cálculo de la fórmula (8). Si debe efectuarse el cálculo de la fórmula (9), el anulador 201 deberá colocarse en la entrada "0" del selector o, en caso contrario, deberá añadirse un anulador entre la entrada C y la entrada de selección del selector 202. Deberá señalarse también que puede modificarse la estructura del ALU según la Figura 6. Si el anulador 201 se coloca fuera de la ALU, entonces se obtiene una estructura similar a la que ilustra en la Figura 4. Tal como se ilustra en la Figura 7, la ALU se compone de cuatro entradas A1, A2, B y C y una salida D, y efectúa el cálculo según la fórmula siguiente:

$$D = \begin{cases} A1 + B & C = 1 \\ A2 + B & C = 0 \end{cases} \quad (10)$$

ó

$$D = \begin{cases} A2 + B & C = 1 \\ A1 + B & C = 0 \end{cases} \quad (11)$$

[0068] El resultado del cálculo se genera después de que se retrase un periodo de reloj.

[0069] A1 y A2 reciben el componente I/Q anulado simultáneamente.

[0070] Un número de cascada de las ALUs depende del factor de Ensanchamiento SF. Dado que el ejemplo anterior se da basándose en SF=16, el número de cascada de las ALUs es 8. Para ilustrar aún más el principio de la presente invención, a continuación se da un ejemplo concreto para mostrar el procedimiento de cálculo de un ramal unido en cascada de una ALU. Supongamos que existen un total de 4 ALUs unidas en cascada, y d denota un valor de Q o I, y "*" denota el cálculo de selección del selector.

[0071] Supongamos que la entrada de datos del momento 1 al momento 4 son d1, d3, d5 y d7 respectivamente, es decir, se ingresa un dato en cada momento, el resultado de la salida del sumador de la ALU de cada cascada se da en la siguiente Tabla.

momento	Salida del sumador de la primera cascada	Salida del sumador de la segunda cascada	Salida del añadido de la tercera cascada	Salida del añadido de la cuarta cascada
1	d1*s1	d1*s3	d1*s5	d1*s7
2	d3*s1	d1*s1+d3*s3	d1*s3+d3*s5	d1*s5+ d3*s7
3	d5*s1	d3*s1+d5*s3	d1*s1+d3*s3+d5*s5	d1*s3+d3*s5-d5*s7
4	d7*s1	d5*s1+d7*s3	d3*s1-d5*s3+d7*s5	d1*s1+d3*s3+d5*s5+d7*s7

[0072] En el primer momento, la salida de una cascada superior es 0, así pues la salida del sumador de cada cascada es la misma que la del selector de cada cascada (tal como se ilustra en la primera línea).

[0073] En el segundo, tercero y cuarto momento, la salida del sumador de cada cascada se genera desde la ALU de cada cascada a la ALU de la siguiente cascada, después de que la retrase el retardador un período de reloj, y se suma con la salida del resultado en el momento idéntico del selector de la siguiente cascada; el resultado del cuarto sumador es el resultado deseado.

[0074] Cuando los signos conjugados del código de ensanchamiento son s1, s3, s5 y s7, los datos d1, d3, d5 y d7 se han ingresado secuencialmente en el cuarto momento. El resultado en el cuarto sumador es el resultado deseado mediante el desensanchamiento, a saber d1*s1+d3*s3+d5*s5+d7*s7, que es coherente con la fórmula en la primera línea de la fórmula (7). La tabla 1 muestra cómo el momento posterior utiliza el resultado de cálculo del momento anterior.

[0075] En la primera y en la segunda realización, se distinguen cuatro valores diferentes de cada una de las unidades dividiéndose cada una de las unidades de la secuencia de ensanchamiento en partes impares o pares y juzgando si los signos conjugados de cada una de las unidades de la secuencia de ensanchamiento son positivas o negativas. Como variante, pueden calcularse los valores de cada una de las unidades de la secuencia de ensanchamiento mediante los medios predeterminados 10 tal como se ilustra en la Figura 1, y después se expresan diferentes valores mediante señales de selección predeterminadas capaces de representar numerales de estado correspondientes a posibles valores. Por ejemplo, en el caso de únicamente cuatro valores posibles, los estados de los valores pueden expresarse por medio de un valor binario de dos bits. A continuación se describirá la relación correspondiente entre cada uno de los componentes, tal como se ilustra en la Figura 1, y cada uno de los componentes en la primera y segunda realización.

[0076] El filtro 101, tal como se ilustra en las Figuras 4 y 5, y su circuito correlativo, corresponden a los medios de proceso 20 tal como se ilustra en la Figura 1. Los medios (no ilustrados) para dividir los datos que deben desensancharse en los componentes I y Q de las Figuras 4 y 5 corresponden a los medios de extracción 30 tal como se ilustra en la Figura 1. LA ALU, tal como se ilustra en la Figura 5, y el circuito combinado que contiene el selector, tal como se ilustra en la Figura 6 o 7, corresponde a los medios de procesamiento de selección 40 tal como se ilustra en la Figura 1. La secuencia de signo [i], tal como se ilustra en las Figuras 4 y 5, corresponde a la señal de selección predeterminada producida por los medios predeterminados 10, de acuerdo con la secuencia de ensanchamiento que se ilustra en la Figura 1. Y el sumador 112, tal como se ilustra en las Figuras 4 y 5, corresponde a los medios de suma 50 tal como se ilustra en la Figura 1.

[0077] Además de las realizaciones anteriores, existen diferentes variaciones de la presente invención. Por ejemplo, si la situación de la señal es lo suficientemente buena para asegurar el ratio señal/ruido requerido, puede omitirse el filtro 101 tal como se ilustra en la Figura 4. La descripción de la Figura 4 se refiere a cuando el factor de ensanchamiento es SF=16; no obstante, el factor de ensanchamiento SF puede estar también en otros valores, que es normalmente 2 a la potencia del entero. La Figura 4 muestra 4 bloques de memoria 103_o, 103_e, 104_o y 104_e para almacenar componentes impares y pares de I y Q; no obstante, pueden omitirse también las memorias, en tanto en cuanto los componentes impares y pares de los componentes de I y Q se transmitan en secuencia en diferentes recorridos. La primera y segunda realización se basan en la norma TD-SCDMA, aunque la presente invención no se limita a la misma. La presente invención puede aplicarse siempre que el valor del código de ensanchamiento esté dentro de un conjunto limitado conocido. Por ejemplo, se conoce que en la norma WCDMA, el valor del código de ensanchamiento está en el rango de {1+j, 1-j, -1+j, -1-j}, puede obtenerse sustituyendo los valores en las fórmulas (3) y (4) para obtener:

$$y(i) = z[(n-1) \times SF + i] \times p^*(i) = w(i) \times p^*(i) = \begin{cases} (I-Q) + j(I+Q) & p^*(i) = 1+j \\ (I+Q) + j(-I+Q) & p^*(i) = 1-j \\ (-I-Q) + j(I-Q) & p^*(i) = -1+j \\ (-I+Q) + j(-I-Q) & p^*(i) = -1-j \end{cases}$$

(12).

[0078] Es evidente que un elemento correspondiente puede seleccionarse definitivamente del conjunto {(I-Q)+j(I+Q), (I+Q)+j(-I+Q), (-I-Q)+j(I-Q), (-I+Q)+j(-I-Q)} para servir como resultado desensanchado basándose en el valor del código de ensanchamiento cuando la presente invención se aplica en la norma WCDMA.

REIVINDICACIONES

1. Procedimiento para desensanchar una señal ensanchada utilizada en un receptor de un sistema de comunicación inalámbrico, que comprende los pasos de:
 - 5 (a) preprocesar la señal ensanchada para obtener un grupo de chips de ensanchamiento correspondientes un símbolo de datos;
 - (b) procesar los chips de ensanchamiento para extraer componentes cofase y componentes ortogonales de cada uno de los chips de ensanchamiento; y
 - 10 (c) convertir y combinar el grupo de componentes cofase y componentes ortogonales para obtener un grupo de chips de desensanchamiento basándose en una señal de selección predeterminada; **caracterizado porque** los bits de la señal de selección predeterminada son los bits de signo del conjugado de una secuencia de ensanchamiento, teniendo la secuencia de ensanchamiento bits impares imaginarios y bits pares reales.
2. Procedimiento según la reivindicación 1, que comprende también el paso de sumar el grupo de chips de desensanchamiento para restaurar el símbolo de datos.
- 15 3. Procedimiento según la reivindicación 2, en el que la longitud del grupo de chips de ensanchamiento equivale a la longitud de la secuencia de ensanchamiento.
4. Procedimiento según la reivindicación 1, en el que el proceso de combinación comprende un paso de anular el componente o componentes cofase y el componente o componentes ortogonales para obtener el componente o componentes cofase y el componente o componentes ortogonales anulados.
- 20 5. Procedimiento según la reivindicación 4, en el que el proceso de combinación comprende también un paso para ejecutar un cálculo de combinación predeterminado en el componente o componentes cofase, el componente o componentes cofase anulados, el componente o componentes ortogonales y el componente o componentes ortogonales anulados.
- 25 6. Procedimiento según la reivindicación 1, en el que cada uno de los chips de desensanchamiento se selecciona de un grupo de resultados previstos.
7. Procedimiento según la reivindicación 1, en el que el sistema de comunicación inalámbrico es un sistema TD-SCDMA, y el valor de cada unidad de la secuencia de ensanchamiento se selecciona del conjunto $[1, -1, j, -j]$.
8. Procedimiento según la reivindicación 6 ó 7, en el que el sistema de comunicación inalámbrico es un sistema TD-SCDMA; y el resultado previsto se selecciona del conjunto $\{I+jQ, -I-jQ, -Q+jI, Q-jI\}$ en el que I es el componente cofase, Q es el componente ortogonal, -I es el componente cofase anulado y -Q es el componente ortogonal anulado.
- 30 9. Aparato para desensanchar una señal de ensanchamiento utilizada en un receptor de un sistema de comunicación inalámbrico, que comprende:
 - 35 medios de preproceso (20) para preprocesar la señal ensanchada a fin de obtener un grupo de chips de ensanchamiento correspondientes a un símbolo de datos;
 - medios de extracción (30) para procesar los chips de ensanchamiento para extraer componentes cofase y componentes ortogonales de cada uno de los chips de ensanchamiento; y
 - 40 medios de selección y procesamiento (40) para convertir y combinar el grupo de componentes cofase y componentes ortogonales basándose en una señal de selección predeterminada para obtener un grupo de chips de desensanchamiento,
 - caracterizado porque** los bits de la señal de selección predeterminada son los bits de signo del conjugado de una secuencia de ensanchamiento, teniendo la secuencia de ensanchamiento bits impares imaginarios y bits pares reales.
- 45 10. Aparato según la reivindicación 9, que comprende además un sumador (50) para sumar el grupo de chips de desensanchamiento para restaurar el símbolo de datos.
11. Aparato según la reivindicación 10, en el que la longitud del grupo de chips de ensanchamiento equivale a la longitud de la secuencia de ensanchamiento.
- 50 12. Aparato según la reivindicación 9, en el que los medios de selección y procesamiento (40) comprenden medios de anulación (402) para anular el componente o componentes cofase y el componente o componentes ortogonales, a fin de obtener el componente o componentes cofase y el componente o componente ortogonales

anulados.

- 5
13. Aparato según la reivindicación 12, en el que los medios de selección y procesamiento (40) comprenden también una combinación de medios (401) para realizar un cálculo de combinación predeterminado en los componentes cofase, los componentes cofase anulados, los componentes ortogonales y los componentes ortogonales anulados.
14. Aparato según la reivindicación 9, en el que cada uno de los chips de desensanchamiento se selecciona de un grupo de los resultados previstos.
15. Aparato según la reivindicación 9, en el que el sistema de comunicación inalámbrico es un sistema TD-SCDMA, y el valor de cada unidad de la secuencia de ensanchamiento se selecciona del conjunto $\{1, -1, j, -j\}$.
- 10
16. Aparato según la reivindicación 14 ó 15, en el que el sistema de comunicación inalámbrico es un sistema TD-SCDMA, y el resultado previsto se selecciona del conjunto $\{I+jQ, -I-jQ, -Q+jI, Q-jI\}$, en el que I es el componente cofase, Q es el componente ortogonal, -I es el componente cofase anulado y -Q es el componente ortogonal anulado.

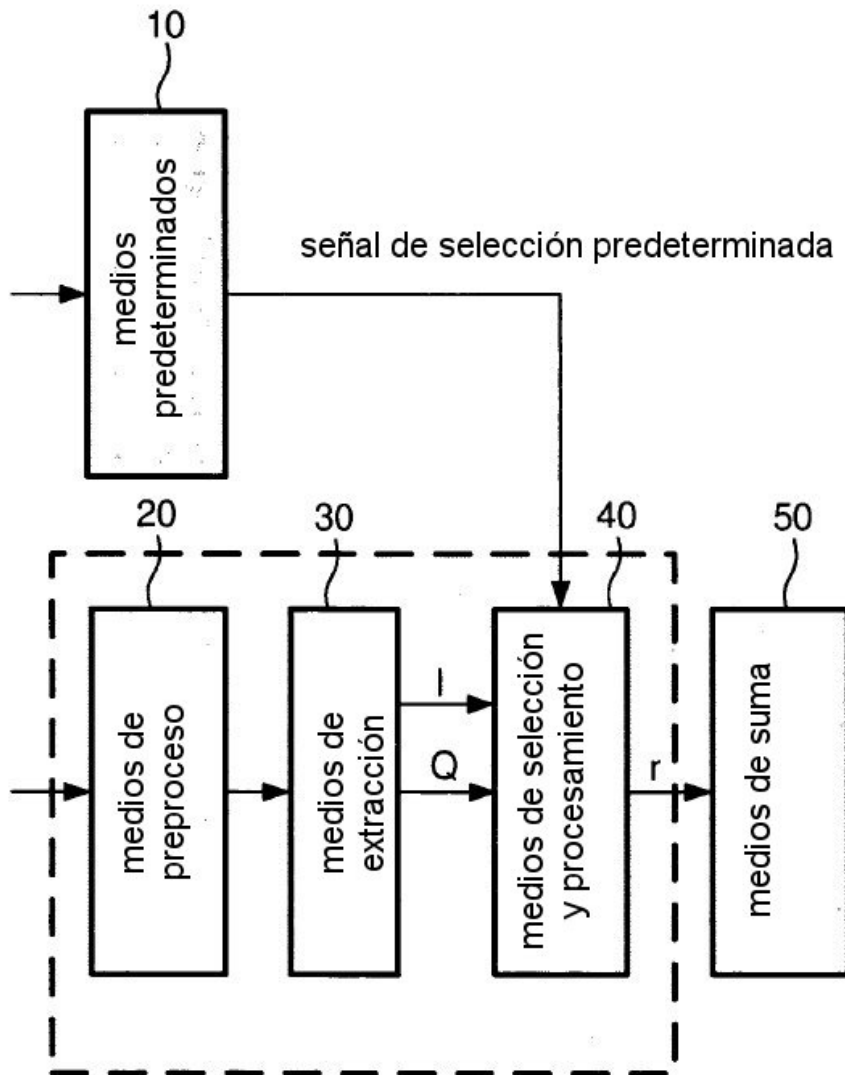


FIG. 1

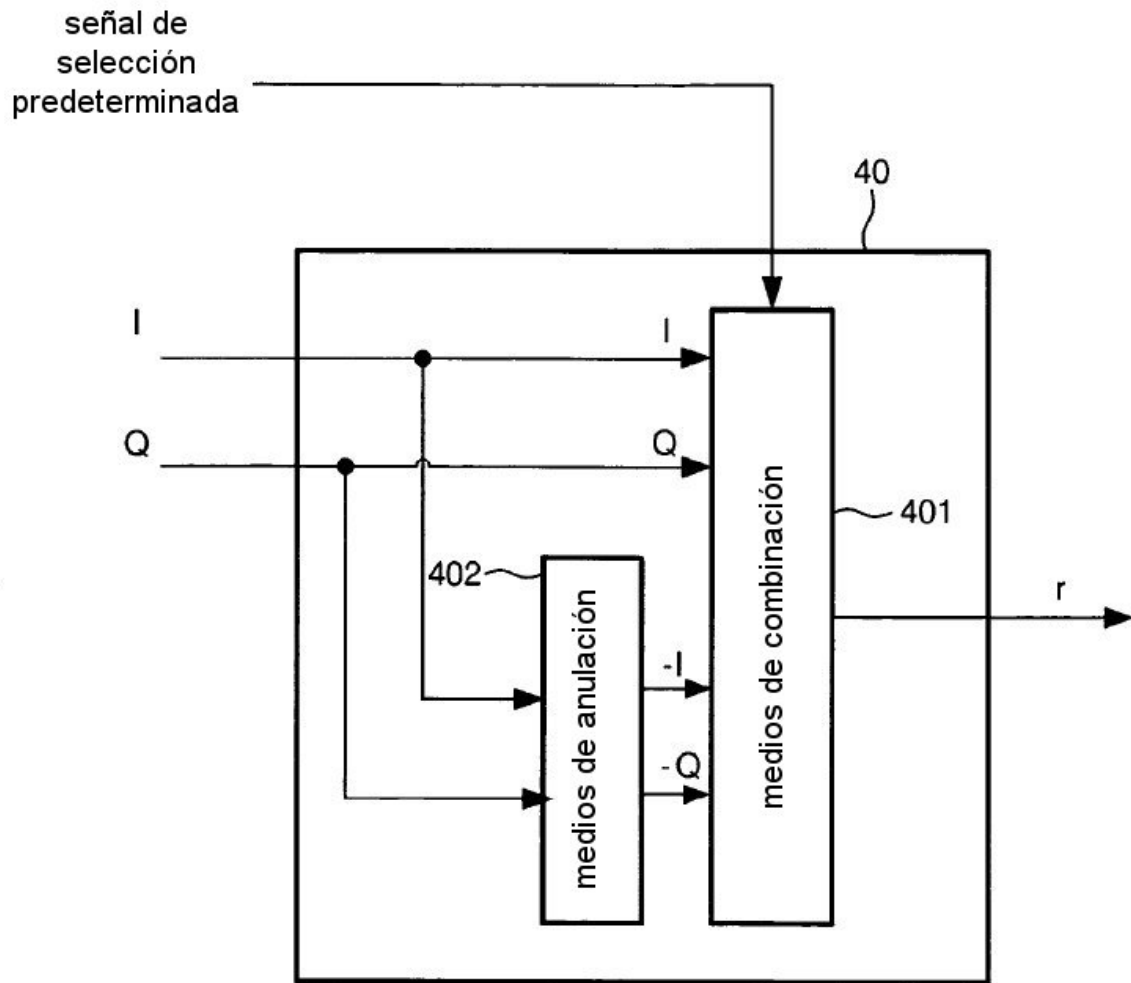


FIG. 2

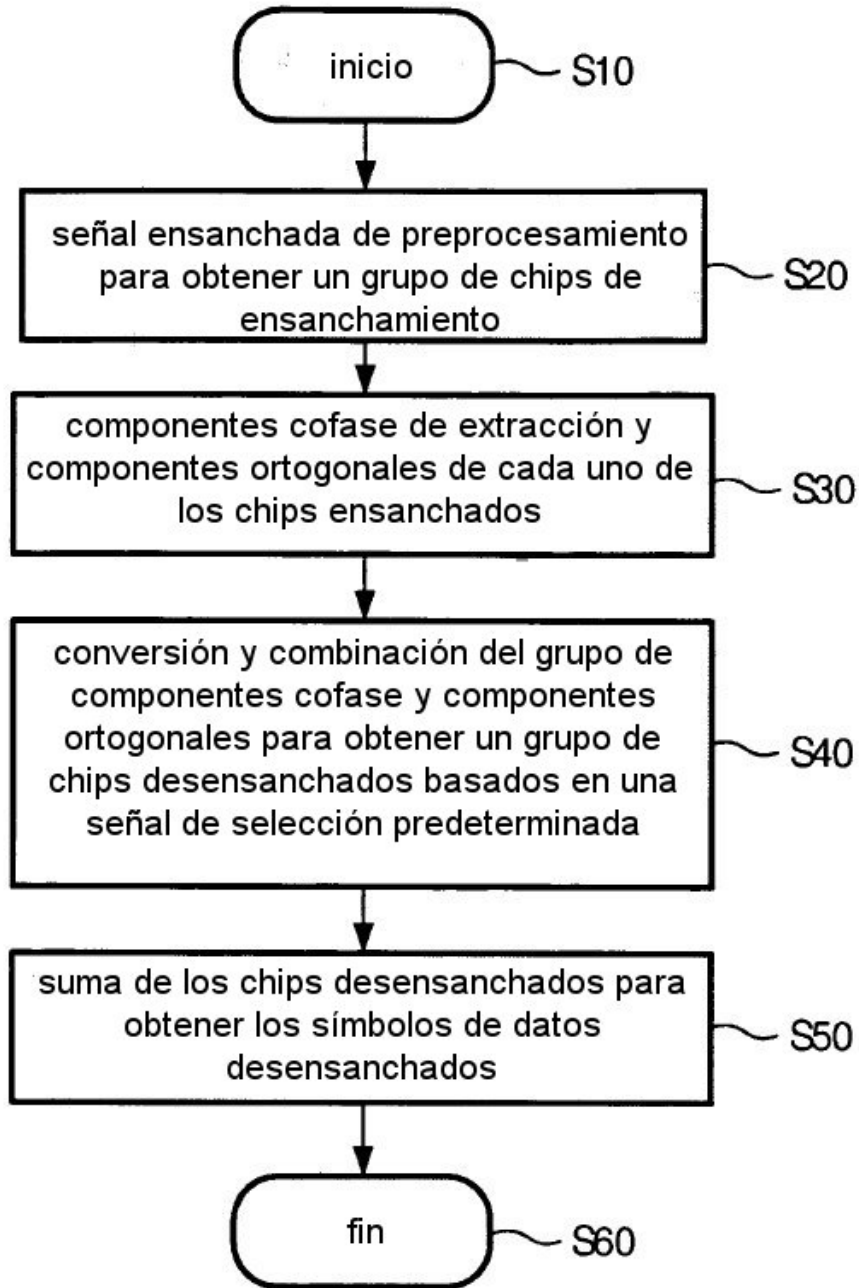


FIG. 3

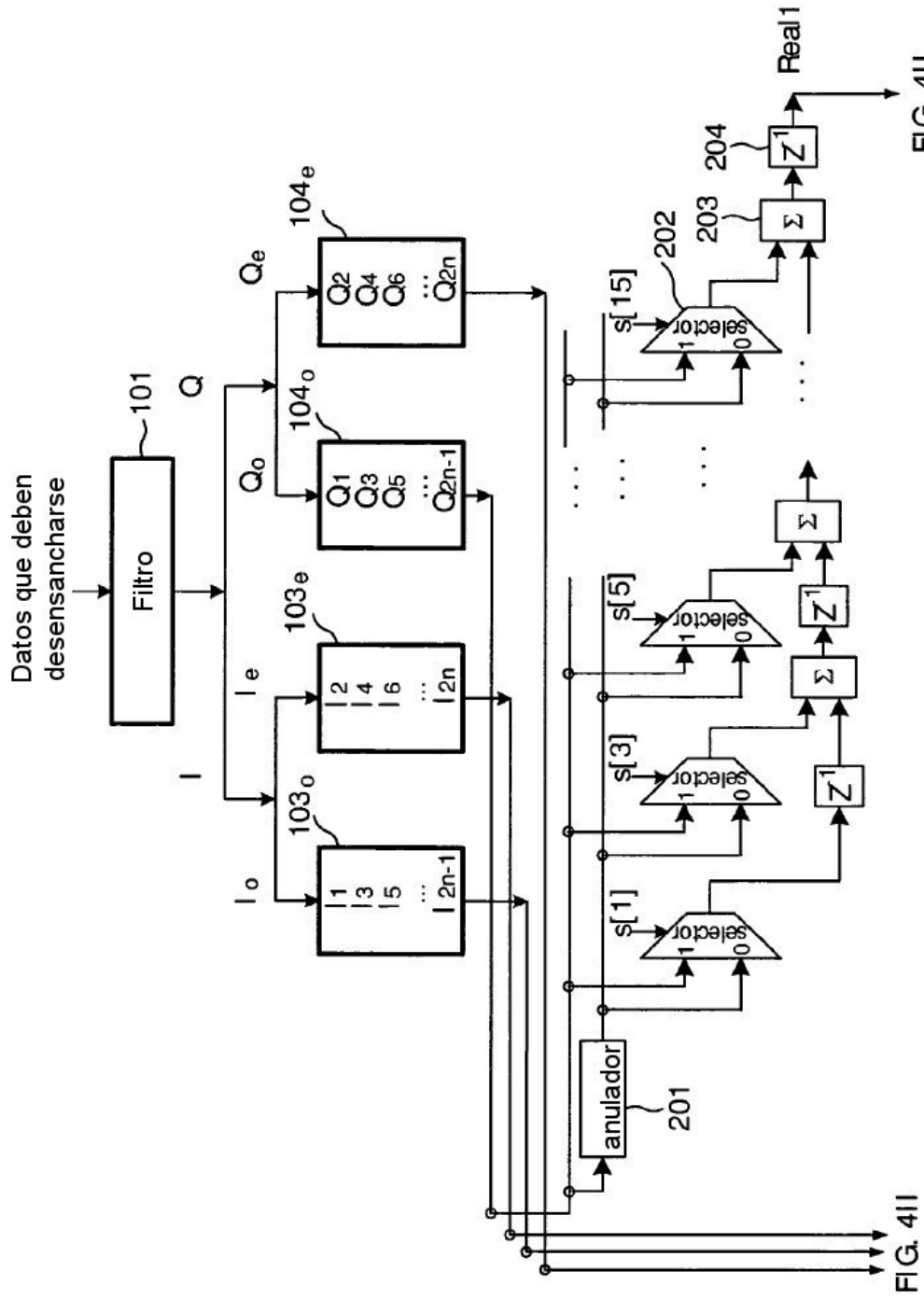


FIG. 4I

FIG. 4II

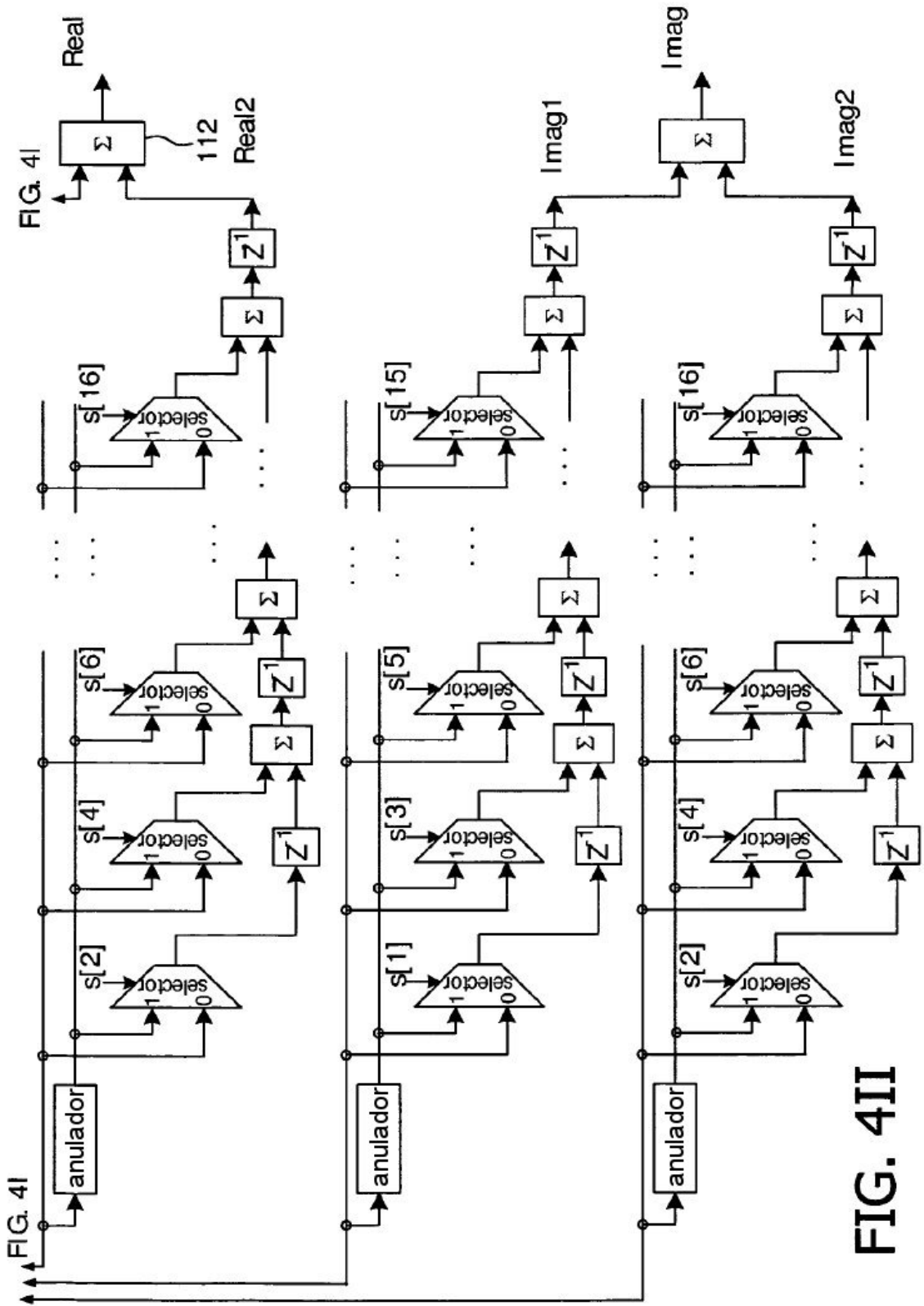


FIG. 4II

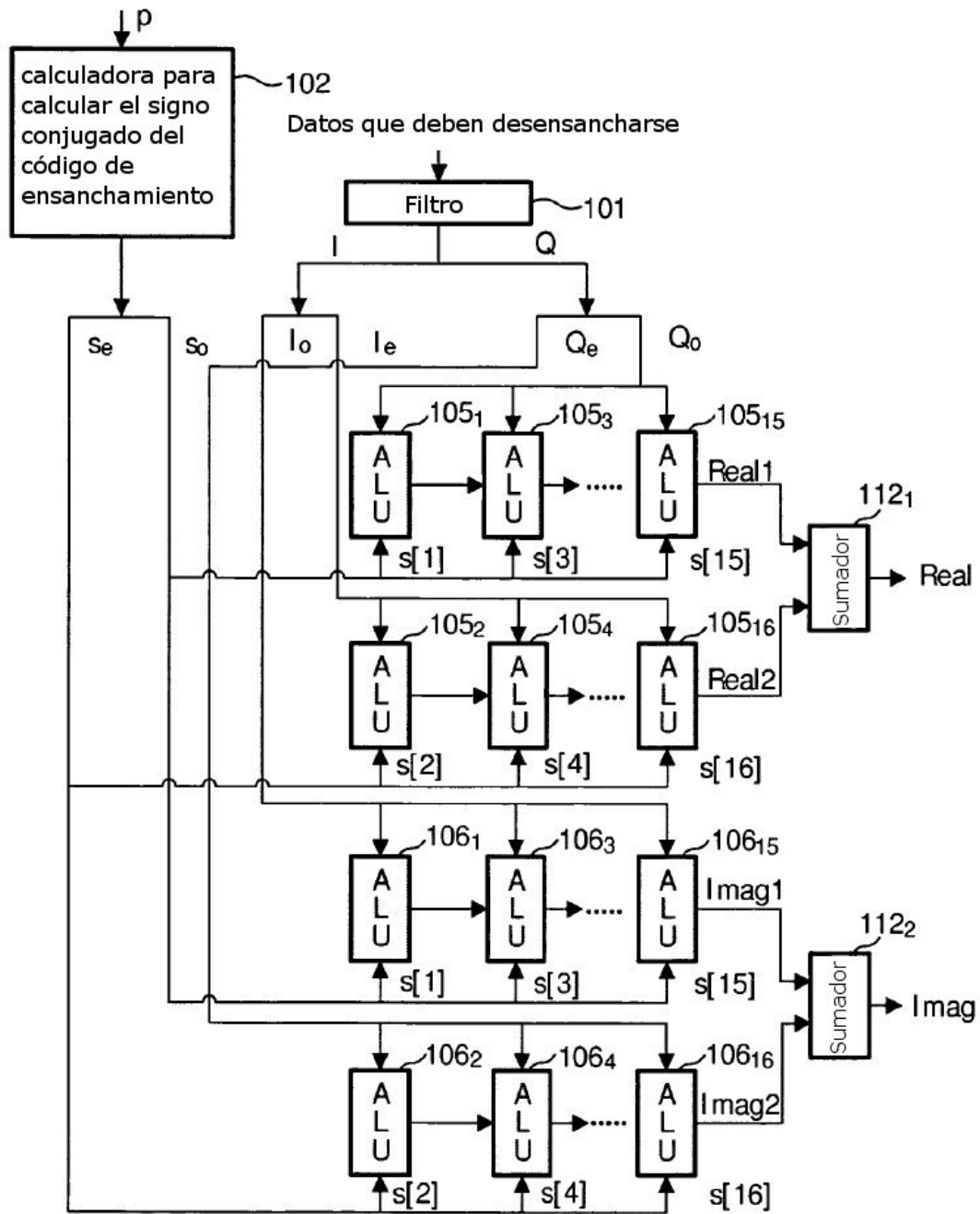


FIG. 5

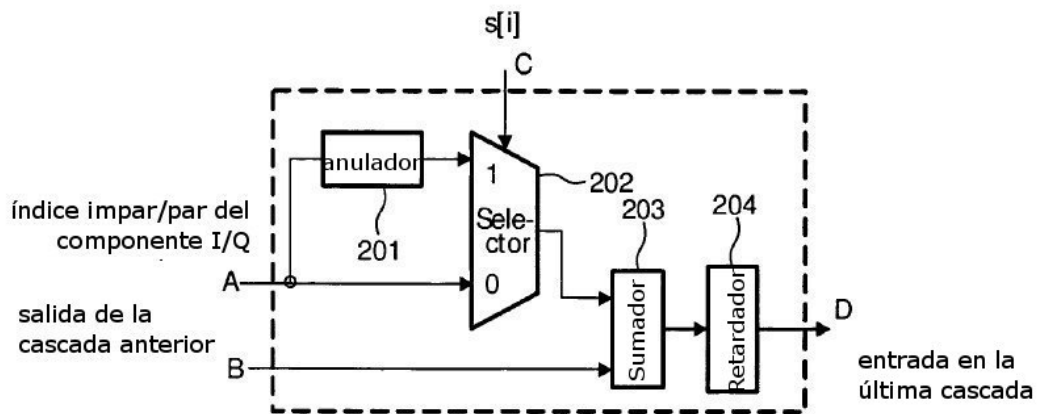


FIG. 6

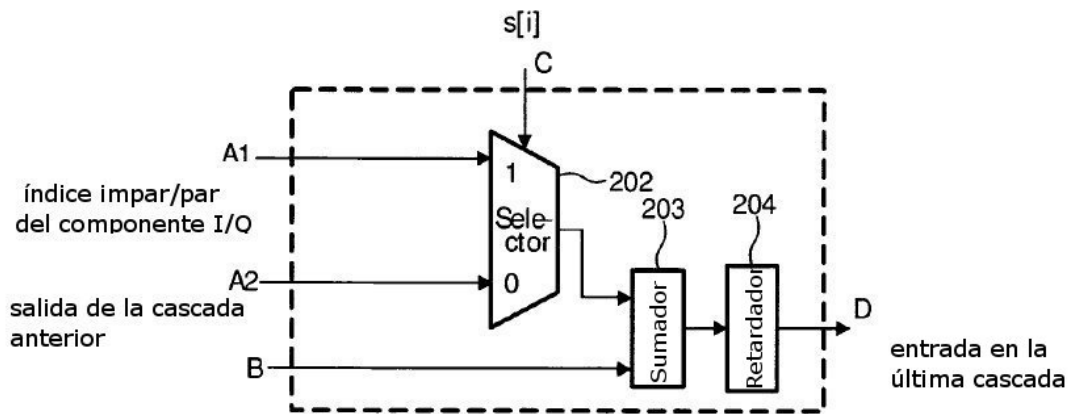


FIG. 7

REFERENCIAS CITADAS EN LA MEMORIA

Esta lista de referencias citada por el solicitante es únicamente para comodidad del lector. No forma parte del documento de patente europea. Aunque se ha prestado la máxima atención en la compilación de las referencias, no pueden excluirse errores u omisiones, y la OEP no asume responsabilidad alguna a este respecto.

Documentos de patente citados en la memoria

• EP 0661829 A [0016]

• WO 2004077693 A [0018]

• EP 0854586 A [0017]