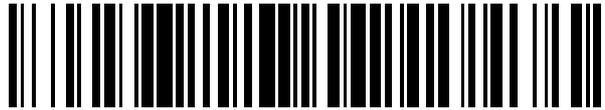


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 477 493**

51 Int. Cl.:

G11C 11/56 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **14.02.2008 E 08714608 (0)**

97 Fecha y número de publicación de la concesión europea: **09.04.2014 EP 2126923**

54 Título: **Memoria no volátil con operación multimodo dinámica**

30 Prioridad:

16.02.2007 US 890252 P
27.07.2007 US 829410

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
17.07.2014

73 Titular/es:

MOSAID TECHNOLOGIES INCORPORATED
(100.0%)
11 HINES ROAD, SUITE 203
OTTAWA, ON K2K 2X1, CA

72 Inventor/es:

KIM, JIN-KI

74 Agente/Representante:

CURELL AGUILÁ, Mireia

ES 2 477 493 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Memoria no volátil con operación multimodo dinámica.

5 **Antecedentes**

La memoria *flash* es un tipo comúnmente usado de memoria no volátil que se usa ampliamente como medios de almacenamiento masivo para electrónica de consumo, tal como, por ejemplo, cámaras digitales y reproductores digitales portátiles de música. La densidad de un chip de memoria flash ampliamente disponible puede ser de hasta 4 GB (en la actualidad), lo cual resulta adecuado para su uso en unidades de almacenamiento flash USB populares puesto que el tamaño de un chip flash es pequeño.

La llegada de las cámaras digitales de 8 megapíxeles y de los dispositivos digitales portátiles de entretenimiento con capacidades de música y vídeo ha estimulado la demanda de capacidades extremadamente altas para almacenar las grandes cantidades de datos que no se pueden satisfacer por medio del dispositivo simple de memoria flash. Por lo tanto, múltiples dispositivos de memoria flash se combinan conjuntamente en un sistema de memoria para incrementar de manera efectiva la capacidad de almacenamiento disponible. Por ejemplo, para tales aplicaciones se pueden requerir densidades de almacenamiento flash de 20 GB. Pueden obtenerse sistemas de mayor densidad para aplicaciones de unidades de disco duro (HDD).

La figura 1 es un diagrama de bloques general de una memoria flash típica de la técnica anterior. La memoria flash 10 incluye circuitería lógica, tal como un circuito de control 12, para controlar varias funciones de los circuitos flash, registros para almacenar información de direcciones, información de datos e información de datos de órdenes, circuitos de alto voltaje para generar los voltajes requeridos de programación y borrado, y circuitos de memoria de núcleo para acceder a la matriz de memoria 14. El circuito de control 12 incluye un decodificador de órdenes y lógica para ejecutar las operaciones flash internas, tales como funciones de lectura, programación y borrado. Las funciones de los bloques de circuito mostrados de la memoria flash 10 son bien conocidas en la técnica. Los expertos en la materia apreciarán que la memoria flash 10 representada en la figura 1 representa una posible configuración de memoria flash entre las muchas posibles configuraciones.

La matriz de celdas de memoria 14 de la memoria flash 10 de la figura 1 consta de un número cualquiera de bancos, el cual es un parámetro de diseño seleccionado para un dispositivo flash particular. La figura 2 es una ilustración esquemática que muestra la organización de un banco 20 de la matriz de celdas de memoria 14 de la figura 1. El banco 20 está organizado en $k+1$ bloques, y cada bloque consta de $i+1$ páginas. Tanto k como i son valores enteros. Cada página se corresponde con una fila de celdas de memoria acopladas a una línea de palabra común. A continuación se ofrece una descripción detallada de las celdas de memoria del bloque.

Cada bloque consta de cadenas de celdas de memoria NAND, que tienen hasta $i+1$ celdas de memoria flash 22 dispuestas en serie y acopladas eléctricamente entre sí. Por consiguiente, las líneas de palabra WL_0 a WL_i están acopladas a las puertas de cada celda de memoria flash en la cadena de celdas de memoria. Un dispositivo de selección de cadena 24 acoplado a la señal SSL (línea de selección de cadena) conecta selectivamente la cadena de celdas de memoria a una línea de bit 26, mientras que un dispositivo de selección de tierra 28 acoplado a la señal GSL (línea de selección de tierra) conecta selectivamente la cadena de celdas de memoria a una línea de fuente, tal como VSS. El dispositivo de selección de cadena 24 y el dispositivo de selección de tierra 28 son transistores de canal n .

Existen $j+1$ líneas de bit 26 comunes para todos los bloques del banco 20, y cada línea de bit 26 está acoplada a una cadena de celdas de memoria NAND en cada uno de los bloques $[0]$ a $[k]$. La variable j es un valor entero. Cada señal de línea de palabra (WL_0 a WL_i), SSL y GSL está acoplada al mismo dispositivo de transistor correspondiente en cada cadena de celdas de memoria NAND en el bloque. Tal como apreciarán los expertos en la materia, a los datos almacenados en las celdas de memoria flash a lo largo de una línea de palabra se les hace referencia como página de datos.

Acoplado a cada línea de bit fuera del banco 20 se encuentra un registro de datos 30 para almacenar una página de datos de escritura a programar en una página de celdas de memoria flash. El registro de datos 30 incluye también circuitos de detección para detectar datos leídos desde una página de celdas de memoria flash. Durante las operaciones de programación, los registros de datos llevan a cabo operaciones de verificación de programación para garantizar que los datos se han programado correctamente en las celdas de memoria flash acopladas a la línea de palabra seleccionada. La programación dentro de un bloque se inicia típicamente en la página correspondiente a WL_0 , y prosigue secuencialmente hasta WL_i para llenar el bloque actual. Alternativamente, la programación se puede iniciar en WL_i y proseguir secuencialmente en descenso hasta WL_0 . A continuación, la programación continúa con WL_0 de un bloque nuevo. Dentro de un dispositivo, los bloques se programan típicamente de forma secuencial.

Las celdas flash de la memoria flash 10 pueden almacenar datos en uno de dos modos diferentes. Se pueden almacenar datos en un modo de almacenamiento de un solo bit por celda (SBC) o en un modo de almacenamiento de múltiples bits por celda (MBC). En el modo de almacenamiento SBC, se almacena exactamente un bit de

información en una celda para representar uno de dos estados posibles. En el modo de almacenamiento MBC, se almacenan dos bits en una celda para representar uno de cuatro estados posibles. Evidentemente, en una celda se pueden almacenar tres bits o más, aunque, desde este momento en adelante, se usará el ejemplo de tener dos bits almacenados en una celda. La ventaja de almacenar datos en el modo de almacenamiento MBC (dos bits por celda o más) es que se dobla por lo menos la capacidad de almacenamiento con respecto al modo de almacenamiento SBC cuando se usa el mismo número de celdas. Los circuitos principales de la memoria flash 10 son sustancialmente los mismos cuando se almacenan datos en el modo de almacenamiento SBC o el modo de almacenamiento MBC. Por lo tanto, los fabricantes de memorias flash aplican una opción de máscara durante el proceso de fabricación para configurar la memoria flash 10 con el fin de ejecutar o bien algoritmos específicos de SBC o bien algoritmos específicos de MBC, puesto que los circuitos flash se controlan de manera diferente entre operaciones de lectura y programación SBC y MBC.

La figura 3 muestra un gráfico de distribución del voltaje de umbral (V_t) para celdas de memoria borradas y celdas de memoria programadas en el modo de almacenamiento SBC. Debido a variaciones del proceso y de la alimentación de voltaje, los voltajes de umbral de borrado y programación se distribuyen dentro de un intervalo de voltajes. Tal como se muestra en la figura 3, las celdas de memoria borradas tienen un voltaje de umbral negativo entre -3 V y -1 V, mientras que las celdas de memoria programadas tienen un voltaje de umbral positivo entre 1 V y 3 V. Los intervalos dependen del voltaje de umbral deseado para las celdas de memoria. Los intervalos de voltaje de umbral son ilustrativos de voltajes de umbral posibles que se pueden usar en un dispositivo de memoria flash particular, aunque los expertos en la materia apreciarán que la selección de voltajes de umbral a usar para celdas de memoria borradas y programadas dependerá del proceso de diseño y fabricación del dispositivo de memoria flash. Los expertos en la materia apreciarán que dispositivos flash diferentes presentarán intervalos diferentes de voltajes de umbral para adecuarse a un diseño o aplicación particular.

La figura 4 muestra un gráfico de distribución del voltaje de umbral (V_t) para celdas de memoria borradas y celdas de memoria programadas en el modo de almacenamiento MBC. Las celdas de memoria borradas tienen un voltaje de umbral negativo, y hay tres intervalos de voltajes de umbral positivos que serán almacenados por la celda de memoria, correspondiéndose cada uno con un estado diferente. Preferentemente, los intervalos mínimo y máximo de voltajes de umbral para cada estado se deberían minimizar, mientras que la separación entre los intervalos se debería aumentar al máximo.

Es bien conocido que los dispositivos de memoria flash tienen un número limitado de ciclos de borrado-programación antes de que ya no puedan usarse para almacenar datos de manera fiable. Más específicamente, las celdas de las memorias flash están sujetas a un desgaste por ciclos de programación/borrado, el cual constituye un deterioro progresivo de una celda de memoria flash debido a la acumulación de operaciones de programación y borrado. Cabe indicar siempre que un bloque de memoria primero se borra antes de programarlo con datos, con lo cual se puede hacer referencia a los ciclos como ciclos tanto de programación como de borrado. Los expertos en la materia apreciarán que toda memoria flash conocida actualmente está configurada para el borrado de bloques, lo cual significa que si se va a modificar meramente una página de datos en un bloque, se borra el bloque completo que tiene esa página y el mismo se vuelve a programar con la página modificada y las páginas no modificadas. El efecto de dicha acumulación de operaciones de programación y borrado es la alteración de las características de programación y borrado de la celda de memoria superando los parámetros óptimos. Cuando las celdas de memoria se deterioran, son necesarios voltajes más altos de programación y borrado para programar o borrar las celdas de memoria con respecto a los voltajes de umbral deseados. Finalmente, las celdas de memoria no conseguirán retener datos (es decir, el voltaje de umbral deseado) correctamente. Por ejemplo, los ciclos nominales típicos de borrado-programación para una memoria flash SBC actual son aproximadamente 100.000 ciclos. No obstante, una memoria flash MBC actual presenta un valor nominal límite menor de 10.000 ciclos. Los límites antes mencionados de ciclos de borrado-programación son únicamente ejemplos, aunque se sabe bien que los ciclos de borrado-programación MBC son inferiores en un factor significativo con respecto a los ciclos de borrado-programación SBC.

La patente US nº 6456528 se refiere a una arquitectura de memoria que se puede usar para almacenar datos binarios (dos estados) o datos no binarios (múltiples estados).

La patente EP 1 343 172 se refiere a una arquitectura de memoria que se puede usar para almacenar datos de 2 niveles o datos de n niveles, donde se da a conocer que n es un entero tal como 3, 4, 8 o 16.

La publicación de patente US 2006/004952 se refiere a una memoria no volátil que usa celdas adicionales para almacenar información indicando el número de bits que se almacenan en cada celda del bloque de memoria correspondiente.

La publicación de patente US 2005/286297 se refiere a una memoria no volátil que almacena datos en una configuración o bien de celdas de múltiples niveles o bien de un solo bit por celda, y usa otra memoria para almacenar datos de configuración de densidad de memoria correspondientes a los bloques de memoria. Este documento da a conocer los preámbulos de las reivindicaciones 1 y 8.

El documento US 5.671.388 se refiere a un método y un aparato para llevar a cabo operaciones de escritura en un

dispositivo de almacenamiento de celdas en múltiples niveles. Según se describe, una memoria contiene una pluralidad de celdas de memoria que tienen la capacidad de almacenar uno o más bits de datos en cada celda de memoria. La memoria almacena, como respuesta a una operación de escritura, datos correspondientes a la operación de escritura en un primer conjunto de las celdas de memoria de tal manera que cada celda del primer conjunto de las celdas de memoria almacena un único bit. Después de esto, datos del primer conjunto de celdas de memoria se transfieren a un segundo conjunto de las celdas de memoria, de tal manera que cada celda del segundo conjunto de las celdas de memoria almacena más de un solo bit de datos. La operación de escritura en el primer conjunto de celdas se ejecuta en una operación en primer plano, y, en una operación posterior en segundo plano, se transfieren datos del primer conjunto de celdas de memoria al segundo conjunto de celdas de memoria. Las celdas de memoria son celdas de memoria de solo lectura, borrable y programable eléctricamente (EEPROM), de tipo flash, no volátil, y por lo tanto requieren un borrado antes de la programación. Típicamente, las celdas de memoria se recuperan en una operación en segundo plano. No obstante, si no hay disponibles suficientes celdas de memoria para una operación de escritura, entonces se recupera un conjunto de celdas de memoria en una operación en primer plano, y, en las celdas de memoria recuperadas, se almacena más de un bit de los datos.

En la actualidad, la mayoría de memorias flash disponibles es del tipo MBC debido a la gran densidad de almacenamiento con respecto a su tamaño de chip. Aunque esto resulta adecuado para la mayoría de aplicaciones de consumo, el límite de programación-borrado de 10.000 ciclos puede ser insuficiente para otras aplicaciones en las que es frecuente la programación y el borrado de datos. Por lo tanto, cuando una memoria flash MBC ha alcanzado su vida útil de 10.000 ciclos, la misma ya no es utilizable y se debe desechar. Este problema resulta más crítico para aplicaciones comerciales, tales como aplicaciones de HDD, en donde se producen ciclos de programación-borrado con mayor frecuencia. Debido a que las aplicaciones de HDD requieren una integridad de datos mayor que la mayoría de aplicaciones de consumo, la memoria flash MBC no es adecuada para su uso debido a su vida útil relativamente corta de 10.000 ciclos.

Por lo tanto es deseable proporcionar una memoria flash y un sistema de memoria flash adecuados para aplicaciones tanto de consumo como comerciales, que presenten una vida útil prolongada.

Sumario

Es un aspecto de las presentes formas de realización eliminar o mitigar al menos una desventaja de los sistemas previos de memoria flash.

Esto se logra por medio de un método para almacenar datos en un dispositivo de memoria flash según la reivindicación 1 y por medio de un sistema de memoria flash según la reivindicación 8. Las reivindicaciones dependientes respectivas definen las formas de realización preferidas.

Para los expertos en la materia se pondrán de manifiesto otros aspectos y características de las formas de realización descritas a partir de la siguiente descripción de las formas de realización específicas de la invención haciendo referencia a las figuras adjuntas.

Breve descripción de los dibujos

A continuación se describirán las formas de realización, únicamente a título de ejemplo, haciendo referencia a las figuras adjuntas, en las que:

la figura 1 es un diagrama de bloques de un dispositivo de memoria flash de la técnica anterior;

la figura 2 es un esquema que muestra la organización de un banco de memoria del dispositivo de memoria flash de la figura 1;

la figura 3 es un gráfico de distribución de voltaje de umbral (V_t) para celdas de memoria borradas y celdas de memoria programadas en el modo de almacenamiento de un solo bit por celda;

la figura 4 es un gráfico de distribución del voltaje de umbral (V_t) para celdas de memoria borradas y celdas de memoria programadas en el modo de almacenamiento de múltiples bits por celda;

la figura 5 es un diagrama de bloques de un sistema de memoria flash multicanal (*multi-drop*);

la figura 6 es un diagrama de bloques de un sistema de memoria de memoria flash configurado en serie;

la figura 7 es un diagrama de flujo de un método para prolongar la vida útil de un dispositivo de memoria flash multimodo;

las figuras 8a y 8b son ilustraciones de bloques de memoria convertidos entre el modo de almacenamiento MBC y el modo de almacenamiento SBC;

las figuras 8c y 8d son ilustraciones de páginas convertidas entre el modo de almacenamiento MBC y el modo de almacenamiento SBC;

5 la figura 9 es una ilustración esquemática de campos asignados para una página de la matriz de memoria;

la figura 10 es un diagrama de bloques de un sistema de memoria flash que incluye un dispositivo de memoria flash multimodo;

10 la figura 11 es un diagrama de flujo de un método para hacer funcionar el sistema de memoria flash de la figura 10;

la figura 12 es un diagrama de flujo de un método para inicializar una tabla de correspondencias de direcciones con información de etiquetas de modo;

15 la figura 13 es un diagrama de flujo de un método para prolongar la vida útil de un dispositivo de memoria flash multimodo;

20 la figura 14 es un diagrama de flujo de un método para la programación, seleccionable por el usuario, de datos en el modo de almacenamiento MBC y SBC;

la figura 15 es un diagrama de flujo de un método para convertir automáticamente una subdivisión del modo de almacenamiento MBC en una subdivisión del modo de almacenamiento SBC;

25 la figura 16 es un diagrama de flujo de un método para recuperar una subdivisión del modo de almacenamiento SBC; y

la figura 17 es un diagrama de flujo de un método para leer datos de un dispositivo de memoria flash multimodo.

30 Descripción detallada

En general, por lo menos algunas formas de realización ejemplificativas proporcionan un método y un sistema para prolongar la vida útil de un dispositivo de memoria flash. El dispositivo de memoria flash es configurable dinámicamente para almacenar datos en el modo de almacenamiento de un solo bit por celda (SBC) o el modo de almacenamiento de múltiples bits por celda (MBC), de tal manera que, dentro de la misma matriz de memoria, coexisten tanto datos SBC como datos MBC. A un dispositivo de memoria de este tipo se le hace referencia como dispositivo de memoria flash multimodo. Uno o más bits de etiqueta almacenados en cada página de la memoria se usan para indicar el tipo de modo de almacenamiento usado para almacenar los datos en el bloque de memoria correspondiente. Un controlador monitoriza el número de ciclos de programa-borrado correspondientes a cada página para cambiar selectivamente el modo de almacenamiento con el fin de aumentar al máximo la vida útil del dispositivo de memoria flash multimodo.

45 Las formas de realización descritas en la presente memoria son aplicables a dispositivos de memoria flash MBC simples, tales como el que se muestra en la figura 1, y a un sistema de dispositivos de memoria flash MBC tales como los que se muestran en las figuras 5 y 6.

50 La figura 5 es un diagrama de bloques de un sistema de memoria flash 100 integrado con un sistema anfitrión 102. El sistema de memoria flash 100 incluye un controlador de memoria flash 104 en comunicación con el sistema anfitrión 102, y múltiples dispositivos de memoria flash multimodo 106. El sistema anfitrión 102 incluirá un dispositivo de procesamiento, tal como un microcontrolador, un microprocesador, o un sistema de ordenador. El sistema de memoria flash 100 de la figura 5 está configurado para incluir un canal 108, donde, al canal 108, se acoplan en paralelo dispositivos de memoria flash multimodo 106. Los expertos en la materia apreciarán que el sistema de memoria 100 puede tener un mayor o menor número de dispositivos de memoria acoplados al mismo.

55 El canal 108 incluye un conjunto de buses comunes (no representados), que incluirán líneas de datos y de control que están acopladas a todos los dispositivos de memoria 106. Aunque no se muestra, cada dispositivo de memoria se habilita/deshabilita con una señal respectiva de selección de chip proporcionada por el controlador de memoria flash 104. El controlador de memoria flash 104 es responsable de la emisión de órdenes y datos, por medio del canal 108, a un dispositivo de memoria seleccionado 106 sobre la base del funcionamiento del sistema anfitrión 102. Los datos leídos desde los dispositivos de memoria se transfieren, por medio del canal 108, de vuelta al controlador de memoria flash 104 y al sistema anfitrión 102. Al sistema de memoria flash 100 se le hace referencia en general como configuración multicanal (*multi-drop*), en el cual los dispositivos de memoria flash multimodo 106 se acoplan en paralelo con respecto al canal 108. Los expertos en la materia apreciarán que el controlador de memoria flash 104 puede tener múltiples canales, cada uno de ellos con dispositivos de memoria flash 106 acoplados en la configuración multi-canal (*multi-drop*). Cada dispositivo de memoria flash multi-modo 106 se implementa en forma de dispositivos de memoria flash NAND que presentan la organización de memoria en bancos mostrada previamente

en la figura 2. Los dispositivos de memoria flash 106 pueden tener la misma capacidad o capacidades diferentes.

La figura 6 es un diagrama de bloques de un sistema de memoria flash que tiene dispositivos de memoria acoplados en serie. El sistema de memoria flash 120 incluye un controlador de memoria flash 122 en comunicación con el sistema anfitrión 124, y cuatro dispositivos de memoria flash multimodo acoplados en serie 126. Cada uno de los cuatro dispositivos de memoria flash tiene un circuito de entrada/salida para facilitar el funcionamiento entre dispositivos de memoria. Se describe un ejemplo de un dispositivo de memoria flash del tipo mencionado en la solicitud de patente U.S. n.º 11/354.023, de propiedad conjunta, presentada el 30 de diciembre de 2005, y en la solicitud de patente U.S. n.º de serie 11/496.278, de propiedad conjunta, presentada el 31 de julio de 2006, cuyos contenidos se incorporan a la presente memoria como referencia.

Según una forma de realización, el dispositivo de memoria flash multimodo se ajusta por defecto para almacenar datos en el modo de almacenamiento MBC. La vida útil de cada dispositivo de memoria flash multimodo se prolonga ejecutando un esquema de prolongación de vida útil. La figura 7 es un diagrama de flujo que ilustra un esquema de prolongación de vida útil.

La primera etapa es la conversión de celdas 200, ejecutada típicamente como respuesta a una instrucción de programación. Se monitorizan los ciclos de programa/borrado para todas las subdivisiones configuradas en el modo de almacenamiento MBC, y cualquier subdivisión que alcance un límite predeterminado se convertirá automáticamente al modo de almacenamiento SBC. Una subdivisión es la unidad o agrupamiento más pequeño de celdas que son convertibles, tal como, por ejemplo, un bloque de memoria o una página. Esto es debido al hecho de que cualquier subdivisión de modo de almacenamiento MBC que alcance el límite predeterminado ya no almacenará datos de manera fiable, aunque se pueden usar para almacenar datos en el modo de almacenamiento SBC para un número fijado de ciclos de programa/borrado. El algoritmo de conversión de celdas también convertirá subdivisiones desde el modo de almacenamiento SBC al modo de almacenamiento MBC, en caso de que los datos almacenados en las mismas ya no se retengan.

Siguiendo en la etapa 202, se programan datos de acuerdo con el modo de almacenamiento seleccionado. Por defecto, todas las subdivisiones del banco de memoria se ajustan para almacenar datos en el modo de almacenamiento MBC. No obstante, si el usuario opta por almacenar datos que requieren una mayor fiabilidad de almacenamiento, entonces se asigna por lo menos el número requerido de subdivisiones y el mismo se ajusta para almacenar el archivo de datos en el modo de almacenamiento SBC. El controlador de memoria flash (104 ó 122 por ejemplo) se puede configurar para reconocer tipos de extensión específicos, de archivos de datos, como aquellos que requieren una mayor fiabilidad de almacenamiento. Por ejemplo, las aplicaciones ejecutables con un ".exe" en la plataforma del sistema operativo Windows™ se almacenarán en el modo de almacenamiento SBC mientras que un archivo de datos de vídeo con una extensión ".avi" no requiere una fiabilidad de almacenamiento mayor. Por lo tanto, las subdivisiones configuradas en el modo de almacenamiento SBC tendrán una vida útil mayor que las subdivisiones configuradas en el modo de almacenamiento MBC.

El uso de una cualquiera de las etapas antes mencionadas del esquema de prolongación de vida útil prolongará la vida del dispositivo de memoria flash multimodo. No obstante, la máxima prolongación de la vida útil se logra cuando se usan las dos etapas durante el funcionamiento del dispositivo de memoria flash multimodo.

Las figuras 8a y 8b ilustran gráficamente la conversión de subdivisiones de la memoria desde el modo de almacenamiento MBC al modo de almacenamiento SBC, y viceversa, donde una subdivisión es, en la presente, un bloque de memoria. Para simplificar la ilustración, el dispositivo de memoria flash multi-modo 300 de la figura 8a consta de cuatro bloques de memoria 302, incluyendo cada uno de los cuatro bloques de memoria cuatro páginas 304. Se supone que el dispositivo de memoria 300 tenía todos sus bloques 302 ajustados inicialmente para almacenar datos en el modo de almacenamiento MBC, y que se ha sometido a algoritmos de conversión de celdas o bien por parte del usuario o bien automáticos, descritos previamente en la figura 7. Por tanto, por ejemplo, el dispositivo de memoria flash multi-modo 300 presenta la configuración de páginas SBC y MBC que se muestra en la figura 8a, donde los bloques sombreados se ajustan para almacenar datos en el modo de almacenamiento SBC y los bloques no sombreados se ajustan para almacenar datos en el modo de almacenamiento MBC.

La figura 8b ilustra el establecimiento de correspondencias del dispositivo de memoria flash multi-modo 300 después de que se hayan convertido páginas 304. En un primer ejemplo, se ha determinado que el bloque de modo de almacenamiento MBC que contiene páginas 306, 308, 310 y 312 ha alcanzado un número predeterminado de ciclos de programación/borrado. Por lo tanto, las mismas se convierten al modo de almacenamiento SBC. Los ciclos de programa/borrado se monitorizan para cada página 304 en el bloque 302, y se ejecuta la conversión de bloques cuando por lo menos una de las páginas alcanza el número predeterminado.

En un segundo ejemplo, se ha determinado que el bloque de modo de almacenamiento SBC que contiene páginas 314, 315, 316 y 317 ya no está almacenando datos. Esto se puede determinar cuando los datos que se encuentran en las mismas se borran y no hay otros datos almacenados en ellas. Se comprueba el número de ciclos de programa/borrado SBC para las páginas SBC 314, 315, 316 y 317, y, puesto que por lo menos uno de sus ciclos respectivos de programa/borrado SBC ha alcanzado un límite predeterminado, el bloque completo se convierte de

nuevo al modo de almacenamiento MBC. Posteriormente se describirán detalles específicos en relación con la conversión del modo de almacenamiento MBC a SBC y del modo de almacenamiento SBC a MBC.

Las figuras 8a y 8b ilustran la conversión de subdivisiones basadas en bloques entre el modo de almacenamiento SBC y el modo de almacenamiento MBC. Las figuras 8c y 8d ilustran la conversión de subdivisiones basadas en páginas entre el modo de almacenamiento SBC y el modo de almacenamiento MBC. Tal como se muestra en la figura 8c, las páginas 318 y 320 se ajustan para almacenar datos en el modo de almacenamiento MBC, y las páginas 322 y 324 se ajustan para almacenar datos en el modo de almacenamiento SBC. En el primer ejemplo, monitorizando los ciclos de programación/borrado se determina que las páginas tanto 318 como 320 han alcanzado el límite predeterminado de ciclos de programa/borrado MBC. Por tanto, se ejecuta la conversión de páginas individuales al modo de almacenamiento SBC. En el segundo ejemplo, monitorizando los ciclos de programa/borrado se determina que las páginas tanto 322 como 324 han alcanzado un límite predeterminado. Por tanto se ejecuta la conversión de páginas individuales al modo de almacenamiento MBC.

La determinación del modo de almacenamiento de cualquier bloque 302 en el dispositivo de memoria 300 se logra comprobando una etiqueta de modo (por lo menos un bit) almacenada en una de las páginas 304. Esto permite que el dispositivo de memoria 300 ejecute las operaciones apropiadas de programación y lectura sobre el bloque seleccionado 302. La figura 9 es una ilustración esquemática de una página 304, que muestra específicamente sus campos asignados. La página 304 incluye un campo de datos de usuario 350 y un campo de datos de reserva 352. El campo de datos de usuario 350 almacena datos recibidos desde el usuario, mientras que el campo de datos de reserva 352 se reserva para ser usado por el controlador del dispositivo flash o de la memoria flash. En el presente ejemplo, el campo de datos de usuario 350 tiene un tamaño de 2 KB mientras que el campo de datos de reserva 352 tiene un tamaño de 64 B. En el campo de datos de reserva 350, uno o más bits se designan como etiqueta de modo de almacenamiento 354, y varios bits se designan como contador de ciclos de programa/borrado 356 para realizar un seguimiento del número de ciclos de programa/borrado MBC ejecutados sobre la página.

Se incluye un contador SBC 358 para realizar un seguimiento del número total de ciclos de programación/borrado SBC ejecutados sobre la página con el fin de soportar las conversiones de SBC a MBC y las posteriores de MBC a SBC. Una aplicación de ejemplo consiste en programar datos a alta velocidad usando el modo de almacenamiento SBC, y, a continuación, realizar una conversión al modo de almacenamiento MBC posteriormente con el fin de mejorar la capacidad de memoria durante un periodo de reposo. Se puede proporcionar un bit de bloqueo opcional 360 para evitar que una página en modo de almacenamiento SBC se convierta al modo de almacenamiento MBC. Posteriormente se describirán otros detalles de esta característica. Aunque el bloque de memoria 302 incluirá un número cualquiera de páginas 304, una cualquiera o más de las páginas 304 se pueden seleccionar para almacenar el bit de etiqueta, el valor del contador SBC, el valor del contador MBC y el bit de bloqueo opcional correspondiente al bloque de memoria 302.

La etiqueta de modo 354 es usada por el dispositivo de memoria flash multimodo 300 para determinar el algoritmo específico de lectura, programación y borrado a usar. Tal como se ha descrito previamente, los algoritmos de lectura y programación que conllevan el ajuste de niveles de voltaje específicos y la temporización de señales de control difieren para datos almacenados en los modos de almacenamiento SBC y MBC. Dichas diferencias son bien conocidas para los expertos en la materia. En particular, si una subdivisión (tal como, por ejemplo, un bloque) que se va a leer y programar tiene su etiqueta de modo correspondiente 354 fijada a un estado lógico específico, entonces el dispositivo flash ejecutará algoritmos de modo de almacenamiento MBC. Si no, el dispositivo flash ejecutará algoritmos de modo de almacenamiento SBC. La ejecución de los algoritmos específicos de los modos de almacenamiento SBC y MBC es gobernada por el decodificador de órdenes y circuitos lógicos del dispositivo de memoria flash multimodo.

En algunas formas de realización, el dispositivo de memoria flash multimodo incluirá todos los circuitos y la lógica de control requeridos para ejecutar operaciones específicas de los modos de almacenamiento tanto SBC como MBC. Cabe observar que un dispositivo de memoria flash MBC incluye típicamente todos los circuitos usados por un dispositivo de memoria flash SBC. La diferencia principal entre dispositivos de memoria flash MBC y SBC dedicados es la circuitería de control y los circuitos lógicos para ejecutar los algoritmos.

La figura 10 es un diagrama de bloques de un sistema de memoria flash que incluye un dispositivo de memoria flash multimodo. El sistema de memoria flash 400 incluye un controlador de memoria flash 402 y un dispositivo de memoria flash multimodo 404. Aunque, por comodidad en su ilustración, se muestra únicamente un dispositivo 404, el sistema 400 puede incluir un número cualquiera de dispositivos 404 acoplados al mismo canal, y el sistema 400 puede incluir un número cualquiera de canales. A continuación se describirán detalles del controlador de memoria flash 402 y el dispositivo de memoria flash multimodo 404.

Un componente típico del controlador de memoria flash 402 es un traductor de direcciones lógicas a físicas 406, el cual es responsable de establecer una correspondencia de cada dirección lógica proporcionada por el sistema anfitrión con una dirección física correspondiente en el dispositivo de memoria flash multimodo. Tal como apreciarán aquellos expertos en la materia, el establecimiento de correspondencia de direcciones se usa para garantizar que la dirección lógica para datos apunta de manera regular a su posición física real en la matriz de memoria en el caso de

que los datos se muevan o se vuelvan a programar con el fin de implementar operaciones de nivelación de desgaste (*wear leveling*). Además, el traductor se implementa comúnmente en forma de una tabla de correspondencias de direcciones. Según la presente forma de realización, cada etiqueta de modo (MODO) de cada subdivisión del dispositivo de memoria flash multimodo 404 se obtiene y almacena con su entrada de dirección lógica correspondiente en la tabla de correspondencias. Si la subdivisión es un bloque, entonces se almacena la etiqueta de modo correspondiente para las direcciones lógicas correspondientes al bloque. Alternativamente, si la subdivisión es una página, entonces se obtiene y almacena la etiqueta de modo de cada página. Por lo tanto, el controlador de memoria flash 402 emitirá órdenes externas (CMD) con información referente al tipo de modo de almacenamiento asociado a las direcciones seleccionadas.

El dispositivo de memoria flash multimodo 404 mostrado en la figura 10 incluye un circuito de control multimodo 405 que consta del decodificador de órdenes 408 y la lógica de control 410, una circuitería de memoria flash 412 y una matriz de memoria 414. La circuitería de memoria flash 412 y la matriz de memoria 414 se han simplificado por motivos de claridad, aunque los expertos en la materia apreciarán que estos bloques de circuito incluyen todos los componentes necesarios para garantizar un funcionamiento correcto del dispositivo de memoria flash multimodo 404. El decodificador de órdenes 408 recibe una orden externa CMD emitida por el controlador de memoria flash 402, decodifica una orden, y emite una orden de control interna correspondiente para la lógica de control 410. Los expertos en la materia apreciarán que la orden externa CMD incluirá información tal como el tipo de operación a ejecutar, datos de usuario que se deben programar, y una dirección en la cual se van a escribir los datos o desde la cual se van a leer datos. La lógica de control 410 es una máquina de estados que dispone de lógica para ejecutar todas las operaciones normalizadas de lectura y programación SBC y MBC, incluyendo cualesquiera operaciones suplementarias tales como operaciones de verificación de programación. La lógica de control 410 incluye también circuitería lógica para ejecutar funciones lógicas exclusivas del dispositivo de memoria flash multimodo, según se describirá posteriormente.

El decodificador de órdenes 408 incluye un decodificador de órdenes MBC 416, un decodificador de órdenes SBC 418 y un decodificador de órdenes comunes 420. El decodificador de órdenes MBC 416 emite órdenes específicas del modo de almacenamiento MBC, tales como una orden de lectura MBC RD_MBC y una orden de programación MBC PGM_MBC. El decodificador de órdenes SBC 418 emite órdenes específicas del modo de almacenamiento SBC, tales como una orden de lectura SBC RD_SBC y una orden de programación SBC PGM_SBC. El decodificador común 420 emite órdenes que no son específicas de subdivisiones de memoria configuradas para los modos de almacenamiento SBC o MBC, tales como una orden de borrado. Los tres decodificadores de sub-órdenes 416, 418, y 420 se muestran como bloques de circuito diferenciados para ilustrar la clasificación de los tipos de órdenes emitidas por el decodificador de órdenes 408, y no indican necesariamente un circuito o agrupamiento específico de lógica usado para generar las órdenes.

A continuación se describe el funcionamiento general del sistema de memoria flash 400 en referencia al diagrama de flujo de la figura 11. Antes de llevar a cabo las etapas del método de funcionamiento ilustrado, se supone que la información de etiqueta de modo ya se ha cargado en el traductor de direcciones 406. A continuación, en la etapa 450, se recibe una solicitud de anfitrión, la cual puede incluir, por ejemplo, una solicitud de lectura o escritura. La solicitud incluirá la dirección lógica para escribir datos en el o la dirección lógica para leer datos del dispositivo de memoria flash multimodo 404. En la etapa 452, el controlador de memoria flash 402 realiza una búsqueda en la tabla de correspondencias de direcciones y genera la orden apropiada CMD con una indicación en relación con el tipo necesario de operación de modo de almacenamiento que se requiere (modo de almacenamiento SBC con respecto a MBC), basándose en la dirección lógica solicitada y el estado de la etiqueta de modo correspondiente en la etapa de correspondencias de direcciones. La orden CMD recibida por el decodificador de órdenes 408 se decodifica, y, el decodificador de órdenes MBC 416 ó el decodificador de órdenes SBC 418, en la etapa 454, emite órdenes de lectura/programación o bien en el modo de almacenamiento SBC o bien en el modo de almacenamiento MBC. Evidentemente, la orden CMD puede ser una orden específica que no sea en el modo de almacenamiento, tal como una operación de borrado que sea emitida por el decodificador de órdenes comunes 420. En la etapa 456, la lógica de control 410 ejecuta el algoritmo requerido y controla la circuitería necesaria de memoria flash multimodo 412 según la manera apropiada.

Antes de la ejecución de cualquier operación por parte del dispositivo de memoria flash multimodo 404, la tabla de correspondencias de direcciones del controlador de memoria flash 402 se inicializa con la etiqueta de modo. Esto se realiza preferentemente durante un tiempo en el que no se están ejecutando operaciones de usuario, tal como durante la puesta en marcha del sistema de memoria flash 400. La figura 12 es un diagrama de flujo que ilustra un método para inicializar la tabla de correspondencias de direcciones. En la etapa 500, se pone en marcha el sistema de memoria flash 400. A continuación, en la etapa 502, el dispositivo de memoria flash 404 explora su matriz de memoria para evaluar los estados lógicos de todos sus bits de etiqueta. Esto se lleva a cabo ejecutando una operación de lectura de todas las páginas en el dispositivo de memoria flash 404, y proporcionando únicamente la información de etiqueta de modo (MODO) al controlador de memoria flash 402. Si se lee al mismo tiempo una página completa de datos, se usa únicamente el bit de etiqueta y se ignoran los datos restantes leídos de las páginas. A continuación, la tabla de correspondencias de direcciones se llena con los datos de etiqueta de MODO en la etapa 504.

Para aumentar al máximo la velocidad y para simplificar el proceso de lectura de etiquetas de modo, todas las páginas se leen usando el algoritmo de lectura de modos de almacenamiento SBC. Más específicamente, el algoritmo de lectura SBC detecta la presencia o ausencia de un estado borrado del bit de etiqueta. Los dos estados lógicos binarios se pueden usar para determinar la configuración de modo de almacenamiento SBC o MBC de la subdivisión (es decir, por ejemplo, bloque o página). Preferentemente, el dispositivo de memoria flash se pre-programará durante la fabricación/pruebas para hacer que todos sus bits de etiqueta de modo se fijen a un estado lógico (el estado borrado) lo cual indica que se van a programar datos en el modo de almacenamiento MBC. Durante el funcionamiento convencional, el dispositivo de memoria flash 402 se someterá a operaciones de programación y borrado, con lo cual, finalmente, se habrá cambiado la etiqueta de modo de por lo menos una subdivisión, ya sea una página o un bloque de memoria.

La figura 13 es un diagrama de flujo que ilustra un método para prolongar la vida útil del dispositivo de memoria flash multimodo 400 cambiando automáticamente el estado de la etiqueta de modo. El método expresa en líneas generales criterios, o condiciones, específicos antes de cambiar una etiqueta de modo. El método se inicia en la etapa 550 en donde se programan datos en el dispositivo de memoria flash multi-modo. Se supone que existe una mezcla de subdivisiones de modo de almacenamiento SBC y subdivisiones de modo de almacenamiento MBC en la matriz de memoria del dispositivo de memoria flash multimodo. Por tanto, en la etapa 550, se ejecutará una operación de programación SBC o MBC.

En la etapa 552, se monitoriza el número de ciclos de programación para cada subdivisión de la matriz de memoria después de un ciclo de programación/borrado. Alternativamente, la monitorización se puede efectuar justo antes de un ciclo de programación/borrado. Cabe indicar que cada operación de programación para una subdivisión de la memoria viene precedida por una operación de borrado en algún instante de tiempo, con lo cual el número de ciclos de borrado o ciclos de programación es sustancialmente el mismo. La tabla de correspondencias de direcciones puede incluir un contador de programación/borrado para cada subdivisión, el cual se llena inicialmente como un valor de contador correspondiente almacenado en el campo de datos de reserva (352) de la página. Los valores del contador se pueden cargar durante la puesta en marcha del sistema y se pueden programar de nuevo en la página cuando se programen datos. La monitorización de la etapa 552 incluye la comparación del contador de programación/borrado para la(s) subdivisión(es) programada(s) en ese momento, con un límite predeterminado. Existen dos límites predeterminados que se usan basándose en. Uno de los límites es el límite de modo de almacenamiento SBC, mientras que el otro es el límite de modo de almacenamiento MBC. Por ejemplo, las subdivisiones del modo de almacenamiento MBC presentarán un límite de 10.000 ciclos de programación/borrado, y la subdivisión del modo de almacenamiento SBC tendrá un límite de 100.000 ciclos de programación/borrado. Antes o después de que se haya completado la operación de programación, se ejecuta la comparación. A continuación, se procede con una de entre tres acciones posibles en caso de que se alcance el límite predeterminado aplicable.

La primera acción posible consiste en prolongar la vida útil de subdivisiones en modo de almacenamiento MBC en la etapa 554 convirtiéndolas al modo de almacenamiento SBC. Por lo tanto, cualesquiera datos almacenados en ese momento en las subdivisiones en modo de almacenamiento MBC a las que se les aplicará una conversión o bien se mueven o bien se programan en subdivisiones disponibles en modo de almacenamiento MBC. A continuación, en la etapa 556 se cambian los bits correspondientes de la etiqueta de modo en la tabla de correspondencias de direcciones, para indicar que las subdivisiones se han fijado al modo de almacenamiento SBC. El campo de bit de etiqueta de la página se programa cuando se programan datos en la página.

La segunda acción posible consiste en recuperar subdivisiones de modo de almacenamiento SBC en la etapa 558, convirtiéndolas al modo de almacenamiento MBC. Este es un proceso inverso al descrito en la etapa 554. La recuperación se efectúa bajo dos condiciones, siendo una de ellas que el número de ciclos de programa/borrado SBC esté por debajo de un valor predeterminado menor que el límite SBC normalizado, donde el límite SBC normalizado puede ser 100.000 ciclos. Esto es debido al hecho de que las celdas de memoria SBC que se hayan programado cerca de 100.000 ciclos se deteriorarán hasta el punto de que no almacenarán de manera fiable datos en el modo de almacenamiento MBC. Por lo tanto, se usa un límite reducido de recuperación de SBC a MBC. Este límite reducido se selecciona de tal manera que la subdivisión aguante de manera fiable el límite MBC normalizado de 10.000 ciclos de programa/borrado. En una forma de realización, el límite reducido de recuperación de SBC a MBC se corresponderá con el límite MBC. Por ejemplo, si el límite MBC es 10.000 ciclos, entonces las celdas de memoria SBC se pueden convertir al modo de almacenamiento MBC siempre que hayan aguantado 10.000 ciclos de programación/borrado SBC o menos. La segunda condición es que los datos almacenados en las subdivisiones SBC ya no se usen, es decir, los datos han sido borrados y no se han reprogramado en las mismas subdivisiones. Cuando se borra una subdivisión, la tabla de correspondencias de direcciones se actualiza para indicar que la subdivisión está libre. Una vez que se cumplen estas dos condiciones, en la etapa 556 se cambia el estado de la etiqueta de modo en la tabla de correspondencias de direcciones. Por lo tanto, resulta ventajoso recuperar dichas subdivisiones SBC para un almacenamiento de alta densidad.

La tercera acción posible consiste en retirar subdivisiones SBC en la etapa 560, cuando las mismas han alcanzado su límite de ciclos de programación/borrado SBC. En este caso, las subdivisiones simplemente se descartan y ya no son usadas por el sistema de memoria flash. El descarte (*mapping out*) de subdivisiones no utilizables es una operación bien conocida en sistemas de memorias flash. No obstante, antes de este instante de tiempo, la(s)

subdivisión(es) habrá(n) almacenado datos en los modos de almacenamiento tanto MBC como SBC, aumentando así al máximo la vida útil de la(s) subdivisión(es).

5 Las formas de realización previamente descritas suponen que la memoria flash multimodo tiene todas sus subdivisiones configuradas para almacenar datos en el modo de almacenamiento MBC por defecto. No obstante, cualquier subdivisión en el modo de almacenamiento MBC se puede convertir al modo de almacenamiento SBC por medio del sistema anfitrión. La figura 14 es un diagrama de flujo que ilustra el método para la programación, seleccionable por el sistema anfitrión, de datos en el modo de almacenamiento MBC y SBC. Este método se puede ejecutar como una subrutina de la etapa 550 en el método de prolongación de vida útil de la figura 13. Comenzando 10 en la etapa 600, el controlador de memoria flash recibirá una instrucción de programación desde el anfitrión e identifica el tipo de datos a programar. El tipo de datos puede ser archivos de imagen tales como JPEG's, varios archivos de datos de aplicación, tales como documentos de hoja de cálculos o texto, y programas ejecutables, por ejemplo. Puesto que cada archivo tendrá una extensión específica, el controlador de memoria flash identificará el tipo de datos específico. A continuación, el controlador de memoria flash determina si el archivo de datos requiere una fiabilidad alta en la etapa 602. Esto se puede realizar, por ejemplo, comprobando una tabla que incluye todos los tipos de datos que se considera que requieren una fiabilidad alta. Por ejemplo, se puede considerar que los programas ejecutables requieren una alta fiabilidad. Cabe indicar que el sistema anfitrión puede seleccionar previamente los tipos de datos que requieren una fiabilidad alta.

20 Si el tipo de datos no aparece en la tabla, entonces el método prosigue hacia la etapa 604, y el dispositivo de memoria flash multimodo programa los datos en el modo de almacenamiento MBC. Más específicamente, el controlador de memoria flash identifica subdivisiones libres que tienen una etiqueta de modo fijada al modo de almacenamiento MBC a partir de su tabla de correspondencias de direcciones, y emite la orden apropiada de programación MBC hacia el dispositivo de memoria flash multimodo. Al producirse la recepción de la orden, el dispositivo de memoria flash multi-modo proseguirá con operaciones de programación internas según la manera descrita previamente para la figura 10. Una vez que la verificación de programación interna ha determinado que los datos se han programado de manera satisfactoria, en la etapa 606 se incrementan los contadores de programa/borrado en la tabla de correspondencias de direcciones correspondiente a las páginas seleccionadas.

30 Haciendo referencia de nuevo a la etapa 602, si el tipo de datos sí aparece en la tabla, entonces el método prosigue hacia la etapa 608 donde el controlador de memoria flash comprueba si hay disponibles subdivisiones en modo de almacenamiento SBC libres. Si hay disponibles subdivisiones libres en modo de almacenamiento SBC, entonces se dan instrucciones al dispositivo de memoria flash multimodo para que programe los datos en las posiciones físicas correspondientes en el modo de almacenamiento SBC en la etapa 610. En caso contrario, las subdivisiones necesarias en modo de almacenamiento MBC se convierten al modo de almacenamiento SBC en la etapa 612 invirtiendo el estado de su etiqueta de modo. A continuación, se ejecuta la etapa 610 para programar los datos en el modo de almacenamiento SBC. Tras la programación del modo de almacenamiento SBC en la etapa 610, en la etapa 606 se incrementan los contadores correspondientes de programa/borrado. Por lo tanto, el usuario programa selectivamente datos en los modos de almacenamiento o bien MBC o bien SBC en el dispositivo de memoria flash multimodo.

45 El método descrito anteriormente clasificaba los tipos de archivo de datos como un tipo de fiabilidad o bien alta o bien baja. En una forma de realización alternativa, los tipos de archivo de datos se pueden clasificar en diferentes niveles de fiabilidad. A continuación, el sistema anfitrión puede fijar un umbral para determinar qué niveles de fiabilidad van a clasificarse como datos de alta fiabilidad.

50 Tal como se ha descrito anteriormente, el sistema de memoria flash puede ejecutar automáticamente los algoritmos de prolongación de vida útil. La figura 15 es un diagrama de flujo que ilustra un método para convertir automáticamente una subdivisión de modo de almacenamiento MBC en una subdivisión de modo de almacenamiento SBC. En primer lugar, en la etapa 650, el controlador de memoria flash recibe una instrucción de programación. Por ejemplo, la instrucción de programación consiste en modificar un archivo existente almacenado en las mismas subdivisiones del dispositivo de memoria flash multimodo. El contador de programa/borrado para la(s) subdivisión(es) seleccionada(s) se compara con el límite predeterminado de ciclos para el modo de almacenamiento MBC en la etapa 652. Si el valor del contador es menor que el límite, entonces los datos simplemente se programan en las mismas subdivisiones en el dispositivo de memoria flash multimodo en la etapa 654. En caso contrario, se ha alcanzado el límite y los datos se programan en subdivisiones nuevas en la etapa 656. A continuación, las subdivisiones originales se borran en la etapa 658 para despejar los datos. Finalmente, los estados de la etiqueta de modo correspondiente a las subdivisiones originales en la etapa de correspondencias de direcciones se invierten en la etapa 658, designándolas así como subdivisiones de modo de almacenamiento SBC. Se hará que los contadores de programa/borrado de las subdivisiones convertidas al modo de almacenamiento SBC se reinicialicen en la etapa 662, puesto que en este momento hay un número predeterminado de ciclos de programa/borrado SBC que se puede ejecutar antes de que se produzca la expiración de las subdivisiones y ya no puedan ser usadas.

65 Una secuencia modificada alternativa consiste en programar los datos, incrementar el contador y a continuación comparar el contador de programa/borrado con el límite predeterminado de ciclos. No se adopta ninguna otra acción si el valor del contador es menor que el límite de ciclos. De lo contrario, los datos programados recientemente se

mueven, o se reprograman, en subdivisiones disponibles de modo de almacenamiento MBC. La reprogramación se puede efectuar siempre que el sistema esté en reposo. A continuación, las subdivisiones originales se borran y los bits de la etiqueta de modo se invierten.

5 Las etapas para programar datos en subdivisiones de modo de almacenamiento SBC son sustancialmente las mismas que la mostrada en la figura 15. El límite de programa/borrado MBC se sustituye con el límite de programación/borrado SBC, y las subdivisiones de modo de almacenamiento SBC simplemente se retiran del servicio si el contador de programa/borrado de subdivisiones SBC es igual al límite de programa/borrado SBC. A continuación, los datos SBC se programan en una subdivisión disponible de modo de almacenamiento SBC. Si únicamente se encuentran disponibles subdivisiones de modo de almacenamiento MBC, entonces se ejecuta el método de la figura 14 para convertir las subdivisiones requeridas de modo de almacenamiento MBC al modo de almacenamiento SBC, y programar los datos.

15 En la forma de realización mencionada anteriormente, un contador se puede usar para realizar un seguimiento de los ciclos de programación/borrado MBC, y a continuación el mismo se puede reutilizar para realizar un seguimiento de ciclos de programación/borrado SBC cuando se produzca una conversión al modo de almacenamiento SBC. Según una forma de realización opcional, si las subdivisiones SBC se pueden recuperar, entonces se pueden proporcionar contadores independientes de programación/borrado SBC y MBC.

20 El método de la figura 16 expresa en líneas generales las etapas para recuperar una subdivisión de modo de almacenamiento SBC. Este método se puede ejecutar en cualquier momento mientras el sistema de memoria flash está activo. El método comienza en la etapa 700 identificando cada subdivisión de modo de almacenamiento SBC que está vacía, es decir, no destinada a almacenar ningún dato. En la etapa 702, el contador de programación/borrado SBC se compara con el límite de recuperación MBC. Si el contador es por lo menos el límite de recuperación, entonces el proceso finaliza en la etapa 704 y la subdivisión de modo de almacenamiento SBC no se convertirá al modo de almacenamiento MBC. Por otro lado, si el contador de programa/borrado SBC es menor que el límite de recuperación, entonces, en la etapa 706, se comprueba el estado de un bit de bloqueo. La fijación del bit de bloqueo a un estado activo indica que la subdivisión SBC actual se ha convertido previamente desde el modo de almacenamiento MBC al modo de almacenamiento SBC por medio del método de conversión automática de la figura 14. En otras palabras, si la subdivisión de modo de almacenamiento SBC ya ha agotado sus ciclos de programa/borrado MBC, no existe ninguna razón para recuperarla del modo de almacenamiento SBC con vistas a un uso posterior como subdivisión de modo de almacenamiento MBC. Si el bit de bloqueo no se ha activado, entonces el estado de su etiqueta de modo correspondiente se cambia en la etapa 708. En la etapa 710, el bit de bloqueo se activa para evitar una futura recuperación de esta subdivisión en caso de que la misma se convirtiera alguna vez de nuevo al modo de almacenamiento SBC.

Los métodos descritos anteriormente presentan técnicas para programar datos en el dispositivo de memoria flash multimodo, y para prolongar la vida útil del dispositivo de memoria flash multimodo durante operaciones de programación. En estas operaciones, la etiqueta de modo se usa para determinar si se van a programar datos con los modos de almacenamiento MBC o SBC, y para ejecutar una conversión automática entre los modos. Una vez realizada la programación, la etiqueta de modo se usa para determinar el tipo de operación de lectura a ejecutar. La figura 17 es un diagrama de flujo que expresa en líneas generales un método para leer datos desde el dispositivo de memoria flash multimodo.

45 Comenzando en la etapa 750, el controlador de memoria flash recibe una instrucción de lectura. La instrucción de lectura incluirá una dirección lógica de los datos deseados. A continuación, el controlador de memoria flash comprobará su tabla de correspondencias de direcciones en relación con el estado de los bits de etiquetas de modo correspondientes a la dirección lógica en la etapa 752. Si el estado de la etiqueta de modo es un primer estado, tal como, por ejemplo, un "1" lógico, entonces se genera una orden de lectura de modo de almacenamiento MBC CMD y la misma se proporciona al dispositivo de memoria flash multi-modo. Como respuesta, el dispositivo de memoria flash multimodo decodificará la orden y emitirá una orden RD_MBC en la etapa 754. A continuación, en la etapa 756 se ejecuta la lectura MBC. Si no, el dispositivo de memoria flash multimodo emitirá una orden RD_SBC en la etapa 758 y a continuación se ejecuta una lectura SBC en la etapa 760. Con independencia del tipo específico de orden de lectura, los datos se leerán de la matriz de memoria y se proporcionarán de vuelta al controlador de memoria flash. Por lo tanto, el usuario puede acceder, desde el mismo dispositivo de memoria flash multimodo, a datos programados en modos de almacenamiento tanto SBC como MBC.

60 En todas las formas de realización previamente descritas, los procesos MBC o SBC selectivos ejecutados por el controlador de memoria flash y el dispositivo de memoria flash multimodo se efectúan de manera transparente para el usuario. No existe ninguna instrucción adicional, o modificación de instrucciones requerida por parte del usuario, en la medida en la que toda determinación de operaciones de modo de almacenamiento SBC/MBC la lleva a cabo el controlador de memoria flash. Por consiguiente, existe una tara mínima requerida para implementar el sistema de memoria flash, descrito en la presente, con un sistema anfitrión.

65 Por lo tanto, las formas de realización descritas anteriormente del dispositivo de memoria flash multimodo se pueden controlar para programar selectivamente datos en el modo de almacenamiento SBC o el modo de almacenamiento

5 MBC, de tal manera que datos programados en los dos modos de almacenamiento coexisten dentro de la misma matriz de memoria al mismo tiempo. La programación selectiva se puede efectuar bajo control del usuario basándose en el tipo de datos que se están programando, y/o automáticamente a través de algoritmos preestablecidos. Almacenando datos con los dos tipos de modos de almacenamiento, la vida útil del dispositivo de memoria flash multimodo se prolonga con respecto a dispositivos de memoria flash dedicados a almacenar datos únicamente en el modo de almacenamiento MBC. Las subdivisiones a las que se hace referencia en las formas de realización descritas anteriormente pueden ser bancos de memoria, bloques de memoria o páginas.

10 En la descripción anterior, con fines explicativos, se exponen numerosos detalles para proporcionar una comprensión minuciosa de las formas de realización. No obstante, resultará evidente para los expertos en la materia que estos detalles específicos no son necesarios con el fin de poner en práctica las formas de realización. En otros casos, se muestran estructuras y circuitos eléctricos bien conocidos, en forma de diagrama de bloques, con el fin de no complicar los aspectos de las formas de realización. Por ejemplo, no se proporcionan detalles específicos en relación con si las formas de realización descritas en la presente se implementan como una rutina de software, un
15 circuito de hardware, un microprograma, o una combinación de los mismos.

20 Las formas de realización anteriores son proporcionadas únicamente a título de ejemplo. Se pueden introducir alteraciones, modificaciones y variaciones en las formas de realización particulares por los expertos en la materia, sin apartarse del alcance, que resulta definido únicamente por las reivindicaciones adjuntas a la presente memoria.

REIVINDICACIONES

1. Método para almacenar datos en un dispositivo de memoria flash (404), comprendiendo el método:
- 5 a) recibir una instrucción de programación para programar los datos en el dispositivo de memoria flash (404); y
- b) determinar (602) que los datos se deben programar en un modo de almacenamiento de un solo bit por celda; caracterizado porque el método incluye además:
- 10 c) como respuesta a dicha determinación, comprobar (608) si se encuentran disponibles subdivisiones del dispositivo de memoria flash configuradas para almacenar los datos en el modo de almacenamiento de un solo bit por celda;
- d) convertir (612) por lo menos una subdivisión del dispositivo de memoria flash (404) desde un modo de almacenamiento de múltiples bits por celda al modo de almacenamiento de un solo bit por celda, cuando no se encuentren disponibles subdivisiones configuradas para almacenar los datos en el modo de almacenamiento de un solo bit por celda (608); y
- 15 e) programar (610) los datos en dicha por lo menos una subdivisión configurada en el modo de almacenamiento de un solo bit por celda.
- 20
2. Método según la reivindicación 1, en el que el dispositivo de memoria flash (404) se pone en funcionamiento para incluir dicha por lo menos una subdivisión configurada en el modo de almacenamiento de múltiples bits por celda, y se ejecutan operaciones flash internas después de que se haya puesto en funcionamiento el dispositivo de memoria flash (404).
- 25
3. Método según la reivindicación 1, en el que la programación incluye además establecer una etiqueta de modo correspondiente a dicha por lo menos una subdivisión a un estado indicativo del modo de almacenamiento de un solo bit por celda.
- 30
4. Método según la reivindicación 1, en el que la programación incluye reinicializar un contador de programa/borrado correspondiente a dicha por lo menos una subdivisión.
5. Método según la reivindicación 1, en el que la instrucción de programación para programar los datos en el modo de almacenamiento de un solo bit por celda se proporciona como respuesta a unos criterios predeterminados, siendo los criterios predeterminados un perfil específico de los datos que incluye un conjunto de tipos de archivo de datos.
- 35
6. Método según la reivindicación 1, en el que dicha por lo menos una subdivisión incluye un bloque, presentando el bloque un número predeterminado de páginas.
- 40
7. Método según la reivindicación 1, en el que dicha por lo menos una subdivisión incluye una página y se incluye un número predeterminado de páginas en un bloque.
- 45
8. Sistema de memoria flash (400) que comprende:
- un dispositivo de memoria flash (404); y
- un controlador flash (402), en el que el controlador flash (402) está configurado para:
- 50 recibir una instrucción de programación para programar datos en el dispositivo de memoria flash (404);
- determinar (602) que los datos se deben programar en un modo de almacenamiento de un solo bit por celda; y caracterizado porque el controlador flash (402) está configurado además para:
- 55 comprobar (608), como respuesta a una determinación de que los datos se deben programar en el modo de almacenamiento de un solo bit por celda, si se encuentran disponibles subdivisiones del dispositivo de memoria flash (404) configuradas para almacenar datos en el modo de almacenamiento de un solo bit por celda;
- 60 en el que el dispositivo de memoria flash (404) está configurado para:
- convertir (612) por lo menos una subdivisión del dispositivo de memoria flash (404) desde un modo de almacenamiento de múltiples bits por celda al modo de almacenamiento de un solo bit por celda, cuando no se encuentren disponibles subdivisiones configuradas para almacenar los datos en el modo de almacenamiento de un solo bit por celda; y
- 65

programar (610) los datos en dicha por lo menos una subdivisión configurada en el modo de almacenamiento de un solo bit por celda.

- 5 9. Sistema de memoria flash (400) según la reivindicación 8, en el que el dispositivo de memoria flash (404) está configurado además para ser puesto en funcionamiento para incluir dicha por lo menos una subdivisión configurada en el modo de almacenamiento de múltiples bits por celda, y las operaciones flash internas son ejecutables después de que se haya puesto en funcionamiento el dispositivo de memoria flash (404).
- 10 10. Sistema de memoria flash (400) según la reivindicación 8, en el que, cuando el dispositivo de memoria flash (404) programa los datos, el dispositivo de memoria flash (404) está configurado además para establecer una etiqueta de modo correspondiente a dicha por lo menos una subdivisión a un estado indicativo del modo de almacenamiento de un solo bit por celda.
- 15 11. Sistema de memoria flash (400) según la reivindicación 8, en el que, cuando el dispositivo de memoria flash (404) convierte dicha por lo menos una subdivisión, el dispositivo de memoria flash (404) está configurado además para reinicializar un contador de programa/borrado correspondiente a dicha por lo menos una subdivisión.
- 20 12. Sistema de memoria flash (400) según la reivindicación 8, en el que la instrucción de programación para programar los datos en el modo de almacenamiento de un solo bit por celda se puede proporcionar como respuesta a unos criterios predeterminados, siendo los criterios predeterminados un perfil específico de los datos que incluye un conjunto de tipos de archivo de datos.
- 25 13. Sistema de memoria flash (400) según la reivindicación 8, en el que dicha por lo menos una subdivisión incluye un bloque, presentando el bloque un número predeterminado de páginas.
14. Sistema de memoria flash (400) según la reivindicación 8, en el que dicha por lo menos una subdivisión incluye una página, y un número predeterminado de páginas está incluido en un bloque.

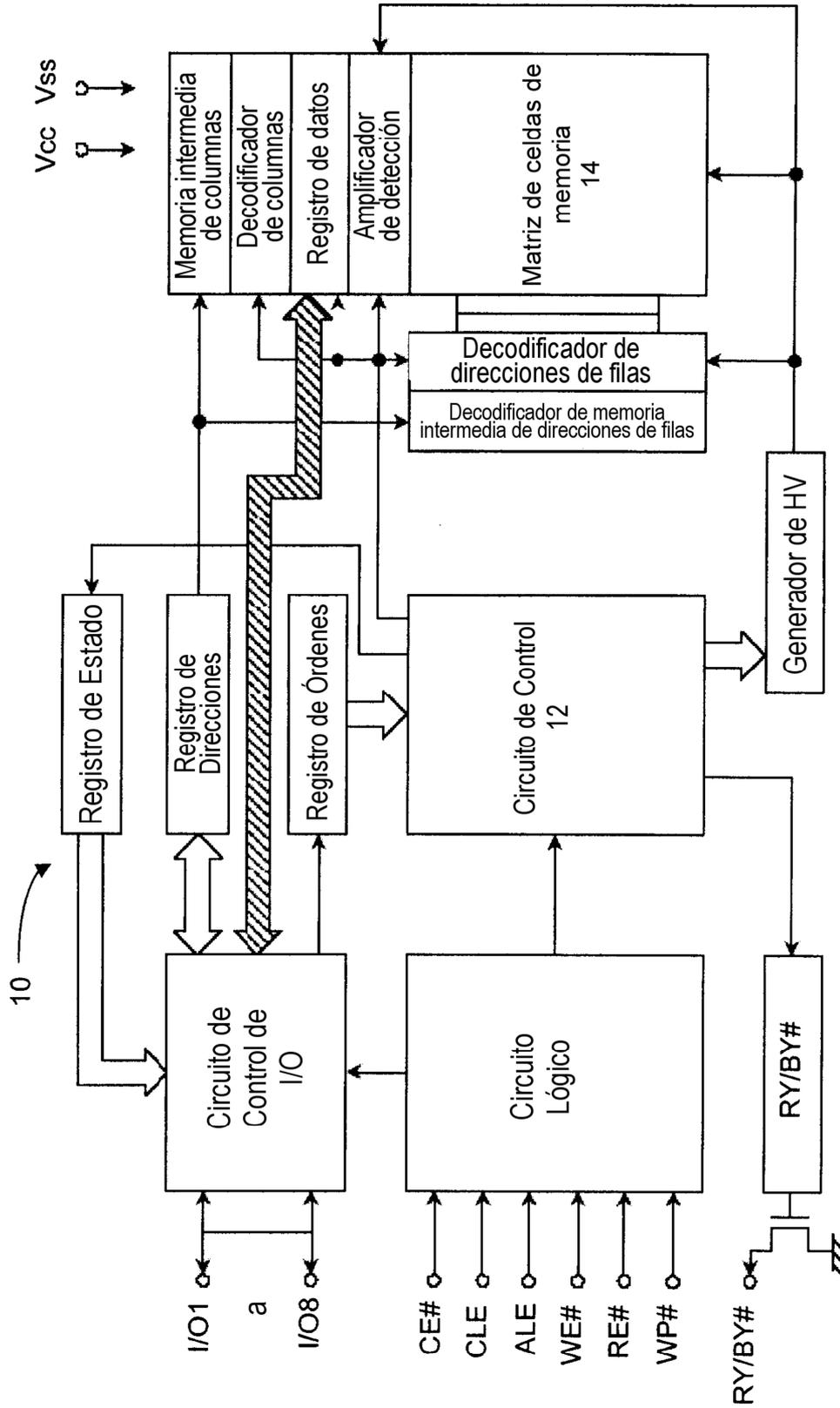


Figura 1 (técnica anterior)

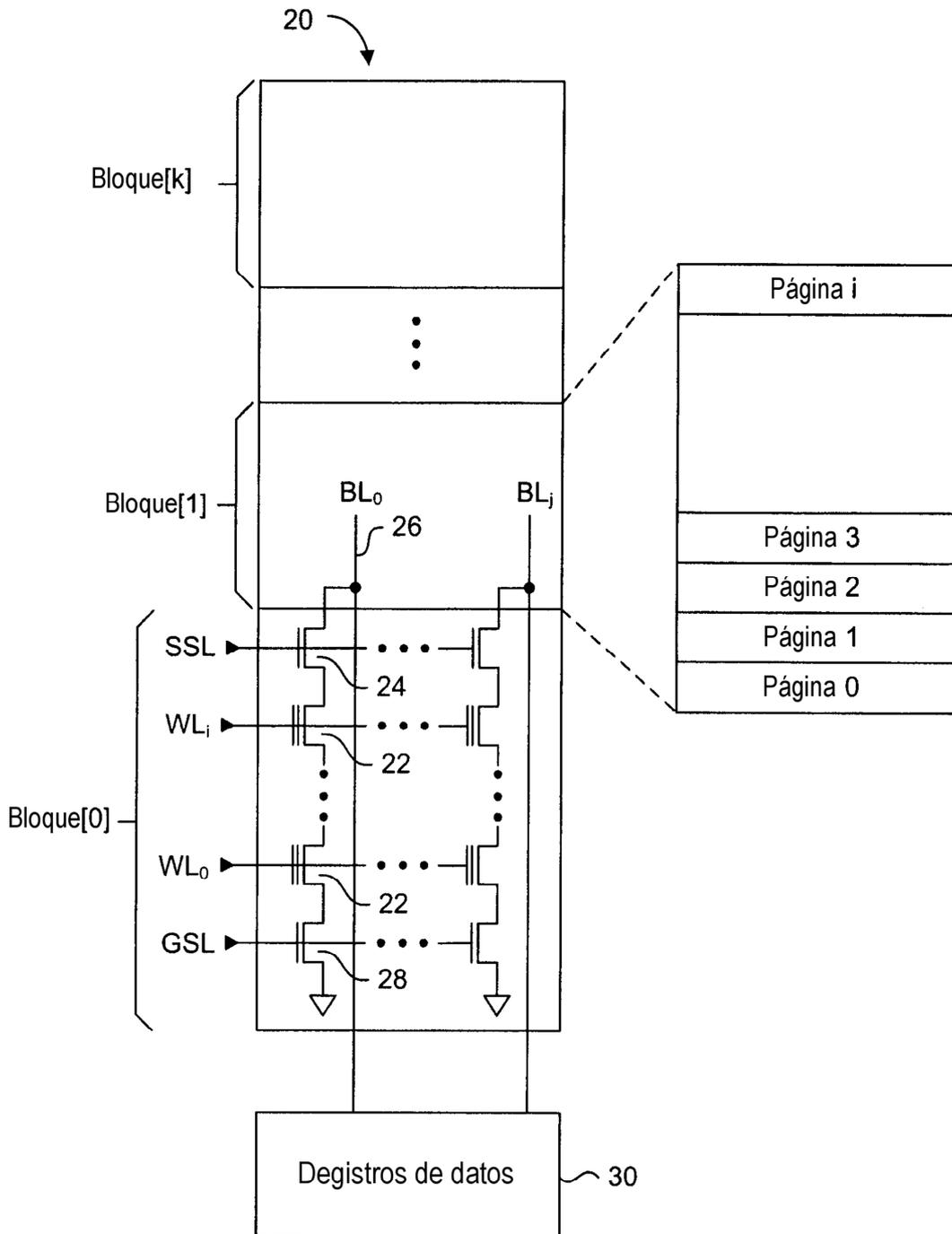


Figura 2 (técnica anterior)

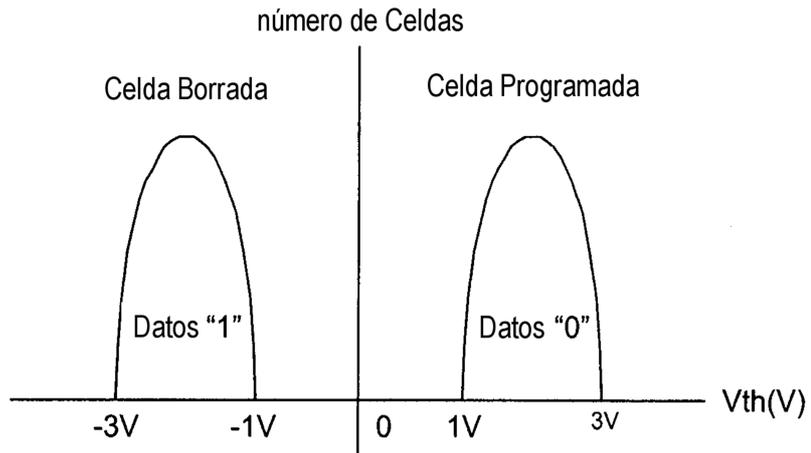


Figura 3

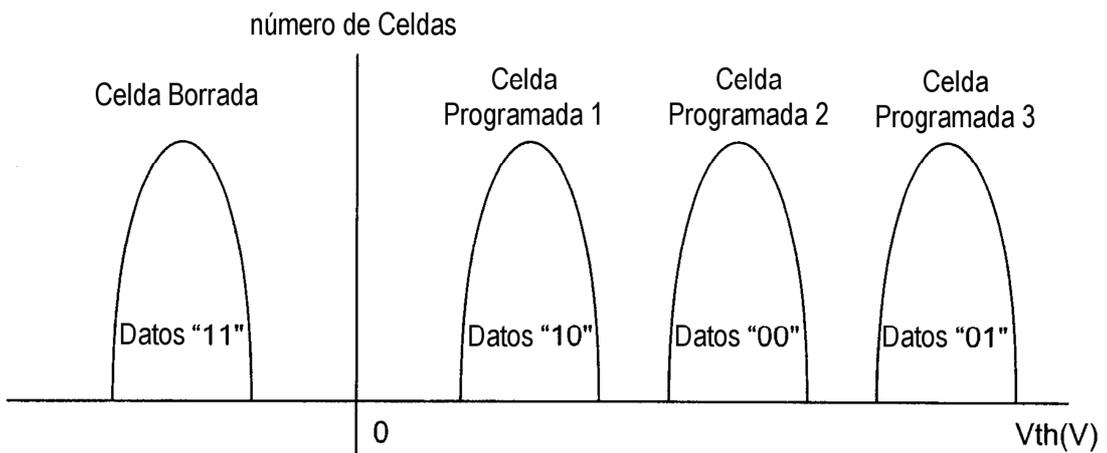


Figura 4

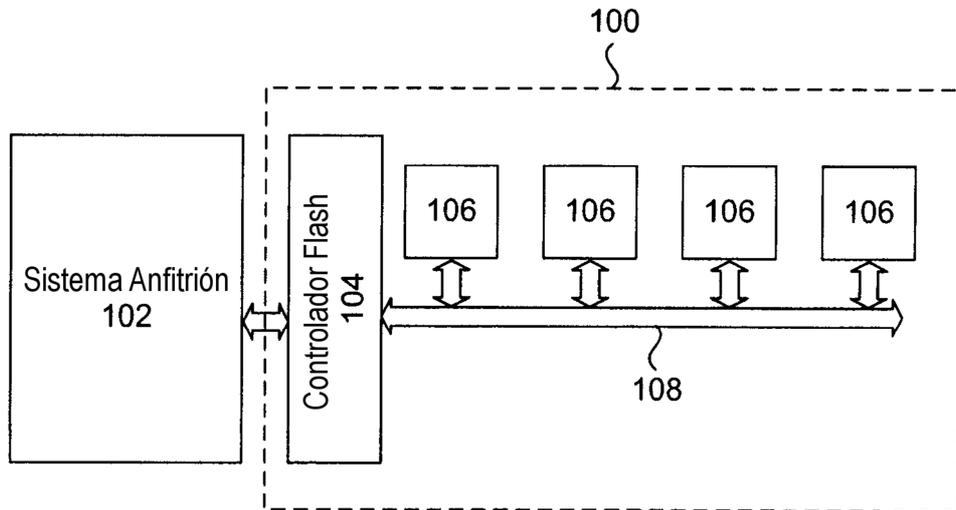


Figura 5

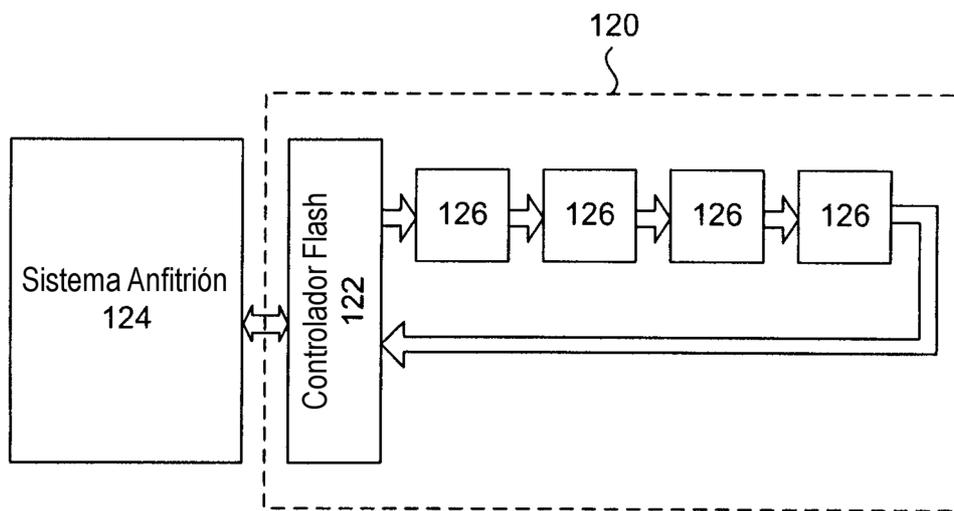


Figura 6

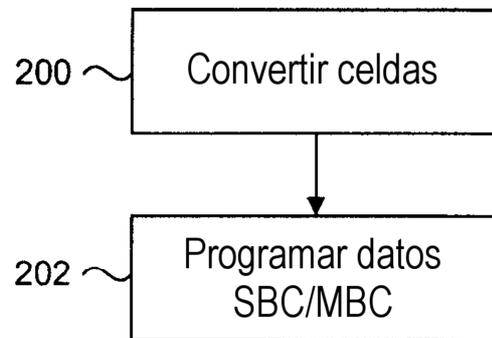


Figura 7

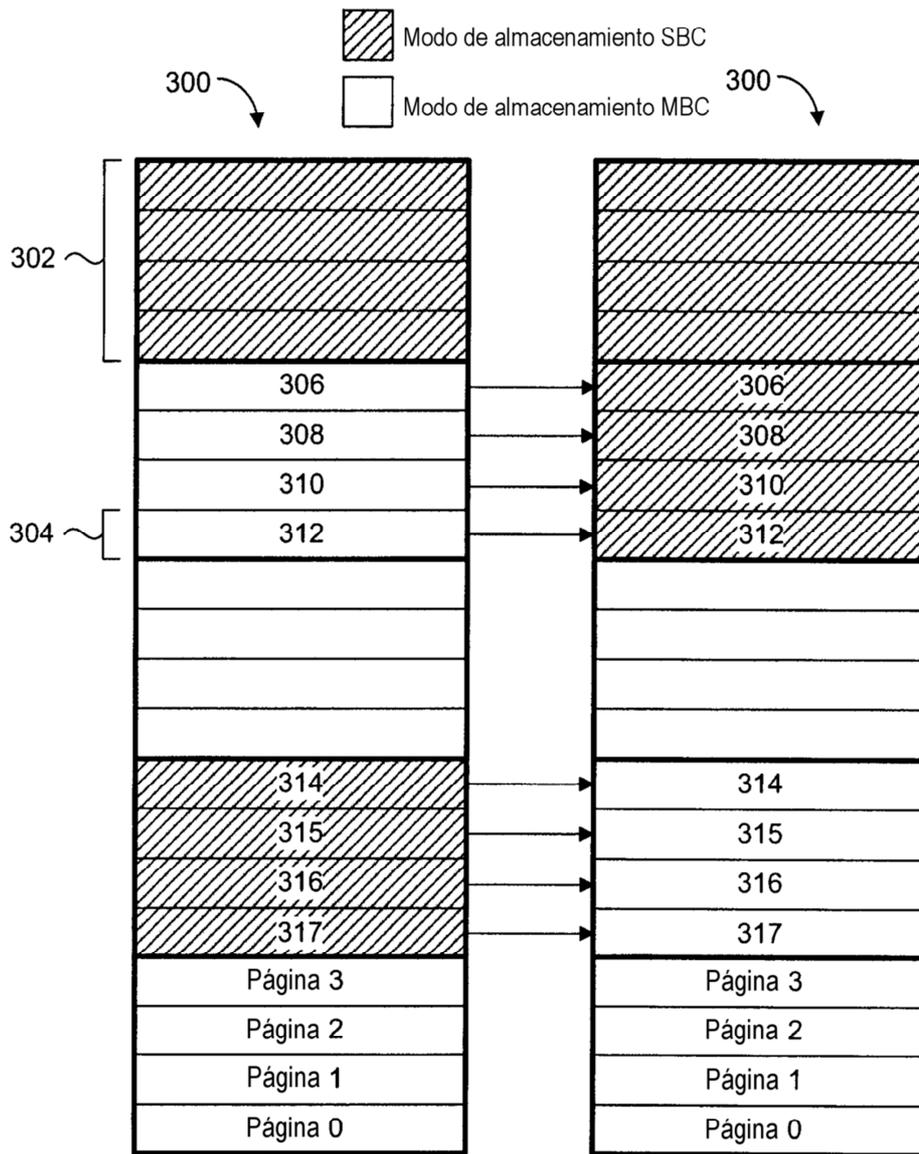


Figura 8a

Figura 8b

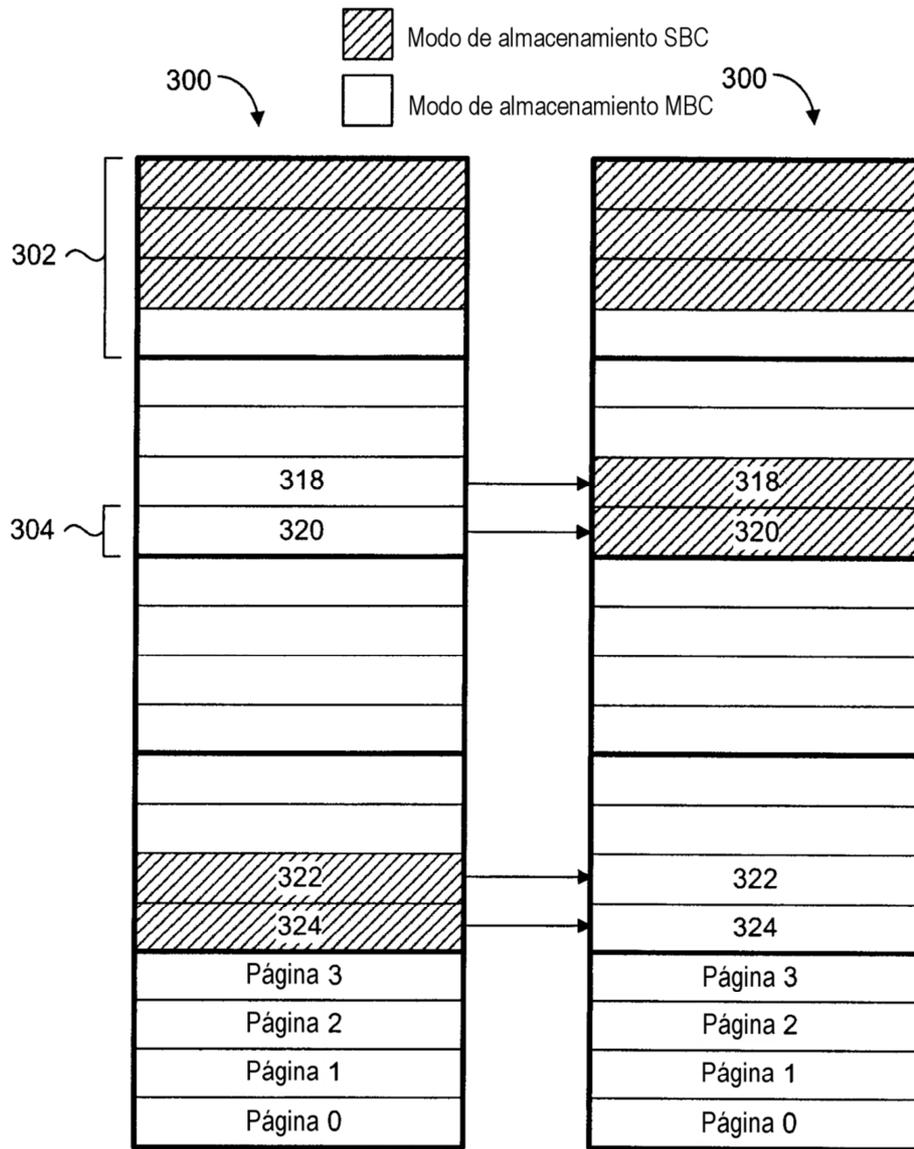


Figura 8c

Figura 8d

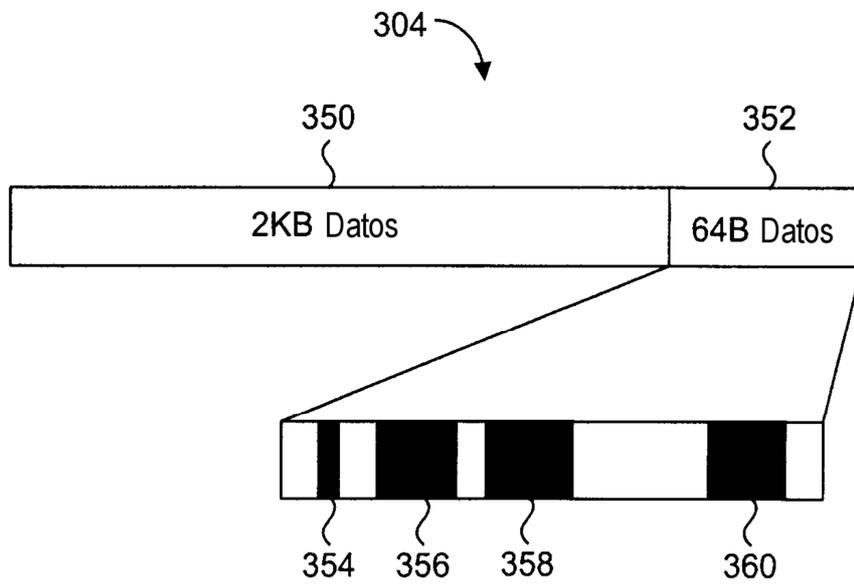


Figura 9

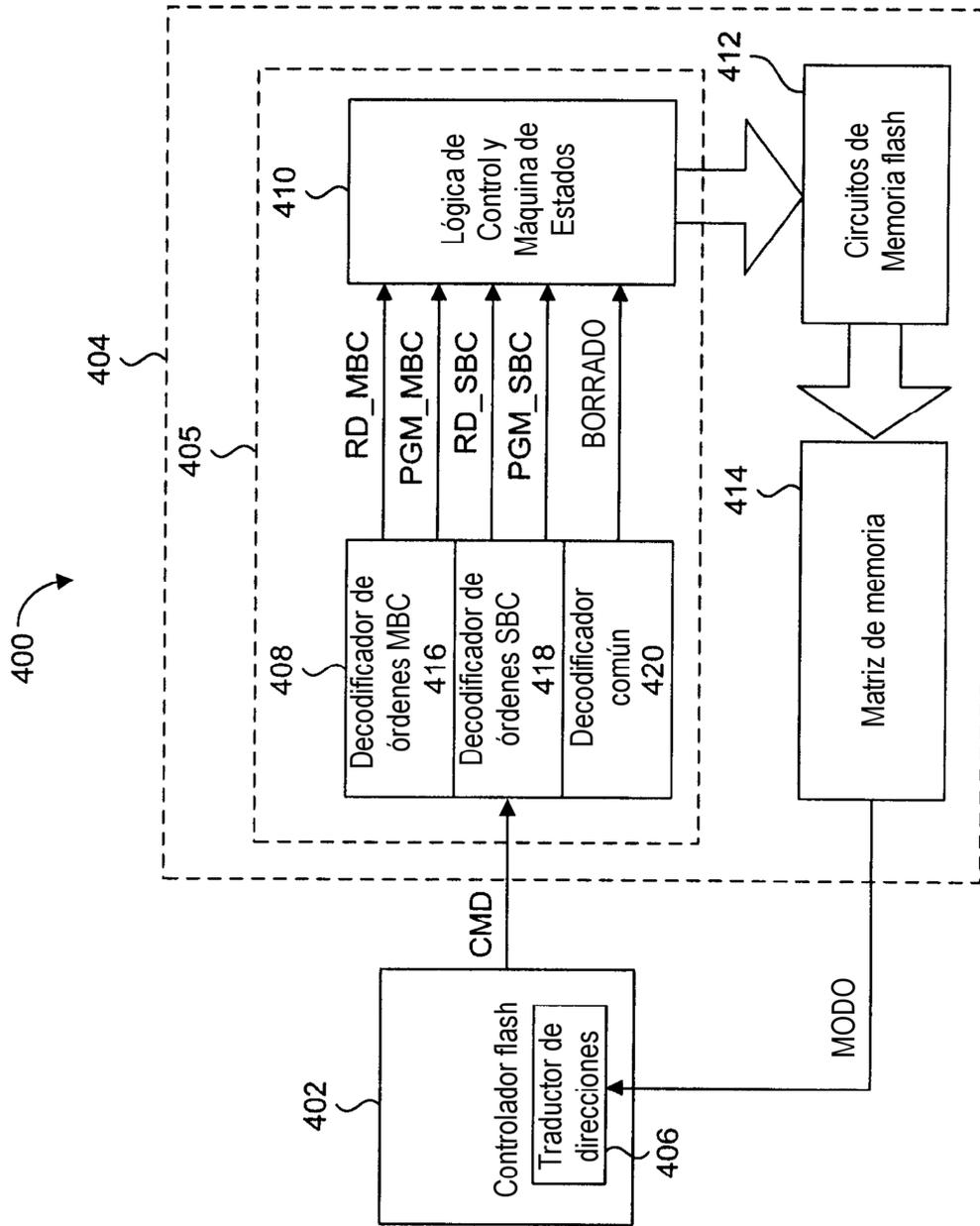


Figura 10

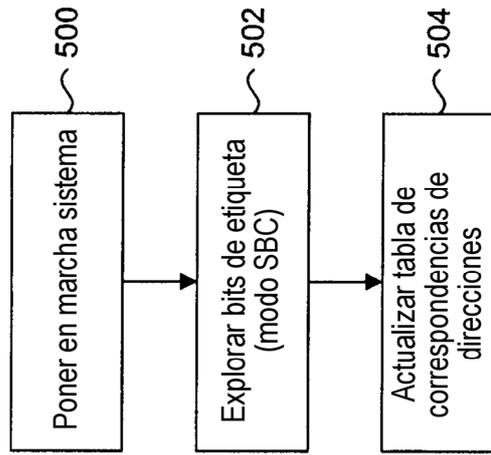


Figura 12

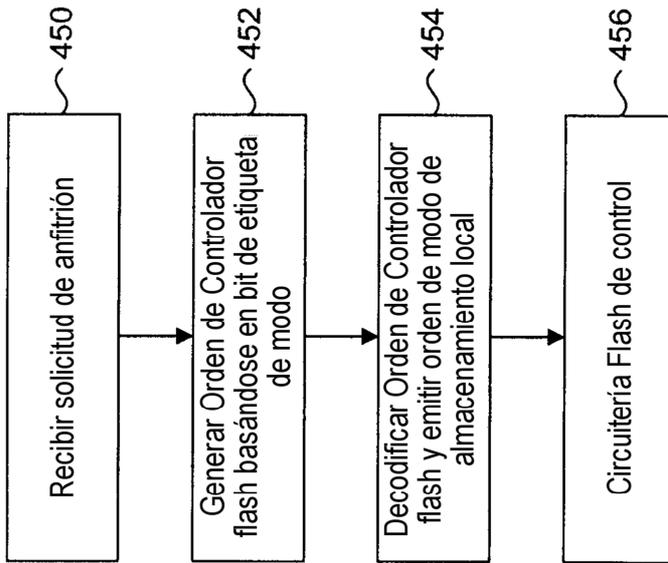


Figura 11

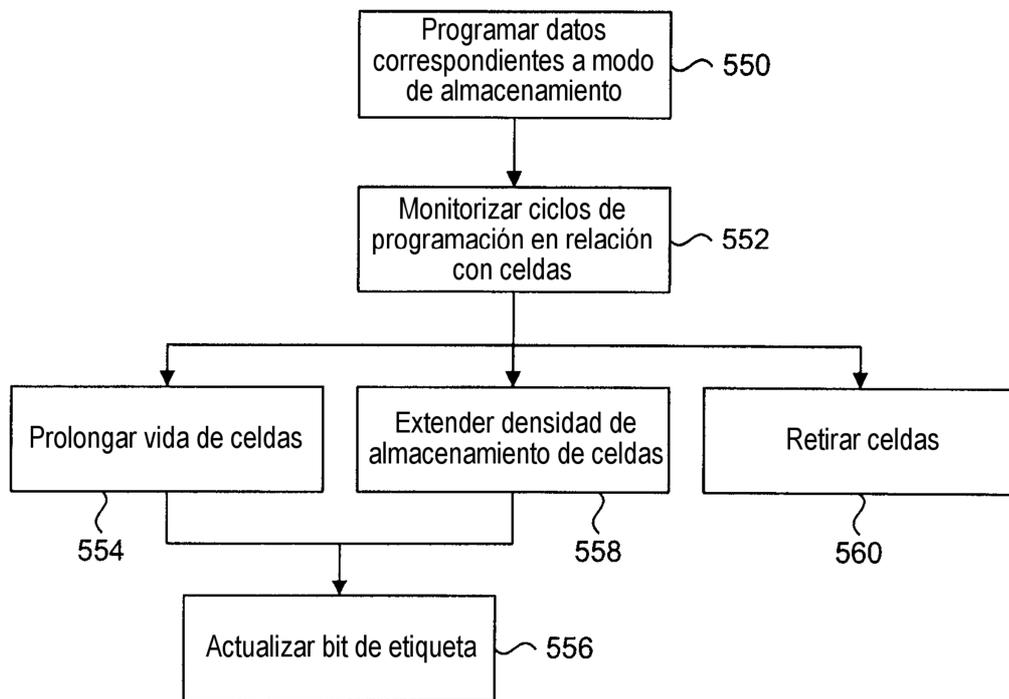


Figura 13

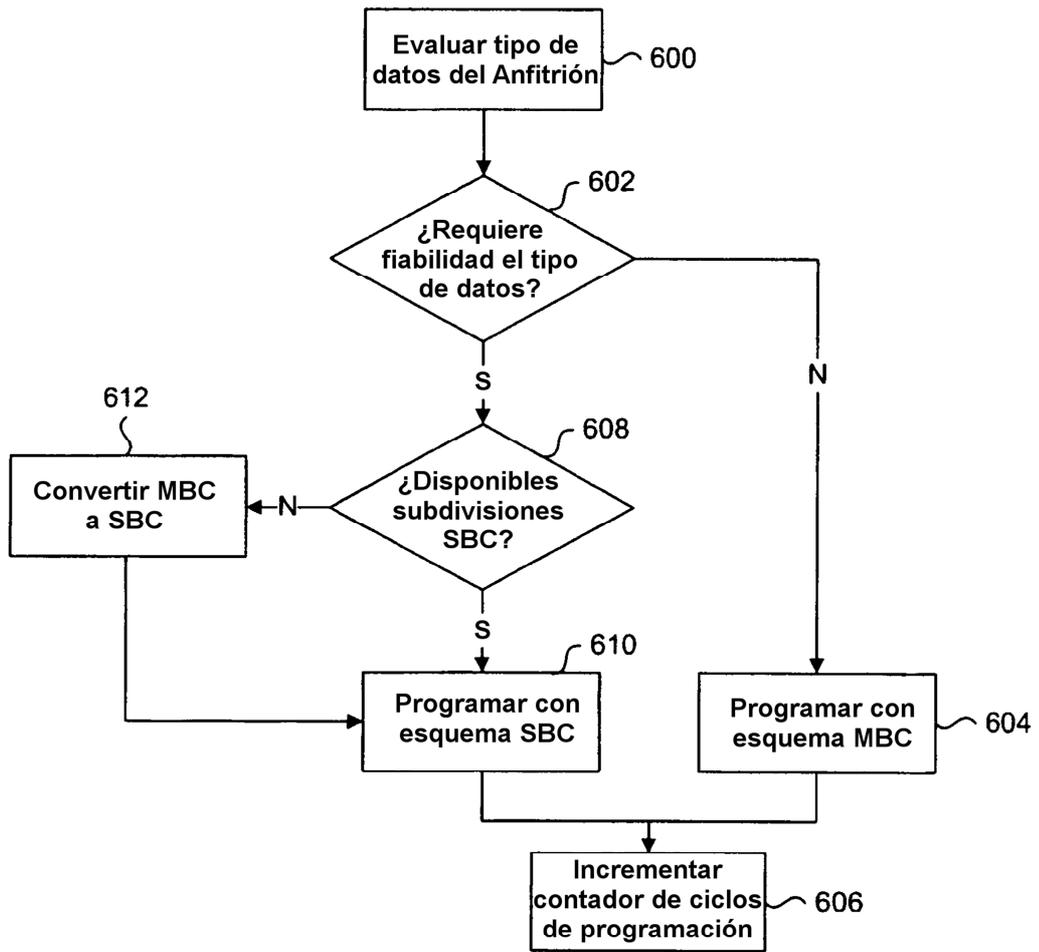


Figura 14

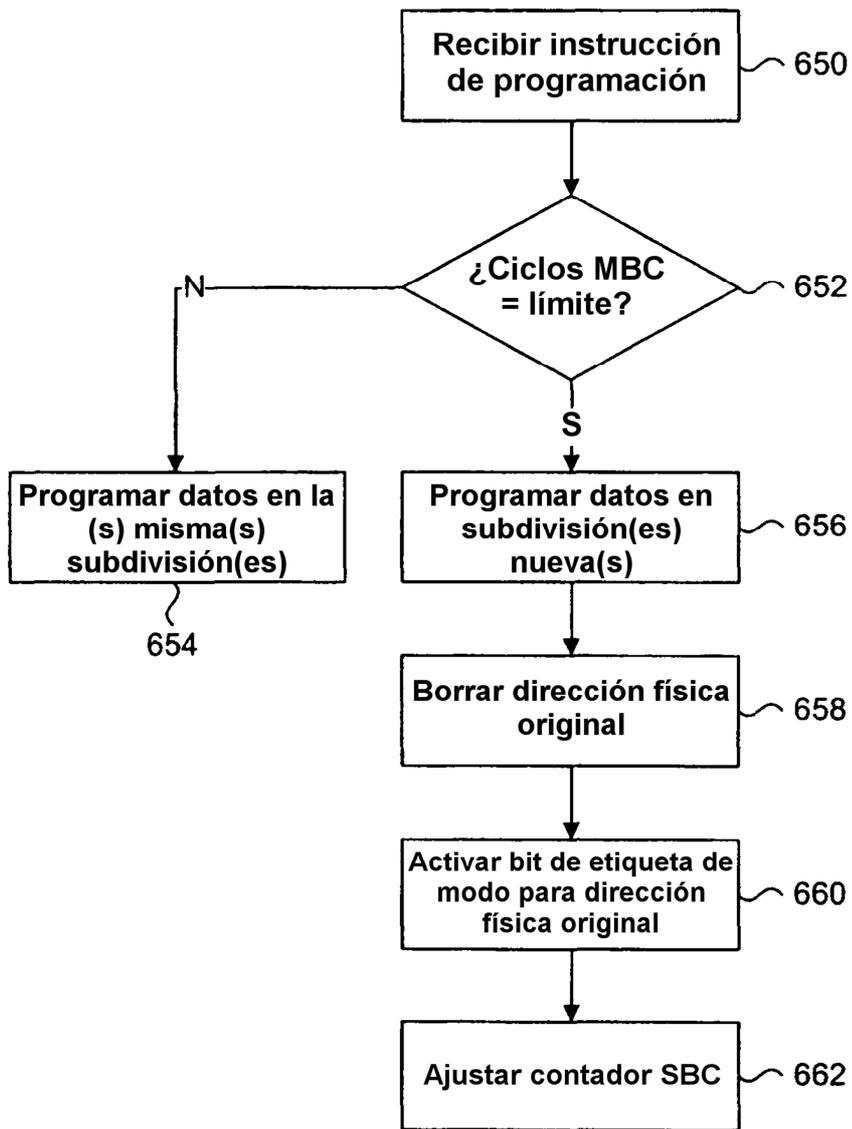


Figura 15

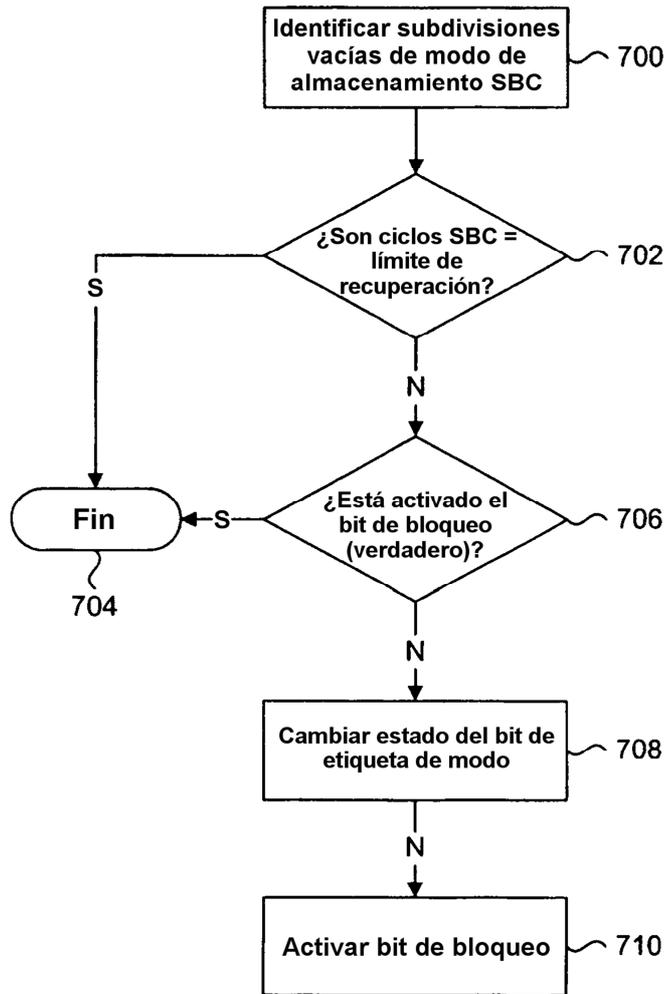


Figura 16

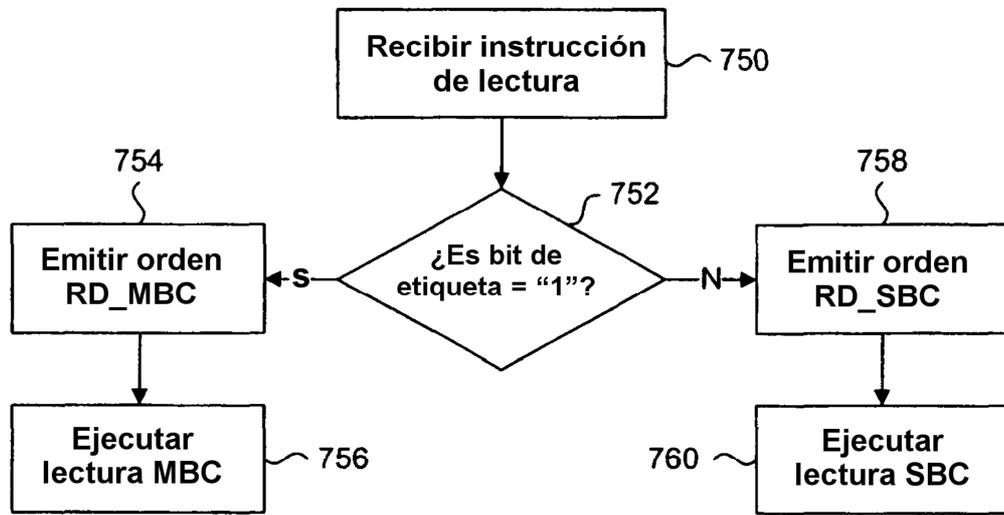


Figura 17