

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 481 405**

51 Int. Cl.:

H04L 7/033 (2006.01)

H04L 7/02 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **16.11.2006 E 06832774 (1)**

97 Fecha y número de publicación de la concesión europea: **16.04.2014 EP 1956747**

54 Título: **Dispositivo de restauración de datos de reloj**

30 Prioridad:

17.11.2005 JP 2005332945

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

30.07.2014

73 Titular/es:

**THINE ELECTRONICS, INC. (100.0%)
9-1 Kanda-mitoshiro-cho
Chiyoda-ku, Tokyo 101-0053, JP**

72 Inventor/es:

OZAWA, SEIICHI

74 Agente/Representante:

PÉREZ BARQUÍN, Eliana

ES 2 481 405 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de restauración de datos de reloj

5 Campo técnico

La presente invención se refiere a un dispositivo para restaurar una señal y datos de reloj en base a una señal digital que es introducida.

10 Técnica anterior

La forma de onda de una señal digital que es emitida por un transmisor se deteriora mientras se transmite desde el transmisor al receptor por mediación de una trayectoria de transmisión, y una señal y datos de reloj deben ser restaurados en el lado del receptor. El dispositivo de restauración de datos de reloj para realizar tal restauración se divulga en los documentos de patente 1 y 2, por ejemplo.

El dispositivo divulgado en estos documentos de patente 1 y 2 considera el hecho de que el tiempo en el que los datos en la señal digital cuya forma de onda se deteriora hacen la transición cambia y detecta los datos de los bits respectivos con tres sincronizaciones. Aquí, entre las tres sincronizaciones cuando se detectan los datos de los bits respectivos, la primera sincronización se establece cerca del tiempo inicial del periodo de estabilidad de datos, la segunda sincronización se establece cerca del tiempo final del periodo de estabilidad de datos, y una tercera sincronización se establece en un tiempo intermedio entre las sincronizaciones primera y segunda.

Además, el dispositivo divulgado en el documento de patente 1 restaura la señal de reloj ajustando las sincronizaciones respectivas de manera que todos los datos detectados en las tres sincronizaciones para los bits respectivos coinciden y, en este momento, restaura los datos detectando los datos de los bits respectivos en la tercera sincronización intermedia.

Sin embargo, el dispositivo divulgado en el documento de patente 2 restaura la señal de reloj ajustando las sincronizaciones respectivas de manera que la tasa de error de bit en la primera sincronización y en la segunda sincronización respectivamente (esto es, la tasa a la que los datos detectados en cada una de estas sincronizaciones difiere de los datos detectados en la tercera sincronización intermedia) son iguales una a otra y se sitúan dentro del intervalo establecido de comienzo y restaura datos detectando los datos de los bits respectivos en la tercera sincronización intermedia.

Se proporcionan antecedentes adicionales a la invención mediante los documentos de patente 3-5. El documento de patente 3 divulga un sistema de restauración de datos para un enlace de datos digital en serie. El documento de patente 4 divulga un circuito de restauración de datos y reloj para recibir datos de alta velocidad. El documento de patente 5 divulga un circuito integrado para la recepción y restauración de datos de transmisión en serie sujetos a cambios de fase o degradación de señal.

[Documento de patente 1] Solicitud japonesa abierta a inspección pública nº H7-221800

45 [Documento de patente 2] Solicitud publicada de patente japonesa, traducción japonesa de la solicitud internacional PTC nº 2004-507963

[Documento de patente 3] Documento WO 02/19528 A2

50 [Documento de patente 4] Documento US 2006/034395

[Documento de patente 5] Documento US 2004/051571

Divulgación de la invención

55 Problema a ser resuelto por la invención

Además, el tiempo de transición de datos de la señal digital de entrada cambia debido a la fluctuación de fase de reloj de transmisor que surge de las fluctuaciones de voltaje de la fuente de potencia del transmisor que envía la señal digital u otro ruido y cambia debido a la interferencia entre símbolos que surge de la mezcla de un patrón de datos irregular en la señal digital y la atenuación en la trayectoria de transmisión. En los casos en los que la fluctuación de fase de reloj de transmisor y la interferencia entre símbolos es grande, el dispositivo convencional es a veces incapaz de restaurar la señal y datos del reloj.

65 La presente invención fue concebida con vistas a resolver el problema anterior y un objeto de la presente invención es proporcionar un dispositivo de restauración de datos de reloj que es capaz de restaurar una señal y datos de reloj establemente incluso cuando la fluctuación de fase de reloj de transmisor y la interferencia entre símbolos son

grandes.

Medios para resolver el problema

5 El dispositivo de restauración de datos de reloj de acuerdo con una primera invención es un dispositivo de restauración de datos de reloj que restaura una señal y datos de reloj en base a una señal digital de entrada y comprende una sección de muestreador, una sección de detección, una sección de determinación de sincronización y una sección de salida de reloj.

10 La sección de muestreador de acuerdo con la primera invención recibe una entrada de una señal de reloj CKXA, una señal de reloj CKXB, y un señal de reloj CK que tiene el mismo ciclo T así como una entrada de la señal digital y muestrea, mantiene y emite, en cada enésimo periodo T(n) del ciclo, un valor DXA(n) de la señal digital en el tiempo t_{XA} indicado por la señal de reloj CKXA, un valor DXB(n) de la señal digital en el tiempo t_{XB} indicado por la señal de reloj CKXB, y un valor D(n) de la señal digital en el tiempo t_C indicado por la señal de reloj CK, donde $t_{XA} < t_{XB} < t_C$ y n es un entero.

15 La sección de detección de la primera invención (1) recibe una entrada del valor digital DXA(n), el valor digital DXB(n) y el valor digital D(n) que se emiten por la sección de muestreador en cada periodo T(n) y, (2) en un caso en que 'D(n-2)≠D(n-1)', detecta una relación de primera sincronización, siendo la relación de primera sincronización una relación entre un tiempo indicado por la señal de reloj CKXA y el tiempo de transición del valor de señal digital en base a un valor D(n-1), el valor DXA(n), y el valor D(n) y, (3) en un caso en el que 'D(n-2)=D(n-1)', detecta una relación de segunda sincronización, siendo la relación de segunda sincronización una relación entre el tiempo indicado por la señal de reloj CKXB y el tiempo de transición del valor de señal digital en base al valor D(n-1), el valor DXB(n), y el valor D(n), y (4) detecta la relación de fase entre la señal de reloj CK y la señal digital en base a la relación de primera sincronización y la relación de segunda sincronización.

20 La sección de determinación de sincronización de la primera invención ajusta, en base a la relación de primera sincronización y la relación de segunda sincronización detectadas por la sección de detección, un intervalo 2τ entre las sincronizaciones respectivas de la señal de reloj CKXA y la señal de reloj CKXB para que coincida substancialmente la diferencia de tiempo entre el centro de la distribución de tiempo de transición del valor de señal digital en un caso en el que 'D(n-2)≠D(n-1)' y el centro de la distribución de tiempo de transición del valor de señal digital en un caso en el que 'D(n-2)=D(n-1)'.

25 La sección de salida de reloj de la primera invención ajusta el ciclo T o la fase en base a la relación de fase detectada por la sección de detección de manera que la diferencia de fase entre la señal de reloj CK y la señal digital decrece, y emite la señal de reloj DKXA, la señal de reloj CKXB y la señal de reloj CK que satisfacen las relaciones ' $t_{XA}=t_C - T/2 - \tau$ ' y ' $t_{XB}=t_C - T/2 + \tau$ ' en la sección de muestreador de acuerdo con las sincronizaciones determinadas por la sección de determinación de sincronización.

30 En el dispositivo de restauración de datos de reloj de acuerdo con la primera invención que se constituye de esta manera, las fases respectivas de la señal de reloj CKXA, la señal de reloj CKXB, y la señal de reloj CK se ajustan para coincidir con la sección de determinación de sincronización de fase por medio del procesamiento de un bucle que comprende la sección de muestreador, la sección de detección, la sección de determinación de sincronización y la sección de salida de reloj. Adicionalmente, como resultado del procesamiento de bucle, el tiempo de muestra de señal digital indicado por la señal de reloj CKXA se ajusta para coincidir con el tiempo máximo de la distribución de tiempo de transición de datos en un caso en el que el valor D(n-2) y el valor D(n-1) de los dos bits precedentes difieren uno del otro y el tiempo de muestra de señal digital indicado por la señal de reloj CKXB se ajusta para coincidir con el tiempo máximo de la distribución de tiempo de transición de datos en un caso en el que el valor D(n-2) y el valor D(n-1) de los dos bits precedentes son iguales uno al otro. Además, cualquiera de la señal de reloj DKXA, la señal de reloj CKXB y la señal de reloj CK se emite como reloj restaurado. Los datos de orden cronológico para el valor digital D(n) también se emiten como datos restaurados.

35 La sección de detección de acuerdo con la primera invención comprende preferentemente (1) un circuito de detección de relación de sincronización primero que, en casos en los que 'D(n-2)≠D(n-1)', emite una señal UPA que es un valor significativo cuando 'D(n-1)≠DXA(n)=D(n)' y una señal DNA que es un valor significativo cuando 'D(n-1)=DXA(n)≠D(n)' como señales que representan la relación de primera sincronización; (2) un circuito de detección de relación de sincronización segundo que, en casos en que 'D(n-2)=D(n-1)', emite una señal UPB que es un valor significativo cuando 'D(n-1)≠DXB(n)=D(n)' y una señal DNB que es un valor significativo cuando 'D(n-1)=DXB(n)≠D(n)' como señales que representan la relación de segunda sincronización; y (3) un circuito de detección de relación de fase que emite una señal UP que representa el lógico OR de la señal UPA y la señal UPB y una señal DN que representa el lógico OR de la señal DNA y la señal DNB como señales que representan la relación de fase.

40 La sección de determinación de sincronización de acuerdo con la primera invención ajusta preferentemente el intervalo 2τ de manera que la diferencia entre el cociente entre un valor de adición acumulativo cntINSIDE de 'DNA+UPB' y un valor de adición acumulativo cntEDGE de 'UPA+UPB+DNA+DNB' (cntINSIDE/cntEDGE) y el valor

0,5 es igual o menor que un valor de referencia predeterminado.

La sección de salida de reloj de acuerdo con la primera invención comprende preferentemente (1) un circuito de generación de reloj de referencia que genera una señal de reloj de referencia obtenida ajustando el ciclo T o fase en base a la señal UP y la señal DN; y (2) un circuito de retraso que aplica el retraso deseado a la señal de reloj de referencia de acuerdo con la sincronización determinada por la sección de determinación de sincronización, genera la señal de reloj CKXA, la señal de reloj CKXB, y la señal de reloj CK, y emite estas señales.

El dispositivo de restauración de datos de reloj de acuerdo con una segunda invención es un dispositivo de restauración de datos de reloj que restaura una señal y datos de reloj en base a una señal digital de entrada que comprende una sección de muestreador, una sección de detección, una sección de determinación de desfase, y una sección de salida de reloj.

La sección de muestreador de la segunda invención recibe una entrada de una señal de reloj CKX y una señal de reloj CK que tienen el mismo ciclo T así como una entrada de la señal digital, genera una señal primera aplicando un desfase (-Voff) a la señal digital, genera una señal segunda aplicando un desfase (+Voff) a la señal digital, y que muestrea, mantiene, y emite, en cada n -ésimo periodo $T(n)$ del ciclo, un valor DXA(n) de la señal primera y un valor DXB(n) de la señal segunda en el tiempo t_x indicado por la señal de reloj CKX, y un valor D(n) de la señal digital en el tiempo t_c indicado por la señal de reloj CK. Alternativamente, la sección de muestreador recibe una entrada de una señal de reloj CKX y una señal de reloj CK que tiene el mismo ciclo T así como una entrada de la señal digital, que, en cada n -ésimo periodo $T(n)$ del ciclo, muestrea y mantiene el valor de la señal digital en el tiempo t_x indicado por la señal de reloj CKX en un valor de umbral que es desfasado por +Voff y -Voff y emite este valor como DXA(n) y DXB(n) respectivamente, y muestrea, mantiene y emite el valor D(n) de la señal digital en el tiempo t_c indicado por la señal de reloj CK (donde $t_x < t_c$, y n es un entero).

La sección de detección de la segunda invención (1) recibe una entrada del valor digital DXA(n), el valor digital DXB(n), y el valor digital D(n) que se emiten por la sección de muestreador en cada periodo $T(n)$ y, (2) en un caso en el que el valor D(n-2) está en un nivel alto, detecta una relación de primera sincronización, siendo la relación de primera sincronización una relación entre el tiempo indicado por la señal de reloj CKX y el tiempo de transición del valor de la señal primera en base a un valor D(n-1), un valor DXA(n), y un valor D(n) y, (3) en un caso en el que el valor d(n-2) está en un nivel bajo, detecta una relación de segunda sincronización, siendo la relación de segunda sincronización una relación entre el tiempo indicado por la señal de reloj CKX y el tiempo de transición del valor de la señal segunda en base a un valor D(n-1), un valor DXB(n), y un valor D(n) y (4) detecta una relación de fase entre la señal de reloj CK y la señal digital en base a la relación de primera sincronización y la relación de segunda sincronización.

La sección de determinación de desfase de la segunda invención ajusta, en base a la relación de primera sincronización y la relación de segunda sincronización detectadas por la sección de detección, la cantidad de desfase de la sección de muestreador de manera que el tiempo indicado por la señal de reloj CKX es el centro de la distribución de tiempo de transición del valor de la señal primera en un caso en el que el valor D(n-2) está en un nivel alto y de manera que el tiempo indicado por la señal de reloj CKX es el centro de la distribución de tiempo de transición del valor de la señal segunda en un caso en el que el valor D(n-2) está en un nivel bajo.

La sección de salida de reloj de la segunda invención ajusta el ciclo T o la fase en base a la relación de fase detectada por la sección de detección de manera que la diferencia de fase entre la señal de reloj CK y la señal digital disminuye y emite la señal de reloj CKX y la señal de reloj CK que satisface la relación ' $t_c - t_x = T/2$ ' en la sección de muestreador.

El dispositivo de restauración de datos de reloj de acuerdo con la segunda invención constituido de esta manera comprende un bucle primero que comprende una sección de muestreador, una sección de detección, y una sección de salida de reloj y un bucle segundo que comprende una sección de muestreador, una sección de detección, y una sección de determinación de desfase. Como resultado del procesamiento de estos dos bucles, las fases respectivas de la señal de reloj CKX y la señal de reloj CK se ajustan para coincidir con la fase de la señal digital de entrada, el tiempo de muestreo indicado por la señal de reloj CKX se ajusta para coincidir con el tiempo máximo de la distribución de los tiempos de transición de datos de una señal primera en un caso en el que el valor D(n-2) está en un nivel alto, y el tiempo de muestreo indicado por la señal de reloj CKX se ajusta para coincidir con el tiempo máximo de la distribución de tiempo de transición de datos de una señal segunda en un caso en el que el valor D(n-2) está en un nivel bajo. Además, o bien la señal de reloj CKX o bien la señal de reloj CK se emite como señal de reloj restaurada. Adicionalmente, los datos cronológicos de valor digital D(n) se emiten como datos restaurados.

La sección de detección de la segunda invención comprende preferentemente (1) un circuito de detección de relación de sincronización primero que, en un caso en el que el valor D(n-2) está en un nivel alto, emite una señal UPA que es un valor significativo cuando ' $D(n-1) \neq DXA(n) = D(n)$ ' y una señal DNA que es un valor significativo cuando ' $D(n-1) = DXA(n) \neq D(n)$ ' como señales que representan la relación de primera sincronización; (2) un circuito de detección de relación de sincronización segundo que, en casos en que el valor D(n-2) está en un nivel bajo, emite una señal UPB que es un valor significativo cuando ' $D(n-1) \neq DXB(n) = D(n)$ ' y una señal DNB que es un valor

significativo cuando 'D(n-1)=DXB(n)≠D(n)' como señales que representan la relación de segunda sincronización; y (3) un circuito de detección de relación de fase que emite una señal UP que representa el lógico OR de la señal UPA y la señal UPB y una señal DN que representa el lógico OR de la señal DNA y la señal DNB como señales que representan la relación de fase.

5 La sección de determinación de desfase de la segunda invención ajusta preferentemente la cantidad de desfase de la sección de muestreador de manera que la diferencia entre el cociente de un valor de adición acumulativo cntINSIDE de $D(n)(DNA+UPB) + -D(n)(UPA+DNB)$ y un valor de adición acumulativo cntEDGE de 'UPA+UPB+DNA+DNB' (cntINSIDE/cntEDGE) y el valor 0,5 es igual o menor que un valor de referencia predeterminado.

La sección de salida de reloj de la segunda invención ajusta preferentemente el ciclo T o fase en base a la señal UP y la señal DN y emite la señal de reloj CKXB, y la señal de reloj CK.

15 El dispositivo de restauración de datos de reloj de acuerdo con una tercera invención es un dispositivo de restauración de datos de reloj que restaura una señal y datos de reloj en base a una señal digital de entrada que comprende una sección de muestreador, una sección de detección, una sección de determinación de desfase, y una sección de salida de reloj.

20 La sección de muestreador de la tercera invención recibe una entrada de una señal de reloj CKX y una señal de reloj CK que tienen el mismo ciclo T así como una entrada de la señal digital, genera una señal primera aplicando un desfase (-Voff) a la señal digital, genera una señal segunda aplicando un desfase (+Voff) a la señal digital, y que muestrea, mantiene, y emite, en cada enésimo periodo T(n) del ciclo, un valor DXA(n) de la señal primera y un valor DXB(n) de la señal segunda en el tiempo t_x indicado por la señal de reloj CKX, y un valor D(n) de la señal digital en el tiempo t_c indicado por la señal de reloj CK. Alternativamente, la sección de muestreador recibe una entrada de una señal de reloj CKX y una señal de reloj CK que tiene el mismo ciclo T así como una entrada de la señal digital, que, en cada enésimo periodo T(n) del ciclo, muestrea y mantiene el valor de la señal digital en el tiempo t_x indicado por la señal de reloj CKX en un valor de umbral que es desfasado por +Voff y -Voff y emite este valor como DXA(n) y DXB(n) respectivamente, y muestrea, mantiene, y emite el valor D(n) de la señal digital en el tiempo t_c indicado por la señal de reloj CK, donde $t_x < t_c$, y n es un entero.

En cada periodo T(n), la sección de detección de acuerdo con la tercera invención (1) recibe una entrada del valor digital DXA(n), el valor digital DXB(n), y el valor digital D(n) que se emiten por la sección de muestreador, (2) establece 'DX(n)=DXA(n)' cuando el valor D(n-2) está en un nivel alto y (3) establece 'DX(n)=DXB(n)' cuando el valor D(n-2) está en un nivel bajo y (4) detecta la relación de fase entre la señal de reloj CK y la señal digital en base al valor D(n-1), el valor DX(n), y el valor D(n).

La sección de determinación de desfase de acuerdo con la tercera invención ajusta, en base al valor DX(n), el valor D(n-2), el valor D(n-1), y el valor D(n), la cantidad de desfase de la sección de muestreador de manera que el tiempo indicado por la señal de reloj CKX es el centro de la distribución de tiempo de transición del valor de la señal primera en un caso en el que el valor D(n-2) está en un nivel alto y de manera que el tiempo indicado por la señal de reloj CKX es el centro de la distribución de tiempo de transición del valor de la señal segunda en un caso en el que el valor D(n-2) está en un nivel bajo.

45 La sección de salida de reloj de la tercera invención ajusta el ciclo T o la fase en base a la relación de fase detectada por la sección de detección de manera que la diferencia de fase entre la señal de reloj CK y la señal digital disminuye y emite la señal de reloj CKX y la señal de reloj CK que satisface la relación ' $t_c - t_x = T/2$ ' en la sección de muestreador.

50 El dispositivo de restauración de datos de reloj de acuerdo con la tercera invención constituida de esta manera comprende un bucle primero que comprende una sección de muestreador, una sección de detección, y una sección de salida de reloj y un bucle segundo que comprende una sección de muestreador, una sección de detección, y una sección de determinación de desfase. Como resultado del procesamiento de estos dos bucles, las fases respectivas de la señal de reloj CKX y la señal de reloj CK se ajustan para coincidir con la fase de la señal digital de entrada, el tiempo de muestreo indicado por la señal de reloj CKX se ajusta para coincidir con el tiempo máximo de la distribución de los tiempos de transición de datos de una señal primera en un caso en el que el valor D(n-2) está en un nivel alto, y el tiempo de muestreo indicado por la señal de reloj CKX se ajusta para coincidir con el tiempo máximo de la distribución de tiempo de transición de datos de una señal segunda en un caso en el que el valor D(n-2) está en un nivel bajo. Además, o bien la señal de reloj CKX o bien la señal de reloj CK se emite como señal de reloj restaurada. Adicionalmente, los datos cronológicos de valor digital D(n) se emiten como datos restaurados.

La sección de detección de la tercera invención comprende preferentemente (1) un circuito de selección que emite el valor DXA(n) como valor DX(n) cuando el valor D(n-2) está en un nivel alto y emite el valor DXB(n) como valor DX(n) cuando el valor D(n-2) está en un nivel bajo; y (2) un circuito de detección de relación de fase que emite una señal UP que es un valor significativo cuando 'D(n-1)≠DXB(n)=D(n)' y una señal DN que es un valor significativo cuando 'D(n-1)=DXB(n)≠D(n)' como señales que representan la relación de fase.

5 La sección de determinación de desfase de la tercera invención ajusta preferentemente la cantidad de desfase de la sección de muestreador de manera que la diferencia entre el cociente de un valor de adición acumulativo cntINSIDE de $\{D(n)^D(n-1)\} * \{D(n-2)^DX(n)\}$ y un valor de adición acumulativo cntEDGE de $\{D(n)^D(n-1)\}$ (cntINSIDE/cntEDGE) y el valor 0,5 es igual o menor que un valor de referencia predeterminado.

La sección de salida de reloj de la tercera invención ajusta preferentemente el ciclo T o fase en base a la señal UP y la señal DN y emite la señal de reloj CKXB, y la señal de reloj CK.

10 Efectos de la invención

La presente invención hace posible restaurar una señal y datos de reloj establemente incluso en casos en los que la fluctuación de fase de reloj de transmisor y la interferencia entre símbolos son grandes.

15 **Breve descripción de los dibujos**

La figura 1 muestra esquemáticamente un diagrama en ojo de una señal digital cuya forma de onda se ha deteriorado.

20 La figura 2 ilustra la sincronización para muestrear datos de un tiempo de transición de datos.

La figura 3 muestra la sincronización para muestrear datos de señal digital de acuerdo con la primera realización.

25 La figura 4 ilustra la sincronización para muestrear datos de señal digital de un dispositivo 1 de restauración de datos de reloj de acuerdo con la primera realización.

La figura 5 muestra la constitución total de la totalidad del dispositivo 1 de restauración de datos de reloj de acuerdo con la primera realización.

30 La figura 6 es un diagrama de circuito de una sección 20 de detección que está contenida en el dispositivo 1 de restauración de datos de reloj de acuerdo con la primera realización.

La figura 7 muestra tablas reales para valores I/O de circuitos 22a y 23a de comparación de fase que están contenidas en los circuitos 22 y 23 de detección de relación de sincronización.

35 La figura 8 muestra la relación entre los tiempos de muestreo mostrados por las señales de reloj CKXA y CKXB y la transición de los valores de señal digital de entrada.

40 La figura 9 es un diagrama de flujo que ilustra el procesamiento por una sección 30 de determinación de sincronización que está contenida en el dispositivo 1 de restauración de datos de reloj de acuerdo con la primera realización.

La figura 10 muestra la constitución de una sección 40 de salida de reloj que está contenida en el dispositivo 1 de restauración de datos de reloj de acuerdo con la primera realización.

45 La figura 11 muestra la constitución de circuito de una primera realización de un circuito 41 de generación de reloj de referencia.

50 La figura 12 muestra la constitución de circuito de una segunda realización del circuito 41 de generación de reloj de referencia.

La figura 13 muestra la constitución de circuito de una tercera realización del circuito 41 de generación de reloj de referencia.

55 La figura 14 muestra la sincronización del muestreo indicado por la señal de reloj CKXA, la señal de reloj CKXB, y la señal de reloj CK del dispositivo 1 de restauración de datos de reloj de acuerdo con la primera realización.

La figura 15 ilustra la relación entre la sincronización para muestrear los datos de señal digital y el desfase.

60 La figura 16 ilustra la sincronización para muestrear datos de señal digital de un dispositivo 2 de restauración de datos de reloj de acuerdo con una segunda realización.

La figura 17 muestra la constitución total de la totalidad del dispositivo 2 de restauración de datos de reloj de acuerdo con la segunda realización.

65 La figura 18 es un diagrama de circuito de una sección 60 de detección que está contenida en el dispositivo 2 de

restauración de datos de reloj de acuerdo con la segunda realización.

La figura 19 muestra la relación entre el tiempo de muestreo indicado por la señal de reloj CKX y la cantidad de desfase Voff.

5 La figura 20 es un diagrama de flujo que ilustra el procesamiento de la sección 70 de determinación de desfase que está contenido en el dispositivo 2 de restauración de datos de reloj de acuerdo con la segunda realización.

10 La figura 21 muestra la constitución total de la totalidad de un dispositivo 3 de restauración de datos de reloj de acuerdo con una tercera realización.

La figura 22 es un diagrama de circuito de una sección 60a de detección que está contenida en el dispositivo 3 de restauración de datos de reloj de acuerdo con la tercera realización.

15 La figura 23 muestra tablas reales para valores I/O de un circuito 68 de detección de relación de fase que está contenido en la sección 60a de detección.

La figura 24 es un diagrama de flujo que ilustra el procesamiento de una sección 70A de determinación de desfase que está contenido en el dispositivo 3 de restauración de datos de reloj de acuerdo con la tercera realización.

20

Lista de elementos

1, 2	dispositivo de restauración de datos de reloj
10	sección de muestreador
11 a 13	circuito de cierre
20	sección de detección
21	circuito resistor
22A, 22B	circuito de detección de relación de sincronización
23	circuito de detección de relación de fase
30	sección de determinación de sincronización
40	sección de salida de reloj
41	circuito de generación de reloj de referencia
42	circuito de retraso
50	sección de muestreador
51 a 53	circuito de cierre
54, 55	circuito de adición
60, 60A	sección de detección
61	circuito de registro
62A, 62B	circuito de detección de relación de sincronización
63	circuito de detección de relación de fase
66	circuito de registro
67	circuito de selección
68	circuito de detección de relación de fase
70, 70A	sección de determinación de desfase
80	sección de salida de reloj
90	sección de conversión DA

Mejor modo para llevar a cabo la invención

25

Los mejores modos de llevar a cabo la presente invención serán descritos en detalle aquí en referencia a los dibujos adjuntos. Se asignan los mismos números de referencia a los mismos elementos en la descripción de los dibujos y se evitan las descripciones repetitivas.

La presente invención se concibió considerando el efecto patrón que surge en una señal digital cuya forma de onda se ha deteriorado. Por lo tanto, el efecto patrón será descrito primero. La figura 1 muestra esquemáticamente un diagrama en ojo para una señal digital cuya forma de onda se ha deteriorado. El eje horizontal en la figura 1 representa el tiempo mientras que el eje vertical representa el nivel de voltaje. Como se muestra en la figura 1, cuando una señal digital cuya forma de onda se ha deteriorado se analiza, el tiempo de la transición de datos desde cierto bit al siguiente bit depende del patrón de los datos antes de ese tiempo. En otras palabras, el tiempo de transición de datos que sigue una sucesión de los mismos datos es relativamente tardío (líneas en negrita en la figura 1) y, por el contrario, el tiempo de transición de datos después de que los datos hayan cambiado es relativamente temprano (líneas discontinuas en la figura 1).

El nivel de un cierto bit depende del código del bit precedente. En otras palabras, incluso cuando los bits están al mismo nivel, cierto bit está a un nivel alto alto si el bit precedente está a un nivel alto y cierto bit está a un nivel alto bajo si el bit precedente está a un nivel bajo. Los niveles bajos son los mismos. La siguiente transición de cierto bit depende del nivel de este bit.

En casos en los que un bit transita de un nivel alto alto (H_H) a un nivel bajo (L), porque el bit transita más lejos que en un caso en el que un bit transita de un nivel alto bajo (H_L) a un nivel bajo (L), el tiempo de transición es tardío. En casos en los que un bit transita de un nivel bajo bajo (L_L) a un nivel alto (H), porque el bit transita más lejos que en un caso en el que el bit transita de un nivel bajo alto (L_H) a un nivel alto (H), el tiempo de transición es tardío. El nivel alto alto (H_H) y el nivel bajo bajo (L_L) aparecen en casos en los que el mismo nivel tiene éxito en los dos bits precedentes. Por lo tanto, el tiempo de transición que sigue la sucesión de bits del mismo nivel se dice que es relativamente tardío.

Cuando se considera desde un punto de vista diferente, un caso en el que un bit transita de nivel alto alto (H_H) a un nivel bajo (L) tiene una forma de onda mayor en el nivel inferior que un caso en el que un bit transita de un nivel alto bajo (H_L) a un nivel bajo (L). Un caso en el que un bit transita de un nivel bajo alto (L_H) a un nivel alto (H) tiene una forma de onda inferior en el nivel alto que un caso en el que un bit transita de un nivel bajo bajo (L_L) a un nivel alto (H).

El nivel alto alto (H_H) y el nivel bajo alto (L_H) aparecen en casos en los que el bit precedente está a un nivel alto. Por lo tanto, el desfase de la forma de onda de transición subsiguiente cambia dependiendo del nivel del bit precedente. Este fenómeno se conoce como el efecto patrón. Los cambios en el tiempo de transición de datos dependen del patrón de los datos de bits precedentes pero dependen en gran medida de la diferencia entre los datos respectivos de los dos bits precedentes en particular. Además, la forma de onda de transición de datos depende de los bits precedentes y posee un desfase.

Después de considerar este efecto patrón, la presente invención realiza la detección clasificando entre tiempo de transición de datos en casos en los que los respectivos datos de los dos bits precedentes son diferentes uno de otro y los tiempo de transición de datos en casos en los que los respectivos datos de los dos bits precedentes son iguales uno a otro. La figura 2 ilustra la sincronización para muestrear los datos del tiempo de transición de datos.

(a) de la figura 2 muestra esquemáticamente un diagrama en ojo de una señal digital.

(c) de la figura 2 muestra la distribución de tiempo de transición de datos en casos en los que los datos respectivos de los dos bits precedentes son diferentes uno de otro (señal de reloj CKXA) y (b) de la figura 2 muestra la distribución de tiempo de transición de datos en casos en los que los datos respectivos de los dos bits precedentes son iguales uno al otro (señal de reloj CKXB), y la sincronización para muestrear los datos de los tiempos de transición de datos de la presente invención. Adicionalmente, (d) de la figura 2 muestra, por comparación, la distribución de un tiempo de transición de datos cuando la diferencia entre los datos respectivos de los dos bits respectivos no se distingue, y la sincronización para muestrear los datos del tiempo de transición de datos de la invención que se divulga por el documento de patente 2.

Como se muestra en (d) de la figura 2, de acuerdo con la invención divulgada por el documento de patente 2, los datos de la señal digital son muestreados en sincronizaciones cerca de ambos extremos de la distribución de tiempo de transición de datos cuando la diferencia de los datos respectivos de los dos bits precedentes no se distingue. Por el contrario, como se muestra en (a) de la figura 2, (b) de la figura 2, y (c) de la figura 2, la presente invención muestrea los datos de las señales digitales respectivas en cada una de las sincronizaciones del pico de la distribución de tiempo de transición de datos en casos en los que los datos respectivos de los dos bits precedentes son diferentes uno de otro y la sincronización del pico de la distribución de tiempo de transición de datos en un caso en el que los datos respectivos de los dos bits precedentes son iguales uno al otro.

La primera realización y la segunda realización del dispositivo de restauración de datos de reloj de acuerdo con la presente invención serán descritas a continuación. De acuerdo con la primera realización, la sincronización del pico de la distribución de tiempo de transición de datos en un caso en el que los datos respectivos de los dos bits precedentes son diferentes uno de otro se indica por la señal de reloj CKXA y la sincronización del pico de la distribución de tiempo de transición de datos en casos en los que los datos respectivos de los dos bits precedentes

son iguales uno de otro se indica por la señal de reloj CKXB. De acuerdo con la segunda realización, la relación equivalente entre el ajuste de sincronización y el ajuste de cantidad de desfase se utiliza para ajustar la cantidad de desfase Voff de manera que la sincronización del pico de la distribución de tiempo de transición de datos se indica por una señal de reloj CKX para cada señal primera obtenida añadiendo un valor de voltaje de desfase (-Voff) a una señal digital de salida y una señal segunda obtenida añadiendo un valor de voltaje de desfase (+Voff) a una señal digital de salida.

(Primera realización) Primero, se describirá la primera realización del dispositivo de restauración de datos de reloj de acuerdo con la presente invención. La figura 3 muestra la sincronización para muestrear los datos de señal digital de acuerdo con la primera realización. Como se muestra por (a) de la figura 3 y (b) de la figura 3, en casos en los que los datos respectivos de los dos bits precedentes son diferentes uno de otro, el valor DXA de la señal digital es muestreado con la sincronización indicada por la señal de reloj CKXA. Como se muestra por (c) de la figura 3, y (d) de la figura 3 en casos en los que los datos respectivos de los dos bits precedentes son iguales uno a otro, el valor DXB de la señal digital es muestreado con la sincronización indicada por la señal de reloj CKXB. Adicionalmente, un valor D de la señal digital es muestreado con la sincronización indicada por la señal de reloj CK en el periodo de estabilidad de datos.

Además, en casos en los que datos respectivos de los dos bits precedentes son diferentes uno de otro como por (a) de la figura 3 y (b) de la figura 3, una señal UPA y una señal DNA que representan la relación de sincronización entre la sincronización del pico de la distribución de tiempo de transición de datos y la sincronización indicada por la señal de reloj CKXA se obtienen en base al valor DXA y valor D de manera que las dos sincronizaciones coincidan entre ellas. Adicionalmente, como por (c) de la figura 3 y (d) de la figura 3, en casos en los que datos respectivos de los dos bits precedentes son iguales uno a otro, la señal UPS y la señal DNB que representan la relación de sincronización entre la sincronización del pico y la distribución de tiempo de transición de datos y la sincronización indicada por la señal de reloj CKXB se obtienen en base al valor DKB y el valor D de manera que las dos sincronizaciones coincidan entre ellas.

Como se describe antes, el dispositivo 1 de restauración de datos de reloj de acuerdo con la primera realización indica la sincronización para muestrear datos de señal digital por medio de tres señales de reloj CKXA, CKXB, y CK. La figura 4 ilustra la sincronización para muestrear datos de señal digital del dispositivo 1 de restauración de datos de reloj de acuerdo con la primera realización. La figura 4 muestra esquemáticamente un diagrama en ojo de una señal digital e indica la sincronización del muestreo de datos por medio de CKXA, CKXB y CK.

Tres señales de reloj CKXA, CKXB, y CK tienen el mismo ciclo T. El tiempo t_{XB} de muestreo indicado por la señal de reloj CKXB retrasa el tiempo t_{XA} de muestreo indicado por la señal de reloj CKXA por dos veces 2τ y el tiempo t_C de muestreo indicado por la señal de reloj CK retrasa por el tiempo $(T/2+\tau)$. En otras palabras, las relaciones $t_{XA} < t_{XB} < t_C$, $t_{XA} = t_C - T/2 - \tau$ y $t_{XB} = t_C - T/2 + \tau$ se establecen, donde el ciclo T y el tiempo τ se ajustan por el dispositivo 1 de restauración de datos de reloj.

Adicionalmente, como se muestra en la figura 4, en cada uno de los enésimos periodos $T(n)$ del ciclo T, el tiempo de muestreo indicado por tres señales de reloj CKXA, CKXB, y CK permanecen, en el orden de la señal de reloj CKXA, seguida por la señal de reloj CKXB, y la señal de reloj CK, en cada enésimo periodo $T(n)$ de ciclo T. n es un entero opcional. Además, el valor de señal digital que es muestreado en el tiempo indicado por la señal de reloj CKXA en cada periodo $T(n)$ señala DXA (n) y el valor de señal digital que es muestreado en el tiempo indicado por la señal de reloj CKXB en cada periodo $T(n)$ es señalado DXB (n) y el valor de señal digital que es muestreado en el tiempo indicado por la señal de reloj CK en cada periodo $T(n)$ es señalada D(n).

Cada una de las tres señales de reloj CKXA, CKXB, y CK pueden ser señales de reloj de fase única o señales de reloj multifase. Por ejemplo, cuando se considera un caso en el que una señal de reloj tiene cuatro fases, cuatro señales de reloj $CK<1>$, $CK<2>$, $CK<3>$, y $CK<4>$ cuyos ciclos respectivos son 4T y cuyas fases difieren una de otra en pasos de $\tau/2$ se emplean y cuatro circuitos de cierre son provistos en la sección de muestreador en correspondencia con estas cuatro señales de reloj $CK<1>$ a $CK<4>$. En el caso de señales de reloj multifase, aunque la escala de circuito de la sección de muestreador es grande, la velocidad requerida de cada reloj de circuito se relaja.

Adicionalmente, las tres señales de reloj CKXA, CKXB, y CK pueden ser señales de reloj diferentes o cualesquiera de las dos señales pueden ser señales de reloj comunes. En el último caso, por ejemplo, la señal de reloj común tiene el ancho de pulso 2τ en el ciclo T, el borde de ataque de la señal de reloj común puede ser señalado la señal de reloj CKXA, y la cola de la señal común puede ser señalada la señal de reloj CKXB.

La figura 5 muestra toda la constitución de la totalidad del dispositivo 1 de restauración de datos de reloj de acuerdo con la primera realización. Como se muestra en la figura 5, el dispositivo 1 de restauración de datos de reloj comprende una sección 10 de muestreador, la sección 20 de detección, la sección 30 de determinación de sincronización, y la sección 40 de salida de reloj.

- La sección 10 de muestreador comprende tres circuitos 11 a 13 de cierre en los que se introducen la señal de reloj CKXA, la señal de reloj CKXB, y la señal de reloj CK que tienen el mismo ciclo T y se emiten por la sección 40 de salida de reloj así como una señal digital de objetivo de restauración. El circuito 11 de cierre muestrea y mantiene el valor DXA (n) de la señal digital en el tiempo indicado por la señal de reloj CKXA en cada periodo T(n) y emite el valor DXA(n) en la sección 20 de detección. El circuito 12 de cierre muestrea y mantiene el valor DXB (n) de la señal digital en el tiempo indicado por la señal de reloj CKXB en cada periodo T(n) y emite el valor DXB(n) en la sección 20 de detección. Adicionalmente, el circuito 13 de cierre muestrea y mantiene el valor D (n) de la señal digital en el tiempo indicado por la señal de reloj CK en cada periodo T(n) y emite el valor D (n) en la sección 20 de detección.
- La sección 20 de detección recibe entradas del valor digital DXA(n), el valor digital DXB(n) y el valor digital D(n) que se emiten mediante la sección 10 de muestreador en cada periodo T(n). Además, en casos en los que ' $D(n-2) \neq D(n-1)$ ', la sección de detección detecta la relación de sincronización (relación de primera sincronización) entre el tiempo indicado por la señal de reloj CKXA y el tiempo de transición del valor de señal digital en base al valor D(n-1), el valor DXA(n), y el valor D(n) y emite una señal UPA y una señal DNA que representan la relación de primera sincronización en la sección 30 de determinación de sincronización. Adicionalmente, en casos en los que ' $D(n-2) = D(n-1)$ ', la sección 20 de detección detecta la relación de detección (relación de segunda sincronización) entre el tiempo indicado por la señal de reloj CKXB y el tiempo de transición del valor de señal digital en base al valor D(n-1), el valor DXB(n) y el valor D(n) y emite una señal UPB y una señal DNB que representan la relación de segunda sincronización en la sección 30 de determinación de sincronización. Adicionalmente, la sección 20 de detección detecta la relación de fase entre la señal de reloj CK y la señal digital en base a la relación de primera sincronización y relación de segunda sincronización y emite una señal UP y una señal DN que representan la relación de fase en la sección 40 de salida de reloj.
- La sección 30 de determinación de sincronización recibe las entradas de la señal UPA, la señal DNA, la señal DNB que representan la relación de primera sincronización y la relación de segunda sincronización que fueron detectadas por la sección 20 de detección. Además, la sección 30 de determinación de sincronización determina la sincronización (esto es, el tiempo τ) para cada una de la señal de reloj CKXA, la señal de reloj CKXB, y la señal de reloj CK de manera que el tiempo indicado por la señal CKXA de reloj está en el centro de la distribución de tiempo de transición del valor de señal digital en casos en los que los datos respectivos de los dos bits precedentes difieren uno de otro (en casos en los que ' $D(n-2) \neq D(n-1)$ ') y de manera que el tiempo indicado por la señal CKXB de reloj está en el centro de la distribución de tiempo de transición del valor de señal digital en casos en los que los datos respectivos de los dos bits precedentes son iguales uno al otro (en casos en los que ' $D(n-2) = D(n-1)$ ').
- La sección 40 de salida de reloj ajusta el ciclo T o la fase de manera que la diferencia de fase entre la señal de reloj CK y la señal digital decrece en base a la señal UP y la señal DN que representan la relación de fase detectada por la sección 20 de detección y emite la señal de reloj CKXA, la señal de reloj CKXB y la señal de reloj CK a la sección 10 de muestreador de acuerdo con la sincronización determinada por la sección 30 de determinación de sincronización.
- La figura 6 es un diagrama de circuito de la sección 20 de detección que está contenido en el dispositivo 1 de restauración de datos de reloj de acuerdo con la primera realización. La sección 20 de detección comprende un circuito 21 de registro, un circuito 22 de detección de relación de sincronización, un circuito 23 de detección de relación de sincronización, un circuito 24 de detección de relación de fase, y un circuito exclusivo OR 25.
- El circuito 21 de registro recibe entradas de una valor digital DXA(n), el valor digital DXB(n), y el valor digital D(n) que se emiten por la sección 10 de muestreador en cada periodo T(n) y mantiene estos valores durante un periodo fijo antes de emitir los mismos con sincronización predeterminada. En otras palabras, el circuito 21 de registro emite el valor D(n-2), y el valor D(n-1) en el circuito exclusivo OR 25 al mismo tiempo en un cierto periodo, emite el valor D(n-1), el valor D(n), y el valor DXA(n) en el circuito 22 de detección de relación de sincronización, y emite el valor D(n-1), el valor D(n), y el valor DXB(n) en el circuito 23 de detección de relación de sincronización. El circuito exclusivo OR 25 recibe entradas de valor D(n-2) y valor D(n-1) que se emiten por el circuito 21 de registro, emite un valor de nivel alto si estos dos valores difieren uno de otro, y emite un valor de nivel bajo si estos dos valores son iguales uno al otro.
- El circuito 22 de detección de relación de sincronización comprende un circuito 22a de comparación de fase, recibe entradas de valor D(n-1), valor D(n), y valor DXA(n) que se emiten por circuito 21 de registro y, en casos en los que la salida de valor por el circuito exclusivo OR 25 es un valor de nivel alto (esto es, en casos en los que ' $D(n-2) \neq D(n-1)$ '), emite una señal UPA que es un valor significativo cuando ' $D(n-1) \neq DXA(n) = D(n)$ ' y una señal DNA que es un valor significativo cuando ' $D(n-1) = DXB(n) \neq D(n)$ ' como una señal que representa la relación de segunda sincronización.
- El circuito 23 de detección de relación de sincronización comprende un circuito 23a de comparación de fase y recibe entradas de valor D(n-1), valor D(n), y valor DXB(n) que se emiten por el circuito 21 de registro y, en casos en los que la salida de valor por el circuito exclusivo OR 25 es un valor de nivel bajo (esto es, en casos en los que ' $D(n-2) = D(n-1)$ '), emite una señal UPB que es un valor significativo cuando ' $D(n-1) \neq DXB(n) = D(n)$ ' y una señal DNB que es

un valor significativo cuando $'D(n-1)=DXB(n)\neq D(n)'$ como una señal que representa la relación de segunda sincronización.

5 El circuito 24 de detección de relación de fase emite una señal UP que representa el lógico OR de la señal UPA y la señal UPB y una señal DN que representa el lógico OR de la señal DNA y la señal DNB como señales que representan la relación de fase.

10 (a) de la figura 7 muestra una tabla real para los valores I/O del circuito 22a de comparación de fase que está contenida en el circuito 22 de detección de relación de sincronización. Adicionalmente, (b) de la figura 7 muestra una tabla real de los valores del circuito 23a de comparación de fase contenido en el circuito 23 de detección de relación de sincronización. Estas dos tablas reales difieren en que uno de los tres valores de entrada es o bien DXA(n) o bien DXB(n) y, si se excluye este hecho, la relación entre los tres valores de entrada y los dos valores de salida es la normal.

15 Cuando se describa (a) de la figura 7, como también se muestra en (a) de la figura 3, la señal UPA que es un valor significativo 1 cuando $'D(n-1)\neq DXA(n)=D(n)'$ indica si el tiempo de muestreo indicado por la señal de reloj CKXA retrasa el tiempo de transición del valor de señal digital de entrada y por lo tanto indica la necesidad de llevar el tiempo de muestreo hacia delante. Adicionalmente, como también se muestra en (b) de la figura 3, la señal DNA que es un valor significativo cuando $'D(n-1)=DXA(n)\neq D(n)'$ indica si el tiempo de muestreo indicado por la señal de reloj CKXA es anterior al tiempo de transición del valor de señal digital de entrada y, por lo tanto, representa la necesidad de retrasar el tiempo de muestreo.

25 Similarmente, cuando se describa (b) de la figura 7, como también se muestra en la figura (c) de la figura 3, la señal UPB que es un valor significativo 1 cuando $'D(n-1)\neq DXB(n)=D(n)'$ indica si el tiempo de muestreo indicado por la señal de reloj CKXB retrasa el tiempo de transición del valor de señal digital de entrada y, por lo tanto, indica la necesidad de llevar el tiempo de muestreo hacia delante. Adicionalmente, como también se muestra en (d) de la figura 3, la señal DNB que es un valor significativo cuando $'D(n-1)=DXB(n)\neq D(n)'$ indica si el tiempo de muestreo indicado por la señal de reloj CKXB es anterior al tiempo de transición del valor de señal digital de entrada y, por lo tanto, indica la necesidad de retrasar el tiempo de muestreo.

30 La figura 8 muestra la relación entre el tiempo de muestreo indicado por las señales de reloj CKXA y CKXB y la transición del valor de señal digital de entrada. (a) de la figura 8 muestra esquemáticamente un diagrama en ojo de una señal digital cuya forma de onda se ha deteriorado.

35 En casos en los que el tiempo de muestreo indicado por la señal de reloj CKXA retrasa el tiempo de centro de la distribución de tiempo de transición del valor de señal digital de entrada cuando $'D(n-2)\neq D(n-1)'$ como se muestra por (c) de la figura 8, y en casos en los que el tiempo de muestreo indicado por la señal de reloj CKXB es anterior que el tiempo de centro de la distribución de tiempo de transición del valor de señal digital de entrada cuando $'D(n-2)=D(n-1)'$ como se muestra en (b) de la figura 8, la diferencia 2τ de tiempo entre los tiempos de muestreo indicados por las señales de reloj CKXA y CKXB debe ser incrementada.

45 Al contrario, en casos en los que el tiempo de muestreo indicado por la señal de reloj CKXA es anterior que el tiempo de centro de la distribución de tiempo de transición del valor de señal digital de entrada cuando $'D(n-2)\neq D(n-1)'$ como se muestra por (e) de la figura 8, y en casos en los que el tiempo de muestreo indicado por la señal de reloj CKXB es anterior al tiempo de centro de la distribución de tiempo de transición del valor de señal digital de entrada cuando $'D(n-2)=D(n-1)'$ como se muestra en (d) de la figura 8, hay una necesidad de acortar la diferencia de tiempo 2τ entre los tiempos de muestreo indicados por las señales de reloj CKXA y CKXB.

50 La sección 30 de determinación de sincronización indicada por la figura 5 ajusta el tiempo τ realizando el juicio descrito en la figura 8. La figura 9 es un diagrama de flujo que describe el procesamiento de la sección 30 de determinación de sincronización que está contenido en el dispositivo 1 de restauración de datos de reloj de acuerdo con la primera realización. La sección 30 de determinación de sincronización usa la variable cntENG, la variable cntINSIDE, la constante cntEDGTH, y el ancho constante para realizar el procesamiento siguiente.

55 En el paso S11, los valores respectivos de la variable cntEDG y la variable cntINSIDE se establecen en valor inicial 0. En el paso S12 que sigue, la suma de los respectivos valores de la señal UPA, la señal UPB y la señal DNB se añade al valor de la variable cntEDG y el valor de adición produce un nuevo valor para la variable cntEDG. Además, la suma de los valores respectivos de la señal DNA y la señal UPB se añade al valor de la variable cntINSIDE y el valor de adición produce un nuevo valor para la variable cntINSIDE. El código de procesamiento '+-' en el paso S12 indica adición acumulativa. En el paso S13 que sigue, se juzga si el valor de la variable cntEDG es igual a la constante cntEDGTH y, si el valor de la variable cntEDG alcanza la constante cntEDGTH, el procesamiento avanza al paso S14 y, si el valor de la variable cntEDG no alcanza la constante cntEDGTH, el procesamiento vuelve al paso S12.

65 El procesamiento de cada paso S12 y paso S13 se lleva a cabo una vez en cada periodo $T(n)$. En otras palabras,

hasta que se juzga que el valor de la variable cntEDG ha alcanzado la constante cntEDGTH en el paso S13, el procesamiento del paso S12 se lleva a cabo una vez para cada periodo de ciclo T. Además, en el punto en el que se juzga que el valor de variable cntEDG ha alcanzado la constante cntEDGTH en el paso S13 y el procesamiento avanza al paso S14, el cociente del valor de variable cntINSIDE con respecto al valor de la variable cntEDG

- 5 representa la relación entre la diferencia de tiempo 2τ entre los tiempos de muestreo indicados por las señales de reloj CKXA y CKXB y la diferencia de tiempo entre los tiempos de centro de la distribución de tiempo de transición de los valores de señal digital de entrada en cada uno de los casos en los que ' $D(n-2) \neq D(n-1)$ ' y ' $D(n-2) = D(n-1)$ ' (esto es, cualquiera de (b) de la figura 8, (c) de la figura 8, (d) de la figura 8, y (e) de la figura 8).
- 10 En los pasos S14 y S15, se juzga si el valor de variable cntINSIDE, está relacionado de alguna forma con un intervalo fijo que se centra en un valor 0,5 veces el valor de la variable cntEDG y cuyo ancho es doble ancho. En casos en los que se juzga que el valor de la variable cntINSIDE es pequeño en comparación con el valor obtenido sustrayendo el ancho constante positivo de 0,5 veces el valor de la variable cntEDG ($0,5 * cntEDG - ancho$), valor τ se añade en el paso S16 y el nuevo valor τ es reportado a la sección 40 de salida de reloj. En casos en los que se
- 15 juzga que el valor de la variable cntINSIDE es grande en comparación con el valor obtenido añadiendo el ancho constante positivo en 0,5 veces el valor de la variable cntEDG ($0,5 * cntEDG + ancho$), el valor τ se reduce en el paso S17 y el nuevo valor τ es reportado a la sección 40 de salida de reloj. Adicionalmente, en casos en los que se juzga que el valor de la variable cntINSIDE reside en el intervalo fijo, el valor τ se mantiene en el paso S18. Además, cuando el procesamiento de cualquiera de los pasos S16 a S18 es completo, el procesamiento vuelve al paso S11, y
- 20 el procesamiento descrito hasta este punto se repite.

Como un resultado de la sección 30 de determinación de sincronización que realiza el procesamiento anterior, el valor τ se ajusta de manera que el valor de la variable cntINSIDE existe en un intervalo fijo ($0,5 * cntEDG - ancho$ a $0,5 * cntEDG + ancho$), esto es, de manera que la diferencia entre el valor de adición acumulativo 'DNA+UPB' y el

- 25 valor de adición acumulativo 'UPA+DNB' es igual o menor que un valor de referencia. Como un resultado, la diferencia de tiempo 2τ entre los tiempos de muestreo indicados por las señales de reloj CKXA y CKXB se ajusta para coincidir con la diferencia de tiempo entre los tiempo de centro de las distribuciones de tiempo de transición del valor de señal digital de entrada en los casos respectivos en los que ' $D(n-2) \neq D(n-1)$ ' y ' $D(n-2) = D(n-1)$ '.
- 30 La sección 40 de salida de reloj mostrada en la figura 5 ajusta el ciclo T o la fase de manera que la diferencia de fase entre la señal de reloj CK y la señal digital disminuye en base a la señal UP y la señal DN emitidas por la sección 20 de detección y emite la señal de reloj CKXA, la señal de reloj CKXB y la señal de reloj CK en la sección 10 de muestreador basada en el valor τ determinado por la sección 30 de determinación de sincronización. La figura 10 muestra la constitución de la sección 40 de salida de reloj que está contenida en el dispositivo 1 de restauración
- 35 de datos de reloj de acuerdo con la primera realización. Como se muestra en la figura 10, la sección 40 de salida de reloj comprende el circuito 41 de generación de reloj de referencia y el circuito 42 de retraso.

El circuito 41 de generación de reloj de referencia genera una señal de reloj de referencia que se obtiene ajustando el ciclo T o la fase en base a la señal UP y la señal DN que se emiten por la sección 20 de detección. Una variedad de realizaciones son posibles para la constitución del circuito del circuito 41 de generación de reloj de referencia como se muestra en las figuras 11 a 13. El circuito 42 de retraso añade el retraso requerido a la señal de reloj de

- 40 referencia que se emite por la señal de reloj CKXA, la señal de reloj CKXB y la señal de reloj CK de referencia y emite estas señales. Aquí, las señales de reloj CKXA, CKXB y CK se generan y se emiten de manera que la sincronización del muestreo indicado por la señal de reloj CKXB retrasa la sincronización del muestreo indicado por la señal de reloj CKXA por tiempo 2τ y de manera que la sincronización del muestreo indicado por la señal de reloj CK retrasa la sincronización del muestreo indicado por la señal de reloj CKXA por tiempo $(T/2 + \tau)$.

La figura 11 muestra la constitución de circuito de una primera realización del circuito 41 de generación de reloj de referencia. El circuito 41A de generación de reloj de referencia mostrado en la figura 11 comprende un circuito 411 de CP (bomba de carga), un circuito 412 (filtro de paso bajo), y un circuito de VCO (oscilador de voltaje controlado) 413. En referencia al circuito 41A de generación de reloj de referencia, el circuito 411 de CP en el que se introducen la señal UP y la señal DN emitidas por la sección 20 de detección emite un pulso de corriente eléctrica o bien de carga o bien de descarga al circuito LPF 42 dependiendo de si o bien la señal UP o bien la señal DN es el valor significativo. El circuito LPF 412 recibe una entrada del pulso de corriente eléctrica que se emite por el circuito 411 de CP e incrementa o reduce el valor de voltaje de salida como resultado o bien de la carga o bien de la descarga por el pulso de corriente eléctrica de entrada. El circuito de VCO 413 genera entonces una señal de reloj de un ciclo que corresponde con el valor de voltaje de salida del circuito LFP 412 y emite la señal de reloj de referencia al

- 50 circuito 42 de retraso. El ciclo de la señal de reloj que se emite por el circuito de VCO 413 al circuito de retraso 42 se ajusta en base a la señal UP y la señal DN.

La figura 12 muestra la constitución de circuito de una segunda realización del circuito 41 de generación de reloj de referencia. Un circuito 41B de generación de reloj de referencia, que se muestra en la figura 12, comprende el circuito 411 de CP, el circuito LPF 412, el circuito de PLL (bucle de fase bloqueada) 414, y el circuito 415 de retraso variable. En el circuito 41B de generación de reloj de referencia, el circuito 411 de CP en el que la señal UP y la

- 60 señal DN emiten por la sección 20 de detección se introduce emite un pulso de corriente eléctrica o bien de carga o
- 65

bien de descarga en el circuito LPF 412 dependiendo de si o bien la señal UP o bien la señal DN es el valor significativo. El circuito LPF 412 recibe una entrada del pulso de corriente eléctrica que se emite por el circuito 411 de CP e incrementa o reduce el valor de voltaje de salida como un resultado o bien de la carga o bien de la descarga por el pulso de corriente eléctrica de entrada. El circuito de PLL 414 genera un reloj multifase desde un reloj de entrada REFCLK y emite el reloj multifase al circuito 415 de retraso variable. Además, el circuito 415 de retraso variable recibe una entrada de reloj multifase que se emite por el circuito de PLL 414, añade un retraso que corresponde con la salida de valor de voltaje por el circuito LPF 412 al reloj multifase, y emite el reloj de retraso añadido al circuito 42 de retraso. La fase de la señal de reloj que se emite por el circuito 415 de retraso variable al circuito 42 de retraso se ajusta en base a la señal UP y la señal DN. Un circuito DLL (bucle de fase bloqueada) puede ser usado también en lugar de un circuito de PLL.

La figura 13 muestra la constitución de circuito de la tercera realización del circuito 41 de generación de reloj de referencia. El circuito 41C de generación de reloj de referencia mostrado en la figura 13, comprende el circuito de PLL 414 de CP, el circuito 416 de control de fase, y el circuito 417 de interpolación de fase. En el circuito 41C de generación de reloj de referencia, el circuito 416 de control de fase al que se introducen la señal UP y la señal DN emitidas por la sección 20 de detección emite una señal de control para indicar un incremento o disminución en la cantidad de ajuste de fase del circuito 417 de interpolación de fase dependiendo de si la señal UP y la señal DN es el valor significativo. El circuito de PLL 414 genera un reloj multifase desde el reloj de entrada REFCLK y emite el reloj multifase al circuito 417 de interpolación de fase. El circuito 417 de interpolación de fase recibe entonces una entrada del reloj de multifase que se emite por el circuito de PLL 414, ajusta la fase del reloj de multifase por medio de interpolación en base a la salida de señal de control por el circuito 416 de control de fase y emite el reloj de fase ajustada al circuito 42 de retraso. La fase de la señal de reloj que se emite del circuito 417 de interpolación de fase en el circuito 42 de retraso se ajusta en base a la señal UP y la señal DN. Un circuito DLL puede también ser usado en lugar del circuito de PLL.

En el dispositivo 1 de restauración de datos de reloj que está constituido de esta manera, las fases respectivas de la señal de reloj CKXA, la señal de reloj CKXB, y la señal de reloj CK se ajustan para coincidir con la fase de la señal digital de entrada por medio del procesamiento de un bucle que comprende la sección 10 de muestreador, la sección 20 de detección, la sección 30 de determinación de sincronización, y la sección 40 de salida de reloj. Adicionalmente, como resultado del procesamiento de bucle, el tiempo de muestreo de señal digital indicado por la señal de reloj CKXA se ajusta para coincidir con el tiempo de pico de la distribución de tiempo de transición de datos en un caso en el que el valor $D(n-2)$ y el valor $D(n-1)$ de los dos bits precedentes difieren uno de otro y el tiempo de muestreo de señal digital indicado por la señal de reloj CKXB se ajusta para coincidir el tiempo de pico de la distribución de tiempo de transición de datos en un caso en el que el valor $D(n-2)$ y el valor $D(n-1)$ de los dos bits precedentes son iguales uno al otro. Adicionalmente, cualquiera de la señal de reloj CKXA, la señal de reloj CKXB, y la señal de reloj CK se emite como señal de reloj restaurada. Los datos de orden cronológico para valor digital $D(n)$ se emiten también como datos restaurados.

La figura 14 muestra la sincronización para muestreo indicada para cada una de la señal de reloj CKXA, la señal de reloj CKXB, y la señal de reloj CK del dispositivo 1 de restauración de datos de reloj de acuerdo con la primera realización. La figura 14 muestra un diagrama en ojo de una señal digital de entrada en los tiempos, t_1 , t_2 , t_3 , t_4 , y t_5 que transcurre en orden cronológico y un diagrama en ojo que abarca un largo periodo T_{total} de la señal digital de entrada. Los cambios en los tiempo de transición de datos de la señal digital de entrada aparecen debido a fluctuación de fase de reloj transmisor que aparece debido a fluctuaciones de voltaje de suministro del transmisor que transmite la señal digital u otro ruido, e interferencia entre símbolos debido a una mezcla de un patrón de datos irregular de la señal digital y la atenuación de la trayectoria de transmisión.

En la figura 14, la línea de cadena de dos puntos que conecta cronológicamente los tiempos de centro de los periodos de estabilidad de datos es una línea curvada y resulta de la fluctuación de reloj de transmisor. Además, el fenómeno de acuerdo con el que los tiempos de transición de datos difieren dependiendo de la diferencia entre el valor $D(n-2)$ y el valor $D(n-1)$ de los dos bits precedentes es debido a la interferencia entre símbolos. En casos en los que la fluctuación de fase de reloj de transmisor es grande, el ojo cierra en el diagrama en ojo que abarca un largo periodo de la señal digital de entrada como se indica por un patrón superpuesto en el periodo T_{total} en la figura 14 y, cuando los tiempo de muestreo de la señal digital como se indica mediante un patrón superpuesto en el periodo T_{total} en la figura 14 y cuando los tiempos de muestreo de la señal digital son coincidos cerca de los dos extremos de la distribución de tiempo de transición de datos como por el dispositivo divulgado en el documento 2 de patente (véase (d) de la figura 2), los tiempos de muestreo no pueden ser determinados y, por lo tanto, el tiempo de centro del periodo de estabilidad de datos no puede ser determinado tampoco.

Por el contrario, con el dispositivo 1 de restauración de datos de reloj de acuerdo con la primera realización, la sincronización del pico de la distribución de tiempo de transición de datos en un caso en el que los datos respectivos de los dos bits precedentes difieren uno de otro se indica por la señal de reloj CKXA y la sincronización del pico de la distribución de tiempo de transición de datos en un caso en el que los datos respectivos de los dos bits precedentes son iguales uno de otro se indica por la señal de reloj CKXB (véase (a) de la figura 2, y (c) de la figura 2). Por lo tanto, los tiempos de sincronización indicados por cada una de las señales de reloj CKXA, CKXB y CK pueden ser determinados en un periodo corto. En otras palabras, el dispositivo 1 de restauración de datos de

acuerdo con la primera realización es capaz de restaurar la señal y datos de reloj establemente incluso en casos en los que la fluctuación de fase de reloj de transmisor y la interferencia entre símbolos son grandes.

(Segunda realización) La segunda realización del dispositivo de restauración de datos de reloj de acuerdo con la presente invención será descrita a continuación. La figura 15 ilustra la relación entre la sincronización para muestrear los datos de señal digital y el desfase. En (a) de la figura 15, la señal indicada por la línea discontinua se obtiene añadiendo desfase Voff a la señal digital de entrada indicada en línea en negrita. Cuando el muestreo de la señal a la que el desfase Voff ha sido añadido y se considera la señal digital de entrada original por medio del mismo circuito de cierre, en comparación con la sincronización del muestreo de la señal digital de entrada original, la sincronización del muestreo de la señal a la que el desfase Voff ha sido añadido es equivalente a la sincronización que es apagada (=Voff/ritmo limitado) más temprano. Adicionalmente, el resultado de muestrear la señal digital de entrada a la que el desfase Voff ha sido añadido por medio de un circuito de cierre puede también ser obtenido realizando muestreo con una señal digital de entrada a la que el desfase no ha sido aplicado sirviendo como un valor de umbral (-Voff), esto es, aplicando un desfase al umbral de muestreo, como se muestra en (b) de la figura 15. Por lo tanto, de los dos métodos equivalentes para aplicar un desfase, una constitución para realizar el procesamiento equivalente al caso de la primera realización en el que el tiempo de muestreo de la señal digital de entrada se ajusta ajustando el desfase aplicado a la señal digital de entrada será descrita como segunda realización.

El dispositivo 2 de restauración de datos de reloj de acuerdo con la segunda realización indica la sincronización para muestrear los datos de la señal digital por medio de la señal de reloj CK e indica la sincronización para muestrear los datos de señal obtenidos aplicando un desfase (\pm Voff) a la señal digital por medio de la señal de reloj CKX. La figura 16 ilustra la sincronización para muestrear los datos de la señal digital del dispositivo 2 de restauración de datos de reloj de acuerdo con la segunda realización. La figura 16 muestra esquemáticamente el diagrama en ojo de la señal digital y la sincronización para muestrear los datos se indica mediante CKX y CK. Por motivos de simplicidad, el desfase de la señal digital se muestra alineado y se muestra en una forma en la que el desfase ha sido aplicado al valor de umbral de muestreo. Sin embargo, como se explica más adelante, esta operación es equivalente a un caso en el que el desfase se añade a la señal.

Las dos señales de reloj CKX y CK tienen el mismo ciclo T. El tiempo de muestreo t_x indicado por la señal de reloj CKX y el tiempo de muestreo t_c indicado por la señal de reloj CK tienen la relación $t_c - t_x = T/2$. Adicionalmente, en cada n -ésimo periodo $T(n)$ de ciclo T, los tiempo de muestreo indicados por cada una de las dos señales de reloj CKX y CK se disponen en el orden de la señal de reloj CKX seguida de la señal de reloj CK. n es un entero opcional.

El valor de la señal primera que es muestreada en el tiempo indicado por la señal de reloj CKX en cada periodo $T(n)$ (= señal digital de entrada -Voff) se señala DXA(n), el valor de la señal segunda que es muestreado en el tiempo indicado por la señal de reloj CKX en cada periodo $T(n)$ (= señal digital de entrada +Voff) se señala DXB(n), y el valor de la señal digital de entrada que es muestreado en el tiempo indicado por la señal de reloj CK en cada periodo $T(n)$ se señala D(n), donde el ciclo T y la cantidad de desfase Voff se ajustan por el dispositivo 2 de restauración de datos de reloj.

Cada una de las dos señales de reloj CKX y CK puede ser señales de reloj de fase única o señales de reloj multifase. Por ejemplo, cuando se considera un caso en el que una señal de reloj CK tiene cuatro fases, cuatro señales de reloj CK<1>, CK<2>, CK<3>, y CK<4> cuyos ciclos respectivo son 4T y cuyas fases difieren una de otra en pasos de $\pi/2$ se emplean y cuatro circuitos de cierre son provistos en la sección de muestreador en correspondencia con estas cuatro señales de reloj de CK<1> a CK<4>. En el caso de señales de reloj multifase, aunque la escala de circuito de la sección de muestreador es grande, la velocidad requerida de cada reloj de circuito es relajada.

Adicionalmente, las dos señales de reloj CKX y CK pueden ser señales de reloj diferentes o cualquier señal de reloj de las dos pueden ser señales de reloj comunes. En el último caso, por ejemplo, la señal de reloj común tiene el ancho de pulso T/2 en el periodo T, el borde de ataque de la señal de reloj común puede ser señalado la señal de reloj CKX, y la cola de la señal de reloj común puede ser señalada la señal de reloj CK.

La figura 17 muestra toda la constitución de la totalidad del dispositivo 2 de restauración de datos de reloj de acuerdo con la segunda realización. Como se muestra en la figura 17, el dispositivo 2 de restauración de datos de reloj comprende una sección 50 de muestreador, una sección 60 de detección, una sección 70 de determinación de desfase, una sección 80 de salida de reloj, y una sección 90 de conversión DA.

La sección 50 de muestreador comprende tres circuitos 51 a 53 de cierre y dos circuitos 54 y 55 de adición a los que se introducen la señal de reloj CKX y la señal de reloj CK que tienen el mismo ciclo T y se emiten por la sección 80 de salida de reloj, un valor de voltaje (\pm Voff) que se emite por la sección 90 de conversión DA, y una señal digital de objetivo de restauración. El circuito 54 de adición añade el valor de voltaje de desfase (-Voff) a la señal digital de entrada y emite una señal primera que resulta de la adición al circuito 51 de cierre. El circuito 55 de adición añade el valor de voltaje de desfase (+Voff) a la señal digital de entrada y emite una señal segunda que resulta de la adición al circuito 52 de cierre. El circuito 51 de cierre muestrea y mantiene el valor DXA(n) de la señal primera en el tiempo indicado por la señal de reloj CKX en cada periodo $T(n)$ y emite el valor DXA(n) en la sección 60 de detección. El

circuito 52 de cierre muestrea y mantiene el valor $DXB(n)$ de la señal segunda en el tiempo indicado por la señal de reloj CKX en cada periodo $T(n)$ y emite el valor $DXB(n)$ en la sección 60 de detección. Adicionalmente, el circuito 53 de cierre muestrea y mantiene el valor $D(n)$ de la señal digital en el tiempo indicado por la señal de reloj CK en cada periodo $T(n)$ y emite el valor $D(n)$ en la sección 60 de detección y sección 70 de determinación de desfase.

5 En casos en los que la constitución es tal que, en vez de aplicar un desfase a la señal digital de entrada, el valor de umbral de muestreo del circuito de cierre está desfasado, el circuito 54 de adición y el circuito 55 de adición pueden ser omitidos. En este caso, el valor de voltaje Voff y -Voff que se emiten por la sección 90 de conversión DA son cada uno introducidos en el circuito 51 de cierre y el circuito 52 de cierre. Además, el circuito 51 de cierre y el circuito
10 52 de cierre cada uno muestrea y mantiene la señal digital de entrada en el tiempo indicado por la señal de reloj CKX de acuerdo con un valor de umbral que es cambiado por Voff y -Voff y emite la señal digital de salida a la sección 60 de detección. Aquí, la sección 90 de conversión DA emite los voltajes de desfase Voff y -Voff para circuitos 51 y 52 de cierre. Sin embargo, en el caso de una señal digital que causa que los circuitos 51 y 52 de cierre desfasen el valor de umbral de muestreo por Voff y -Voff, los voltajes de desfase Voff y -Voff pueden ser
15 omitidos también.

La sección 60 de detección recibe entradas de valor digital $DXA(n)$, el valor digital $DXB(n)$ y el valor digital $D(n)$ que se emiten por la sección 50 de muestreador en cada periodo $T(n)$. Además, en casos en los que el valor $D(n-2)$ es un nivel alto, la sección 60 de detección detecta la relación de sincronización (primera relación de sincronización)
20 entre el tiempo indicado por la señal de reloj CKX y el tiempo de transmisión del valor de señal digital en base al valor $D(n-1)$, el valor $DXA(n)$, y el valor $D(n)$ y emite una señal UPA y una señal DNA que representan la relación de primera sincronización en la sección 70 de determinación de desfase. Adicionalmente, en casos en los que el valor $D(n-2)$ es un nivel bajo, la sección 20 de detección detecta la relación de sincronización (relación de sincronización secundaria) entre el tiempo indicado por la señal de reloj CKX y el tiempo de transición del valor de señal digital en
25 base al valor $D(n-1)$, el valor $DXB(n)$, y el valor $D(n)$ y emite una señal UPB y una señal DNB que representan la relación de segunda sincronización en la sección 70 de determinación de desfase. Adicionalmente, la sección 20 de detección detecta la relación de fase entre la señal de reloj CK y la señal digital en base a la relación de primera sincronización y la relación de segunda sincronización y emite una señal UP y una señal DN que representa la relación de fase en la sección 80 de salida de reloj.

30 Dependiendo de si el caso es alguno de los casos en los que ' $D(n-2) \neq D(n-1)$ ' o ' $D(n-2) = D(n-1)$ ', la sección 20 de detección de la primera realización emite selectivamente una señal o bien del circuito 22 de detección de relación de sincronización o bien el circuito 23 de detección de relación de sincronización. Por el contrario, dependiendo de si el valor $D(n-2)$ es un nivel alto o un nivel bajo, la sección 60 de detección de la segunda realización emite selectivamente una señal o bien de un circuito 62 de detección de relación de sincronización o bien de un circuito 63
35 de detección de relación de sincronización. Esto se basa en el resultado de considerar la relación equivalente entre el ajuste de sincronización y el ajuste de cantidad de desfase como se describe usando la figura 15.

La sección 70 de determinación de desfase recibe entradas de la señal UPA, la señal DNA, la señal UPB, y la señal
40 DNB que representan las relaciones de primera sincronización y segunda por la sección 60 de detección y recibe una entrada del valor digital $D(n)$ que se emite por la sección 50 de muestreador. La sección 70 de determinación de desfase determina entonces la cantidad de desfase Voff de la sección 50 de muestreador de manera que el tiempo indicado por la señal de reloj CKX está en el centro de la distribución de tiempo de transición del valor de la señal primera en casos en los que el valor $D(n-2)$ es un nivel alto y de manera que el tiempo indicado por la señal de reloj
45 CKX está en el centro de la distribución de tiempo de transición del valor de la señal segunda en casos en los que el valor $D(n-2)$ es un nivel bajo, y reporta la cantidad de desfase Voff así determinada a la sección 90 de conversión DA.

La sección 80 de entrada de reloj ajusta el ciclo T o fase de manera que la diferencia de fase entre la señal de reloj
50 CK y la señal digital es pequeña en base a la señal UP y la señal DN que representa la relación de fase detectada por la sección 60 de detección y emite la señal de reloj CKX y la señal de reloj CK en la sección 50 de muestreador. La sección 90 de conversión DA emite la cantidad de desfase reportada por la sección 70 de determinación de desfase en la sección 50 de muestreador como un valor de voltaje análogo.

55 La figura 18 es un diagrama de circuito de la sección 60 de detección que está contenido en el dispositivo 2 de restauración de datos de reloj de acuerdo con la segunda realización. La sección 60 de detección comprende un circuito 61 de registro, el circuito 62 de detección de relación de sincronización, el circuito 63 de detección de relación de sincronización, y un circuito 64 de detección de relación de fase.

60 El circuito 61 de registro recibe entradas del valor digital $DXA(n)$, el valor digital $DXB(n)$, y el valor digital $D(n)$ que se emiten por la sección 50 de muestreador en cada periodo $T(n)$, mantiene el valor digital $DXA(n)$, el valor digital $DXB(n)$, y el valor digital $D(n)$ para un periodo fijo, y emite lo mismo con sincronización predeterminada. Esto es, el circuito 61 de registro emite el valor $D(n-2)$, el valor $D(n-1)$, el valor $D(n)$, y el valor $DXA(n)$ al circuito 62 de detección de relación de sincronización simultáneamente en un cierto periodo y emite el valor $D(n-2)$, el valor $D(n-1)$, el valor
65 $D(n)$, y el valor $DXB(n)$ en el circuito 63 de detección de relación de sincronización.

El circuito 62 de detección de relación de sincronización comprende un circuito 62a de comparación de fase y recibe las entradas del valor $D(n-2)$, el valor $D(n-1)$, el valor $D(n)$, y el valor $DXA(n)$ que se emiten por el circuito 61 de registro. En casos en los que el valor $D(n-2)$ es un valor de nivel alto, el circuito 62 de detección de relación de sincronización emite la señal de UPA, que es un valor significativo cuando ' $D(n-1) \neq DXA(n) = D(n)$ ', y la señal DNA, que es un valor significativo cuando ' $D(n-1) = DXA(n) \neq D(n)$ ', como señales que representan la relación de primera sincronización. La tabla real para valores I/O del circuito 62a de comparación de fase que está contenida en el circuito 62 de detección de relación de sincronización es la misma que la mostrada en (a) de la figura 7.

El circuito 63 de detección de relación de sincronización comprende un circuito 63a de comparación de fase y recibe las entradas del valor $D(n-2)$, el valor $D(n-1)$, el valor $D(n)$, y el valor $DXB(n)$ que se emiten por el circuito 61 de registro. En casos en los que el valor $D(n-2)$ es un valor de nivel alto, el circuito 63 de detección de relación de sincronización emite la señal de UPB, que es un valor significativo cuando ' $D(n-1) \neq DXB(n) = D(n)$ ', y la señal DNB, que es un valor significativo cuando ' $D(n-1) = DXB(n) \neq D(n)$ ', como señales que representan la relación de segunda sincronización. La tabla real para valores I/O del circuito 63a de comparación de fase que está contenida en el circuito 63 de detección de relación de sincronización es la misma que la mostrada en (b) de la figura 7.

El circuito 64 de detección de relación de fase emite una señal UP que representa el lógico OR de la señal UPA y la señal UPB y una señal DN que representa el lógico OR de la señal DNA y la señal DNB como señales que representan la relación de fase.

La figura 19 muestra la relación entre el tiempo de muestreo indicado por la señal de reloj CKX y la cantidad de desfase Voff. Como se muestra en (a) de la figura 19, en casos en los que el tiempo de muestreo indicado por la señal de reloj CKX retrasa el tiempo de centro de la distribución de tiempo de transición del valor de la señal primera en casos en los que el valor $D(n-2)$ es un nivel alto y en el que el tiempo de muestreo indicado por la señal de reloj CKX es anterior que el tiempo de centro de la distribución de tiempo de transición del valor de la señal segunda en casos en los que el valor $D(n-2)$ es un nivel bajo, la cantidad de desfase Voff debe ser incrementada. Al contrario, como se muestra en (b) de la figura 19, en casos en los que el tiempo de muestreo indicado por la señal de reloj CKX es anterior que el tiempo de centro de la distribución de tiempo de transición del valor de la señal primera en casos en los que el valor $D(n-2)$ es un nivel alto y en el que el tiempo de muestreo indicado por la señal de reloj CKX retrasa el tiempo de centro de la distribución de tiempo de transición del valor de la señal segunda en casos en los que el valor $D(n-2)$ es un nivel bajo, la cantidad de desfase Voff debe ser reducida. La figura 19 muestra un caso en el que el valor de señal digital pasa de un nivel bajo a un nivel alto pero es también similar a un caso en el que el valor de señal digital pasa de un nivel alto a un nivel bajo.

La sección 70 de determinación de desfase ajusta la cantidad de desfase Voff realizando un juicio tal como el ilustrado por la figura 19. La figura 20 es un diagrama de flujo que ilustra el procesamiento de la sección 70 de determinación de desfase que está contenido en el dispositivo 2 de restauración de datos de reloj de acuerdo con la segunda realización. La sección 70 de determinación de desfase realiza el siguiente procesamiento usando la variable cntEDG, la variable cntINSIDE, la constante cntEDGTH, la constante de ancho, y el valor $D(n)$.

En el paso S21, los valores respectivos de la variable cntEDG y la variable cntINSIDE son establecidas en un valor inicial 0. En el paso S22 que sigue, la suma de los valores respectivos de la señal UPA, la señal UPB, la señal DNA, y la señal DNB se añade al valor de variable cntEDG y el valor de adición produce un nuevo valor para la variable cntEDG. Además, en el paso S22, la suma de los valores respectivos de la señal DNA y la señal UPB se añade al valor de la variable cntINSIDE cuando el valor $D(n)$ es un nivel alto y la suma de los valores respectivos de la señal UPA y la señal DNB se añade al valor de la variable cntINSIDE cuando el valor $D(n)$ es un nivel bajo, y el valor de adición produce un nuevo valor para la variable cntINSIDE. El código '~' en el paso S22 indica la inversión del nivel de señal. Adicionalmente, en el paso S23 que sigue, se juzga si el valor de la variable cntEDG es igual a la constante cntEDGTH y, si el valor de la variable cntEDG alcanza la constante cntEDGTH, el procesamiento avanza al paso S24 y, si el valor de la variable cntEDG no alcanza la constante cntEDGTH, el procesamiento vuelve al paso 22.

El procesamiento de cada uno de los pasos S22 y S23 se lleva a cabo una vez en cada periodo $T(n)$. En otras palabras, hasta que se juzga que el valor de la variable cntEDG ha alcanzado la constante cntEDGTH en el paso S23, el procesamiento de paso S22 se lleva a cabo una vez para cada periodo de ciclo T. Además, en el punto en el que se juzga que el valor de variable cntEDG ha alcanzado la constante cntEDGTH en el paso S23 y el procesamiento avanza al paso S24, el cociente del valor de variable cntINSIDE con respecto al valor de la variable cntEDG representa o bien (a) de la figura 19 o bien (b) de la figura 19.

En los pasos S24 y S25, se juzga si el valor de variable cntINSIDE está de alguna forma relacionado con un intervalo fijo que se centra en el valor 0,5 veces el valor de la variable cntEDG y cuyo ancho es doble ancho. En casos en los que se juzga que el valor de la variable cntINSIDE es pequeño en comparación con el valor obtenido substrayendo el ancho de constante positivo de 0,5 veces el valor de la variable cntEDG ($0,5 * cntEDG - ancho$), la cantidad de desfase Voff se incrementa en el paso S26 y la nueva cantidad de desfase Voff es reportada a la sección 90 de conversión DA. En casos en los que se juzga que el valor de la variable cntINSIDE es grande en

comparación con el valor obtenido añadiendo el ancho constante positivo 0,5 veces el valor de la variable cntEDG ($0,5 \cdot \text{cntEDG} - \text{ancho}$), la cantidad de desfase Voff se reduce en el paso S27 y la nueva cantidad de desfase Voff es reportada a la sección 90 de conversión DA. Adicionalmente, en casos en los que se juzga que el valor de la variable cntINSIDE reside en el intervalo fijo, la cantidad de desfase Voff se mantiene en el paso S28. Además, cuando el procesamiento de cualquiera de los pasos S26 a S28 es completa, el procesamiento vuelve al paso S21 y el procesamiento descrito hasta este punto se repite.

El dispositivo 2 de restauración de datos de reloj constituido como se detalla anteriormente comprende un bucle primero que comprende una sección 50 de muestreador, la sección 60 de detección, la sección 80 de salida de reloj y un bucle segundo que comprende la sección 50 de muestreador, la sección 60 de detección, la sección 70 de determinación de desfase, y la sección 90 de conversión DA. Como resultado del procesamiento de estos dos bucles, las fases respectivas de la señal de reloj CKX se ajusta para coincidir con la fase de la señal digital de entrada, el tiempo de muestreo indicado por la señal de reloj CKX se ajusta para coincidir con el tiempo máximo de la distribución de los tiempos de transición de datos de una señal primera en un caso en el que el valor $D(n-2)$ es un nivel alto, y el tiempo de muestreo indicado por la señal de reloj CKX se ajusta para coincidir con el tiempo máximo de la distribución de tiempo de transición de datos de una señal segunda en un caso en el que el valor $D(d-2)$ es un nivel bajo. Además, o bien la señal de reloj CKX o bien la señal de reloj CK se emite como señal de reloj restaurada. Adicionalmente, los datos cronológicos del valor digital $D(n)$ se emiten como datos restaurados.

En cuanto el dispositivo 1 de restauración de datos de reloj de acuerdo con la primera realización, el dispositivo 2 de restauración de datos de reloj de acuerdo con la segunda realización es capaz de restaurar la señal y datos de reloj incluso en casos en los que la fluctuación de fase de reloj transmisor e interferencia entre símbolos son grandes. El dispositivo 2 de restauración de datos de reloj de acuerdo con la segunda realización también puede mostrar los siguientes efectos. Esto es, mientras el número de señales de reloj requeridas es tres en la primera realización, el número de señales de reloj requeridas puede ser dos en la segunda realización. Adicionalmente, mientras la sincronización de los respectivos relojes se ajusta en la primera realización, la cantidad de desfase aplicada a la señal digital de entrada se ajusta en la segunda realización. Generalmente, el ajuste de cantidad de desfase puede ser hecho directamente y altamente exacto en comparación con el ajuste de sincronización. Basándose en este hecho, las señales y datos de reloj pueden ser restaurados más establemente en la segunda realización que en la primera realización.

(Tercera realización) La tercera realización del dispositivo de restauración de datos de reloj de acuerdo con la presente invención será descrita a continuación. El dispositivo 3 de restauración de datos de reloj de acuerdo con la tercera realización descrita a continuación realiza el procesamiento que es equivalente al del dispositivo 2 de restauración de datos de reloj de acuerdo con la segunda realización.

La figura 21 muestra la constitución total de la totalidad del dispositivo 3 de restauración de datos de reloj de acuerdo con la tercera realización. Como se muestra en la figura 21, el dispositivo 3 de restauración de datos de reloj comprende la sección 50 de muestreador, la sección 60A de detección, la sección 70A de determinación de desfase, la sección 80 de salida de reloj, y la sección 90 de conversión DA. La sección 50 de muestreador, la sección 80 de salida de reloj, y la sección 90 de conversión DA son cada una las mismas que las contenidas en el dispositivo 2 de restauración de datos de reloj de acuerdo con la segunda realización.

La sección 60A de detección recibe entradas del valor digital $DXA(n)$, el valor digital $DXB(n)$ y el valor digital $D(n)$ que se emiten por la sección 50 de muestreador en cada periodo $T(n)$. La sección 60A de detección entonces permite ' $DX(n)=DXA(n)$ ' cuando el valor $D(n-2)$ es un nivel alto, permite ' $DX(n)=DXB(n)$ ' cuando el valor $D(n-2)$ es un nivel bajo, detecta la relación de fase entre la señal de reloj CK y la señal digital en base al valor $D(n-1)$, el valor $DX(n)$, y emite la señal UP y la señal DB que representan la relación de fase en la sección 80 de salida de reloj.

Basándose en el valor $DX(n)$, el valor $D(n-2)$, el valor $D(n-1)$, y el valor $D(n)$, la sección 70A de determinación de desfase determina la cantidad de desfase Voff de la sección 50 de muestreador de manera que el tiempo indicado por la señal de reloj CKX es el centro de la distribución de tiempo de transición del valor de la señal primera en casos en los que el valor $D(n-2)$ es un nivel alto y de manera que el tiempo indicado por la señal de reloj CKX es el centro de distribución de tiempo de transición del valor de la señal segunda en casos en los que el valor $D(n-2)$ es un nivel bajo, y reporta la cantidad de desfase Voff así determinada en la sección 90 de conversión DA.

La figura 22 es un diagrama de circuito de la sección 60A de detección que está contenido en el dispositivo 3 de restauración de datos de reloj de acuerdo con la tercera realización. La sección 60A de detección comprende el circuito 66 de registro, el circuito 67 de selección, y el circuito 68 de detección de relación de fase.

El circuito 66 de registro recibe entradas del valor digital $DXA(n)$, el valor digital $DXB(n)$ y el valor digital $D(n)$ que se emiten por la sección 50 de muestreador en cada periodo $T(n)$, mantienen el valor digital $DXA(n)$, el valor digital $DXB(n)$ y el valor digital $D(n)$ para un periodo fijo, y emite lo mismo con sincronización predeterminada. Esto es, el circuito 66 de registro emite el valor $D(n-2)$, el valor $D(n-1)$, el valor $D(n)$, el valor $DXA(n)$, y el valor $DXB(n)$ al mismo tiempo en un cierto periodo.

Un circuito 67 de selección recibe entrada de valor $D(n-2)$, el valor $DXA(n)$, y el valor $DXB(n)$ que se emiten por el circuito 66 de registro y emite el valor $DXA(n)$ como valor $DX(n)$ en el que el valor $D(n-2)$ es un nivel alto y emite el valor $DXB(n)$ como valor $DX(n)$ cuando el valor $D(n-2)$ es un nivel bajo.

- 5 El circuito 68 de detección de relación de fase recibe entradas de valor $D(n)$ y valor $D(n-1)$ que se emiten por el circuito 66 de registro, recibe una entrada de valor $DX(n)$ que se emite por el circuito 67 de selección, y realiza procesamiento lógico que corresponde con la tabla real mostrada en la figura 23, emitiendo la señal UP y la señal DN. En otras palabras, el circuito 68 de detección de relación de fase emite una señal UP que es un valor significativo cuando ' $D(n-1) \neq DX(n)$ ' y una señal DN que es un valor significativo cuando ' $D(n-1) = DX(n) \neq D(n)$ ' como
10 señales que representan la relación de fase.

- En comparación con la sección 60 de detección (figura 18) de la segunda realización, la sección 60A de detección (figura 22) de la tercera realización solo difiere en el orden de realizar el procesamiento para seleccionar o bien el valor $DXA(n)$ o bien el valor $DXB(n)$ en relación con la generación de la señal UP y la señal DN y el procesamiento para detectar la relación de fase. Por lo tanto, ambas realizaciones realizan procesamientos equivalentes con respecto a la generación de la señal UP y la señal DN.
15

- La figura 24 es un diagrama de flujo que ilustra el procesamiento de una sección 70A de determinación de desfase que está contenida en el dispositivo 3 de restauración de datos de reloj de acuerdo con la tercera realización. En comparación con la sección 70 de determinación de desfase de la segunda realización, la sección 70A de determinación de desfase de la tercera realización difiere en que ese paso S22A es provisto en lugar del paso S22.
20

- En otras palabras, en el paso S22A, el valor ' $D(n) \wedge D(n-1)$ ' se añade al valor de la variable cntEDG y el valor de adición produce un nuevo valor para la variable cntEDG. Además, en el paso S22A, el valor de ' $\{D(n) \wedge D(n-1)\} * \{D(n-2) \wedge DX(n)\}$ ' se añade al valor de la variable cntINSIDE y el valor de adición produce un nuevo valor para la variable cntINSIDE. Aquí, el símbolo de procesamiento " \wedge " representa el OR exclusivo. El procesamiento del paso S22A de la tercera realización y el procesamiento del paso S22 de la segunda realización son equivalentes uno con otro. Este hecho será descrito a continuación.
25

- 30 En la segunda realización, cada una de la señal UPA, la señal DNA, la señal DNB, la señal UPB, y la señal DNB se definen por la siguiente ecuación (1). Adicionalmente, cada una de las señal UP y la señal DN serán definidas por la ecuación (2). Además, cuando se hace un ajuste sustituyendo la ecuación (1) por la ecuación (2), se obtiene la ecuación (3). $DX(n)$ en la ecuación (3c) es un valor que se emite por el circuito 67 de selección que está contenido en la sección 60A de detección de la tercera realización. Adicionalmente, UP de la ecuación (3A) y DN de la
35 ecuación (3b) son valores que se emiten por el circuito 68 de detección de relación de fase que está contenido en la sección 60A de detección de la tercera realización. En otras palabras, la sección 60A de detección de la tercera realización y sección 60 de detección de la segunda realización realizan procesamiento equivalente con respecto a la generación de la señal UP y la señal DN.

$$UPA \equiv D(n-2) * \{D(n) \hat{D}(n-1)\} * \sim \{D(n) \hat{DXA}(n)\} \dots (1a)$$

$$DNA \equiv D(n-2) * \{D(n) \hat{D}(n-1)\} * \{D(n) \hat{DXA}(n)\} \dots (1b)$$

$$UPB \equiv \sim D(n-2) * \{D(n) \hat{D}(n-1)\} * \sim \{D(n) \hat{DXB}(n)\} \dots (1c)$$

$$DNB \equiv \sim D(n-2) * \{D(n) \hat{D}(n-1)\} * \{D(n) \hat{DXB}(n)\} \dots (1d)$$

$$UP \equiv UPA + UPB \dots (2a)$$

$$DN \equiv DNA + DNB \dots (2b)$$

$$UP = \{D(n) \hat{D}(n-1)\} * \{D(n) \hat{DX}(n)\} \dots (3a)$$

$$DN = \{D(n) \hat{D}(n-1)\} * \sim \{D(n) \hat{DX}(n)\} \dots (3a)$$

donde

$$DX(n) = D(n-2) * DXA(n) + \sim D(n-2) * DXB(n) \dots (3c)$$

En el procesamiento del paso S22 de la sección 70 de determinación de desfase de acuerdo con la segunda realización, el lado derecho de la ecuación primera es $\Delta cntEDGE$ es representada por la ecuación (4) debajo y $\Delta cntINSIDE$ es representada por la ecuación (5) debajo. Estas Ecuaciones (4) y (5) coinciden el lado derecho de cada uno de las ecuaciones primera y segunda del procesamiento del paso S22A de la sección 70A de determinación de desfase de acuerdo con la tercera realización. En otras palabras, la sección 70A de determinación de desfase de la tercera realización y la sección 70 de determinación de desfase de la segunda realización realizan procesamientos equivalentes.

$$\begin{aligned} \Delta cntEDGE &\equiv UPA + DNA + UPB + DNB \\ &= D(n) \hat{D}(n-1) \dots (4) \end{aligned}$$

$$\begin{aligned} \Delta cntINSIDE &\equiv D(n) * (UPB + DNA) + \sim D(n) * (UPA + DNB) \\ &= \{D(n) \hat{D}(n-1)\} * D(n-2) \hat{DX}(n) \dots (5) \end{aligned}$$

Por lo tanto, el dispositivo 3 de restauración de datos de reloj de acuerdo con la tercera realización es capaz de funcionar de la misma manera que el dispositivo 2 de restauración de datos de acuerdo con la segunda realización y se permite los mismos efectos que el dispositivo 2 de restauración de datos y, adicionalmente, en comparación con la sección 60 de detección de la segunda realización, la sección 60A de detección de la tercera realización tiene una escala de circuito pequeña y por lo tanto permite la miniaturización.

Aplicabilidad industrial

La presente invención puede ser aplicada a un dispositivo de restauración de datos de reloj.

REIVINDICACIONES

1.- Un dispositivo (1) de restauración de datos de reloj que restaura una señal y datos de reloj en base a una señal digital de entrada, y que comprende:

5 una sección (10) de muestreador, que recibe una entrada de una señal de reloj CKXA, una señal de reloj CKXB, y un señal de reloj CK que tiene el mismo ciclo T así como una entrada de la señal digital y que muestrea, mantiene, y emite, en cada enésimo periodo $T(n)$ del ciclo, un valor $DXA(n)$ de la señal digital en el tiempo t_{XA} indicado por la señal de reloj CKXA, un valor $DXB(n)$ de la señal digital en el tiempo t_{XB} indicado por la señal de reloj CKXB, y un valor $D(n)$ de la señal digital en el tiempo t_C indicado por la señal de reloj CK (donde $t_{XA} < t_{XB} < t_C$ y n es un entero);

15 una sección (20) de detección, que recibe una entrada del valor digital $DXA(n)$, el valor digital $DXB(n)$, y el valor digital $D(n)$ que se emiten por la sección de muestreador en cada periodo $T(n)$ y, en un caso en que ' $D(n-2) \neq D(n-1)$ ', detecta una relación de primera sincronización, siendo la relación de primera sincronización una relación entre un tiempo indicado por la señal de reloj CKXA y el tiempo de transición del valor de señal digital en base a un valor $D(n-1)$, el valor $DXA(n)$, y el valor $D(n)$ y, en un caso en el que ' $D(n-2) = D(n-1)$ ', detecta una relación de segunda sincronización, siendo la relación de segunda sincronización una relación entre un tiempo indicado por la señal de reloj CKXB y un tiempo de transición del valor de señal digital en base al valor $D(n-1)$, el valor $DXB(n)$, y el valor $D(n)$, y detecta la relación de fase entre la señal de reloj CK y la señal digital en base a la relación de primera sincronización y la relación de segunda sincronización;

25 una sección (30) de determinación de sincronización que ajusta, en base a la relación de primera sincronización y la relación de segunda sincronización detectadas por la sección de detección, un intervalo 2τ entre las sincronizaciones respectivas de la señal de reloj CKXA y la señal de reloj CKXB para que coincida substancialmente la diferencia de tiempo entre el centro de distribución de tiempo de transición del valor de señal digital en un caso en el que ' $D(n-2) \neq D(n-1)$ ' y el centro de la distribución de tiempo de transición del valor de señal digital en un caso en el que ' $D(n-2) = D(n-1)$ '; y

30 una sección (40) de salida de reloj que ajusta el ciclo T o la fase en base a la relación de fase detectada por la sección de detección de manera que la diferencia de fase entre la señal de reloj CK y la señal digital decrece, y que emite la señal de reloj DKXA, la señal de reloj CKXB y la señal de reloj CK que satisfacen las relaciones ' $t_{XA} = t_C - T/2 - \tau$ ' y ' $t_{XB} = t_C - T/2 + \tau$ ' en la sección de muestreador de acuerdo con las sincronizaciones determinadas por la sección de determinación de sincronización.

35 2.- El dispositivo (1) de restauración de datos de reloj de acuerdo con la reivindicación 1, en el que la sección de detección comprende:

40 un circuito (22A) de detección de relación de sincronización primero que, en casos en los que ' $D(n-2) \neq D(n-1)$ ', emite una señal UPA que es un valor significativo cuando ' $D(n-1) \neq DXA(n) = D(n)$ ' y emite una señal DNA que es un valor significativo cuando ' $D(n-1) = DXA(n) \neq D(n)$ ', como señales que representan la relación de primera sincronización;

45 un circuito (22B) de detección de relación de sincronización segundo que, en casos en que ' $D(n-2) = D(n-1)$ ', emite una señal UPB que es un valor significativo cuando ' $D(n-1) \neq DXB(n) = D(n)$ ' y emite una señal DNB que es un valor significativo cuando ' $D(n-1) = DXB(n) \neq D(n)$ ' como señales que representan la relación de segunda sincronización; y

un circuito (23) de detección de relación de fase que emite una señal UP que representa el lógico OR de la señal UPA y la señal UPB, y una señal DN que representa el lógico OR de la señal DNA y la señal DNB como señales que representan la relación de fase.

50 3.- El dispositivo (1) de restauración de datos de reloj de acuerdo con la reivindicación 2, en el que la sección (30) de determinación de sincronización ajusta el intervalo 2τ de manera que la diferencia entre un cociente entre un valor de adición acumulativo cntINSIDE de ' $DNA+UPB$ ' y un valor de adición acumulativo cntEDGE de ' $UPA+UPB+DNA+DNB$ ' (cntINSIDE/cntEDGE) y el valor 0,5 es igual o menor que un valor de referencia predeterminado.

55 4.- El dispositivo (1) de restauración de datos de reloj de acuerdo con la reivindicación 3, en el que la sección (40) de salida de reloj comprende:

60 un circuito (41) de generación de reloj de referencia que genera una señal de reloj de referencia obtenida ajustando el ciclo T o la fase en base a la señal UP y la señal DN; y

65 un circuito (42) de retraso que aplica un retraso deseado a la señal de reloj de referencia de acuerdo con la sincronización determinada por la sección (30) de determinación de sincronización, genera la señal de reloj CKXA, la señal de reloj CKXB, y la señal de reloj CK, y emite estas señales.

5.- Un dispositivo (2) de restauración de datos de reloj que restaura una señal y datos de reloj en base a una señal digital de entrada, que comprende:

una sección (50) de muestreador que recibe una entrada de una señal de reloj CKX y una señal de reloj CK que tienen el mismo ciclo T así como una entrada de la señal digital, genera una señal primera aplicando un desfase (-Voff) a la señal digital, genera una señal segunda aplicando un desfase (+Voff) a la señal digital, y que muestrea, mantiene, y emite, en cada enésimo periodo T(n) del ciclo, un valor DXA(n) de la señal primera y un valor DXB(n) de la señal segunda en el tiempo t_x indicado por la señal de reloj CKX, y un valor D(n) de la señal digital en el tiempo t_c indicado por la señal de reloj CK (donde $t_x < t_c$, y n es un entero);

una sección (60) de detección que recibe una entrada del valor digital DXA(n), el valor digital DXB(n), y el valor digital D(n) que se emiten por la sección de muestreador en cada periodo T(n) y, en un caso en el que el valor D(n-2) está en un nivel alto, detecta una relación de primera sincronización, siendo la relación de primera sincronización una relación entre un tiempo indicado por la señal de reloj CKX y un tiempo de transición del valor de la señal primera en base al valor D(n-1), el valor DXA(n), y el valor D(n) y, en un caso en el que el valor D(n-2) está en un nivel bajo, detecta una relación de segunda sincronización, siendo la relación de segunda sincronización una relación entre un tiempo indicado por la señal de reloj CKX y un tiempo de transición de un valor de la señal segunda en base al valor D(n-1), el valor DXB(n), y el valor D(n) y detecta una relación de fase entre la señal de reloj CK y la señal digital en base a la relación de primera sincronización y la relación de segunda sincronización;

una sección (70) de determinación de desfase que ajusta, en base a la relación de primera sincronización y la relación de segunda sincronización detectadas por la sección de detección, la cantidad de desfase de la sección de muestreador de manera que el tiempo indicado por la señal de reloj CKX es el centro de la distribución de tiempo de transición del valor de la señal primera en un caso en el que el valor D(n-2) está en un nivel alto y de manera que el tiempo indicado por la señal de reloj CKX es el centro de la distribución de tiempo de transición del valor de la señal segunda en un caso en el que el valor D(n-2) está en un nivel bajo; y

una sección (80) de salida de reloj, que ajusta el ciclo T o la fase en base a la relación de fase detectada por la sección de detección de manera que la diferencia de fase entre la señal de reloj CK y la señal digital disminuye y emite la señal de reloj CKX y la señal de reloj CK que satisface la relación ' $t_c - t_x = T/2$ ', en la sección de muestreador.

6.- Un dispositivo (2) de restauración de datos de reloj que restaura una señal y datos de reloj en base a una señal digital de entrada, que comprende:

una sección (50) de muestreador que recibe una entrada de una señal de reloj CKX y una señal de reloj CK que tienen el mismo ciclo T así como una entrada de la señal digital, genera una señal primera aplicando un desfase (-Voff) a la señal digital, genera una señal segunda aplicando un desfase (+Voff) a la señal digital, y que muestrea, mantiene, y emite, en cada enésimo periodo T(n) del ciclo, un valor DXA(n) de la señal primera y un valor DXB(n) de la señal segunda en el tiempo t_x indicado por la señal de reloj CKX, y un valor D(n) de la señal digital en el tiempo t_c indicado por la señal de reloj CK (donde $t_x < t_c$, y n es un entero);

una sección (60) de detección que recibe una entrada del valor digital DXA(n), el valor digital DXB(n), y el valor digital D(n) que se emiten por la sección de muestreador en cada periodo T(n) y, en un caso en el que el valor D(n-2) está en un nivel alto, detecta una relación de primera sincronización, siendo la relación de primera sincronización una relación entre un tiempo indicado por la señal de reloj CKX y un tiempo de transición del valor de la señal primera en base al valor D(n-1), el valor DXA(n), y el valor D(n) y, en un caso en el que el valor D(n-2) está en un nivel bajo, detecta una relación de segunda sincronización, siendo la relación de segunda sincronización una relación entre un tiempo indicado por la señal de reloj CKX y un tiempo de transición de un valor de la señal segunda en base al valor D(n-1), el valor DXB(n), y el valor D(n) y detecta una relación de fase entre la señal de reloj CK y la señal digital en base a la relación de primera sincronización y la relación de segunda sincronización;

una sección (70) de determinación de desfase que ajusta, en base a la relación de primera sincronización y la relación de segunda sincronización detectadas por la sección de detección, la cantidad de desfase de la sección de muestreador de manera que el tiempo indicado por la señal de reloj CKX es el centro de la distribución de tiempo de transición del valor de la señal primera en un caso en el que el valor D(n-2) está en un nivel alto y de manera que el tiempo indicado por la señal de reloj CKX es el centro de la distribución de tiempo de transición del valor de la señal segunda en un caso en el que el valor D(n-2) está en un nivel bajo; y

una sección (80) de salida de reloj, que ajusta el ciclo T o la fase en base a la relación de fase detectada por la sección de detección de manera que la diferencia de fase entre la señal de reloj CK y la señal digital disminuye y emite la señal de reloj CKX y la señal de reloj CK que satisface la relación ' $t_c - t_x = T/2$ ', en la sección de muestreador.

7.- El dispositivo (2) de restauración de datos de reloj de acuerdo con la reivindicación 5, en el que la sección (60) de detección comprende:

un circuito (62) de detección de relación de sincronización primero que, en un caso en el que el valor D(n-2) está en

un nivel alto, emite una señal UPA que es un valor significativo cuando $'D(n-1) \neq DXA(n) = D(n)'$ y una señal DNA que es un valor significativo cuando $'D(n-1) = DXA(n) \neq D(n)'$, como señales que representan la relación de primera sincronización;

5 un circuito (63) de detección de relación de sincronización segundo que, en casos en que el valor $D(n-2)$ está en un nivel bajo, emite una señal UPB que es un valor significativo cuando $'D(n-1) \neq DXB(n) = D(n)'$ y una señal DNB que es un valor significativo cuando $'D(n-1) = DXB(n) \neq D(n)'$, como señales que representan la relación de segunda sincronización; y

10 un circuito (64) de detección de relación de fase que emite una señal UP que representa el lógico OR de la señal UPA y la señal UPB y una señal DN que representa el lógico OR de la señal DNA y la señal DNB, como señales que representan la relación de fase.

15 8.- El dispositivo (2) de restauración de datos de reloj de acuerdo con la reivindicación 6, en el que la sección (60) de detección comprende:

un circuito (62) de detección de relación de sincronización primero que, en un caso en el que el valor $D(n-2)$ está en un nivel alto, emite una señal UPA que es un valor significativo cuando $'D(n-1) \neq DXA(n) = D(n)'$ y una señal DNA que es un valor significativo cuando $'D(n-1) = DXA(n) \neq D(n)'$, como señales que representan la relación de primera sincronización;

20 un circuito (63) de detección de relación de sincronización segundo que, en casos en que el valor $D(n-2)$ está en un nivel bajo, emite una señal UPB que es un valor significativo cuando $'D(n-1) \neq DXB(n) = D(n)'$ y una señal DNB que es un valor significativo cuando $'D(n-1) = DXB(n) \neq D(n)'$, como señales que representan la relación de segunda sincronización; y

30 un circuito (64) de detección de relación de fase que emite una señal UP que representa el lógico OR de la señal UPA y la señal UPB y una señal DN que representa el lógico OR de la señal DNA y la señal DNB, como señales que representan la relación de fase.

35 9.- El dispositivo (2) de restauración de datos de reloj de acuerdo con la reivindicación 7, en el que la sección (70) de determinación de desfase ajusta la cantidad de desfase de la sección (50) de muestreador de manera que la diferencia entre el cociente de un valor de adición acumulativo cntINSIDE de $'D(n)DNA+UPB + \sim D(n)(UPA+DNB)'$ y un valor de adición acumulativo cntEDGE de $'UPA+UPB+DNA+DNB'$ ($\text{cntINSIDE}/\text{cntEDGE}$) y el valor 0,5 es igual o menor que un valor de referencia predeterminado.

40 10.- El dispositivo (2) de restauración de datos de reloj de acuerdo con la reivindicación 8, en el que la sección (70) de determinación de desfase ajusta la cantidad de desfase de la sección (50) de muestreador de manera que la diferencia entre el cociente de un valor de adición acumulativo cntINSIDE de $'D(n)DNA+UPB + \sim D(n)(UPA+DNB)'$ y un valor de adición acumulativo cntEDGE de $'UPA+UPB+DNA+DNB'$ ($\text{cntINSIDE}/\text{cntEDGE}$) y el valor 0,5 es igual o menor que un valor de referencia predeterminado.

45 11.- Un dispositivo (3) de restauración de datos de reloj que restaura una señal y datos de reloj en base a una señal digital de salida, que comprende:

una sección (50) de muestreador, que recibe una entrada de una señal de reloj CKX y una señal de reloj CK que tienen el mismo ciclo T así como una entrada de la señal digital, genera una señal primera aplicando un desfase (-Voff) a la señal digital, genera una señal segunda aplicando un desfase (+Voff) a la señal digital, y que muestrea, mantiene, y emite, en cada n -ésimo periodo $T(n)$ del ciclo, un valor $DXA(n)$ de la señal primera y un valor $DXB(n)$ de la señal segunda en el tiempo t_x indicado por la señal de reloj CKX, y un valor $D(n)$ de la señal digital en el tiempo t_c indicado por la señal de reloj CK (donde $t_x < t_c$, y n es un entero);

55 una sección (60A) de detección que recibe una entrada del valor digital $DXA(n)$, el valor digital $DXB(n)$, y el valor digital $D(n)$ que se emiten por la sección de muestreador en cada periodo $T(n)$, con $'DX(n) = DXA(n)'$ siendo establecido cuando el valor $D(n-2)$ está en un nivel alto y con $'DX(n) = DXB(n)'$ siendo establecido cuando el valor $D(n-2)$ está en un nivel bajo, y detecta una relación de fase entre la señal de reloj CK y la señal digital en base al valor $D(n-1)$, el valor $DX(n)$, y el valor $D(n)$;

60 una sección (70A) de determinación de desfase que ajusta, en base al valor $DX(n)$, el valor $D(n-2)$, el valor $D(n-1)$, y el valor $D(n)$, la cantidad de desfase de la sección de muestreador de manera que un tiempo indicado por la señal de reloj CKX es el centro de distribución de tiempo de transición de un valor de la señal primera en un caso en el que el valor $D(n-2)$ está a un nivel alto, y de manera que un tiempo indicado por la señal de reloj CKX es el centro de una distribución de tiempo de transición de un valor de la señal segunda en un caso en el que el valor $D(n-2)$ está en un nivel bajo; y

65

una sección (80) de salida de reloj, que ajusta el ciclo T o la fase en base a la relación de fase detectada por la sección de detección de manera que la diferencia de fase entre la señal de reloj CK y la señal digital disminuye, y que emite la señal de reloj CKX y la señal de reloj CK, que satisface la relación ' $t_c - t_x = T/2$ ', en la sección de muestreador.

5 12.- Un dispositivo (3) de restauración de datos de reloj que restaura una señal y datos de reloj en base a una señal digital de salida, que comprende:

10 una sección (50) de muestreador, que recibe una entrada de una señal de reloj CKX y una señal de reloj CK que tienen el mismo ciclo T así como una entrada de la señal digital, y que, en cada enésimo periodo $T(n)$ del ciclo, muestrea y mantiene un valor de la señal digital en el tiempo t_x indicado por la señal de reloj CKX en un valor de umbral que es desfasado por +Voff y -Voff y emite este valor como DXA(n) y DXB(n) respectivamente, y muestrea, mantiene y emite el valor D(n) de la señal digital en el tiempo t_c indicado por la señal de reloj CK (donde ' $t_x < t_c$ ', y n es un entero);

15 una sección (60A) de detección que recibe una entrada del valor digital DXA(n), el valor digital DXB(n), y el valor digital D(n) que se emiten por la sección de muestreador en cada periodo $T(n)$, con ' $DX(n) = DXA(n)$ ' siendo establecido cuando el valor D(n-2) está en un nivel alto y con ' $DX(n) = DXB(n)$ ' siendo establecido cuando el valor D(n-2) está en un nivel bajo, y detecta una relación de fase entre la señal de reloj CK y la señal digital en base al valor D(n-1), el valor DX(n), y el valor D(n);

20 una sección (70A) de determinación de desfase que ajusta, en base al valor DX(n), el valor D(n-2), el valor D(n-1), y el valor D(n), la cantidad de desfase de la sección de muestreador de manera que un tiempo indicado por la señal de reloj CKX es el centro de distribución de tiempo de transición de un valor de la señal primera obtenido aplicando un desfase (-Voff) en la señal digital en un caso en el que el valor D(n-2) está a un nivel alto, y de manera que un tiempo indicado por la señal de reloj CKX es el centro de una distribución de tiempo de transición de un valor de una señal segunda obtenida aplicando un desfase (+Voff) en la señal digital en un caso en el que el valor D(n-2) está en un nivel bajo; y

25 una sección (80) de salida de reloj, que ajusta el ciclo T o la fase en base a la relación de fase detectada por la sección de detección de manera que la diferencia de fase entre la señal de reloj CK y la señal digital disminuye y emite la señal de reloj CKX y la señal de reloj CK que satisface la relación ' $t_c - t_x = T/2$ ', en la sección de muestreador.

30 13.- El dispositivo (3) de restauración de datos de reloj de acuerdo con la reivindicación 11, en el que la sección (60A) de detección comprende:

un circuito (67) de selección que emite el valor DXA(n) como valor DX(n) cuando el valor D(n-2) está en un nivel alto y emite el valor DXB(n) como valor DX(n) cuando el valor D(n-2) está en un nivel bajo; y

40 un circuito (68) de detección de relación de fase que emite una señal UP que es un valor significativo cuando ' $D(n-1) \neq DXB(n) = D(n)$ ' y una señal DN que es un valor significativo cuando ' $D(n-1) = DXB(n) \neq D(n)$ ' como señales que representan la relación de fase.

45 14.- El dispositivo (3) de restauración de datos de reloj de acuerdo con la reivindicación 12, en el que la sección (60A) de detección comprende:

un circuito (67) de selección que emite el valor DXA(n) como valor DX(n) cuando el valor D(n-2) está en un nivel alto y emite el valor DXB(n) como valor DX(n) cuando el valor D(n-2) está en un nivel bajo; y

50 un circuito (68) de detección de relación de fase que emite una señal UP que es un valor significativo cuando ' $D(n-1) \neq DXB(n) = D(n)$ ' y una señal DN que es un valor significativo cuando ' $D(n-1) = DXB(n) \neq D(n)$ ' como señales que representan la relación de fase

55 15.- El dispositivo (2) de restauración de datos de reloj de acuerdo con la reivindicación 5, en el que la sección (70) de determinación de desfase ajusta la cantidad de desfase de la sección (50) de muestreador de manera que la diferencia entre el cociente entre un valor de adición acumulativo cntINSIDE de ' $\{D(n)^D(n-1)\} * \{D(n-2)^{DX(n)}\}$ ' y un valor de adición acumulativo cntEDGE de ' $D(n)^D(n-1)$ ' (cntINSIDE/cntEDGE) y el valor 0,5 es igual o menor que un valor de referencia predeterminado.

60 16.- El dispositivo (2) de restauración de datos de reloj de acuerdo con la reivindicación 6, en el que la sección (70A) de determinación de desfase ajusta la cantidad de desfase de la sección (50) de muestreador de manera que la diferencia entre el cociente entre un valor de adición acumulativo cntINSIDE de ' $\{D(n)^D(n-1)\} * \{D(n-2)^{DX(n)}\}$ ' y un valor de adición acumulativo cntEDGE de ' $D(n)^D(n-1)$ ' (cntINSIDE/cntEDGE) y el valor 0,5 es igual o menor que un valor de referencia predeterminado.

65 17.- El dispositivo (3) de restauración de datos de reloj de acuerdo con la reivindicación 11, en el que la sección

(70A) de determinación de desfase ajusta la cantidad de desfase de la sección (50) de muestreador de manera que la diferencia entre el cociente entre un valor de adición acumulativo cntINSIDE de $\{D(n)^{D(n-1)}\} * \{D(n-2)^{DX(n)}\}$ y un valor de adición acumulativo cntEDGE de $D(n)^{D(n-1)}$ (cntINSIDE/cntEDGE) y el valor 0,5 es igual o menor que un valor de referencia predeterminado.

5
18.- El dispositivo (3) de restauración de datos de reloj de acuerdo con la reivindicación 12, en el que la sección (70A) de determinación de desfase ajusta la cantidad de desfase de la sección (50) de muestreador de manera que la diferencia entre el cociente entre un valor de adición acumulativo cntINSIDE de $\{D(n)^{D(n-1)}\} * \{D(n-2)^{DX(n)}\}$ y un valor de adición acumulativo cntEDGE de $D(n)^{D(n-1)}$ (cntINSIDE/cntEDGE) y el valor 0,5 es igual o menor que un valor de referencia predeterminado.

10
19.- El dispositivo (2) de restauración de datos de reloj de acuerdo con la reivindicación 7, en el que la sección (80) de salida de reloj ajusta el ciclo T o la fase en base a la señal UP y la señal DN, y emite la señal de reloj CKX y la señal de reloj CK.

15
20.- El dispositivo (2) de restauración de datos de reloj de acuerdo con la reivindicación 13, en el que la sección (80) de salida de reloj ajusta el ciclo T o la fase en base a la señal UP y la señal DN, y emite la señal de reloj CKX y la señal de reloj CK.

Fig.1

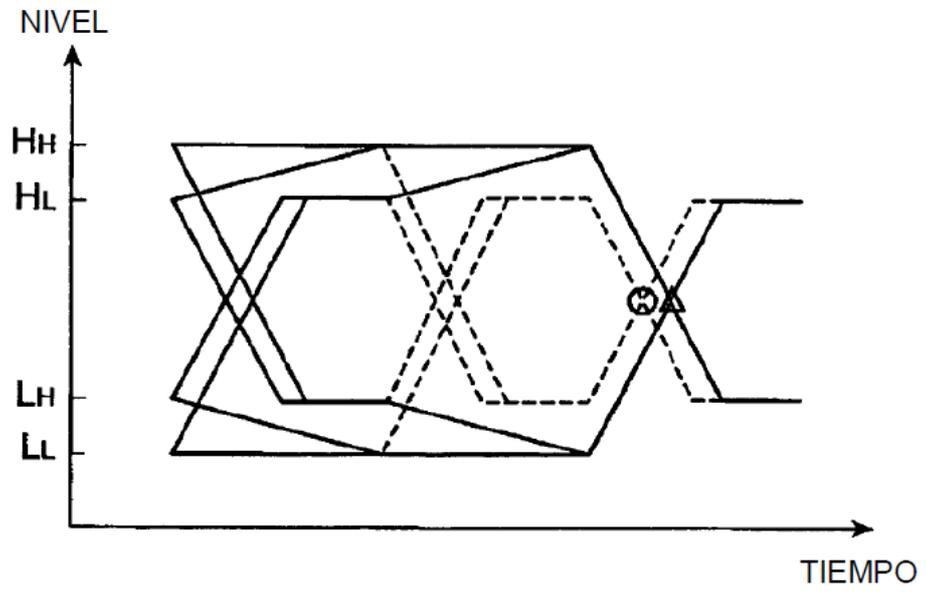


Fig.2

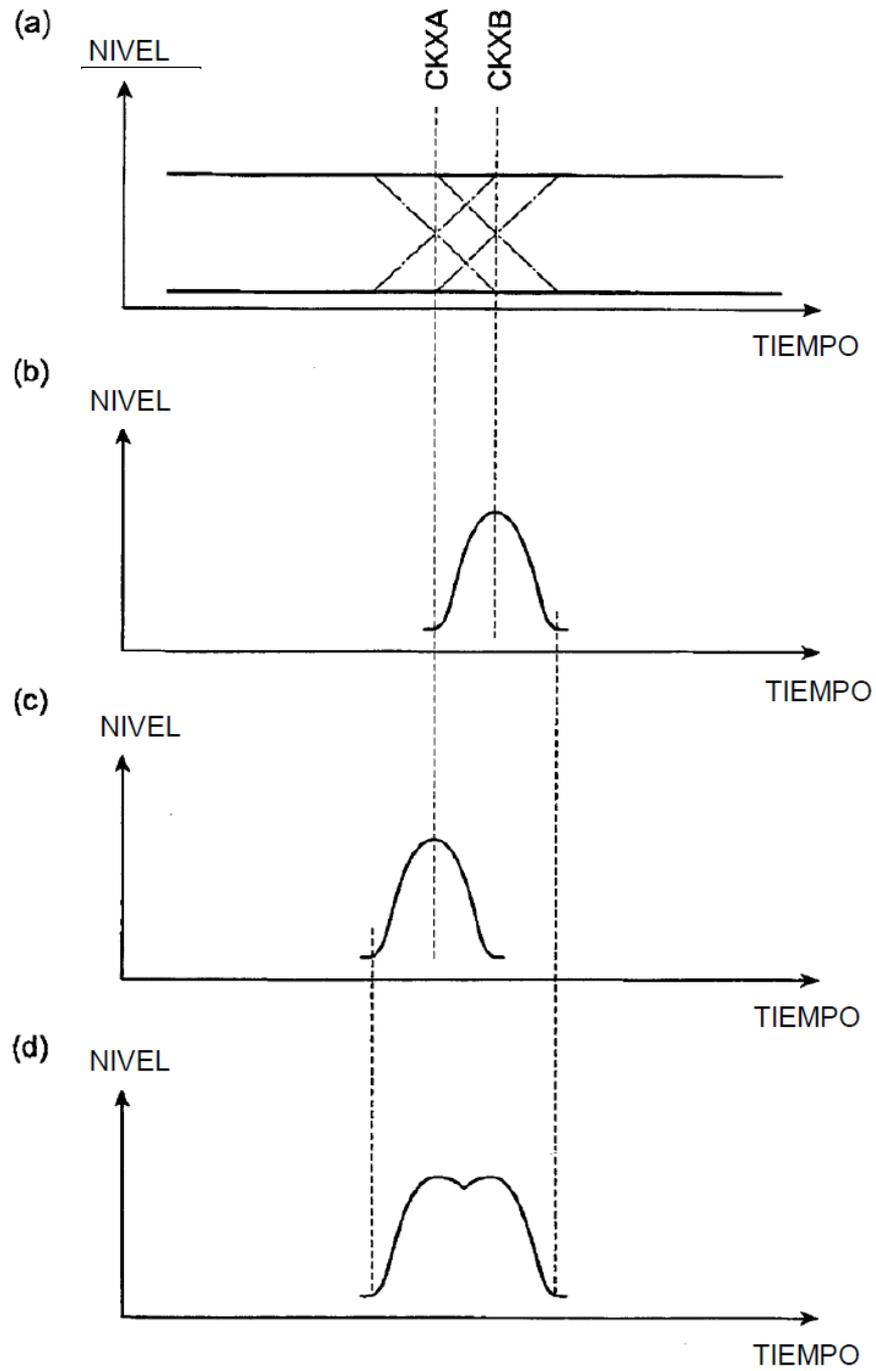


Fig.3

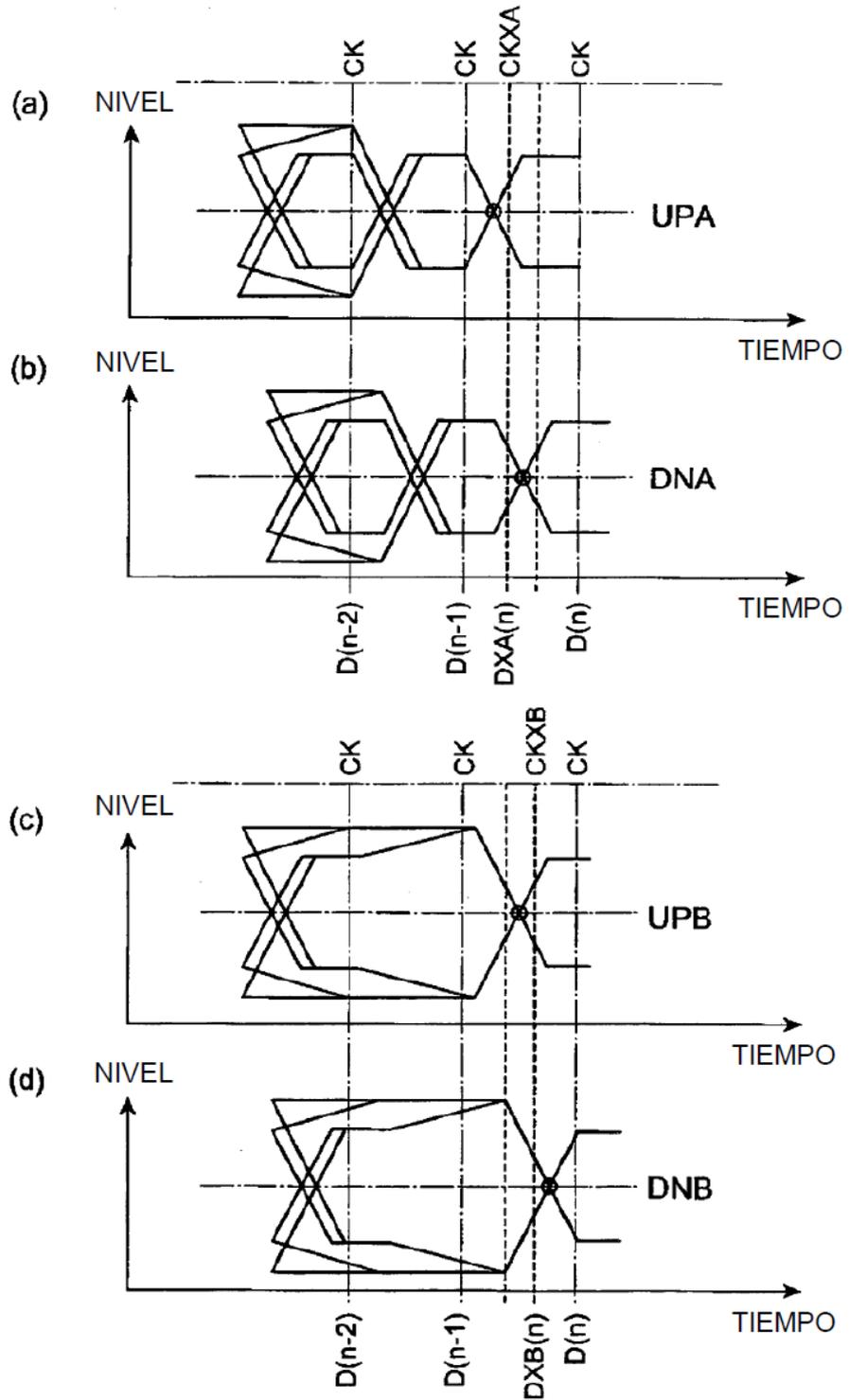


Fig.4

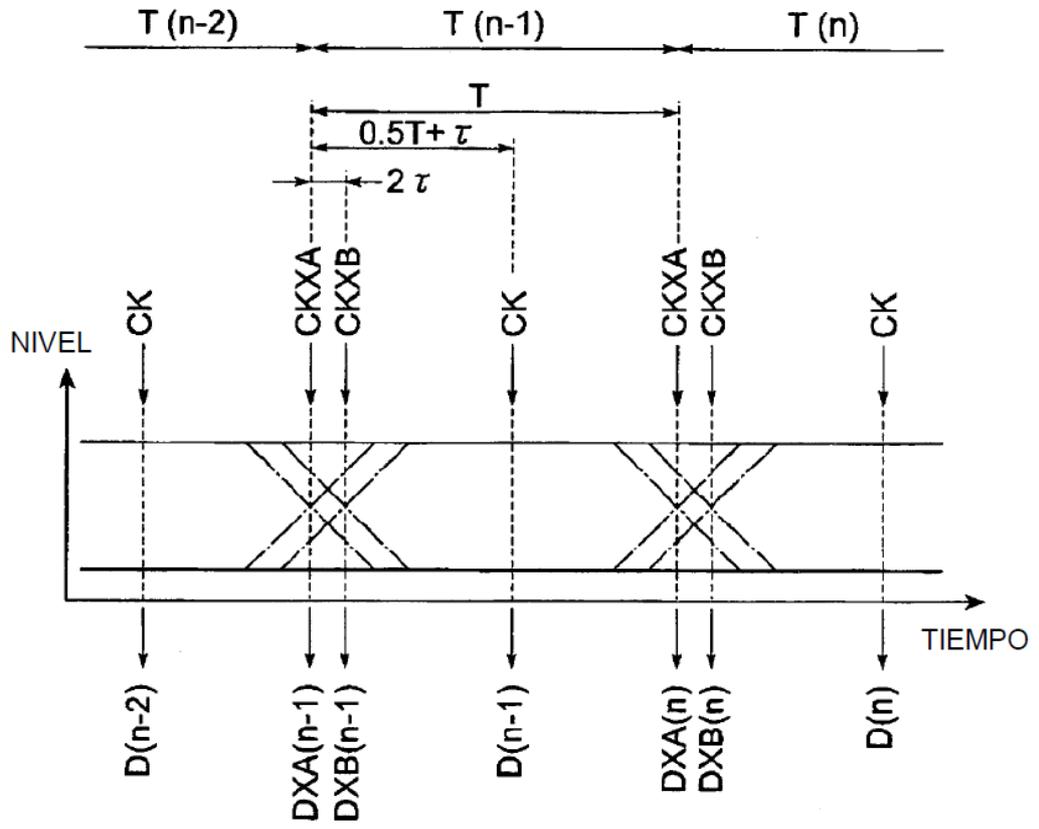


Fig.5

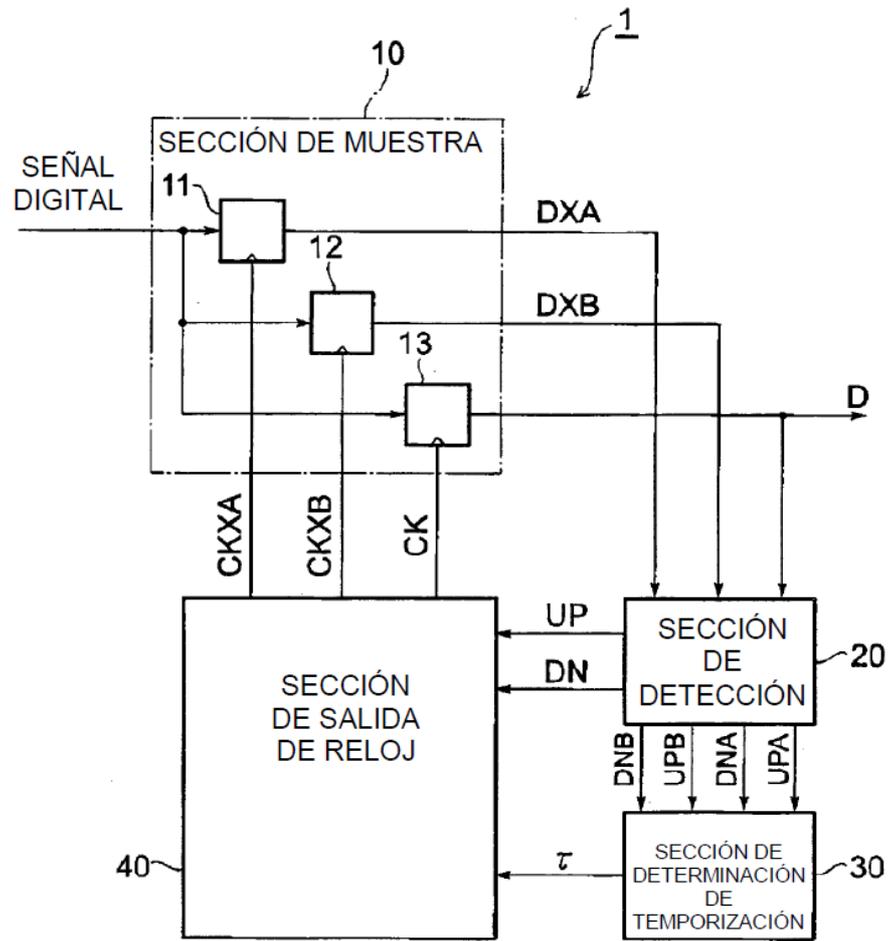


Fig.6

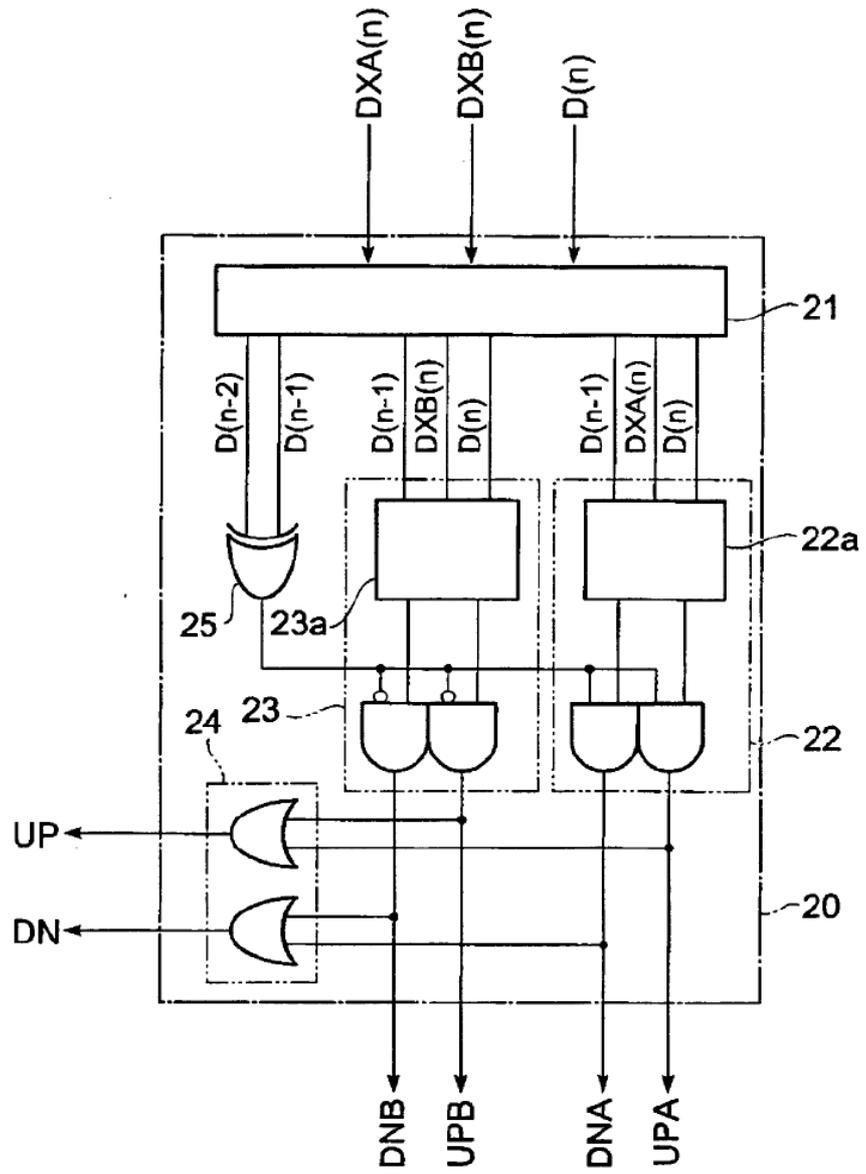


Fig.7

(a)

D(n-1)	DXA(n)	D(n)	UPA	DNA
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	0
1	1	0	0	1
1	1	1	0	0

(b)

D(n-1)	DXB(n)	D(n)	UPB	DNB
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	0
1	1	0	0	1
1	1	1	0	0

Fig.8

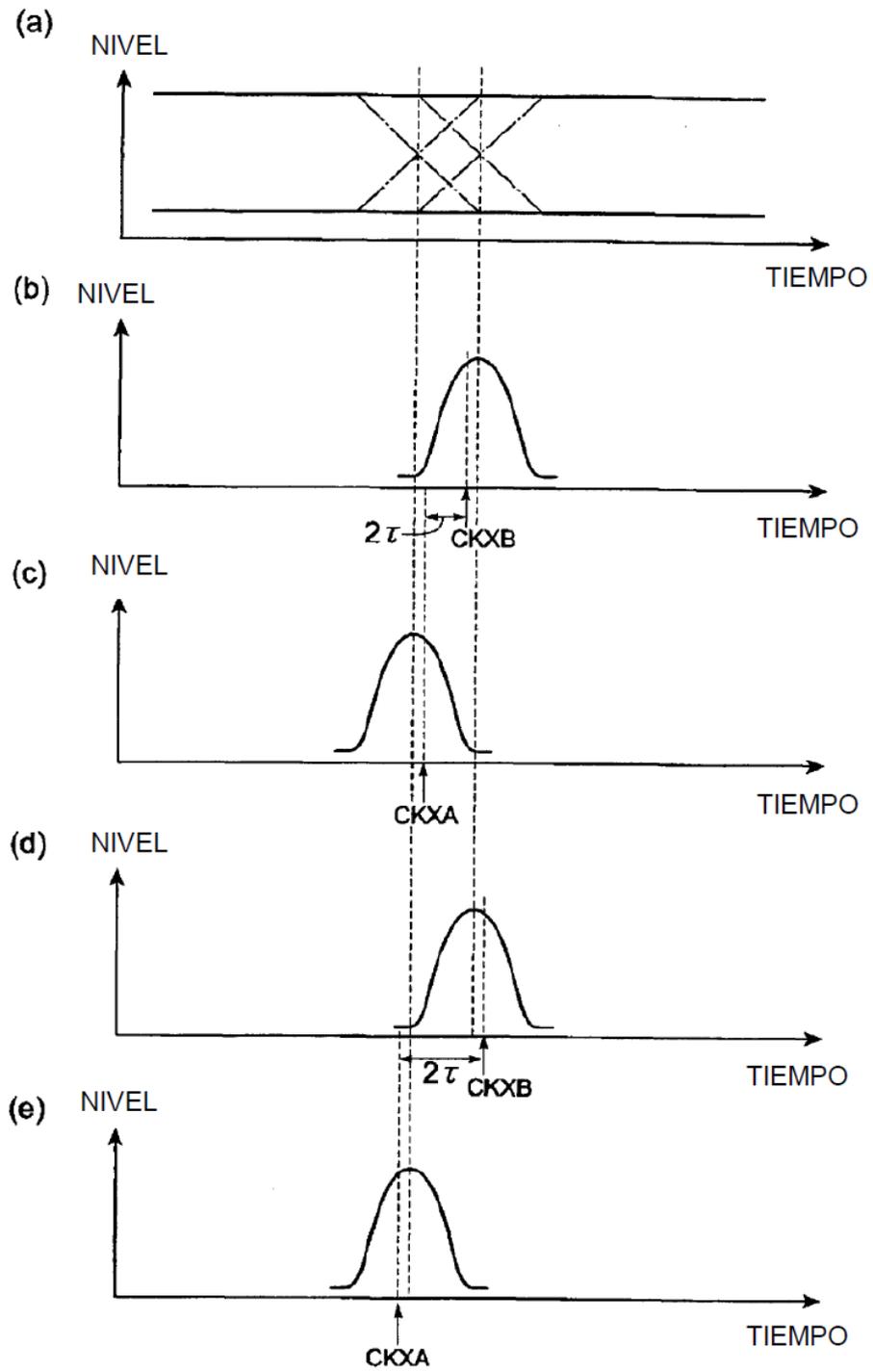


Fig.9

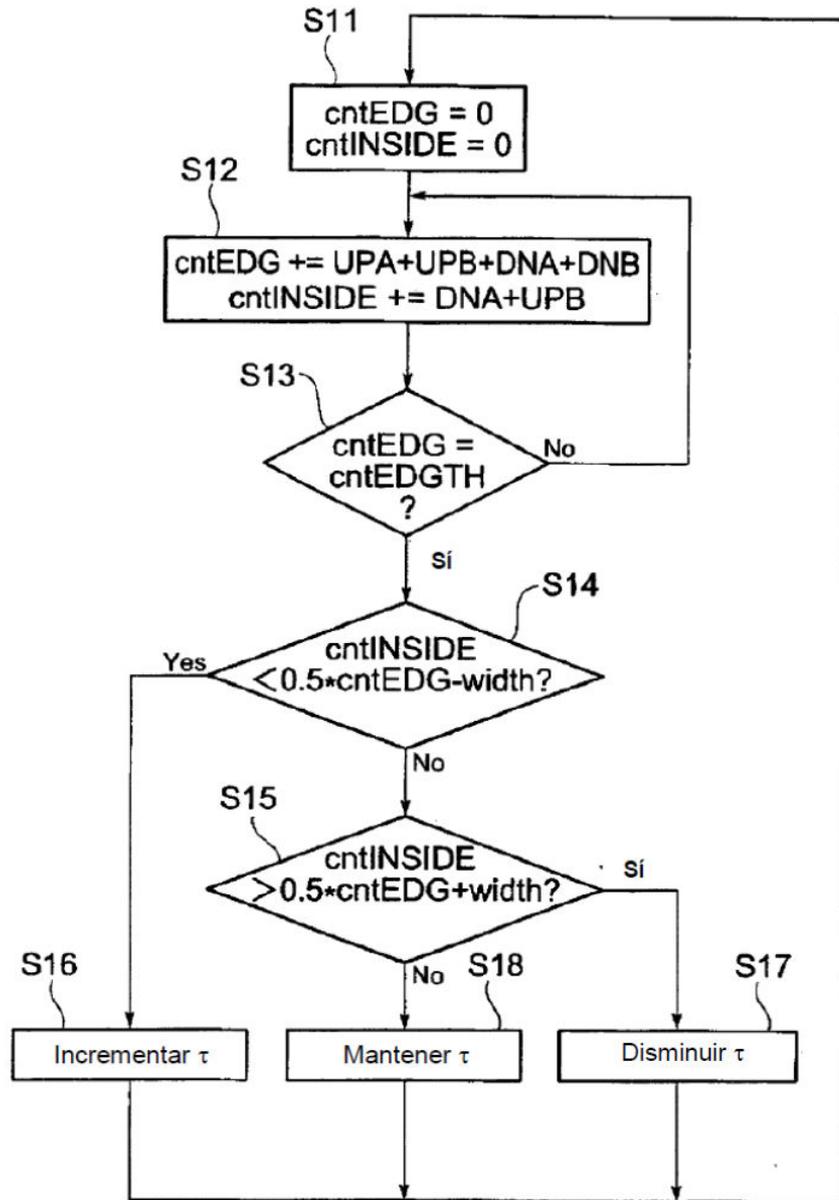


Fig.10

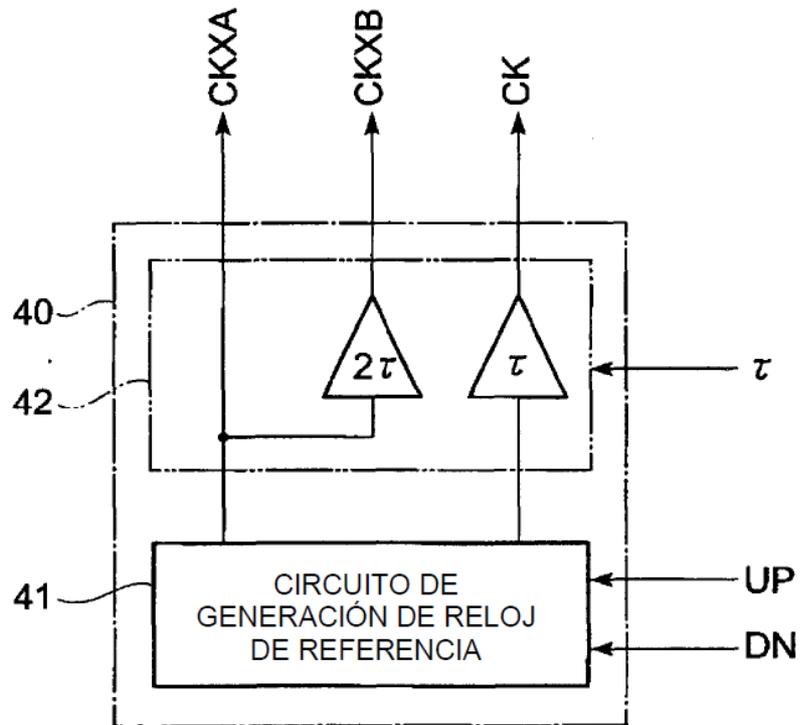


Fig.11

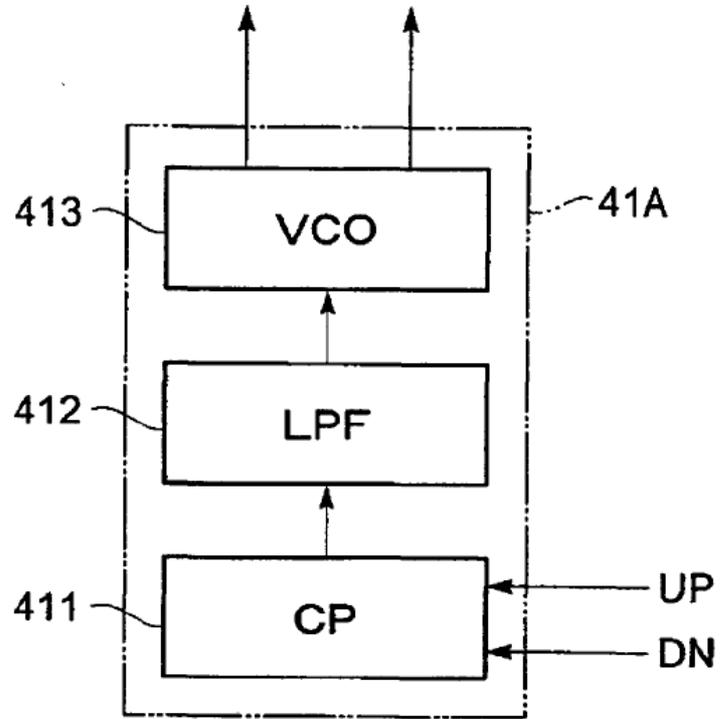


Fig.12

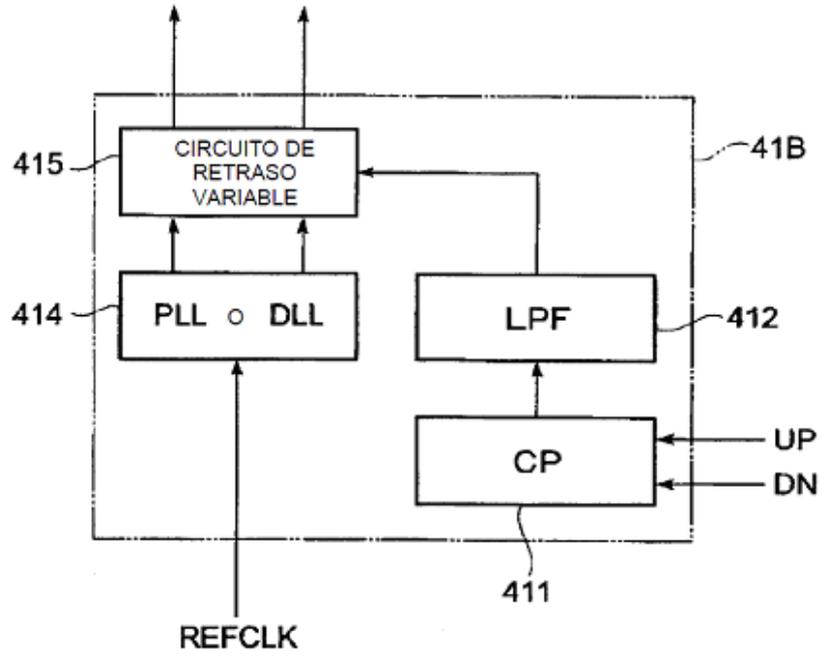


Fig.13

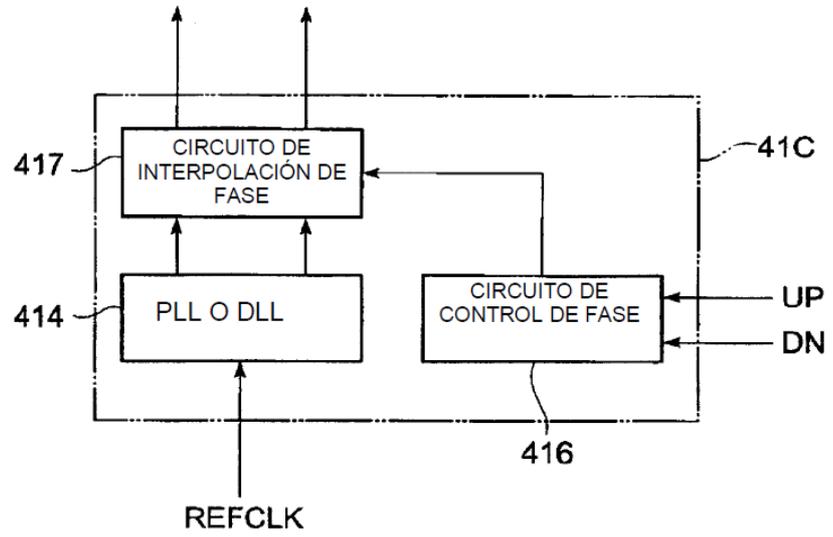


Fig.14

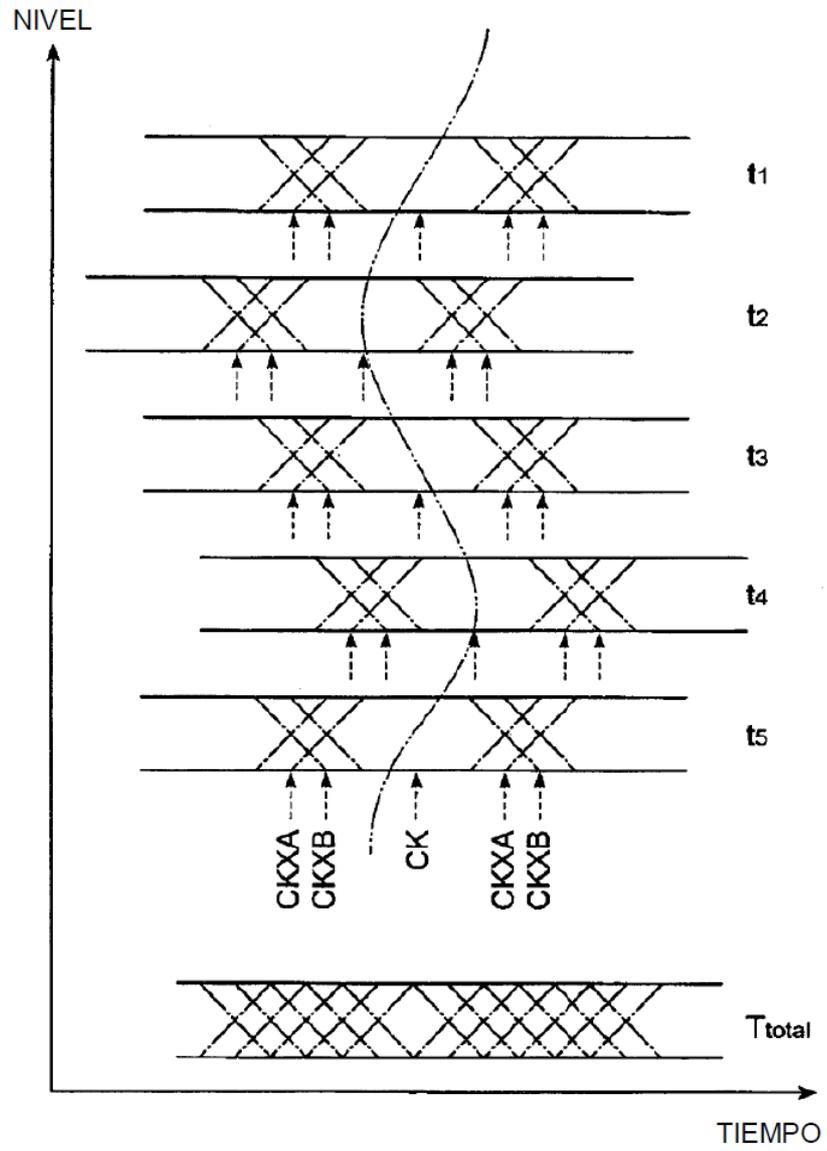


Fig.15

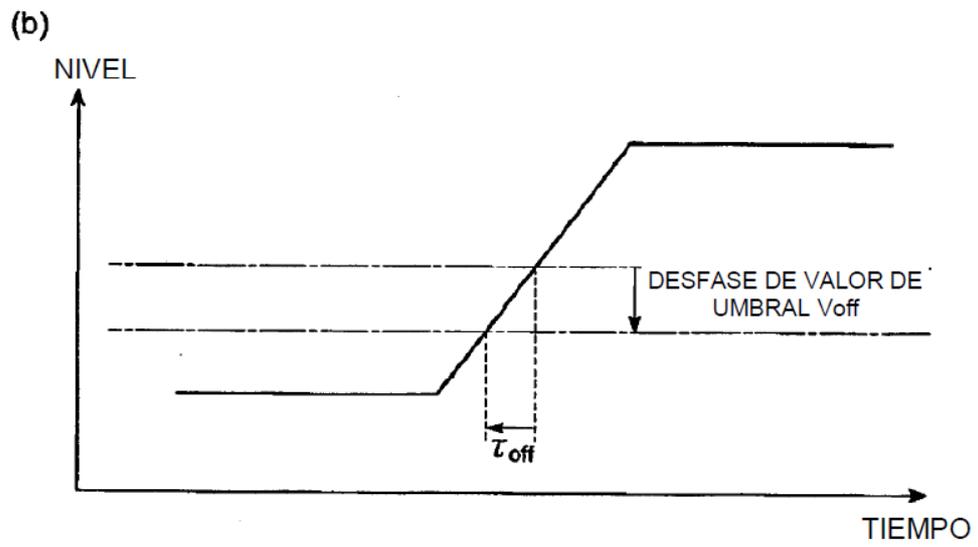
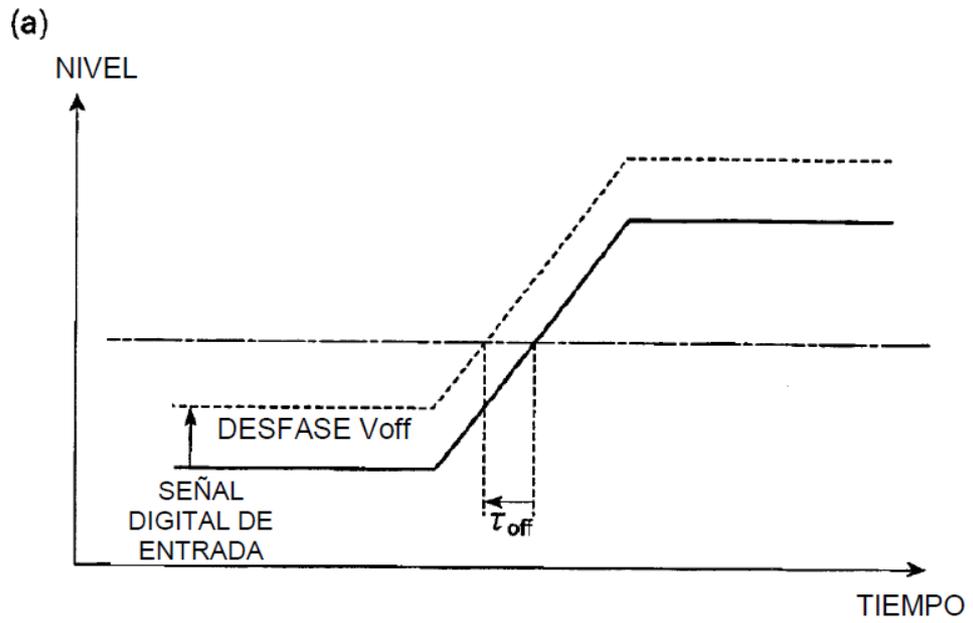


Fig.16

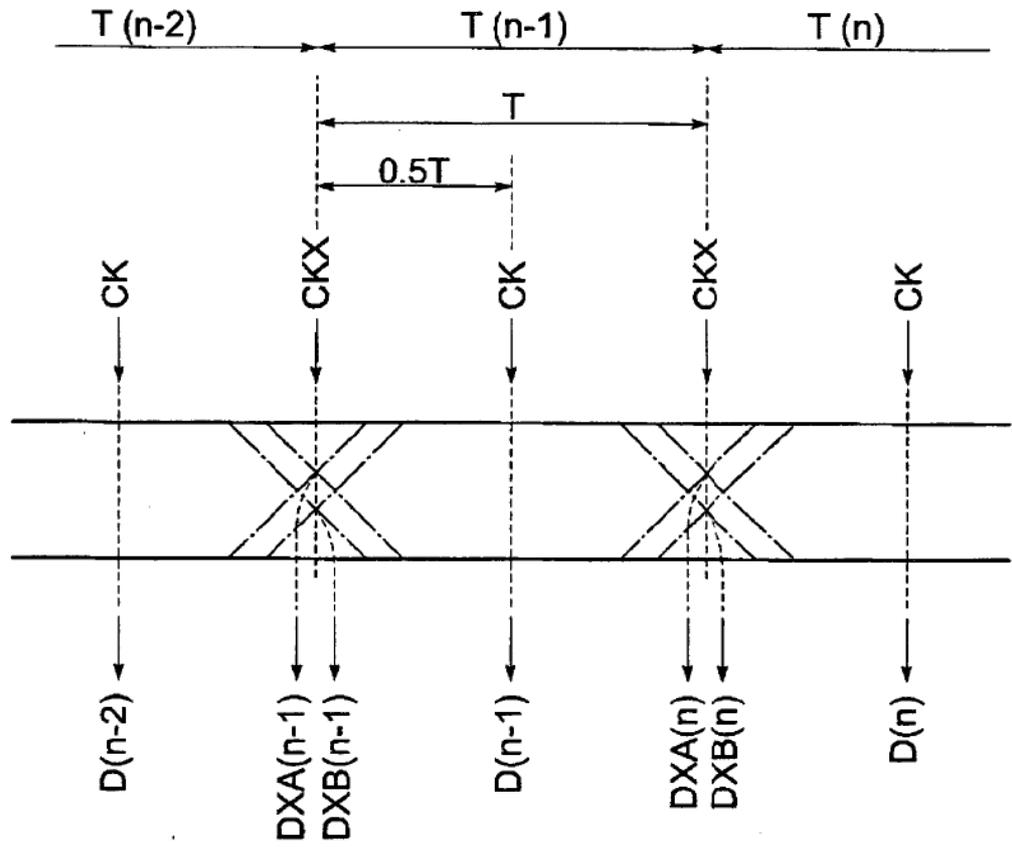


Fig.17

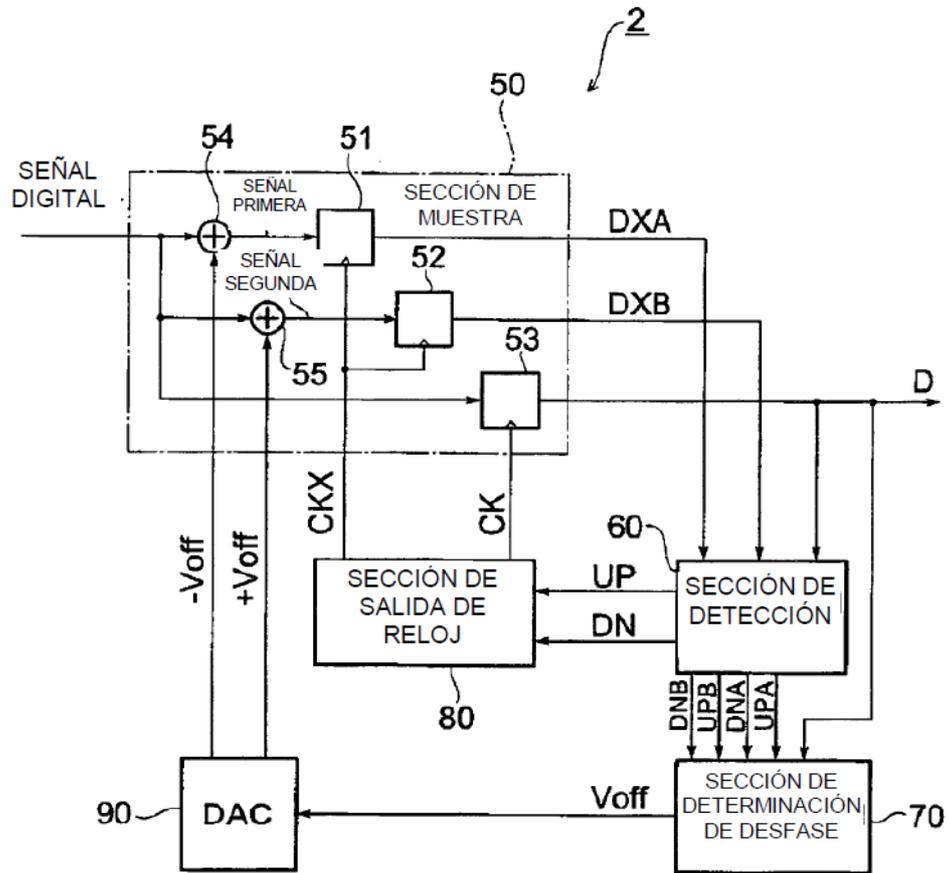


Fig.18

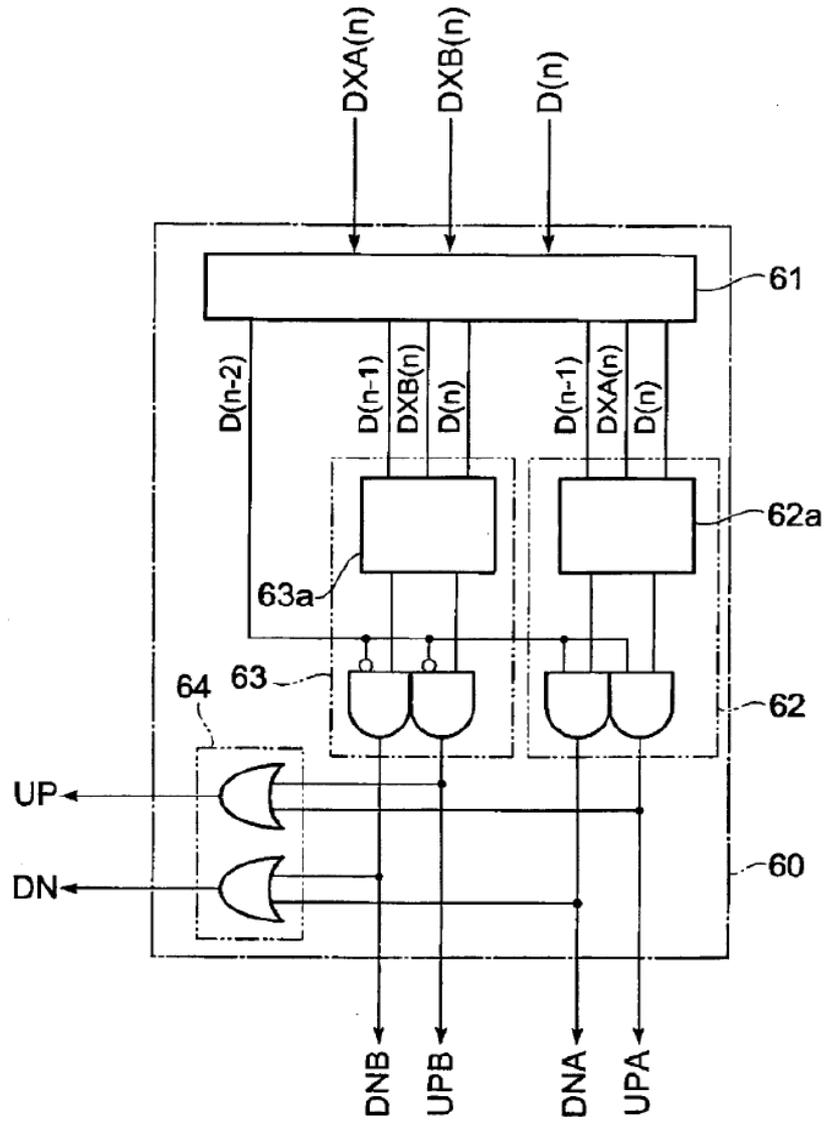


Fig.19

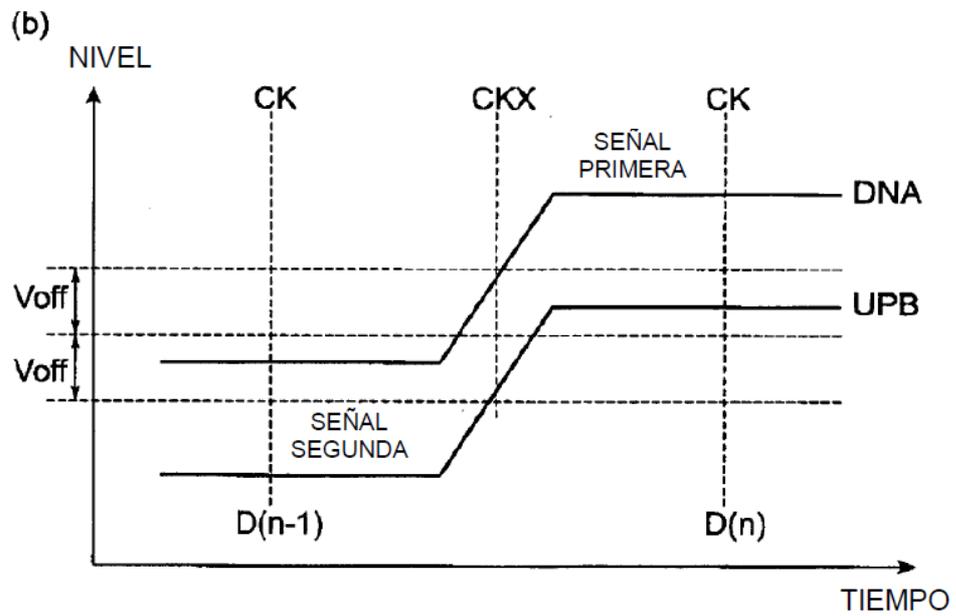
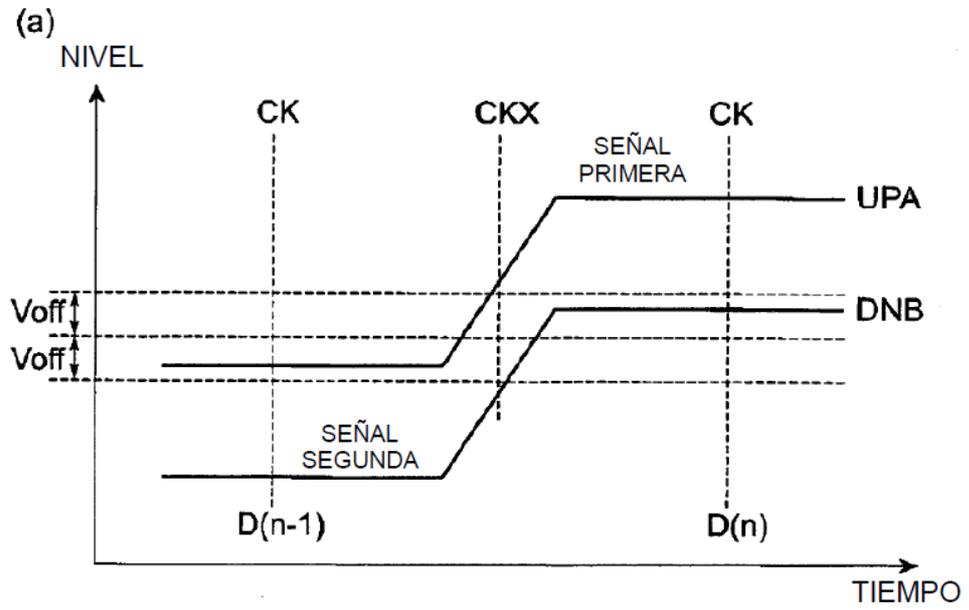


Fig.20

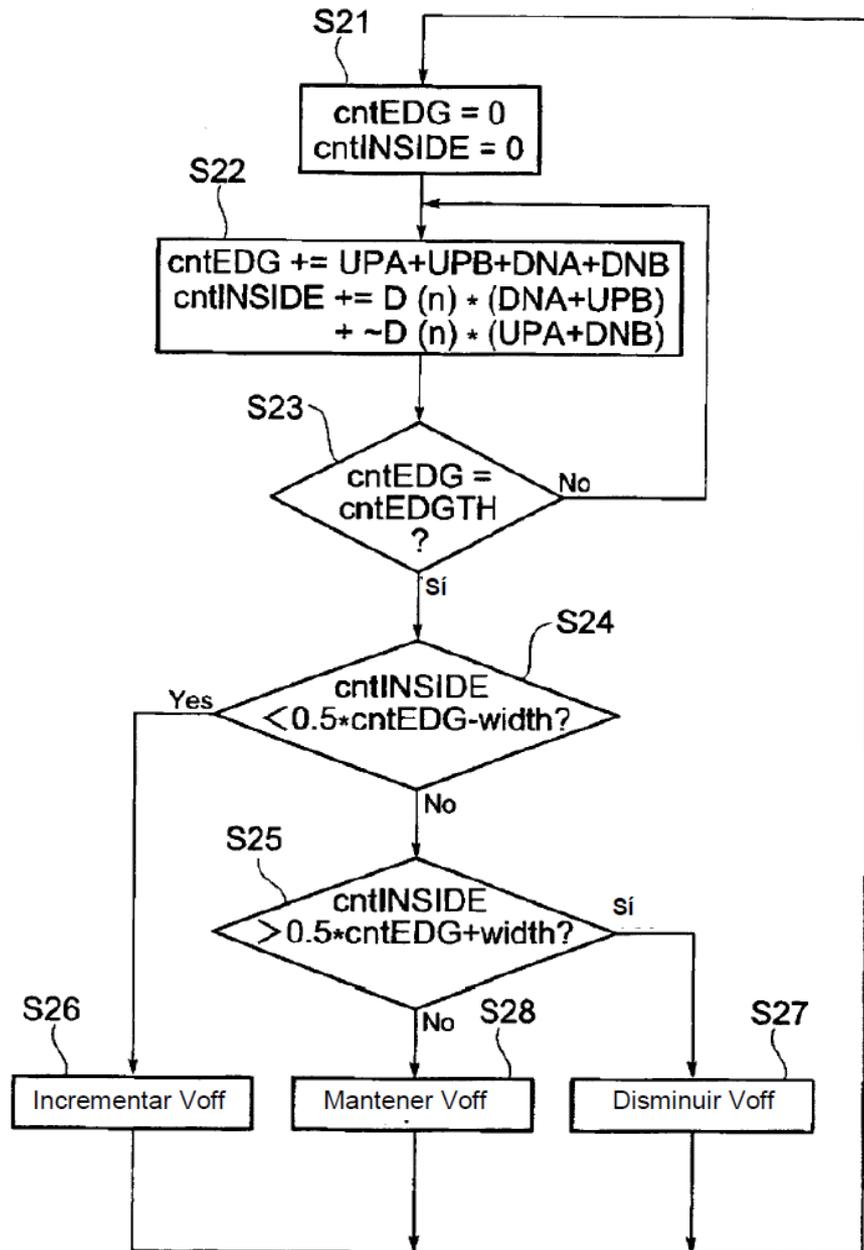


Fig.21

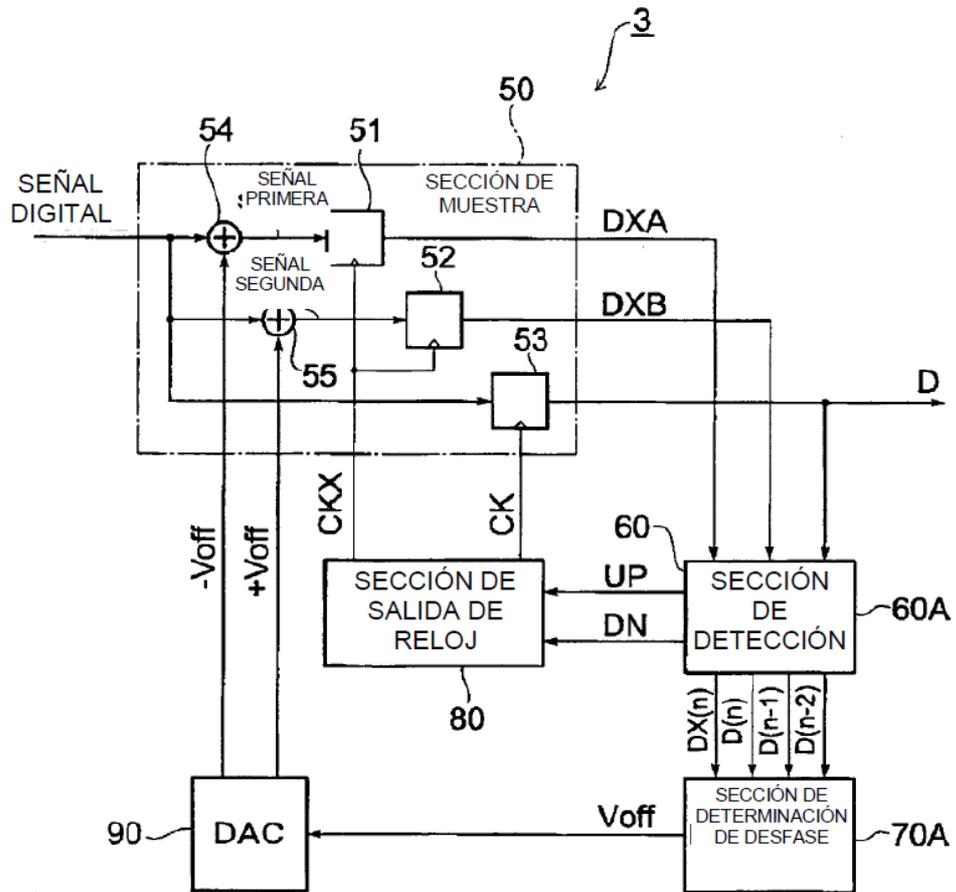


Fig.22

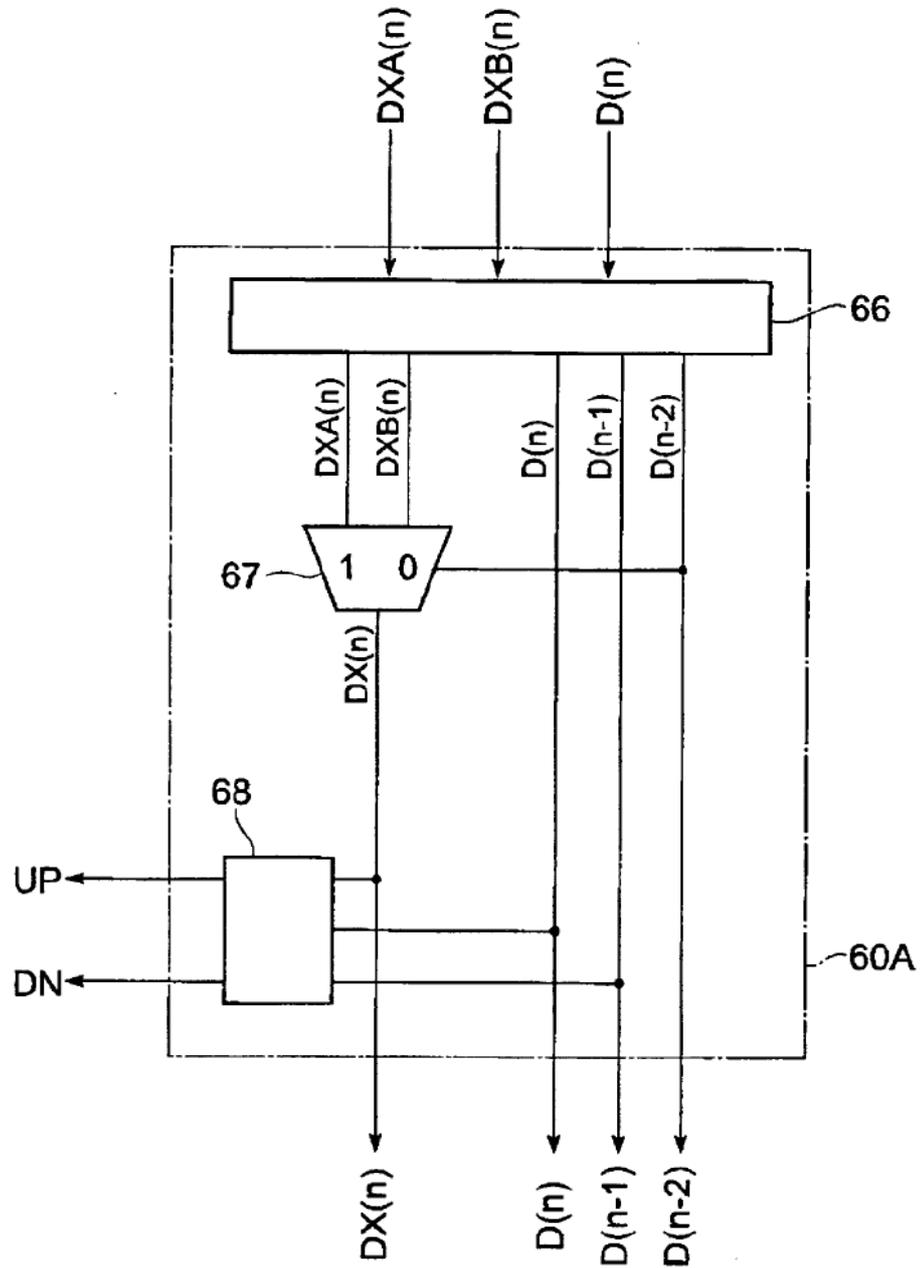


Fig.23

D(n-1)	DX(n)	D(n)	UP	DN
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	0
1	1	0	0	1
1	1	1	0	0

Fig.24

