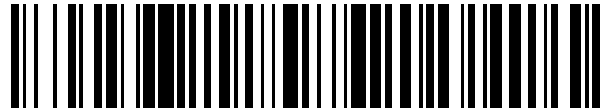


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 482 102**

51 Int. Cl.:

H03M 1/12 (2006.01)

H03M 1/56 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **28.08.2009 E 09168901 (8)**

97 Fecha y número de publicación de la concesión europea: **18.06.2014 EP 2221975**

54 Título: **Conversión analógico-digital en matrices de píxel**

30 Prioridad:

19.02.2009 GB 0902822

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

01.08.2014

73 Titular/es:

**CMOSIS NV (100.0%)
COVELIERSSTRAAT 15
2600 ANTWERPEN, BE**

72 Inventor/es:

BOGAERTS, JAN

74 Agente/Representante:

DE ELZABURU MÁRQUEZ, Alberto

ES 2 482 102 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Conversión analógico-digital en matrices de píxel

Campo de la invención

5 La invención se refiere a la conversión analógico-digital que se puede utilizar para procesar potencia de salida de señales de una matriz de píxel.

Antecedentes de la invención

10 Los sensores de imágenes comprenden una matriz de elementos unitarios (píxeles). La matriz de píxeles se expone a radiación durante un período de exposición y luego se lee el valor de señal de cada píxel de la matriz. La matriz puede ser una matriz unidimensional (sensor lineal) o una matriz bidimensional (matriz de superficie) con píxeles dispuestos en filas y columnas.

15 La Figura 1 muestra la arquitectura típica de un sensor de imagen CMOS. Los fotones de choque se convierten en cargas en la matriz de píxel 10 y se acumulan durante un período de integración determinado. Típicamente, los píxeles se seleccionan fila por fila para la lectura de sus señales. En la Figura 2 se muestra un píxel de 4 transistores (4T) típico. El píxel incluye un fotodiodo FD, una compuerta de transferencia para transferir las cargas del fotodiodo al difusor variable DV, un transistor de reinicio M1, un seguidor de fuente M2 y un transistor seleccionador de filas M3. El transistor de reinicio M1 se utiliza para reiniciar el difusor variable DV hacia un estado conocido antes de transferir la carga del fotodiodo FD como se conoce en la técnica. El seguidor de fuente M2 convierte las cargas almacenadas en el difusor variable DV en una señal de voltaje de salida eléctrica en el enlace de columna. Las potencias de salida de señal útiles de un píxel son voltajes analógicos que representan: (i) el nivel de señal de reinicio V_{reset} y (ii) el nivel de señal V_{signal} que se genera después de la transferencia de carga del fotodiodo. La señal final que representa la cantidad de fotones que chocan con el píxel es la señal de diferencia entre estas dos señales. Durante el proceso de lectura de la matriz, el circuito de muestreo y retención 15 almacena para cada columna los valores de las dos señales (V_{reset} y V_{signal}) para un píxel de una fila seleccionada. Las dos señales (V_{reset} , V_{signal}), o la diferencia entre estas dos señales ($V_{reset} - V_{signal}$), deben convertirse de un valor analógico a un valor digital. En la Figura 1, la conversión analógico-digital se realiza por medio de un solo ADC 16 durante la etapa de salida de la matriz, y este único ADC 16 se utiliza en los circuitos de columna con un sistema de tiempo compartido. A su vez, los valores de señal son transferidos desde cada uno de los circuitos de columna al ADC 16 y convertidos a la forma digital.

30 La Figura 3 muestra un enfoque alternativo. La conversión analógico-digital se realiza, en paralelo, en cada columna de la matriz. El ADC de pendiente única comprende un generador de rampa 20 y un contador síncrono 17. Cada columna tiene dos circuitos de retención de datos 18 y un comparador 19. Una señal de rampa se aplica a cada uno de los circuitos de columnas. La señal de rampa se distribuye a todas las columnas. El contador 17 aumenta en sincronía con la señal de rampa para que, en cualquier punto en el tiempo, el contador 17 ofrezca una representación digital del valor analógico de la potencia de salida de la señal de rampa por el generador de rampa 20. El comparador 19 de cada columna compara el nivel de la señal de entrada (V_{reset} o V_{signal}) con la señal de rampa que cambia gradualmente. Cuando el voltaje de la rampa alcanza el valor de voltaje de la señal de entrada, la potencia de salida del comparador 19 cambia de estado y retiene el código digital del contador en una primera memoria 18. Luego, se repite el mismo proceso para las otras señales (V_{reset} , V_{signal}) y el código se retiene en una segunda memoria 18. La diferencia en los códigos digitales luego se envía a la salida del sensor.

45 En los documentos US 7.088.279 y US 7.321.329 se describe una mejora de esta disposición, que se muestra en la Figura 4. El sistema de circuito asociado a cada columna se provee con un contador dedicado 31 que es capaz de contar en dirección descendente y ascendente. Cuando se convierte la señal de reinicio V_{reset} , el contador 31 cuenta de manera descendente hasta que la señal de rampa alcanza el nivel de reinicio. Luego, se invierte la dirección de recuento del contador 31. Durante la próxima señal de rampa, el contador 31 cuenta de manera ascendente hasta que alcanza el nivel de señal inducida por luz V_{signal} . La técnica está representada en la Figura 5. Esta arquitectura presenta algunas ventajas en comparación con la arquitectura convencional. En la arquitectura convencional, el código generado por el contador 17 necesita ser distribuido por las columnas. Las variaciones entre columnas del sesgo de reloj, que causan errores de conversión, se generan cuando se utiliza un reloj de alta velocidad. Tanto el nivel de reinicio como el nivel de señal incluyen ruido de compensación desde el píxel, los circuitos de columnas y el comparador, el ADC automáticamente calcula la diferencia entre los valores de reinicio y de señal, y no se necesita ningún circuito de resta adicional. Los contadores de ondas pueden utilizarse en esta arquitectura porque no es necesario sincronizarlos con el reloj de alta velocidad. Se corrigen las variaciones entre columnas del sesgo de reloj y la demora del contador que causan errores en la conversión analógico-digital.

55 La patente japonesa JP2001251189 describe un conversor analógico-digital que tiene dos voltajes de referencia. Un primer contador cuenta el número de pulsos (F_m) cuando el voltaje de entrada es menor a V_1 . Un segundo contador

cuenta el número (F_{ref}) de pulsos de reloj requeridos para que el voltaje de rampa llegue de V_1 a V_2 . Un circuito aritmético realiza el F_m/F_{ref} para generar la potencia de salida convertida independientemente de la estabilidad de la frecuencia del reloj.

5 Es deseable que la conversión analógico-digital ocurra con la mayor rapidez posible. La velocidad a la que puede operar el ADC está limitada por diversas restricciones. Una restricción significativa es el período de la señal de rampa con el que se compara el nivel de reinicio analógico y el nivel de señal. La gradiente de la señal de rampa V_{rampa} se puede aumentar pero, hasta una determinada resolución (número de bits), es necesario incrementar proporcionalmente la frecuencia del reloj principal que se distribuye hacia los contadores de las unidades de procesamiento de columnas. En la práctica, la frecuencia del reloj que se puede alcanzar tiene límites.

10 La presente invención busca proveer una manera alternativa de realizar la conversión analógico-digital.

Compendio de la invención

Un primer aspecto de la presente invención ofrece un conversor analógico-digital de acuerdo con la reivindicación 1.

15 Este aspecto de la invención puede ofrecer la ventaja de permitir una conversión más rápida y precisa debido a que no se distribuyen señales de variación rápida hacia el conjunto de conversores. En cambio, cada conversor utiliza un reloj, que es local para el conversor. El reloj puede ser un reloj dedicado a ese conversor o compartido por un subconjunto de conversores. El contador de cada conversor, cuando está activado, cuenta los ciclos del reloj local. El recuento acumulado representa una diferencia entre las dos señales analógicas.

20 Como ventaja, el conjunto de conversores está calibrado por una señal o señales de referencia que se distribuyen al conjunto de conversores. La calibración se puede conseguir acumulando un recuento de ciclos de reloj dentro de un período común para todo el conjunto de conversores. El período puede estar definido por una señal de activación que se distribuye al conjunto de contadores o por una señal de referencia de CC que se distribuye al conjunto de conversores. Cada conversor compara las señales de referencia de CC con la señal de rampa para derivar un recuento de los ciclos de reloj durante el período que transcurre entre que la señal de rampa cruza la primera señal de referencia y la segunda señal de referencia.

25 Se puede realizar una nueva calibración cada vez que se convierten las señales analógicas, o se pueden realizar con menos frecuencia, por ejemplo una vez por cada marco de imagen.

30 El conversor analógico-digital realiza la conversión durante un ciclo de conversión. El ciclo de conversión puede utilizar una señal de rampa de dos ciclos o de un único ciclo. Utilizar el ciclo de una sola rampa puede reducir el tiempo de conversión, puesto que ambas señales analógicas se comparan con el mismo ciclo de la señal de rampa. La comparación entre la primera y la segunda señal analógica con la señal de rampa puede ocurrir de manera simultánea o secuencial durante la señal de rampa. La etapa de control puede programarse para activar el primer y el segundo contador en diferentes porciones del ciclo de señal de rampa. Las diferentes porciones pueden ser porciones contiguas de un ciclo de la señal de rampa.

35 Como ventaja, el conversor además comprende un generador de rampa para generar la señal de rampa, en donde el generador de rampa está dedicado al conversor o a un subconjunto de conversores dentro del conjunto de conversores.

40 Como ventaja, el conversor además comprende: una primera etapa de conversión analógico-digital que se programa para determinar un rango de señal, seleccionado entre una variedad de rangos de señal, que se basa en al menos la primera señal analógica; una segunda etapa de conversión analógico-digital que comprende el conversor de acuerdo con cualquiera de las reivindicaciones anteriores, programada para determinar un valor digital del bit M equivalente a la diferencia entre la primera y la segunda señal analógica comparando las señales con una señal de rampa, en donde la señal de rampa tiene el rango de señal determinado por la primera etapa de conversión analógico-digital; y en donde el valor digital de salida comprende el valor digital del bit M , determinado por la segunda etapa de conversión analógico-digital y graduado por un factor que depende de la señal de rango determinada por la primera etapa de conversión analógico-digital.

45 Como ventaja, los rangos de señal se gradúan por un factor de dos entre sí y en donde el valor digital de salida comprende el valor digital del bit M , determinado por la segunda etapa de conversión analógico-digital que cambia por un número de bits que dependen del rango de señal determinado por la primera etapa de conversión analógico-digital.

50 El conversor analógico-digital puede utilizarse para procesar una potencia de salida de un píxel o de un grupo de píxeles (por ejemplo, una columna) de una matriz de imagen. El conversor analógico-digital también puede utilizarse en un sensor integrado 3D. Un sensor integrado 3D es un sensor que se construye a partir de múltiples chips apilados uno encima del otro. Por ejemplo, un primer chip contiene los fotodiodos de píxel o circuito de píxel. Este

chip está unido a un segundo chip que contiene circuito de lectura (por ejemplo, circuitos de procesamiento analógico o ADC) y así sucesivamente.

5 Otro aspecto de la invención provee un método para generar un valor digital de salida equivalente a la diferencia entre dos señales analógicas en un conversor que forma parte de un conjunto de conversores; el método comprende:

recibir una primera señal analógica y una segunda señal analógica;

recibir una señal de rampa;

generar una señal de reloj, estando la señal de reloj dedicada al conversor o a un subconjunto de conversores en un conjunto de conversores;

10 determinar un primer recuento de ciclos de señal de reloj durante un período basado en una comparación de la señal de rampa con la primera y la segunda señal analógica.

Como ventaja, el método además comprende:

recibir al menos una señal de referencia;

15 determinar un segundo recuento de ciclos de la señal de reloj durante un período basado en una comparación de la señal de rampa con al menos una señal de referencia;

calibrar el primer recuento usando el segundo recuento.

20 Otro aspecto de la invención ofrece un conversor analógico-digital para generar un valor digital de salida equivalente a la diferencia entre dos señales analógicas, comprendiendo el conversor: una primera etapa de conversión analógico-digital que está programada para determinar un rango de señal, seleccionado de una pluralidad de rangos de señales, basado en al menos la primera señal analógica; una segunda etapa de conversión analógico-digital que está programada para determinar un valor digital de bit M equivalente a la diferencia entre la primera y la segunda señal analógica, comparando las señales con una señal de rampa, utilizando la señal de rampa el rango determinado por la primera etapa analógico-digital; y en donde el valor digital de salida comprende el valor digital de bit M determinado por la segunda etapa de conversión analógico-digital, graduada por un factor que depende del rango de señal determinado por la primera etapa de conversión analógico-digital.

25 Como ventaja, la primera etapa de conversión analógico-digital está programada para determinar el rango de señal basado en una diferencia entre la primera y segunda señal analógica.

30 Los conversores analógico-digitales que se utilizan de manera autónoma (es decir, no forman parte de un conjunto de conversores) pueden presentar un problema que radica en que el reloj dentro del conversor opera en una frecuencia que varía con la temperatura y el voltaje. Otro aspecto de la invención ofrece un conversor analógico-digital para generar un valor digital de salida equivalente a la diferencia entre dos señales analógicas, comprendiendo el conversor:

al menos una entrada para recibir una primera señal analógica y una segunda señal analógica;

un generador de rampa para generar una señal de rampa;

35 un reloj que está programado para generar una señal de reloj;

un generador de señal de referencia para generar la primera y la segunda señal de referencia;

un primer contador que funciona para acumular un recuento de los ciclos de reloj cuando está activado;

un segundo contador que funciona para acumular un recuento de los ciclos de reloj cuando está activado;

una etapa de control que está programada para:

40 activar el primer contador dependiendo de una comparación de la señal de rampa con la primera y la segunda señal analógica;

activar el segundo contador dependiendo de una comparación de la señal de rampa con la primera y la segunda señal de referencia

45 una lógica que está programada para utilizar el valor acumulado por el segundo contador con el propósito de calibrar el valor acumulado por el primer contador.

Esto permite la utilización de un reloj de frecuencia extremadamente alta (por ejemplo, un rango de frecuencia de gigahercios) dentro del convertidor. El recuento acumulado por el segundo contador calibra el recuento acumulado por el primer contador. Esto puede resultar en una conversión analógico-digital de menor potencia, o más rápida, que una que utiliza una frecuencia de reloj conocida y estabilizada.

- 5 Otro aspecto de la invención provee un método correspondiente para generar un valor digital de salida equivalente a la diferencia entre dos señales analógicas en un convertidor, comprendiendo el método:

recibir una primera y una segunda señal analógica;

generar una señal de rampa;

generar una señal de reloj;

- 10 generar una primera señal de referencia y una segunda señal de referencia;

determinar un primer recuento de ciclos de señal de reloj durante un período basado en una comparación de la señal de rampa con la primera y la segunda señal analógica;

determinar un segundo recuento de ciclos de señal de reloj durante un período basado en una comparación de la señal de rampa con la primera y la segunda señal de referencia;

- 15 calibrar el primer recuento usando el segundo recuento.

Breve descripción de los dibujos

A continuación se describirán realizaciones de la presente invención, únicamente a modo de ejemplo, haciendo referencia a los dibujos que la acompañan, en los cuales:

- 20 La Figura 1 muestra una arquitectura conocida de un sensor de imagen que comprende una matriz de píxel, un circuito de columna para cada columna de la matriz de píxel y un ADC de salida única;

la Figura 2 muestra un sensor de píxel activo de 4 transistores (4T) para utilizar en la matriz que se muestra en la Figura 1;

- 25 la Figura 3 muestra una arquitectura alternativa conocida de un sensor de imagen que comprende una matriz de píxel y un circuito de columna para cada columna de la matriz de píxel, donde la conversión analógico-digital se realiza en cada circuito de columna utilizando una señal de rampa y un contador, que se distribuyen a cada circuito de columna;

- 30 la Figura 4 muestra una arquitectura alternativa conocida de un sensor de imagen que comprende una matriz de píxel y un circuito de columna para cada columna de la matriz de píxel, donde la conversión analógico-digital se realiza en cada circuito de columna utilizando una señal de rampa distribuida y un contador en cada circuito de columna que cuenta en dirección ascendente y descendente;

la Figura 5 muestra el funcionamiento del circuito de columna que se muestra en la Figura 4 para derivar un valor de recuento digital correspondiente a la diferencia entre los valores de dos señales analógicas;

la Figura 6 muestra una arquitectura de un sensor de imagen de acuerdo con una realización de la presente invención;

- 35 las Figuras 7A y 7B muestran un aparato de conversión en cada columna del sensor;

las Figuras 8A y 8B muestran el funcionamiento del aparato de conversión que se muestra en las Figuras 7A y 7B;

la Figura 9 muestra una comparación lógica para utilizar en el aparato que se muestra en la Figura 7;

cada una de las Figuras 10A y 10B muestra una comparación lógica alternativa para utilizar en el aparato que se muestra en la Figura 7;

- 40 la Figura 11 muestra el funcionamiento del aparato de conversión para lograr un requerimiento de energía casi estacionario;

las Figuras 12A y 12B muestran el funcionamiento del aparato de conversión durante dos ciclos de una señal de rampa;

la Figura 13 muestra el ruido que afecta la conversión analógico-digital;

la Figura 14 muestra un esquema de conversión de dos etapas;

la Figura 15 muestra un conjunto de señales de rampa utilizadas en el esquema que se muestra en la Figura 14;

la Figura 16 muestra el ruido que resulta de la conversión analógico-digital cuando se utiliza el esquema de la figura 14;

5 la Figura 17 muestra un circuito de entrada para cualquiera de las realizaciones del aparato de conversión.

Descripción de las realizaciones preferidas

Se describirá la presente invención respecto de realizaciones particulares y respecto de ciertos dibujos, pero la invención no está limitada a ellos, sino solo a las reivindicaciones. Los dibujos descritos son solo esquemáticos y no limitantes. En los dibujos, el tamaño de alguno de los elementos puede estar exagerado y no dibujado a escala a efectos ilustrativos. Cuando se utiliza el término “comprender” en la presente descripción y reivindicaciones, no se excluyen otros elementos o etapas. Además, los términos “primero”, “segundo”, “tercero”, y similares, utilizados en la descripción y en las reivindicaciones se utilizan para distinguir elementos similares y no necesariamente para describir un orden secuencial o cronológico. Debe comprenderse que en circunstancias apropiadas los términos utilizados son intercambiables y que las realizaciones de la invención que se describen pueden operar en secuencias distintas a las descritas o ilustradas.

A lo largo de esta especificación, debe tenerse en cuenta que los términos “fila” y “columna” son intercambiables. Además, el término “fila” no implica una orientación específica de la matriz.

La Figura 6 muestra esquemáticamente una arquitectura para la conversión analógico-digital de señales de una matriz de píxel 10. La matriz de píxel es la misma que la que se mostró previamente en las Figuras 1 a 4, y comprende una matriz de píxeles 11 que son sensibles a la radiación (típicamente, a la luz). Los dos valores de señal analógica se leen de cada uno de los píxeles 11 en la matriz 10: (i) un nivel de señal de reinicio V_{reset} y (ii) un nivel de señal V_{signal} que se genera después de la transferencia de carga del fotodiodo. El circuito de muestreo y retención 15 se ofrece para cada columna de la matriz y almacena los dos valores de señal (V_{reset} , V_{signal}) para un píxel en una fila seleccionada. La diferencia entre estas dos señales analógicas ($V_{reset} - V_{signal}$) se convierte de un valor analógico a un valor digital por medio del circuito de procesamiento de columna 130.

Se dispone un conjunto de circuitos de procesamiento de columna 130 en paralelo. Cada circuito de procesamiento de columna 130 realiza la conversión analógico-digital recién descrita para una columna de la matriz de píxel 10. El circuito 140 emite señales de referencia de CC que se distribuyen a cada conjunto de circuitos de procesamiento de columna 130. En principio, estos pueden tener cualquier voltaje de CC, y se utilizan como una referencia para calibrar el conjunto de circuitos de procesamiento de columna 130. Un generador de rampa 120 genera una señal de rampa. El generador de rampa 120 puede ser un recurso global que genera una señal de rampa que se distribuye a todas las etapas de procesamiento de columna, o puede ser más bien un recurso local que está asociado a un subconjunto de columnas o a una sola columna. Una señal de reloj se genera localmente en cada circuito de procesamiento de columna 130. La señal de reloj se puede generar con un simple anillo oscilador 110. Cada circuito de procesamiento de columna 130 también tiene dos contadores 151, 152 que, cuando están activados, cuentan los ciclos de reloj local 110. Los circuitos de procesamiento de columnas emiten valores digitales acumulados por sus respectivos contadores. Típicamente, los datos se transfieren de cada circuito de procesamiento de columna 130 con un sistema multiplex de tiempo y una salida 161 hacia circuitos de salida 162, 163. La Figura 6 muestra un amplificador 162 y un separador 163 que divide el par de valores digitales de n bits de potencia de salida por cada circuito de procesamiento de columna 130, y genera el valor digital resultante 164. En un sensor integrado, los circuitos de procesamiento de columna 130 están típicamente integrados con la matriz de píxel 10, a pesar de que pueden ofrecerse como un circuito físico separado de la matriz de píxel.

La Figura 7A muestra en mayor detalle un circuito de procesamiento de columna. La lógica de comparación 130 recibe un conjunto de señales. Estas incluyen: señales de referencia de CC V_{ref1} , V_{ref2} recibidas del generador 140; señales de píxel analógicas V_{reset} , V_{signal} recibidas del circuito de muestreo y retención 115 de la columna; y una señal de rampa V_{rampa} recibida del generador de rampa 120. La comparación de estas señales (descrita a continuación) genera dos señales digitales contador1_activación, contador2_activación, que controlan el funcionamiento de los respectivos contadores Contador1 151, Contador2 152. El Contador1 genera un recuento digital cntr_reference y Contador2 genera un recuento digital cntr_signal. A ambos contadores se les aplica una señal de reloj 110 generada localmente.

En la Figura 8A se muestra el funcionamiento de la etapa de procesamiento de columna. Se muestran dos valores de señal de píxel analógica: V_{reset} es el nivel de reinicio del píxel y V_{signal} es el nivel de señal del píxel. Una señal de rampa V_{rampa} abarca un rango de valores, extendiéndose el rango a través de las señales de referencia V_{ref1} , V_{ref2} y el rango esperado de señales de píxel V_{reset} , V_{signal} . En el ejemplo de la Figura 8, las señales de referencia V_{ref1} , V_{ref2} están fuera del rango de las señales de píxel y, por lo tanto, la señal de rampa V_{rampa} tiene un rango de valor más

alto, mayor que V_{ref1} , y uno de menor valor que es menor que V_{ref2} . Las señales de referencia V_{ref1} V_{ref2} pueden configurarse en cualquier nivel debido a que se utilizan para la calibración de la pendiente de rampa y la frecuencia del reloj. La Figura 12 muestra un ejemplo donde la señal de referencia V_{ref1} está por debajo de V_{reset} .

5 La señal de rampa comienza un ciclo y, en el tiempo t_1 , la señal de rampa cruza el nivel del voltaje de referencia superior V_{ref1} . El reloj local y el contador1 se encienden. La señal de activación de contador contador1_{activación} (que se muestra como una línea continua) se muestra junto con la señal de reloj a la que activa. En el tiempo t_2 , la señal de rampa cruza el nivel del valor de señal de píxel de reinicio V_{reset} y el contador2 se enciende. En el tiempo t_3 , la señal de rampa cruza el nivel del valor de señal de píxel V_{signal} y el contador2 se detiene. El recuento acumulado representa el valor de píxel ($V_{reset} - V_{signal}$). En el tiempo t_4 , la señal de rampa cruza el nivel de la señal de referencia menor V_{ref2} y el contador1 se detiene. La proporción de los valores acumulados por los contadores Contador1, Contador2 da el valor de conversión final de la señal:

$$\text{Valor de señal final} = \frac{cntr_signal}{cntr_reference}$$

15 El valor de señal final se calcula de forma ventajosa por el circuito de salida (163, Figura 6), que se comparte con el conjunto de circuitos de procesamiento de columnas 130. Como alternativa, cada circuito de procesamiento de columna 130 puede incluir el circuito para calcular el valor de señal final. Una ventaja de usar un reloj local y/o una señal de rampa es que el tiempo de conversión puede ser mucho menor, porque la señal de reloj de alta frecuencia se genera localmente en donde se utiliza. En arquitecturas convencionales, la distribución de un reloj rápido y de una señal de rampa a etapas de un conjunto de procesamiento de columnas está limitada a factores como los tiempos de retardo RC y/o el consumo de energía (mayor o menor necesidad de que todas las columnas operen en sincronía, dependiendo de la arquitectura) y la frecuencia de reloj máxima está típicamente limitada a unos cientos MHz. Un reloj local puede funcionar en algunos GHz, con un simple anillo oscilador en tecnología 0,18 μm . La técnica que se describe no es sensible a las variaciones de la frecuencia de reloj o a diferencias en la pendiente de rampa entre columnas. Los voltajes de referencia de CC V_{ref1} , V_{ref2} son los mismos para cada etapa del procesamiento de columna 103. A pesar de que las diferentes etapas del procesamiento de columna tienen relojes separados que pueden funcionar en frecuencias levemente diferentes y utilizar señales de rampa que pueden diferir en su pendiente, la operación de tomar la proporción entre los dos recuentos acumulados cancela cualquier heterogeneidad entre las frecuencias del reloj y las pendientes de la señal de rampa en diferentes etapas del procesamiento de columnas 130.

30 Las Figuras 6 y 7A muestran un reloj local 110 que está dedicado a un circuito de procesamiento de columna 130. En otras disposiciones, el reloj 110 puede compartir un subconjunto del conjunto total de conversores, pero la distancia de propagación de la señal del reloj se mantiene, como ventaja, tan corta como sea posible.

35 Es posible dejar que los relojes locales funcionen continuamente y activar/desactivar los contadores. Como alternativa, los relojes locales se pueden apagar cuando no se los necesite para ahorrar el consumo de energía. En la práctica, es deseable encender los relojes brevemente antes de cualquier conversión para evitar efectos transitorios, para asegurarse, por ejemplo, de que el reloj funcione con una frecuencia estable antes de ser utilizado, y apagarlos poco después de finalizar la conversión.

40 Un requisito para maximizar la precisión de la conversión es que la frecuencia del reloj y la pendiente de la señal de rampa sean lo más coherente posible con la conversión de los niveles de señal de referencia y la conversión de los niveles de señal de píxel. En la Figura 8, esto se logra al convertir tanto la señal de referencia y la señal de píxel durante un único ciclo de la señal de rampa V_{rampa} . Un esquema alternativo realiza la conversión durante dos ciclos de la señal de rampa. En el primer ciclo, la señal de referencia se convierte activando un contador en el tiempo t_1 y desactivándolo en el tiempo t_4 (como se muestra en la Figura 8) para acumular un recuento que represente el número de ciclos de reloj durante el tiempo que le tome a la señal de rampa cruzar los niveles de señal de referencia. En un segundo ciclo, un contador se activa en el tiempo t_2 y se desactiva en el tiempo t_3 para acumular un recuento que representa el número de ciclos de reloj durante el tiempo que le toma a la señal de rampa cruzar los valores de la señal de píxel V_{signal} , V_{reset} . No es necesario que la medición de la diferencia entre los niveles de señal de referencia se realice cada vez que se convierten señales de píxel, y se puede realizar con menos frecuencia, como una vez por marco de dato de imagen. Los factores que determinan la frecuencia en que se necesita realizar la medición incluyen: la estabilidad de la frecuencia de reloj, la estabilidad de la señal de rampa; la precisión requerida de la conversión.

50 El recuento acumulado por los contadores contador1, contador 2 se puede expresar de la siguiente manera:

$$cntr_{signal} = \frac{(V_{reset} - V_{sig}) \times f_{localclock}}{S_{ramp}}$$

$$cntr_{reference} = \frac{(V_{ref1} - V_{ref2}) \times f_{localclock}}{S_{ramp}}$$

donde $f_{localclock}$ es la frecuencia del reloj local (en Hz) y S_{ramp} es la pendiente de la señal de rampa (en V/s). Las señales de referencia (V_{ref1} y V_{ref2}) son globales y, por lo tanto, constantes para todas las columnas. De las ecuaciones anteriores, se entiende que la señal de píxel convertida puede recuperarse de la siguiente manera:

$$(V_{reset} - V_{sig}) = (V_{ref1} - V_{ref2}) \times \frac{cntr_{signal}}{cntr_{reference}}$$

- 5
- Como se aprecia en esta ecuación, todas las dependencias relacionadas con los circuitos locales quedan fuera de la calibración. Por lo tanto, la frecuencia exacta del reloj y la pendiente de la señal de rampa no afectan este método, en la medida en que coincidan para la conversión de la señal y de la referencia. Las discordancias entre columnas quedan fuera de la calibración.
- 10 En la Figura 8A, las dos señales de píxel V_{reset} , V_{signal} , y las dos señales de referencia V_{ref1} , V_{ref2} se comparan con la señal de rampa V_{rampa} durante un ciclo de la señal de rampa. También es posible realizar la conversión de las señales durante múltiples ciclos (o fases) de la señal de rampa. La señal de rampa no necesita abarcar el mismo rango de valores en cada una de las fases. Esto quedará más claro cuando se expliquen los ejemplos de las figuras 12A y 12B.
- 15 En el esquema descrito con anterioridad, los dos niveles de referencia de corriente continua V_{ref1} , V_{ref2} están distribuidos al conjunto de circuitos de procesamiento de columna 130. Las Figuras 7B y 8B muestran un esquema alternativo en el que una señal de activación global $cntor1_{activación}$ se distribuye al conjunto de circuitos de procesamiento de columna 130. La señal de activación global tiene un ancho de pulso estable, que es el mismo para cada circuito de procesamiento de columna 130. En este esquema sólo es necesario comparar la señal de rampa
- 20 V_{rampa} con los niveles de señal de píxel V_{reset} , V_{signal} . Las ecuaciones correspondientes son:

$$cntr_{signal} = \frac{(V_{reset} - V_{sig}) \times f_{localclock}}{S_{ramp}}$$

(queda sin cambios), y:

$$cntr_{reference} = (T_{rising} - T_{falling}) \times f_{localclock}$$

- 25 donde $f_{localclock}$ es la frecuencia del reloj local (en Hz) y S_{ramp} es la pendiente de la señal de rampa (en V/s). De las ecuaciones anteriores, se entiende que la señal de píxel convertida puede recuperarse de la siguiente manera:

$$(V_{reset} - V_{sig}) = \frac{cntr_{signal}}{cntr_{ref}} \times S_{ramp} \times (T_{rising} - T_{falling})$$

- Se puede observar que la pendiente de rampa S_{rampa} no se elimina de la ecuación; por lo tanto, la pendiente de rampa debe ser la misma para el conjunto de circuitos de procesamiento de columna. Esto se logra con un único generador de pendiente que distribuye una señal de rampa al conjunto de circuitos de procesamiento de columna, o mediante generadores de rampa alineados con precisión. Este esquema es menos preciso en comparación con el
- 30

esquema que utiliza los niveles de referencia de CC porque la señal de activación global puede distorsionarse a medida que se distribuye al conjunto de circuitos de procesamiento de columna, especialmente en frecuencias más altas y con un número alto de circuitos de procesamiento de columna. Otra desventaja es la necesidad de una señal de rampa que tenga un valor de pendiente uniforme para todo el conjunto de circuitos de procesamiento de columna.

5 Las Figuras 9 y 10 muestran dos posibles implementaciones de la lógica de comparación 130. En la Figura 9 se utiliza un conjunto de cuatro comparadores 131, 132, 134, 135. Las dos señales de píxel V_{reset} , V_{signal} que serán convertidas (o la diferencia entre estas dos señales) se vuelven disponibles simultáneamente, por ejemplo, mediante un circuito de muestreo y retención 115 en la salida de la columna. Cada uno de los comparadores 131, 132 compara una de las señales de referencia con la señal de rampa V_{rampa} . Una compuerta OR 133 exclusiva activa la señal de control contador1_{activación} para el contador1 cuando la señal de rampa V_{rampa} es menor que V_{ref1} y mayor que V_{ref2} . De manera similar, cada uno de los comparadores 134, 135 compara una de las señales de píxel con la señal de rampa V_{rampa} . Una compuerta OR 136 exclusiva activa la señal de control contador2_{activación} para el contador2 cuando la señal de rampa V_{rampa} es menor que V_{reset} y mayor que V_{signal} . Todos los comparadores (131, 132, 134 y 135) tienen su propia compensación. Las compensaciones se pueden calibrar y almacenar periódicamente (por ejemplo, por cada cuadro o cuando se encienda el sensor) configurando los niveles de señal correspondientes en los niveles conocidos y almacenando el resultado, que luego se restará de manera sistemática de cada medición. Típicamente, el valor por restar será de sólo unos bits, y la resta se realizará durante la salida o la inicialización de los contadores. Los siguientes esquemas que se muestran en las figuras 10A y 10B no requieren del ciclo de calibración.

20 Las Figuras 10A y 10B muestran implementaciones alternativas de la lógica de comparación 130. Al comienzo de la conversión, la señal de reinicio baja la señal del contador2_{activación} y la entrada positiva del comparador se cambia a V_{reset} . Cuando la señal de rampa V_{rampa} está por debajo de V_{reset} , la potencia de salida del comparador sube y el circuito basculante oscila. La señal del contador2_{activación} sube (y el contador comienza a contar). La entrada positiva del comparador también se cambia a V_{signal} , lo que hace que la salida del comparador baje nuevamente. Cuando la señal de rampa está por debajo de V_{signal} , la salida de los comparadores sube nuevamente y el circuito basculante oscila otra vez, finalizando ahora el período de recuento. Esto funciona si la compensación entre V_{reset} y V_{signal} es lo suficientemente grande y tiene la ventaja de que la compensación del comparador se cancela. Otro conjunto de la lógica opera en las señales de referencia V_{ref1} , V_{ref2} para generar la señal contador2_{activación} de una manera similar a la descrita. La Figura 10B muestra un esquema alternativo con un multiplexer 4:1 y un único comparador, y es particularmente útil para el esquema de conversión que se muestra en la Figura 11.

En situaciones donde los relojes locales 110 son bastante estables, el recuento de ciclos de reloj que ocurre durante el período de referencia (ya sea definido por niveles de referencia como se muestran en la Figura 8A, o por una señal de activación global como se muestra en la Figura 8B) puede realizarse con menos frecuencia que el recuento de señales de píxel. El recuento de referencia se puede realizar durante un ciclo de calibración dedicada, durante el cual solo se acumula el recuento de referencia. En este caso, es posible tener un único dispositivo de recuento que se utiliza en tiempos compartidos para: (i) acumular un recuento de los ciclos de reloj a efectos de calibración; (ii) acumular un recuento de ciclos de reloj con fines de medición normales. Con esta opción, los dos contadores 151, 152 que se muestran en las Figuras 7A y 7B se implementan por medio de un único dispositivo de recuento en tiempos compartidos.

40 **Consumo de energía casi constante**

La Figura 8A muestra una conversión simultánea del rango de referencia ($V_{\text{ref1}}-V_{\text{ref2}}$) y la señal de píxel ($V_{\text{reset}}-V_{\text{signal}}$). Una posible cuestión es que el consumo de energía durante esta conversión depende de la señal, debido a que dos relojes/contadores funcionan al mismo tiempo. Esto se debe a que una fracción significativa del consumo de energía está destinada al generador de reloj y a los bits menos significativos del contador, debido a que estos generan basculaciones con mayor frecuencia. El consumo de corriente dependiente de la señal puede causar caídas de voltaje dependientes de la señal en las líneas de abastecimiento de energía, lo que a su vez puede generar una frecuencia oscilatoria cambiante durante el proceso de conversión. Por lo tanto, las columnas vecinas también pueden influenciarse unas a otras (lo que causaría, por ejemplo, dependencia de señales no lineales). La figura 11 muestra una forma de evitar esto. La conversión de las señales de referencia y de píxel se realiza durante un único ciclo de la señal de rampa. Los niveles de referencia V_{ref1} , V_{ref2} se seleccionan para que el rango de referencia abarque el rango de valor del píxel; es decir, V_{ref1} es mayor que V_{reset} y V_{ref2} es menor que V_{signal} . Se utiliza un único generador de reloj y la lógica del contador se configura de manera tal que haya solo un contador activo en todo momento y que el consumo de energía dure aproximadamente lo mismo para todas las columnas. Esto ofrece un consumo de energía casi constante. Por lo tanto, las caídas de voltaje y las frecuencias del reloj son casi constantes durante todo el proceso de conversión.

La señal de rampa comienza y, en el tiempo t_1 , la señal de rampa cruza el nivel del voltaje de referencia más alto V_{ref1} . El reloj local y el contador1 se encienden. En el tiempo t_2 , la señal de rampa cruza el nivel del valor de señal de píxel de reinicio V_{reset} . El Contador1 se detiene y el Contador2 se enciende. En el tiempo t_3 , la señal de rampa cruza el nivel del valor de señal de píxel V_{signal} . El Contador2 se apaga y el Contador1 se enciende para que continúe

contando desde el valor acumulado al tiempo t2. En el tiempo t4, la señal de rampa cruza el nivel de la señal de referencia más baja V_{ref2} y el contador1 se detiene. El recuento acumulado por el Contador1 representa la diferencia ($V_{ref1} - V_{ref2}$). El recuento acumulado del Contador2 representa el valor de píxel ($V_{reset} - V_{signal}$). El valor de señal final está dado por:

$$\text{Valor de señal final} = \frac{cntr_signal}{cntr_reference + cntr_signal}$$

5

Obsérvese que la compensación de señal y el rendimiento de ADC pueden variar dependiendo del esquema utilizado. Por ejemplo, si el valor de señal final se calcula como se indica en las ecuaciones anteriores, $cntr_signal$ y $cntr_reference$ puede tener valores diferentes para las mismas señales de entrada V_{reset} y V_{signal} , dependiendo de los esquemas de conversión que se utilicen (Figuras 8, 11, 12, etc.) debido a que en algunos esquemas se utiliza una compensación intencional (entre señales de entrada) o los valores de referencia se eligen de otra manera. Esto se traduce en diferentes compensaciones y rendimientos, que no generan un problema para los datos digitales.

10

En las Figuras 12A y 12B, una señal de rampa tiene un ciclo completo (t1-18) que está dividido en dos fases (t1-t4) y (t5-t8). Durante cada fase, una señal de referencia y una señal de píxel se comparan con la señal de rampa. Se puede observar que la señal de rampa puede tener un rango menor en una de las fases, lo que ayuda a reducir el tiempo total del ciclo de conversión. La Figura 12A muestra un esquema en el que se usan dos contadores ascendentes/descendentes. En este caso, se decide que la señal de referencia V_{ref1} sea menor que el nivel de reinicio V_{reset} más bajo posible. Este es solo un ejemplo. En el tiempo t1, la señal de rampa comienza la primera fase de su ciclo, y el contador2 se enciende con una dirección de recuento descendente. En el tiempo t2, la señal de rampa cruza la señal de píxel V_{reset} y el contador2 se detiene. El Contador1 también se activa para comenzar el recuento en dirección descendente. En el tiempo t3, se cruza el nivel de señal de referencia V_{ref1} y el contador1 se detiene. En el tiempo t4, la señal de rampa finaliza la primera fase de su ciclo. En el tiempo t5, la señal de rampa comienza la segunda fase de su ciclo, y el contador2 se activa para comenzar el recuento ascendente. En el tiempo t6, la señal de rampa cruza la señal de píxel V_{signal} y el contador2 se detiene. El contador1 se activa para comenzar el recuento ascendente. En el tiempo t7, la señal de rampa cruza el nivel de señal de referencia V_{ref2} y el contador1 se detiene. En el tiempo t8, la señal de rampa finaliza la segunda fase de su ciclo, y finaliza un ciclo completo.

15

20

25

La figura 12B muestra otro esquema que utiliza un ciclo de conversión de dos fases y dos contadores que cuentan en una sola dirección. En el tiempo t1, la señal de rampa comienza la primera fase de su ciclo. En el tiempo t2, la señal de rampa cruza el nivel de señal de referencia V_{ref1} y el contador1 se activa. En el tiempo t3, la señal de rampa cruza la señal de píxel V_{reset} y el contador1 se detiene. El contador2 se activa. En el tiempo t4, la señal de rampa finaliza la primera fase de su ciclo y el contador2 se detiene. En el tiempo t5, la señal de rampa comienza la segunda fase de su ciclo, y el contador2 se activa para retomar el recuento. En el tiempo t6, la señal de rampa cruza la señal de píxel V_{signal} y el contador2 se detiene. El contador1 se activa para continuar el recuento. En el tiempo t7, la señal de rampa cruza el nivel de señal de referencia V_{ref2} y el contador1 se detiene. En el tiempo t8, la señal de rampa finaliza la segunda fase de su ciclo y finaliza un ciclo completo.

30

35

En cada caso, la ventaja consiste en que los niveles de referencia se seleccionan de manera tal que el cálculo de señal final continúe siendo simple.

En los esquemas que se muestran en las Figuras 11, 12A y 12B sólo hay un contador operativo en todo momento. Una forma de aparato alternativa para implementar estos esquemas es tener un único dispositivo de recuento que se utiliza en tiempo compartido para: (i) acumular un recuento de ciclos del reloj con fines de calibración; (ii) acumular un recuento de ciclos de reloj con fines de medición normales. Después de cada período de recuento (por ejemplo, los tiempos t1-t2 que se muestran en la Figura 11), el valor acumulado por el contador se transfiere a un registro, y el contador se reinicia para comenzar con el período de recuento siguiente (tiempos t2-t3). En el ejemplo de la Figura 11, hay un segundo período de recuento (tiempos t3-t4) durante el cual el recuento se retoma desde el valor acumulado en el tiempo t2. Esto se puede lograr ya sea: (i) transfiriendo el valor del registro nuevamente al contador y retomando el recuento desde ese valor en el tiempo t3; o (ii) comenzando de cero el recuento en el tiempo t3, y agregándole el valor del registro al valor acumulado por el contador en el tiempo t4. Con esta opción, los dos contadores 151, 152 que se muestran en las Figuras 7A y 7B se implementan por medio de un único dispositivo de recuento en tiempos compartidos.

40

45

Número reducido de ciclos de reloj (ADC de codificación dispersa)

50

En el caso de la conversión analógico-digital en un sensor de imagen, el ruido de la señal de entrada aumenta con una señal inducida por luz. Las señales oscuras tienen el ruido más bajo, las señales claras tienen más ruido y están típicamente caracterizadas por ruidos de descarga. La Figura 13 es un gráfico que muestra las fuentes de ruido más importantes (ruido de cuantificación y ruido de descarga) para los diferentes valores de señal (oscuros = 0 electrones, claros = 20.000 electrones). Se supone que para una conversión de 12 bits la señal de referencia

completa (4096 ciclos de reloj) se corresponde exactamente con la señal de carga máxima de electrones (FWC = 20.480 electrones). Como puede observarse, el ruido de cuantificación de la conversión analógico-digital es mucho menor que el ruido de descarga en la señal de entrada para señales más grandes (claras).

5 La Figura 14 muestra esquemáticamente un conversor que reduce el número de ciclos de reloj para la conversión, permitiendo ruidos de cuantificación mayores para señales más claras. En este ejemplo, la conversión se realiza en dos etapas: en una primera etapa, la conversión analógico-digital sin procesar se realiza para determinar en qué rango se localiza la señal. En este punto, no se intenta determinar con precisión el valor de señal. En la Figura 14, el rango de valores posibles que puede admitir una entrada está dividido en 4 rangos $[0, 1/8] \times (V_{ref1} - V_{ref2})$, $[1/8, 1/4] \times (V_{ref1} - V_{ref2})$, $[1/4, 1/2] \times (V_{ref1} - V_{ref2})$ o $[1/2, 1] \times (V_{ref1} - V_{ref2})$. En la segunda etapa, la conversión analógico-digital se realiza mediante una pendiente de rampa y de valores de referencia que coincidan con el rango en el que cae la señal (tal y como se determina durante el primer ciclo). En el ejemplo de la Figura 14, la señal de entrada V_{signal} se encuentra en el rango $[1/4, 1/2] \times (V_{ref1} - V_{ref2})$ y, por lo tanto, se selecciona la tercera pendiente con V_{ref1} y $(V_{ref1} + V_{ref2})/2$ como valores de referencia. No es necesario que la señal de rampa abarque el rango completo de valores de señal posibles. La señal de rampa solo necesita cubrir el rango de valores de señal posibles dentro del rango seleccionado. El valor final se obtiene de multiplicar el valor obtenido en la segunda etapa por el factor basado en el rango que se utilizó. Como ventaja, los rangos están relacionados por un factor de 2 entre sí (1, 2, 4, 8), puesto que simplifica el cálculo del valor final. Se gradúa el valor final: por un factor 1 para el rango $[0, 1/8] \times (V_{ref1} - V_{ref2})$; por un factor 2 para el rango $[1/8, 1/4] \times (V_{ref1} - V_{ref2})$; por un factor 4 para el rango $[1/4, 1/2] \times (V_{ref1} - V_{ref2})$; por un factor 8 para el rango $[1/2, 1] \times (V_{ref1} - V_{ref2})$. Debido a que estos factores de graduación son múltiplos de 2, el valor determinado por la segunda etapa de ADC sólo necesita cambiarse por el número de bits (0, 1, 2, 3 cambios de bits). La conversión se puede lograr en 512 ciclos de reloj en comparación con los 4096 ciclos de reloj si la señal de rampa fuera a abarcar el rango de señal completo. Como ventaja, el conversor ADC 210 es un conversor tal y como se describió anteriormente.

25 La señal de entrada que se muestra en la Figura 14 es V_{signal} , y es esta señal la que se compara con los cuatro rangos. El rango se puede determinar con mayor precisión aplicando la diferencia entre V_{reset} y V_{signal} al primer conversor ADC 200. Sin embargo, típicamente la variación V_{reset} no es tan grande y puede tolerarse siempre que la superposición de las señales de rampa sea suficiente en los puntos decisivos. En última instancia, es un diseño de compensación que depende de factores que incluyen: la variación V_{reset} , la superposición de la señal de rampa, y el número de bits en el primer ADC.

30 La Figura 15 muestra un conjunto de cuatro señales de rampa utilizado en el conversor 210 de la Figura 14, y cada rampa está asociada a uno de los cuatro rangos que se muestran para el ADC 200. De forma ventajosa, las pendientes tienen una proporción de 1, 2, 4 y 8 entre sí, puesto que coincide con la relación de los tres bits más significativos de un número binario. Sin embargo, se podrá apreciar que se pueden utilizar otros números de rangos (y de pendientes correspondientes), y que los rangos/pendientes no tienen que seguir la proporción que se describe en la presente. Las pendientes no tienen que corresponderse entre columnas, y el rango/pendiente seleccionado por el ADC de una columna puede diferir del rango/pendiente seleccionado por el ADC de otra columna. No es necesario que la conversión sin procesar en el ADC 200 sea muy precisa. El ADC puede ser un ADC flash, en el que un conjunto de comparadores compara la señal de entrada con una escala de diferentes niveles de voltaje de referencia. En el ADC 200 se pueden utilizar otros tipos de ADC, como ADC de rampa, ADC cíclico, etc.

40 La Figura 16 muestra un gráfico similar a la Figura 13 para una conversión de 12 bits que utiliza el esquema que se muestra en la Figura 14. La conversión es casi 8 veces más rápida (9 bits de tiempo de conversión). En este ejemplo, suponemos que la señal de referencia completa (4096 ciclos de reloj) corresponde exactamente a la señal de carga completa (FWC= 20.480 electrones). Como puede observarse, el ruido de cuantificación del ADC ahora es mayor, pero sigue siendo menor que el ruido de descarga en la señal de entrada para señales más grandes (claras).

45 En cada uno de los aspectos de la invención que se describen arriba, el conversor recibe dos señales de entrada analógicas y genera un valor digital, que es la diferencia entre esas señales de entrada. Las señales de entrada han sido descritas como señales de píxel V_{reset} , V_{signal} , pero para las señales de entrada hay otras posibilidades. En una alternativa, una de las señales de entrada analógica es la cantidad $(V_{reset} - V_{signal})$, una versión escalada de esta cantidad, o esta cantidad con una compensación, y la segunda de las señales de entrada analógica es una señal de referencia. Esto puede ser de utilidad por varios motivos, por ejemplo para cambiar el nivel de compensación de las señales de entrada para coincidir con el rango de entrada del ADC o para agregar rendimiento a la señal, lo que puede ser útil para cuestiones de rendimiento sonoro. Para evitar dudas, la señal V_{ref} que se muestra en la Figura 17 es distinta de las señales de referencia V_{ref1} , V_{ref2} utilizadas para calibrar el conversor. La Figura 17 muestra un circuito de entrada que se puede utilizar con un conversor de cualquiera de las realizaciones descritas anteriormente. Las señales V_{reset} y V_{signal} se aplican secuencialmente como la señal de entrada $V_{entrada}$ de un amplificador diferencial 80. Cuando V_{reset} se aplica como la señal $V_{entrada}$, se cierra el interruptor de reinicio del bucle de retroalimentación. En la salida del amplificador 80, el valor de señal es igual a $V_{ref} + V_{compensación}$ del amplificador. Se obtienen muestras del valor por medio de un interruptor de un primer capacitor de muestra después de que el interruptor de reinicio se libera y forma la señal V_1 . Esto también ofrece la muestra del ruido kTC del amplificador

capacitivo. Luego, la señal de píxel V_{signal} (inducida por medio de luz) se aplica a la entrada. El nivel de señal de salida del amplificador luego se convertirá aproximadamente en $V_{\text{ref}} + V_{\text{compensación}} + C2/C1 * (V_{\text{reset}} - V_{\text{signal}})$, si se desestima la contribución de ruido kTC. Esto se discontinúa en el otro capacitor y se convierte en la señal analógica V_2 . Las dos señales de los capacitores luego se utilizan como las dos entradas de señal al ADC. Típicamente, la falta de uniformidad de $V_{\text{compensación}}$ entre columnas se hace mucho menor que la falta de uniformidad entre píxeles de V_{reset} , por lo que este circuito también realiza una corrección de un primer RPF (ruido de patrón fijo) analógico y esto también permite reducir el giro de rampa para la conversión de referencia.

En otro aspecto de la invención, el conversor analógico-digital es un conversor autónomo que no forma parte de un conjunto de conversores. El conversor tiene la forma que se muestra en la Figura 7A, con un reloj local 110, un generador de señal de referencia local 140 que genera un par de niveles de referencia de CC V_{ref1} , V_{ref2} , y un generador de rampa local 120, que emite una señal de rampa. Las señales de referencia se comparan con la señal de rampa y, por lo tanto, definen un período entre los tiempos cuando la señal de rampa cruza los niveles de señal de referencia, que pueden medirse con un primer contador. Se utiliza un segundo contador para medir una diferencia entre los tiempos en los que la señal de rampa cruza las señales de prueba. El recuento acumulado por el primer contador puede utilizarse para calibrar la precisión del conversor y corregir el recuento acumulado por el segundo contador.

La invención no se limita a las realizaciones que se describen en la presente, las cuales pueden ser modificadas o alteradas sin apartarse del alcance de la invención.

REIVINDICACIONES

- 5
1. Un aparato de conversión analógico-digital (10) que comprende un conjunto de conversores analógico-digitales dispuestos en paralelo, en donde cada uno de los conversores del conjunto se encarga de generar un valor digital de salida equivalente a la diferencia entre dos señales analógicas, comprendiendo cada uno de los conversores:
- al menos una entrada para recibir una primera señal analógica y una segunda señal analógica;
- una entrada para recibir una señal de rampa;
- un generador de reloj (110) que está dispuesto para generar una señal de reloj caracterizado porque la señal de reloj está dedicada al conversor o a un subconjunto de conversores del conjunto de conversores;
- 10 un primer contador (151) que funciona para acumular un recuento de ciclos de reloj cuando está activado;
- una etapa de control (130) que está dispuesta para activar el primer contador, basada en una comparación de la señal de rampa con la primera y la segunda señal analógica.
- 15
2. Un aparato de acuerdo con la reivindicación 1, que además comprende:
- una entrada para recibir al menos una señal de referencia que es común para todo el conjunto de conversores;
- un segundo contador que funciona para acumular un recuento de ciclos del reloj cuando está activado;
- y en donde la etapa de control además está dispuesta para activar el segundo contador, en base a al menos una señal de referencia.
- 20
3. Un aparato de acuerdo con la reivindicación 2 en donde la entrada para recibir al menos una señal de referencia está dispuesta para recibir una primera y una segunda señal de referencia que son comunes para el conjunto de conversores;
- y en donde la etapa de control está dispuesta para activar el segundo contador, basada en una comparación de la señal de rampa con al menos la primera y la segunda señal de referencia.
- 25
4. Un aparato de acuerdo con la reivindicación 3 en donde la primera y la segunda señal de referencia son las señales de CC.
5. Un aparato de acuerdo con la reivindicación 2 en donde al menos una señal de referencia comprende una señal de activación para el primer contador, siendo la señal de activación común para el conjunto de conversores.
- 30
6. Un aparato de acuerdo con cualquiera de las reivindicaciones 2 a 5, que además comprende una lógica que está dispuesta para utilizar el valor acumulado por el segundo contador para calibrar el valor acumulado por el primer contador.
- 35
7. Un aparato de acuerdo con la reivindicación 6, en el que la lógica está dispuesta para calcular la proporción del valor acumulado por el primer contador y el valor acumulado por el segundo contador.
8. Un aparato de acuerdo con cualquiera de las reivindicaciones 2 a 7, en donde la etapa de control está dispuesta para activar el primer y el segundo contador en diferentes porciones de un ciclo de la señal de rampa.
- 40
9. Un aparato de acuerdo con la reivindicación 8, que además comprende una lógica que está dispuesta para calcular una proporción del valor acumulado por el primer contador y la suma de valores acumulados por el primer y el segundo contador.
- 45
10. Un aparato de acuerdo con cualquiera de las reivindicaciones 2 a 9, en donde la etapa de control está dispuesta para activar el segundo contador con una frecuencia menor a la de la etapa de control que está dispuesta para activar el primer contador.
11. Un aparato de acuerdo con cualquiera de las reivindicaciones de 2 a 10, que comprende un único dispositivo de recuento dispuesto para ser utilizado bajo un sistema de tiempo compartido, como primer y segundo contador.

12. Un aparato de acuerdo con cualquiera de las reivindicaciones anteriores, que además comprende un generador de rampa para generar la señal de rampa, en donde el generador de rampa está dedicado al convertor o a un subconjunto de convertidores en el conjunto de convertidores.
- 5 13. Un aparato de acuerdo con cualquiera de las reivindicaciones anteriores en forma de etapa de procesamiento para procesar una potencia de salida de un píxel, o de un grupo de píxeles, de una matriz de píxel, y en donde:
- las señales analógicas son un nivel de reinicio de un píxel y un valor de señal de los píxeles después de ser expuestos a radiación; o
- 10 las señales analógicas son una diferencia entre un nivel de reinicio de un píxel y un valor de señal del píxel después de ser expuestos a radiación y a una señal de referencia.
14. Un aparato de acuerdo con cualquiera de las reivindicaciones anteriores y una matriz de píxel que comprende una matriz de píxeles, en donde cada conjunto de convertidores analógico-digital está asociado a un píxel o a un grupo de píxeles de la matriz.
- 15 15. Un método de conversión analógico-digital en un aparato de conversión analógico-digital que comprende un conjunto de convertidores analógico-digitales dispuestos en paralelo, comprendiendo el método, en cada convertor, generar un valor digital de salida equivalente a la diferencia entre dos señales analógicas:
- recibiendo una primera señal analógica y una segunda señal analógica;
- recibiendo una señal de rampa;
- 20 generando una señal de reloj, estando la señal de reloj dedicada al convertor o a un subconjunto de convertidores en el conjunto de convertidores;
- determinando un primer recuento de ciclos de la señal de reloj durante un período que se basa en una comparación de la señal de rampa con la primera y la segunda señal analógica.

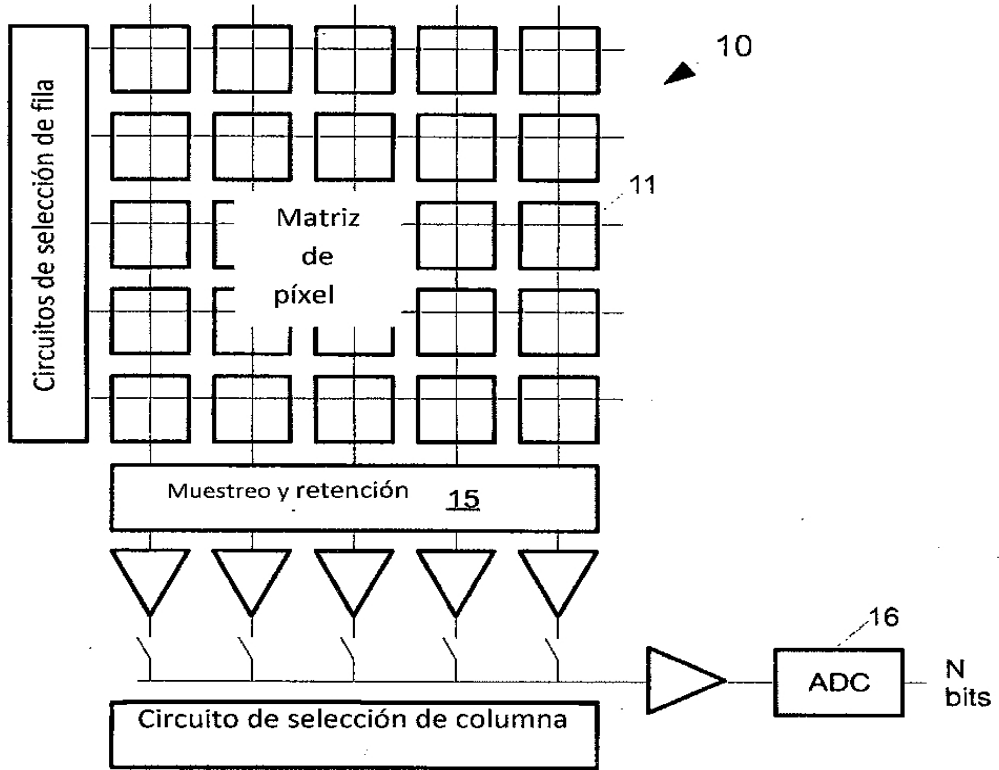


Fig. 1 (técnica anterior)

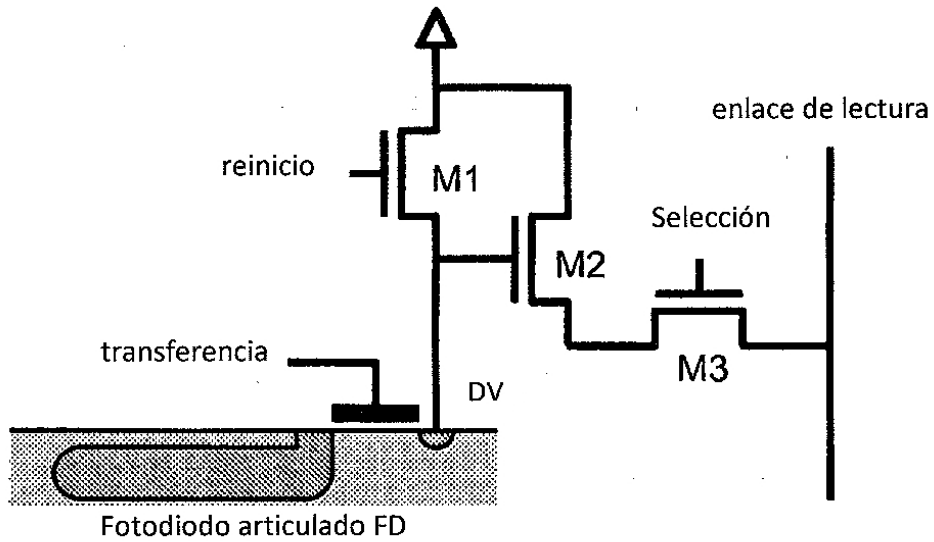


Fig. 2 (técnica anterior)

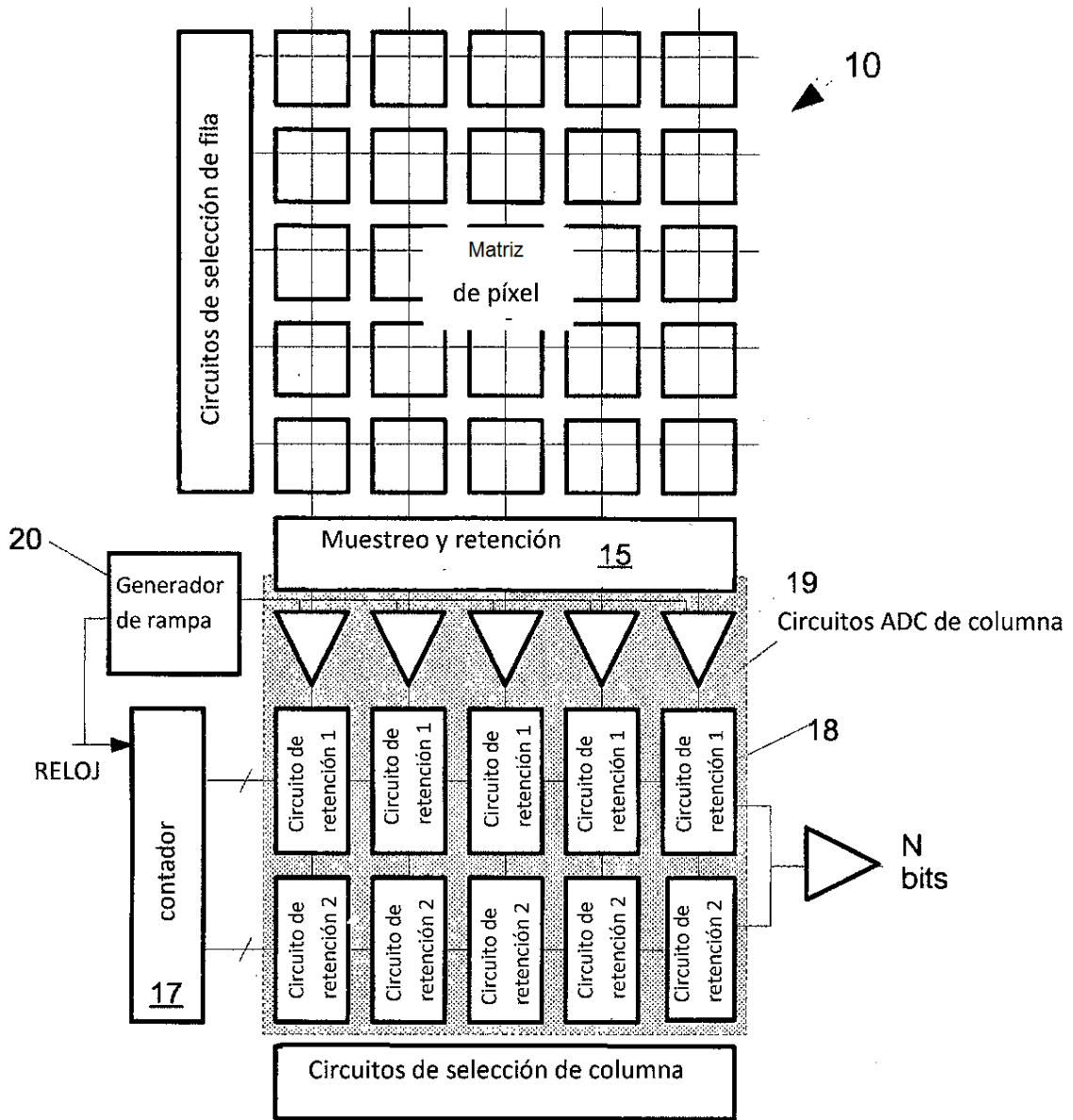


Fig.3 (técnica anterior)

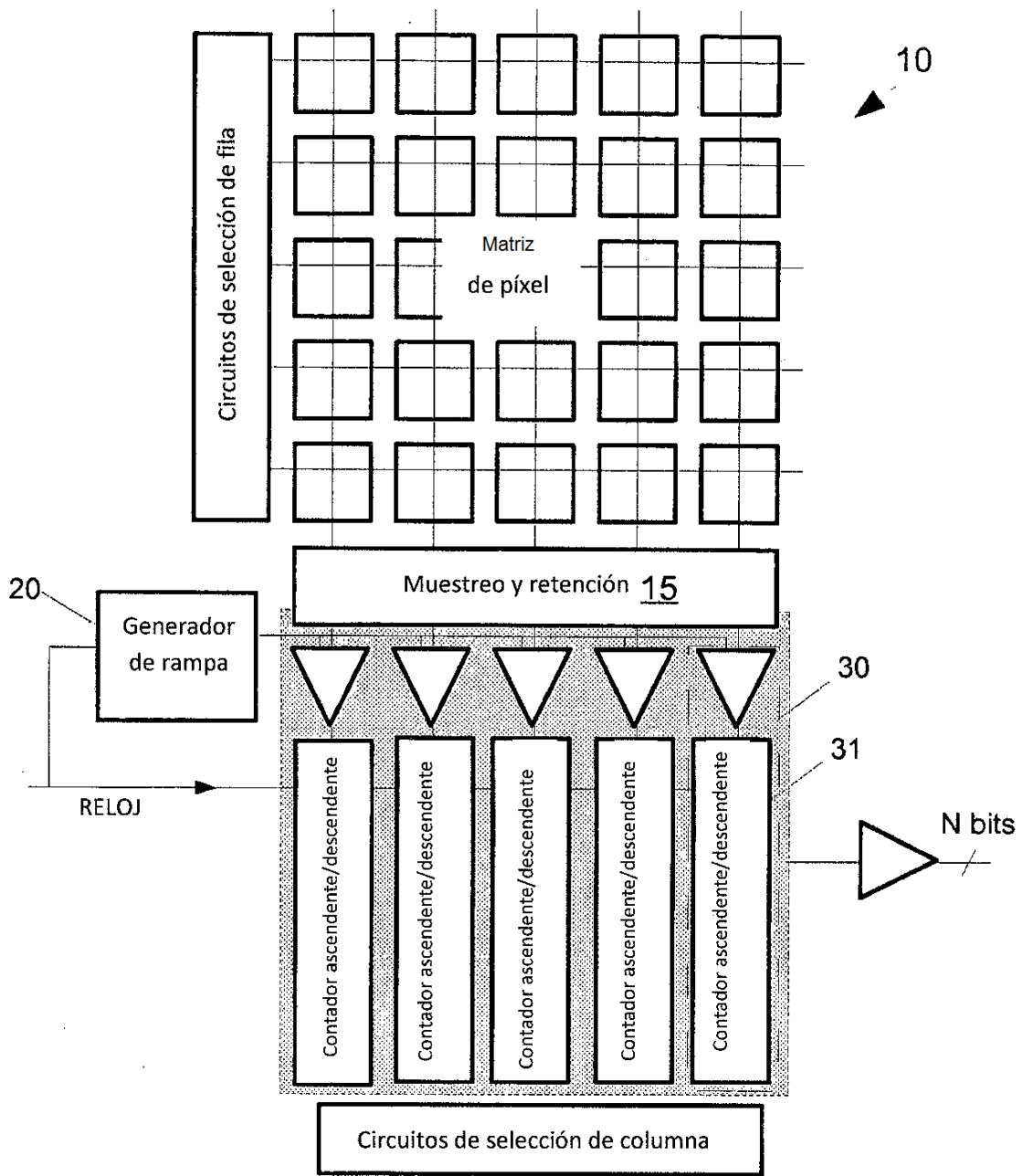


Fig. 4
(técnica anterior)

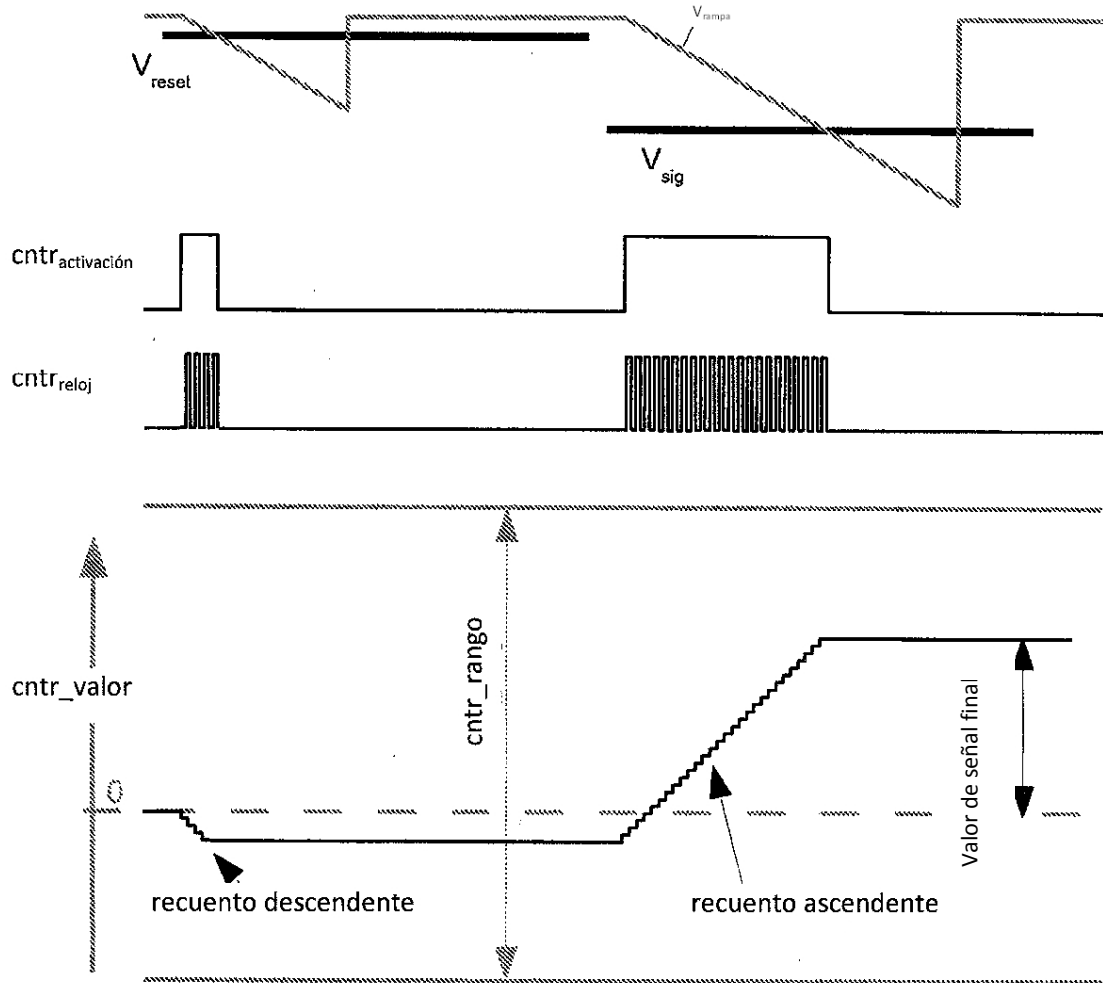


Fig. 5
(técnica anterior)

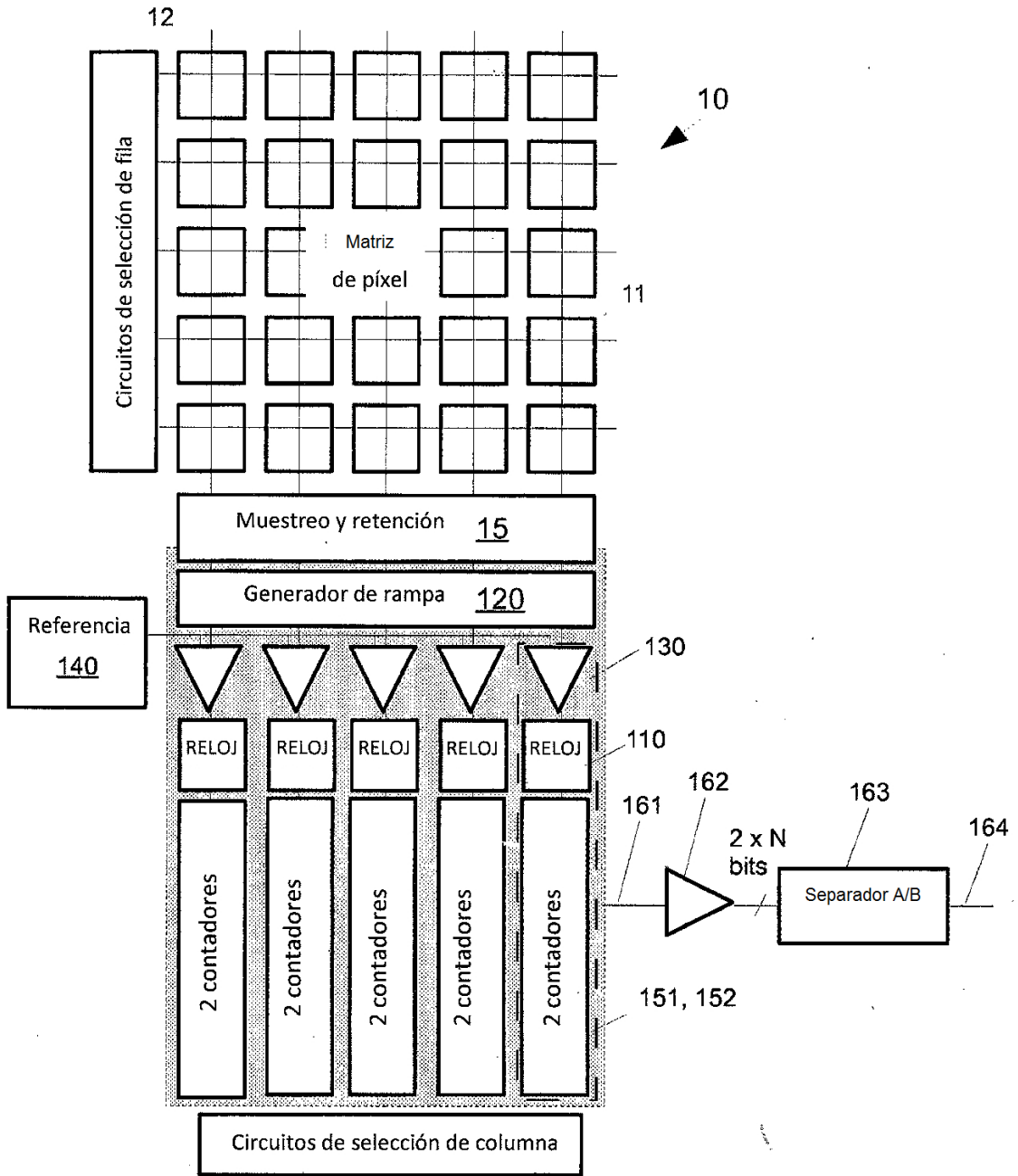


Fig. 6

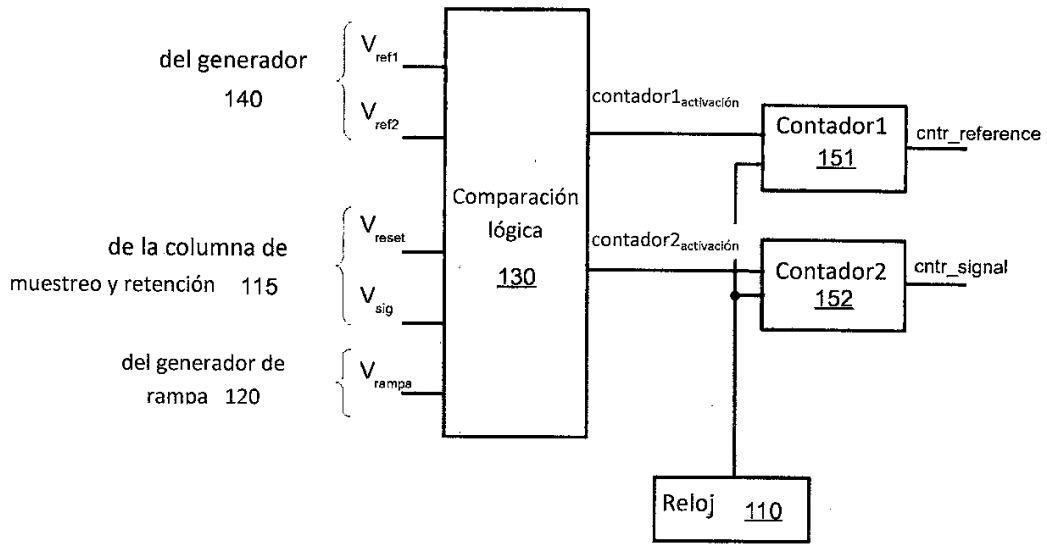


Fig. 7A

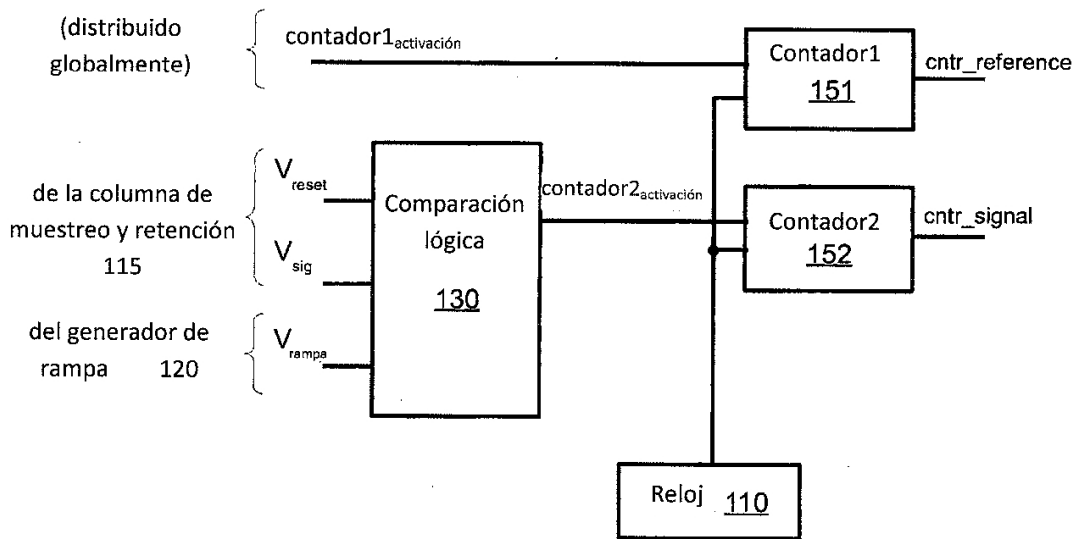
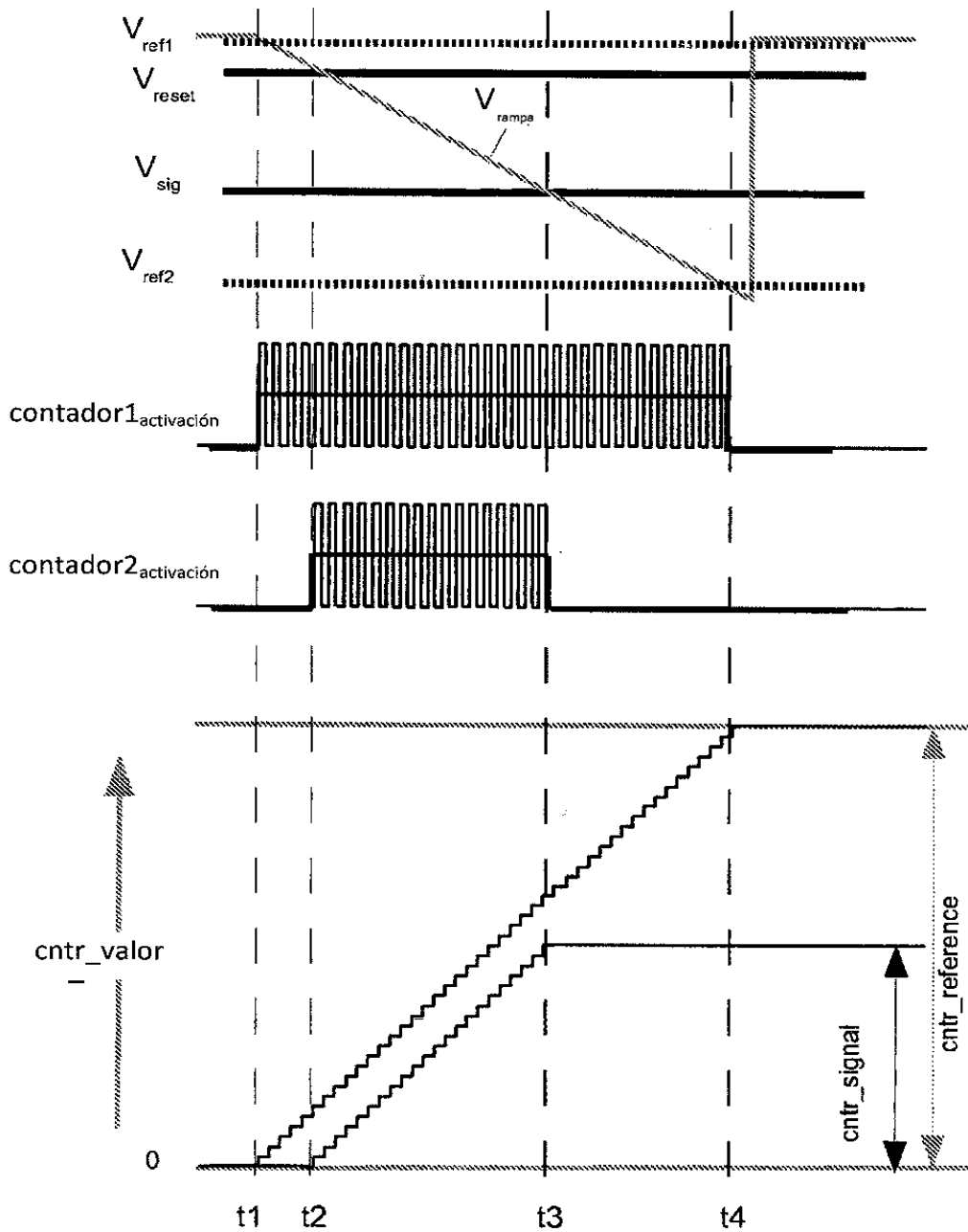


Fig. 7B



Valor de señal final $value = \frac{cntr_signal}{cntr_reference}$

Fig. 8A

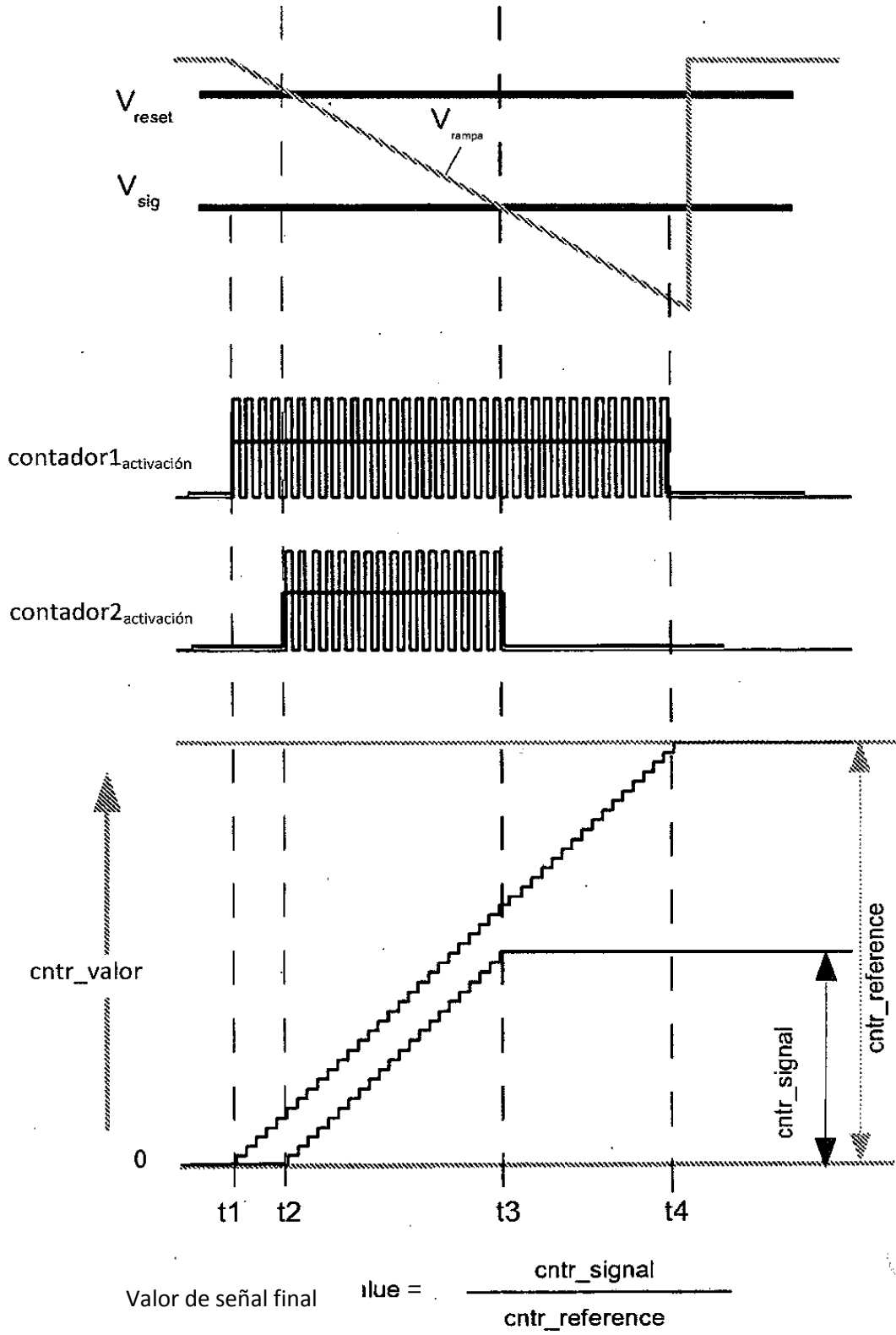


Fig. 8B

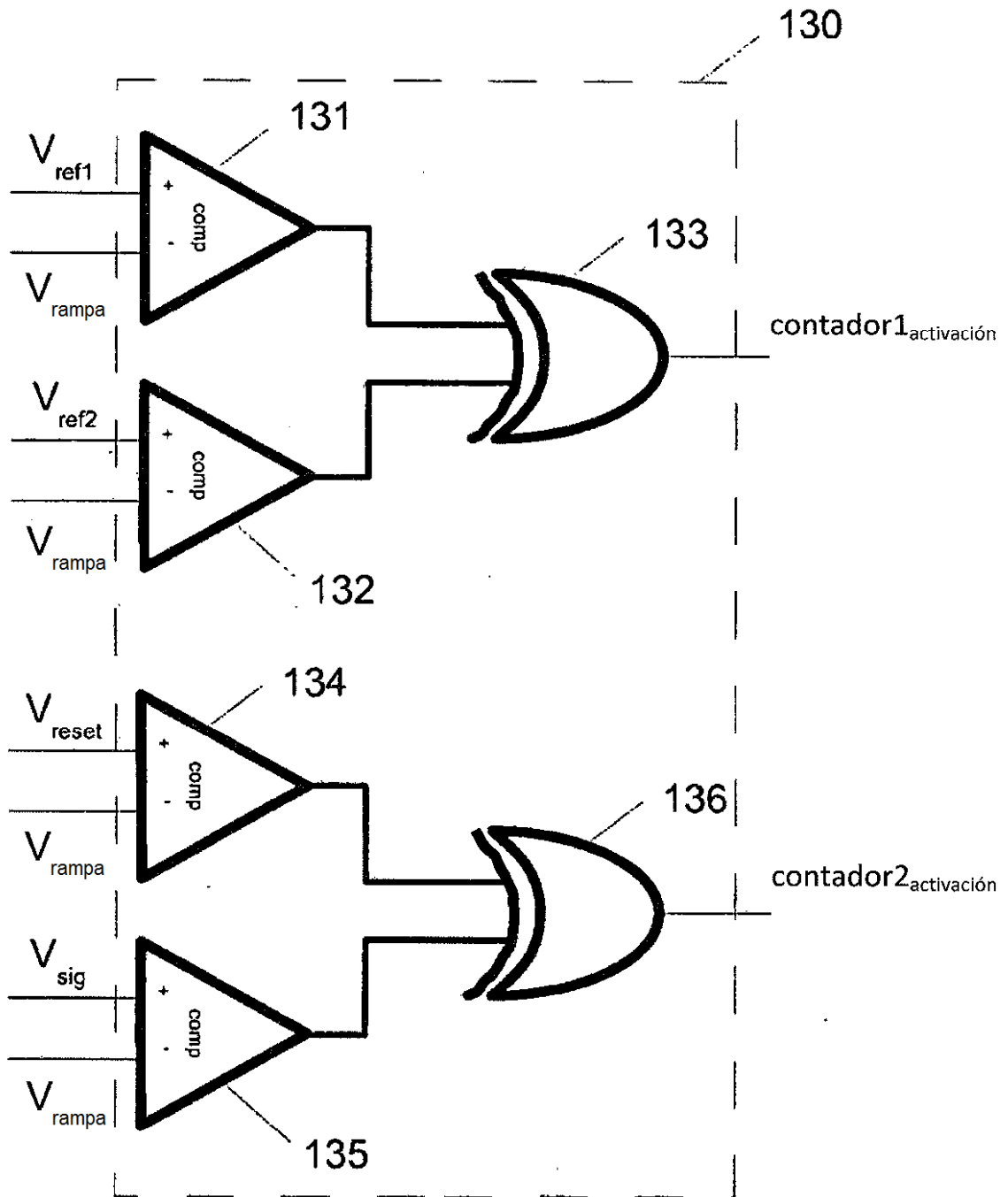


Fig. 9

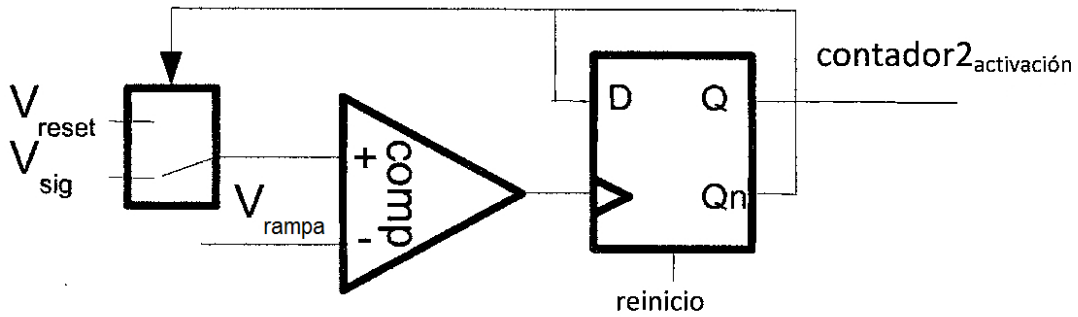
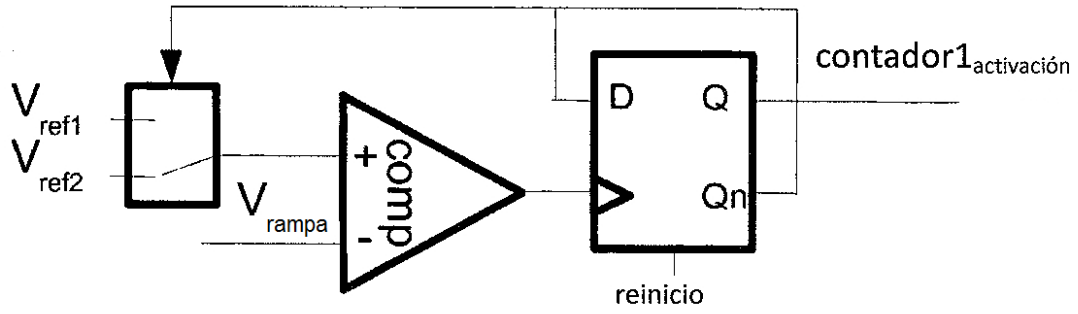


Fig. 10A

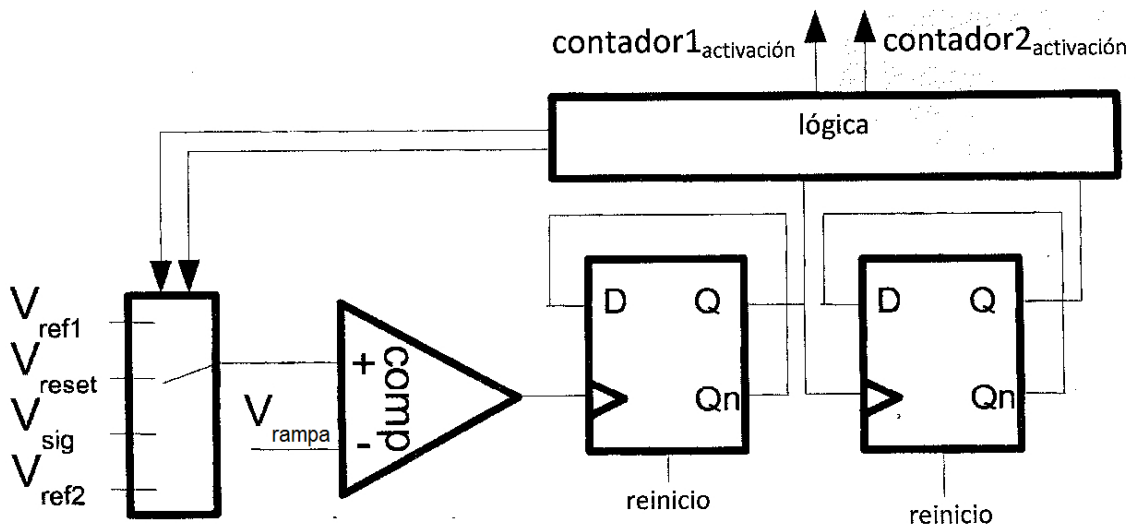


Fig. 10B

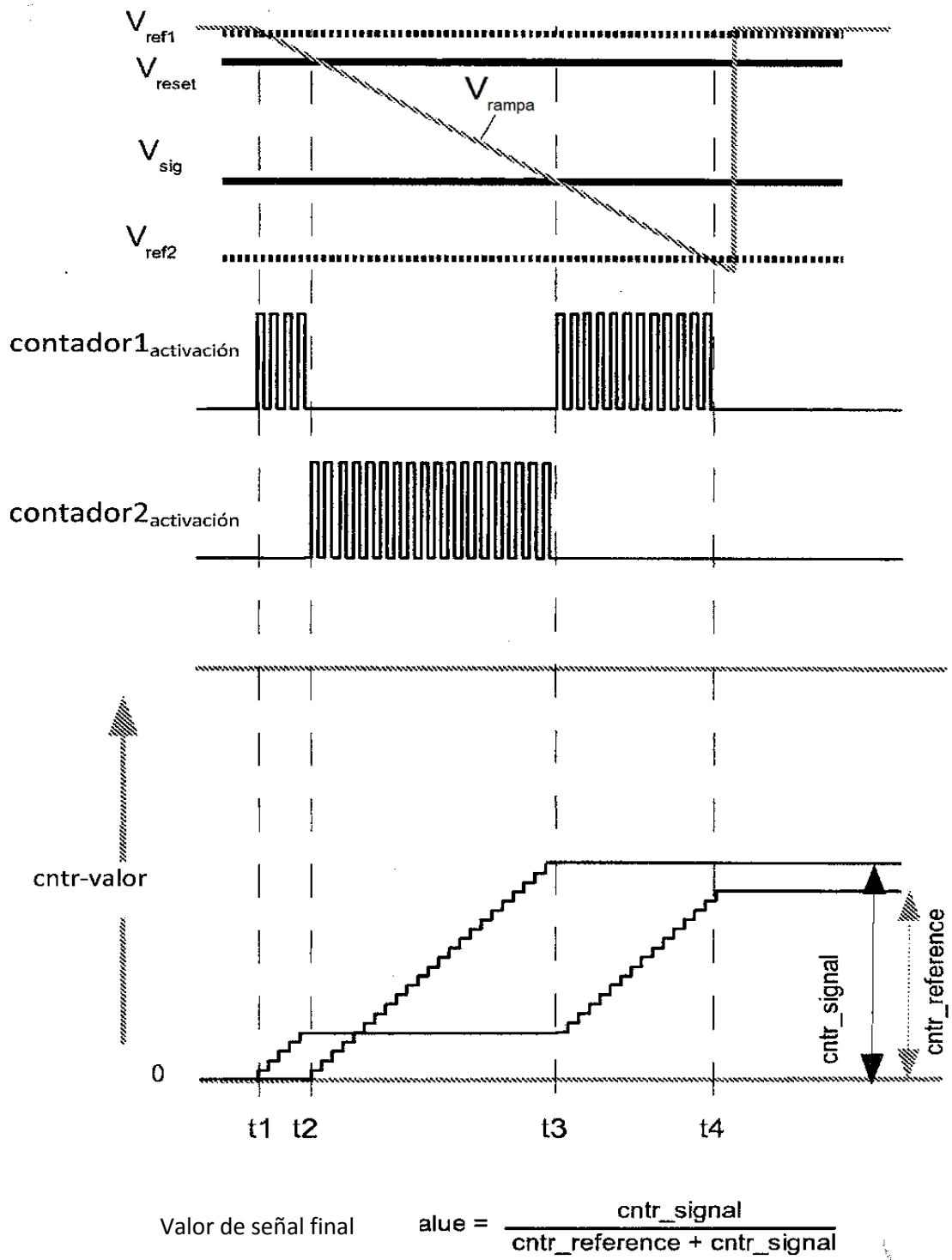
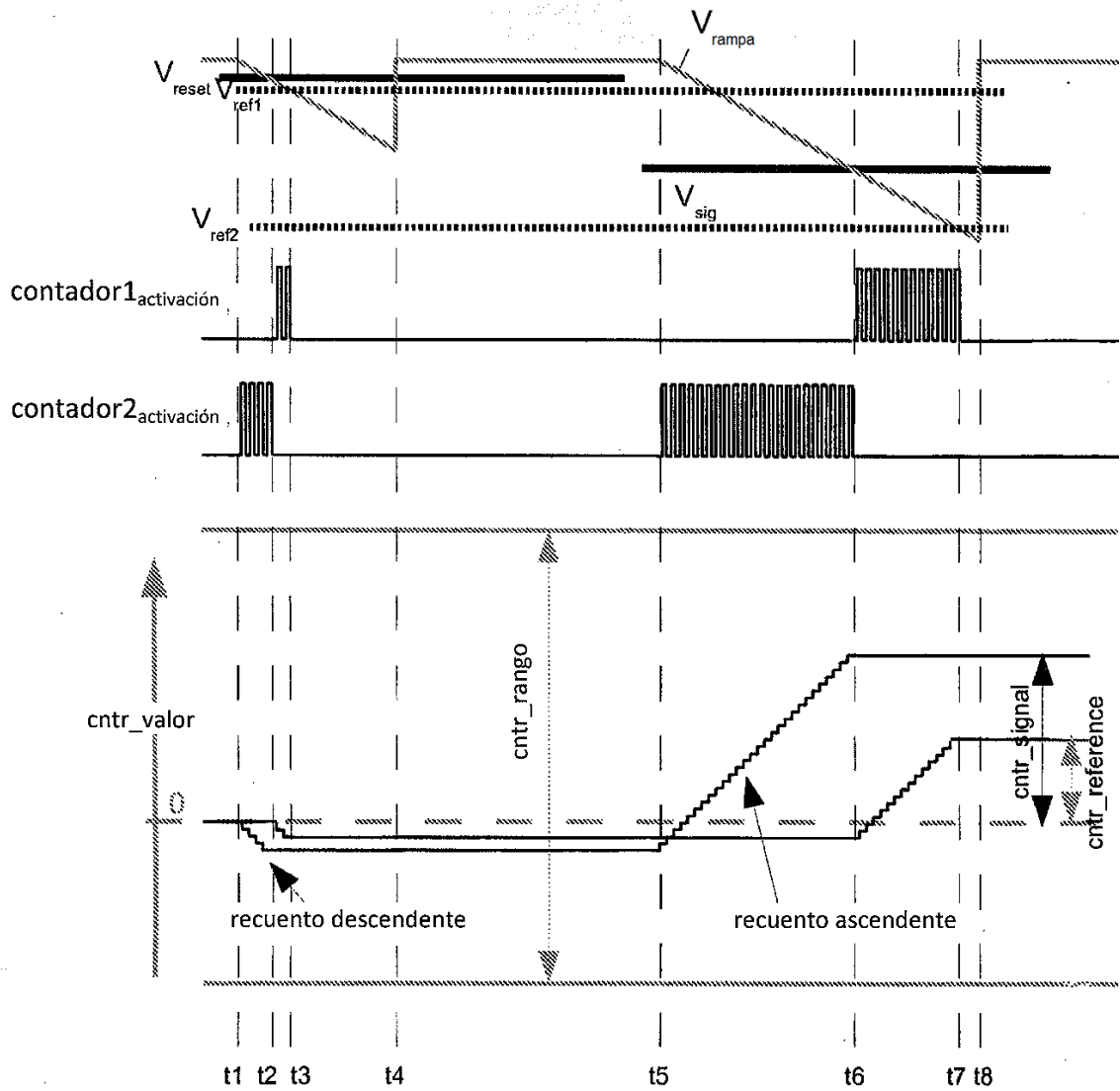
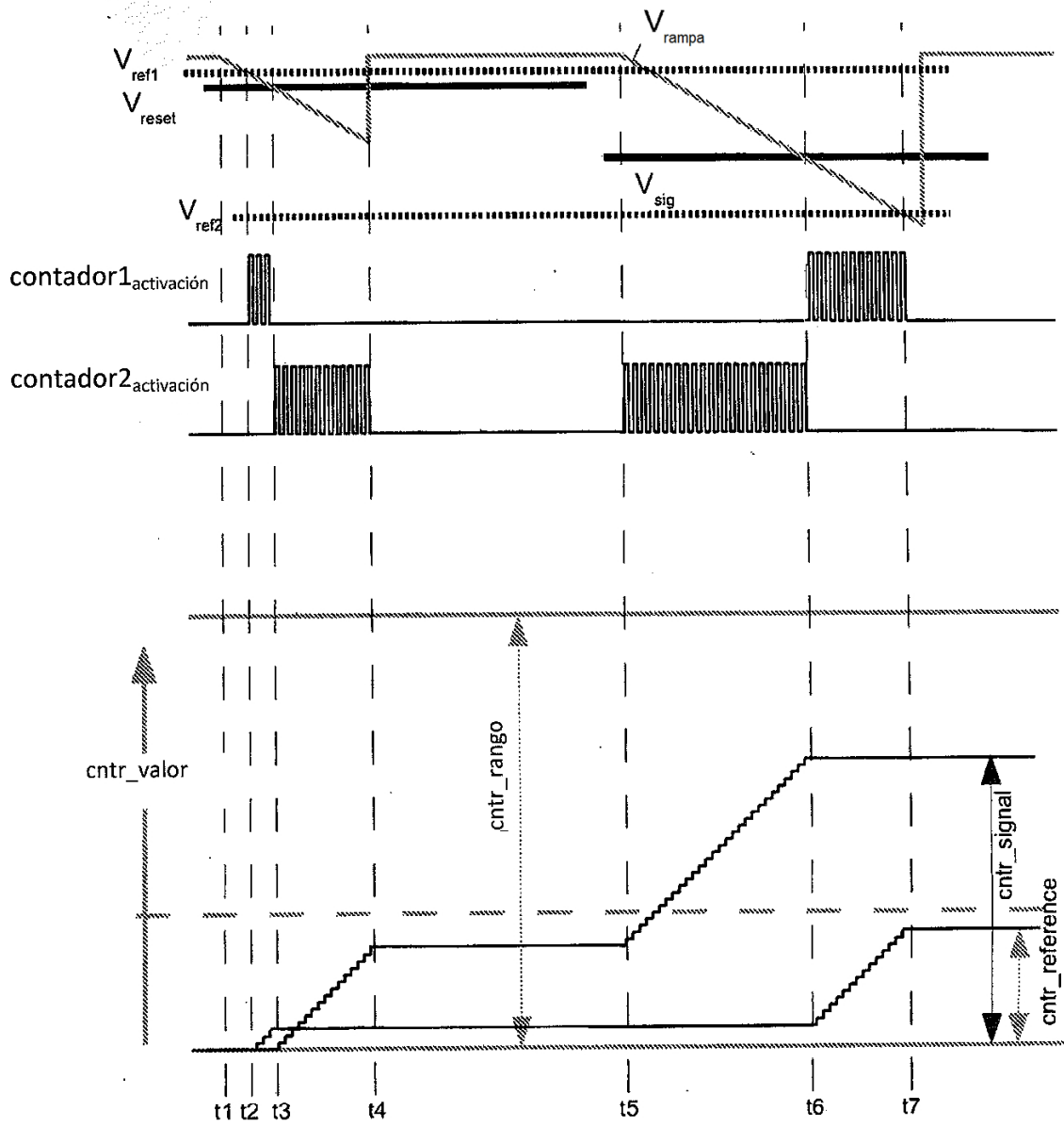


Fig. 11



Valor de señal final $value = \frac{cntr_signal}{cntr_reference + cntr_signal}$

Fig. 12A



Valor de señal final $value = \frac{cntr_signal}{cntr_reference + cntr_signal}$

Fig. 12B

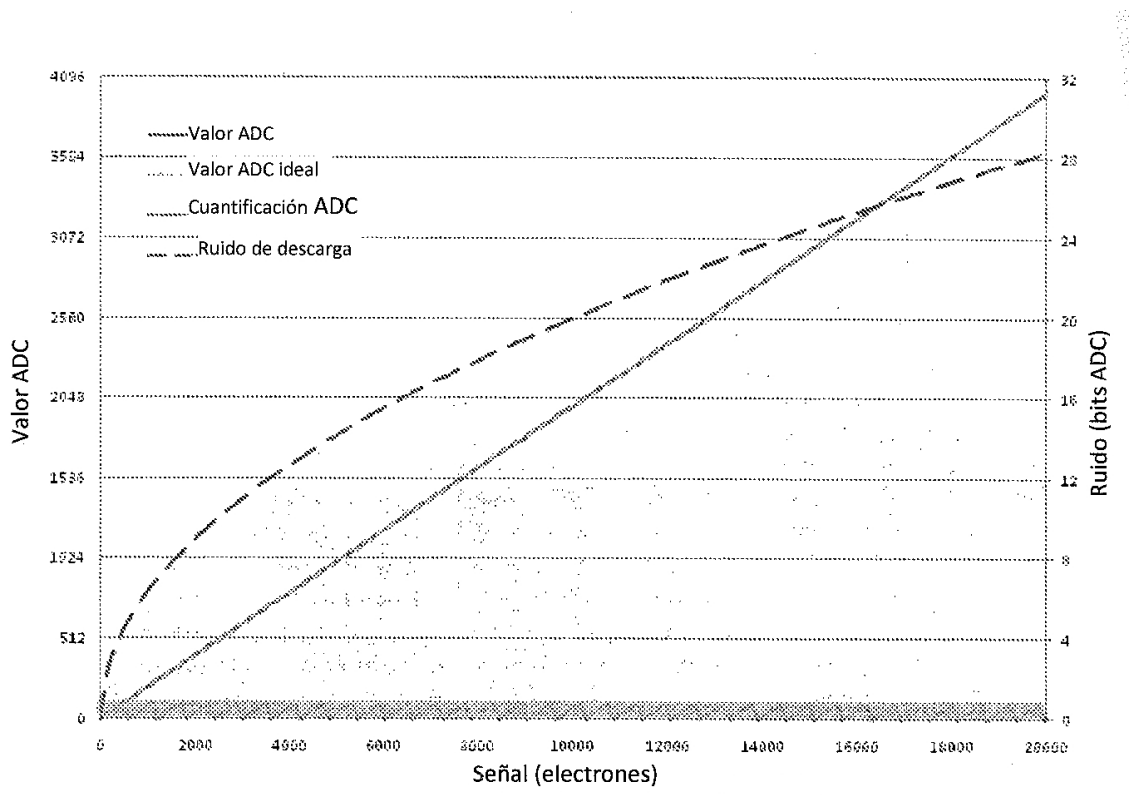


Fig. 13

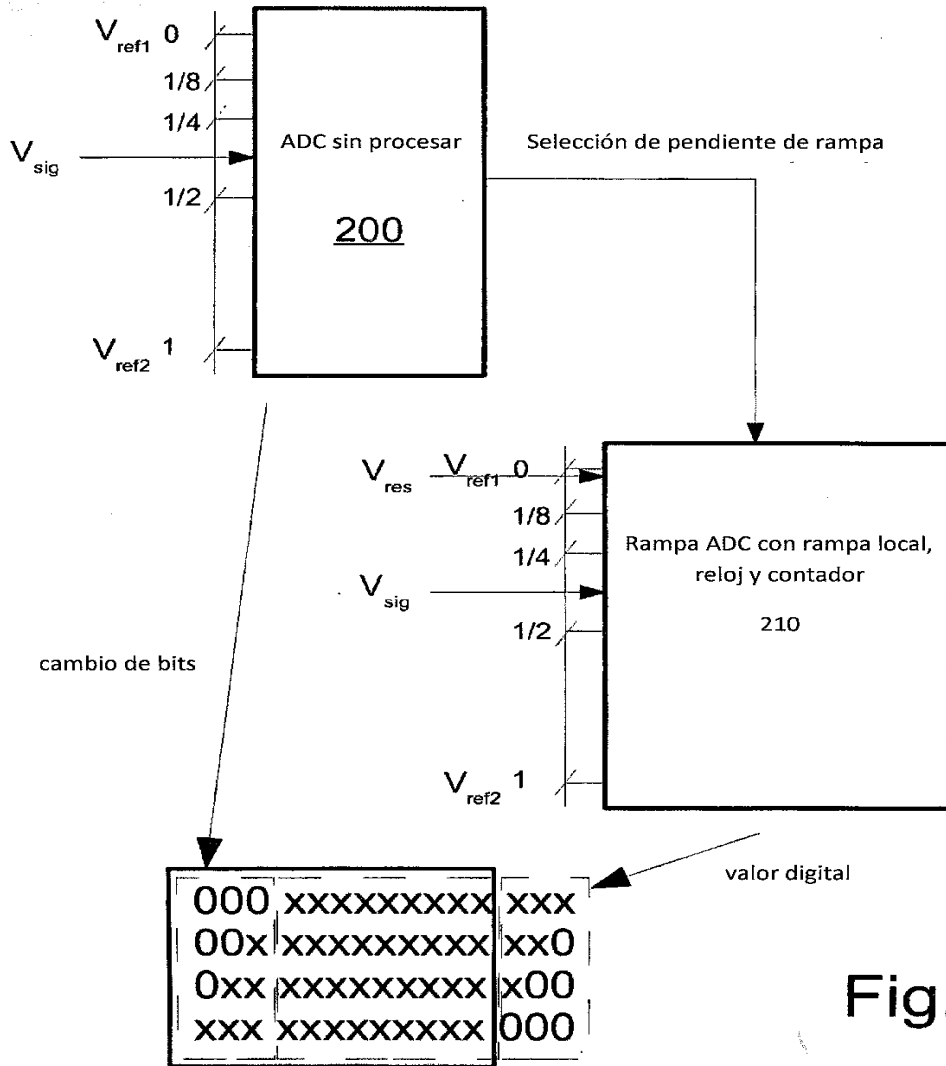


Fig. 14

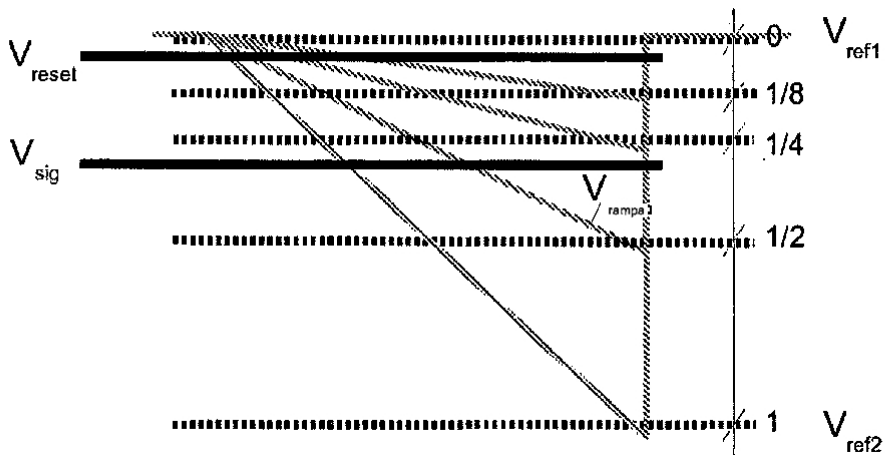


Fig. 15

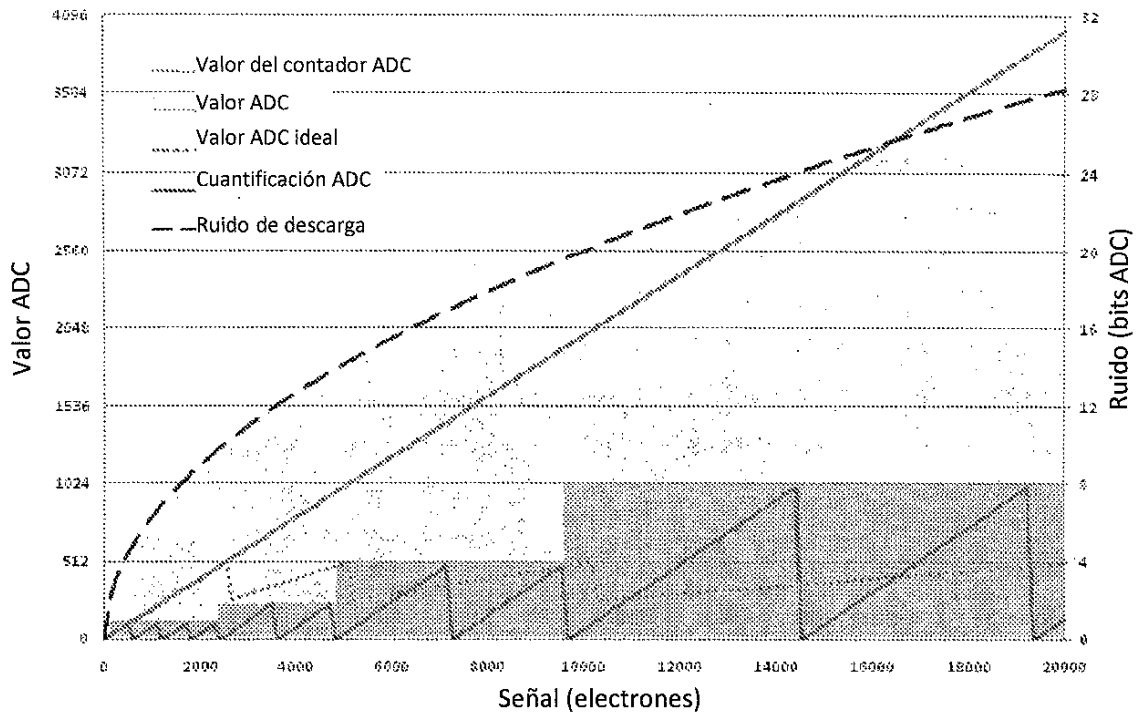


Fig. 16

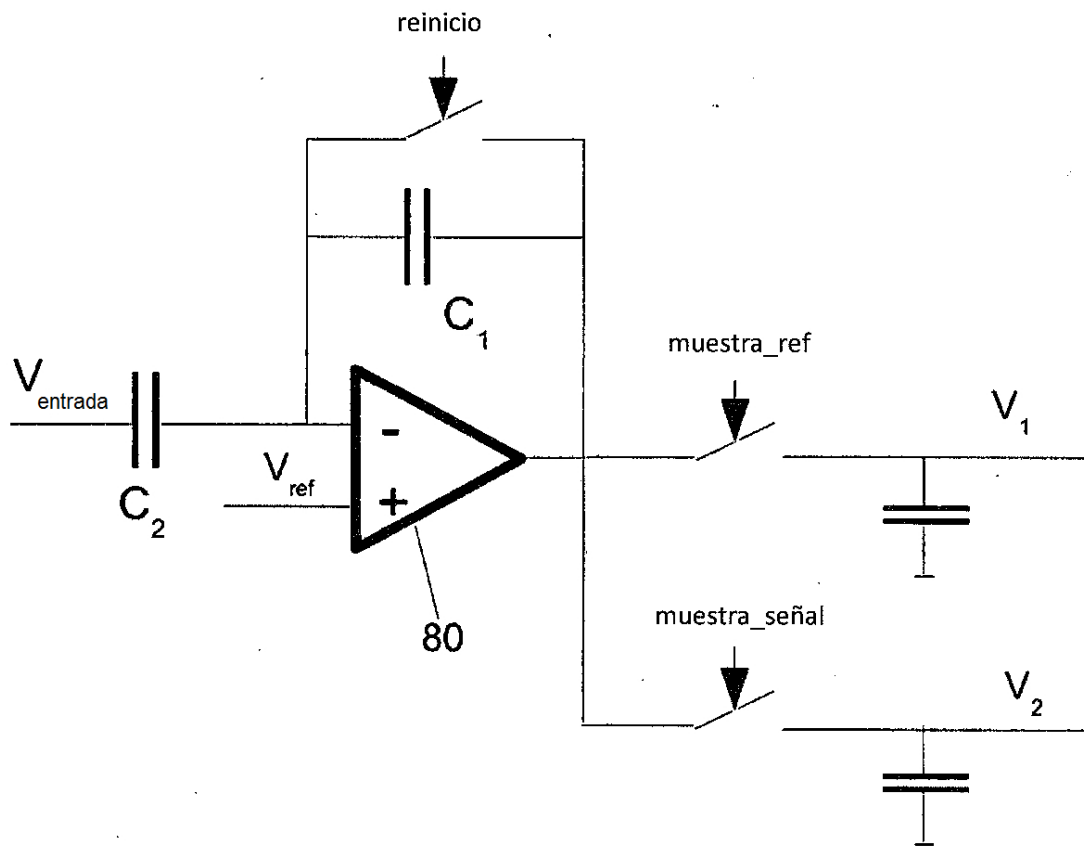


Fig. 17