

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 487 819**

51 Int. Cl.:

G11C 7/10 (2006.01)

G11C 11/4096 (2006.01)

G06F 12/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **27.09.2012 E 12186309 (6)**

97 Fecha y número de publicación de la concesión europea: **18.06.2014 EP 2575134**

54 Título: **Dispositivo semiconductor**

30 Prioridad:

29.09.2011 JP 2011214450

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

25.08.2014

73 Titular/es:

**PS4 LUXCO S.A.R.L. (100.0%)
208 Val des Bons Malades
2121 Luxembourg, LU**

72 Inventor/es:

**SHIDO, TAIHEI;
DONO, CHIAKI;
KONDO, CHIKARA y
MIYAZAKI, SHINYA**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 487 819 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo semiconductor

Antecedentes de la invención**Campo de la invención**

- 5 La presente invención se refiere a un dispositivo semiconductor y, más en particular, a un dispositivo semiconductor que realiza un control de órdenes en ráfagas (BOC) y una inversión de bus de datos (DBI). La presente invención también se refiere a un sistema de procesamiento de datos que incluye un dispositivo semiconductor de este tipo.

Descripción de la técnica relacionada

- 10 El documento US 2005/152210 A1 divulga un dispositivo de memoria de acceso aleatorio dinámica de doble velocidad de datos (DRAM de DDR) que puede funcionar en unos modos de DDR dobles por medio de un circuito de selección de modos que está configurado para habilitar un modo de funcionamiento de doble velocidad de datos (DDR) 1 para la DRAM de DDR o un modo de funcionamiento de DDR2 para la DRAM de DDR.

- 15 El documento de patente US 6.463.003 B2 divulga un esquema de ahorro de potencia para una implementación de modo en ráfaga durante la lectura de datos a partir de un dispositivo de memoria con el fin de mejorar la potencia que se consume mediante la inversión de conjuntos de datos siempre que una mayoría de los datos cambia de estados de conjunto a conjunto y mediante la inclusión de una salida separada que indica si los datos que se están accionando están invertidos. En este procedimiento, los datos presentes se comparan con unos datos previamente seleccionados para determinar si la mayoría de los datos actualmente seleccionados ha cambiado con respecto a los datos previamente seleccionados. Adicionalmente, los presentes datos seleccionados se retardan y, a continuación, se someten a una función de XOR lógico con la determinación de mayoría en lo que antecede. En una última etapa, los datos que se someten a la función de XOR lógico y la determinación de mayoría se conducen por separado a unos elementos externos que solicitan los presentes datos.

- 25 El documento US7405981 B2 divulga una unidad de circuito para la inversión de bits de datos de una RAM síncrona de doble velocidad de datos que tiene una unidad de inversión que emite un artículo de datos adyacente invertido o no invertido del descodificador asociado dependiendo del indicador de inversión corregido del descodificador.

- 30 La norma DDR3, la norma dominante de la memoria de acceso aleatorio dinámica (DRAM), y la norma de DDR4 de la siguiente generación, usan una tecnología denominada BOC para un acceso aleatorio adecuado. Por ejemplo, mediante el BOC con una longitud de ráfaga de ocho, el orden de salida de los ocho bits de los datos leídos que van a emitirse de forma consecutiva a partir de un terminal de entrada / salida de datos se reordena de acuerdo con tres bits de la dirección de columna Y0, Y1 e Y2 que se introducen a partir de un controlador externo. De este modo, el controlador externo puede extraer los fragmentos de los datos almacenados en las células de memoria en un orden deseado. El BOC no se aplica a los datos de escritura. La solicitud de patente de Japón abierta a inspección pública con N° H06-290582 divulga un ejemplo de BOC.

- 35 Se espera que la norma de DDR4 incluya una tecnología adicional denominada DBI. De acuerdo con la tecnología de DBI, ocho bits (DQ0 a DQ7) de los datos leídos que van a emitirse de forma simultánea están todos invertidos si cinco o más de los ocho bits son "0". Debido a que "1" consume menos potencia que "0" para la transmisión, la DBI puede emplearse para reducir el consumo de potencia. Mediante la DBI, un bit de los datos de DBI, que indica si ocho bits de los datos leídos están invertidos, se emite con los ocho bits de los datos leídos. Los datos de DBI se emiten a través de un terminal dedicado (el terminal de DBI) que se proporciona por separado de los terminales de entrada / salida de datos para emitir los datos leídos. La DBI también se aplica a los datos de escritura. En el momento de la escritura, la DRAM realiza un procesamiento interno para restaurar bits invertidos en base a la entrada de datos de DBI a partir del controlador. La patente de los Estados Unidos con N° 7405981 divulga un ejemplo general de DBI diferente del de las especificaciones de la norma de DDR4.

- 45 Una DRAM de DDR4 incluye un circuito de BOC y un circuito de DBI para implementar el BOC y la DBI anteriores, de manera respectiva. En el momento de la lectura, 64 bits de los datos leídos que se leen a partir de la matriz de memoria se suministran inicialmente al circuito de DBI a través de un bus de lectura / escritura RWBUS_ARAY que incluye 64 líneas de bus. El circuito de DBI invierte los 64 bits suministrados de los datos leídos cuando se necesita, y emite el resultado al circuito de BOC con ocho bits adicionales de los datos de DBI. El circuito de BOC reordena el orden de salida de a total de 72 bits de datos, incluyendo los 64 bits de los datos leídos y los ocho bits de los datos de DBI, de acuerdo con la dirección de columna Y0, Y1 e Y2. El circuito de BOC emite el resultado a un circuito de entrada / salida de datos a través de un bus de lectura / escritura RWBUS_DQ y un bus de lectura / escritura RWBUS_DBI.

- 55 De acuerdo con una configuración de este tipo, es necesario que el circuito de BOC se proporcione para cada uno de nueve terminales de salida, incluyendo ocho terminales de entrada / salida de datos y el terminal de DBI. Dicho de otra forma, son necesarios nueve circuitos de BOC. Debido a que los circuitos de BOC incluyen un gran número de puertas de transferencia, la provisión de tantos como nueve circuitos de BOC (el noveno circuito de BOC)

aumenta el área de circuito. Así mismo, el consumo de potencia más elevado también necesita de una reducción de los circuitos de BOC.

Sumario

5 Se proporciona un dispositivo semiconductor que incluye: una pluralidad de primeras líneas de datos que transmiten una pluralidad de primeros bits de datos; una pluralidad de segundas líneas de datos que transmiten una pluralidad de segundos bits de datos; una pluralidad de terceras líneas de datos que transmiten una pluralidad de terceros bits de datos; un circuito de control de órdenes en ráfagas, BOC, que convierte los primeros bits de datos en los segundos bits de datos mediante el reordenamiento del orden de los primeros bits de datos en base a una información de dirección; un circuito de inversión de bus de datos, DBI, que convierte los segundos bits de datos en los terceros bits de datos mediante la realización de la inversión o la no inversión en el nivel lógico de cada uno de los segundos bits de datos en base a una regla previamente determinada; y un circuito de salida que emite los terceros bits de datos en serie a una pluralidad de terminales de datos.

Breve descripción de los dibujos

15 la figura 1 es un diagrama esquemático para explicar una realización de la presente invención;
la figura 2A muestra 64 bits de los datos leídos DQ [63:0] que se precapturan a partir de las células de memoria en la matriz de memoria 11 que se muestra en la figura 1 y se envían al bus de datos drwbus_in [63:0] que se muestra en la figura 1 uno a uno;
la figura 2B es un diagrama que muestra un ejemplo de reordenamiento mediante el circuito de BOC 17 que se muestra en la figura 1;
20 la figura 3A muestra un ejemplo específico de los datos leídos DQ [63:0] que se suministran al circuito de DBI 18 que se muestra en la figura 1;
la figura 3B muestra el estado después de la inversión de los datos leídos DQ [63:0] que se muestra en la figura 3A mediante el circuito de DBI 18 que se muestra en la figura 1;
25 la figura 4 es un diagrama de bloques que muestra la configuración de un dispositivo semiconductor 1 de acuerdo con la realización preferida de la presente invención;
la figura 5 es una vista en planta del dispositivo semiconductor 1 que se muestra en la figura 4;
la figura 6 es un diagrama de bloques que muestra la configuración interna de una parte del circuito de control central 2 que se muestra en la figura 5;
30 la figura 7 es un diagrama de circuitos del circuito de control de RWBUS 16 que se muestra en la figura 6;
la figura 8 es un diagrama de circuitos del circuito de BOC 17-0 que se muestra en la figura 6;
la figura 9 es un diagrama de circuitos del circuito que genera la información de dirección Y00, Y01, Y10 e Y11 que se muestra en la figura 8;
la figura 10 es un diagrama de circuitos del circuito de selección 17-0 [0] que se muestra en la figura 8;
la figura 11 es un diagrama de circuitos del circuito de DBI 18 que se muestra en la figura 6;
35 la figura 12 es un diagrama de formas de onda de funcionamiento del dispositivo semiconductor 1 que se muestra en la figura 4 en el momento de la lectura;
la figura 13 es un diagrama que muestra un dispositivo semiconductor 200 de acuerdo con el ejemplo comparativo; y
40 la figura 14 es un diagrama de bloques que muestra la configuración de un sistema de procesamiento de datos 800 que usa el dispositivo semiconductor 10 de las presentes realizaciones.

Descripción detallada de las realizaciones

Una realización de la presente invención se describirá a continuación. Se entenderá que lo que reivindica la presente invención no se limita a una realización de este tipo. En concreto, un dispositivo semiconductor de acuerdo con la realización de la presente invención incluye: una pluralidad de primeras líneas de datos (drwbus_in) que transmiten una pluralidad de primeros bits de datos secuenciales (en orden) (64 bits de los datos leídos que se precapturan a partir de una célula de memoria), de manera respectiva; una pluralidad de segundas líneas de datos (drwbus_out) que transmiten una pluralidad de segundos bits de datos secuenciales, de manera respectiva; una pluralidad de terceras líneas de datos (RWBUS_DQ) que transmiten una pluralidad de terceros bits de datos secuenciales, de manera respectiva; y una pluralidad de cuartas líneas de datos (RWBUS_DBI) que transmiten una pluralidad de cuartos bits de datos secuenciales, de manera respectiva. El dispositivo semiconductor de acuerdo con la realización de la presente invención incluye además: un circuito de BOC que reordena el orden de la pluralidad de primeros bits de datos (los datos leídos DQ) que se suministran a partir de la pluralidad de primeras líneas de datos de acuerdo con una información de dirección, y suministra el resultado a la pluralidad de segundas líneas de datos como la pluralidad de segundos bits de datos; y un circuito de DBI que invierte la pluralidad de segundos bits de datos que se suministran a partir de la pluralidad de segundas líneas de datos de acuerdo con una condición previamente determinada, suministra el resultado a la pluralidad de terceras líneas de datos como la pluralidad de terceros bits de datos, genera unos bits de determinación (los datos de DBI) que indican información de la inversión (una información que indica si los bits están invertidos o no), y suministra los bits de determinación a la pluralidad de cuartas líneas de datos como la pluralidad de cuartos bits de datos. Debido a que los datos de DBI no se pasan a través de un circuito de BOC, el número de circuitos de BOC puede reducirse en consecuencia. En concreto, son suficientes ocho circuitos de BOC. Esto puede reducir el área de circuito y el consumo de potencia.

Haciendo referencia a continuación a la figura 1, un dispositivo semiconductor 1 de acuerdo con la realización de la presente invención incluye una matriz de memoria 11, un circuito de BOC 17, un circuito de DBI 18, y un circuito de entrada / salida 19. Tal como se muestra en el diagrama, el circuito de BOC 17 incluye dos nodos de entrada / salida 17a y 17b. El circuito de DBI 18 incluye tres nodos de entrada / salida 18a a 18c. En la siguiente descripción, pueden usarse las expresiones $z[x:0]$ y $z[y]$. La primera expresión representa que hay $(x + 1)$, o del 0-ésimo al x -ésimo, componentes z . La última representa el y -ésimo componente de entre una pluralidad de componentes z .

La matriz de memoria 11 está conectada con el nodo de entrada / salida 17a del circuito de BOC 17 a través de 64 líneas de un bus de datos $drwbus_in[63:0]$ (primeras líneas de datos). El nodo de entrada / salida 17b del circuito de BOC 17 y el nodo de entrada / salida 18a del circuito de DBI 18 están conectados uno con otro a través de 64 líneas de un bus de datos $drwbus_out[63:0]$ (segundas líneas de datos). El nodo de entrada / salida 18b del circuito de DBI 18 está conectado con el circuito de entrada / salida 19 a través de 64 líneas de un bus de lectura / escritura $RWBUS_DQ[63:0]$ (terceras líneas de datos). El nodo de entrada / salida 18c del circuito de DBI 18 está conectado con el circuito de entrada / salida 19 a través de ocho líneas de un bus de lectura / escritura $RWBUS_DBI[7:0]$ (cuartas líneas de datos). El circuito de entrada / salida 19 está conectado con un controlador externo a través de ocho terminales de entrada / salida de datos 54 [7:0] (DQ0 a DQ7) y un terminal de DBI 55. Obsérvese que el bus de datos $drwbus_out$ (segundas líneas de datos) es más corto que el bus de datos $drwbus_in$ (primeras líneas de datos). El bus de datos $drwbus_out$ (segundas líneas de datos) también es más corto que $RWBUS_DQ$ (terceras líneas de datos). Dicho de otra forma, el circuito de BOC 17 y el circuito de DBI 18 están yuxtapuestos para procesar de manera eficiente el gran número de líneas de señal relevantes. Se muestran detalles en la figura 5, que va a verse posteriormente.

A continuación en el presente documento, se dará una descripción del caso de la lectura de datos a partir de la matriz de memoria 11 (en el momento de la lectura). Tal como se muestra en la figura 2A, ocho bits secuenciales (por ejemplo, 0 a 7) de los datos leídos de 64 bits $DQ[63:0]$ se emiten en el orden de salida (n) a partir de cada uno de los ocho terminales de entrada / salida de datos 54 [7:0] (DQ0 a DQ7). Se hace referencia a los ocho bits secuenciales como datos en ráfaga. Mientras tanto, ocho bits paralelos (por ejemplo, 0, 8, 16, 24, 32, 40, 48 y 56) que se corresponden con los ocho terminales de entrada / salida de datos 54 [7:0] (DQ0 a DQ7) se emiten en cada orden (n) de salida. Los ocho bits paralelos representan la anchura de E / S . Lo mismo es cierto para las figuras 2B, 3A, y 3B que van a verse posteriormente. De este modo, los 64 bits de los datos leídos $DQ[63:0]$ están compuestos por una matriz de una pluralidad de bits que se expresa por el orden de salida (n) que representa el eje de tiempo y la anchura de E / S para una salida simultánea. En la figura 2A, se hace referencia a un fragmento de los datos leídos DQ que es la n -ésima salida a partir del m -ésimo terminal de entrada / salida de datos 54 $[m]$ como los datos leídos $DQ[8m + n]$. En el presente caso, tanto m como n son un número entero de 0 a 7. Los datos leídos $DQ[8m + n]$ se precapturan a partir de la matriz de memoria 11 y, a continuación, se suministran al circuito de BOC 17 a través del bus de datos $drwbus_in[8m + n]$.

El circuito de BOC 17 es un circuito que reordena el orden (orden de salida) de los fragmentos de los datos leídos $DQ[63:0]$ de acuerdo con unas designaciones a partir del controlador externo. El circuito de BOC 17 se proporciona para cada terminal de entrada / salida de datos 54, y no tiene función alguna de conmutación de los terminales de entrada / salida de datos 54 a emitir.

En el ejemplo que se muestra en la figura 2B, $n = 0, 1, 2, 3, 4, 5, 6$ y 7 se corresponden con $k = 7, 4, 5, 6, 3, 0, 1$ y 2 , de manera respectiva, en la que k es el orden de salida antes del reordenamiento. Los datos leídos reordenados $DQ[8m + n]$ (= los datos leídos $DQ[8m + k]$ antes del reordenamiento) se suministran al circuito de DBI 18 a través del bus de datos $drwbus_out[8m + n]$.

El circuito de DBI 18 es un circuito que invierte los fragmentos de los datos leídos $DQ[63:0]$ que se suministran a partir del bus de datos $drwbus_out[63:0]$ de acuerdo con una condición previamente determinada. La inversión se procesa en unidades de ocho bits paralelos (columna a columna de datos en ráfaga). En concreto, se realiza el siguiente procesamiento en cada valor del orden de salida n (D0 a D7). El circuito de DBI 18 adquiere inicialmente ocho bits de los datos leídos $DQ[8 \cdot 0 + n]$ a $DQ[8 \cdot 7 + n]$ que se suministran a partir del bus de datos $drwbus_out[8 \cdot 0 + n]$ a $drwbus_out[8 \cdot 7 + n]$. Si cinco o más de los bits son "0", el circuito de DBI 18 invierte la totalidad de los ocho bits de los datos leídos adquiridos. La inversión y la no inversión de datos se controlan para cada valor del orden de salida n (D0 a D7) de manera independiente.

En el ejemplo que se muestra en la figura 3A, el número de fragmentos de los datos leídos que tienen un valor de "0" de entre ocho fragmentos de los datos leídos $DQ[8 \cdot 0 + n]$ a $DQ[8 \cdot 7 + n]$ que se corresponden con n aumenta en uno, comenzando en cero, con cada aumento de n en uno, comenzando en cero. En un ejemplo de este tipo, el número de fragmentos de los datos leídos que tienen un valor de "0" es cinco o más cuando $n \geq 5$.

Tal como se muestra en la figura 3B, el circuito de DBI 18 invierte los datos leídos cuando $n \geq 5$ debido a que el número de fragmentos de los datos leídos que tienen un valor de "0" es cinco o más cuando $n \geq 5$. En consecuencia, el número de fragmentos de los datos leídos que tienen un valor de "0" es más pequeño que, o igual a, la mitad (cuatro) para cualquier n .

El circuito de DBI 18 también tiene la función de generar unos bits de determinación (los datos de DBI DBI [7:0]) que

indican información de la inversión (una información que indica si los bits están invertidos o no). Los datos de DBI DBI se generan para cada valor del orden de salida n. Tal como se muestra en la figura 3B, unos valores específicos de los datos de DBI DBI [7:0] son, de forma adecuada, "1" para n en los casos en los que los datos leídos están invertidos, y "0" para n en los casos en los que los datos leídos no están invertidos.

- 5 Los datos leídos DQ [8m + n] que se pasan a través del circuito de DBI 18 se suministran al bus de lectura / escritura RWBUS_DQ [8m + n]. El circuito de DBI 18 también emite los datos de DBI generados DBI [n] a las líneas respectivas del bus de lectura / escritura RWBUS_DBI [n].

10 El circuito de entrada / salida 19 es un circuito que asigna ocho bits (n = 0 a 7) de los datos leídos DQ [8m + n] a cada uno de los ocho terminales de entrada / salida de datos 54 [m] (m = 0 a 7), y emite los datos leídos DQ [8m + n] al exterior desde n = 0 hasta n = 7 en sucesión (salida en ráfaga) a través del terminal de entrada / salida de datos 54 asignado. La salida se conduce en sincronización entre los terminales de entrada / salida de datos 54 asignados. El circuito de entrada / salida 19 también tiene la función de emitir los datos de DBI DBI [n] desde el terminal de DBI 55 al exterior en sincronización con la salida de los datos leídos DQ [8m + n].

15 Tal como se ha descrito en lo que antecede, el dispositivo semiconductor 1 incluye el circuito de DBI 18 entre el circuito de BOC 17 y el circuito de entrada / salida 19. Debido a que no pasa dato de DBI alguno a través del circuito de BOC 17, el dispositivo semiconductor 1 no tiene que incluir un circuito de BOC 17 para reordenar el orden de los datos de DBI. Esto puede reducir el área de circuito y el consumo de potencia en comparación con la técnica anterior en la que se proporciona un circuito de BOC para reordenar el orden de los datos de DBI.

20 A continuación en el presente documento, una realización preferida de la presente invención se describirá con detalle con referencia a los dibujos adjuntos.

Pasando a la figura 4, el dispositivo semiconductor 1 de acuerdo con la presente realización es una SDRAM de DDR4. El dispositivo semiconductor 1 tiene unos terminales externos que incluyen unos terminales de reloj 51a y 51b, unos terminales de orden 52, un terminal de dirección 53, unos terminales de entrada / salida de datos 54, un terminal de DBI 55, un terminal estroboscópico de datos 56, y unos terminales de suministro de potencia 57.

25 Los terminales de reloj 51a y 51b son unos terminales a los que se suministran unas señales de reloj externas CK y /CK, de manera respectiva. Las señales de reloj externas suministradas CK y /CK se suministran a un circuito de generación de sincronismo 61 y un circuito de DLL 62 a través de un circuito de entrada 60. Tal como se emplea en el presente documento, una señal que tiene un nombre de señal con una "/" antepuesta es o bien la señal invertida de la señal correspondiente o bien una señal activa a nivel bajo. Por lo tanto, las señales de reloj externas CK y /CK son complementarias una a otra. El circuito de generación de sincronismo 61 genera una señal de reloj interna de fase única ICLK en base a las señales de reloj externas CK y /CK, y suministra la señal de reloj interna ICLK a los circuitos en el dispositivo semiconductor 1.

30 El circuito de DLL 62 es un circuito de generación de reloj que recibe las señales de reloj externas CK y /CK y genera una señal de reloj interna LCLKOET que está controlada por la fase con respecto a las señales de reloj externas CK y /CK y está controlada por la utilización. La señal de reloj interna generada LCLKOET se suministra a un circuito de control 30 y unos circuitos de entrada / salida 19 y 86 que van a describirse posteriormente.

35 Los terminales de orden 52 son unos terminales a los que se suministran diversos tipos de señales de orden CMD, incluyendo una señal estroboscópica de dirección de fila /RAS, una señal estroboscópica de dirección de columna /CAS, una señal de habilitación de escritura /WE, una señal de selección de microplaca /CS, y una señal de terminación sobre pastilla ODT (*on-die termination*). Las señales de orden CMD se suministran a un descodificador de órdenes 64 a través de un circuito de enclavamiento de entrada 63.

40 El descodificador de órdenes 64 es un circuito que genera diversos tipos de órdenes internas a partir de las señales de orden de entrada CMD y suministra las órdenes internas a los circuitos en el dispositivo semiconductor 1. Los diversos tipos de órdenes internas que van a generarse incluyen lo siguiente: una orden de lectura READ que proporciona una instrucción para entrar en un modo de lectura; una orden de escritura WRITE que proporciona una instrucción para entrar en un modo de escritura; una orden de terminación sobre pastilla ODT que indica si la terminación sobre pastilla se encuentra ON (activa) u OFF (inactiva); una orden de control CYCLKT (Lectura) que controla el funcionamiento de los interruptores de columna 12 en el momento de la lectura; una orden de control CYCLKT (Escritura) que controla el funcionamiento de los interruptores de columna 12 en el momento de la escritura; una orden de control DRCLKT que controla el sincronismo de funcionamiento de un circuito de control de RWBUS 16, un circuito de BOC 17, un circuito de DBI 18, el circuito de entrada / salida 19, y similar, en el momento de la lectura; y una orden de control DWCLKT que controla el sincronismo de funcionamiento del circuito de control de RWBUS 16, un conmutador 20, el circuito de DBI 18, el circuito de entrada / salida 19, y similar, en el momento de la escritura.

55

El terminal de dirección 53 es un terminal al que se suministra una señal de dirección ADD. La señal de dirección suministrada ADD se suministra a un circuito de enclavamiento 66 a través de un circuito de enclavamiento de entrada 65. La señal de dirección ADD incluye una dirección de fila XO a X11, una dirección de columna Y0 a Y9 e Y11, y una dirección de banco BA. El circuito de enclavamiento 66 enclava la señal de dirección ADD que se suministra al circuito de enclavamiento de entrada 65. El circuito de enclavamiento 66 suministra la dirección de fila XO a X11 y la dirección de banco BA a un circuito de alivio 73, y la dirección de columna Y0 a Y9 e Y11 y la dirección de banco BA a un circuito de alivio 71. El circuito de enclavamiento 66 también suministra la dirección de banco BA y la dirección de columna Y0, Y1 e Y2 al circuito de control 30 que va a describirse posteriormente.

En el caso de que el dispositivo semiconductor 1 se encuentre en ajuste de registros de modo, la señal de dirección ADD que se introduce a partir del controlador externo se suministra a un registro de modo 69. El contenido almacenado en el registro de modo 69 se actualiza de ese modo. La información almacenada en el registro de modo 69 incluye una señal de modo de funcionamiento PBX8B que se corresponde con el número de terminales de entrada / salida de datos 54 que van a usarse. El número de terminales de entrada / salida de datos 54 que van a usarse, indicado por la señal de modo de funcionamiento PBX8B, es o bien cuatro (funcionamiento $\times 4$) o bien ocho (funcionamiento $\times 8$). La señal de modo de funcionamiento PBX8B se extrae mediante el circuito de control 30 que va a describirse posteriormente.

La dirección de fila y la dirección de columna son unas direcciones para determinar las células de memoria a las que acceder mediante la identificación de una línea de palabras WL y unas líneas de bits BL en la matriz de memoria 11, de manera respectiva. Tal como se describirá posteriormente, la matriz de memoria 11 está dividida y dispuesta en 16 bancos. La dirección de banco BA es una dirección para identificar uno cualquiera de los bancos. La matriz de memoria 11 incluye una pluralidad de líneas de palabras WL y una pluralidad de líneas de bits BL que se intersecan una a otra. Las células de memoria MC están dispuestas en las intersecciones (la figura 4 muestra solo una de las líneas de palabras WL, una de las líneas de bits BL y una de las células de memoria MC). Las líneas de bits BL están conectadas con los amplificadores de detección SA correspondientes en un circuito de detección 81.

El circuito de alivio 73 almacena unas direcciones de fila que se corresponden con unas líneas de palabras WL defectuosas y unas direcciones de fila que se corresponden con unas líneas de palabras WL redundantes que son sustituciones para las líneas de palabras WL defectuosas una en asociación con otra para cada dirección de banco BA. El circuito de alivio 73 almacena tales direcciones mediante el uso de elementos de antifusibles o elementos de fusibles.

Un circuito de control de sistema de X 72 indica al circuito de alivio 73 que emita una dirección de fila en respuesta a la activación de la orden de lectura READ o la orden de escritura WRITE. Recibiendo la instrucción, el circuito de alivio 73 emite la dirección de fila que se suministra a partir del circuito de enclavamiento 66 a un descodificador de filas (descodificador de x) 80 que se corresponde con la dirección de banco BA que se suministra a partir del circuito de enclavamiento 66 en principio. No obstante, en el caso de que la dirección de fila que se suministra a partir del circuito de enclavamiento 66 sea una almacenada como una dirección de fila que se corresponde con una línea de palabras WL defectuosa, el circuito de alivio 73 emite una dirección de fila que se corresponde con la línea de palabras WL redundante de sustitución al descodificador de filas 80 en lugar de la dirección de fila suministrada. En base a la dirección de fila que se introduce de este modo, el descodificador de filas 80 selecciona una de las líneas de palabras WL incluidas en la matriz de memoria 11. Los condensadores de célula de las células de memoria MC que están conectadas con la línea de palabras WL seleccionada están conectados con las líneas de bits BL.

El circuito de alivio 71 almacena la dirección de columna que se corresponde con unas líneas de bits BL defectuosas y las direcciones de columna que se corresponden con unas líneas de bits BL redundantes que son sustituciones para las líneas de bits BL defectuosas una en asociación con otra para cada dirección de banco BA. Una vez más, el circuito de alivio 71 almacena tales direcciones mediante el uso de elementos de antifusibles o elementos de fusibles.

Un circuito de control de sistema de Y 70 indica al circuito de alivio 71 que emita una dirección de columna en respuesta a la activación de la orden de lectura READ o la orden de escritura WRITE. Recibiendo la instrucción, el circuito de alivio 71 emite la dirección de columna que se suministra a partir del circuito de enclavamiento 66 a un descodificador de columnas (descodificador de Y) 82 que se corresponde con la dirección de banco BA que se suministra a partir del circuito de enclavamiento 66 en principio. No obstante, en el caso de que la dirección de columna que se suministra a partir del circuito de enclavamiento 66 sea una almacenada como una dirección de columna que se corresponde con una línea de bits BL defectuosa, el circuito de alivio 71 emite una dirección de columna que se corresponde con la línea de bits BL redundante de sustitución al descodificador de columnas 82 en lugar de la dirección de columna suministrada. En base a la dirección de columna que se introduce de este modo, el descodificador de columnas 82 genera una señal de selección de columna (una señal para seleccionar algunas de las líneas de bits BL incluidas en la matriz de memoria 11) y emite la señal de selección de columna a los interruptores de columna 12 en el descodificador de columnas 82. Los interruptores de columna 12 conectan las líneas de bits BL seleccionadas por la señal de selección de columna de entrada con las líneas de E / S principales MIOT / B complementarias. Los amplificadores de detección SA que se corresponden con las líneas de bits BL seleccionadas están conectados con los amplificadores principales 13 en un circuito de amplificador principal 84 a través de las líneas de E / S principales MIOT / B complementarias.

El dispositivo semiconductor 1 también incluye un contador de refresco 74. El contador de refresco 74 es un circuito que genera de forma automática una dirección de fila. En una operación de refresco, la dirección de fila que se genera por el contador de refresco 74 se suministra al circuito de alivio 73, y se realiza una operación de refresco sobre las células de memoria MC que se identifican mediante la dirección de fila.

5 Los terminales de entrada / salida de datos 54 son unos terminales para emitir los datos leídos DQ e introducir los datos de escritura DQ. El dispositivo semiconductor 1 incluye ocho terminales de entrada / salida de datos 54 [7:0]. Para un funcionamiento x8, el dispositivo semiconductor 1 usa la totalidad de los ocho terminales de entrada / salida de datos 54 [7:0] para introducir o emitir de forma simultánea ocho bits de datos. Para un funcionamiento x4, el dispositivo semiconductor 1 usa solo los cuatro terminales de entrada / salida de datos 54 [3:0] para introducir o
10 emitir de forma simultánea cuatro bits de datos.

El terminal de DBI 55 es un terminal para emitir e introducir datos de DBI. El terminal de DBI 55 está configurado de tal modo que puede introducirse / emitirse un único bit de cada vez.

15 La trayectoria de transferencia de los datos leídos DQ desde la matriz de memoria 11 hasta los terminales de entrada / salida de datos 54 incluye, en orden a partir del lateral de la matriz de memoria 11, lo siguiente: el circuito de detección 81, el descodificador de columnas 82, el circuito de amplificador principal 84, una memoria de almacenamiento temporal intermedia 15, el circuito de control de RWBUS 16, el circuito de BOC 17, el circuito de DBI 18 y el circuito de entrada / salida 19. La trayectoria de transferencia de los datos de escritura DQ desde los terminales de entrada / salida de datos 54 hasta la matriz de memoria 11 incluye, en orden a partir del lateral de los terminales de entrada / salida de datos 54, lo siguiente: el circuito de entrada / salida 19, el circuito de DBI 18, el
20 conmutador 20, el circuito de control de RWBUS 16, la memoria de almacenamiento temporal intermedia 15, el circuito de amplificador principal 84, el descodificador de columnas 82 y el amplificador de detección 81.

25 El sincronismo para que el circuito de entrada / salida 19 capture los datos de escritura DQ a partir de los terminales de entrada / salida de datos 54 se controla por unas señales estroboscópicas de datos DQS y /DQS complementarias que se suministran a partir del terminal estroboscópico de datos 56 a través del circuito de entrada / salida 86. En el momento de la lectura, el circuito de entrada / salida 86 genera las señales estroboscópicas de datos DQS y /DQS complementarias, que sirven como la referencia de funcionamiento para la salida de datos, y emite las señales estroboscópicas de datos DQS y /DQS complementarias al exterior a través del terminal estroboscópico de datos 56.

30 El circuito de control 30 es un circuito que recibe la orden de lectura READ, la orden de escritura WRITE, la orden de terminación sobre pastilla ODT, la orden de control CYCLKT (Lectura), la orden de control CYCLKT (Escritura), la orden de control DRCLKT y la orden de control DWCLKT a partir del descodificador de órdenes 64, la dirección de banco BA y la dirección de columna Y0, Y1 e Y2 a partir del circuito de enclavamiento 66, y la señal de modo de funcionamiento PBX8B a partir del registro de modo 69. En base a tales órdenes y señales, el circuito de control 30 controla el funcionamiento de los interruptores de columna 12, el circuito de control de RWBUS 16, el circuito de BOC 17, el circuito de DBI 18 y el circuito de entrada / salida 19.
35

Al igual que para los interruptores de columna 12, el circuito de control 30 activa los interruptores de columna 12 que se incluyen en el banco seleccionado por la dirección de banco BA de entre los 16 bancos, y desactiva los otros interruptores de columna 12. Como resultado, solo la matriz de memoria 11 del banco seleccionado por la dirección de banco BA está conectada con un bus de lectura / escritura RWBUS_ARAY que va a describirse posteriormente.
40 En el momento de la lectura, el circuito de control 30 controla el sincronismo operativo de los interruptores de columna 12 de acuerdo con la orden de control CYCLKT (Lectura). En el momento de la escritura, el circuito de control 30 controla el sincronismo de funcionamiento de los interruptores de columna 12 de acuerdo con la orden de control CYCLKT (Escritura).

45 La unidad de control 30 controla el funcionamiento de los circuitos anteriores que no sean los interruptores de columna 12 mediante la generación de las siguientes señales: El circuito de control 30 activa una cualquiera de una señal de activación de banco izquierdo BA_le y una señal de activación de banco derecho BA_ri de acuerdo con la dirección de banco BA. El circuito de control 30 también genera una señal de reloj de control de escritura DWCLK en base a la orden de control DWCLKT, y genera una señal de reloj de control de lectura DRCLK en base a la orden de control DRCLKT. El circuito de control 30 activa una señal de control de escritura WT en respuesta a la activación de la orden de escritura WRITE, y activa una señal de control de lectura RD en respuesta a la activación de la orden de lectura READ. El circuito de control 30 activa una señal de habilitación de DBI DBI_en si la señal de modo de funcionamiento PBX8B indica un "funcionamiento x8", y desactiva la señal de habilitación de DBI DBI_en si la señal de modo de funcionamiento PBX8B indica un "funcionamiento x4". Las señales se detallarán con detalle posteriormente.

55 Los terminales de suministro de potencia 57 son unos terminales a los que se suministran las tensiones de suministro de potencia externas VDD y VSS. Un circuito de generación de tensión interna 90 genera diversos tipos de tensiones internas en base a las tensiones de suministro de potencia externas VDD y VSS, y suministra las tensiones internas a los circuitos en el dispositivo semiconductor 1.

La configuración global del dispositivo semiconductor 1 de acuerdo con la presente realización se ha descrito hasta el momento. A continuación, se describirá la disposición plana de los circuitos que constituyen el dispositivo semiconductor 1.

5 Pasando a la figura 5, el dispositivo semiconductor 1 incluye 16 bancos que incluyen las agrupaciones ordenadas de memoria 11-0 a 11-15 respectivas que se muestran en el diagrama. Cada una de las agrupaciones ordenadas de memoria 11-0 a 11-15 incluye dos porciones, es decir, una (la primera matriz de memoria) que está dispuesta más cerca de un extremo (parte superior en el diagrama) del dispositivo semiconductor 1 en una dirección y (una segunda dirección) y una (la segunda matriz de memoria) que está dispuesta más cerca del otro extremo (parte inferior en el diagrama) del dispositivo semiconductor 1 en la dirección y. Las porciones superior e inferior están dispuestas en filas respectivas en un orden de bancos desde un extremo (a la izquierda en el diagrama) hasta el otro extremo (a la derecha en el diagrama) del dispositivo semiconductor 1 en una dirección x.

15 Un área de cableado AA para disponer diversos circuitos y cableado se proporciona entre las porciones de las agrupaciones ordenadas de memoria que están dispuestas en la parte de abajo en el diagrama y aquellas de las agrupaciones ordenadas de memoria que están dispuestas en la parte de arriba en el diagrama. El área de cableado AA incluye: unos amplificadores principales 13-0 a 13-15 para las agrupaciones ordenadas de memoria respectivas; un circuito de control central 2 que incluye el circuito de BOC 17 (la figura 4); un circuito de entrada 3 que incluye el descodificador de órdenes 64 (la figura 4); los ocho terminales de entrada / salida de datos 54 que se corresponden con DQ0 a DQ7, de manera respectiva; y el terminal de DBI 55.

20 Los amplificadores principales 13-0 a 13-15 son unos amplificadores principales que se corresponden con las agrupaciones ordenadas de memoria 11-0 a 11-15, de manera respectiva. Los amplificadores principales 13-0 a 13-15 también están divididos y dispuestos en la parte de arriba y en la parte de abajo en el diagrama con el fin de corresponderse con las porciones de las agrupaciones ordenadas de memoria. Cada uno de los amplificadores principales 13-0 a 13-15 está conectado con las agrupaciones ordenadas de memoria 11-0 a 11-15 correspondientes a través de 64 líneas de E / S principales MIOT / B (las 32 líneas superiores y las 32 líneas inferiores en el diagrama).

El circuito de control central 2 está dispuesto cerca del centro del área de cableado AA. El circuito de control central 2 incluye el circuito de control de RWBUS 16, el circuito de BOC 17, el circuito de DBI 18 y el circuito de control 30 que se muestra en la figura 4. El circuito de control de RWBUS 16 está conectado con los amplificadores principales 13-0 a 13-15 a través de 64 líneas de un bus de lectura / escritura RWBUS_ARAY.

30 El bus de lectura / escritura RWBUS_ARAY incluye 64 líneas de un bus de lectura / escritura izquierdo RWBUS_ARAY_le (quintas líneas de datos) y 64 líneas de un bus de lectura / escritura derecho RWBUS_ARAY_ri (sextas líneas de datos). Las 64 líneas del bus de lectura / escritura izquierdo RWBUS_ARAY_le incluyen unas porciones que se extienden directamente desde el circuito de control central 2 hasta un extremo (a la izquierda en el diagrama) del dispositivo semiconductor 1 en la dirección x (una primera dirección), y están conectadas con los amplificadores principales 13-0 a 13-7 por el camino. De forma similar, las 64 líneas del bus de lectura / escritura derecho RWBUS_ARAY_ri incluyen unas porciones que se extienden directamente desde el circuito de control central 2 hasta el otro extremo (a la derecha en el diagrama) del dispositivo semiconductor 1 en la dirección x, y están conectadas con los amplificadores principales 13-8 a 13-15 por el camino. De este modo, los amplificadores principales están conectados con el bus de lectura / escritura común RWBUS_ARAY. Debido a que las agrupaciones ordenadas de memoria 11 que no sean la seleccionada por la dirección de banco BA se desconectan del bus de lectura / escritura RWBUS_ARAY mediante el circuito de control 30 tal como se ha descrito en lo que antecede, el número de amplificadores principales conectados de forma simultánea con el circuito de control de RWBUS 16 es uno.

45 Cada una de las 64 líneas del bus de lectura / escritura izquierdo RWBUS_ARAY_le incluye una memoria de almacenamiento temporal intermedia 15 entre la porción en la que está conectado el amplificador principal 13-4 y la porción en la que está conectado el amplificador principal 13-5. De forma similar, cada una de las 64 líneas del bus de lectura / escritura derecho RWBUS_ARAY_ri incluye una memoria de almacenamiento temporal intermedia 15 entre la porción en la que está conectado el amplificador principal 13-11 y la porción en la que está conectado el amplificador principal 13-12. Las memorias de almacenamiento temporal intermedias 15 se proporcionan para el fin de evitar que las señales experimenten atenuación durante el paso a través del bus de lectura / escritura RWBUS_ARAY.

55 El circuito de entrada 3 está dispuesto más cerca de un extremo (a la izquierda en el diagrama) del dispositivo semiconductor 1 en la dirección x tal como se observa a partir del circuito de control central 2. A pesar de que no se muestra de manera explícita en la figura 5, un grupo de primeros adaptadores que incluye un grupo de adaptadores de dirección que están conectados con el terminal de dirección 53 y un grupo de adaptadores de orden que están conectados con los terminales de orden 52 está dispuesto cerca del circuito de entrada 3 en el área de cableado AA. El circuito de entrada 3 incluye el circuito de enclavamiento de entrada 65 y el circuito de enclavamiento 66 que se muestran en la figura 4. Tal como se muestra en la figura 5, el circuito de entrada 3 funciona para suministrar la dirección de banco BA, la dirección de columna Y0, Y1 e Y2, y similar, al circuito de control central 2.

Los ocho terminales de entrada / salida de datos 54 y el terminal de DBI 55 están dispuestos más cerca del otro extremo (a la derecha en el diagrama) del dispositivo semiconductor 1 en la dirección x tal como se observa a partir del circuito de control central 2. A pesar de que no se muestra de manera explícita en la figura 5, las porciones del circuito de entrada / salida 19 que se muestra en la figura 4 que se corresponden con los terminales de entrada / salida de datos 54 y el terminal de DBI 55 están dispuestas cerca de los terminales respectivos. Un grupo de segundos adaptadores que incluye unos grupos de adaptadores de DQ conectados de manera respectiva con los terminales de entrada / salida de datos 54 y el terminal de DBI 55 también está dispuesto cerca de los terminales. Cada uno de los terminales de entrada / salida de datos 54 está conectado con el circuito de DBI 18 en el circuito de control central 2 a través de ocho líneas del bus de lectura / escritura RWBUS_DQ. El terminal de DBI 55 está conectado con el circuito de DBI 18 en el circuito de control central 2 a través de las ocho líneas del bus de lectura / escritura RWBUS_DBI.

Pasando a la figura 6, la señal de activación de banco izquierdo BA_le, la señal de activación de banco derecho BA_ri, la señal de reloj de control de escritura DWCLK, la señal de reloj de control de lectura DRCLK, la señal de control de escritura WT, la señal de control de lectura RD, y la señal de habilitación de DBI DBI_en son unas señales que se generan por el circuito de control 30 tal como se ha descrito en lo que antecede.

El circuito de control de RWBUS 16 tiene un nodo de entrada / salida 16a que está conectado con las 64 líneas del bus de datos drwbus_in. La señal de activación de banco izquierdo BA_le, la señal de activación de banco derecho BA_ri, la señal de reloj de control de escritura DWCLK, y la señal de reloj de control de lectura DRCLK se suministran desde el circuito de control 30 hasta el circuito de control de RWBUS 16. El circuito de control de RWBUS 16 es un circuito (multiplexor) que conecta las 64 líneas del bus de datos drwbus_in o bien con las 64 líneas del bus de lectura / escritura izquierdo RWBUS_ARAY_le o bien con las 64 líneas del bus de lectura / escritura derecho RWBUS_ARAY_ri en base a las señales que se suministran a partir del circuito de control 30.

Tal como se muestra en la figura 7, el circuito de control de RWBUS 16 incluye un circuito de selección 16b que está dispuesto entre el nodo de entrada / salida 16a y el bus de lectura / escritura izquierdo RWBUS_ARAY_le, y un circuito de selección 16c que está dispuesto entre el nodo de entrada / salida 16a y el bus de lectura / escritura derecho RWBUS_ARAY_ri. A pesar de que no se muestra de manera explícita en el diagrama, el circuito de selección 16b se proporciona para cada una de las 64 líneas del bus de lectura / escritura izquierdo RWBUS_ARAY_le. El circuito de selección 16c se proporciona para cada una de las 64 líneas del bus de lectura / escritura derecho RWBUS_ARAY_ri.

Tal como se muestra en la figura 7, el circuito de selección 16b incluye los circuitos de inversor 1001e y 1011e y los circuitos de NAND 1021e y 1031e. De forma similar, el circuito de selección 16c incluye los circuitos de inversor 100ri y 101ri y los circuitos de NAND 102ri y 103ri.

La señal de reloj de control de escritura DWCLK se suministra a los circuitos de NAND 1021e y 102ri. La señal de reloj de control de lectura DRCLK se suministra a los circuitos de NAND 1031e y 103ri. La señal de activación de banco izquierdo BA_le se suministra a los circuitos de NAND 1021e y 1031e. La señal de activación de banco derecho BA_ri se suministra a los circuitos de NAND 102ri y 103ri. Las señales de salida de los circuitos de NAND 1021e, 102ri, 1031e, y 103ri se invierten y se envían a los circuitos de inversor 1001e, 100ri, 1011e, y 101ri, de manera respectiva.

El terminal de salida del circuito de inversor 1001e y el terminal de entrada del circuito de inversor 1011e están conectados en común con la línea correspondiente del bus de lectura / escritura izquierdo RWBUS_ARAY_le. El terminal de entrada del circuito de inversor 1001e y el terminal de salida del circuito de inversor 1011e están conectados en común con la línea correspondiente del bus de datos drwbus_in. De forma similar, el terminal de salida del circuito de inversor 100ri y el terminal de entrada del circuito de inversor 101ri están conectados en común con la línea correspondiente del bus de lectura / escritura derecho RWBUS_ARAY_ri. El terminal de entrada del circuito de inversor 100ri y el terminal de salida del circuito de inversor 101ri están conectados en común con la línea correspondiente del bus de datos drwbus_in.

Con una configuración de este tipo, uno cualquiera del bus de lectura / escritura izquierdo RWBUS_ARAY_le y el bus de lectura / escritura derecho RWBUS_ARAY_ri que se corresponde con la matriz de memoria 11 seleccionada por la dirección de banco BA está conectado con el bus de datos drwbus_in a través de los circuitos de inversor 1001e o 100ri en el momento de la escritura, y a través de los circuitos de inversor 1011e o 101ri en el momento de la lectura. La matriz de memoria 11 seleccionada por la dirección de banco BA está conectada de ese modo con las 64 líneas del bus de datos drwbus_in.

Vuélvase a la figura 6. El circuito de BOC 17 incluye ocho circuitos de BOC 17-0 a 17-7, cada uno de los cuales está conectado con ocho líneas del bus de datos drwbus_in y ocho líneas del bus de datos drwbus_out. En concreto, el circuito de BOC 17-0 está conectado con el bus de datos drwbus_in [7:0] y el bus de datos drwbus_out [7:0]. El circuito de BOC 17-1 está conectado con el bus de datos drwbus_in [15:8] y el bus de datos drwbus_out [15:8]. Lo mismo es cierto para los otros circuitos de BOC 17-2 a 17-7. El circuito de control central 2 también incluye un circuito de derivación que conecta el bus de datos drwbus_in y el bus de datos drwbus_out a través del conmutador 20 en lugar del circuito de BOC 17.

La dirección de columna Y0, Y1 e Y2 y la señal de control de lectura RD se suministran a los circuitos de BOC 17-0 a 17-7. La señal de control de escritura WT se suministra al conmutador 20. Los circuitos de BOC 17-0 a 17-7 están configurados para funcionar (realizar el reordenamiento) solo cuando la señal de control de lectura RD está activada. El conmutador 20 está configurado para funcionar (dejar que pasen señales) solo cuando la señal de control de escritura WT está activada. Como resultado, el circuito de BOC 17 pasa a estar activo solo en el momento de la lectura. En el momento de la escritura, los datos de escritura se pasan a través del circuito de derivación por medio del conmutador 20, omitiendo el circuito de BOC 17.

Pasando a la figura 8, a pesar de que no se muestra en el diagrama, los circuitos de BOC 17-1 a 17-7 tienen la misma configuración que los circuitos de BOC 17-0 descritos.

Tal como se muestra en la figura 8, el circuito de BOC 17-0 incluye ocho circuitos de selección 17-0 [7:0]. Cada uno de los circuitos de selección 17-0 [7:0] está conectado con la totalidad de las ocho líneas del bus de datos drwbus_in [7:0] y una línea correspondiente del bus de datos drwbus_out [7:0]. Cada uno de los circuitos de selección 17-0 [7:0] tiene la función de seleccionar una cualquiera de las ocho líneas del bus de datos drwbus_in [7:0] de acuerdo con la dirección de columna Y0, Y1 e Y2, y de conectar la línea seleccionada con el bus de datos drwbus_out [7:0] correspondiente.

A continuación se dará una descripción detallada, centrándose en el circuito de selección 17-0 [0]. Tal como se muestra en la figura 8, el circuito de selección 17-0 [0] se provee con la dirección de columna Y2 y la información de dirección Y00, Y01, Y10 e Y11. La información de dirección Y00, Y01, Y10 e Y11 es una información que se genera en el interior del circuito de BOC 17 en base a la dirección de columna Y0 e Y1 que se suministra a partir del circuito de control 30 (la figura 4).

Tal como se muestra en la figura 9, el circuito de BOC 17 incluye los circuitos de NAND 110 a 113. La dirección de columna Y0 e Y1 se suministra al circuito de NAND 110. La dirección de columna Y0 y la señal invertida de la dirección de columna Y1 se suministran al circuito de NAND 111. La señal invertida de la dirección de columna Y0 y la dirección de columna Y1 se suministran al circuito de NAND 112. Las señales invertidas de la dirección de columna Y0 e Y1 respectiva se suministran al circuito de NAND 113. Con una configuración de este tipo, los fragmentos de información de dirección Y00, Y01, Y10 e Y11 pasan a ser "0" cuando la combinación de la dirección de columna Y0 e Y1 es (1, 1), (1, 0), (0, 1), y (0, 0), de manera respectiva, y "1" en los otros casos.

Vuélvase a la descripción del circuito de selección 17-0 [0]. Tal como se muestra en la figura 10, las señales de selección se10 a se13 se suministran al circuito de selección 17-0 [0]. Las señales de selección se10 a se13 son unas señales que se generan por un circuito que no se muestra en el circuito de selección 17-0 [0]. Las combinaciones de los valores de las señales de selección se10 a se13 se determinan por adelantado en asociación con las combinaciones de los valores de la información de dirección Y00, Y01, Y10 e Y11 de forma biunívoca. La tabla 1 muestra un ejemplo de las asociaciones. Por ejemplo, cuando la información de dirección Y00, Y01, Y10 e Y11 es (0, 1, 1, 1), las señales de selección se10 a se13 son (1, 1, 1, 0). Cada uno de los circuitos de selección 17-0 [7:0] almacena asociaciones como la tabla 1. Los circuitos de selección 17-0 [7:0] leen las señales de selección se10 a se13 que están asociadas con la información de dirección de entrada Y00, Y01, Y10 e Y11, y usan las señales de selección se10 a se13 para el procesamiento que va a describirse a continuación.

Tabla 1

Y00	Y01	Y10	Y11	se10	se11	se12	se13
0	1	1	1	1	1	1	0
1	0	1	1	1	1	0	1
1	1	0	1	1	0	1	1
1	1	1	0	0	1	1	1
0	1	1	1	1	1	1	0
1	0	1	1	1	1	0	1
1	1	0	1	1	0	1	1
1	1	1	0	0	1	1	1

Tal como se muestra en la figura 10, el circuito de selección 17-0 [0] incluye unas puertas de transferencia 120 [7:0], 123, y 124, y los circuitos de inversor 121, 122, y 125. Cada puerta de transferencia incluye un transistor MOS de canal P y un transistor MOS de canal N que están conectados en paralelo.

La señal de selección se10 y la señal invertida de la señal de selección se10 se suministran a las puertas del transistor MOS de canal P y el transistor MOS de canal N que constituyen la puerta de transferencia 120 [0], de manera respectiva. De este modo, la puerta de transferencia 120 [0] pasa a estar en conducción si la señal de selección se10 tiene un nivel lógico de "0". La puerta de transferencia 120 [0] pasa a no estar en conducción si la señal de selección se10 tiene un nivel lógico de "1".

5 Lo mismo sucede para las otras puertas de transferencia 120. En resumen, las puertas de transferencia 120 [1] y 120 [5] pasan a estar en conducción si la señal de selección sel1 tiene un nivel lógico de "0", y pasan a no estar en conducción si lo tiene de "1". Las puertas de transferencia 120 [2] y 120 [6] pasan a estar en conducción si la señal de selección se12 tiene un nivel lógico de "0", y pasan a no estar en conducción si lo tiene de "1". Las puertas de transferencia 120 [3] y 120 [7] pasan a estar en conducción si la señal de selección se13 tiene un nivel lógico de "0", y pasan a no estar en conducción si lo tiene de "1". Al igual que la puerta de transferencia 120 [0], la puerta de transferencia 120 [4] pasa a estar en conducción si la señal de selección se10 tiene un nivel lógico de "0", y pasa a no estar en conducción si lo tiene de "1".

10 Los terminales de entrada de las puertas de transferencia 120 [7:0] están conectados con el bus de datos drwbus_in [7:0], de manera respectiva. Los terminales de salida de las puertas de transferencia 120 [3:0] están conectados en común con el terminal de entrada de la puerta de transferencia 123 a través del circuito de inversor 121. Los terminales de salida de las puertas de transferencia 120 [7:4] están conectados en común con el terminal de entrada de la puerta de transferencia 124 a través del circuito de inversor 122.

15 Tal como se ilustra en la tabla 1, las señales de selección se10 a se13 están configuradas de tal modo que una cualquiera de las señales de selección sel0 a se13 pasa a ser "0" mientras que las otras son "1". De este modo, el terminal de entrada de la puerta de transferencia 123 está conectado con solo una de las líneas del bus de datos drwbus-in [3:0]. De forma similar, el terminal de entrada de la puerta de transferencia 124 está conectado con solo una de las líneas del bus de datos drwbus_in [7:4].

20 La dirección de columna Y2 y la señal invertida Y2B de la dirección de columna Y2 se suministran a las puertas del transistor MOS de canal P y el transistor MOS de canal N que constituyen la puerta de transferencia 123, de manera respectiva. En consecuencia, la puerta de transferencia 123 pasa a estar en conducción si la dirección de columna Y2 tiene un nivel lógico de "0", y pasa a no estar en conducción si lo tiene de "1".

25 Mientras tanto, la señal invertida Y2B de la dirección de columna Y2 y la dirección de columna Y2 se suministran a las puertas del transistor MOS de canal P y el transistor MOS de canal N que constituyen la puerta de transferencia 124, de manera respectiva. En consecuencia, la puerta de transferencia 124 pasa a estar en conducción si la dirección de columna Y2 tiene un nivel lógico de "1", y pasa a no estar en conducción si lo tiene de "0".

30 Los terminales de salida de las puertas de transferencia 123 y 124 están conectados en común con el terminal de entrada del circuito de inversor 125. La señal invertida de la señal de reloj de control de lectura DRCLK se suministra al circuito de inversor 125. El circuito de inversor 125 conecta los terminales de salida de las puertas de transferencia 123 y 124 con el bus de datos drwbus_out [0] con un sincronismo que se corresponde con la señal de reloj de control de lectura DRCLK.

35 Supóngase, por ejemplo, que la información de dirección Y00, Y01, Y10 e Y11 y las señales de selección se10 a se13 se asocian tal como se muestra en la tabla 1. Mediante la configuración anterior, el bus de datos drwbus_out [0] está conectado con el bus de datos drwbus_in que se muestra por la siguiente tabla 2 dependiendo de la combinación de la dirección de columna Y0, Y1 e Y2. De este modo, el circuito de selección 17-0 [0] puede conectar una cualquiera de las ocho líneas del bus de datos drwbus_in [7:0] con el bus de datos drwbus out [0] de acuerdo con la dirección de columna Y0, Y1 e Y2.

Tabla 2

Y2	Y1	Y0	bus de datos que conecta con el bus de datos drwbus_out [0]
1	1	1	drwbus_in [7]
1	1	0	drwbus_in [6]
1	0	1	drwbus_in [5]
1	0	0	drwbus_in [4]
0	1	1	drwbus_in [3]
0	1	0	drwbus_in [2]
0	0	1	drwbus_in [1]
0	0	0	drwbus_in [0]

40 Tal como se ha descrito en lo que antecede, el circuito de selección 17-0 [0] es un circuito que controla los datos que van a suministrarse al bus de datos drwbus_out [0]. Los otros circuitos de selección 17-0 [7:1] controlan los datos que van a suministrarse al bus de datos drwbus_out [7:1], de manera respectiva. De este modo, el orden de salida en el que los ocho bits de los datos leídos DQ son una salida en ráfaga a partir del terminal de entrada / salida de datos 54 [0] puede reordenarse (BOC) de acuerdo con la dirección de columna Y0 Y1 e Y2 mediante el cambio de las asociaciones de las señales de selección sel0 a sel3 con la información de dirección Y00, Y01, Y10 e Y11 de uno a otro de los circuitos de selección 17-0 [7:0] de tal modo que los fragmentos de los datos que se suministran al bus de datos drwbus_out [7:0] no se solapen uno con otro.

- Vuélvase a la figura 6. El circuito de DBI 18 está conectado con las 64 líneas del bus de datos `drwbus_out [63:0]`, las 64 líneas del bus de lectura / escritura `RWBUS_DQ [63:0]`, y las ocho líneas del bus de lectura / escritura `RWBUS_DBI [7:0]`. En el momento de la lectura, el circuito de DBI 18 funciona para invertir los datos leídos DQ que se introducen a través del bus de datos `drwbus_out` de acuerdo con una condición previamente determinada y generar unos datos de DBI que indican información acerca de la inversión. En el momento de la escritura, el circuito de DBI 18 realiza un procesamiento para volver a invertir y restaurar los fragmentos invertidos de los datos de escritura DQ que se introducen desde el exterior a través del bus de lectura / escritura `RWBUS_DQ`, de acuerdo con los datos de DBI que se introducen desde el exterior a través del bus de lectura / escritura `RWBUS_DBI`. Una configuración relacionada con la lectura se describirá a continuación.
- 5 Pasando a la figura 6, el circuito de DBI 18 incluye un circuito interno para cada orden de la salida en ráfaga. La figura 11 muestra solo el circuito interno que se corresponde con el orden de salida cero. Los circuitos internos que se corresponden con los otros órdenes de salida tienen la misma configuración. La figura 11 solo muestra la configuración relacionada con la lectura. Se omite una configuración relacionada con la escritura. Tal como se ha descrito con referencia a la figura 2, los datos leídos que se corresponden con el orden de salida cero incluye los ocho fragmentos de los datos leídos DQ `[8·0 + 0]` a DQ `[8·7 + 0]` (los datos leídos DQ `[0]` a DQ `[56]`).
- 10 Tal como se muestra en la figura 11, el circuito de DBI 18 incluye un circuito de mayoría 18d y un circuito de mayoría 18e. El circuito de mayoría 18d se describirá inicialmente. El circuito de mayoría 18d incluye los circuitos de NAND 130, 132, 134, 136, 174, y 175, los circuitos de NOR 131, 133, 135, 137, 141, 143, 144, 145, 149, 151, 152, 153, 154, 155, 156, 158, 159, y 160, los circuitos de inversor 138, 139, 140, 142, 146, 148, 150, 157, 161, y los circuitos de OR 170, 171, 172, 173, y 176. Las conexiones de tales circuitos se describirán a continuación.
- 15 El bus de datos `drwbus_out [56]` y el bus de datos `drwbus_out [48]` están conectados con, y la señal de habilitación de DBI `DBI_en` se suministra a los terminales de entrada del circuito de NAND 130. El bus de datos `drwbus_out [56]` y el bus de datos `drwbus_out [48]` están conectados con, y la señal invertida de la señal de habilitación de DBI `DBI_en` se suministra a, los terminales de entrada del circuito de NOR 131. El bus de datos `drwbus_out [40]` y el bus de datos `drwbus_out [32]` están conectados con, y la señal de habilitación de DBI `DBI_en` se suministra a, los terminales de entrada del circuito de NAND 132. El bus de datos `drwbus_out [40]` y el bus de datos `drwbus_out [32]` están conectados con, y la señal invertida de la señal de habilitación de DBI `DBI_en` se suministra a, los terminales de entrada del circuito de NOR 133. El bus de datos `drwbus_out [24]` y el bus de datos `drwbus_out [16]` están conectados con, y la señal de habilitación de DBI `DBI_en` se suministra a, los terminales de entrada del circuito de NAND 134. El bus de datos `drwbus_out [24]` y el bus de datos `drwbus_out [16]` están conectados con, y la señal invertida de la señal de habilitación de DBI `DBI_en` se suministra a, los terminales de entrada del circuito de NOR 135. El bus de datos `drwbus_out [8]` y el bus de datos `drwbus_out [0]` están conectados con, y la señal de habilitación de DBI `DBI_en` se suministra a, los terminales de entrada del circuito de NAND 136. El bus de datos `drwbus_out [8]` y el bus de datos `drwbus_out [0]` están conectados con, y la señal invertida de la señal de habilitación de DBI `DBI_en` se suministra a, los terminales de entrada del circuito de NOR 137.
- 20 La señal de salida del circuito de NAND 130 se suministra al circuito de inversor 138 y los circuitos de NOR 141 y 143. La señal de salida del circuito de NOR 131 se suministra al circuito de inversor 140 y los circuitos de NOR 144 y 145. La señal de salida del circuito de NAND 132 se suministra al circuito de inversor 139 y los circuitos de NOR 141 y 144. La señal de salida del circuito de NOR 133 se suministra al circuito de inversor 142 y los circuitos de NOR 143 y 145. La señal de salida del circuito de NAND 134 se suministra al circuito de inversor 146 y los circuitos de NOR 149 y 151. La señal de salida del circuito de NOR 135 se suministra al circuito de inversor 148 y los circuitos de NOR 152 y 153. La señal de salida del circuito de NAND 136 se suministra al circuito de inversor 147 y los circuitos de NOR 149 y 152. La señal de salida del circuito de NOR 137 se suministra al circuito de inversor 150 y los circuitos de NOR 151 y 153.
- 25 Las señales de salida de los circuitos de inversor 138 y 139 se suministran a los terminales de entrada del circuito de NOR 154. Las señales de salida de los circuitos de inversor 140 y 142 y el circuito de NOR 141 se suministran a los terminales de entrada del circuito de NOR 155. Las señales de salida de los circuitos de NOR 143 y 144 se suministran a los terminales de entrada del circuito de NOR 156. La señal de salida del circuito de NOR 145 se suministra al terminal de entrada del circuito de inversor 157. Las señales de salida de los circuitos de inversor 146 y 147 se suministran a los terminales de entrada del circuito de NOR 158. Las señales de salida de los circuitos de inversor 148 y 150 y el circuito de NOR 149 se suministran a los terminales de entrada del circuito de NOR 159. Las señales de salida de los circuitos de NOR 151 y 152 se suministran a los terminales de entrada del circuito de NOR 160. La señal de salida del circuito de NOR 153 se suministra al terminal de entrada del circuito de inversor 161.
- 30 Las señales de salida del circuito de NOR 154 y el circuito de inversor 161 se suministran a los terminales de entrada del circuito de OR 170. Las señales de salida de los circuitos de NOR 155 y 160 se suministran a los terminales de entrada del circuito de OR 171. Las señales de salida del circuito de inversor 157 y el circuito de NOR 158 se suministran a los terminales de entrada del circuito de OR 172. Las señales de salida de los circuitos de NOR 156 y 159 se suministran a los terminales de entrada del circuito de OR 173.
- 35 Las señales de salida de los circuitos de OR 170 y 171 se suministran a los terminales de entrada del circuito de NAND 174. Las señales de salida de los circuitos de OR 172 y 173 se suministran a los terminales de entrada del
- 40
- 45
- 50
- 55
- 60

circuito de NAND 175. Por último, las señales de salida de los circuitos de NAND 174 y 175 se suministran al terminal de entrada del circuito de OR 176. La señal de salida del circuito de OR 176 constituye los datos de DBI DBI [0] que se corresponden con el orden de salida cero.

5 De acuerdo con la configuración del circuito de mayoría 18d que se ha descrito en lo que antecede, el nivel lógico de los datos de DBI DBI [0] siempre pasa a ser "0" si el número de fragmentos de los datos leídos DQ que tienen un nivel lógico de "0" de entre los ocho fragmentos de los datos leídos DQ [8·0 + 0] a DQ [8·7 + 0] que se corresponden con el orden de salida cero es mayor que, o igual a, cinco (más de la mitad). El nivel lógico de los datos de DBI DBI [0] siempre pasa a ser "1" si el número es más pequeño que, o igual a, tres (menos de la mitad). Si el número de fragmentos de los datos leídos DQ que tienen un nivel lógico de "0" es cuatro (la mitad exacta), el nivel lógico de los datos de DBI DBI [0] puede pasar a ser "0" o "1". No obstante, esto no tiene importancia debido a que la inversión de los datos leídos mediante la DBI no da lugar a cambio alguno en el número de los 0.

A continuación, se describirá el circuito de mayoría 18e. Tal como se muestra en la figura 11, el circuito de mayoría 18e incluye los circuitos de XNOR 180 a 187 y los circuitos de inversor 188 y 190 a 198.

15 Los buses de datos drwbus_out [8·7] a drwbus_out [8·0] y los datos de DBI DBI [0] se suministran a los terminales de entrada de los circuitos de XNOR 180 a 187. Los datos de DBI DBI [0] también se suministran al terminal de entrada del circuito de inversor 188. Las señales de salida de los circuitos de XNOR 180 a 187 y el circuito de inversor 188 se suministran a los circuitos de inversor 190 a 198, de manera respectiva. Los terminales de salida de los circuitos de inversor 190 a 198 se suministran al bus de lectura / escritura RWBUS_DQ [8·7] a RWBUS_DQ [8·0] y el bus de lectura / escritura RWBUS_DBI [0], de manera respectiva.

20 Los circuitos de inversor 190 a 198 se proveen con la señal invertida de la señal de reloj de control de lectura DRCLK (que no se muestra). Cuando la señal de reloj de control de lectura DRCLK está activada, los circuitos de inversor 190 a 198 emiten las señales invertidas de los circuitos de XNOR correspondientes y el circuito de inversor a las líneas correspondientes respectivas del bus de lectura / escritura RWBUS_DQ.

25 Con la configuración anterior, el circuito de mayoría 18e simplemente suministra los datos sobre el bus de datos drwbus_out [8·0 + 0] a drwbus_out [8·7 + 0] al bus de lectura / escritura RWBUS_DQ [8·0] a RWBUS_DQ [8·7], de manera respectiva, si los datos de DBI DBI [0] son "1". Por otro lado, si los datos de DBI DBI [0] son "0", el circuito de mayoría 18e invierte los datos sobre el bus de datos drwbus_out [8·0 + 0] a drwbus_out [8·7 + 0] y emite el resultado al bus de lectura / escritura RWBUS_DQ [8·0] a RWBUS_DQ [8·7], de manera respectiva. Como resultado, cuando cinco o más de los ocho bits (DQ0 a DQ7) de los datos leídos que van a emitirse de forma simultánea son "0", la totalidad de los ocho bits están invertidos (DBI).

Las configuraciones y funciones específicas de los circuitos que se muestran en la figura 5 se han descrito hasta el momento. A continuación, el funcionamiento del dispositivo semiconductor 1 se describirá con referencia a un diagrama de formas de onda de funcionamiento.

35 La figura 12 muestra un ejemplo en el que dos órdenes de lectura READ se suministran desde el exterior al dispositivo semiconductor 1 en sucesión. La siguiente descripción se dará también con referencia a la figura 4.

Tal como se muestra en la figura 12, cuando una señal de dirección ADD y una orden de lectura READ se suministran a partir de un controlador externo, se activan los amplificadores principales 13 que se corresponden con la dirección de banco BA que se incluye en la señal de dirección ADD. Los datos leídos DQ [63:0] se suministran desde la matriz de memoria 11 correspondiente hasta el bus de lectura / escritura RWBUS_ARAY.

40 Los datos leídos DQ [63:0] se suministran al bus de datos drwbus_in [63:0] a través del circuito de control de RWBUS 16. El circuito de BOC 17 reordena el orden de salida de los fragmentos de los datos leídos para cada terminal de entrada / salida de datos 54, y emite el resultado al bus de datos drwbus_out [63:0].

45 A continuación, el circuito de DBI 18 convierte los datos leídos DQ [63:0] de tal modo que cinco o más de los ocho bits (DQ0 a DQ7) de los datos leídos que van a emitirse de forma simultánea son "1", y emite el resultado al bus de lectura / escritura RWBUS_DQ [63:0]. El circuito de DBI 18 genera de forma simultánea los datos de DBI DBI [7:0] que indican si los datos leídos están invertidos, y emite los datos de DBI DBI [7:0] al bus de lectura / escritura RWBUS_DBI [7:0].

50 Los datos leídos DQ [63:0] y los datos de DBI DBI [7:0] que se emiten de este modo a los buses de lectura / escritura respectivos se suministran al circuito de entrada / salida 19. Tal como se muestra en la figura 12, los datos leídos DQ [63:0] y los datos de DBI DBI [7:0] son una salida en ráfaga a partir de los correspondientes terminales de entrada / salida de datos 54 y el terminal de DBI 55 en unidades de ocho bits en sincronización con el reloj externo CK después de una latencia de lectura previamente determinada ("7" en el ejemplo de la figura 12).

55 Tal como se ha descrito en lo que antecede, de acuerdo con el dispositivo semiconductor 1 de la presente realización, la provisión del circuito de DBI 18 entre el circuito de BOC 17 y el circuito de entrada / salida 19 elimina la necesidad de un circuito de BOC 17 que está previsto para reordenar el orden de los datos de DBI.

La ventaja de la realización de la presente invención se describirá junto con la configuración de un dispositivo semiconductor 200 que se muestra en la figura 13, que el inventor de la presente invención ha estudiado como un ejemplo comparativo. La figura 13 se corresponde con la figura 6 que muestra el dispositivo semiconductor 1 de acuerdo con la presente realización. Tal como se muestra en la figura 13, el dispositivo semiconductor 200 incluye un circuito de DBI 202 entre un circuito de BOC 203 y un circuito de control de RWBUS 201. De acuerdo con la configuración, tal como se muestra en la figura 13, es necesario que un bus de datos drwbus_dbi se disponga entre el circuito de DBI 202 y el circuito de BOC 202, y es necesario que el circuito de BOC 202 incluya un noveno circuito de BOC 202-8. El circuito de DBI 202 genera ocho bits de los datos de DBI que se corresponden con unos órdenes respectivos de salida (n) a partir de los 64 bits de datos sobre el bus de datos drwbus_in [63:0]. Debido a que es necesario que los datos de DBI también se reordenen mediante el circuito de BOC 203, es necesario que el circuito de BOC 203 incluya el noveno circuito de BOC 203-8. El dispositivo semiconductor 1 de acuerdo con la presente realización no necesita de tales componentes. La presencia del bus de datos drwbus_dbi y el circuito de BOC 203-8 aumenta el área de circuito y el consumo de potencia del dispositivo semiconductor 200 en comparación con el dispositivo semiconductor 1.

De este modo, el dispositivo semiconductor 1 de acuerdo con la presente realización tiene un área de circuito y un consumo de potencia reducidos en comparación con el dispositivo semiconductor 200 de acuerdo con el ejemplo comparativo.

Pasando a la figura 14, el sistema de procesamiento de datos 800 incluye una estructura en la que los siguientes componentes están conectados uno con otro por medio de un bus de sistema 810: un procesador de datos 820 (controlador); una DRAM 1, que es el dispositivo semiconductor 1 de la presente realización; un dispositivo de almacenamiento 840; un dispositivo de E / S 850; y una ROM 860.

El procesador de datos 820 incluye una función de suministro de unas señales de reloj externas CK y /CK a la DRAM 10, y una función de recepción de una señal de salida (los datos leídos DQ) del circuito de entrada / salida 19 (la figura 4) de la DRAM 1 y de realizar un procedimiento que se corresponde con los datos leídos recibidos DQ. Más concretamente, por ejemplo, lo siguiente puede usarse como el procesador de datos 820: un microprocesador (MPU), un procesador de señales digitales (DSP), y similar. Por cierto, el procesador de datos 820 y la DRAM 1 pueden conectarse uno con otro mediante un bus local, no por medio del bus de sistema 810.

Como el dispositivo de almacenamiento 840, puede usarse una unidad de disco duro, una unidad de disco óptico, una memoria flash, o similar. Como el dispositivo de E / S 850, puede usarse un dispositivo de presentación visual tal como un visualizador de cristal líquido, un dispositivo de entrada tal como un teclado y un ratón, o similar. Por cierto, el dispositivo de E / S 850 puede ser o bien un dispositivo de entrada o bien un dispositivo de salida.

La figura 14 muestra solo un bus de sistema 810 para facilitar la explicación. No obstante, puede proporcionarse una pluralidad de buses de sistema 810 de una forma en serie o en paralelo por medio de un conector o similar, si es necesario. El dispositivo de almacenamiento 840, el dispositivo de E / S 850 y la ROM 860 no son necesariamente unos componentes esenciales. Además, en la figura 14, para facilitar la explicación, solo se muestra uno por cada tipo de componente. No obstante, la presente invención no se limita al caso anterior. Al igual que para uno, dos, o más tipos de componente, puede proporcionarse más de uno por tipo.

Es evidente que la presente invención no se limita a las realizaciones anteriores, sino que puede modificarse y cambiarse sin alejarse del ámbito de la invención.

Las células de memoria de acuerdo con la presente invención pueden ser volátiles, no volátiles, o una combinación de estas.

El concepto técnico de la presente invención puede aplicarse a un dispositivo semiconductor que incluye un circuito de transmisión de señales. Las formas de los circuitos en los bloques de circuitos que se divulgan en los dibujos y otros circuitos para generar las señales de control no se limitan a las formas de circuito que se divulgan en la realización.

El concepto técnico de la presente invención puede aplicarse a diversos tipos de dispositivos semiconductores. Por ejemplo, la presente invención puede aplicarse a un dispositivo semiconductor general tal como una CPU (Unidad de Procesamiento Central), una MCU (unidad de micro control), un DSP (procesador de señales digitales), un ASIC (circuito integrado para aplicación específica), un ASSP (circuito convencional para aplicación específica), y una memoria. Se señalan un SOC (sistema sobre microplaca), un MCP (envase de múltiples microplacas) y un POP (envase sobre envase), y así sucesivamente, como ejemplos de los tipos de dispositivos semiconductores a los que se aplica la presente invención. La presente invención puede aplicarse al dispositivo semiconductor que tiene estas forma de producto y forma de envase arbitrarias.

Cuando los transistores son transistores de efecto de campo (FET), son de aplicación diversos FET, incluyendo MIS (metal / aislante / semiconductor) y TFT (transistor de película delgada) así como MOS (metal / óxido / semiconductor). El dispositivo puede incluir incluso transistores bipolares.

Además, un transistor NMOS (transistor MOS de canal N) es un ejemplo representativo de un primer transistor

conductor, y un transistor PMOS (transistor MOS de canal P) es un ejemplo representativo de un segundo transistor conductor.

5 Muchas combinaciones y selecciones de diversos elementos constitutivos que se divulgan en la presente memoria descriptiva pueden realizarse dentro del alcance de las reivindicaciones adjuntas de la presente invención. Es decir, no resulta necesario mencionar que la presente invención abarca la totalidad de la divulgación de la presente memoria descriptiva incluyendo las reivindicaciones, así como diversos cambios y modificaciones que pueden realizarse por los expertos en la materia en base al concepto técnico de la invención.

Las siguientes notas complementarias proporcionan otras posibles configuraciones de la presente invención.

10 Un sistema de procesamiento de datos de acuerdo con un aspecto de la presente invención incluye: un dispositivo semiconductor que incluye una pluralidad de primeras líneas de datos que transmiten una pluralidad de primeros bits de datos secuenciales, de manera respectiva, una pluralidad de segundas líneas de datos que transmiten una pluralidad de segundos bits de datos secuenciales, de manera respectiva, una pluralidad de terceras líneas de datos que transmiten una pluralidad de terceros bits de datos secuenciales, de manera respectiva, un circuito de BOC que reordena el orden de la pluralidad de primeros bits de datos que se suministran a partir de la pluralidad de primeras líneas de datos de acuerdo con la información de dirección, y suministra el resultado a la pluralidad de segundas líneas de datos como la pluralidad de segundos bits de datos, y un circuito de DBI que realiza la inversión o la no inversión de la pluralidad de segundos bits de datos que se suministran a partir de la pluralidad de segundas líneas de datos de manera independiente uno de otro de acuerdo con una condición previamente determinada, y suministra el resultado a la pluralidad de terceras líneas de datos como la pluralidad de terceros bits de datos; y un controlador que controla el dispositivo semiconductor.

25 El sistema de procesamiento de datos puede configurarse de tal modo que: el dispositivo semiconductor incluye un registro de modo que almacena una señal de modo de funcionamiento que indica un modo de funcionamiento; el circuito de DBI realiza un procesamiento de inversión de acuerdo con el modo de funcionamiento indicado por la señal de modo de funcionamiento; y el controlador establece la señal de modo de funcionamiento en el registro de modo.

REIVINDICACIONES

1. Un dispositivo semiconductor que comprende:

una pluralidad de primeras líneas de datos (drwbus_in) que transmiten una pluralidad de primeros bits de datos;
una pluralidad de segundas líneas de datos (drwbus_out) que transmiten una pluralidad de segundos bits de datos;

una pluralidad de terceras líneas de datos (rwbus_DQ) que transmiten una pluralidad de terceros bits de datos;
un circuito de control de órdenes en ráfagas, BOC, (17) que convierte los primeros bits de datos en los segundos bits de datos mediante el reordenamiento del orden de los primeros bits de datos en base a una información de dirección;

un circuito de inversión de bus de datos, DBI, (18) que convierte los segundos bits de datos en los terceros bits de datos mediante la realización de la inversión o la no inversión en el nivel lógico de cada uno de los segundos bits de datos en base a una regla previamente determinada; y

un circuito de salida (19) que emite los terceros bits de datos en serie a una pluralidad de terminales de datos (DQO-DQ7).

2. El dispositivo semiconductor tal como se reivindica en la reivindicación 1, que comprende además una pluralidad de cuartas líneas de datos (RWBUS_DBI) que transmiten una pluralidad de cuartos bits de datos, en el que el circuito de DBI genera los cuartos bits de datos, indicando cada uno si uno asociado de los terceros bits de datos está invertido en el nivel lógico o no, y el circuito de salida emite los cuartos bits de datos en serie.

3. El dispositivo semiconductor tal como se reivindica en la reivindicación 1 o 2, que comprende además un circuito de derivación que conecta las primeras líneas de datos y las segundas líneas de datos en respuesta a una señal de control de escritura, en el que el circuito de BOC realiza el reordenamiento del orden de los primeros bits de datos en respuesta a una señal de control de lectura.

4. El dispositivo semiconductor tal como se reivindica en una cualquiera de las reivindicaciones 1 a 3, en el que el circuito de DBI invierte los segundos bits de datos para generar los terceros bits de datos cuando un número de los terceros bits de datos que van a emitirse de forma simultánea que tienen un primer nivel lógico es mayor que un valor previamente determinado.

5. El dispositivo semiconductor tal como se reivindica en la reivindicación 4, en el que el circuito de DBI incluye:

un circuito de mayoría (18d, 18e) que activa una señal de DBI cuando un número de segundos bits de datos suministrados de forma simultánea a partir de una parte de las segundas líneas de datos que tienen el primer nivel lógico es mayor que el valor previamente determinado; y

un circuito de procesamiento de inversión que invierte los segundos bits de datos en el nivel lógico para generar los terceros bits de datos que van a emitirse de forma simultánea cuando la señal de DBI está activada.

6. El dispositivo semiconductor tal como se reivindica en la reivindicación 4 o 5, en el que el valor previamente determinado es mayor que la mitad del número de los segundos bits de datos suministrados de forma simultánea a partir de la parte de las segundas líneas de datos.

7. El dispositivo semiconductor tal como se reivindica en una cualquiera de las reivindicaciones 1 a 6, en el que el circuito de BOC incluye una pluralidad de circuitos de selección (17-0 [7:0]), cada uno asignado a una pluralidad respectiva de segundas líneas de datos, y

cada uno de los circuitos de selección incluye una pluralidad de puertas de transferencia (120 [7:0], 123, 124) que están acopladas entre por lo menos una parte de las primeras líneas de datos y una correspondiente de las segundas líneas de datos, de manera respectiva, haciendo cada uno de los circuitos de selección que una de la pluralidad de puertas de transferencia esté en conducción y las otras no estén en conducción de acuerdo con la información de dirección.

8. El dispositivo semiconductor tal como se reivindica en una cualquiera de las reivindicaciones 1 a 7, que comprende además:

una pluralidad de bancos de memoria (11);

unos primeros electrodos de punta ancha que reciben la información de dirección; y

unos segundos electrodos de punta ancha que emiten los terceros bits de datos, en el que

cada uno de los bancos de memoria incluye una primera matriz de memoria que está dispuesta más cerca de un extremo del dispositivo en una segunda dirección y una segunda matriz de memoria que está dispuesta más cerca del otro extremo del dispositivo en la segunda dirección, y

los electrodos de punta ancha primero y segundo están dispuestos en un área de cableado que está dispuesta entre la primera matriz de memoria y la segunda matriz de memoria.

9. El dispositivo semiconductor tal como se reivindica en la reivindicación 8, que comprende además una pluralidad

de cuartas líneas de datos que transmiten una pluralidad de cuartos bits de datos, de manera respectiva, en el que el circuito de DBI genera los cuartos bits de datos, indicando cada uno si uno asociado de los terceros bits de datos está invertido en el nivel lógico o no, y el circuito de salida emitiendo los cuartos bits de datos por medio de los segundos electrodos de punta ancha.

- 5 10. El dispositivo semiconductor tal como se reivindica en la reivindicación 8 o 9, que comprende además un circuito de control central (2) que incluye el circuito de BOC y el circuito de DBI, estando dispuesto el circuito de control central en una parte del área de cableado.
- 10 11. El dispositivo semiconductor tal como se reivindica en la reivindicación 10, en el que los primeros electrodos de punta ancha y los segundos electrodos de punta ancha están dispuestos en lados opuestos respectivos del circuito de control central en una primera dirección sustancialmente perpendicular con respecto a la segunda dirección.
- 15 12. El dispositivo semiconductor tal como se reivindica en la reivindicación 10 u 11, en el que la pluralidad de bancos incluye un grupo de primeros bancos que están dispuestos en un lado del dispositivo en una primera dirección sustancialmente perpendicular con respecto a la segunda dirección y un grupo de segundos bancos que están dispuestos en el otro lado del dispositivo en la primera dirección, el dispositivo incluye además:
- una pluralidad de quintas líneas de datos (RWBUS_ARRAY_le) que conectan el circuito de control central con el grupo de primeros bancos;
- y una pluralidad de sextas líneas de datos (RWBUS_ARRAY_ri) que conectan el circuito de control central con el grupo de segundos bancos, y
- 20 el circuito de control central incluye además un multiplexor (64) que conecta una u otra de las quintas líneas de datos y las sextas líneas de datos con las primeras líneas de datos de acuerdo con la información de dirección.
13. El dispositivo semiconductor tal como se reivindica en una cualquiera de las reivindicaciones 1 a 7, que comprende además una pluralidad de bancos de memoria (11) que suministran los primeros bits de datos a las primeras líneas de datos, en el que las segundas líneas de datos son más cortas que las primeras líneas de datos.
- 25 14. El dispositivo semiconductor tal como se reivindica en una cualquiera de las reivindicaciones 8 a 12, en el que las segundas líneas de datos son más cortas que las terceras líneas de datos.

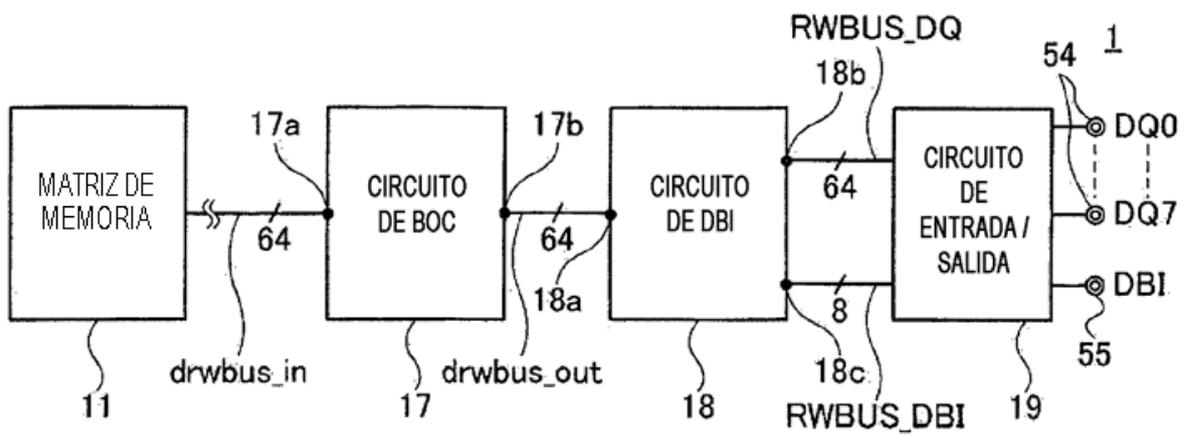


FIG.1

ORDEN DE SALIDA (n) →

TERMINAL DE ENTRADA / SALIDA DE DATOS (m) ↓

	D0	D1	D2	D3	D4	D5	D6	D7
DQ0	0	1	2	3	4	5	6	7
DQ1	8	9	10	11	12	13	14	15
DQ2	16	17	18	19	20	21	22	23
DQ3	24	25	26	27	28	29	30	31
DQ4	32	33	34	35	36	37	38	39
DQ5	40	41	42	43	44	45	46	47
DQ6	48	49	50	51	52	53	54	55
DQ7	56	57	58	59	60	61	62	63

FIG.2A

ORDEN DE SALIDA (n) →

TERMINAL DE ENTRADA / SALIDA DE DATOS (m) ↓

	D0	D1	D2	D3	D4	D5	D6	D7
DQ0	7	4	5	6	3	0	1	2
DQ1	15	12	13	14	11	8	9	10
DQ2	23	20	21	22	19	16	17	18
DQ3	31	28	29	30	27	24	25	26
DQ4	39	36	37	38	35	32	33	34
DQ5	47	44	45	46	43	40	41	42
DQ6	55	52	53	54	51	48	49	50
DQ7	63	60	61	62	59	56	57	58

FIG.2B

ORDEN DE SALIDA (n) →

	D0	D1	D2	D3	D4	D5	D6	D7
DQ0	1	1	1	1	1	1	1	1
DQ1	1	1	1	1	1	1	1	0
DQ2	1	1	1	1	1	1	0	0
DQ3	1	1	1	1	1	0	0	0
DQ4	1	1	1	1	0	0	0	0
DQ5	1	1	1	0	0	0	0	0
DQ6	1	1	0	0	0	0	0	0
DQ7	1	0	0	0	0	0	0	0

↓ TERMINAL DE ENTRADA / SALIDA DE DATOS (m)

FIG.3A

ORDEN DE SALIDA (n) →

	D0	D1	D2	D3	D4	D5	D6	D7
DQ0	1	1	1	1	1	0	0	0
DQ1	1	1	1	1	1	0	0	1
DQ2	1	1	1	1	1	0	1	1
DQ3	1	1	1	1	1	1	1	1
DQ4	1	1	1	1	0	1	1	1
DQ5	1	1	1	0	0	1	1	1
DQ6	1	1	0	0	0	1	1	1
DQ7	1	0	0	0	0	1	1	1
DBI	1	1	1	1	1	0	0	0

↓ TERMINAL DE ENTRADA / SALIDA DE DATOS (m)

↑ INVERSIÓN

GENERACIÓN DE DATOS DE DBI

FIG.3B

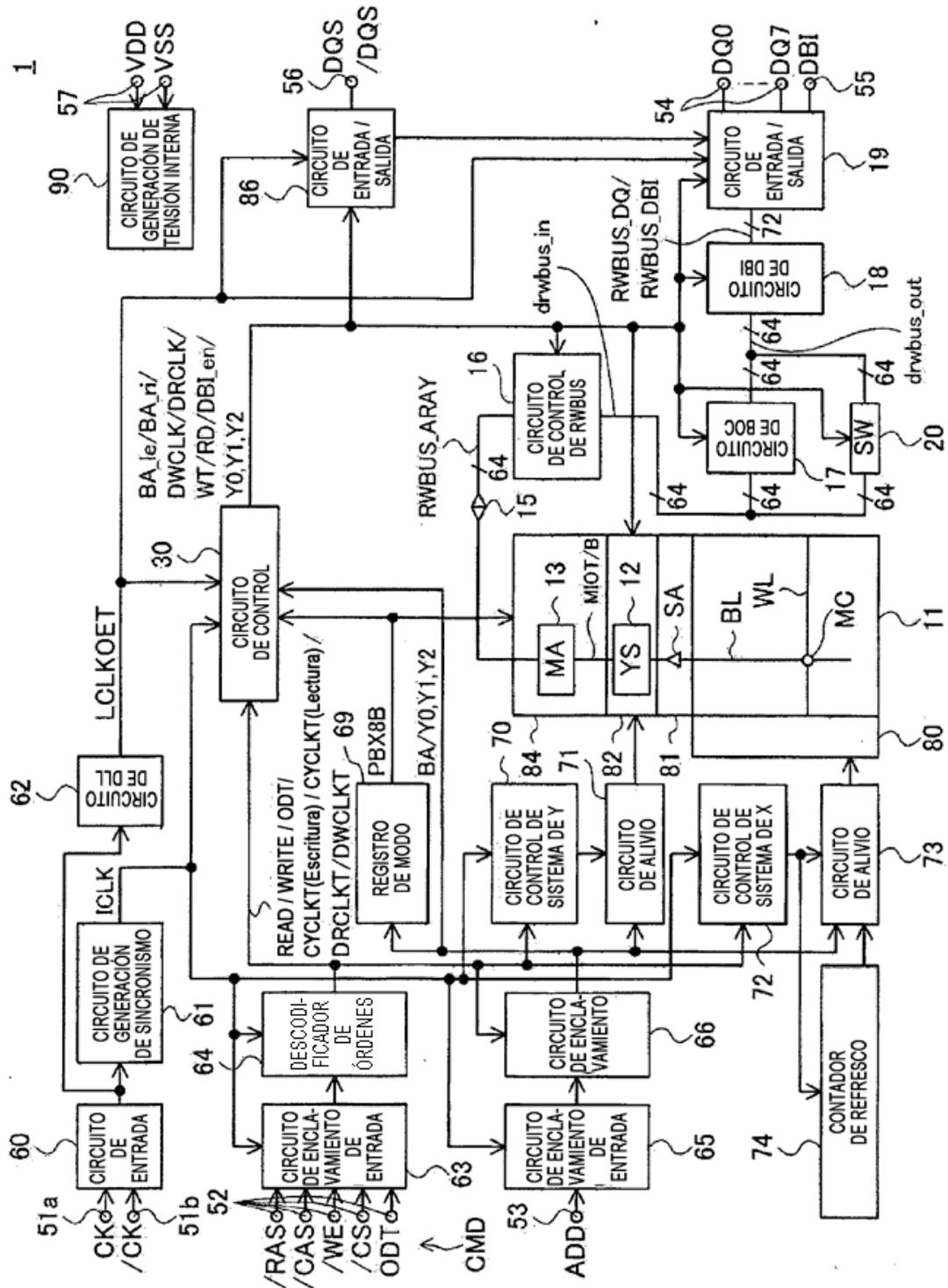


FIG.4

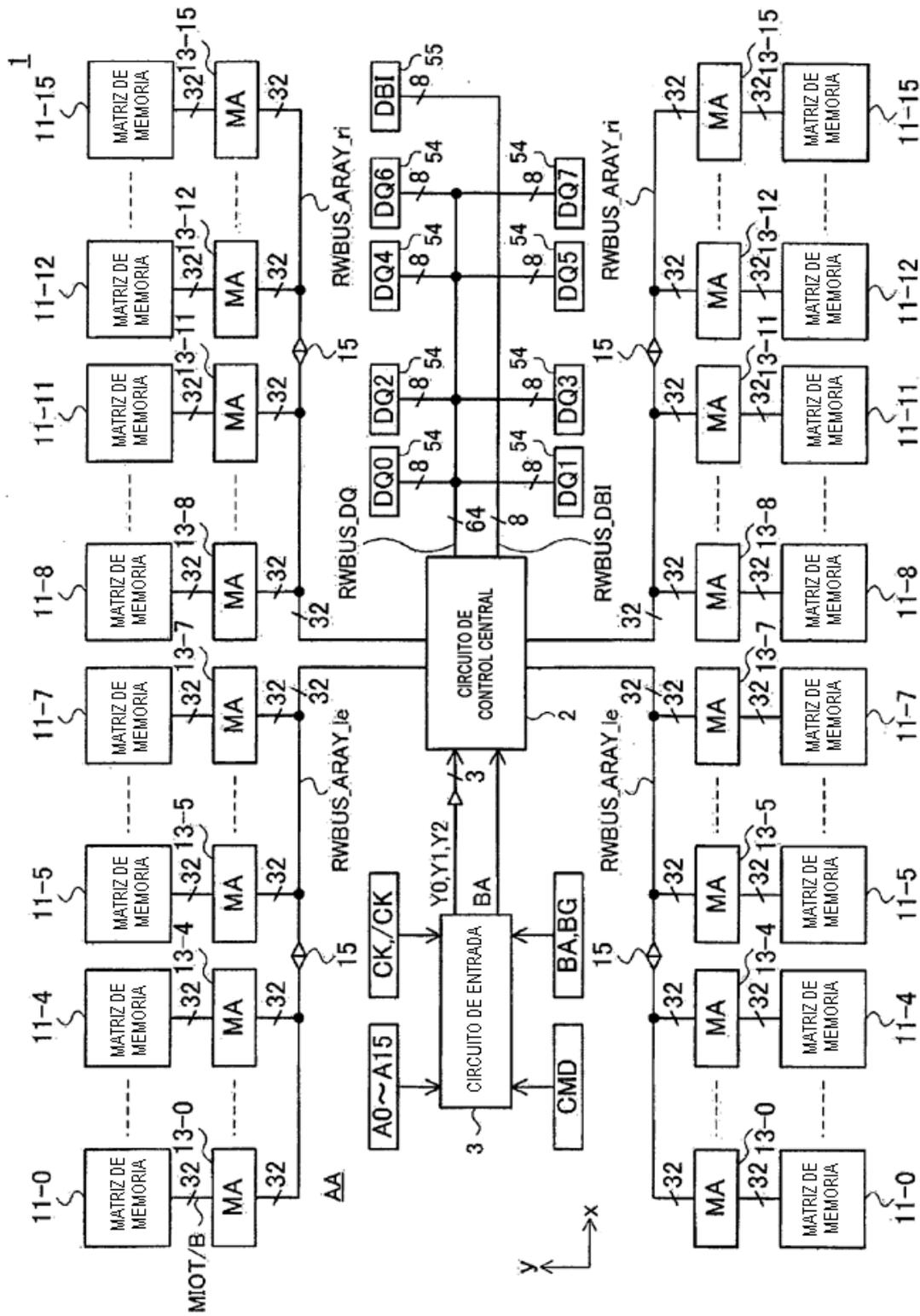


FIG.5

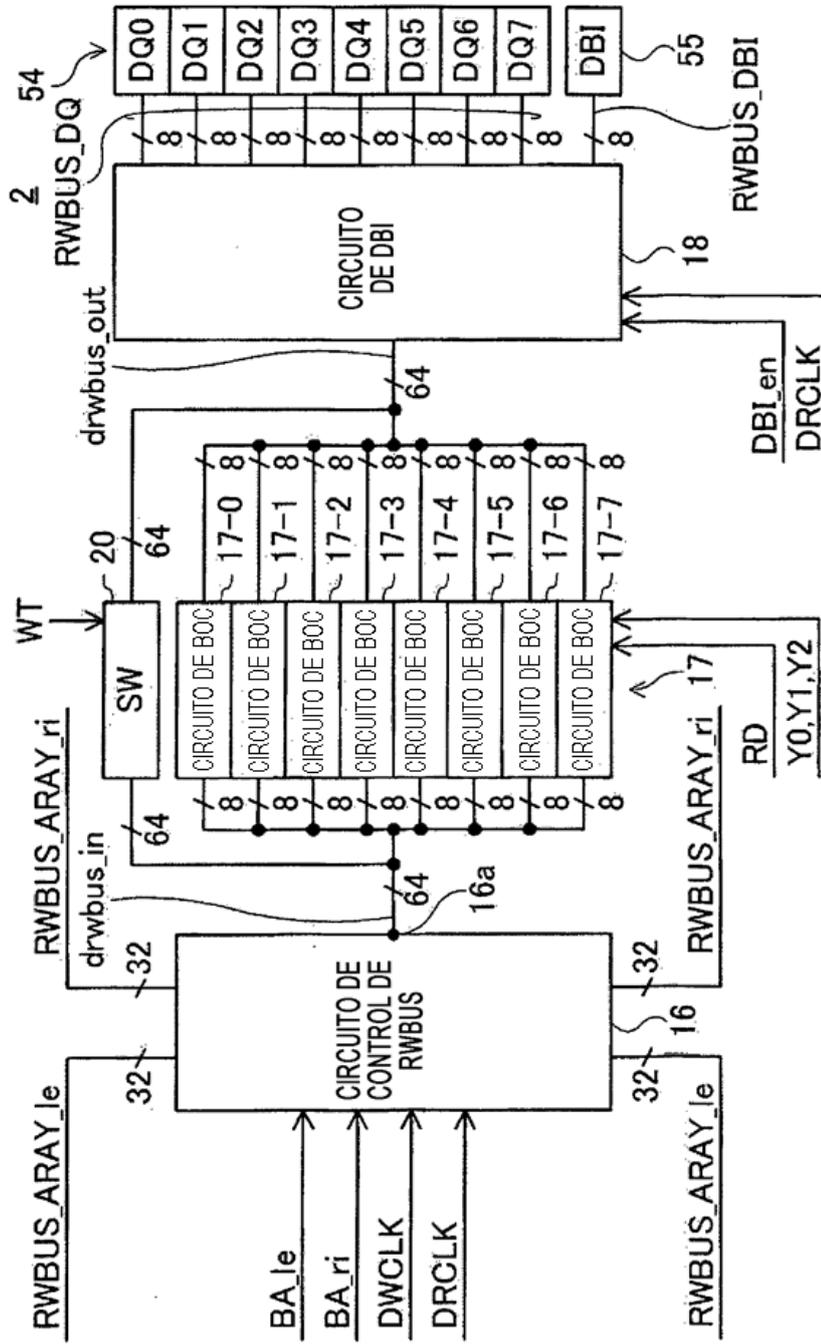


FIG.6

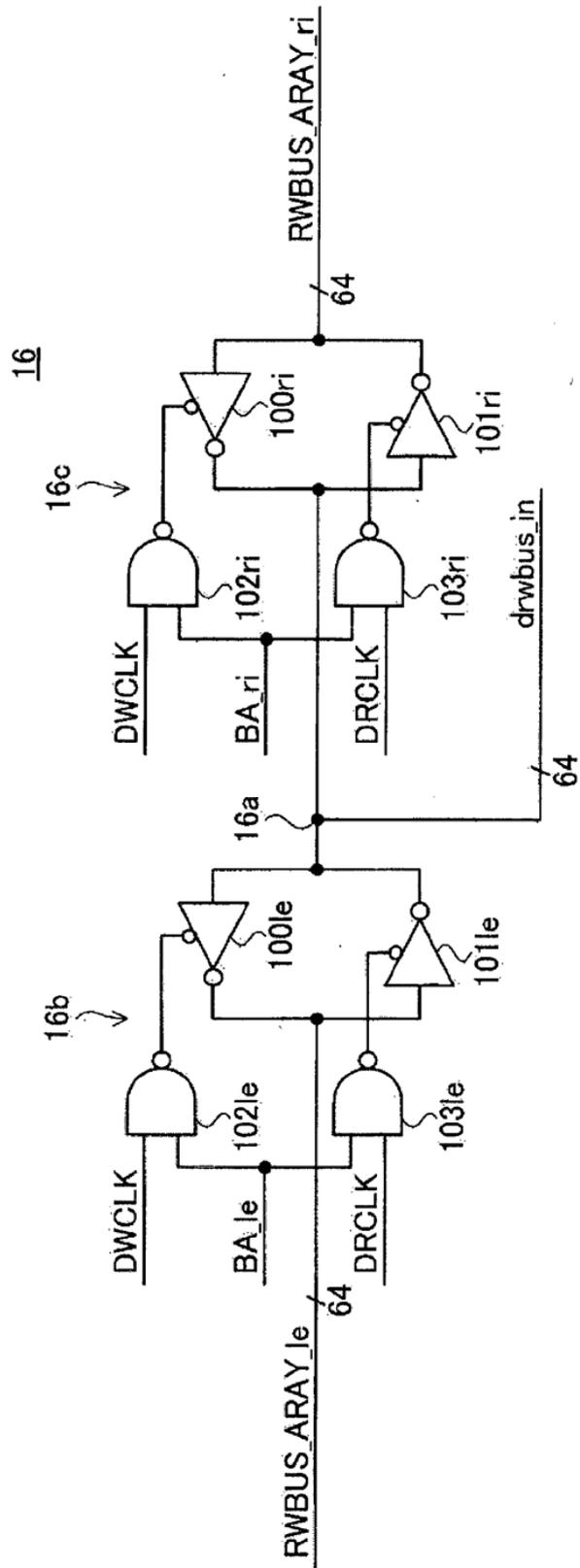


FIG. 7

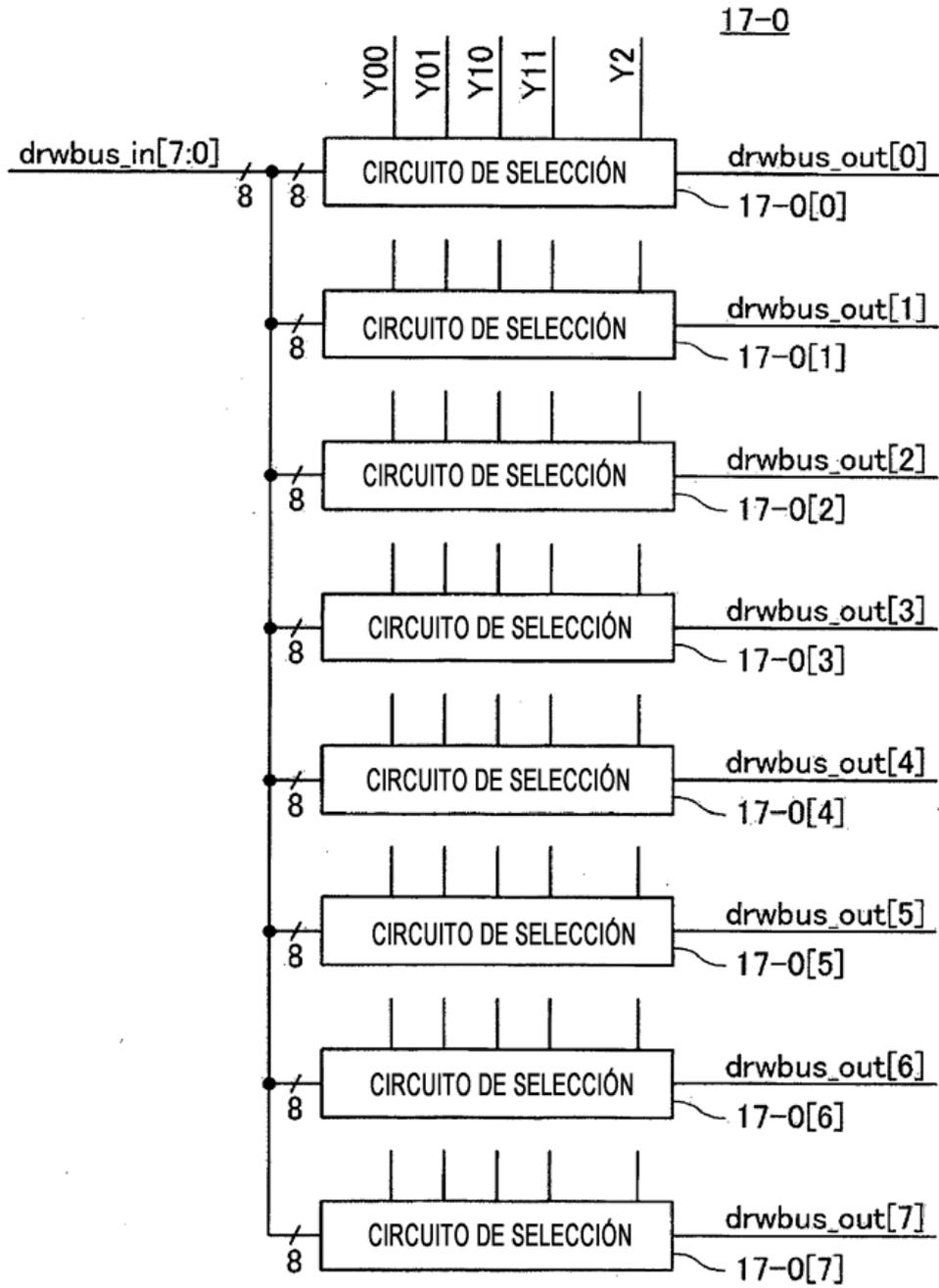


FIG.8

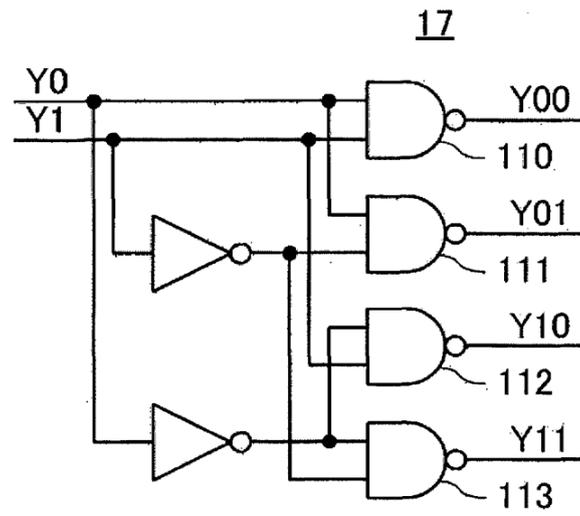


FIG.9

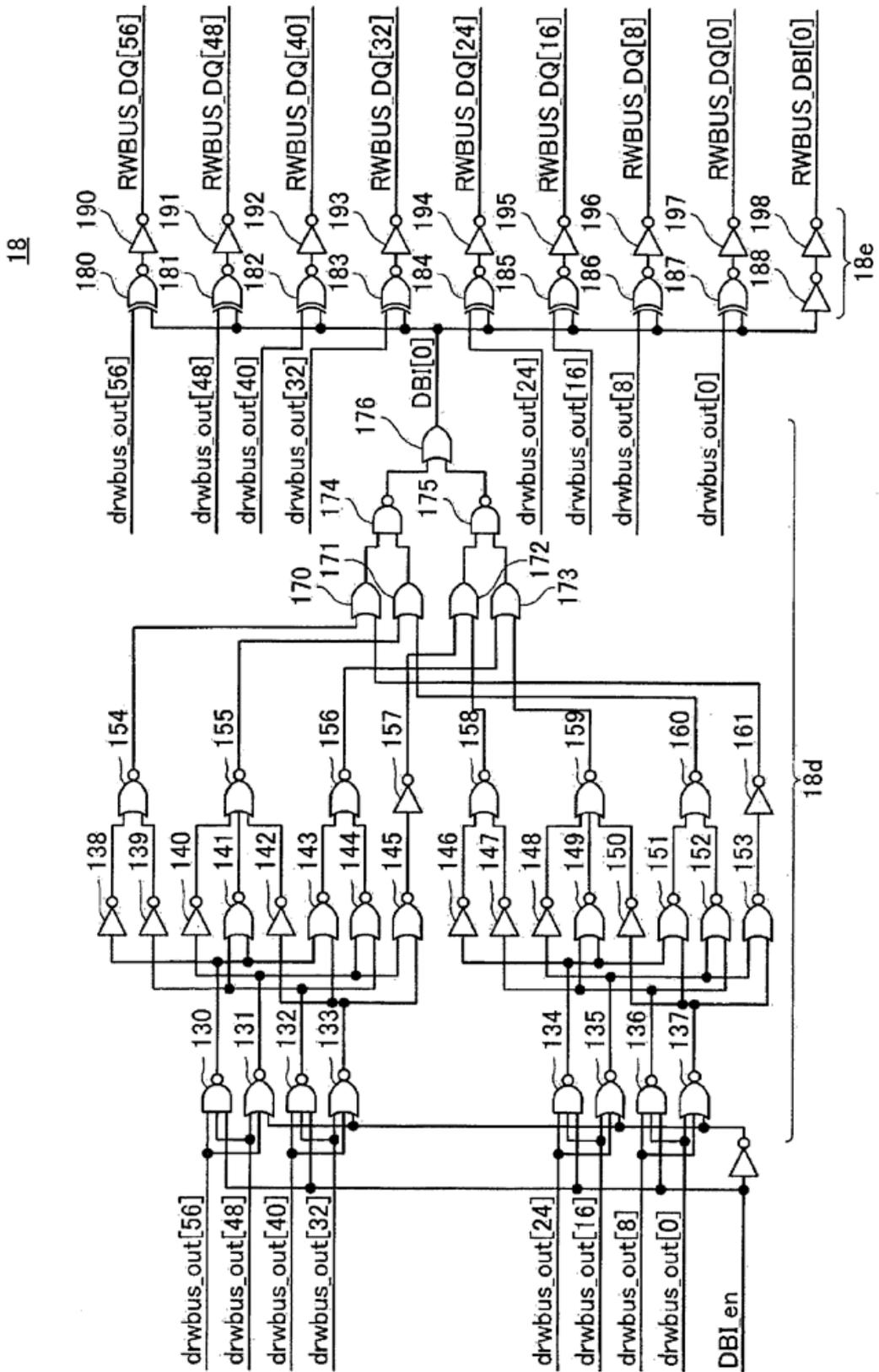


FIG.11

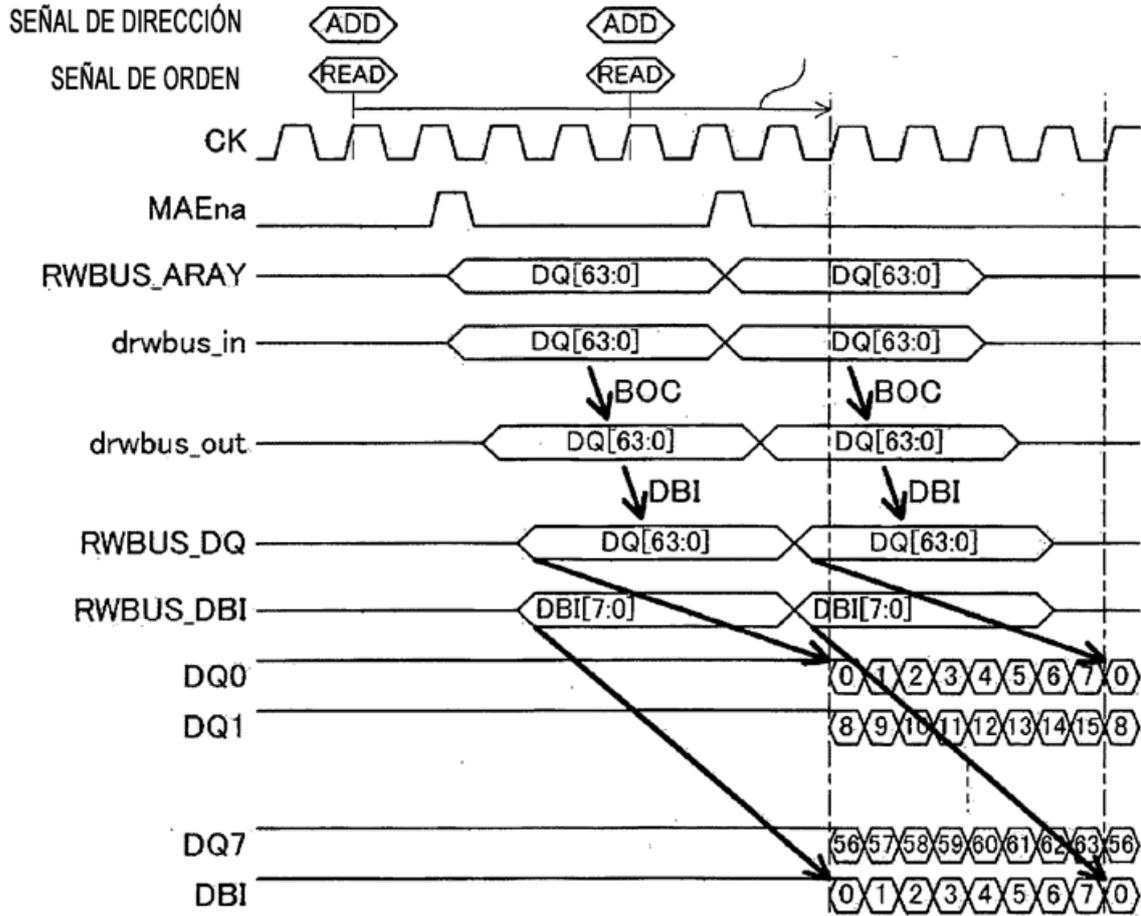


FIG.12

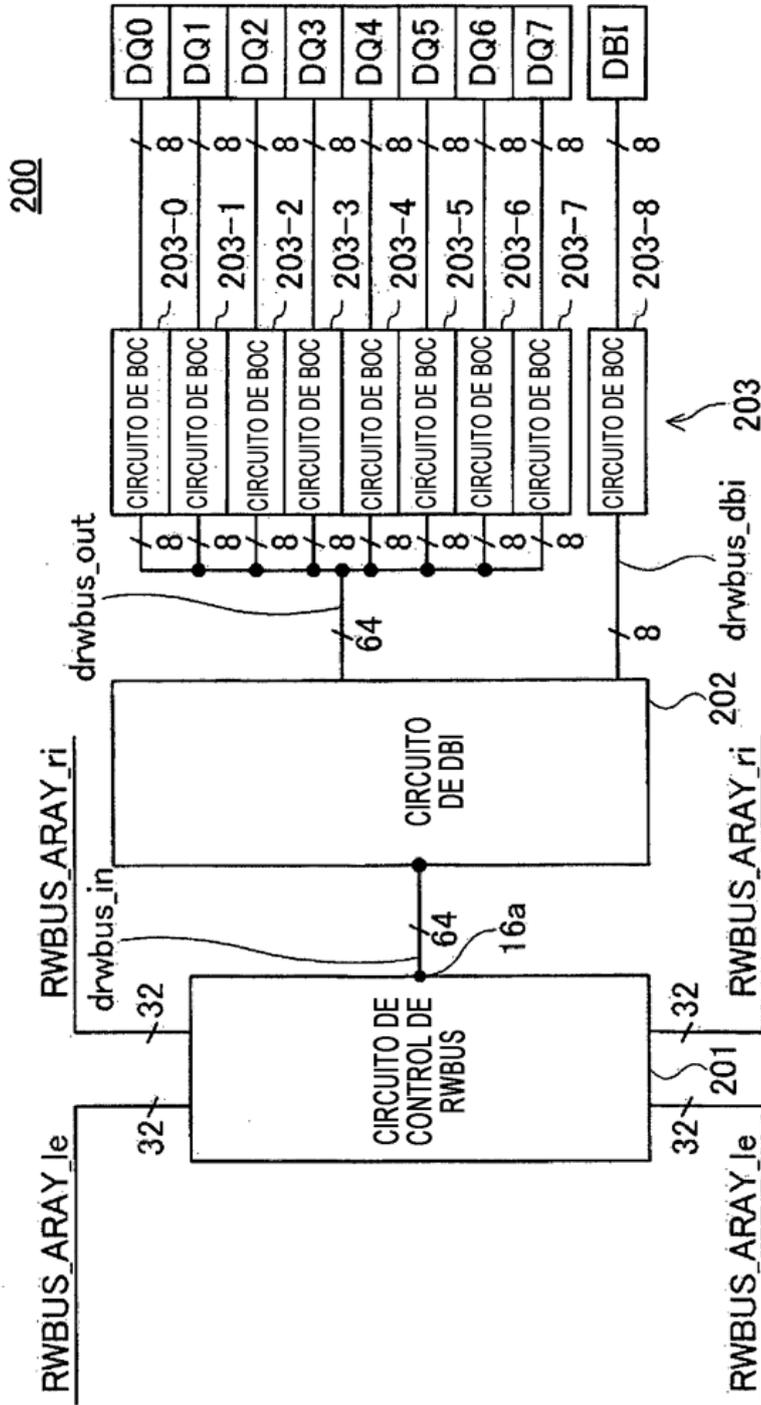


FIG.13

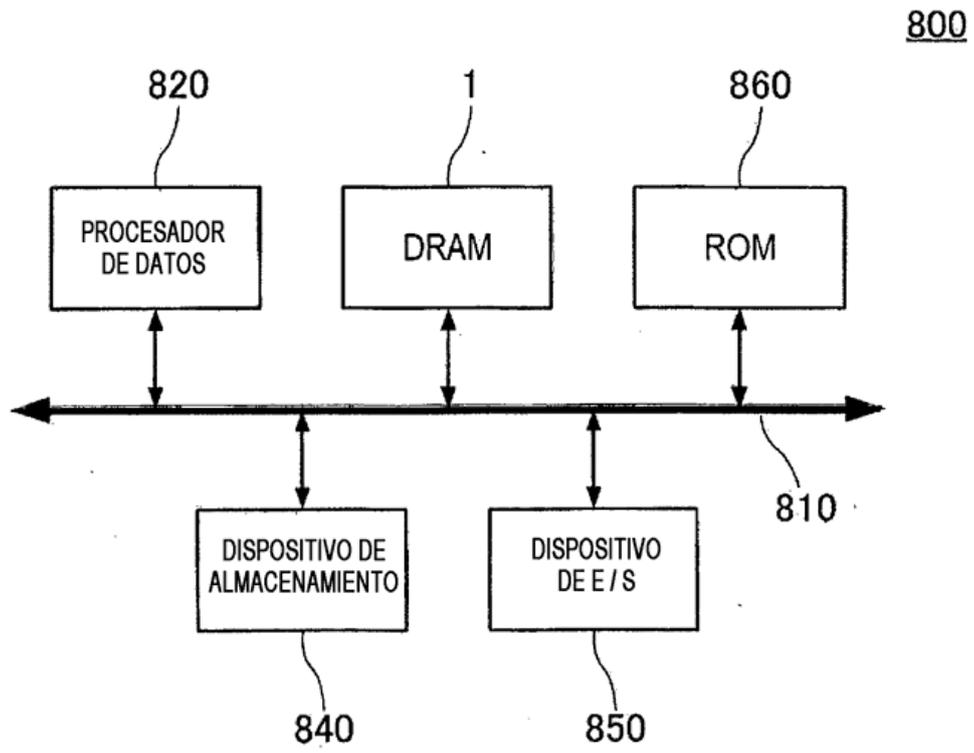


FIG.14