

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 489 844**

51 Int. Cl.:

**G11C 7/10** (2006.01)

**G11C 5/02** (2006.01)

**G11C 7/12** (2006.01)

**G11C 16/10** (2006.01)

**G11C 16/16** (2006.01)

**G11C 16/24** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **26.11.2007 E 12167530 (0)**

97 Fecha y número de publicación de la concesión europea: **14.05.2014 EP 2487687**

54 Título: **Arquitectura de núcleos en serie de memoria no volátil**

30 Prioridad:

**27.11.2006 US 867269 P**

**23.11.2007 US 944535**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**02.09.2014**

73 Titular/es:

**MOSAID TECHNOLOGIES INCORPORATED**

**(100.0%)**

**11 Hines Road, Suite 203**

**Ottawa, ON K2K 2X1, CA**

72 Inventor/es:

**KIM, JIN-KI**

74 Agente/Representante:

**TOMAS GIL, Tesifonte Enrique**

**ES 2 489 844 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

**DESCRIPCIÓN**

Arquitectura de núcleos en serie de memoria no volátil

**5 REFERENCIA CRUZADA A APLICACIONES RELACIONADAS**

[0001] Esta aplicación asegura el beneficio de prioridad de la Solicitud de Patente Provisional de EEUU nº 60/867,269, presentada el 27 de noviembre de 2006.

**10 ANTECEDENTES**

[0002] Los dispositivos electrónicos móviles, tales como, por ejemplo, cámaras digitales, asistentes digitales portátiles, reproductores de audio/video portátiles y terminales móviles siguen requiriendo memoria de almacenamiento masivo, preferiblemente memoria no volátil con capacidades de velocidad y siempre en aumento.

15 Por ejemplo, los reproductores de audio actualmente disponibles pueden tener entre 256 Mbytes y 40 Gigabytes de memoria para almacenar datos de audio/video.

Se prefiere la memoria no volátil, por ejemplo, la memoria flash y los discos duros puesto que los datos son retenidos en ausencia de electricidad, alargando así la vida de la batería.

20 [0003] Actualmente, los discos duros tienen altas densidades y pueden almacenar de 40 a 160 Gigabytes de datos, pero son relativamente voluminosos.

No obstante, la memoria flash, también conocida como una unidad de estado sólido, es popular debido a su alta densidad, por no tener volatilidad y por su tamaño pequeño con respecto a unidades de disco duro.

25 El descubrimiento de células multinivel (MLC) además aumenta la densidad de memoria flash para un área dada con respecto a células de un solo nivel.

Los expertos en la técnica entenderán que la memoria flash se puede configurar como NOR flash, NAND flash o cualquier otro tipo de configuración de memoria flash.

NAND flash tiene una densidad más alta por área dada debido a su estructura de matriz de memoria más compacta.

30 Para los objetivos de otra discusión, las referencias a memoria flash deberían ser entendidas como si fueran cualquier tipo de dispositivos flash, tales como, por ejemplo, los tipos de memoria flash NOR y NAND.

[0004] Mientras que los módulos de memoria flash existentes operan a velocidades suficientes para muchos dispositivos electrónicos de consumo actuales, tales módulos de memoria posiblemente no serán adecuados para usarse en dispositivos futuros donde se desean altos índices de datos.

35 Por ejemplo, un dispositivo multimedia móvil que graba imágenes en movimiento de alta definición es posible que requiera un módulo de memoria con un rendimiento de programación de al menos 10 MB/s, que no es obtenible con tecnología de memoria flash actual con índices de datos de programación típicos de 7 MB/s.

La flash de célula multinivel tiene un índice mucho más lento de 1,5 MB/s debido a la secuencia de programación multifase requerida para programar las células.

40 [0005] El problema con muchos dispositivos de memoria estándar recae en el uso de una interfaz de datos en paralelo para recibir y proporcionar datos.

Por ejemplo, algunos dispositivos de memoria proporcionan 8, 16 o 32 bits de datos junto a una frecuencia operativa de hasta 30 MHz.

45 Las interfaces de datos paralelos estándar que proveen múltiples bits de datos en paralelo se conocen porque sufren efectos degradantes de comunicación bien conocidos tales como interferencia, desviación de la señal y atenuación de la señal, por ejemplo, lo cual degrada la calidad de la señal, cuando operan por debajo de su frecuencia operativa estimada.

Para aumentar el rendimiento de datos, se ha revelado un dispositivo de memoria con una interfaz de datos en serie en la Publicación de la Patente de EEUU de propiedad común nº 20070076479, que recibe y proporciona datos en serie a una frecuencia de, por ejemplo, 200 MHz.

50 El dispositivo de memoria descrito en la Publicación de la Patente de EEUU nº 20070076479 se puede usar en un sistema de dispositivos de memoria que están conectados en serie entre sí, como se describe en la solicitud de la Patente Provisional de EEUU de propiedad común nº 60/902,003 solicitada el 16 de febrero de 2007.

55 [0006] La Figura 1A muestra un sistema de una pluralidad de dispositivos de memoria que están conectados en serie entre sí, como se describe en la Publicación de la Patente de EEUU nº 20070076479.

En referencia a la Figura 1A, una interconexión en serie 5 incluye una pluralidad de dispositivos de memoria que se conectan en serie con un controlador de memoria.

60 El controlador de memoria incluye una interfaz de sistema para recibir órdenes del sistema y datos del sistema donde la interconexión en serie está integrada y proporciona datos de lectura al sistema.

En particular, el Dispositivo 0 está compuesto por una pluralidad de puertos de entrada de datos (SIP0; SIP1), una pluralidad de puertos de salida de datos (SOP0; SOP1), una pluralidad de puertos de entrada de control (IPE0; IPE1), y una pluralidad de puertos de salida de control (OPE0, OPE1).

65 Estos datos y señales de control se envían al dispositivo de memoria 5 desde el controlador de memoria.

Un segundo dispositivo de memoria (Dispositivo 1) está compuesto por los mismos tipos de puertos que el

Dispositivo 0.

El Dispositivo 1 está interconectado al Dispositivo 0.

Por ejemplo, el Dispositivo 1 puede recibir datos y señales de control del Dispositivo 0.

5 Uno o varios dispositivos adicionales también pueden estar interconectados junto al Dispositivo 0 y al Dispositivo 1 de una manera similar.

Un último dispositivo (p. ej., Dispositivo 3) en la conexión en serie proporciona datos y señales de control de nuevo al controlador de memoria después de un estado latente predeterminado.

Cada dispositivo de memoria (p. ej., dispositivo 0, 1, 2, 3) emite un eco (IPEQ0, IPEQ1, OPEQ0; OPEN1) de IPE0, IPE1, OPE0 y OPE1 (es decir, puertos de salida de control) al dispositivo posterior.

10 Las señales se pueden pasar de un dispositivo a un dispositivo posterior conectado en serie.

Una única señal de reloj es proporcionada para cada uno de la pluralidad de dispositivos de memoria conectados en serie.

La Figura 1B es un diagrama de bloques que ilustra la arquitectura de núcleo de uno de los dispositivos de memoria mostrados en la Figura 1A.

15 El dispositivo de memoria **10** incluye una pluralidad de bancos de memoria idénticos con sus datos respectivos, circuitos de control y de direccionamiento, tales como el banco de memoria A **12** y el banco de memoria B **14**, un circuito interruptor de dirección y ruta de datos **16** conectado a los bancos de memoria **12** y **14**, y circuitos de interfaz idénticos **18** y **20**, asociados a cada banco de memoria para suministrar datos para recibir datos del circuito interruptor **16**.

20 Los bancos de memoria **12** y **14** son preferiblemente de memoria no volátil, tales como la memoria flash, por ejemplo.

Lógicamente, las señales recibidas y proporcionadas por el banco de memoria **12** se designan con la letra "A", mientras que las señales recibidas y proporcionadas por el banco de memoria **14** se designan con la letra "B". De

25 forma similar, las señales recibidas y proporcionadas por el circuito de interfaz **18** se designan con el número "0", mientras que las señales recibidas y proporcionadas por el circuito de interfaz **20** se designan con el número "1".

Cada uno de los circuitos de interfaz **18** y **20** recibe datos de acceso en un flujo de datos en serie, donde los datos de acceso pueden incluir un comando, información de dirección y datos de entrada para operaciones de programación, por ejemplo.

30 En una operación de lectura, cada uno de los circuitos de interfaz proporciona datos de salida como un flujo de datos en serie en respuesta a un comando de lectura y a datos de direcciones.

El dispositivo de memoria **10** además incluye circuitos globales, tales como una interfaz de control **22** y circuito de registro de estado/ID **24**, que proporcionan señales globales tales como la señal de reloj sclki y restablecen los circuitos de ambos bancos de memoria **12** y **14** y los circuitos de interfaz respectivos **18** y **20**.

Otra discusión de los circuitos ya mencionados sigue a continuación.

35 [0007] El banco de memoria **12** incluye circuitos periféricos de memoria bien conocidos como el amplificador de sentido y el bloque de circuito de tampón de página **26** para suministrar datos de salida DOUT\_A y para recibir datos de programa de entrada DIN\_A y el bloque de decodificador de fila **28**.

Los expertos en la técnica entenderán que el bloque **26** también incluye circuitos de decodificador de columna.

40 Un control y bloque de circuito de predecodificador **30** recibe señales de dirección y señales de control a través de la línea de señalización ADDR\_A y proporciona señales de dirección predecodificada a los decodificadores de fila **28** y al bloque de circuito de tampón de página y amplificador de señal **26**.

[0008] Los circuitos periféricos para el banco de memoria **14** son idénticos a los previamente descritos para el banco de memoria **12**.

45 Los circuitos del banco de memoria B incluyen un bloque de circuito de tampón de página y amplificador de señal **32** para suministrar datos de salida DOUT\_B y para recibir datos de programa de entrada DIN\_B, un bloque de decodificador de fila **34**, y un bloque de circuito de predecodificador y control **36**.

El bloque de circuito de predecodificador y control **36** recibe señales de dirección y señales de control a través de la línea de señalización ADDR\_B, y proporciona señales de dirección predecodificada a los decodificadores de fila **34** y al bloque de circuito de tampón de página y amplificador de señal **36**.

50 Cada banco de memoria y sus circuitos periféricos correspondientes se pueden configurar con arquitecturas bien conocidas.

[0009] En la operación general, cada banco de memoria es sensible a un comando y a una dirección específicos, y si es necesario, a datos de entrada.

Por ejemplo, el banco de memoria **12** proporciona datos de salida DOUT\_A en respuesta a un comando de lectura y a una dirección de lectura, y pueden programar datos de entrada en respuesta a un comando de programa y a una dirección de programa.

Cada banco de memoria puede ser sensible a otras órdenes tales como un comando de borrado, por ejemplo.

60 [0010] En el ejemplo mostrado en la Figura 1B, el interruptor de ruta **16** es un circuito de puerto doble que puede operar en uno de los dos modos para pasar señales entre los bancos de memoria **12** y **14**, y los circuitos de interfaz **18** y **20**.

El primero es un modo de transferencia directa donde las señales del banco de memoria **12** y el circuito de interfaz **18** son atravesados entre sí.

65 Al mismo tiempo, las señales de banco de memoria **14** y el circuito de interfaz **20** son atravesados entre sí en el

modo de transferencia directa.

El segundo es un modo de transferencia de cruce donde las señales del banco de memoria **12** y del circuito de interfaz **20** son atravesadas entre sí.

Al mismo tiempo, las señales del banco de memoria **14** y del circuito de interfaz **18** son atravesadas entre sí.

5 Una única configuración de puerto del interruptor de ruta **16** será discutida más tarde.

[0011] Como se ha mencionado previamente, los circuitos de interfaz **18** y **20** reciben y proporcionan datos como flujos de datos en serie.

10 Esto es para reducir los requisitos pin-out del chip al igual que para aumentar el rendimiento de señal total a altas frecuencias operativas.

Debido a que los circuitos de bancos de memoria **12** y **14** son típicamente configurados para dirección y datos en paralelo, se requieren circuitos de conversión.

15 [0012] El circuito de interfaz **18** incluye un enlace de datos en serie **40**, registro de entrada en serie a en paralelo **42** y registro de salida en paralelo a en serie **44**.

El enlace de datos en serie **40** recibe datos de entrada en serie SIP0, una señal que activa la entrada IPE0 y una señal que activa la salida OPE0, y proporciona datos de salida en serie SOP0, la señal de eco que activa la entrada IPEQ0 y la señal de eco que permite la salida OPEQ0.

La señal SIP0 (y SIP1) es un flujo de datos en serie que puede incluir dirección, comando y datos de entrada.

20 El enlace de datos en serie **40** proporciona datos de entrada en serie tamponados SER\_IN0 que corresponden con SIP0 y recibe datos de salida en serie SER\_OUT0 desde el registro de salida de en paralelo a en serie **44**.

El registro de entrada de en serie a en paralelo **42** recibe SER\_IN0 y la convierte en un conjunto paralelo de señales PAR\_IN0.

25 El registro de salida de en paralelo a en serie **44** recibe un conjunto en paralelo de datos de salida PAR\_OUT0 y lo convierte en los datos de salida en serie SER\_OUT0, que es posteriormente proporcionado como flujo de datos SOPO.

El registro de salida de en paralelo a en serie **44** puede también recibir datos del registro estado/ID **24** para la emisión de los datos almacenados en esta en vez de los datos PAR\_OUT0.

Los detalles adicionales de esta característica particular serán discutidos más tarde.

30 Además, el enlace de datos en serie **40** se configura para alojar la cadena de margarita cayendo en cascada de las señales de control y señales de datos con otro dispositivo de memoria **10**.

35 [0013] El circuito de interfaz en serie **20** es configurado idénticamente al circuito de interfaz **18**, e incluye un enlace de datos en serie **46**, registro de entrada de en serie a en paralelo **48**, y registro de salida de en paralelo a en serie **50**.

El enlace de datos en serie **46** recibe datos de entrada en serie SIP1, una señal que activa la entrada IPE1 y una señal que activa la salida OPE1, y proporciona datos de salida en serie SOP1, señal de eco que activa la entrada IPEQ1 y señal de eco que activa la salida OPEQ1.

40 El enlace de datos en serie **46** proporciona datos de entrada en serie tamponados SER\_IN1 que corresponden con SIP1 y recibe datos de salida en serie SER\_OUT1 desde el registro de salida de en paralelo a en serie **50**.

El registro de entrada de en serie a en paralelo **50** recibe SER\_IN1 y la convierte en un conjunto en paralelo de señales PAR\_IN1.

45 El registro de salida de en paralelo a en serie **48** recibe un conjunto en paralelo de datos de salida PAR\_OUT1 y lo convierte en los datos de salida en serie SER\_OUT1, que son posteriormente proporcionados como flujo de datos SOP1.

El registro de salida de en paralelo a en serie **48** puede también recibir datos del registro estado/ID **24** para la emisión de los datos almacenados en este en vez de los datos PAR\_OUT1.

50 Como con el enlace de datos en serie **40**, el enlace de datos en serie **46** está configurado para alojar la cadena de margarita cayendo en cascada desde las señales de control y desde las señales de datos con otro dispositivo de memoria **10**.

[0014] La interfaz de control **22** incluye circuitos de tampón de entrada estándar y genera la señal de selección del chip interno chip\_sel, la señal de reloj interna sclki y el restablecimiento de señal del restablecimiento interno, que corresponde con el chip seleccionado (CS#), el reloj en serie (SCLK) y el botón de reiniciar (RST#), respectivamente.

55 Mientras que la señal chip\_sel se usa principalmente por enlaces de datos en serie **40** y **46**, el botón de reiniciar y el sclki son usados por muchos de los circuitos en todo el dispositivo de memoria **10**.

60 [0015] Mientras que la interfaz de datos en serie proporciona ventajas de rendimiento sobre arquitecturas de interfaz de datos paralelos, estas ventajas pueden ser compensadas por degradaciones de rendimiento en los bancos de memoria **12** y **14**.

Más específicamente, el empuje para la densidad de memoria aumentada afectará contrariamente en como de rápido se pueden detectar los datos desde las células de memoria, especialmente las células de memoria flash configuradas NAND.

65 Para ilustrar este problema, una parte de una selección de memorias flash configuradas NAND de la Figura 1B se muestra en la Figura 2.

[0016] En referencia a las Figuras 1B y 2, el banco de memoria **12** incluye conjuntos  $i$  de bitlines, donde  $i$  es un número entero mayor de 0, y cada conjunto incluye un bitline par y un bitline impar.

Por ejemplo, el conjunto bitline 1 incluye el bitline par BL1\_e y el bitline impar BL1\_o.

5 Cada bitline está conectado con, por lo menos, una cuerda de célula NAND, donde cada cuerda de célula NAND incluye una pluralidad de células de memoria no volátil y transistores de acceso conectados en serie entre el respectivo bitline y una línea de fuente común CSL.

Los transistores de acceso incluyen un transistor seleccionado fuente para recibir una señal de línea de selección fuente SSL, y un transistor seleccionado de tierra para recibir una señal de línea de selección de tierra GSL.

10 Conectados en serie entre estos dos transistores de acceso hay una pluralidad de células de memoria no volátil, tales como células de memoria flash.

En el presente ejemplo, hay 32 células de memoria flash conectadas en serie con terminales de compuerta acoplados a respectivos wordlines de WL1 a WL32.

15 [0017] El bloque de circuito de tampón de página y amplificador de detección **26** incluye unidades de tampón de página  $i$  **60**, o una para cada conjunto bitline .

Debido a que la separación del bitline es estrecha, una unidad de tampón de página 60 es compartida entre los bitlines par e impar de un conjunto bitline.

Por lo tanto, los transistores seleccionados que reciben señales de selección pares e impares BSL<sub>e</sub> y BLS<sub>o</sub> se requieren para seleccionar un bitline del conjunto para ser acoplado a la unidad de tampón de página **60**.

20 Cada unidad de tampón de página **60** detecta y asegura los datos desde los bitlines, y los expertos en la técnica entenderán que el tampón de página asegura datos escritos para ser programado.

Cada cuerda de célula NAND que comparta los wordlines comunes WL1-WL32, SSL y líneas GSL es denominada como un bloque de memoria, mientras que las células de memoria conectadas a un wordline común son denominadas como una página.

25 Los expertos en la técnica deberían entender como las operaciones flash de lectura, programación y cancelación son ejecutadas.

[0018] La Figura 3 es un esquema de circuito de circuitos seleccionados de columna del amplificador de detección y del bloque de circuito de tampón de página **26** para acoplar datos en las unidades de tampón de página **60** de la Figura 2 para líneas de datos.

El presente ejemplo de la Figura 3 ilustra un esquema de descodificación lógico posible, donde un número programado de tampones de página se asocian con cada una de las 16 líneas de datos de DL1 a DL16.

En el presente ejemplo, hay 16 circuitos decodificadores de líneas de datos idénticamente configurados **70**, siendo uno acoplado a cada una de las líneas de datos de DL1 a DL16.

35 La siguiente descripción se refiere al circuito decodificador de líneas de datos **70** acoplado a DL1.

El circuito decodificador de líneas de datos **70** incluye 16 reagrupamientos de 32 unidades de tampón de página **60**.

En cada agrupamiento, el terminal de entrada/salida de una unidad de tampón de página se acopla a un transistor de paso respectivo de primera fase de canal  $n$  **72**.

40 Todos los transistores de paso de canal  $n$  de primera fase se conectan en paralelo y son controlados por señales de selección de primera fase de YA1 a YA32 para acoplar selectivamente una unidad de tampón de página **60** a un transistor de paso de canal  $n$  de segunda fase **74**.

Puesto que hay un transistor de paso de canal  $n$  de segunda fase **74** por agrupamiento, hay un total de 16 transistores de paso de canal  $n$  de segunda fase **74** conectados en paralelo a DL1, cada uno controlado por respectivas señales de selección de segunda fase de YB1 a YB16.

45 Debido a que las señales de YA1 a YA32 y de YB1 a YB16 se comparten a través de todas las líneas de datos de los circuitos decodificadores **70**, la activación de una señal de selección de primera fase y una de selección de segunda fase se acopla a una unidad de tampón de página **60** de cada circuito decodificador de línea de datos **70**, a una línea de datos correspondiente.

50 [0019] En una lectura, la operación de verificación programada y de verificación eliminada, los datos celulares en la página seleccionada deberían ser detectados y asegurados en sus unidades de tampón de página correspondientes **60**.

La descodificación de columna luego selecciona que unidades de tampón de página para acoplar a las líneas de datos.

55 La detección depende de la corriente celular generada por una célula de memoria de selección, y la corriente celular depende del número de células en la cuerda de célula NAND.

En el ejemplo de la Figura 2, la corriente celular es típicamente menor que 1 ( $\mu$ A) para una cuerda de célula NAND 32 fabricada con una tecnología de proceso de 90 nm.

60 Desafortunadamente, el empuje para aumentar la densidad de la matriz de memoria para bajar el coste del dispositivo produce la adición de más células de memoria por cuerda de célula NAND.

Como resultado, esta corriente celular descenderá además, requiriendo así circuitos de detección más sensibles y/o tiempo de detección.

Otra combinación de este problema es el retraso bitline RC debido a la longitud física del bitline y la capacitancia de conjunción de la cuerda de célula NAND conforme al número de células por cuerda de célula NAND es aumentada.

65 Estos cambios físicos en combinación con el proceso de fabricación avanzado para reducir los tamaños de la característica además exagera el problema de corriente celular.

Este problema con la corriente celular es bien conocido, como fue demostrado por June Lee *et al.*, "A 90-nm CMOS 1.8-V 2-Gb NAND Flash Memory for Mass Storage" Applications," IEEE J. Solid-State Circuits, vol. 38, págs. 1934-1942, Nov. 2003.

5 Otro problema relacionado con el uso de procesos de fabricación avanzados es el rendimiento, donde los bitlines largos introducen problemas de uniformidad del proceso a través de pasos del proceso, reduciendo así el rendimiento por oblea conforme el potencial para defectos aumenta.

[0020] Una solución posible para este problema puede ser limitar el número de células de memoria por cuerda de célula NAND y dividir matrices de memoria grandes en los bancos de memoria múltiples.

10 Una ventaja de tener bancos de memoria múltiples es la capacidad de transferir datos directamente entre los bancos de memoria sin tener que transferir datos fuera del dispositivo de memoria.

La desventaja del uso bancos de memoria múltiple es que cada banco requiere su propio conjunto de bloque de circuito de tampón de página y amplificador de señal **26**, aumentando así el área superior del circuito adicional y del chip.

15 El circuito complejo y área superior requeridos para implementar la transferencia de datos de banco a banco directa también consume el área de chip adicional.

[0021] US 2004/174727 A1 se refiere a un equipo para dividir un banco en una memoria flash.

20 Un bloque de la memoria flash se divide en dos bancos y cada tampón de página está localizado entre los dos bancos para proporcionar una línea de entrada/salida.

Por lo tanto, es posible acortar la longitud de un bitline, mejorar un índice de detección de datos y permitir a un banco que ejecute una operación mientras el otro banco ejecuta una operación de lectura, escritura o eliminación.

[0022] EP 0 763 828 A2 se refiere a un dispositivo de memoria semiconductor no volátil incluyendo células de memoria no volátil, circuitos de voltaje constante para aplicar uno de los diferentes voltajes de verificación para controlar las puertas de las células de memoria no volátil en respuesta a datos de control introducidos en el dispositivo de memoria desde el exterior, y circuitos de circuito de escritura y detección para aplicar un potencial a drenajes de células de memoria no volátil en respuesta a datos escritos introducidos en el dispositivo de memoria y para detectar y amplificar corrientes entre drenajes y fuentes de las células de memoria.

25 30 Dividiendo la matriz de célula de memoria y un registro en serie en algunas partes y conectando un SRAM externo para avanzar la transferencia de datos desde la matriz de célula de memoria al registro en serie y la transferencia de datos del registro en serie al SRAM externo en paralelo, la velocidad de lectura es aumentada.

[0023] US 2002/031037 A1 se refiere a una memoria de acceso aleatorio dinámica con dos bancos de memoria divididos donde las células de memoria se dividen en los grupos primero y segundo cada uno de los cuales incluye una matriz de células de memoria conectadas a un wordline correspondiente.

Esas células de memoria se subdividen en subgrupos cada uno de los cuales tiene cuatro células de memoria.

Un primer conjunto de líneas de entrada/salida se proporciona para el primer grupo de células de memoria, y un segundo conjunto de líneas de entrada/salida se proporciona para el segundo grupo de células de memoria.

35 40 Una sección de circuito de salida se conecta a las líneas de esos conjuntos de entrada/salida para datos de salida a los cuales transferirlas.

Una sección de controlador de acceso especifica subgrupos alternativamente desde el primer y segundo grupo de células de memoria con cuatro células de memoria como una unidad mínima de acceso sustancial, accede a células de memoria de un subgrupo específico para leer datos almacenados de ahí y transfiere los datos de lectura para líneas de entrada/salida correspondientes asociadas con ellos.

45 Los datos de lectura son suministrados a la sección de circuito de salida para la conversión en datos en serie y luego salir desde ahí.

## RESUMEN

50 [0024] En un primer aspecto, la presente invención proporciona un tampón de página de un banco de memoria tal y como se define en la reivindicación 1.

En un segundo aspecto, la presente invención proporciona un método para acceder a un banco de memoria tal y como se define en la reivindicación 12.

55 Formas de realización diferentes de la presente invención se definen en reivindicaciones dependientes.

[0025] Otros aspectos y características de la presente invención se harán aparentes para los comúnmente expertos en la técnica en la revisión de la descripción siguiente de formas de realización específicas de la invención conjuntamente con las figuras de acompañamiento.

60

## BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0026] Formas de realización de la presente invención serán ahora descritas, por medio de ejemplo solo, con referencia a las Figuras adjuntas, donde:

65 La Figura 1A muestra un sistema de una pluralidad de dispositivos de memoria conectados en serie entre sí;

Fig. 1B es un diagrama de bloques de un dispositivo de memoria con una interfaz de datos en serie;

5 Fig. 2 es un esquema de circuito que muestra cuerdas de células NAND acopladas a un bloque de circuito de tampón de página y amplificador de señal de la Figura 1B;

Fig. 3 es un esquema de circuito que muestra un esquema de decodificación de columna usado con el bloque de circuito de tampón de página y amplificador mostrado en la Figura 2;

10 Fig. 4A es un diagrama de bloques de un sistema de núcleo en serie de memoria no volátil según una forma de realización de la presente invención;

Fig. 4B es un diagrama de bloques de ilustración de detalles de una ruta de datos en serie mostrada en la Figura 4A;

15 Fig. 5 es un diagrama de bloques de un banco de memoria de la Figura 4A, según una forma de realización de la presente invención;

20 Fig. 6 es una forma de realización esquemática de circuito del convertidor de datos en paralelo/en serie mostrado en la Figura 5;

Fig. 7A es un diagrama de bloques que muestra detalles de dos sectores del banco de memoria de la Figura 5;

25 Fig. 7B es una forma de realización esquemática de circuito que muestra la disposición de bitline de los sectores mostrados en la Figura 5;

Fig. 8 es una forma de realización esquemática de circuito de un circuito decodificador para controlar el circuito de selección de bitline de la Figura 7;

30 Fig. 9 es un esquema de circuito de la bomba de carga mostrada en la Figura 8;

Fig. 10 es un diagrama de bloques que muestra un circuito seleccionado de columna de autodescodificación, según una forma de realización de la presente invención;

35 Fig. 11 es un diagrama de bloques que muestra los detalles de una célula de tampón de página de autodescodificación, según una forma de realización de la presente invención;

Fig. 12 es un esquema de circuito de un activador secuencial en la célula de tampón de página de autodescodificación de la Figura 11, según una forma de realización de la presente invención;

40 Fig. 13 es un esquema de circuito de una unidad de tampón de página en la célula de tampón de página de autodescodificación de la Figura 11, según una forma de realización de la presente invención;

45 Fig. 14 es un diagrama de secuencia que ilustra la operación de la columna de autodescodificación de circuito seleccionado de la Figura 10;

Fig. 15 es un diagrama de bloques que ilustra una configuración de dos bancos con una arquitectura de núcleo en serie, según una forma de realización de la presente invención;

50 Fig. 16 es un esquema de circuito del interruptor de transferencia en serie mostrado en la Figura 15, según una forma de realización de la presente invención; y,

Fig. 17 es un diagrama de bloques de un sistema de memoria en núcleos en serie de multibanco con dos rutas de datos en serie independientes, según una forma de realización de la presente invención;

## DESCRIPCIÓN DETALLADA

55 [0027] Generalmente, se prevé un sistema de memoria con una interfaz de datos en serie y un núcleo de ruta de datos en serie para recibir datos y para suministrar datos por lo menos a un banco de memoria como un bitstream en serie.

El banco de memoria se divide en dos mitades, donde cada mitad se divide en sectores superiores e inferiores.

60 Cada sector proporciona datos en paralelo a un tampón de página bidimensional compartido con un circuito integrado autodescodificador de columna.

Un convertidor de datos de serie a paralelo dentro del banco de memoria acopla los datos paralelos de cualquier mitad al núcleo de ruta de datos en serie.

65 El tampón de página bidimensional compartido con el circuito integrado autodescodificador de columna minimiza el área del circuito y del chip superior para cada banco, y el núcleo de ruta de datos en serie reduce el área del chip típicamente usada para buses de datos amplios de enrutamiento.

Por lo tanto un sistema de banco de memoria múltiple es implementado sin un aumento significativo del área del chip correspondiente cuando se compara con un único sistema de banco de memoria con la misma densidad.

[0028] La Figura 4A es un diagrama de bloques de un sistema de núcleo en serie de memoria no volátil según una forma de realización de la presente invención.

El sistema de memoria en núcleos en serie **100** incluye una ruta de datos en serie **102** para acoplar un bitstream de datos en serie entre pines de interfaz de entrada/salida externos llamados pines DATA/CMD\_IN y DATA/CMD\_OUT y al menos un banco de memoria **104**.

Un banco de memoria se entiende que incluye circuitos limitados de separación, tales como decodificadores de fila, amplificadores de señal, tampones de página, sistema de circuitos de descodificación de columna, y cualquiera de los otros circuitos que están formados cerca de las filas y columnas de células de memoria que componen la matriz de memoria.

Tales circuitos son formados cerca de la matriz de memoria para maximizar la densidad de registro de los circuitos mientras se minimiza la ruta de transmisión de señales eléctricas, tales como corrientes bitline y tensiones wordline.

Otros bloques funcionales del sistema de memoria de núcleos en serie **100** incluye un bloque de control **106** y un generador de alta tensión **108** para proveer los niveles de tensión necesarios para programar y eliminar las células de memoria no volátil del banco de memoria **104**.

El bloque de control **106** incluye un decodificador comando, registros y otros circuitos de control relacionados (no mostrados) que se usan por gobernar la operación del sistema de memoria de núcleo en serie **100**.

[0029] Según la presente forma de realización, el banco de memoria **104** se configura para proporcionar datos de lectura y para recibir datos de escritura (para programar), en un bitstream en serie.

En el ejemplo mostrado en la Figura 4A, los datos de lectura y los datos de escritura comparten una línea de datos en serie bidireccional **110**, no obstante formas de realización alternas pueden haber dedicado líneas de datos unidireccionales de entrada y salida.

En la forma de realización de la Figura 4A, la ruta de datos en serie **102** recibe los datos de lectura en serie y los pasa al pin DATA/CMD\_OUT en el formato en serie, y pasa datos de escritura en serie al banco de memoria **104** recibidos del pin DATA/CMD\_IN.

Por lo tanto, en ambas operaciones de lectura y escritura, los datos se mantienen en el formato en serie entre el banco de memoria y los pines I/O de datos.

Se describirán ahora detalles adicionales de la ruta de datos en serie **102**.

[0030] La ruta de datos en serie **102** es principalmente responsable del acoplamiento de datos de lectura o escritura en un formato en serie entre el banco de memoria **104** y cualquiera de los pines DATA/CMD\_IN y DATA/CMD\_OUT.

Opcionalmente, la ruta de datos en serie **102** puede selectivamente acoplar datos de lectura o escritura entre dos o más bancos de memoria y cualquiera de los pines DATA/CMD\_IN y DATA/CMD\_OUT.

En otra forma de realización alterna, la ruta de datos en serie **102** puede acoplar datos de lectura directamente entre dos bancos de memoria diferentes.

La ruta de datos en serie **102** incluye una interfaz I/O en serie **112**, un árbitro de datos **114** y un interruptor de datos **116**.

[0031] La Figura 4B muestra detalles de la ruta de datos en serie **102** mostrada en la Figura 4A.

En referencia a las Figuras 4A y 4B, la interfaz I/O en serie **112** se conecta directamente a los pines DATA/CMD\_IN y DATA/CMD\_OUT.

La interfaz I/O en serie **112** puede ser configurada de forma similar al enlace de datos en serie **40** de la Figura 1B e incluir el mismo sistema de circuitos descrito para esta en la publicación de patente EEUU nº 20070076479.

En el presente ejemplo, las señales de entrada de control adicionales mostradas en el enlace de datos en serie **40** de la Figura 1B no se muestran para simplificar el esquema.

Generalmente, la interfaz I/O en serie **112** recibe y almacena las señales de datos de entrada externamente recibidos, y puede incluir pasar a través de circuitos para acoplar directamente datos del pin DATA/CMD\_IN al pin DATA/CMD\_OUT.

Esta característica se utiliza para pasar cualquier comando con datos opcionales a otro dispositivo de memoria si el comando no se destina al dispositivo de memoria actual.

La interfaz I/O en serie **112** incluye tampones de entrada **120** para recibir datos de entrada en serie de su pin DATA/CMD\_IN, y tampones de salida o driver de salida **122** para suministrar datos de lectura y pasar datos a través de su pin DATA/CMD\_OUT.

Los tampones de entrada **120** y drivers de salida **122** se controlan por una o varias señales de control de tampón recibidas del bloque de control **106**, denominados B\_CTRL en la Figura 4A.

[0032] El árbitro de datos **114** recibe los datos en serie de la interfaz I/O en serie **112**.

El árbitro de datos **114** incluye un convertidor de datos comando **124** y un interruptor de ruta **126**.

El convertidor de datos comando **124** convierte solo los datos de comando del formato en serie a un formato en paralelo, que son luego enviados al bloque de control **106** como señal de comando paralela COMMAND.

El interruptor de ruta **126** conecta selectivamente la interfaz I/O en serie **112** al convertidor de datos comando **124** del interruptor de datos **116** en respuesta a una señal del interruptor del bloque de control **106** (no mostrado).

Convertidor de datos comando **124** puede incluir un registro de desplazamiento en serie/paralelo que recibe en serie

los datos de comando en cada borde de reloj activo, y tiene salidas paralelas de cada fase del registro de desplazamiento para suministrar el comando en paralelo.

Registros de desplazamiento en serie/paralelo se conocen en el arte. Debido a que la estructura de datos de los datos de acceso está predeterminada, por ejemplo los datos de comando pueden ser los dos primeros bytes seguidos de datos de escritura, el bloque de control **106** sabrá cuando todos los bits de datos de comando han sido cargados en el convertidor de datos comando **124** contando el número de bordes de reloj que han pasado.

Cualquier dato de escritura que se recibe permanece en el formato en serie, y es pasado en serie al interruptor de datos **116**.

Por consiguiente, el convertidor de datos de comando **124** solo recibirá los datos de comando mientras que el interruptor de datos solo recibirá los datos de escritura.

[0033] El interruptor de datos **116** incluye otro interruptor de ruta **128** que se controla por la señal SWTCH del bloque de control **106**, para acoplar datos en serie entre el banco de memoria y el árbitro de datos **114**, o para acoplar datos en serie entre dos bancos de memoria diferentes mediante las correspondientes líneas de datos de transferencia en serie **118**.

Si no hay otros bancos de memoria en el chip, entonces el interruptora de datos **116** no es requerido y los datos en serie son proporcionados directamente al banco de memoria **104** desde el árbitro de datos **114**.

[0034] La operación del sistema de memoria de núcleo en serie **100** en una operación de programa/de lectura y escritura es ahora descrita.

En una operación de lectura, se supone que un comando de lectura en serie se recibe en el pin DATA/CMD\_IN, que es luego convertido en el formato en paralelo y enviado al controlador **106** mediante el árbitro de datos **114**.

El controlador **106** entonces activa las filas y columnas apropiadas en el banco de memoria **104** para acceder a los datos deseados.

El banco de memoria **104** es luego controlado para proporcionar los datos de lectura en un bitstream en serie al interruptor de datos **116**.

Si los datos de lectura deben generarse para el pin DATA/CMD\_OUT, entonces el interruptor de datos **116** será controlado para pasar los datos de lectura al árbitro de datos **114**, que pasa simplemente los datos de lectura a la interfaz I/O en serie **112** para la salida a través del pin DATA/CMD\_OUT.

[0035] En una operación de programa o de escritura, los datos en serie recibidos en el pin DATA/CMD\_IN incluyen datos comando y de escritura.

Los datos de comando incluyen datos de dirección según los cuales los datos de escritura deben ser programados.

Los datos de comando se convierten al formato en paralelo por el árbitro de datos **114** y son pasados al bloque de control **106**.

Cabe señalar que el comando es recibido antes que los datos de escritura en el bitstream en serie, de modo que la descodificación del comando se puede ejecutar para iniciar circuitos para la operación de programación mientras que los datos de escritura son pasados al banco de memoria **104**.

Debido a que el bloque de control **106** ha recibido un programa comando, los algoritmos de programación apropiados se ejecutan y los voltajes de programa apropiados son aplicados, para asegurar que los datos de escritura se programan para la dirección de destino.

Algoritmos adicionales tales como la verificación del programa también serán ejecutados para repetir la programación, si es necesario.

[0036] Tal y como se describe anteriormente en la Figura 4A, el banco de memoria **104** proporciona y recibe datos en serie.

No obstante, como las personas expertas en la técnica entenderán, matrices de memoria tales como la memoria flash son intrínsecamente paralelas en esencia.

Esto significa que más de un bit de datos es accedido desde la matriz de memoria y escrito para la matriz de memoria en cualquier operación única de lectura o escritura, respectivamente.

Según la presente forma de realización del banco de memoria **104**, un convertidor en paralelo/en serie interno se proporciona para convertir datos en serie en un formato en paralelo, y viceversa.

Más específicamente, los datos de lectura proporcionados en paralelo desde los bitlines de la matriz de memoria se convierten en el formato en serie, y los datos de escritura en serie se convierten en formato en paralelo para la aplicación simultánea a bitlines de la matriz de memoria.

Además, el banco de memoria **104** se configura para maximizar el rendimiento wordline y bitline segmentando la matriz de memoria en secciones a lo largo de las direcciones del wordline y del bitline.

[0037] La Figura 5 es un diagrama de bloques que ilustra una forma de realización de ejemplo del banco de memoria **104** de la Figura 4A, según una forma de realización de la presente invención.

El banco de memoria **200** está dividido en cuatro porciones de memoria, mostradas como sectores (sector 1, sector 2, sector 3 y sector 4) **202**, **204**, **206** y **208**.

En la orientación física del banco de memoria **200** de la Figura 5, cada sector incluye bitlines que se extienden en la dirección vertical y wordlines que se extienden en la dirección horizontal.

Por ejemplo, las células de memoria se pueden organizar como cuerdas de célula NAND flash similares a aquellas mostradas en la Figura 2.

Para la transmisión de wordlines, cada sector incluye un bloque conductor wordline **210**, que puede incluir lógica de descodificación asociada para activar un wordline seleccionado durante operaciones de lectura y programación.

En la presente forma de realización, los bloques conductores wordline **210** correspondientes a los sectores **202** y **204** activan el mismo wordline lógico de una fila en respuesta a una dirección de fila dentro de una primera gama de dirección, mientras que los bloques conductores wordline **210** correspondientes a los sectores **206** y **208** activan el mismo wordline lógico de una fila en respuesta a una dirección de fila dentro de una segunda gama de dirección.

En otras palabras, las filas del banco de memoria **200** son accedidas de la misma manera que una matriz de memoria tradicional consistente en un único sector grande con el mismo número de filas.

No obstante, el rendimiento wordline es mejorado debido a que cada fila wordline se divide en segmentos más cortos que son conducidos por sus propios bloques conductores wordline **210**.

Por consiguiente, la ubicación central de los bloques conductores wordline **210** divide el banco de memoria en las mitades de banco izquierda y derecha, donde los sectores **202** y **206** forman la mitad izquierda y los sectores **204** y **208** forman la mitad derecha.

[0038] Para detectar datos bitline y asegurar datos de programa, los sectores **202** y **206** tienen sus bitlines acoplados al tampón de página compartida **212**, mientras que los sectores **204** y **208** tienen sus bitlines acoplados al tampón de página compartida **214**.

Por consiguiente, los sectores **202** y **204** se pueden denominar sectores inferiores mientras que los sectores **206** y **208** se pueden denominar sectores superiores.

Los tampones de página **212** y **214** se configuran para ser selectivamente acoplados a uno de un sector superior y de un sector inferior, superando así la necesidad de tener conjuntos separados de tampones de página para cada sector.

Esto contribuye a la minimización de área del área del banco de memoria **200**.

Detalles adicionales de los tampones de página compartidos **212** y **214** se describen más tarde.

Los tampones de página **212** y **214** detectan y retienen en paralelo, datos bitline en respuesta a un wordline activado durante una operación de lectura.

Los datos asociados a las células de memoria conectados a un único wordline son comúnmente denominados página de datos.

En la configuración actualmente descrita de la Figura 5 donde los wordlines en ambas mitades del banco de memoria son lógicamente iguales, el tampón de página **212** detecta y retiene una primera media hoja de datos y el tampón de página **214** detecta y asegura una segunda mitad de la hoja de datos.

Como los expertos en la técnica entenderían, los tampones de página **212** y **214** detectan y aseguran los datos bitline en paralelo en la activación del seleccionado wordline.

Una vez asegurados, estos datos de lectura finalmente serán generados como un bitstream en serie.

[0039] Como será mostrado más tarde, un primer conjunto de líneas de datos de entrada/salida se acopla a un tampón de página **212**, y un segundo conjunto de líneas de datos de entrada/salida se acopla al tampón de página **214**.

La anchura de los conjuntos de líneas de datos será  $n$  bits de ancho, donde  $n$  es un valor de número entero mayor que 1.

Localizado entre las dos mitades hay un selector de conversión de datos en paralelo/en serie (P/SCS) **216**, que funciona como un acoplador secuencial, que se acopla a los conjuntos de líneas de datos acoplados a los tampones de página **212** y **214**.

El selector de conversión de datos en paralelo/en serie **216** es colocado de manera que ambos conjuntos de líneas de datos son de la misma longitud física, y preferiblemente de una longitud física mínima para minimizar la capacitancia de carga.

En la presente forma de realización, el selector de conversión en paralelo/en serie **216** convierte datos en paralelo del tampón compartido **212** en formato en serie sobre las líneas de datos **110** o convierte los datos en paralelo del tampón compartido **214** en formato en serie sobre líneas de datos bidireccionales en serie **110**.

Más específicamente, cada una de las  $n$  líneas de datos es consecutivamente acoplada a la línea de datos en serie bidireccional única **110** como una señal llamada GLOB\_DATA.

El selector de conversión en paralelo/en serie **216** convierte datos en serie en la línea de datos en serie bidireccional **110** en formato en paralelo para las  $n$  líneas de datos acopladas al tampón de página compartido **212** o tampón de página compartido **214**.

Por ejemplo, el selector de conversión en paralelo/en serie **216** se controla para acoplar cada una de las  $n$  líneas de datos correspondientes al tampón de página **212** a líneas de datos bidireccionales en serie **110**, seguidas de cada una de las  $n$  líneas de datos correspondientes al tampón de página **214**.

[0040] Lo que viene a continuación es un ejemplo para ilustrar la relación del número de líneas de datos y el tamaño de media hoja de datos almacenados en cualquiera de los tampones de página **212** y **214**.

Por ejemplo, si el tampón de página **212** asegura media página de 1024 bit, y la línea de datos es 16 bits de ancho, entonces el selector de conversión en paralelo/en serie **216** irá en ciclos a través de  $1024/16=64$  conjuntos de datos de 16 bit de ancho.

Una vez que todos los 1024 bits son generados en serie en la línea de datos en serie **110**, entonces se proporcionan los siguientes 1024 bits del tampón de página **214**.

Detalles de esta implementación se mostrarán más tarde.

Una operación de programa es el proceso inverso de la operación de lectura donde los datos de escritura en serie se proporcionan en la línea de datos en serie **110**.

En el presente ejemplo, 16 bits se aplican en paralelo al tampón de página **212** a través de 16 líneas de datos en cada ciclo.

5 [0041] La forma de realización de la Figura 5 muestra un banco de memoria **200** con mitad izquierda y derecha. En una configuración alterna, la matriz de memoria incluye solo dos sectores, tales como los sectores **202** y **206**. El sector **206** puede así ser del tamaño total de los sectores **206** y **208** y el sector **202** puede ser del tamaño total de los sectores **202** y **204**.  
10 En tal configuración, una página completa de datos sería asegurada por el tampón de página **212**.

[0042] La Figura 6 es un esquema de circuito de convertidor de datos en paralelo/en serie **216** según una forma de realización de la presente invención.

15 En referencia a la Figura 6, el selector de conversión de datos P/S **216** incluye un primer convertidor de datos en paralelo/en serie (P/SDC) **300**, un segundo P/SDC **302**, y un selector de ruta de datos **304**.

P/SDC **300** y P/SDC **302** pueden ser implementados como interruptores idénticos bidireccionales de n hasta 1 de multiplexor/demultiplexor, y el selector de ruta de datos **304** puede ser implementado como si fuera un interruptor bidireccional 2 hasta 1 de multiplexor/demultiplexor.

20 P/SDC **300** selectivamente adapta cada una de las líneas de la izquierda de L\_DL1 a L\_DLn al terminal de línea de datos en serie bidireccionales locales L\_DATA, mientras que P/SDC **302** selectivamente adapta cada una de las líneas de datos de la derecha de R\_DL1 a R\_DLn al terminal de línea de datos en serie bidireccionales locales R\_DATA.

El selector de ruta de datos **304** selectivamente adapta L\_DATA o R\_DATA a la línea de datos en serie bidireccionales globales **110** como GLOB\_DATA.

25 Para consecutivamente adaptar cada una de las líneas de datos a la salida, un contador **306** puede utilizarse para proporcionar salidas que se decodifican dentro de P/SDC **300** y P/SDC **302** en respuesta a una señal cronometrada CLK.

Tales esquemas de decodificación de contador deberían ser bien conocidos para aquellos expertos en la materia. Por consiguiente, L\_DATA y R\_DATA son n bits en la longitud para un ciclo del contador.

30 El selector de ruta de datos **304** se controla por una señal de control de selección HALF\_SEL para permitir a todos n bits de L\_DATA pasar a través en un estado lógico, y permitir todos los n bits de R\_DATA pasar a través en el estado lógico opuesto.

La señal HALF\_SEL puede ser generada por el bloque de control 106 de la Figura 4A en relación con una dirección de columna que puede seleccionar qué mitad del banco de memoria **200** debe ser accedida.

35 En la forma de realización de la Figura 6, el contador **306** es compartido con P/SDC **300** y P/SDC **302** para minimizar el circuito superior debido a que los contadores dedicados consumirían innecesariamente el área del chip.

[0043] Una transición sin soldaduras entre los bits L\_DATA y R\_DATA se consigue acoplando la señal HALF\_SEL a un bit más significativo (MSB) que no es usado por P/SDC **300** o P/SDC **302**, y conmutará estados después de que la última línea de datos (L\_DLn o R\_DLn) se acople al terminal L\_DATA o R\_DATA.

40 Usando P/SDC **300** por ejemplo, si n=4, habrá un total de cuatro líneas de datos (de L\_DL1 a L\_DL3), y una señal de dos bits se requiere para adaptar selectivamente cada una de las cuatro líneas de datos L\_DATA.

Debido a que las salidas del contador **306** se acoplan a P/SDC **300** y P/SDC **302**, ellos cambiarán al mismo tiempo.

No obstante, el estado de HALF\_SEL dictará si L\_DATA o R\_DATA son pasados sobre GLOB\_DATA.

45 Por lo tanto, un tercer bit más significativo puede utilizarse para controlar HALF\_SEL, que cambiará los estados solo después de que la cuarta y última línea de datos L\_DL4 se acople a L\_DATA.

La Tabla 1 a continuación muestra una secuencia que utiliza el ejemplo n=4.

Tabla 1

Estado	Bit 2 HALF_SEL	Bit 1	Bit 0
1	0	0	0
2	0	0	1
3	0	1	0
4	0	1	1
5	1	0	0
6	1	0	1
7	1	1	0
8	1	1	1

50 [0044] En los estados de 1 a 4, Bit 2 permanece en el estado lógico bajo, mientras que Bit 1 y Bit 2 se usan por P/SDC **300** para adaptar de L\_DL1 a L\_DL4 a L\_DATA.

Cuando comienza en el estado 5, Bit 2 alterna al estado lógico alto conforme el contador aumenta, y permanece en el estado lógico alto hasta el estado 8.

Bit 1 y Bit 2 "empiezan de nuevo" en el estado 5 y gradualmente aumentan como en los estados de 1 a 4.

5 Por consiguiente, Bit 2 es conveniente como la señal de control HALF\_SEL puesto que controla intrínsecamente cuando el selector de ruta de datos **304** tiene que cambiar de L\_DATA a R\_DATA.

[0045] Ahora que el selector de conversión de datos en paralelo/en serie (P/SCS) **216** ha sido discutido, los detalles de los sectores del banco de memoria y tampones de página de la Figura 5 serán descrito con referencia a las Figuras 7A hasta la 11.

10 La Figura 7A es un esquema aumentado de sectores **202** y **206** con tampón de página compartido **212**.

Más específicamente, la Figura 7A ilustra subdivisiones de los sectores **202** y **206**, denominados segmentos.

En el presente ejemplo, el sector **202** se divide en cuatro segmentos igualmente dimensionados e idénticamente configurados **402** mientras que el sector **206** se divide en cuatro segmentos igualmente dimensionados e idénticamente configurados **400**.

15 La selección de cuatro segmentos por sector es solo, por ejemplo, como los expertos en la técnica entenderán, que el número de segmentos por sector es un parámetro de diseño para el banco de memoria.

Como será mostrado con más detalle en la Figura 7B, cada segmento **400** y **402** incluye el mismo número de bitlines.

20 La Figura 7B es un esquema que muestra un segmento **400**, un segmento **402** y su interconexión con el tampón de página **212** mostrado en la Figura 7A. Los segmentos **400** y **402** pueden cada uno proporcionar n bits de datos a través de líneas de datos L\_DL[1:n] en cualquier operación de lectura.

[0046] Los bitlines de cada segmento **400** y **402** están dispuestos como conjuntos de bitlines, y en el presente ejemplo de la Figura 7B, cada conjunto incluye bitlines pares e impares BL1\_e/BL1\_o a BLn\_e/BLn\_o.

25 Cada conjunto de bitlines pares e impares es selectivamente acoplado a bitlines comunes respectivos CBL\_S1\_1 a CBL\_S1\_n, y cada bitline común se acopla al tampón de página **212**.

El término "S1" indica que el bitline común CBL pertenece al primer segmento (**400** o **402**) del sector, y el último dígito indica el bitline común específico del primer segmento.

Los bitlines del segmento **400** son idénticamente configurados a los del segmento **402**.

30 En la presente forma de realización, el bitline BL1\_e del segmento **402** es lógicamente lo mismo que el bitline BL1\_e del segmento **400**, como son los otros bitlines con etiquetas comunes.

En otras palabras, los bitlines de los segmentos **402** y **400** en la presente configuración son equivalentes a un único bitline del banco de memoria **12** de la Figura 2.

35 La ventaja de dividir bitlines en dos secciones físicas es que los bitlines de cada sector son la mitad de largo que los bitlines del banco de memoria **12**.

Reduciendo la longitud del bitline como se ha visto por cada cuerda de célula NAND conectada a él, la carga capacitiva del bitline es reducida significativamente.

Por lo tanto, cada cuerda de célula NAND se puede configurar para tener más células, aumentando así la densidad de la matriz de memoria.

40 [0047] Además de las células de memoria Flash, el transistor seleccionado fuente y el transistor seleccionado base, cada conjunto de bitlines pares e impares de los segmentos **400** y **402** además incluyen un circuito que deshabilita un programa y un circuito de selección bitline par/impar acoplado a ello.

La descripción de estos dos circuitos acoplados a BL1\_e y BL1\_o del segmento **400** a continuación.

45 El circuito de selección bitline **405** incluye los transistores de canal-n de alta tensión **404** y **406**, donde el transistor **404** selectivamente acopla BL1\_e a un bitline común CBL\_S1\_1 y el transistor **406** selectivamente acopla BL1\_o a un bitline común CBL\_S1\_1.

El bitline común CBL\_S1\_1 se conecta al tampón de página **212**, y al circuito de selección bitline del segmento **402**.

50 Los transistores de canal-n **404** y **406** se controlan por señales de selección impares y pares decodificadas A\_SELe y A\_SELo respectivamente.

El prefijo "A" denota señales asociadas al segmento **400**, mientras que el prefijo "B" denota señales asociadas al segmento **402**.

Por lo tanto, durante una operación de lectura o programa para el segmento **400**, solo uno de los bitlines BL1\_e y BL1\_o será acoplado al tampón de página **212**.

55 Cabe señalar que las señales de selección A\_SELe y A\_SELo son compartidas con los otros circuitos de selección bitline en el segmento **402**.

[0048] El circuito que inhabilita el programa **407** incluye los transistores de protección del canal-n de alto voltaje **408** y **410** conectados en serie entre los bitlines BL1\_e y BL1\_o.

60 El terminal común de los transistores **408** y **410** se conecta a un nivel de voltaje que inhibe el programa PWRBL, que es selectivamente acoplado a BL1\_e y a BL1\_o durante una operación de lectura o programa activando las señales de protección A\_SHLDe o A\_SHLDo respectivamente.

Por ejemplo, cuando BL1\_e se selecciona para una operación de programación, entonces BL1\_o será desviado a VCC, o cualquier otro voltaje suficiente para inhibir la programación, a través de PWRBL para inhibir la programación para cualquier célula de memoria acoplada a BL1\_o.

65 Durante las operaciones de lectura por otro lado, PWRBL será establecido en VSS para predisponer los bitlines no

seleccionados a VSS.

El programa correspondiente deshabilita el circuito y el circuito de selección bitline par/impar para BL1\_e y BL1\_o es idénticamente configurado para los circuitos previamente descritos, excepto que ellos se controlan por un conjunto diferente de señales, es decir B\_SHLDe, B\_SHLDo, B\_SELe y B\_SELo.

5 PWRBL se puede conducir por un circuito inversor suministrado por VCC y VSS, o el programa inhibe el voltaje y VSS, y es controlado por una señal relacionada con programación.

Como será mostrado en la Figura 8, una dirección de fila se utiliza para generar las señales de selección y las señales de protección para los segmentos **400** o **402**, mientras una dirección de columna se utiliza para generar la selección par e impar y las señales de protección.

10 [0049] La Figura 8 es un circuito decodificador de ejemplo que se puede usar para generar las señales de selección y las señales de **protección** para el circuito de selección bitline **405** y el circuito que deshabilita el programa **407** en ambos segmentos **400** y **402** mostrados en la figura 7B.

15 Los expertos en la técnica entenderán que la forma de realización de ejemplo de la Figura 8 es una configuración de descodificación, y que otras configuraciones de descodificación se pueden usar para conseguir el mismo resultado.

[0050] En referencia a la Figura 8, el circuito decodificador **500** incluye cuatro subdecodificadores idénticamente configurados **502**, **504**, **506** y **508**.

20 La descripción de cada subdecodificador será hecha con referencia a los circuitos lógicos del subdecodificador **502**, debido a que todos los subdecodificadores son idénticamente configurados.

Cada subdecodificador, como el subdecodificador **502**, incluye una puerta de descodificación de dirección NAND **510**, una puerta para habilitar protección NAND **512**, inversores **514** y **516**, y bombas de carga local **515** y **517**.

25 La puerta de descodificación de dirección NAND **510** recibe una dirección de fila R\_ADDR y una dirección de columna C\_ADDR, y proporciona una salida que es proporcionada a un terminal de entrada de la puerta que permite protección NAND **512** y para el inversor **516**.

La salida del inversor **516** es empujada por la bomba de carga local **517** para proporcionar la señal par A\_SELe, que es recibida por todos los circuitos de selección bitline en el segmento **400**.

Por lo tanto, A\_SELe es una señal decodificada de dirección conducida al nivel lógico activo en respuesta a una combinación particular de R\_ADDR y C\_ADDR.

30 En el presente ejemplo, esto ocurre cuando R\_ADDR y C\_ADDR están en el nivel lógico alto.

El segundo terminal de entrada de la puerta NAND que activa la protección **512** recibe una señal de estado de programa PGM, que se decodifica con la salida de la puerta NAND de descodificación de dirección **510**.

La salida de la puerta NAND **512** es conducida por el inversor **514** y empujada por la bomba de carga local **515** para proporcionar la señal A\_SHLDe.

35 [0051] El propósito de las bombas de carga locales es conducir el nivel lógico alto de las señales por encima del voltaje de suministro VCC.

Como se ha mencionado previamente, durante una operación de lectura los bitlines no seleccionados son desviados a VSS a través de PWRBL a VSS.

40 Por ejemplo, uno de los A\_SHLDe o A\_SHLDo serán conducido a VCC, lo cual es suficiente para la descarga del bitline no seleccionado a VSS.

No obstante, durante una operación de programa donde los bitlines no seleccionados se deben desviar a VCC a través de PWRBL, las señales A\_SHLDe o A\_SHLDo en VCC serán insuficientes para el paso del nivel VCC completo a los bitlines.

45 Por lo tanto, las bombas de carga local asegurarán que los terminales de puerta de los transistores de protección, tales como los transistores de protección **408** y **410**, se puedan conducir por encima de VCC.

Este mismo principio se aplica a los transistores de selección bitline, tales como los transistores **404** y **406**.

Durante la operación de programación, el tampón de página conducirá los bitlines comunes hacia VCC o VSS, dependiendo de los datos que vayan a ser programados.

50 Para pasar completamente VCC a los bitlines seleccionados, las señales A\_SELe y A\_SELo son conducidas a un nivel de voltaje por encima de VCC.

[0052] Por ejemplo, señal A\_SHLDe es una señal que se conduce al nivel lógico activo cuando la combinación particular de R\_ADDR y C\_ADDR está presente, es decir, ambos están en el nivel lógico alto.

55 Mientras que C\_ADDR es una única señal de bit en la presente forma de realización para acoplar uno de los dos bitlines al bitline común (CBL\_S1\_1 por ejemplo), los expertos en la técnica entenderán que el circuito decodificador de la Figura 8 se puede configurar para recibir C\_ADDR de cualquier número de bits.

60 Por lo tanto, uno de los muchos bitlines puede ser selectivamente acoplado al bitline común, una vez proporcionados, los circuitos que deshabilitan el programa y los circuitos de selección bitline se expanden para incluir más transistores de canal-n correspondientes a los transistores **404**, **406**, **408** y **410**.

[0053] El subdecodificador **504** está configurado idénticamente al subdecodificador **502**, excepto porque su puerta NAND de descodificación de dirección **510** recibe el nivel lógico opuesto de C\_ADDR a través del inversor **518** para transmitir A\_SELo al nivel lógico activo y A\_SHLDo al nivel lógico activo cuando PGM está en el nivel lógico activo.

65 Los subdecodificadores **502** y **504** conducen señales para el segmento **400** puesto que se usa la misma dirección de fila R\_ADDR.

Por lo tanto los subdecodificadores **504** y **506** conducirán las señales B\_SELe, B\_SHLDe; y B\_SELo, B\_SHLDo para el segmento **402** puesto que ellos reciben el estado opuesto de R\_ADDR a través del inversor **520**.

Debido a que el subdecodificador **506** recibe C\_ADDR y el subdecodificador **508** recibe el estado opuesto de C\_ADDR a través del inversor **518**, se proporcionan la selección par e impar y las señales de protección.

5 [0054] La señal de estado de programa PGM es compartida por todas las puertas NAND que activan la protección **512** de los subdecodificadores **502**, **504**, **506** y **508**, para permitir o deshabilitar globalmente la producción de sus señales de protección respectiva.

10 En la presente forma de realización, PGM está en el nivel lógico alto activo durante una operación de programa para asegurar que la señal de protección apropiada es activada de modo que el bitline no seleccionado adyacente al bitline seleccionado, se acopla a PWRBL para inhibir la programación de células de memoria conectadas a esta.

15 En un método alternativo de operación, PWRBL puede ser inhibida de ser aplicada a todos los bitlines durante una operación de lectura, debido a que el bitline no seleccionado puede ser posteriormente seleccionado cambiando la dirección de columna C\_ADDR mientras el seleccionado wordline permanece activo, para leer más datos de la matriz de memoria.

[0055] Con esta comprensión del esquema de decodificación mostrado en las formas de realización de la Figura 7 y Figura 8, una operación de lectura y una operación de escritura de los circuitos mostrados en la Figura 7 pueden ser fácilmente entendidas.

20 En una operación de lectura, PGM está en el nivel lógico bajo y un wordline se activa en todos los segmentos, incluyendo los segmentos **400** y **402**, del sector **202** o **206** de la Figura 5.

Una corriente que corresponde a un estado de datos almacenados en las células de memoria correspondientes es luego proporcionada a un bitline respectivo.

25 Si la dirección de fila activa un wordline en el segmento **400**, entonces las señales de selección B\_SELe, B\_SELo, B\_SHLDe y B\_SHLDo para el segmento **402** son deshabilitadas.

En respuesta a una dirección de columna específica C\_ADDR, uno de los bitlines pares o impares de cada conjunto de bitlines se acopla a un bitline común correspondiente.

El tampón de página **212** detectará y asegurará los datos de todos los bitlines comunes del sector, pero proporcionará solo los datos de un segmento en paralelo en líneas de datos L\_DL[1:n].

30 Las líneas de datos comunes L\_DL[1:n] son compartidas por todos los segmentos en los sectores **200** y **206**, y como se describe más tarde, los datos de exactamente un segmento se acoplan a líneas de datos L\_DL[1:n].

Más específicamente, todos los datos del segmento **400** o **402** salen permitiendo consecutivamente a los segmentos del tampón de página **212** acoplar datos a líneas de datos L\_DL[1:n].

35 [0056] Una operación de programa es el proceso inverso, excepto ahora PGM está en el nivel lógico alto.

Los datos de escritura serán proporcionados en líneas de datos L\_DL[1:n] para ser asegurados por el tampón de página **212** y conducidos sobre los bitlines comunes respectivos.

Si un wordline en el segmento **400** se selecciona para programar, entonces las señales de selección A\_SELe, A\_SELo, A\_SHLDe y A\_SHLDo son inhabilitadas.

40 Cabe señalar que debido a que no se selecciona ningún wordline en el segmento **402**, no hay necesidad de aplicar el voltaje que inhibe el programa PWRBL a los bitlines, reduciendo así el consumo de energía.

Una dirección de columna C\_ADDR es proporcionada y los bitlines comunes serán acoplados a los bitlines seleccionados de los bitlines pares o impares, mientras que el voltaje PWRBL se aplica a los bitlines no seleccionados.

45 [0057] La Figura 9 es un esquema de circuito que ilustra una bomba de carga local de ejemplo usada en los subdecodificadores de la Figura 8.

50 La bomba de carga local **550** incluye un transistor de paso de canal-n en modo de disminución **552**, un transistor de empuje conectado a un diodo de canal-n nativo **554**, un transistor de desacoplamiento de canal-n de voltaje alto disruptivo **556**, un transistor de grapa de canal-n de voltaje disruptivo alto **558**, una puerta lógica NAND **560** y un condensador **562**.

La puerta lógica NAND **560** tiene un terminal de entrada para recibir el terminal de entrada IN y otro terminal de entrada para recibir la señal controlada  $\phi p$ , para la transmisión de un terminal de condensador **562**.

El transistor de paso **552** se controla por el complemento de señal PGM de la Figura 8, denominado como PGMb.

55 Los terminales comunes del transistor de desacoplamiento **556** y transistor de abrazadera **558** se acoplan a alto voltaje VH.

[0058] La operación de bomba de carga local **550** es ahora descrita.

Durante una operación de lectura, PGMb está en el nivel lógico alto y  $\phi p$  se mantiene en el nivel lógico bajo.

60 Por lo tanto, los elementos de circuito **562**, **554**, **556** y **558** están inactivos, y el terminal de salida OUT refleja el nivel lógico que aparece en el terminal de entrada IN.

Durante una operación de programa, PGMb está en el nivel lógico bajo y se permite que  $\phi p$  oscile entre los niveles lógicos alto y bajo en una frecuencia predeterminada.

Si el terminal de entrada IN está en el nivel lógico alto, entonces el condensador **562** acumulará reiteradamente carga en su otro terminal y descargará la carga acumulada a través del transistor de empuje **554**.

El transistor de desacoplamiento **556** aísla VH del voltaje empujado en la puerta del transistor de empuje **554**.  
 El transistor de abrazadera **558** mantiene el nivel de voltaje del terminal de salida OUT en aproximadamente  $VH+V_{tn}$ , donde  $V_{tn}$  es el voltaje de umbral de transistor de abrazadera **558**.  
 La bomba de carga local **550** mostrada en la Figura 9 es un circuito de ejemplo que se puede usar para conducir señales a unos niveles de voltaje superior al voltaje de suministro VCC, pero las personas expertas en la técnica entenderán que otros circuitos de bomba de carga se pueden usar con igual eficacia.  
 La Tabla 2 siguiente muestra condiciones de tendencia de ejemplo para la bomba de carga local **550** durante operaciones de lectura y programa.

Tabla 2

	Lectura		Programa	
	Seleccionado	No seleccionado	Seleccionado	No seleccionado
IN	Vcc	Vss	Vcc	Vss
PGMb	Vcc	Vcc	Vss	Vss
$\phi P$	Vss	Vss	Oscilación	Oscilación
VH	Vcc	Vcc	~5V	~5V
OUT	Vcc	Vss	5V + $V_{tn}$	Vss

[0059] Como previamente se ha mencionado, el consumo de área del circuito minimizado de los circuitos limitados de lanzamiento dará lugar a un área reducida del banco de memoria.

En las presentes formas de realización, esto se consigue compartiendo un tampón de página con ambos sectores adyacentes **202** y **206**, y minimizando la cantidad de circuito seleccionado de columna usada para el acoplamiento del tampón de página **212** a las líneas de datos  $L\_DL[1:n]$ .

Mientras que el esquema de descodificación de columna previamente propuesto mostrado en la Figura 3 puede utilizarse para acoplar los datos del tampón de página **212** de la Figura 5 o 7A a las líneas de datos  $L\_DL[1:n]$ , la pluralidad de transistores de paso de fase primera y segunda requerirá un área de circuito valiosa.

Para minimizar más el área de circuito, un circuito seleccionado de columna de autodescodificación se usa para acoplar datos de cada segmento de página de los sectores **202** y **206** a las líneas de datos  $L\_DL[1:n]$ .

[0060] La Figura 10 es un diagrama de bloques que muestra una implementación funcional de un circuito seleccionado de columna de autodescodificación integrado en un circuito de tampón de página, según una forma de realización de la presente invención.

El tampón de página de autodescodificación **600** se puede usar en lugar de ambos tampones de página **212** y **214** en la Figura 5 y el tampón de página **212** en la Figura 7.

El tampón de página de autodescodificación **600** consecutivamente acoplará datos de cada segmento almacenado en el tampón de página **212** a las líneas de datos  $L\_DL[1:n]$ , en respuesta a un bit único de columna seleccionado COL\_BIT que se desplaza a través del tampón de página de autodescodificación **600**.

El tampón de página de autodescodificación **600** incluye diferentes estados del tampón de página **614**, **616** y **618**, de los cuales solo tres se muestran en la Figura 10.

Como se muestra en la Figura 10, los estados del tampón de página **614**, **616** y **618** incluyen los activadores secuenciales **602**, **604** y **606**, y tampones de página de segmento **608**, **610** y **612**.

Por consiguiente, cada activador secuencial se empareja con un tampón de página de segmento para controlar el tampón de página de segmento.

Por ejemplo, el activador secuencial **602** se empareja con el tampón de página de segmento **608**.

En la forma de realización de la Figura 10, se supone que hay hasta m segmentos de página (**400** y **402**) en los sectores **202** y **206** de la Figura 7A, y por lo tanto hay m estados correspondientes de tampón de página autodescodificador, de los cuales solo el primero, segundo y último estado de tampón de página autodescodificador del tampón de página autodescodificador **600** son mostrados.

La variable m puede ser de cualquier valor de número entero mayor que 0, y es seleccionada en base a la arquitectura de matriz de memoria.

[0061] Cada estado del tampón de página autodescodificador es responsable de acoplar sus bitlines comunes a líneas de datos  $L\_DL[1:n]$ .

Por consiguiente, el tampón de página de segmento **608** acopla bitlines comunes CBL\_S1 [1:n] del primer segmento a  $L\_DL[1:n]$ , el tampón de página del segmento **610** acopla bitlines comunes CBL\_S2 [1:n] del segundo segmento a  $L\_DL[1:n]$ , y el tampón de página de segmento **612** acopla bitlines comunes CBL\_Sm [0:n] del mth (último) segmento a  $L\_DL[1:n]$ .

Cada tampón de página de segmento es controlado por su activador secuencial respectivo, y cada activador secuencial será habilitado para acoplar sus bitlines comunes a  $L\_DL[1:n]$  cuando se recibe el bit seleccionado de columna única COL\_BIT.

[0062] En la presente forma de realización, cada activador secuencial recibe señales de control tales como señales de restablecimiento complementario RST y RSTb, la señal que activa la decodificación YENb, y señales de reloj complementarias  $\phi$  y  $\phi b$ .

En sus estados activos, las señales RST, RSTb y YENb activan el activador secuencial.

En la primera fase del tampón de página autodescodificador **614**, el terminal de entrada IN recibe COL\_BIT, que será proporcionado a través de terminal de salida OUT en respuesta a las señales de reloj  $\phi$  y  $\phi_b$ .

Debido a que cada activador secuencial se conecta en serie a un activador secuencial precedente conectando su terminal de entrada IN al terminal de salida OUT del activador secuencial precedente, el bit seleccionado de columna COL\_BIT es finalmente desplazado desde el primer activador secuencial **602** al último activador secuencial **606**.

Por lo tanto, cada tampón de página de segmento acoplará sus bitlines comunes a L\_DL[1:n] en secuencia, en respuesta a COL\_BIT.

En la presente forma de realización, COL\_BIT es un bit de nivel lógico alto, pero puede ser un bit de nivel lógico bajo también.

[0063] La Figura 11 es un diagrama de bloques que muestra los detalles de una fase del tampón de página autodescodificador, tal como la fase de tampón de página autodescodificador **614** por ejemplo.

Las fases de los tampones de página autodescodificadores restantes son idénticamente configuradas.

La fase del tampón de página autodescodificador **614** incluye el activador secuencial **602** mostrado en la Figura 10, y unidades de tampón de página **650**, **652**, **654** y **660**.

En el presente ejemplo, la unidad de tampón de página **660** es la última unidad de tampón de página en la fase de tampón de página **614**.

El activador secuencial **602** es un diagrama de bloques simplificado que omite las señales de control para simplificar el diagrama.

Hay un total de n unidades de tampón de página, donde cada una acopla un bitline común a una línea de datos.

Por ejemplo, la unidad de tampón de página **650** acopla CBL\_S1\_1 a L\_DL1.

Todas las unidades de tampón de página se habilitan para acoplar eléctricamente sus bitlines comunes a una línea de datos respectiva en respuesta a una señal activa que permite una columna Y-SEL.

Y-SEL es conducida al nivel lógico activo por el activador secuencial **602** en respuesta a COL\_BIT, que será posteriormente transmitido al activador secuencial siguiente en respuesta a las señales de reloj  $\phi$  y  $\phi_b$  (no mostrado).

[0064] La Figura 12 es un esquema de circuito del activador secuencial **602** de las Figuras 10 y 11.

En la presente forma de realización todos activadores secuenciales son idénticos en configuración.

Cada activador secuencial se implementa como una báscula maestra/esclava **700**.

La báscula maestra/esclava **700** incluye una primera puerta de transmisión **702**, un par de inversores acoplados de cruce **704** y **706**, una segunda puerta de transmisión **708**, un segundo par de inversores acoplados de cruce **710** y **712**, dispositivos de restablecimiento primero y segundo **714** y **716**, y una puerta lógica NOR **718**.

La báscula maestra/esclava **700** se habilita cuando las señales de control RST, RSTb y YENb están en los niveles lógicos alto, bajo y bajo, respectivamente.

Cuando se deshabilita, OUT e Y-SEL estarán en el nivel lógico bajo conforme los dispositivos de restablecimiento **714** y **716** sean encendidos y al menos una entrada a la puerta lógica NOR **718** estará en el nivel lógico alto.

Estas señales de control pueden ser controladas por el decodificador comando u otra lógica similar, y sincronizadas para asegurar que los datos de lectura son aplicados debidamente a las líneas de datos y que los datos de programa son debidamente aplicados a los bitlines comunes.

[0065] La primera puerta de transmisión **702** pasa una señal recibida, tal como COL\_BIT, en el terminal de entrada IN cuando las señales de reloj  $\phi$  y  $\phi_b$  están en los niveles lógicos alto y bajo respectivamente.

Los inversores acoplados cruzados **704** y **706** asegurarán la señal y la pasarán al segundo par de inversores acoplados de cruce **710** y **712** a través de la segunda puerta de transmisión **708** cuando  $\phi$  y  $\phi_b$  hayan cambiado a los niveles lógicos alto y bajo respectivamente.

El estado invertido de la señal de entrada (COL\_BIT) es recibido por la puerta lógica NOR **718**, que es luego invertida nuevamente por la puerta lógica NOR **718** habilitada para conducir Y-SEL al nivel lógico alto.

El terminal de salida OUT pasará COL\_BIT a la báscula maestra/esclava siguiente al mismo tiempo sustancialmente que Y-sel es conducida al nivel lógico alto activo.

Se observa, no obstante, que la siguiente báscula maestra/esclava asegurará COL\_BIT cuando la señal de reloj  $\phi$  y esté en el nivel lógico alto.

[0066] La Figura 13 es un esquema de circuito de una unidad de tampón de página, como la unidad de tampón de página **650** mostrada en la Figura 11.

En referencia a las Figuras 11 hasta 13, todas las unidades de tampón de página están idénticamente configuradas.

La unidad de tampón de página **750** incluye un circuito de precarga, un circuito de detección y un circuito de acoplamiento de líneas de datos.

El circuito de precarga incluye un dispositivo de precarga **752** para precargar el bitline común CBL\_S[1:m] [1:n] a VDD en respuesta a la señal de precarga PREb.

El circuito de detección incluye un dispositivo de restablecimiento de cerrojo **754**, un dispositivo que activa la detección del cerrojo **756** y un dispositivo que activa el cerrojo **758** conectado en serie entre VDD y VSS, y los

inversores acoplados de cruce **760** y **762**.

El dispositivo de restablecimiento de cerrojo **754** se controla por la señal de restablecimiento de cerrojo RSTPB para restablecer el estado asegurado de los inversores acoplados de cruce **760** y **762**.

5 El dispositivo que activa el cerrojo **758** se controla por la señal que activa el cerrojo LCHD para activar la detección de la corriente en el bitline común CBL\_S[1:m]\_[1:n].

Los inversores acoplados de cruce **760** y **762** tienen un primer nodo común "a" conectado a los terminales compartidos del dispositivo de restablecimiento de cerrojo **754** y del dispositivo de activación de la detección de cerrojo **756**, y un segundo nodo común "b" acoplado al circuito de acoplamiento de línea de datos.

10 El circuito de acoplamiento de líneas de datos incluye un dispositivo de aislamiento bitline **764** y un dispositivo seleccionado de columna **766** conectado en serie entre el bitline común CBL\_S[1:m]\_[1:n] y la línea de datos L\_DL[1:n], teniendo el nodo común "b" en los terminales compartidos de los dispositivos **764** y **766**.

El dispositivo de aislamiento bitline **764** se controla por la señal ISOPB mientras que el dispositivo seleccionado de columna **766** es controlado por la señal de selección de columna Y-sel.

15 Las señales PREb, RSTPB, ISOPB y LCHD pueden ser generadas desde el bloque de control **106** de la Figura 4A.

[0067] La operación de unidad de tampón de página **650** durante una operación de lectura se describe ahora.

Mientras que la señal que activa el cerrojo LCHD está en el nivel lógico bajo inactivo, la señal RSTPB es conducida al nivel lógico bajo para restablecer los inversores acoplados del cruce **760** y **762** de manera que el nodo "b" se fija en el nivel lógico bajo.

20 Por consiguiente, el nodo "a" está en el nivel lógico alto durante este estado de restablecimiento.

El bitline común CBL\_S[1:m]\_[1:n] es precargado a VDD mediante transmisión PREb al nivel lógico bajo, encendiendo así el dispositivo de precarga **752**.

25 Después de que un wordline se activa y el bitline seleccionado se acopla a CBL\_S[1:m]\_[1:n], ISOPB es conducido al nivel lógico alto y la señal LCHD será conducida al nivel lógico alto para permitir la detección del voltaje en CBL\_S[1:m]\_[1:n].

Si la célula de memoria de selección no está programada, entonces el nivel de precarga VDD de CBL\_S[1:m]\_[1:n] dará la vuelta al nodo "b".

Por otro lado, si las células de memoria de selección son programadas, entonces el nivel de precarga VDD de CBL\_S[1:m]\_[1:n] descargará en dirección a VSS.

30 Cuando el periodo de detección se acaba, LCHD retorna al nivel de lógica baja, y Y-sel es conducida finalmente al nivel lógico alto para acoplar los datos cerrados a L\_DL[1:n].

[0068] La operación de unidad de tampón de página **650** durante un programa de operación se describe ahora.

35 En una operación de programa, la señal que activa el cerrojo LCHD no se usa y permanece en el nivel lógico bajo inactivo, mientras la señal RSTPB es conducida al nivel lógico bajo para restablecer inversores acoplados del cruce **760** y **762** de manera que el nodo "b" se fija en el nivel lógico bajo.

El bitline común CBL\_S[1:m]\_[1:n] es precargado a VDD para transmitir PREb al nivel lógico bajo, encendiendo así el dispositivo de precarga **752**.

40 Los datos del programa son conducidos sobre L\_DL[1:n], y son asegurados por los inversores acoplados de cruce **760** y **762** cuando Y-sel es conducida al nivel lógico alto.

La señal ISOPB es conducida al nivel lógico alto para acoplar el nodo "b" a CBL\_S[1:m]\_[1:n].

El estado programado de las células de memoria acopladas al wordline seleccionado luego dependerán del nivel lógico del nodo "b".

45 [0069] Una característica única de la unidad de tampón de página **750** es el dispositivo único seleccionado de columna **766** que directamente acopla los inversores acoplados de cruce **760** y **762** a L\_DL[1:n].

El único dispositivo seleccionado de columna es más simple y ocupa una área de circuito más pequeña que los dispositivos de columna seleccionados **72** y **74** de la Figura 3.

50 Por consiguiente, una señal única correspondiente Y-sel, generada por un activador secuencial correspondiente tal como el activador secuencial **602**, es cuanto se necesita para acoplar L\_DL[1:n] al nodo "b".

La descripción precedente de la operación de la unidad de tampón de página **650** durante operaciones de lectura y programa son operaciones ejemplo, y los expertos en la técnica entenderán que el mismo circuito se pueden accionar con variaciones en las secuencias de activación de señal.

55 La unidad de tampón de página **650** se puede implementar con configuraciones de circuito alternativo que desempeñan la funcionalidad de detección y activación para datos de lectura, y funcionalidad de activación para datos de programa.

[0070] Lo siguiente es una discusión de la operación de tampón de página autodescodificador **600** de la Figura 10, que usa las formas de realización de circuito mostradas en las Figuras 11 hasta 13. Se hace referencia al diagrama de secuencia mostrado en la Figura 14, que muestra rastros de señal usados por el activador secuencial, y rastros de señal del bit seleccionado de columna COL\_BIT conforme es pasado, o desplazado, de un activador secuencial a un activador secuencial posterior.

60 Los rastros de señal de control mostrados incluyen las señales de reloj complementarias comunes  $\phi$  y  $\phi_b$ , las señales de restablecimiento complementario comunes RST y RSTb, y la señal que activa la decodificación común YENb.

65

Los rastros de señal para el terminal de entrada "In", el terminal de salida "Out" y la salida Y-sel de un primer activador secuencial se muestran, como se muestran los rastros de señal para el terminal de salida "Out" y la salida Y-sel para activadores secuenciales posteriores.

5 En la Figura 14, las señales asociadas a los activadores secuenciales primero, segundo y tercero están anexas a los números 1, 2 y 3 respectivamente, mientras que el último (mth) activador secuencial tiene sus señales asociadas anexas a la letra m.

[0071] Comenzando en el tiempo  $t_0$ , la señal de restablecimiento RST es pulsada en el nivel lógico alto mientras la señal complementaria de nivel lógico alto RSTb es pulsada en el nivel lógico bajo para restablecer todos los activadores secuenciales.

10 En la presente forma de realización, RST y RSTb se pulsan en un borde de aumento de señal de reloj  $\phi$ . Como se muestra en la implementación del circuito activador secuencial de ejemplo de la Figura 12, el cerrojo que consiste en los inversores **704** y **706** tiene su lado de entrada acoplado a VSS mientras que el cerrojo que consiste en los inversores **710** y **712** tiene su lado de entrada acoplado a VDD, en respuesta a los impulsos de señal de restablecimiento complementarios.

15 Aunque los impulsos de señal de restablecimiento son cortos en duración, la puerta de transmisión **708** está abierta mientras la señal de reloj  $\phi$  está en el nivel lógico alto.

Por lo tanto, los dos circuitos de cerrojo se conducen uno al otro a los estados de restablecimiento.

La señal de activación de decodificación YENb permanece en el nivel lógico alto inactivo para mantener Y-sel en el nivel lógico bajo.

20 [0072] A continuación, en el tiempo  $t_1$ , el terminal de entrada In\_1 del primer activador secuencial 1 se pulsa en el nivel lógico alto, que corresponde a la aplicación del bit seleccionado de columna COL\_BIT.

COL\_BIT es asegurado por los inversores **704** y **706** cuando  $\phi$  está en el nivel lógico alto.

25 En el tiempo  $t_2$ , las transiciones  $\phi$  en el nivel lógico bajo para desviar COL\_BIT a los inversores **710** y **712** para conducir el terminal de salida "Out" al nivel lógico alto.

En el tiempo  $t_3$ , las transiciones  $\phi$  de señal de reloj en el nivel lógico bajo y COL\_BIT que aparece en Out\_1 serán aseguradas por el activador secuencial 2, debido a que su terminal de entrada In\_2 está conectado con Out\_0.

El rastro de señal para In\_2 y los activadores secuenciales posteriores no se muestran para simplificar el diagrama de secuencia.

30 Cabe señalar que en el tiempo  $t_3$ , el terminal de entrada "In\_1" se mantiene en el nivel lógico bajo debido a que cada activador secuencial recibirá COL\_BIT solo una vez por ciclo decodificador, donde un ciclo decodificador termina después de que el último bitline común se acople a la línea de datos.

En el ejemplo de la Figura 10 este puede ser CBL\_Sm\_n.

35 Esto significa que para transiciones posteriores de la señal de reloj  $\phi$ , una señal lógica baja será asegurada por ambos circuitos de cerrojo del activador secuencial.

En otras palabras, un nivel lógico bajo inactivo COL\_BIT es recibido por el activador secuencial 2.

40 [0073] Volviendo al primer activador secuencial 1, YENb se pulsa en el nivel lógico bajo en el tiempo  $t_4$  para activar la puerta lógica NOR **718**, que luego conduce Y-Sel 1 al nivel lógico alto para la misma duración aproximada que YENb en el nivel lógico bajo.

Cuando Y-Sel\_1 está en el nivel lógico alto, el dispositivo seleccionado de columna **766** de la unidad de tampón de página **750** será encendido para acoplar su bitline común correspondiente a una línea de datos.

En el tiempo  $t_5$ , las transiciones de señal de reloj  $\phi$  en el nivel lógico bajo, que causa que el terminal de salida Out\_2 del activador secuencial 2 sea conducido al nivel lógico alto.

45 Como se ha constatado previamente, el activador secuencial 2 ha recibido COL\_BIT en el tiempo  $t_3$ . Sustancialmente al mismo tiempo, el terminal de salida Out\_1 del activador secuencial 1 cae al nivel lógico bajo como ha asegurado la señal inactiva COL\_BIT.

Posteriormente, Y-Sel\_2 será llevada al nivel lógico alto en respuesta a la pulsación de YENb de nivel lógico bajo.

Este proceso se repite hasta que el último activador secuencial lleva Y-Sel m al nivel lógico alto.

50 [0074] En la forma de realización mostrada en la Figura 5, Y-Sel\_m es la última señal de selección de columna del tampón de página **212** para ser habilitada.

Si el mismo wordline lógico es conducido en el Sector **208**, entonces el terminal de salida Out\_m se puede acoplar al primer activador secuencial en el tampón de página **214**, donde las señales de selección de activación secuencial de columna continuarían.

Los expertos en la técnica entenderán que el selector de conversión de datos en paralelo/en serie **216** se controla para presentar en episodios los datos de R\_DL[1:n] en vez de L\_DL[1:n].

Por lo tanto, por activación de la columna permiten señales (Y-Sel [1:m]) en la secuencia, todos los bits de datos asociados a un wordline seleccionado pueden bien ser leídos de este o programados en este.

60 Más específicamente, mientras cada señal Y-Sel es activada, conjuntos de nbits de datos son proporcionados reiteradamente sobre líneas de datos L\_DL[1:n], y entonces son presentados en episodios posteriormente por el selector de conversión de datos en paralelo/en serie **216** como GLOB\_DATA.

Los expertos en la técnica entenderán que el contador **306** de la Figura 6 debería completar la presentación en episodios de las líneas de datos L\_DL[1:n] (o R\_DL[1:n]) dentro de un periodo de señal de reloj  $\phi$ , por lo tanto la selección de las frecuencias que gobiernan la operación de estos circuitos será seleccionada para asegurar la operación apropiada de los circuitos.

5 [0075] Mientras los ejemplos de formas de realización del tampón de página mostrado en las Figuras 7A hasta 13 muestra sus aplicaciones en la arquitectura de núcleo de ruta de datos en serie, cabe señalar que se pueden usar en arquitecturas de memoria Flash ilustradas que no emplean una arquitectura de núcleo de ruta de datos en serie.

10 Por ejemplo, la matriz de memoria Flash estándar se puede diseñar para ser dividida en las mitades de parte superior e inferior, análogas a los sectores mostrados en las figuras y el tampón de página de las formas de realización presentadas situadas entremedias.

Los dispositivos de selección de columna y el sistema de circuitos de descodificación para el multiplexado de los bitlines superiores e inferiores a bitlines comunes se puede implementar de la manera mostrada y descrita en las presentes formas de realización.

15 Mientras cada célula de tampón de página autodescodificador del tampón de página 2D mostrado en las Figuras 10 y 11 incluye un activador secuencial para suministrar una señal Y-sel para la unidad de tampón de página, cualquier señal decodificada de dirección se puede usar en su lugar.

La configuración de descodificación específica dependerá de la arquitectura de salida de datos seleccionada que esté siendo implementada.

20 Por ejemplo, una agrupación de unidades de tampón de página sucesiva puede recibir la misma señal decodificada de dirección Y-sel, o cada unidad de tampón de página de una agrupación recibe una señal decodificada de dirección diferente Y-sel.

[0076] La discusión precedente ilustra el banco directo a la operación de ruta de datos en serie, tal como el banco de memoria **104** y la ruta de datos en serie **102** de la Figura 4A.

Según otra forma de realización de la presente invención, el sistema de memoria en núcleos en serie **100** incluye dos bancos de memoria ambos accesibles por la ruta de datos en serie **102**.

Con referencia a la Figura 5 por ejemplo, el banco de memoria único **200** sería sustituido por dos bancos de memoria idénticamente configurados.

30 Naturalmente, dos bancos de memoria aumentarán la densidad del dispositivo de memoria, y según otra forma de realización de la presente invención, ambos bancos de memoria se pueden acoplar uno al otro para realizar transferencias directas de datos de banco a banco.

Las transferencias de banco a banco son idealmente adecuadas para operaciones avanzadas tales como el control de nivelado de desgaste, donde los datos se pueden copiar al otro banco de memoria si los ciclos limitados de programa/eliminación para una porción del banco de memoria actual están a punto de ser alcanzados.

35 De otra manera, en el peor de los casos, los datos tendrían que ser leídos desde un banco a través de la ruta de datos en serie **102** y devueltos al controlador de memoria, que luego manda los datos de nuevo al otro banco del mismo dispositivo de memoria.

40 Los expertos en la técnica entenderán que esta secuencia de operaciones afectará en el rendimiento del sistema de memoria.

El control de nivelado de desgaste es solo un ejemplo de una operación que puede aprovecharse de transferencias directas de banco de memoria, pero cualquier operación donde los datos se muevan o copien desde un banco a otro se beneficiará de una arquitectura de transferencia bancaria directa de banco a banco.

45 [0077] La Figura 15 es un diagrama de bloques que muestra una arquitectura de transferencia directa de banco a banco según una forma de realización de la invención.

La presente forma de realización incluye los dos bancos de memoria idénticamente configurados **800** y **802**, y un interruptor de transferencia en serie **804**.

50 En el ejemplo de la Figura 15, los bancos de memoria **800** y **802** son idénticos en configuración al banco de memoria **200** de la Figura 5, y como tal, incluye las mismas características que han sido previamente descritas.

[0078] El banco de memoria **800** proporciona y recibe datos en serie a través de una señal de datos en serie llamada BANK1\_DATA mientras que el banco de memoria **802** proporciona y recibe datos en serie a través de una señal de datos en serie llamada BANK2\_DATA.

55 BANK1\_DATA y BANK2\_DATA se acoplan al interruptor de transferencia en serie **804**, que selectivamente acopla uno de los dos a GLOB\_DATA dependiendo de qué banco de memoria esté siendo accedido para una operación de lectura o programa.

GLOB\_DATA es análogo a la misma señal nombrada en la Figura 5, que se acopla a una ruta de datos en serie, como la ruta de datos en serie **102** de la Figura 5.

60 Mientras que la señal GLOB\_DATA se considera una señal de datos global en serie que se acopla a la ruta de datos en serie de un dispositivo de memoria, como la ruta de datos en serie **102** de la Figura 4A, las señales de datos en serie BANK1\_DATA y BANK2\_DATA son consideradas señales de datos en serie locales.

65 [0079] La operación de interruptor de transferencia en serie **804** anteriormente descrita se llama operación de modo normal.

En un modo de operación de transferencia directa, BANK1\_DATA y BANK2\_DATA son directamente acoplados uno al otro.

Por consiguiente, en el modo de operación de transferencia directa, los tampones de página del banco de memoria **800** y **802** serán sincronizados de manera que los datos proporcionados de los tampones de página de un banco de memoria sean asegurados en los tampones de página del otro banco de memoria.

Por ejemplo, las mismas señales de reloj usadas para el activador secuencial **700** de la Figura 12 pueden ser compartidas entre los bancos de memoria **800** y **802**, y la señal CLK usada en el selector de conversión de datos en paralelo/en serie **216** de la Figura 6 puede ser compartida entre los bancos de memoria **800** y **802**.

[0080] La Figura 16 es un esquema de circuito del interruptor de transferencia en serie **804** de la Figura 15, según una forma de realización.

El interruptor de transferencia en serie **804** incluye un selector de banco de datos **810** y las puertas de transmisión **812**, **814** y **816**.

La puerta de transmisión **812** acopla BANK1\_DATA a un primer terminal del selector de banco de datos **810**, mientras que la puerta de transmisión **814** acopla BANK2\_DATA a un segundo terminal de selector de banco de datos **810**.

Ambas puertas de transmisión **812** y **814** se encienden cuando las señales complementarias DIR y DIRb están en los niveles lógicos inactivos alto y bajo respectivamente.

La puerta de transmisión **816** acopla BANK1\_DATA y BANK2\_DATA directamente entre sí cuando DIR y DIRb están en los niveles lógicos activos alto y bajo respectivamente.

El selector del banco de datos **810** es controlado por la señal de selección BANK\_SEL, para acoplar BANK1\_DATA o BANK2\_DATA a GLOB\_DATA.

El circuito del interruptor de transferencia en serie **804** es un ejemplo de una implementación de circuito, y otros circuitos conocidos pueden utilizarse para conseguir la misma funcionalidad.

Por ejemplo, el selector del banco de datos **810** puede ser implementado con un circuito multiplexor/demultiplexor que es bien conocido en el arte. Las señales DIR y DIRb pueden ser generadas por el bloque de control **106** del dispositivo de memoria de la Figura 4A en respuesta a un comando específico.

[0081] La arquitectura de transferencia directa de banco a banco es escalable para incluir más de dos bancos de memoria.

Por ejemplo, pares de bancos de memoria como los configurados en la Figura 15 se pueden enlazar junto con otro interruptor de transferencia en serie situado entre los dos pares para acoplar la señal final GLOB\_DATA a la ruta de datos en serie.

Por consiguiente, la configuración del banco de memoria mostrado en la Figura 15 puede reemplazar al banco de memoria único **104** de la Figura 4A.

[0082] El sistema de memoria de núcleos en serie **100** de la Figura 4A es un ejemplo de un dispositivo de memoria con una ruta de datos en serie única interconectada con otros dispositivos de memoria.

La publicación de la patente EEUU nº 20070076479 describe un sistema de memoria de alto rendimiento que puede ejecutar operaciones sustancialmente concurrentes debido a que incluye circuitos con una interfaz en serie separada en dos.

Este principio se puede aplicar al sistema de memoria de núcleos en serie **100** de la Figura 4A para realizar un sistema de memoria de densidad alta y de alto rendimiento con una arquitectura de transferencia directa de banco a banco.

[0083] La Figura 17 es un diagrama de bloques de un sistema de memoria de núcleos en serie de multibanco con dos rutas de datos en serie independientes.

El sistema de memoria **900** incluye una primera ruta de datos en serie **902**, una segunda ruta de datos en serie **904**, los bloques de control **906** y **908**, y los bancos de memoria **910**, **912**, **914** y **916**.

Localizado entre los bancos de memoria **910** y **912** hay un primer interruptor de transferencia en serie **918**.

Localizado entre los bancos de memoria **914** y **916** hay un segundo interruptor de transferencia en serie **920**.

Las primeras y segundas rutas de datos en serie **902** y **904** corresponden a la ruta de datos en serie 10 mostrada en la Figura 4A, mientras que los bloques de control **906** y **908** corresponden al bloque de control **106** mostrado en la Figura 4A.

El generador de alto voltaje mostrado en la Figura 4A se omite para simplificar el esquema, no obstante los expertos en la técnica entenderán que un generador de alta tensión y otros circuitos serán requeridos para permitir la funcionalidad apropiada del sistema.

La primera ruta de datos en serie **902** recibe DATA/CMD\_IN\_1 y proporciona DATA/CMD\_OUT\_1 mientras la segunda ruta de datos en serie **904** recibe DATA/CMD\_IN\_2 y proporciona DATA/CMD\_OUT\_2.

Cada una de las primeras y segundas rutas de datos en serie **902** y **904** incluye una interfaz I/O en serie **922**, un árbitro de datos **924** y un interruptor de datos **926**.

Todos estos circuitos han sido previamente descritos, así como sus funciones.

[0084] Generalmente, los bloques de circuito **902**, **906**, **910**, **912** y **918** operan como una única unidad, mientras que los bloques de circuito **904**, **908**, **914**, **916** y **920** operan como otra única unidad.

Esto significa que las operaciones se pueden ejecutar en cualquier unidad independientemente de la otra, y al

mismo tiempo entre sí.

La presencia de interruptores de datos **926** en ambas rutas de datos en serie **902** y **904** ahora permite que los senderos de datos en serie accedan a cada banco de memoria.

Como se muestra en la Figura 17, hay una única línea de transferencia directa de bit **928** acoplada entre interruptores de datos **926**.

Por lo tanto, los bancos de memoria **910** y **912** se pueden acoplar a la ruta de datos en serie **904** mientras que los bancos de memoria **914** y **916** se pueden acoplar a la ruta de datos en serie **902**.

Además, los datos de los bancos de memoria **910** y **912** pueden ser directamente transferidos a bancos de memoria **914** y **916**, y viceversa, a través de la línea de transferencia directa **928**.

[0085] Las operaciones de transferencia directa de memoria son ventajosas, debido a que los datos no necesitan ser leídos desde el dispositivo de memoria siendo antes reprogramado en un banco diferente del mismo dispositivo de memoria.

Por ejemplo, las operaciones de copia de página o de copia de bloque pueden ser eficazmente ejecutadas porque los datos que corresponden a una página son leídos desde un banco fuente, los datos son cargados en el banco meta sustancialmente al mismo tiempo.

[0086] Por lo tanto, hay diferentes circuitos del sistema de memoria de núcleos en serie que minimizarán el consumo de área del circuito mientras mejoran el rendimiento en referencia a dispositivos de memoria que utilizan un núcleo de ruta de datos en paralelo tradicional.

En primer lugar, el circuito seleccionado de columna autodescodificador es para transferir rápidamente datos de los bitlines a líneas de datos.

En segundo lugar, el tampón de página es compartido, el cual se acopla a dos sectores de una matriz de memoria.

En tercer lugar está la ruta de datos en serie para acoplar un bitstream en serie de datos entre pins de interfaz de entrada/salida externos y al menos un banco de memoria **104** de la Figura 4A.

En cuarto lugar, están los interruptores de transferencia en serie y los interruptores de datos que acoplan los bancos de memoria entre sí o a rutas de datos en serie diferentes.

Dado que los datos son transferidos entre los pins de entrada/salida externos y los sectores de memoria en formato en serie, y solo son convertidos a formato en paralelo en el banco de memoria, se conserva el área de circuito significativa.

Esto es porque solo las líneas de datos en serie bidireccionales, tales como la línea de transferencia directa **928**, las líneas de datos en serie bidireccionales **110** y las rutas de datos en serie **902** y **904** se usan para el transporte de los datos en serie en vez de con una pluralidad de líneas de datos en paralelo.

[0087] Las formas de realización previamente descritas del sistema de memoria de núcleos en serie se pueden implementar en los dispositivos de memoria discretos, o se pueden introducir en un sistema en el chip (SOC) o en un sistema en dispositivo de embalaje (SIP).

En una implementación del dispositivo de memoria discreta, múltiples dispositivos de memoria con las formas de realización del sistema de memoria de núcleos en serie descritas anteriormente se pueden usar en la interconexión en serie 5 de la Figura 1A.

Un único dispositivo empaquetado implementado como un SOC puede tener casos múltiples del sistema de memoria conectado en serie en la misma configuración mostrada en la Figura 1A.

Un único dispositivo empaquetado implementado como un SIP puede tener chips múltiples conectados en serie en la misma configuración mostrada en la Figura 1A.

[0088] En la descripción precedente, con fines de explicación, numerosos detalles se describen para proporcionar una comprensión profunda de las formas de realización de la invención.

No obstante, será evidente para un experto en la materia que estos detalles específicos no se requieren para practicar la invención.

En otros casos, las estructuras eléctricas bien conocidas y los circuitos se muestran en forma de diagrama de bloques para no oscurecer la invención.

Por ejemplo, no se proporcionan detalles específicos en cuanto a si las formas de realización de la invención descritas aquí se implementan como una rutina de software, circuito de hardware, microprograma, o una combinación de lo mismo.

[0089] En las formas de realización descritas anteriormente, la operación ha sido descrita en base a las señales activas "altas" con el objetivo de simplificar.

Se pueden diseñar para ejecutar la operación en base a las señales activas "bajas", conforme a una preferencia de diseño.

[0090] En las formas de realización anteriormente descritas, los elementos del dispositivo y circuitos son acoplados o conectados entre sí como se muestra en las figuras, por simplicidad.

En aplicaciones prácticas de la presente invención para aparatos, dispositivos, elementos, circuitos, etc. se pueden acoplar o conectar directamente entre sí.

Del mismo modo, dispositivos, elementos, circuitos, etc. se pueden acoplar o conectar indirectamente entre sí a través de otros dispositivos, elementos, circuitos, interfaces, etc., necesarios para la operación del aparato.

Así, en la configuración real, los elementos y dispositivos del circuito son acoplados directa o indirectamente o conectados entre sí.

[0091] Las formas de realización de la invención descritas anteriormente pretenden ser solo ejemplos.

- 5 Alteraciones, modificaciones y variaciones pueden ser efectuadas en las formas de realización particulares por los expertos en la técnica sin apartarse del objetivo de la invención, que es definido solamente por las reivindicaciones anexas aquí.

## REIVINDICACIONES

1. Tampón de página (212, 214, 600) de banco de memoria (200, 800, 802) que comprende matriz de memoria acoplada a bitlines (BL) y wordlines (WL), **caracterizado:**

5 por primeras y segundas secciones del tampón de página (614, 616: 616, 618),  
 porque la primera sección del tampón de página (614, 616) comprende un primer activador (602, 604) y un primer segmento del tampón de página (608, 610) acoplado a los primeros bitlines (CBL\_S1\_[1:n]; CBL\_S2\_[1:n]) y líneas de datos (L\_DL[1:n]) y configurada para acceder a los primeros bitlines (CBL\_S1\_[1 :n], CBL\_S2\_[1:n]),  
 10 porque la segunda sección del tampón de página (616, 618) comprende un segundo activador (604, 606) y un segundo segmento de tampón de página (610, 612) acoplado a los segundos bitlines (CBL\_S2\_[1:n]; CBL\_Sm\_[1:n]) y a las líneas de datos (L\_DL[1:n]) y configurado para acceder a los segundos bitlines (CBL\_S2\_[1:n], CBL\_Sm\_[1:n]),  
 15 porque el primer activador (602, 604) está configurado:

para recibir una señal de selección de columna de entrada (COL\_BIT); y  
 para proporcionar

20 una señal de selección de columna de salida (COL\_BIT) en respuesta a una señal de reloj ( $\phi$ , ( $\phi$ b), la señal de selección de columna de salida (COL\_BIT) que es derivada de la señal de selección de columna de entrada (COL\_BIT), y  
 una primera señal de activación (Y-sel) al primer segmento de tampón de página (608, 610) en respuesta a la señal de selección de entrada de columna (COL\_BIT), la primera señal de activación (Y-sel) que activa la selección de columna del primer segmento de tampón de página (608, 610),  
 25

porque el segundo activador (604, 606) está configurado:

para recibir la señal de selección de columna de salida desde el primer activador como una señal de selección de columna de entrada (COL\_BIT) de la misma, y  
 30 para proporcionar una segunda señal de activación (Y-sel) al segundo segmento de tampón de página (610, 612) en respuesta a la señal de selección de columna de entrada (COL\_BIT) de la misma, la segunda señal de activación (Y-sel) que activa la selección de columna del segundo segmento de tampón de página (610, 612).

35 2. Tampón de página de la reivindicación 1, donde:

el primer segmento de tampón de página (608, 610) de la primera sección de tampón de página (614, 616) se configura para detectar datos desde los primeros bitlines (CBL\_S1\_[1:n]; CBL\_S2\_[1:n]) y  
 40 para proporcionar los datos detectados a las líneas de datos (L\_DL[1:n]) en respuesta a la selección de columna activada por la primera señal de activación; y  
 el segundo segmento de tampón de página (610, 612) de la segunda sección de tampón de página (616, 618) se configura para detectar datos de los segundos bitlines (CBL\_S2\_[1:n]; CBL\_Sm\_[1:n]),  
 y  
 45 para proporcionar los datos detectados a las líneas de datos (L\_DL[1:n]) en respuesta a la selección de columna activada por la segunda señal de activación.

3. Tampón de página de la reivindicación 1 o 2, donde:

50 el primer activador (602, 604) se configura para proporcionar la primera señal de activación (Y-sel) al primer segmento de tampón de página (608, 610) en respuesta a la señal de selección de columna de entrada (COL\_BIT) asegurada en un estado de la señal de reloj; y  
 el segundo activador (604, 606) se configura para proporcionar la segunda señal de activación (Y-sel) al segundo segmento de tampón (610, 612) en respuesta a la señal de selección de columna de entrada (COL\_BIT) asegurada en un estado posterior de la señal de reloj, la señal de selección de columna de entrada (COL\_BIT) del segundo activador (604, 606) que es una versión retardada de la señal de selección de columna de entrada (COL\_BIT) recibida por el primer activador (602, 604).  
 55

4. Tampón de página de la reivindicación 3, donde:

60 el primer activador (602,604) comprende:

un terminal de entrada (In) para recibir la señal de selección de columna de entrada (COL\_BIT), la señal de selección de columna de entrada (COL\_BIT) que es asegurada en respuesta al estado de complemento de la señal de reloj;  
 65 un terminal de salida (Out) para la emisión de la señal de selección de columna de salida (COL\_BIT)

en respuesta a la señal de selección de columna de entrada y a la señal de reloj; y  
 una producción de selección de columna (Y-sel) para suministrar la primera señal de activación (Y-sel)  
 con un estado lógico que corresponde a la señal de selección de columna (COL\_BIT) durante el  
 estado de la señal de reloj, y

5 el segundo activador (604, 606) comprende:  
 un terminal de entrada (In) para recibir la señal de selección de columna de entrada (COL\_BIT), la  
 señal de selección de columna de entrada (COL\_BIT) siendo asegurada en respuesta al estado de  
 10 complemento de la señal de reloj; y  
 una salida de selección de columna (Y-sel) para suministrar la segunda señal de activación (Y-sel) con  
 un estado lógico que corresponde con la señal de selección de columna (COL\_BIT) durante el estado  
 posterior de la señal de reloj.

15 5. Tampón de página de la reivindicación 3 o 4, donde cada uno de los primeros y segundos segmentos de tampón  
 de página (608, 610: 610, 612) comprende una o varias unidades de tampón de página (650, 652, 654, 660, 750),  
 donde una unidad de tampón de página es acoplada al menos a uno de los respectivos bitlines (CBL\_S[1:m]) y que  
 corresponde al menos a una de las líneas de datos (L\_DL[1:n]),  
 20 al menos una de las unidades de tampón de página del primer segmento de tampón de página es activada en  
 respuesta a la primera señal de activación (Y-sel),  
 al menos una de las unidades de tampón de página del segundo segmento de tampón de página es activada en  
 respuesta a la segunda señal de activación (Y-sel).

25 6. Tampón de página de la reivindicación 4 o 5, donde:  
 la unidad de tampón de página del primer segmento de tampón de página comprende  
 el sistema de circuitos de detección (760, 762) configurados para detectar datos de uno de los primeros  
 bitlines, y  
 un circuito de acoplamiento (766) configurado para acoplar los datos detectados del sistema de circuitos a la  
 30 correspondiente línea de datos en respuesta a la primera señal de activación (Y-sel); y  
 la unidad de tampón de página del segundo segmento de tampón de página comprende  
 el sistema de circuitos de detección (760, 762) configurado para detectar datos de uno de los segundos bitlines,  
 y  
 un circuito de acoplamiento (766) configurado para acoplar los datos detectados del circuito de detección a la  
 35 correspondiente línea de datos en respuesta a la segunda señal de activación (Y-sel).

7. Tampón de página de cualquiera de las reivindicaciones de la 2 a la 6, donde el primer activador (602, 604)  
 comprende el sistema de circuitos biestable cronometrado por la señal de reloj ( $\phi$ ) con el estado y un estado de  
 complemento ( $\phi b$ ), el sistema de circuitos biestable configurado:  
 40 para recibir la señal de selección de columna de entrada (COL\_BIT) en el terminal de entrada (In) y asegurarlo  
 en respuesta al estado de complemento de la señal de reloj ( $\phi b$ );  
 para proporcionar la señal de selección de columna de salida (COL\_BIT) a través del terminal de salida (Out)  
 en respuesta a la señal de reloj; y  
 45 para proporcionar la primera señal de activación (Y-sel) con un estado lógico que corresponde a la señal de  
 selección de columna (COL\_BIT) a través de la salida de selección de columna durante el estado de la señal  
 de reloj.

50 8. Tampón de página de la reivindicación 7, donde el sistema de circuitos biestable comprende un circuito  
 maestro/esclavo (700) que incluye:  
 primeros y segundos inversores acoplados de cruce (704, 706, 710, 712) acoplados a primeros y segundos  
 dispositivos de restablecimiento (714, 716), respectivamente, que se configuran para responder a una señal de  
 control (RST) y a una señal de control complementaria (RSTb), respectivamente;  
 55 las primeras y segundas puertas de transmisión (702, 708) configuradas para responder a un estado de la  
 señal de reloj ( $\phi$ ) y a un estado de complemento de la señal de reloj ( $\phi b$ ), respectivamente, siendo configurada  
 la segunda puerta de transmisión (708) para transmitir el estado lógico de los primeros inversores acoplados de  
 cruce (704, 706) a los segundos inversores acoplados de cruce (710, 712); y  
 un circuito lógico (718) configurado para proporcionar la señal de activación (Y-sel) en respuesta al estado  
 60 lógico de los segundos inversores acoplados de cruce y una señal de activación de descodificación (YENb).

9. Tampón de página de la reivindicación 6, donde:  
 en al menos una de la pluralidad de unidades de tampón de página del primer segmento de tampón de página

(608, 610),

el sistema de circuitos de detección (760, 762) comprende un sensor configurado para detectar los datos del primer bitline, y

5 el circuito de acoplamiento comprende un dispositivo de acoplamiento (766) configurado para acoplar el sensor a la correspondiente línea de datos en respuesta a la primera señal de activación (Y-sel); y en al menos una de la pluralidad de unidades de tampón de página del segundo segmento de tampón de página (610, 612),

10 el sistema de circuitos de detección (760, 762) comprende un sensor configurado para detectar los datos del primer bitline, y el circuito de acoplamiento comprende un dispositivo de acoplamiento (766) configurado para acoplar el sensor a la correspondiente línea de datos en respuesta a la segunda señal de activación (Y-sel).

10. Tampón de página de cualquiera de las reivindicaciones de la 6 a la 9, donde el circuito de acoplamiento comprende:

15 un proveedor de datos (766) configurado para proporcionar los datos detectados del sistema de circuitos de detección a las líneas de datos correspondientes en respuesta a la señal respectiva de activación (Y-sel).

20 11. Tampón de página de cualquiera de las reivindicaciones de la 1 a la 10, donde cada una de las primeras y segundas secciones de tampón de página (614, 616: 616, 618) forma una fase de tampón de página autodescodificador que está dispuesta para detectar datos de un conjunto de bitlines y para proporcionar datos detectados, siendo usado el tampón de página para al menos una operación de lectura y programación de una memoria no volátil.

25 12. Método para acceder a un banco de memoria (200, 800) que comprende una matriz de memoria acoplada a bitlines (BL) y a wordlines (WL), caracterizado por el hecho de que:

proporciona al banco de memoria un tampón de página según cualquiera de las reivindicaciones precedentes; en la primera sección de tampón de página (614, 616)  
 30 recibe una señal de selección de columna de entrada (COL\_BIT);  
 emite una señal de selección de columna de salida (COL\_BIT) derivada de la señal de selección de columna de entrada en respuesta a una señal de reloj ( $\phi$ ;  $\phi_b$ ),  
 emite una primera señal de activación (Y-sel) en respuesta a la señal de selección de columna de entrada, y en la segunda sección de tampón de página (616, 618)  
 35 recibe la señal de selección de columna de salida de la primera sección de tampón de página como una señal de selección de columna de entrada de la misma, y  
 emite una segunda señal de activación (Y-sel) en respuesta a la señal de selección de columna de entrada; y permite la selección de columna de los primeros y los segundos segmentos de tampón de página en respuesta a la primera y segunda señal de activación, respectivamente.

40 13. Método de la reivindicación 12, que comprende además:

detección de datos desde los primeros y segundos bitlines; y  
 retención de los datos detectados desde los primeros y segundos bitlines en respuesta a la selección de columna de activación de los primeros y segundos segmentos de tampón de página.

45 14. Método de la reivindicación 13, que comprende además:

emitir consecutivamente los datos retenidos desde la primera y segunda sección de tampón de página (614, 616: 616, 618) a las líneas de datos (L\_DL[1:N]) en cada ciclo de reloj en respuesta a la señal de selección de columna de entrada y una señal de activación (YENb),

50 15. Método de la reivindicación 14, donde para cada una de las secciones primera y segunda de tampón de página (614, 616: 616, 618), la emisión consecutiva comprende:

55 el desplazamiento de la señal de selección de columna (COL-BIT) a cada una de las secciones plurales primera y segunda del tampón de página (614, 616: 616, 618) en cada ciclo de reloj, incluyendo el desplazamiento:

60 la recepción de la señal de selección de columna (COL\_BIT) en una primera transición de señal de reloj de un primer ciclo de reloj; y  
 la retención y emisión de la señal de selección de columna (COL\_BIT) a una sección de tampón de página posterior en una segunda transición de señal de reloj del primer ciclo de reloj.

5

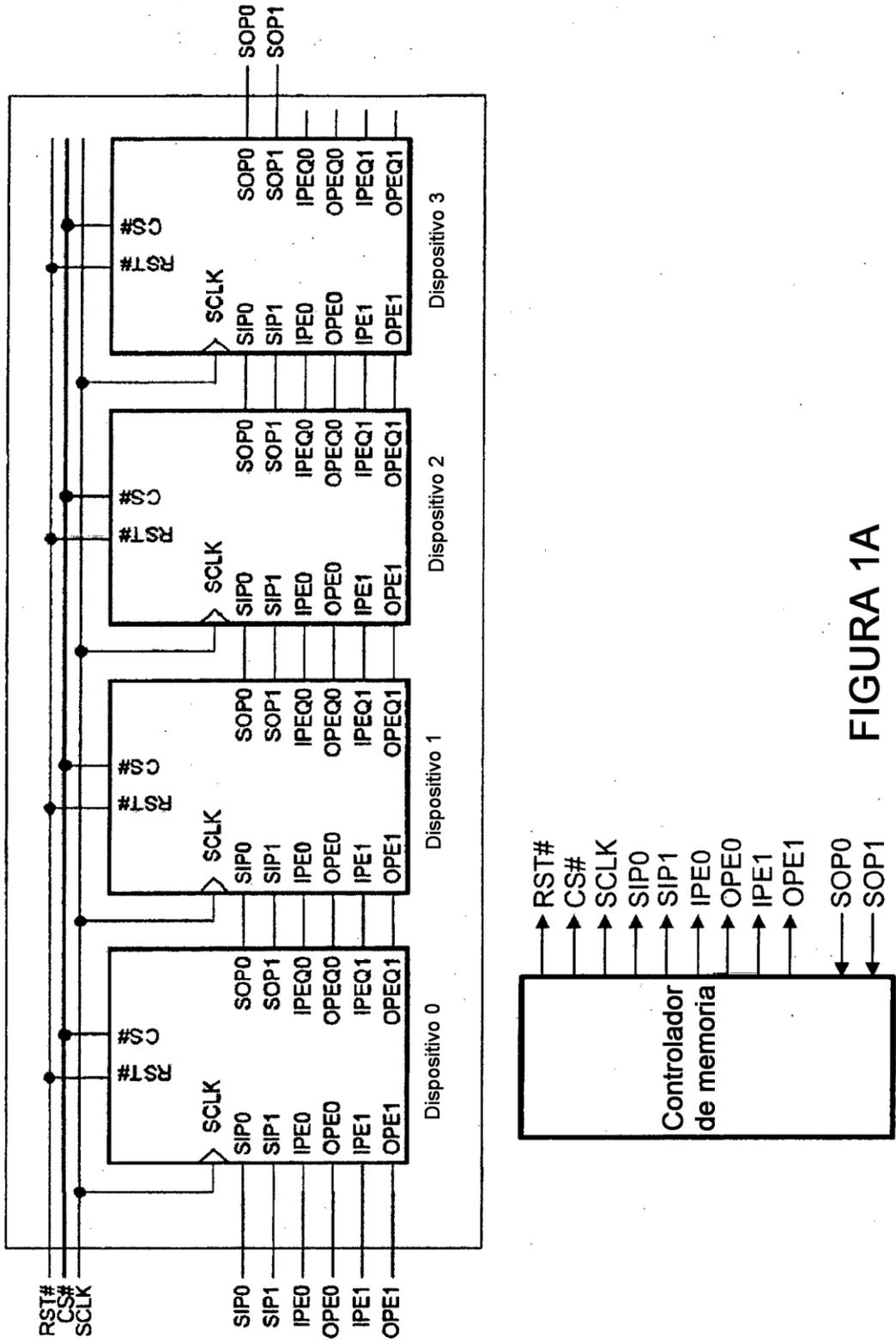


FIGURA 1A

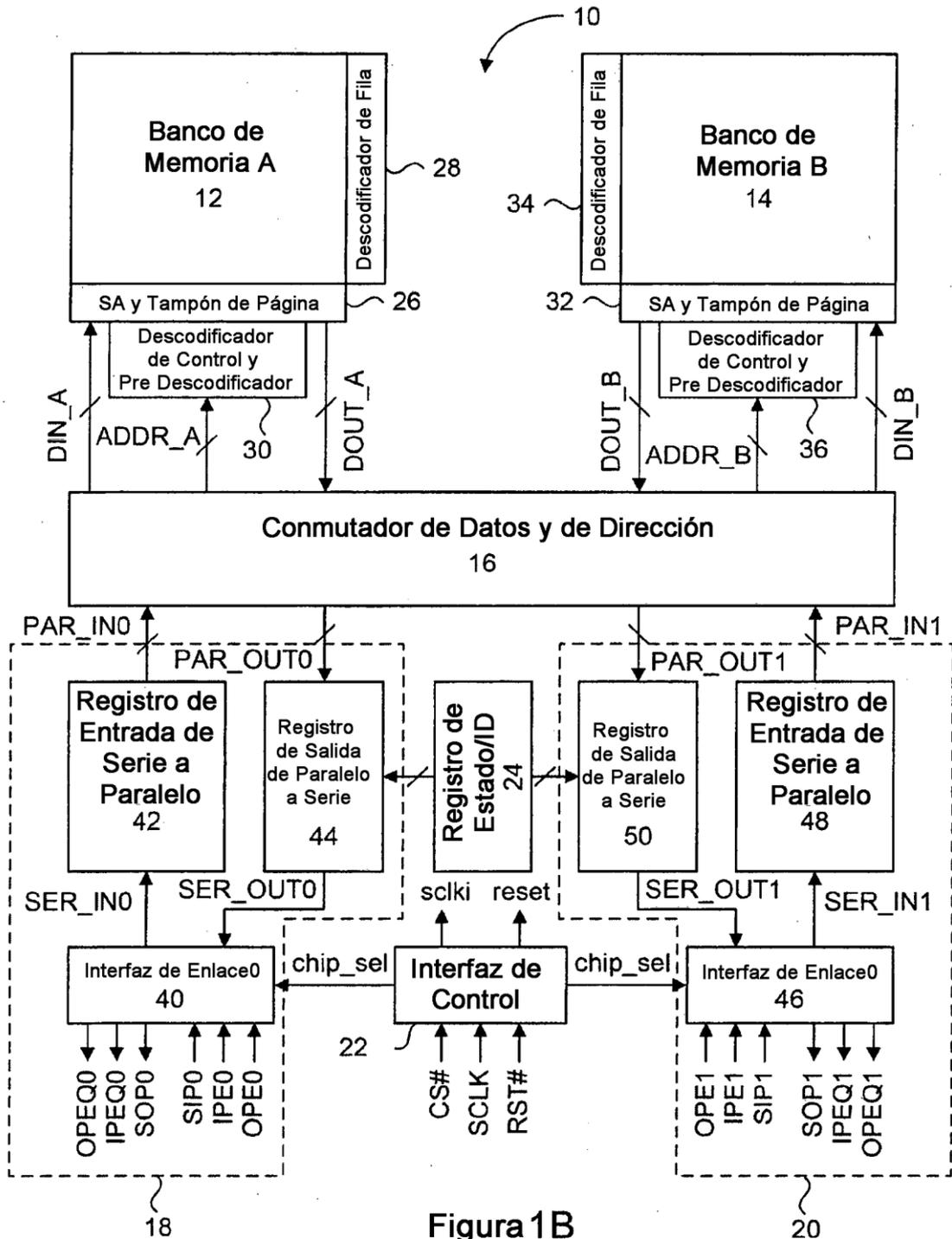


Figura 1B  
(Técnica Anterior)

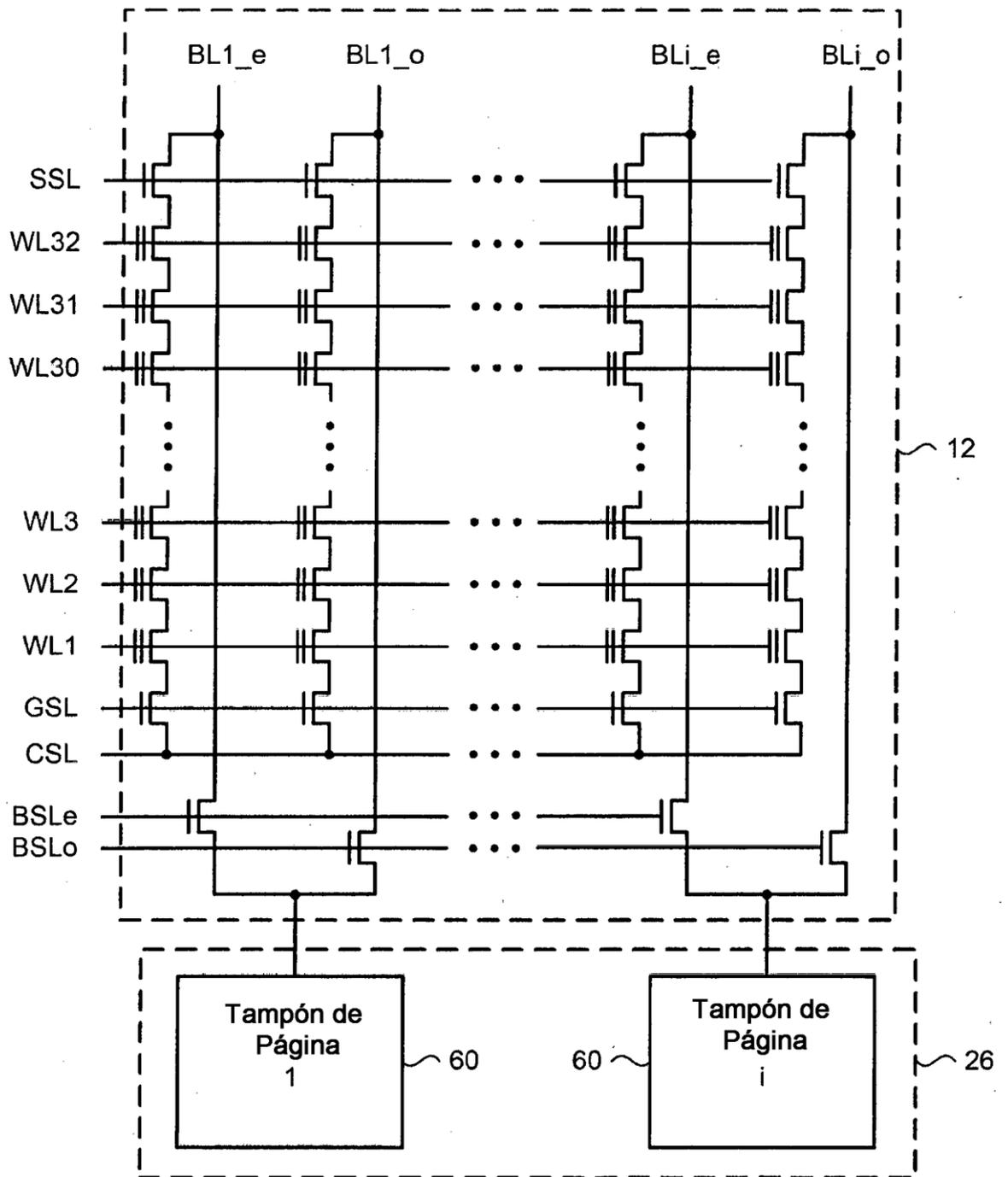


Figura 2  
(Técnica Anterior)

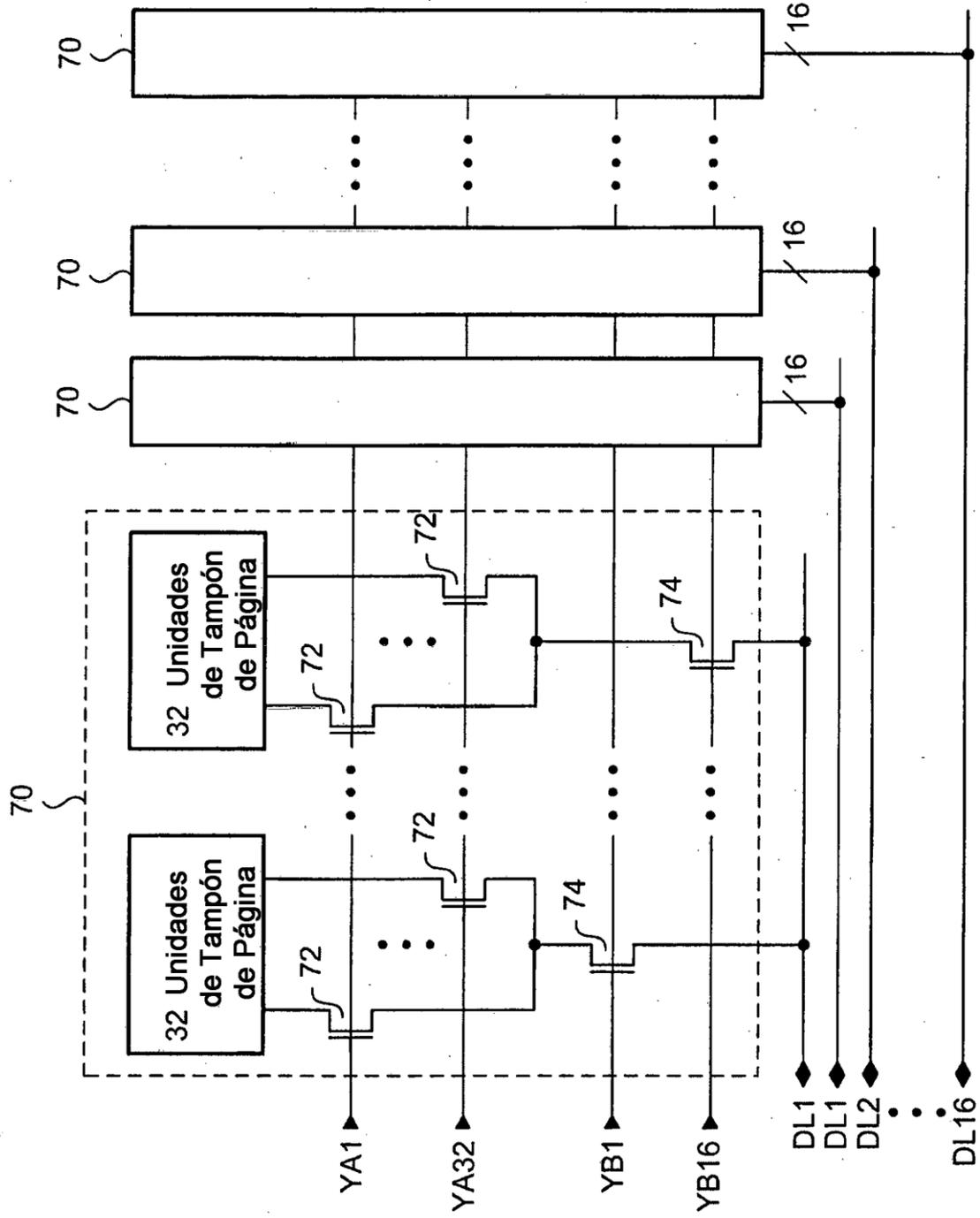


Figura 3  
(Técnica Anterior)

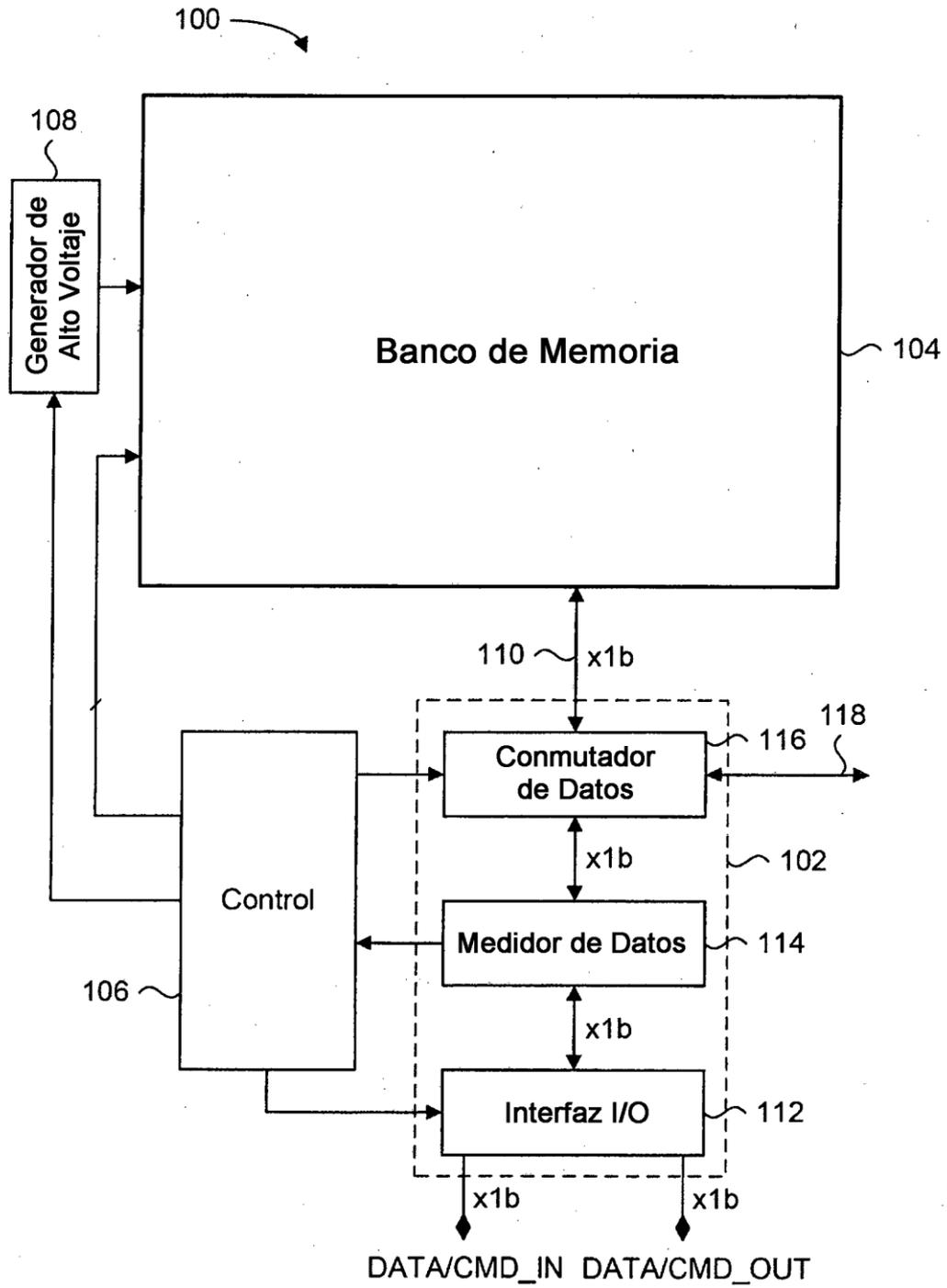


Figura 4A

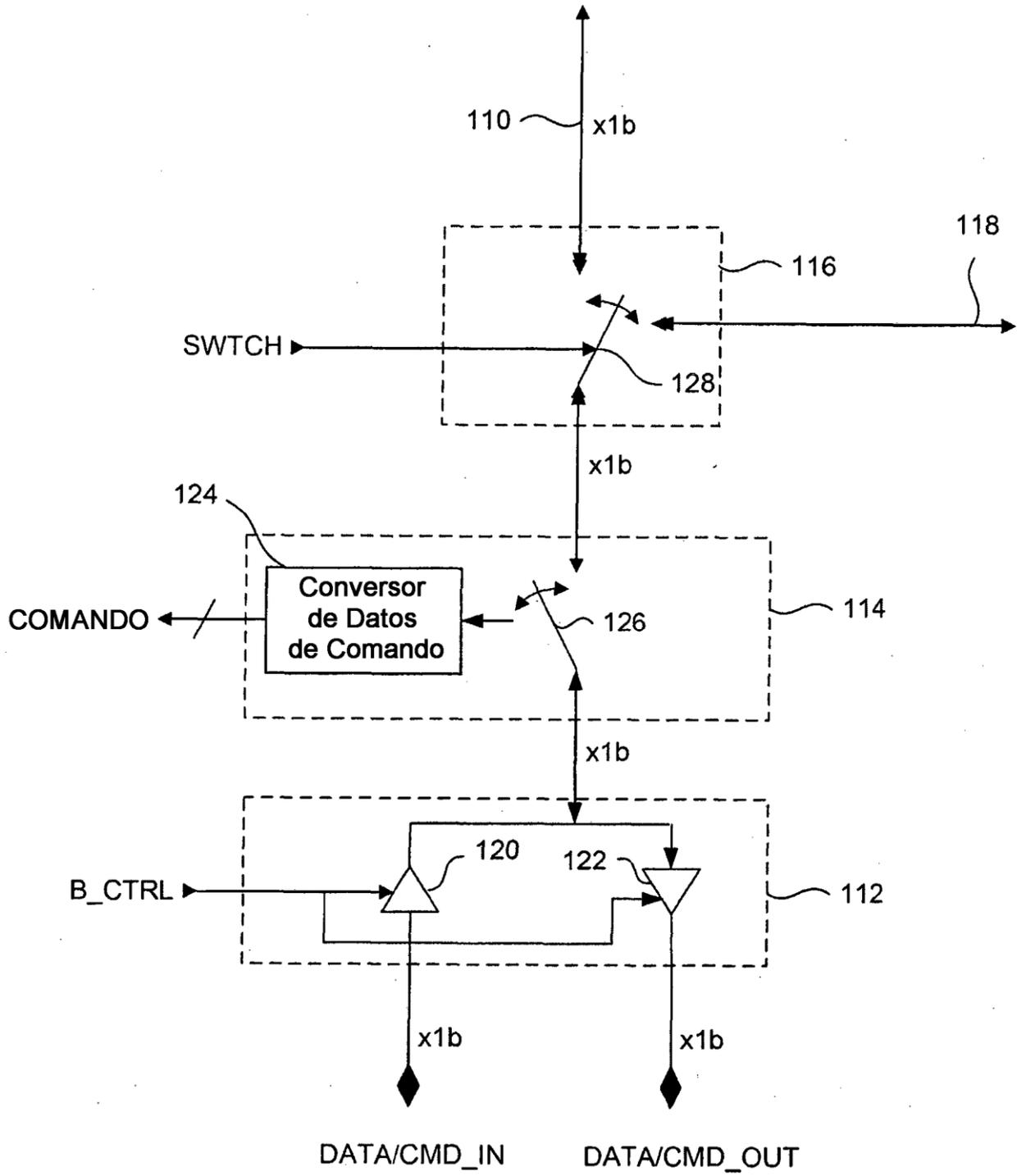


Figura 4B

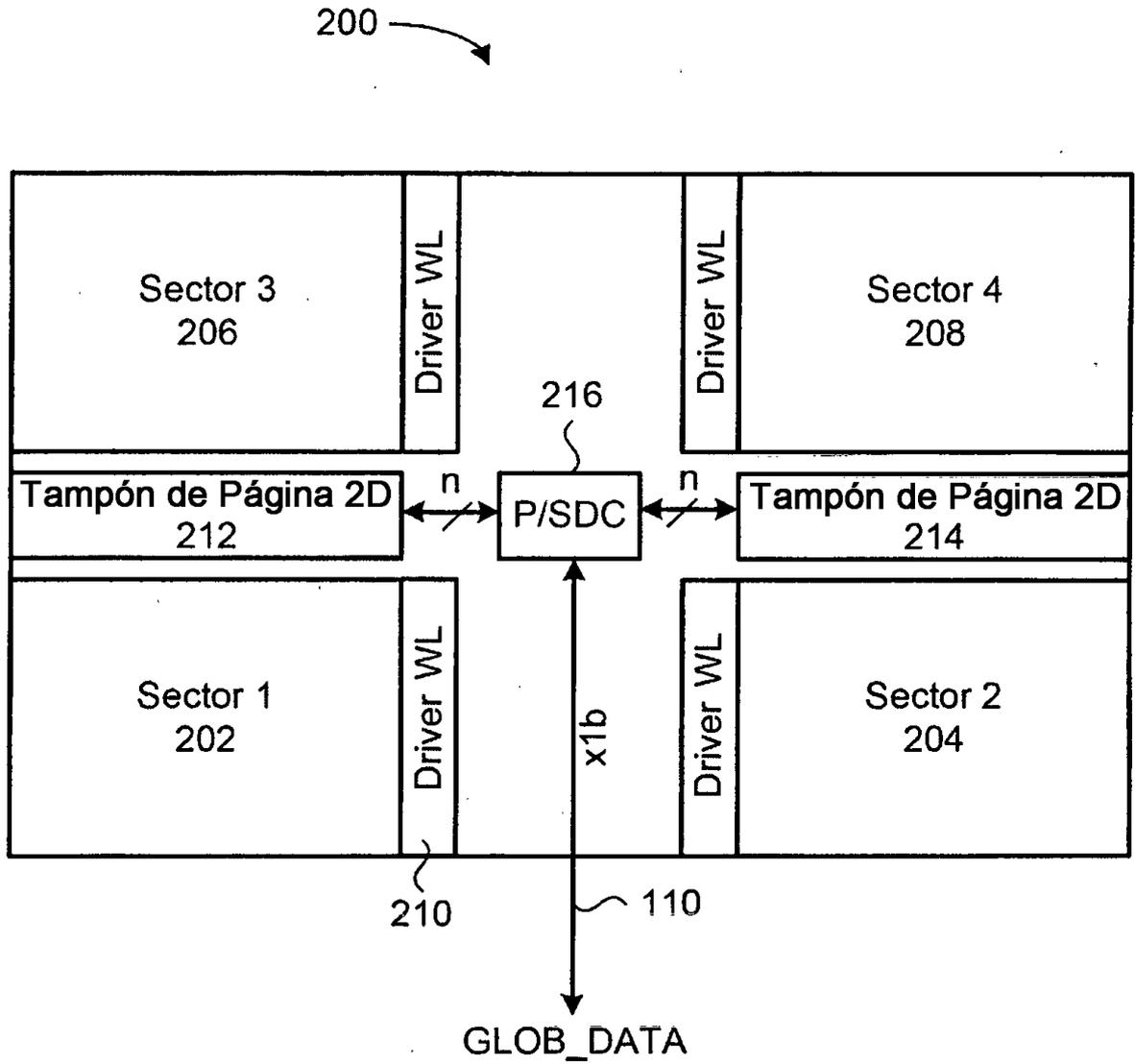


Figura 5

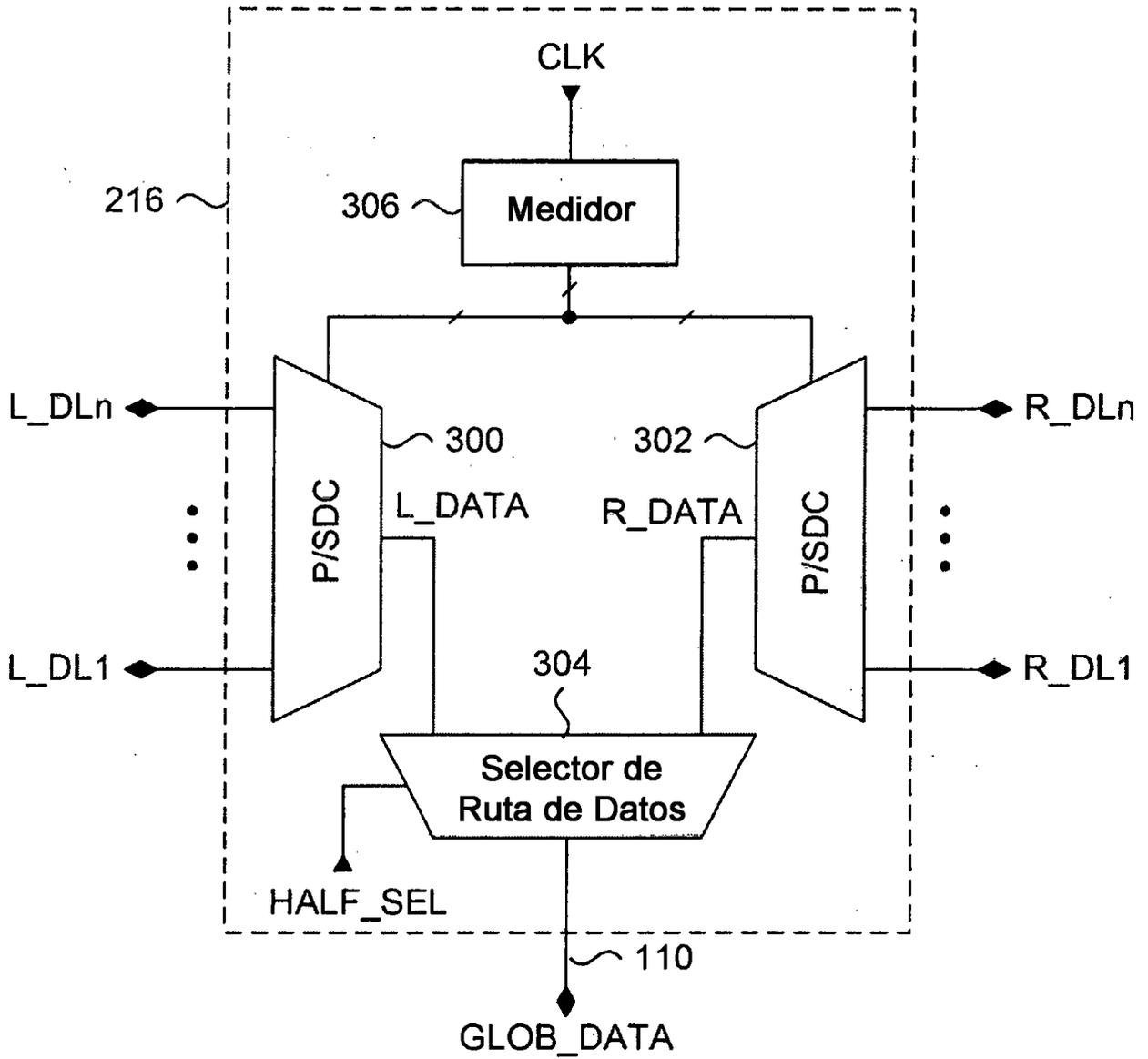


Figura 6

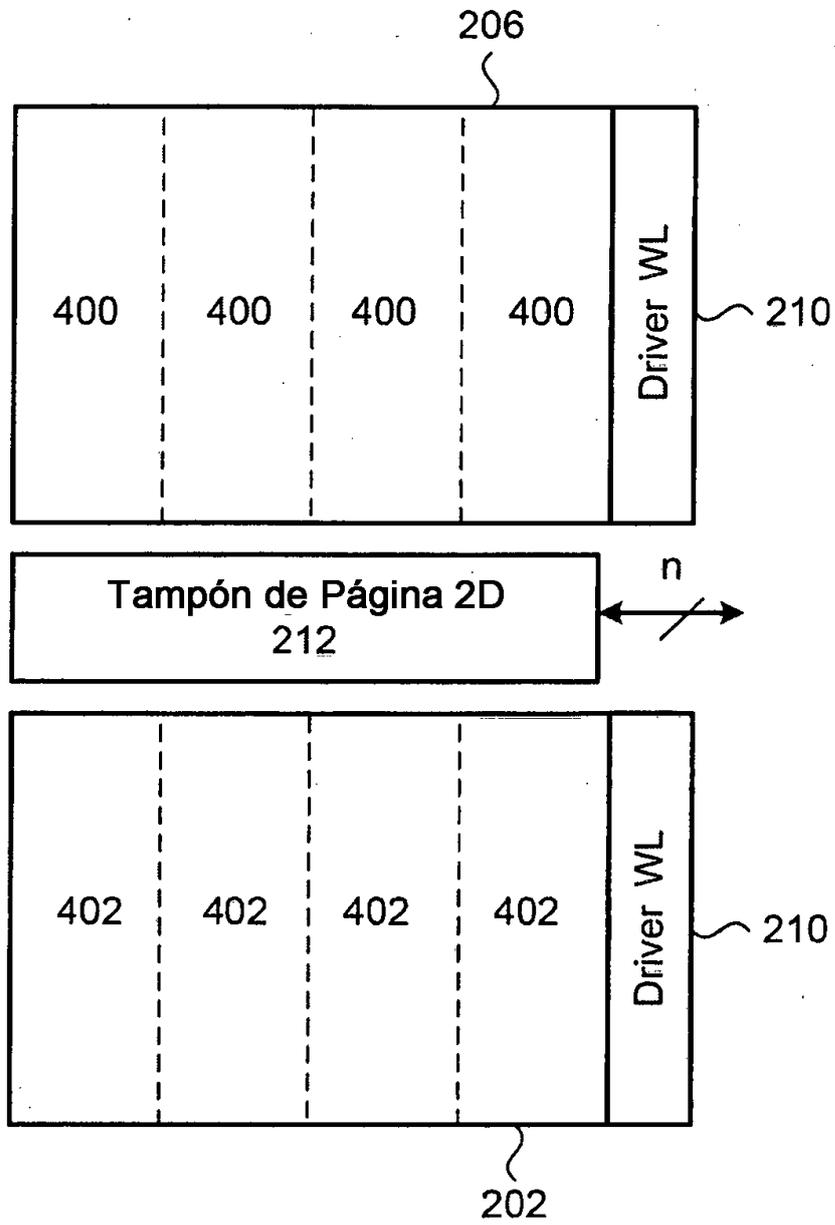


Figura 7A



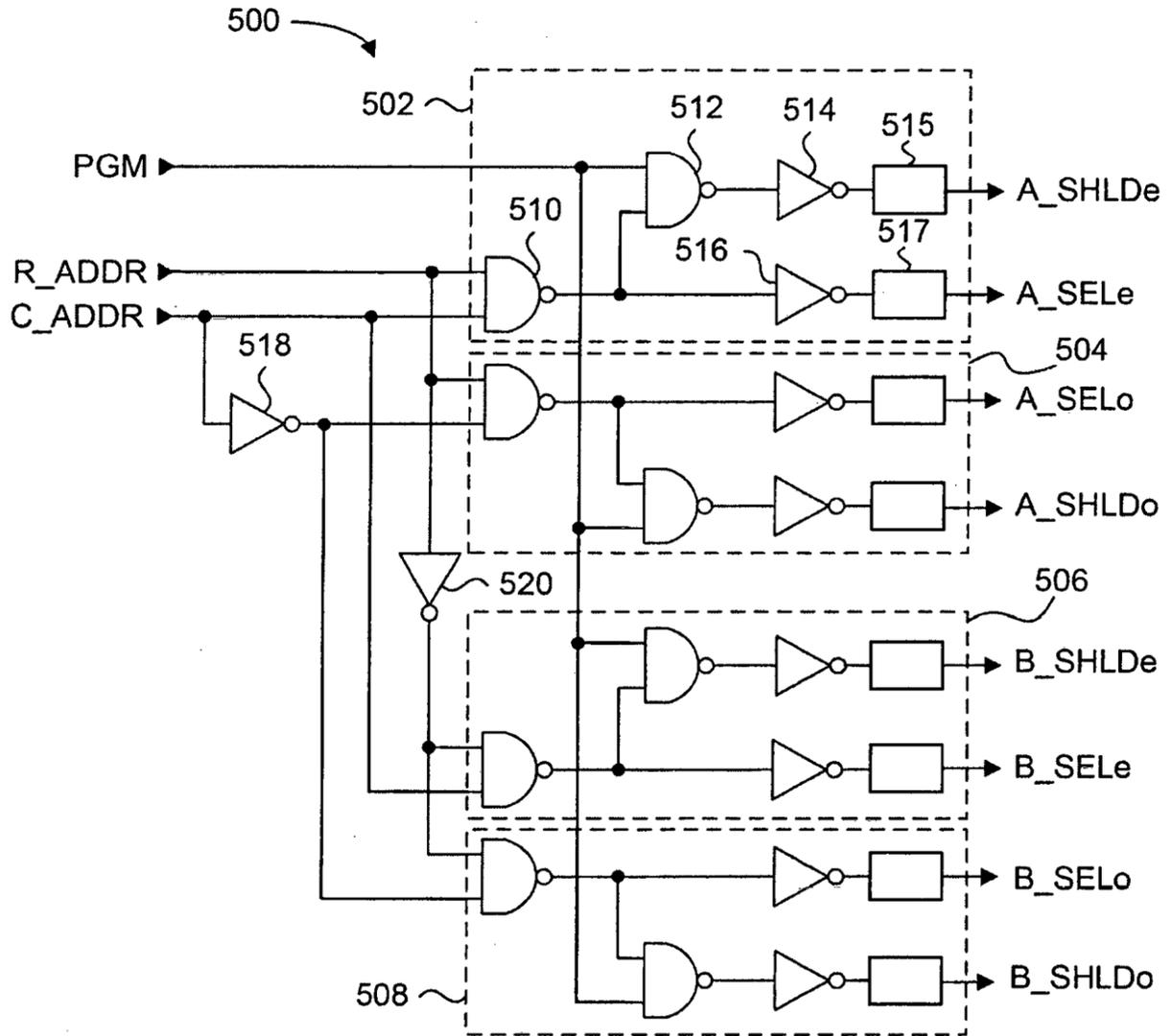


Figura 8

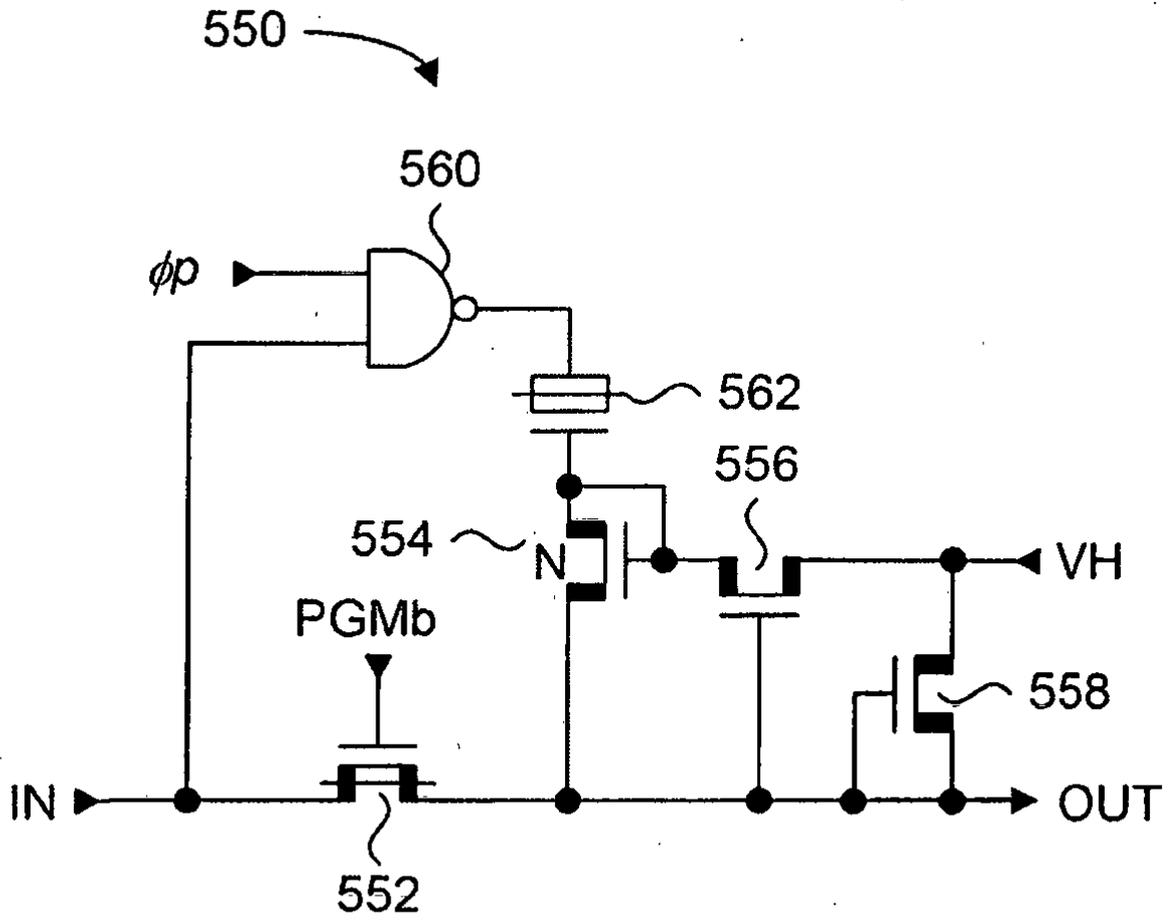


Figura 9

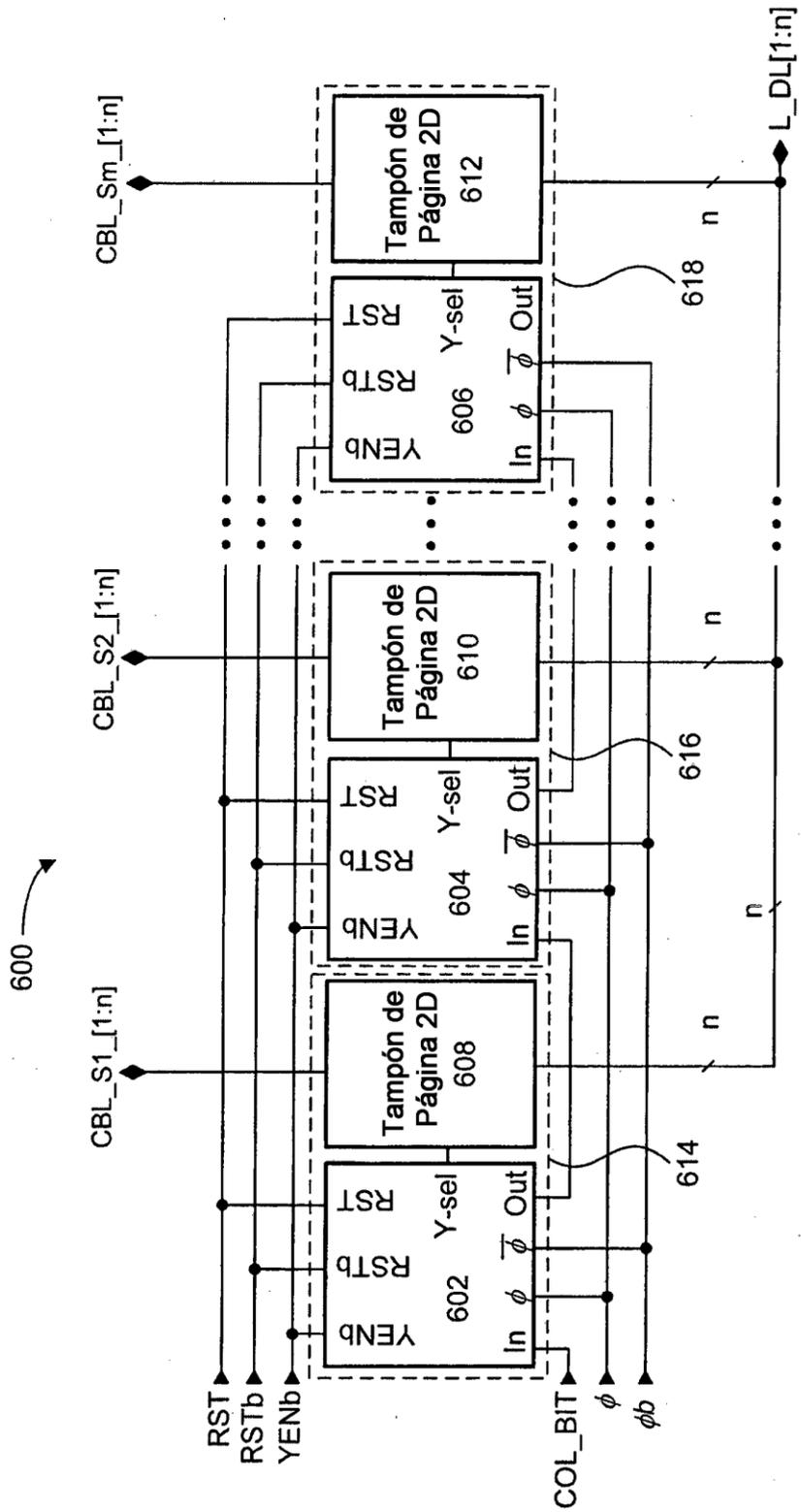


Figura 10

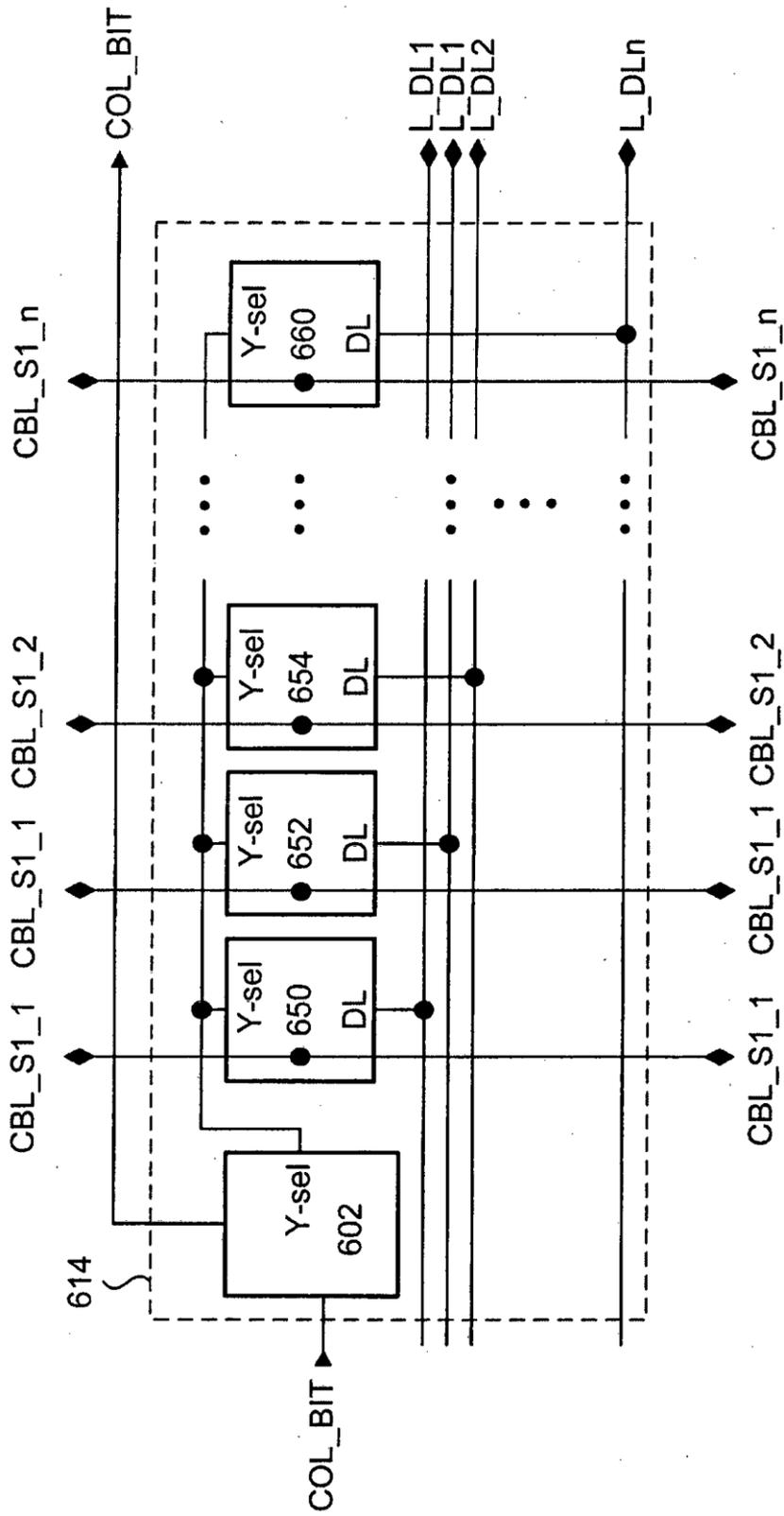


Figura 11

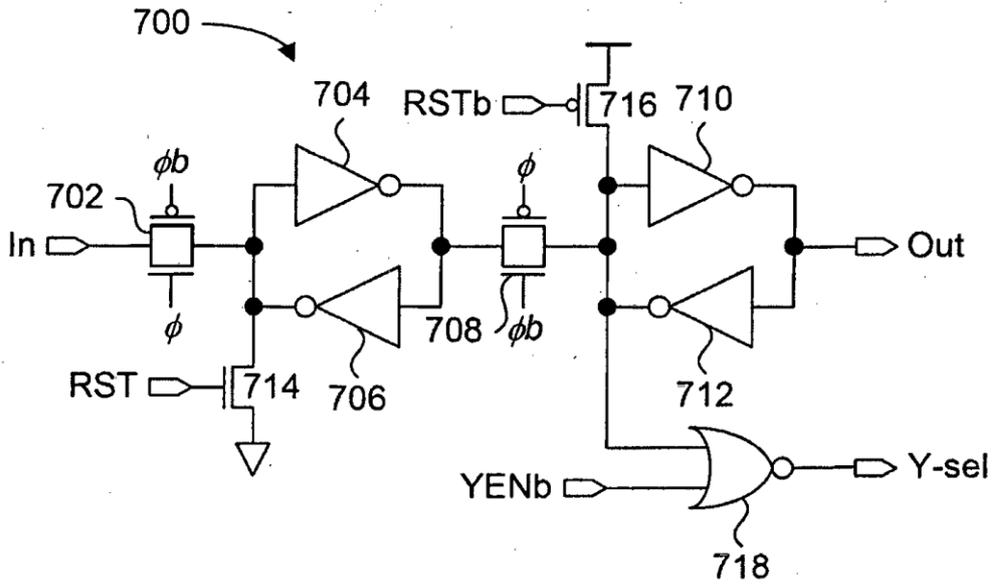


Figura 12

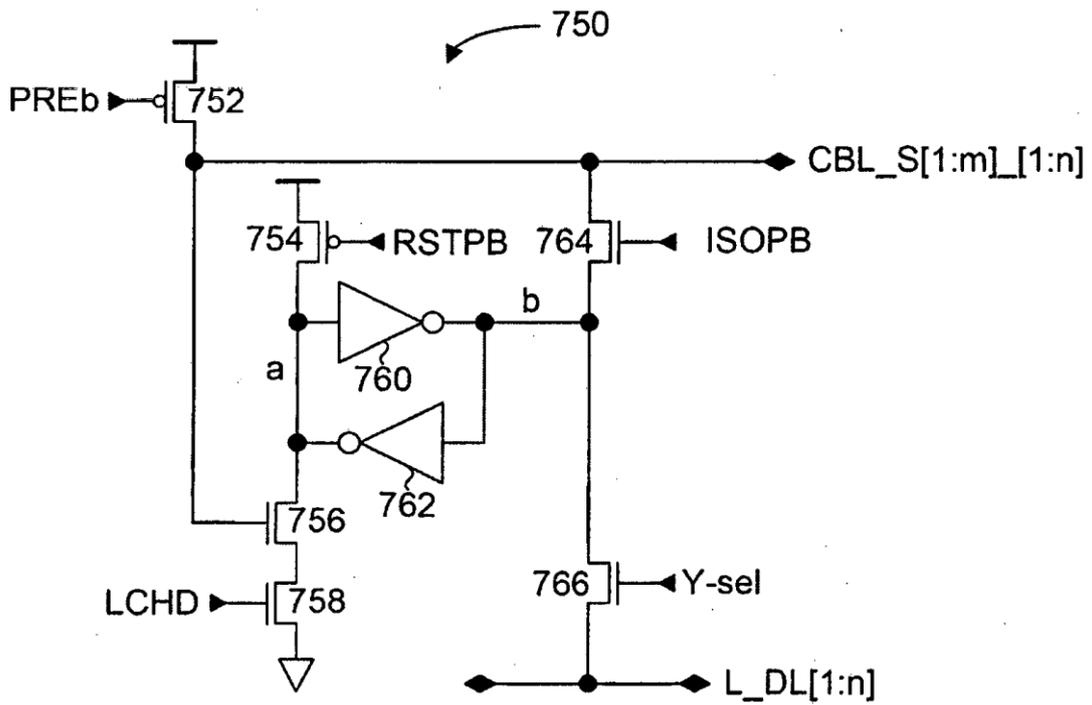


Figura 13

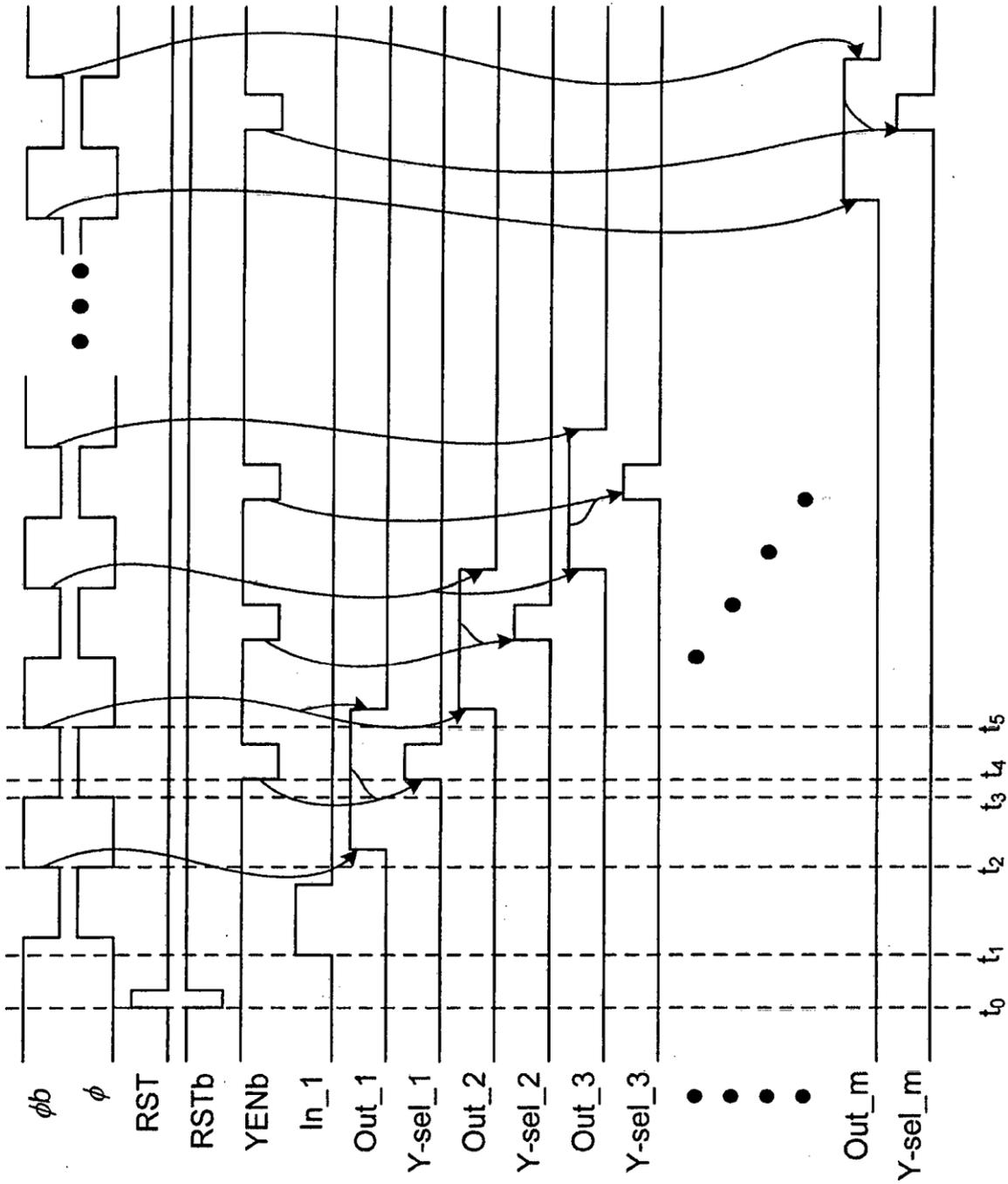


Figura 14

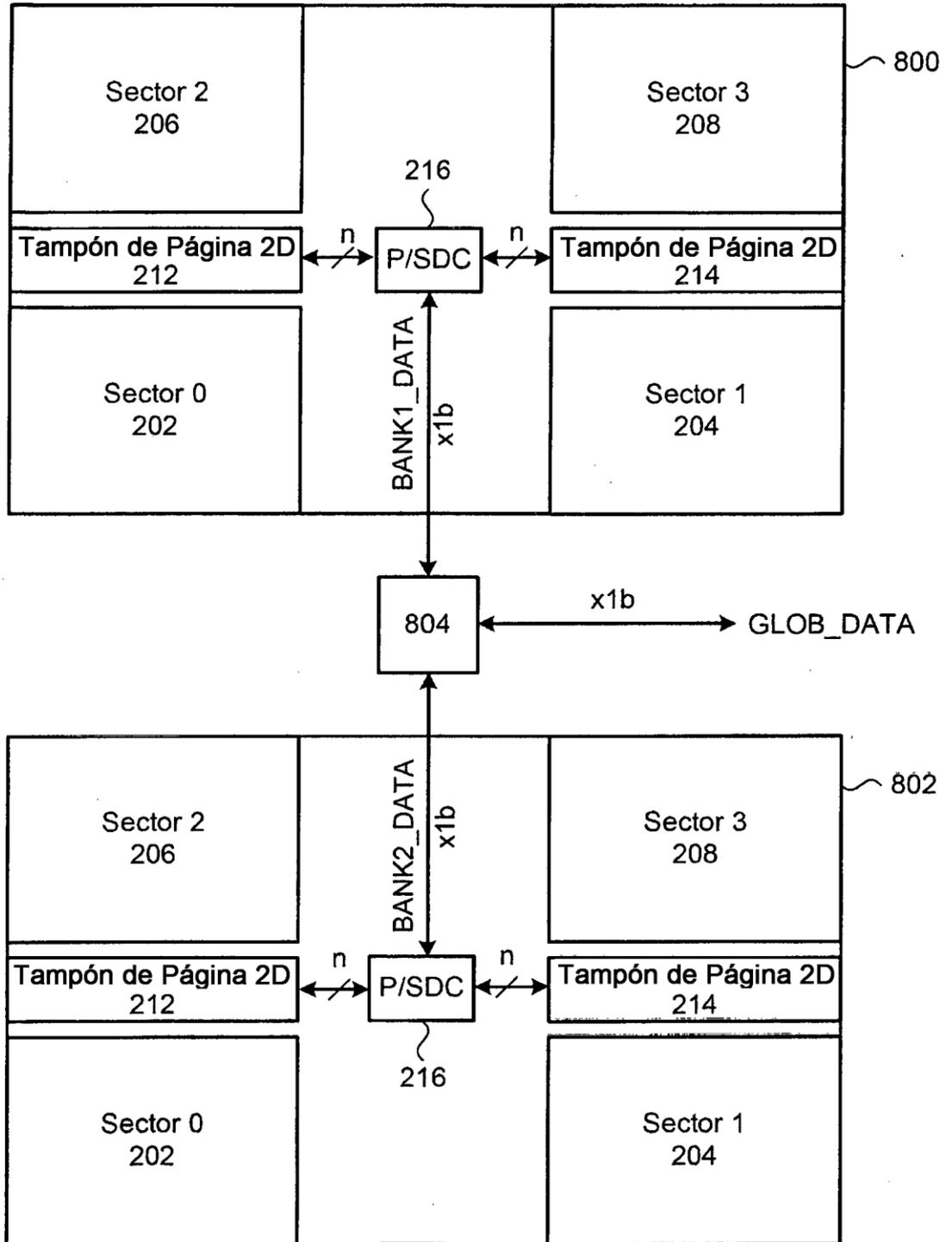


Figura 15

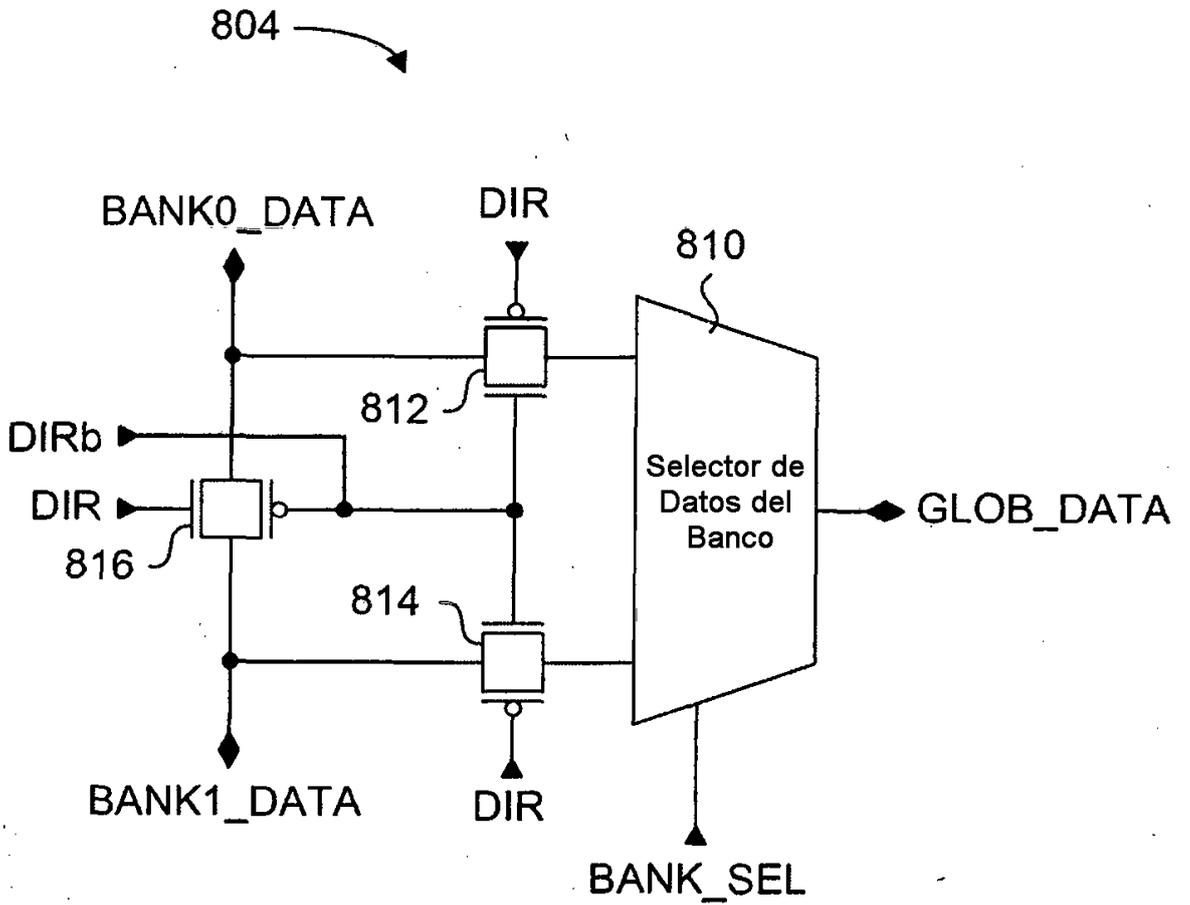


Figura 16

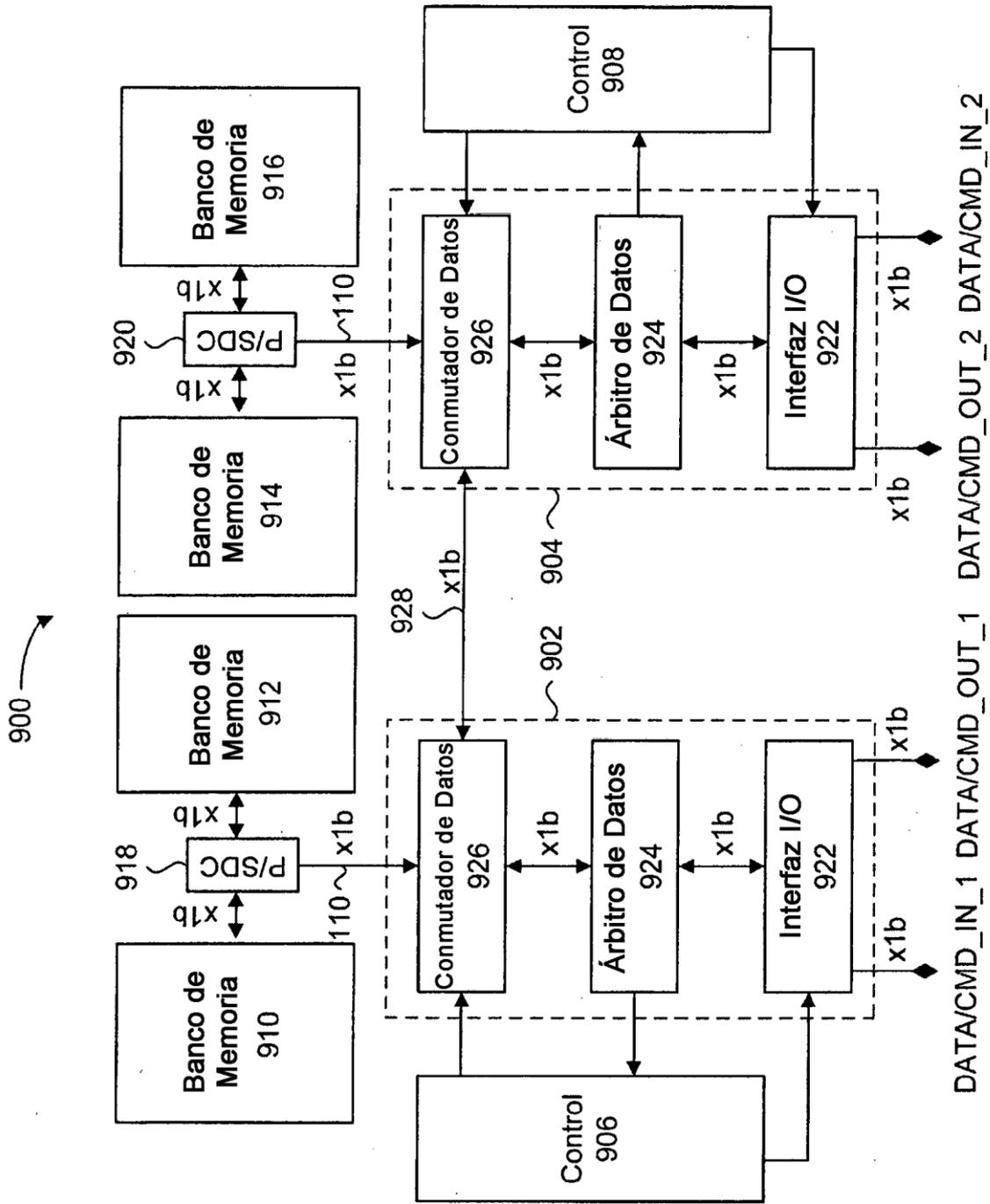


Figura 17