(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 491 893**

(51) Int. Cl.:

H04J 3/06 (2006.01)
H04J 3/16 (2006.01)

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(96) Fecha de presentación y número de la solicitud europea: **24.03.2006** **E 06722157 (2)**

(97) Fecha y número de publicación de la concesión europea: **04.06.2014** **EP 1865632**

(54) Título: **Método y aparato de separación y de síntesis de señales**

(30) Prioridad:

01.04.2005 CN 200510063017

(45) Fecha de publicación y mención en BOPI de la traducción de la patente:
08.09.2014

(73) Titular/es:

HUAWEI TECHNOLOGIES CO., LTD. (100.0%)
Huawei Administration Building Bantian
Longgang District, Shenzhen
Guangdong 518129, CN

(72) Inventor/es:

XIAO, XIN;
ZOU, SHIMIN y
YU, ZHIQING

(74) Agente/Representante:

LEHMANN NOVO, María Isabel

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

ES 2 491 893 T3

DESCRIPCIÓN

Método y aparato de separación y de síntesis de señales

Campo de la invención

La presente invención se refiere a una técnica para procesar una señal asíncrona y más en particular, a un método y aparato para separar una señal asíncrona y un método y aparato para sintetizar señales.

Antecedentes de la invención

La técnica de Jerarquía de Transporte Óptico (OTH) es una nueva generación de jerarquía del transporte desarrollada después de la Jerarquía Digital Síncrona (SDH)/Red Óptica Síncrona (SONET). Para la transferencia de los datos en la jerarquía OTH, el Sector de Normalización de las Telecomunicaciones de la Unión Internacional de Telecomunicaciones (ITU-T), en su recomendación G.709, ha definido señales para realizar diferentes funciones, tales como una Unidad de Datos de Canal Óptico (ODU) como una señal de conexión, Unidad de Transporte de Canal Óptico (OTU) como una señal de transporte, Unidad de Carga Útil de Canal Óptico (OPU) y Grupo de Unidades Tributarias de Datos de Canal Óptico (ODTUG).

El formato de trama de ODUk se ilustra en la Figura 1, en donde k = 1, 2, 3, ODUk tiene 4 x 3824 = 16320 bytes en total. El área en las Columnas 1-14 de la fila 1 es el área reservada para la Alineación de Tramas (FA) y para la Sobrecarga de OTUk (OTUk OH). El área en las Columnas 1-14 de las fiabilidades 2-4 es el área de ODUk OH y la otra área en las filas 15-3824 es el área de OPUk, que tiene 4 x 3810 bytes. Los bytes 1-6 de la trama de ODUk son bytes de FA.

ODUk puede adaptarse a OTUk mediante un mapeado de puesta en correspondencia y la adaptación del formato de trama de ODUk a OTUk se ilustra en la Figura 2. Mediante el relleno del área de FA con bytes FA y el área de OTUk OH con los bytes de sobrecarga de OTUk y mediante la adición de Columnas 3825-4080 (4 x 256 bytes) que se rellena con el código de Reed-Solomon (RS) de Corrección de Errores Hacia Delante (FEC) de OTUk, se obtiene la trama de OTUk. La trama de OTUk tiene 4 x 4080 = 15296 bytes en total y los 1-6 bytes son bytes de Alineación de Tramas.

La tasa binaria de ODUk (k = 1, 2, 3) como una señal de conexión a tres niveles se calcula como sigue:

ODU1: 239/238 x 2.48832 Gbps = 2.498775126 Gbps;

ODU2: 239/237 x 9.95328 Gbps = 10.037273924 Gbps;

ODU3: 239/236 x 389.81312 Gbps = 40.319218983 Gbps.

Dicho de otro modo, la tasa binaria de ODUk (k = 1, 2, 3) se calcula sobre la base de la fórmula de 239/(239-k) x “tasa binaria del Modo de Transferencia Síncrona de Orden n (STM-N)”.

La tasa binaria de OTUk (k = 1, 2, 3) como una señal de transporte a tres niveles se calcula como sigue:

OTU1: 255/238 x 2.48832 Gbps = 2.66605714285714 Gbps;

OTU2: 255/237 x 9.95328 Gbps = 10.7092553164557 Gbps;

OTU3: 255/236 x 39.81312 Gbps = 43.018413559322 Gbps.

Dicho de otro modo, la tasa binaria de OTUk (k = 1, 2, 3) se calcula sobre la base de la fórmula de 255/(239-k) x “tasas binaria de STM-N”.

Sin embargo, las tecnologías de transporte de señales existentes a través de un dispositivo de punto de cruce y red central, no suelen poder soportar el transporte de señales en serie tales como la señal de alta tasa binaria ODU2/OTU2 o ODU3/OTU3. A modo de ejemplo, actualmente, para el dispositivo de punto de cruce asíncrono, aplicado desde hace tiempo en este sector, la tasa binaria de su puerto es de hasta 3.6 Gbps, lo que solamente puede soportar la función de conmutación asíncrona de la señal en serie ODU1.

La señal de OTU2/ODU2, a un nivel de tasa binaria de 10 Gbps suele dividirse en señales paralelas de 4 bits y la señal OTU3/ODU3, a una tasa binaria del orden de 40 Gbps, se suele dividir en señales paralelas de 16 bits. El procesamiento de tramas de las señales paralelas divididas debe realizarse también para garantizar que se pueden sintetizar las señales paralelas así separadas para obtener la señal origen mediante alineación de tramas.

Actualmente, antes de su transporte, la trama de OTN se separa en 4 canales con 16 bytes en cada bloque. La

Figura 3 es un diagrama esquemático que ilustra cómo la trama de OTU2 se separa en la OTN. Según se ilustra en la Figura 3, la zona sombreada con líneas sesgadas es el área de la cabecera de trama que incluye a ODUk FA. La trama de OTU2 se suele separar en 4 canales directamente en la secuencia de bytes, esto es, bytes 1-4080 para el canal 1, bytes 4081-8160 para el canal 2, bytes 8161-12240 para el canal 3, bytes 12241-16320 para el canal 4. Según se ilustra en la Figura 3a, el área de cabecera de trama está en el canal 1. Por lo tanto, no se puede poner en práctica la alineación de tramas y obtener la señal origen mediante operaciones de restauración y sintetización. Para la finalidad de resolver este problema, según se ilustra en la Figura 3b, las secuencias de canales se ajustan al principio de las tramas separadas 2, 3 y 4, de modo que las cabeceras de tramas puedan situarse en los canales 2, 3 y 4, respectivamente. Por lo tanto, cada canal tiene un área de cabecera de trama para alineación de tramas y se puede realizar normalmente la alineación de tramas y la sintetización en el nodo colector.

En el método convencional para la separación, se requiere que cada trama pueda separarse en 2^i canales y cada canal incluya bloques integrales, en donde “i” es un número natural. Para un cálculo del tamaño de una trama, suponiendo que el tamaño de la trama es F, el número de canales es C, el número de bloques incluidos en cada canal es B, un bloque incluye S bytes y siendo el bloque mayor que el área de trama, el tamaño de la trama F es igual a C X B X S, esto es, F = C X B X S.

Por lo tanto, existe un requisito para el tamaño de la trama según el método convencional. Con respecto al formato de trama de ODUk/OTUk, el área de alineación de tramas tiene 6 bytes y el tamaño mínimo de un bloque debe ser 6 bytes.

A modo de ejemplo, con respecto al formato de trama de OTU2 anterior, el tamaño de la trama de OTU2 es 16320 bytes; cuando la trama de OTU2 está separada en 4 canales (para el nivel de 10 Gbps, 4 canales se pueden procesar de forma conveniente), el tamaño de la trama de OTU2 es de 16320 = 6 bytes/bloque x 4 canales x 255, esto es, existen 255 bloques en cada canal después de que se separe una trama de OTU2.

Con respecto al formato de trama de ODU2, los bytes de OTU2 FA se establecen en la trama ODU2, en donde el área de FA es la zona sombreada e incluye 6 bytes. El tamaño de la trama de ODU3 es de 15296 bytes, que satisface la ecuación de 15296 = 16 bytes/bloque x 4 canales x 239, esto es, existen 239 bloques en cada canal después de que se separe una trama.

Con respecto al formato de trama de OTU3, el tamaño de la trama de OTU3 es 16320 bytes y la trama OTU3 se separa en 16 canales y el tamaño de la trama OTU3 satisface la expresión de 16320 = 16 bytes/bloque x 16 canales x 63.75, esto es, existente 63.75 bloques en cada canal después de que se separe una trama. Puesto que 63.75 no es un número entero, no se puede realizar la división de separación.

Con respecto al formato de trama de ODU3, el tamaño de la trama de ODU3 es 15296 bytes, la trama de ODU3 se separa en 16 canales y entonces, el tamaño de la trama de ODU2 satisface la expresión de 15296 = 16 bytes/bloque x 16 canales x 59.75, esto es, existen 59.75 bloques en cada canal después de que se separe una trama. Puesto que 59.75 no es un número entero, no se puede realizar la división de separación.

Puede deducirse que el método convencional anterior para la separación de canales no puede ser aplicable a algunos formatos de tramas en el sistema de OTN. Por lo tanto, la capacidad de procesamiento de señales del sistema de OTN no es suficientemente perfecta, lo que supone un inconveniente operativo del sistema de OTN. En consecuencia, numerosas funciones del sistema de OTN no pueden realizarse en numerosos casos, tales como el caso del transporte y conmutación uniformes de varias señales.

La patente JP 62 195945A se refiere a un método para la transferencia de datos de baja velocidad a una línea de salida de alta velocidad memorizando una vez datos procedentes de líneas de entrada plurales de baja velocidad y convirtiendo el grupo de datos dividido espacialmente a líneas de entrada plurales en una serie de cadenas de datos. Los datos de transmisión 1-6 se introducen a la entrada de un equipo de transmisión de datos 001 mientras se divide en líneas de entrada de baja velocidad 101-103, siendo 3 las líneas de transmisión de datos y memorizándose en una sección de almacenamiento 010 para su memorización temporal. Cuando los datos de una trama a enviarse se memorizan en la sección de almacenamiento 010 siguiente, se comunica el final de la transmisión desde una sección de control de línea del lado de baja velocidad 012c a la sección de procesamiento 011, lo que proporciona una instrucción de transferencia a una sección de control de línea del lado de alta velocidad 013 y la sección 013 proporciona, a la salida, datos desde la sección de almacenamiento 010 a una línea de salida de alta velocidad 104 a alta velocidad. Los datos en las líneas de baja velocidad plurales se memorizan una vez en esta manera y luego, se obtiene el efecto similar a la conexión de la línea de transmisión que tiene aparentemente una velocidad de transferencia n veces mayor.

La patente JP 59 144234A se refiere a un dispositivo de comunicación de datos 1 conectado a un ordenador electrónico 6 que está provisto de la memoria RAM de transmisión 8 y la memoria RAM de recepción 9 y los datos de sub-canales de baja velocidad plurales se transmiten al circuito de alta velocidad 4 por intermedio de un circuito único. La memoria RAM8 memoriza los datos de los respectivos sub-canales de baja velocidad desde el ordenador en un circuito de canal de transmisión 81 mediante una señal de reloj con el primer periodo y realiza la escritura de

los contenidos del circuito 81 en la memoria 80, canal por canal, en la temporización desde un contador de transmisión y escritura 83. Los contenidos de la memoria 80 se aplican a la entrada de un circuito de conversión paralelo-serie 82 en el periodo de trama desde un contador de transmisión y lectura 84 y se convierten en bits serie por una señal de reloj, bit a bit, determinada por una velocidad de comunicación de alta velocidad se envían a un circuito transmisor de alta velocidad 4d. La memoria RAM9 convierte los datos desde un circuito receptor de alta velocidad 4u de serie a paralelo y realiza su escritura en una memoria, cuyos contenidos son objeto de lectura para un circuito de canal de recepción y se aplican a la entrada del ordenador.

Sumario de la invención

Considerando lo que antecede, la presente invención da a conocer un aparato para separar una señal una red OTN a una más alta tasa de una diversidad de niveles en señales a un nivel de tasa más baja.

Un aparato para la separación de una señal asíncrona, aplicable a una Red de Transporte Óptico, OTN, incluye:

un primer módulo, configurado para memorizar, según una secuencia de trama, una señal asíncrona a separarse y un segundo módulo, configurado para gestionar el primer módulo para memorizar la señal asíncrona a separarse y para enviar n tramas de datos respectivamente en n canales en paralelo cuando se hayan memorizado n tramas de datos, en donde n es una relación de un nivel de tasa de la señal asíncrona, antes de la separación, a un nivel de tasa de la señal asíncrona después de la separación.

En una forma de realización preferida, el primer módulo incluye: 2n memorias del tipo de ‘Primero en entrar, primero en salir’ (FIFO) en dos grupos, comprendiendo cada grupo n memorias FIFO y cada memoria FIFO almacenando una trama de datos cada vez y

el segundo módulo incluye: un módulo de frecuencia dividida por n, configurado para reducir una frecuencia de una señal de reloj de entrada a 1/n de la frecuencia de la señal de reloj de entrada y para enviar una señal de reloj de salida con una frecuencia de 1/n de la frecuencia de la señal de reloj de entrada; un módulo de generación de dirección de escritura, configurado para gestionar una operación de escritura de cada memoria FIFO para memorizar las n tramas de datos de la señal asíncrona en conformidad con la secuencia de tramas y un módulo de generación de dirección de lectura, configurado para gestionar una operación de lectura de cada memoria FIFO para enviar n tramas de datos respectivamente en n canales en paralelo cuando se hayan memorizado n tramas de datos.

En otra forma de realización preferida, el módulo de generación de dirección de escritura está configurado para generar una señal de control de dirección de escritura y una señal de control de validación de escritura en función de la frecuencia de la señal de reloj de entrada, para introducir la señal de control de dirección de escritura y la señal de control de validación de escritura en cada memoria FIFO y para gestionar la señal asíncrona a escribirse en serie en un solo grupo de memorias FIFO en función de la secuencia de tramas y

el módulo de generación de dirección de lectura está configurado para recibir la señal de reloj de salida desde el módulo de la frecuencia dividida por n, para generar una señal de control de dirección de lectura y una señal de control de validación de lectura en función de la señal de reloj de salida y para enviar la señal de control de dirección de lectura y la señal de control de validación de lectura a cada memoria FIFO y para gestionar n tramas de datos en el otro grupo de memorias FIFO a leerse en paralelo.

En una forma de realización preferida, el aparato incluye, además, un módulo de búsqueda de trama configurado para:

realizar la búsqueda de trama para la señal asíncrona, enviar una señal de impulsos de trama y una señal de reloj asíncrona asociada al módulo de generación de dirección de escritura en respuesta a la realización de la búsqueda de trama para la señal asíncrona, para enviar la señal de reloj asíncrona asociada al módulo de la frecuencia dividida por n que reduce una frecuencia de la señal de reloj asíncrona asociada a 1/n de la frecuencia de la señal de reloj asíncrona asociada y para enviar la señal de reloj de salida, con una frecuencia de 1/n de la frecuencia de la señal de reloj asíncrona asociada, al módulo de generación de dirección de lectura y para enviar la señal de impulsos de trama al módulo de generación de dirección de lectura. En donde el módulo de generación de dirección de escritura está configurado para generar la señal de control de dirección de escritura y la señal de control de validación de escritura en función de la frecuencia de la señal de reloj asíncrona asociada y de la señal de impulsos de trama y el módulo de generación de dirección de lectura está configurado para generar la señal de control de dirección de lectura y la señal de control de validación de lectura en función de la señal de reloj de salida y de la señal de impulsos de trama.

Un aparato para sintetización de señales, aplicable a una Red de Transporte Óptico, OTN, incluye:

un tercer módulo, configurado para alinear n canales de señales paralelas a sintetizarse y para memorizar los n canales de las señales paralelas a sintetizarse simultáneamente en función de la secuencia de tramas; y un cuarto módulo, configurado para gestionar el tercer módulo para memorizar los n canales de las señales paralelas a

sintetizarse simultáneamente y para enviar n canales de tramas en serie después de que se memorice una trama para cada uno de los n canales de las señales paralelas; en donde n es una relación de un nivel de tasa de las señales paralelas después de la sintetización a un nivel de tasa de las señales paralelas antes de dicha sintetización.

En una forma de realización preferida, el tercer módulo incluye: 2n memorias del tipo 'Primero en entrar, primero en salir' (FIFO) en dos grupos, incluyendo cada grupo n memorias FIFO y cada memoria FIFO almacenando una trama de datos cada vez y

el cuarto módulo incluye: un módulo de la frecuencia multiplicada por n, configurado para convertir una frecuencia de una señal de reloj de entrada a n veces la frecuencia de la señal de reloj de entrada y para enviar una señal de reloj de salida con una frecuencia de n veces la frecuencia de la señal de reloj de entrada; un módulo de generación de dirección de escritura, configurado para gestionar una operación de escritura de cada memoria FIFO para memorizar los n canales de las señales paralelas a sintetizarse simultáneamente; y un módulo de generación de dirección de lectura, configurado para gestionar una operación de lectura de cada memoria FIFO para enviar los n canales de tramas en serie después de que se memorice una trama para cada uno de los n canales de las señales paralelas.

En una forma de realización preferida, el módulo de generación de dirección de escritura está configurado para generar una señal de control de dirección de escritura y una señal de control de validación de escritura en función de la frecuencia de la señal de reloj de entrada y para enviar la señal de control de dirección de escritura y la señal de validación de escritura a cada memoria FIFO y para gestionar los n canales de las señales paralelas a escribirse simultáneamente en un grupo de memorias FIFO en paralelo en función de la secuencia de trama; y

el módulo de generación de dirección de lectura está configurado para recibir la señal de reloj de salida desde el módulo de la frecuencia multiplicada por n, para generar una señal de control de dirección de lectura y una señal de control de validación de lectura en función de la señal de reloj de salida y para enviar la señal de control de dirección de lectura y una señal de control de validación de lectura a cada memoria FIFO para gestionar el otro grupo de memorias FIFO para enviar los n canales de tramas en serie.

En otra forma de realización preferida, el tercer módulo incluye, además, una unidad de alineación de tramas, configurada para

realizar una búsqueda de trama para cada canal de las señales paralelas para buscar las localizaciones de inicio de trama de los n canales de las señales paralelas, para alinear las localizaciones de inicio de trama de los n canales de las señales paralelas a una fase de trama, para enviar a las 2 n memorias FIFO los n canales de las señales paralelas después de la alineación y para enviar una señal de impulsos de trama de referencia al módulo de generación de dirección de escritura y al módulo de generación de dirección de lectura;

en donde el módulo de generación de dirección de escritura está configurado para generar la señal de control de dirección de escritura y la señal de control de validación de escritura en función de la frecuencia de la señal de reloj de entrada y la señal de impulsos de trama de referencia; y

el módulo de generación de dirección de lectura está configurado para generar la señal de control de dirección de lectura y la señal de control de validación de lectura en función de la señal de reloj de salida y de la señal de impulsos de trama de referencia.

En una forma de realización preferida, el aparato incluye además: una unidad de interfaz, configurada para realizar la restauración de señal de reloj para n canales de señales paralelas para obtener señales de reloj y para seleccionar una de las señales de reloj como una señal de reloj de referencia y para enviar a la unidad de alineación de tramas la señal de reloj de referencia y las señales paralelas a alinearse; en donde la unidad de alineación de tramas alinea las señales paralelas en función de la señal de reloj de referencia y el módulo de la frecuencia multiplicada por n convierte la frecuencia de la señal de reloj de referencia a n veces la frecuencia de la señal de reloj de referencia y envía la señal de reloj de salida con una frecuencia de n veces la frecuencia de la señal de reloj de referencia al módulo de generación de dirección de escritura y al módulo de generación de dirección de lectura.

Como puede deducirse de lo que antecede, en conformidad con un método y aparato para separar la señal en la red OTN, la señal se separa sobre la base de una trama. Por lo tanto, el área de cabecera de trama de cada trama está completamente reservada y no se necesita realizar ningún ajuste del área de cabecera de trama durante la separación y de este modo, se simplifica, en gran medida, el proceso de separación. Además, puesto que no existe ningún requisito para el número de bytes contenidos en cada trama, se pueden separar varias señales en la red OTN. Asimismo, una forma de realización de la presente invención da a conocer también un método y aparato para sintetizar señales en la red OTN. Las señales de baja tasa se sintetizan sobre la base de una trama y el área de cabecera de tramas de cada trama está completamente reservada. Por lo tanto, el proceso de sintetizar señales se simplifica en gran medida y no existe ningún límite al número de bytes en cada trama para las señales a sintetizarse.

Breve descripción de los dibujos

La Figura 1 es un diagrama esquemático que ilustra el formato de trama de una señal ODUk en la red OTN.

La Figura 2 es un diagrama esquemático que ilustra cómo efectuar el mapeado de puesta en correspondencia del formato de ODUk al de OTUk en la red OTN.

La Figura 3 es un diagrama esquemático que ilustra la separación de tramas de OTU2 en la red OTN.

La Figura 4 es un diagrama esquemático que ilustra un aparato para la separación de ODU2 según una forma de realización de la presente invención.

La Figura 5 es un diagrama esquemático que ilustra un aparato para la separación de ODU3 según una forma de realización de la presente invención.

La Figura 6 es un diagrama esquemático que ilustra un aparato para la sintetización de ODU2 según una forma de realización de la presente invención;

La Figura 7 es un diagrama esquemático que ilustra un aparato para la sintetización de ODU3 según una forma de realización de la presente invención.

La Figura 8 es un diagrama de bloques que ilustra una estructura de un aparato para la sintetización que incluye una unidad de interfaz y una unidad de alineación de tramas en conformidad con una forma de realización de la presente invención.

La Figura 9 es un diagrama esquemático que ilustra una estructura de la unidad de interfaz en un aparato para la sintetización de ODU2 según una forma de realización de la presente invención.

La Figura 10 es un diagrama esquemático que ilustra una estructura de la unidad de alineación de tramas en un aparato para la sintetización de ODU2 según una forma de realización de la presente invención.

La Figura 11 es un diagrama de secuencia que ilustra el proceso de alineación de tramas de la unidad de alineación de tramas según una forma de realización de la presente invención.

Descripción detallada de las formas de realización de la invención

La presente invención se describe, a continuación, en detalle, haciendo referencia a los dibujos adjuntos y a las formas de realización concretas.

En conformidad con un método para la separación de la señal según una forma de realización de la presente invención, una señal se separa sobre la base de una trama. La señal de alta tasa se memoriza en conformidad con una secuencia de tramas. Cuando se hayan memorizado n tramas, los datos de las n tramas se envían en paralelo. El proceso anterior se repite hasta que la señal de alta tasa se separe completamente en la señal de baja tasa requerida. La letra n representa la relación del nivel de tasa de la señal de alta tasa a la que tiene la señal de baja tasa.

La aplicación en la red OTN se toma, a modo de ejemplo, para describir el método para la separación. A modo de ejemplo, suponiendo que la señal ODU2 ha de separarse en señales al nivel de tasa de ODU1, la señal de ODU2 se memoriza en serie; después de que se memoricen 4 tramas de la señal ODU2, las 4 tramas se envían en paralelo. Al mismo tiempo, las siguientes tramas de la señal ODU2 se memorizan y envían en paralelo después de que existan otras 4 tramas en la memoria intermedia. La operación anterior se repite y de este modo, un canal de la señal ODU2 en serie se separa satisfactoriamente en 4 canales de señales paralelas. Los 4 canales de señales paralelas han de sintetizarse para formar una señal ODU2 completa; de este modo, por comodidad de descripción, se utiliza ODU2[3:0] en la forma de realización de la presente invención para representar los 4 canales de señales paralelas al nivel de tasa de ODU1 en la que se ha dividido la ODU2. En este proceso, puesto que la separación se basa en una trama, el área de cabecera de trama de cada trama está completamente reservada y no se necesita realizar ningún ajuste durante la separación, con lo que se simplifica en gran medida la separación y no existe ningún requisito para el número de bytes contenidos en cada trama.

Con respecto a la señal OTU2, cuando la señal OTU2 ha de separarse en señales al nivel de tasa de OTU1, se puede adoptar el proceso de separación anterior. En la forma de realización de la presente invención, OTU2[3:0] se utiliza para representar los 4 canales de señales paralelas al nivel de tasa de OTU1 para el que se ha separado la señal OTU2.

Con respecto a la señal ODU3/OTU3 cuando la señal ODU3/OTU3 ha de separarse en señales a nivel de tasa de ODU1/OTU1, cada vez que se haya memorizado 16 tramas, las 16 tramas se envían en paralelo. Por lo tanto, un canal de la señal ODU3/OTU3 se separa en 16 canales de señales paralelas al nivel de tasa de ODU1/OTU1. Para una descripción adecuada, se utiliza ODU3[15:0]/OTU3[15:0], en la forma de realización de la presente invención,

para representar 16 canales de señales paralelas al nivel de tasa de ODU1/OTU1 para la que se ha separado la señal ODU3/OTU3. Cuando la señal ODU3/OTU3 ha de separarse en señales a nivel de tasa de ODU2/OTU2, cada vez que se hayan memorizado 4 tramas, las 4 tramas se envían en paralelo y el proceso siguiente es similar al de separación de la señal ODU2/OTU2.

En conformidad con el método anterior, la Figura 4 ilustra un aparato para la separación de ODU2 según una forma de realización de la presente invención. Según se ilustra en la Figura 4, el aparato incluye un módulo de búsqueda de trama, un módulo de generación de dirección de escritura, un módulo de generación de dirección de lectura, un módulo de la frecuencia dividida por 4 y 8 memorias del tipo 'Primero en entrar, primero en salir' (FIFO) denominadas FIFO_1, FIFO_2, FIFO_3, FIFO_4, FIFO_5, FIFO_6, FIFO_7 y FIFO_8. El módulo de la frecuencia dividida por 4 reduce la frecuencia de la señal de reloj de entrada a 1/4 de la frecuencia original de la señal de reloj de entrada. El módulo de generación de dirección de escritura gestiona la frecuencia de escritura del puntero de escritura de cada memoria FIFO y el módulo de generación de dirección de lectura gestiona la frecuencia de lectura del puntero de lectura de cada memoria FIFO. Las 8 memorias FIFO se dividen en dos grupos, con 4 memorias FIFO en cada grupo y cada memoria FIFO puede memorizar datos de una trama de ODU2.

El proceso de separación de la señal ODU2 mediante el uso del aparato anterior se describe como sigue.

La señal asíncrona ODU2 de entrada tiene una señal de reloj Clk asíncrona y el módulo de búsqueda de trama realiza la búsqueda de trama para la señal asíncrona ODU2 de entrada para obtener una señal de impulsos de trama (FP). La señal de reloj Clk asíncrona asociada y la señal FP entran juntas en el módulo de generación de dirección de escritura. La señal de reloj Clk asíncrona asociada se utiliza para gestionar la frecuencia de escritura de una memoria FIFO y la señal FP se utiliza para gestionar la dirección de inicio de escritura de una memoria FIFO. El módulo de generación de dirección de escritura, en conformidad con la señal de reloj Clk de entrada y la señal FP, genera una señal de control de dirección de escritura W_Addr y una señal de control de validación de escritura WEi (i = 1, 2, …., 8). La señal de W_Addr entra a través del puerto de W_Addr de cada memoria FIFO y la señal WEi entra en el puerto WE de cada memoria FIFO con el fin de gestionar la escritura de la memoria FIFO. Las reglas para generar la señal W_Addr y la señal WEi son como sigue: la señal W_Addr de una memoria FIFO cambia circularmente de modo que las tramas de datos de ODU2 se escriben sucesivamente en cada memoria FIFO según la secuencia de tramas y la señal WEi es efectiva, a su vez, de modo que un grupo de memorias FIFO sean objeto de escritura después de que esté completo el otro grupo de memorias FIFO. Dos memorias FIFO correspondientes, en los dos grupos de la Figura 4, comparten un grupo de líneas de W_Addr para recibir la señal W_Addr, esto es, FIFO_1 y FIFO_5 comparten un grupo de líneas de W_Addr, FIFO_2 y FIFO_6, FIFO_3 y FIFO_7 y FIFO_4 y FIFO_8, con lo que se simplifica el cableado. Un grupo de líneas de W_Addr para cada memoria FIFO está también permitido.

La señal de reloj Clk asíncrona asociada es también aplicada a la entrada del módulo de la frecuencia dividida por 4 y el módulo de la frecuencia dividida por 4 divide una frecuencia de la señal de reloj Clk asíncrona asociada y genera una señal de salida. La señal de salida y la señal FP se aplican a la entrada del puerto de la señal Clk y del puerto de la señal FP del módulo de generación de dirección de lectura, respectivamente. La señal de reloj Clk asíncrona asociada gestiona la frecuencia de lectura de una memoria FIFO y la señal FP gestiona la dirección de inicio de escritura de una memoria FIFO. El módulo de generación de dirección de lectura, en conformidad con la señal de reloj Clk de entrada y de la señal FP, genera una señal de control de dirección de lectura R_Addr y una señal de control de validación de lectura RE1 y RE2. Para gestionar la lectura de cada memoria FIFO respectivamente, la dirección R_Addr entra a través del puerto R_Addr de cada memoria FIFO, mientras que la señal RE1 entra en el primer grupo de memorias FIFO FIFO_1, FIFO_2, FIFO_3 y FIFO_4 y RE2 entra en el segundo grupo de memorias FIFO FIFO_5, FIFO_6, FIFO_7 y FIFO_8. Las reglas para generar la dirección R_Addr y la RE son como sigue: la dirección R_Addr cambia circularmente y las señales de RE, RE1 y RE2, son efectivamente, de forma alternada, de modo que los datos en los dos grupos de memorias FIFO se lean en paralelo, de forma alternada. Según se ilustra en la Figura 4, las memorias FIFO correspondientes en los dos grupos comparten un grupo de líneas de R_Addr, esto es FIFO_1 y FIFO_5 comparten un grupo de líneas de R_Addr, FIFO_2 y FIFO_6, FIFO_3 y FIFO_7 y FIFO_4 y FIFO_8. Por supuesto, una u otra de las memorias FIFO correspondientes pueden tener su propio grupo de líneas R_Addr. Además, la línea W_Addr generada debe asegurar que las operaciones de lectura y de escritura no se produzcan simultáneamente en un grupo de memorias FIFO, esto es, las operaciones de lectura y de escritura están en una manera denominada de 'ping-pong'; dicho de otro modo, lectura de FIFO_5 a FIFO_8 cuando se realiza la escritura de FIFO_1 a FIFO_4 y la lectura de FIFO_1 a FIFO_4 cuando se realiza la escritura de FIFO_5 a FIFO_8. Puede deducirse de lo que antecede que la frecuencia de lectura de FIFO es 1/4 de la frecuencia de escritura de FIFO.

Los datos de ODU2 son objeto de escritura en las memorias FIFO_1, FIFO_2, FIFO_3 y FIFO_4 en orden y cada memoria FIFO almacena una trama de datos. Después de que 4 tramas sean objeto de escritura, respectivamente, en la memoria FIFO_1 a FIFO_4 en orden, es el turno de la escritura de otras 4 tramas, respectivamente, en las memorias FIFO_5, FIFO_6, FIFO_7 y FIFO_8 en orden. Al mismo tiempo, el puntero de lectura comienza la lectura de datos en paralelo y simultáneamente desde las memorias FIFO_1, FIFO_2, FIFO_3 y FIFO_4 para formar y proporcionar a la salida datos en paralelo de tasa baja ODU2[0], ODU2[1], ODU2[2] y ODU2[3] y la tasa de lectura es 1/4 de la tasa de ODU2. De esta manera, mediante operaciones de lectura y escritura alternativas, se realiza la

conversión desde la señal ODU2 a señales paralelas ODU2[3:0] (es decir, las señales al nivel de tasa de ODU1).

Las señales ODU2[3:0], obtenidas mediante la separación, son todavía señales que contienen áreas FA en cada canal y el retardo de datos es 4 veces el periodo de la trama de ODU2.

El procesamiento de la señal OTU2 es prácticamente el mismo que el de la señal ODU2, con la excepción de que cada memoria FIFO del aparato para la separación de la señal de OTU2 memoriza una trama de datos de OTU2.

Con respecto a la señal ODU3/OTU3 a separarse en señales a nivel de tasa de ODU1/OTU1, el aparato para la separación de la señal ODU3/OTU3 es similar al aparato para la separación de la señal ODU2. La Figura 5 es un diagrama esquemático que ilustra una estructura de un aparato para la separación de una señal ODU3 según una forma de realización de la presente invención. Según se ilustra en la Figura 5, la diferencia con respecto a la Figura 4 es que 32 memorias FIFO están configuradas en el aparato para la separación de la señal ODU3, con 16 memorias en cada grupo y un módulo de la frecuencia dividida por 16 se configura para reducir la frecuencia de la señal de entrada a 1/16 de la frecuencia original de la señal de entrada. Un módulo de generación de dirección de escritura gestiona la escritura de las 32 memorias FIFO y un módulo de generación de dirección de lectura gestiona la lectura de las 32 memorias FIFO. La estructura de un aparato para la separación de otras señales puede obtenerse por los expertos en esta técnica mediante analogía según las formas de realización de la presente invención.

Una forma de realización de la presente invención da a conocer, además, un método para sintetizar señales correspondientes al método anterior para la sintetización. El método para sintetizar señales incluye: memorización intermedia de n canales de datos de señales paralelas de tasa de transmisión lenta que están alineadas sobre la base de una trama, la lectura de los datos memorizados en conformidad con la secuencia de trama sucesivamente a la tasa igual a n veces la tasa de memorización de los n canales de datos, la determinación de un área de cabecera de trama en función de una fase de trama después de la alineación y la sintetización de los datos memorizados para obtener una señal de alta tasa y el envío de la señal de alta tasa en serie.

En general, las fases de tramas de los n canales de las señales de baja tasa de transmisión antes de la sintetización son diferentes, el proceso de alineación de los n canales de señales de baja tasa, antes de la sintetización, suele ser necesario y el proceso incluye: restauración de señales de reloj y datos de los n canales de señales paralelas, la realización de la búsqueda de trama de los n canales de los datos restaurados utilizando cualquiera de las señales de reloj restauradas como una señal de reloj de referencia, la búsqueda de una localización de inicio de trama de cada uno de los n canales de los datos restaurados, la alineación de los n canales de los datos restaurados a una fase de trama en función de la localización del inicio de trama de un determinado canal de los datos restaurados y la generación de una señal de impulsos de trama de referencia. La puesta en práctica de este proceso se describe a continuación haciendo referencia a la Figura 10.

A modo de ejemplo, durante la sintetización de la ODU2[3:0] en ODU2, en donde la ODU2[3:0] se obtiene por el método anterior para la separación de una señal, el proceso de sintetización incluye: restauración de las señales de reloj y datos de n canales de señales paralelas ODU2[3:0], la realización de la búsqueda de trama de los 4 canales de datos tomando uno de los 4 canales de las señales de reloj restauradas como una señal de reloj de referencia, la búsqueda de una localización de inicio de trama de cada uno de los 4 canales de los datos restaurados, la alineación de las localizaciones de inicio de trama de los 4 canales de los datos restaurados a una fase de trama y la generación de una señal de impulsos de trama de referencia y la escritura de los 4 canales de datos alineados junto con la señal de impulsos de trama de referencia en paralelo en las memorias que han de memorizarse sobre la base de una trama y la lectura de los 4 canales de datos alineados, sucesivamente, en conformidad con la secuencia de tramas a una tasa igual a 4 veces la tasa de escritura para obtener los datos ODU2. La operación anterior se realiza de forma repetida en una manera denominada de ‘ping -pong’ y las señales paralelas de baja tasa de transmisión ODU2[3:0] se restauran a la señal ODU2.

Sobre la base del método anterior para la sintetización de señales de tasa baja, la presente invención da a conocer un aparato para sintetizar señales de tasa baja según se ilustra en la Figura 6.

La Figura 6 es un diagrama esquemático que ilustra la estructura de un aparato para la sintetización de ODU2 tomando, a modo de ejemplo, la sintetización de ODU2[3:0] en la señal ODU2. El aparato incluye: un módulo de generación de dirección de escritura, un módulo de generación de dirección de lectura, un módulo cuádruple de frecuencia y 8 memorias del tipo ‘Primero en entrar, primero en salir’ (FIFO) denominadas FIFO_1, FIFO_2, FIFO_3, FIFO_4, FIFO_5, FIFO_6, FIFO_7 y FIFO_8. Las 8 memorias FIFO se dividen en dos grupos y cada memoria FIFO memoriza una trama de datos.

El módulo de generación de dirección de escritura genera la línea W_Addr así como WE1 y WE2 de cada memoria FIFO en función de la señal de reloj de referencia y de la señal de impulsos de trama de referencia recibidas. La señal de reloj de referencia se utiliza para gestionar la frecuencia de escritura de una memoria FIFO y la señal de impulsos de trama de referencia se utiliza para gestionar la dirección de inicio de escritura de una memoria FIFO. Las reglas para generar la línea W_Addr así como las WE1 y WE2 se describen a continuación. La línea W_Addr de

una memoria FIFO cambia de forma circular y WE y WE2 son efectivas de forma alternada. En el primer periodo de la señal de reloj de referencia, la WE1 es efectiva y la dirección W_Addr apunta al primer grupo de memorias FIFO y los datos en paralelo alineados de ODU2[3:0], esto es, ODU2[0] a ODU2[3] son objeto de escritura en el primer grupo de memorias FIFO en paralelo. Cuando es el siguiente periodo de la señal de reloj de referencia, la WE2 es efectiva y la dirección de W_Addr apunta al segundo grupo de memorias FIFO y los datos en paralelo alineados ODU2[3:0], esto es, ODU2[0] a ODU2[3] son objeto de escritura en el segundo grupo de memorias FIFO. Dos memorias FIFO correspondientes en los dos grupos, respectivamente, pueden compartir un solo grupo de cableados de direcciones, esto es, FIFO_1 y FIFO_5 comparten un solo grupo de cableados de direcciones, FIFO_2 y FIFO_6, FIFO_3 y FIFO_7 y FIFO_4 y FIFO_8. Y la tasa de escritura es la tasa de la señal de reloj de referencia.

El módulo de frecuencia cuádruple recibe la señal de reloj de referencia y proporciona, a la salida, una señal de reloj de frecuencia cuádruple. La señal de reloj de frecuencia cuádruple y la señal de impulsos de trama de referencia entran juntas en el módulo de generación de dirección de lectura. El módulo de generación de dirección de lectura genera la línea R_Addr de memorias FIFO, así como RE1, RE2, RE3, RE4, RE5, RE6, RE7 y RE8 para memorias FIFOs, en correspondencia. La señal de reloj de referencia se utiliza para gestionar la frecuencia de lectura de una memoria FIFO y la señal de impulsos de trama de referencia se utiliza para gestionar la dirección de inicio de lectura de una memoria FIFO. Las reglas para la generación se describen a continuación. La línea R_Addr de memorias FIFO cambia de forma circular y las señales RE son efectivas por turno. A modo de ejemplo, en el primer 1/4 de un periodo de la señal de reloj de referencia, es efectiva RE5 y la dirección R_Addr apunta a FIFO_5 para la lectura de la trama de datos en FIFO_5; de esta manera, los datos en FIFO_5 a FIFO_8 han sido objeto, sucesivamente, de lectura en serie al final del primer periodo de la señal de reloj de referencia. A continuación, en la primera 1/4 parte de otro periodo de la señal de reloj de referencia, la línea R_Addr apunta a FIFO_1 para la lectura de la trama de datos en FIFO_1; de esta manera, los datos en FIFO_1 a FIFO_4 han sido, sucesivamente, objeto de lectura en serie al final de este periodo de la señal de reloj de referencia. De esta manera, cuando los datos de un grupo de 4 memorias FIFO han sido objeto de lectura, los datos del registro grupo de 4 memorias FIFO inicia su lectura y los datos en FIFO_1 a FIFO_8 son objeto de lectura continua en serie. Dos memorias FIFO correspondientes en los dos grupos, respectivamente, pueden compartir un grupo de cableados de la línea R_Addr, esto es, FIFO_1 y FIFO_5 comparten un grupo de cableado de R_Addr, FIFO_2 y FIFO_6, FIFO_3 y FIFO_7 y FIFO_4 y FIFO_8. Los datos en las memorias FIFO son objeto de lectura en serie. Mientras son objeto de lectura los datos de un grupo de 4 memorias FIFO, el otro grupo de 4 memorias FIFO debe ser objeto de escritura. Dicho de otro modo, los datos de un grupo de 4 memorias FIFO no pueden ser objeto de lectura y escritura simultáneamente.

De esta manera, un puntero de escritura se utiliza en las memorias FIFO_1, FIFO_2, FIFO_3 y FIFO_4 respectivamente, en paralelo y luego en las memorias FIFO_5, FIFO_6, FIFO_7 y FIFO_8 respectivamente en paralelo. La tasa de escritura es la tasa de la señal de reloj de referencia. Un puntero de lectura inicia la lectura de datos desde FIFO_1, FIFO_2, FIFO_3 y FIFO_4 en secuencia, mientras que el puntero de escritura es objeto de escritura en FIFO_5, FIFO_6, FIFO_7 y FIFO_8 y la tasa de lectura es la frecuencia cuádruple de la señal de reloj de referencia. El proceso anterior se realiza de forma circular y 4 canales de señales en paralelo de ODU2, ODU2[3:0] (señales en el nivel de 2.5 Gbps) se convierte a un solo canal de señal de ODU2.

La estructura de un aparato para la sintetización de OTU2 para sintetizar OTU2[3:0] en la señal OTU2 es completamente la misma que la ilustrada en la Figura 6.

La Figura 7 es un diagrama esquemático que ilustra la estructura de un aparato para la sintetización de ODU3 para sintetizar ODU3[15:0] en una señal ODU3. Lo que es diferente con respecto al aparato para la sintetización de ODU2 es: 32 memorias FIFO se configuran y dividen en dos grupos con 16 memorias FIFO en cada grupo, el módulo de la frecuencia multiplicada por 16 sustituye el módulo de frecuencia cuádruple, en donde el módulo de la frecuencia multiplicada por 16 convierte la frecuencia de una señal de entrada a 16 veces la frecuencia original de la señal de entrada y el módulo de generación de dirección de escritura gestiona la escritura de 32 memorias FIFO mientras que el módulo de generación de dirección de lectura gestiona la lectura de 32 memorias FIFO. Las operaciones del aparato para la sintetización de OTU3 son similares a las del aparato para la sintetización de OTU2. La estructura del aparato para la sintetización de OTU3 para sintetizar OTU3[15:0] en la señal OTU3 es similar a la ilustrada en la Figura 7. La estructura de un aparato para sintetizar otras señales puede obtenerse por los expertos en esta técnica por analogía.

En general, puesto que las fase de trama de los n canales de señales de baja tasa son asíncronas, el aparato para la sintetización se suele utilizar junto con el aparato para alineación de trama.

A modo de ejemplo, en el procesamiento de la ODU2[3:0] según se ilustra en la Figura 8, una unidad de interfaz y una unidad de alineación de tramas se configuran, además, junto con el aparato para la sintetización que se ilustra en la Figura 6 o 7. La unidad de interfaz se utiliza para la restauración de la señal de reloj y la selección por el reloj de señales asíncronas y la unidad de alineación de tramas se utiliza para la alineación de tramas de señales asíncronas. La estructura de un aparato para procesar otras señales es similar a la ilustrada en la Figura 8 y el proceso para procesar otras señales se puede obtener por analogía.

Cuando 4 canales de ODU2[3:0] a sintetizarse entran en la unidad de interfaz, la unidad de interfaz restaura las

señales de reloj y datos para los 4 canales de señales paralelas y envía los 4 canales de señales de reloj restauradas y datos a la unidad de alineación de tramas. Además, la unidad de interfaz selecciona una de las señales de reloj restauradas como una señal de reloj de referencia en función de la señal de control de selección de reloj y envía la señal de reloj de referencia a la unidad de alineación de tramas y al aparato para la sintetización de ODU2, respectivamente.

La unidad de alineación de tramas realiza la búsqueda de trama, respectivamente, para cada canal de señales, encuentra las localizaciones de inicio de trama de los 4 canales de señales, alinea las localizaciones de inicio de trama de los 4 canales de señales para una sola fase de trama y proporciona, a la salida, la señal de impulsos de trama de referencia y los 4 canales de los datos alineados al aparato para la sintetización de ODU2.

Dos grupos de memorias FIFO están configurados dentro del aparato para la sintetización de ODU2. Cada grupo incluye 4 memorias FIFO y cada memoria FIFO memoriza una trama de datos. Los datos en paralelo alineados de ODU2[3:0] y la señal de impulsos de trama de referencia son objeto de escritura en paralelo en uno de los dos grupos de memorias FIFO a sintentizarse en función de una trama que utiliza una señal de reloj de tasa baja. Al mismo tiempo, los datos son objeto de lectura desde el otro de los dos grupos de memorias FIFO, sucesivamente en secuencia de trama, a la tasa igual a 4 veces la tasa de escritura y luego, se envían los datos. Una manera del tipo denominado ‘ping pong’ para la lectura y escritura se aplica a los dos grupos para impedir conflictos operativos entre las operaciones de lectura y de escritura. Por último, se obtienen los datos de ODU2; el retardo de datos es 4 veces el periodo de las señales de ODU2.

Una estructura de la unidad de interfaz se ilustra en la Figura 9. La unidad de interfaz incluye 4 módulos de Restauración de Datos de Señal de Reloj (CDR) y un selector para seleccionar uno de entre los cuatro. Las señales paralelas de ODU2[3:0], esto es, ODU2[0], ODU2[1], ODU2[2] y ODU2[3], entran en los 4 módulos CDR, respectivamente. Los 4 módulos CDR restauran las señales paralelas ODU2[3:0] para obtener y enviar datos de ODU2 [n] y las señales de reloj de ODU2 [n] correspondientes, en donde n = 0, 1, 2, 3. Los 4 canales restaurados de las señales de reloj de ODU2 [n] entran simultáneamente en el selector para seleccionar uno de los cuatro y el selector para seleccionar uno de los cuatro selecciona un canal de las señales de reloj Clks de ODU2 [n] como la señal de reloj de referencia en función de la señal de control de selección de señal de reloj. Puesto que las señales de ODU2[3:0] se obtiene mediante separación de una señal de ODU2, las señales de reloj Clks de ODU2 [n] tienen la misma señal de reloj origen y una de las señales de reloj Clks de ODU2 [n] puede seleccionarse como la señal de reloj de lectura para la alineación de tramas de la memoria FIFO para completar la alineación de trama de los datos de ODU2[3:0], con lo que se compensa el sesgo de retardo entre los 4 canales de datos causado por la conexión cruzada y la transmisión de red central.

La unidad de interfaz para la señal de OTU2 es similar a la ilustrada en la Figura 9. La estructura de la unidad de interfaz para la señal ODU3/OTU3 es también similar a la ilustra en la Figura 9 con la excepción de que existen 16 módulos CDR y que se utiliza un selector para seleccionar uno de entre los dieciséis. La estructura de una unidad de interfaz para otras señales se puede obtener por los expertos en esta técnica por analogía.

Una estructura de la unidad de alineación de tramas se ilustra en la Figura 10. La unidad de alineación de tramas incluye 4 módulos de búsqueda de tramas, 4 memorias FIFOs y 4 módulos de generación de dirección de escritura correspondientes a las 4 memorias FIFO, respectivamente, un módulo de alineación de fase de trama y un módulo de generación de dirección de lectura.

Cada canal de datos de ODU2 [n] (n = 0, 1, 2, 3) y las señales de reloj Clks de ODU2 [n] (n = 0, 1, 2, 3), que se restauran por los módulos de CDR, entran en los módulos de búsqueda de trama, respectivamente, para la búsqueda de trama. Las fases de trama de todos los canales que se obtienen por los módulos de búsqueda de trama se proporcionan, a la salida, a un módulo de generación de fase de trama y los módulos de generación de dirección de escritura de memorias FIFO. Los módulos de generación de dirección de escritura reciben también las señales de reloj Clks de ODU2 [n] correspondientes y genera y envía direcciones de escritura a las memorias FIFO correspondientes. El módulo de alineación de fase de trama alinea las fases de trama de todos los canales para una localización adecuada y genera y envía una señal de impulsos de trama de referencia al módulo de generación de dirección de lectura y al aparato para la sintetización de ODU2. El módulo de generación de dirección de lectura recibe la señal de impulsos de trama de referencia y la señal de señal de reloj de referencia y genera y envía la línea R_Addr a cada memoria FIFO. Cada memoria FIFO repite las operaciones de lectura y escritura bajo el control de la línea R_Addr y de la línea W_Addr para alinear 4 canales de señales para una fase de trama. La fase de trama es una de las señales impulsos de tramas después de la búsqueda de trama, esto es, la alineación es una operación de alineación de trama automática interna. Puesto que la frecuencia de reloj de la línea R_Addr es la misma que la frecuencia de reloj de la línea W_Addr, la memoria FIFO no superará su capacidad ni estará vacía si existe una diferencia adecuada entre las líneas R_Addr y W_Addr. La diferencia entre en la R_Addr y la W_Addr depende del módulo de alineación de fase de trama y carece de importancia para la magnitud de la memoria FIFO.

La Figura 11 es un diagrama de secuencia del proceso de alineación de tramas. Puesto que el tamaño de cada memoria FIFO es limitado, el sesgo de fase máximo de las señales de impulso de tramas no puede superar la magnitud de la capacidad de la memoria FIFO y la fase de la señal de impulsos de trama de referencia alineada

debe estar en la localización con algún retardo por detrás de la fase de trama más retrasada y dentro del margen de la capacidad de la memoria FIFO; dicho de otro modo, la fase de la señal de impulsos de trama de referencia debe estar en el área del bloque de líneas reales que se ilustra en la Figura 11.

La unidad de alineación de tramas para la señal OTU2 es completamente la misma que ilustrada en la Figura 10. La estructura de la unidad de alineación de tramas para la señal ODU3/OTU3 es también similar a la ilustrada en la Figura 10, con la excepción de que existen 16 módulos de búsqueda de trama, 16 memorias FIFO y 16 módulos de generación de dirección de escritura correspondientes y que se utiliza un selector para la selección de un módulo entre dieciséis. Una estructura de una unidad de alineación de tramas, para el procesamiento de otras señales, puede obtenerse por los expertos en esta técnica por analogía.

Lo que antecede son solamente formas de realización preferidas de la presente invención y no están destinadas para limitar el alcance de protección de la presente invención.

REIVINDICACIONES

1. Un aparato para separar una señal asíncrona, aplicable a una Red de Transporte Óptico, OTN, que comprende:

un primer módulo, configurado para memorizar, en función de una secuencia de tramas, una señal asíncrona a separar y

un segundo módulo, configurado para gestionar el primer módulo para memorizar la señal asíncrona a separar y para enviar n tramas de datos respectivamente en n canales en paralelo, cada vez que n tramas de datos se hayan memorizado, en donde n es una relación de un nivel de tasa de la señal asíncrona antes de la separación a un nivel de tasa de la señal asíncrona después de la separación;

caracterizado por cuanto que

el primer módulo comprende:

2n memorias del tipo 'Primero en entrar primero en salir' (FIFO) en dos grupos, comprendiendo cada grupo n memorias FIFO y cada memoria FIFO almacenando una trama de datos cada vez y

el segundo módulo que comprende:

un módulo de frecuencia dividida por n, configurado para reducir una frecuencia de una señal de reloj de entrada a 1/n de la frecuencia de la señal de reloj a la entrada, así como para enviar una señal de reloj a la salida con una frecuencia de 1/n de la frecuencia de la señal de reloj a la entrada;

un módulo de generación de dirección de escritura, configurado para gestionar una operación de escritura de cada memoria FIFO para memorizar las n tramas de datos de la señal asíncrona en función de la secuencia de tramas y

un módulo de generación de dirección de lectura, configurado para gestionar una operación de lectura de cada memoria FIFO para enviar n tramas de datos respectivamente en n canales en paralelo cada vez que se hayan memorizado n tramas de datos;

en donde el módulo de generación de dirección de escritura está configurado para generar una señal de control de dirección de escritura y una señal de control de validación de escritura en función de la frecuencia de la señal de reloj a la entrada, para aplicar la señal de control de dirección de escritura y la señal de control de validación de escritura a cada memoria FIFO así como para gestionar la señal asíncrona para que sea escrita en serie en un grupo de memorias FIFO en función de la secuencia de tramas y

el módulo de generación de dirección de lectura está configurado para recibir la señal de reloj a la salida procedente del módulo de frecuencia dividida por n, para generar una señal de control de dirección de lectura y una señal de control de validación de lectura en función de la señal de reloj a la salida así como para enviar la señal de control de dirección de lectura y la señal de control de validación de lectura a cada memoria FIFO y para gestionar n tramas de datos en el otro grupo de memorias FIFO a leer en paralelo.

2. El aparato según la reivindicación 1, que comprende, además, un módulo de búsqueda de trama, configurado para:

realizar una búsqueda de trama para la señal asíncrona,

enviar una señal de impulsos de trama y una señal de reloj asíncrona asociada hacia el módulo de generación de dirección de escritura en respuesta a la realización de la búsqueda de trama para la señal asíncrona,

enviar la señal de reloj asíncrona asociada al módulo de frecuencia dividida por n, que reduce una frecuencia de la señal de reloj asíncrona asociada a 1/n de la frecuencia de la señal de reloj asíncrona asociada y para enviar la señal de reloj a la salida con una frecuencia de 1/n de la frecuencia de la señal de reloj asíncrona asociada hacia el módulo de generación de dirección de lectura y

enviar la señal de impulsos de trama al módulo de generación de dirección de lectura;

en donde el módulo de generación de dirección de escritura está configurado para generar la señal de control de dirección de escritura y la señal de control de validación de escritura en función de la frecuencia de la señal de reloj asíncrona asociada y de la señal de impulsos de trama y

el módulo de generación de dirección de lectura está configurado para generar la señal de control de dirección de lectura y la señal de control de validación de lectura en función de la señal de reloj a la salida y de la señal de impulsos de trama.

3. Un aparato para una sintetización de señales, aplicable a una Red de Transporte Óptico, OTN, que comprende:

un tercer módulo, configurado para alinear n canales de señales paralelas a sintetizar y para memorizar los n canales de las señales paralelas a sintetizar simultáneamente en función de la secuencia de tramas y

un cuarto módulo, configurado para gestionar el tercer módulo para memorizar los n canales de las señales paralelas a sintetizar simultáneamente y para enviar n canales de tramas en serie después de que una trama se memorice para cada uno de los n canales de las señales paralelas;

en donde n es una relación de un nivel de tasa de las señales paralelas después de que se hayan sintetizado con respecto a un nivel de tasa de las señales paralelas antes de ser sintetizas;

caracterizado por cuanto que

el tercer módulo comprende:

2n memorias del tipo de 'Primero en entrar, primero en salir' (FIFO) en dos grupos, comprendiendo cada grupo n memorias FIFO y cada memoria FIFO almacenando una trama de datos cada vez;

el cuarto módulo que comprende:

un módulo de frecuencia multiplicada por n, configurado para convertir una frecuencia de una señal de reloj a la entrada a n veces la frecuencia de la señal de reloj a la entrada y para enviar la señal de reloj a la salida con una frecuencia de n veces la frecuencia de la señal de reloj a la entrada;

un módulo de generación de dirección de escritura, configurado para gestionar una operación de escritura de cada memoria FIFO con el fin de memorizar los n canales de las señales paralelas a sintetizar simultáneamente y

un módulo de generación de dirección de lectura, configurado para gestionar una operación de lectura de cada memoria FIFO para enviar los n canales de tramas en serie después de que se memorice una trama para cada uno de los n canales de las señales paralelas;

en donde el módulo de generación de dirección de escritura está configurado para generar una señal de control de dirección de escritura y una señal de control de validación de escritura en función de la frecuencia de la señal de reloj a la entrada y para enviar la señal de control de dirección de escritura y la señal de control de validación de escritura a cada memoria FIFO y para gestionar los n canales de las señales paralelas a escribir simultáneamente en un grupo de memorias FIFO en paralelo en función de la secuencia de tramas y

el módulo de generación de dirección de lectura está configurado para recibir la señal de reloj a la salida procedente del módulo de frecuencia multiplicada por n, para generar una señal de control de dirección de lectura y una señal de control de validación de lectura en función de la señal de reloj a la salida y para enviar la señal de control de dirección de lectura y la señal de control de validación de lectura a cada memoria FIFO para gestionar el otro grupo de memorias FIFO para enviar los n canales de tramas en serie.

4. El aparato según la reivindicación 3, en donde el tercer módulo comprende, además, una unidad de alineación de tramas, configurada para:

realizar una búsqueda de trama para cada canal de las señales paralelas para buscar las localizaciones de inicio de trama de los n canales de las señales paralelas,

alinear las localizaciones de inicio de trama de los n canales de las señales paralelas en una sola fase de trama,

enviar a las 2n memorias FIFO los n canales de las señales paralelas después de la alineación y

enviar una señal de impulsos de trama de referencia al módulo de generación de dirección de escritura y al módulo de generación de dirección de lectura;

en donde el módulo de generación de dirección de escritura está configurado para generar la señal de control de dirección de escritura y la señal de control de validación de escritura en función de la frecuencia de la señal de reloj a la entrada y de la señal de impulsos de trama de referencia y

el módulo de generación de dirección de lectura está configurado para generar la señal de control de dirección de lectura y la señal de control de validación de lectura en función de la señal de reloj a la salida y de la señal de impulsos de trama de referencia.

5. El aparato según la reivindicación 4 que comprende, además:

una unidad de interfaz, configurada para realizar una restauración de reloj para n canales de señales paralelas para obtener señales de reloj y para seleccionar una de las señales de reloj como una señal de reloj de referencia y para enviar a la unidad de alineación de tramas la señal de reloj de referencia y las señales paralelas a alinear;

en donde la unidad de alineación de tramas alinea las señales paralelas en función de la señal de reloj de referencia y el módulo de frecuencia multiplicada por n convierte la frecuencia de la señal de reloj de referencia a n veces la frecuencia de la señal de reloj de referencia y envía la señal de reloj a la salida con una frecuencia de n veces la frecuencia de la señal de reloj de referencia al módulo de generación de dirección de escritura y hacia el módulo de generación de dirección de lectura.

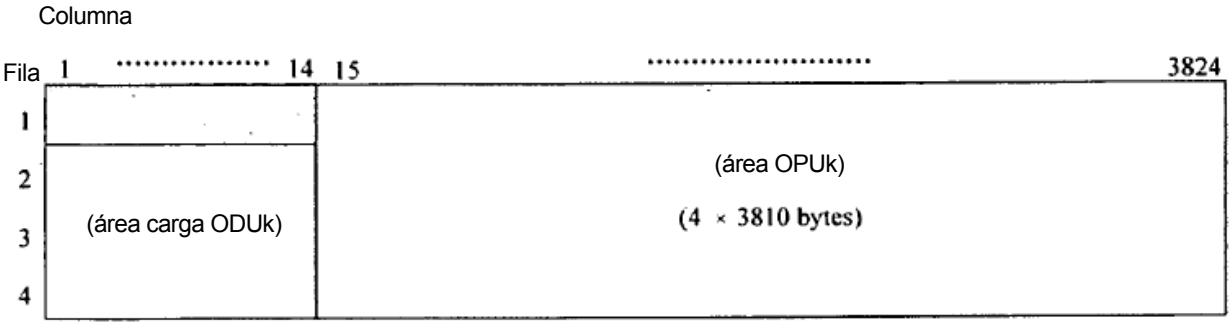
Columna
Fila
1
14
15
3824
1
2
3
4
(área carga ODUk)
(área OPUk)
(4 × 3810 bytes)

Fig. 1

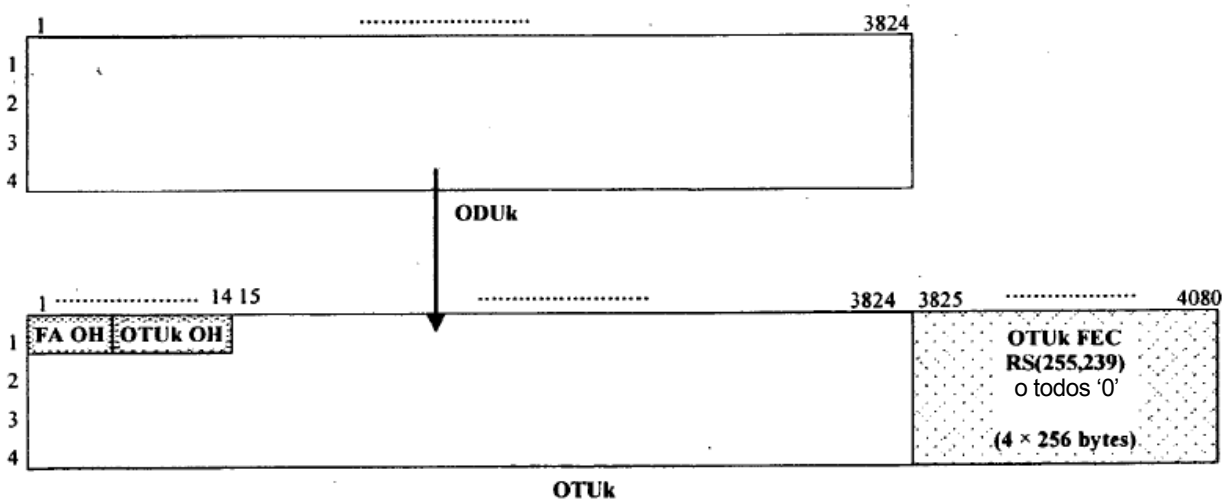
1
3824
1
2
3
4
ODUk
1
14 15
3824
3825
4080
FA OH
OTUk OH
OTUk FEC
RS(255,239)
o todos '0'
(4 × 256 bytes)
OTUk

Fig. 2

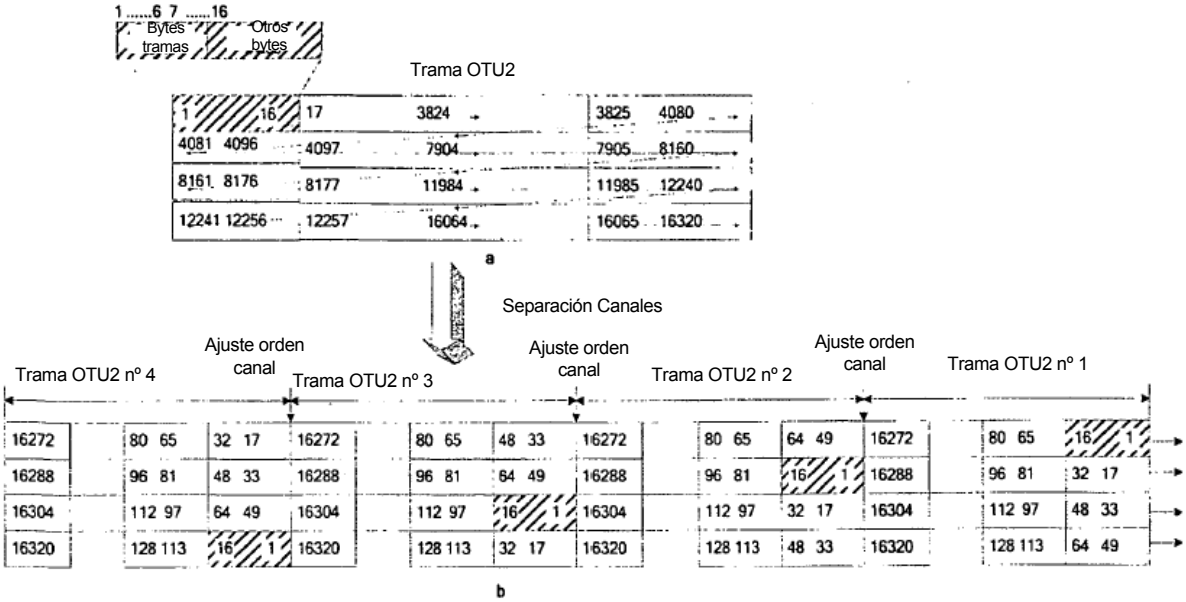
1 .....6 7 16
Bytes tramas
Otros bytes
Trama OTU2
a
Separación Canales
Ajuste orden canal
Trama OTU2 nº 4
Trama OTU2 nº 3
Trama OTU2 nº 2
Trama OTU2 nº 1
b

Fig. 3

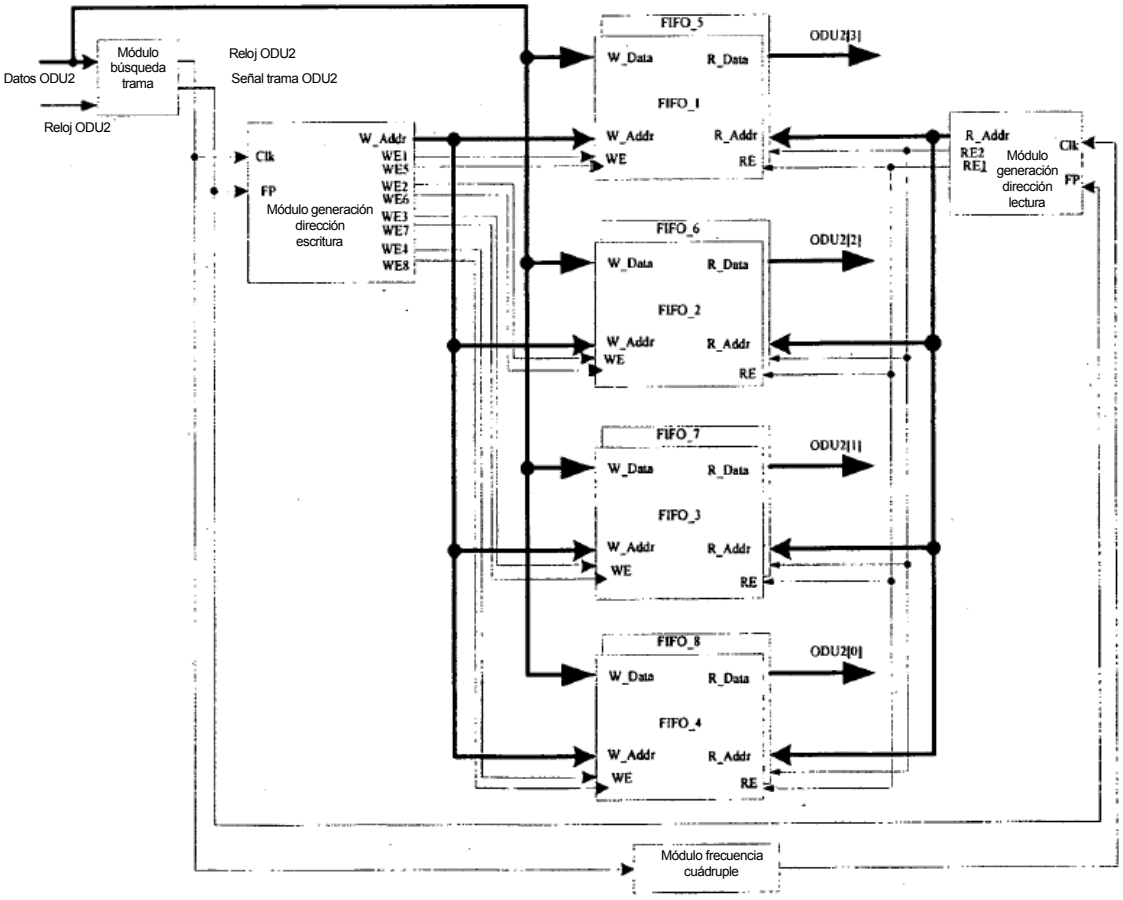
Datos ODU2
Reloj ODU2
Módulo búsqueda trama
Reloj ODU2
Señal trama ODU2
Módulo generación dirección escritura
Módulo generación dirección lectura
FIFO_5
FIFO_1
FIFO_6
FIFO_2
FIFO_7
FIFO_3
FIFO_8
FIFO_4
W_Data
R_Data
W_Addr
R_Addr
WE
RE
ODU2[3]
ODU2[2]
ODU2[1]
ODU2[0]
Módulo frecuencia cuádruple

Fig. 4

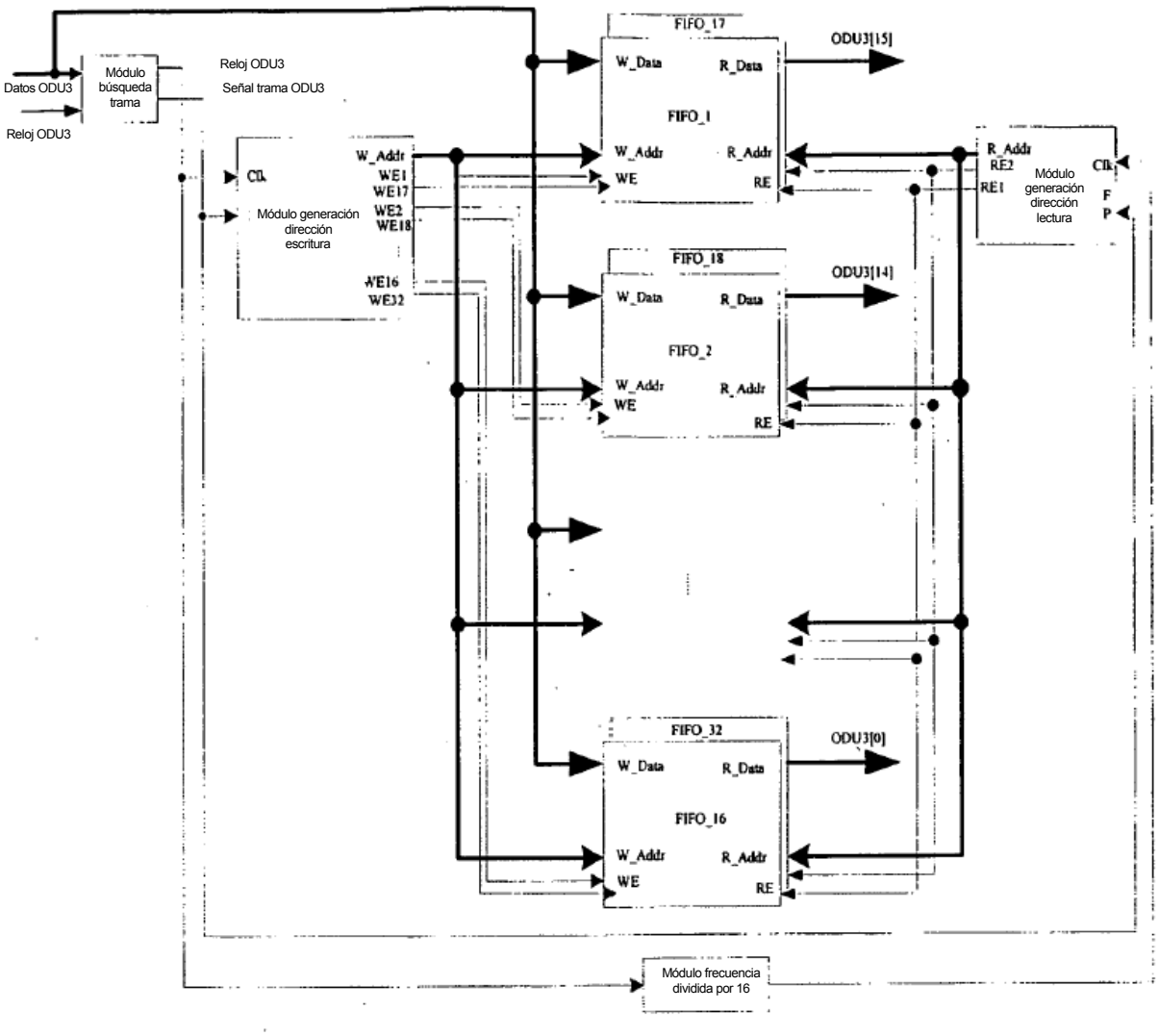
Datos ODU3
Reloj ODU3
Módulo búsqueda trama
Reloj ODU3
Señal trama ODU3
Clk
Módulo generación dirección escritura
W_Addr
WE1
WE17
WE2
WE18
WE16
WE32
FIFO_17
W_Data
R_Data
FIFO_1
W_Addr
R_Addr
WE
RE
ODU3[15]
FIFO_18
W_Data
R_Data
FIFO_2
W_Addr
R_Addr
WE
RE
ODU3[14]
FIFO_32
W_Data
R_Data
FIFO_16
W_Addr
R_Addr
WE
RE
ODU3[0]
R_Addr
RE2
RE1
Clk
F
P
Módulo generación dirección lectura
Módulo frecuencia dividida por 16

Fig. 5

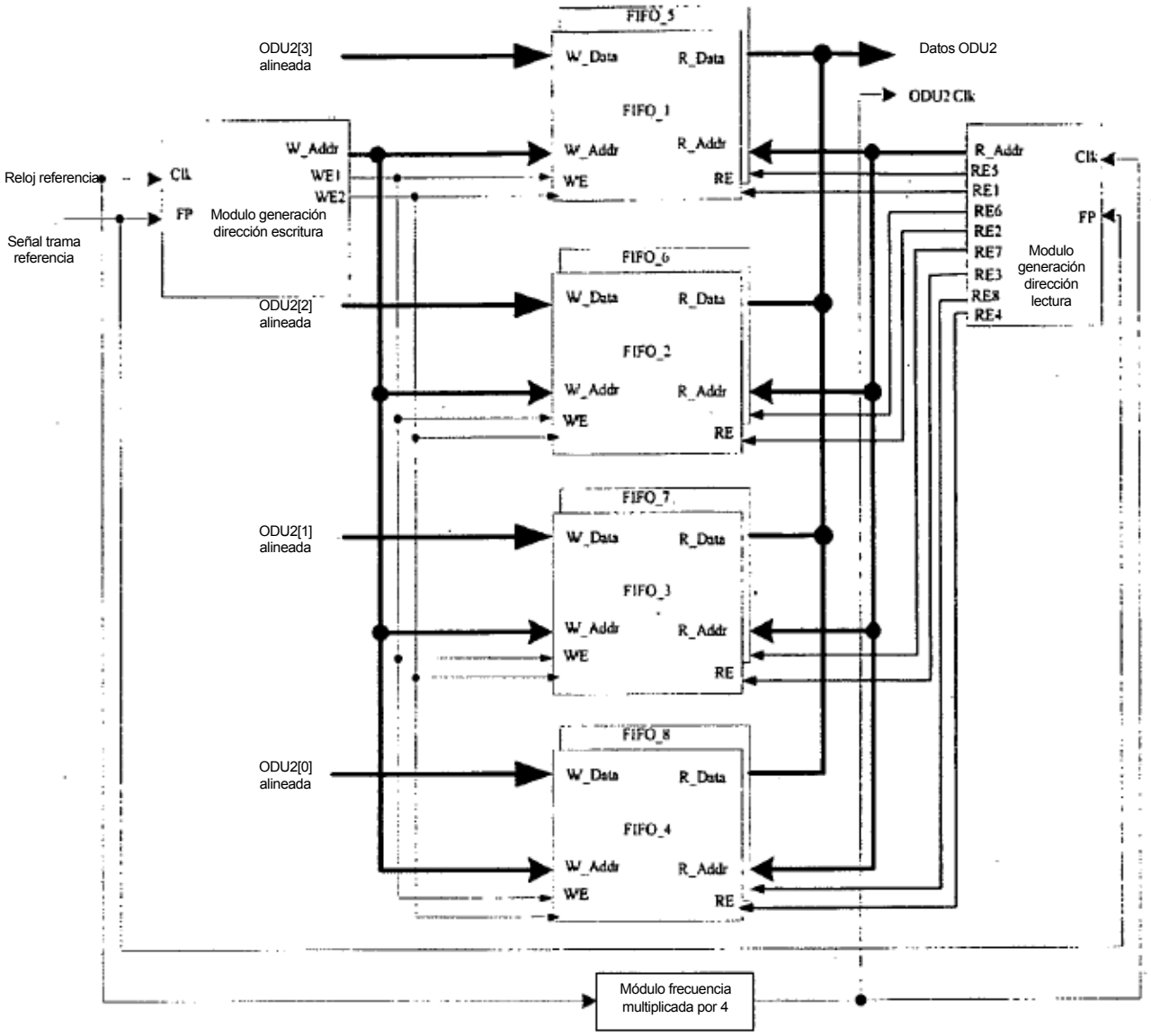
ODU2[3]
alineada
FIFO_5
W_Data
R_Data
Datos ODU2
ODU2 Clk
FIFO_1
W_Addr
R_Addr
WE
RE
Reloj referencia
Clk
WE1
WE2
FP
Modulo generación
dirección escritura
Señal trama
referencia
R_Addr
RE5
RE1
RE6
RE2
RE7
RE3
RE8
RE4
Clk
FP
Modulo
generación
dirección
lectura
FIFO_6
ODU2[2]
alineada
FIFO_2
FIFO_7
ODU2[1]
alineada
FIFO_3
FIFO_8
ODU2[0]
alineada
FIFO_4
Módulo frecuencia
multiplicada por 4

Fig. 6

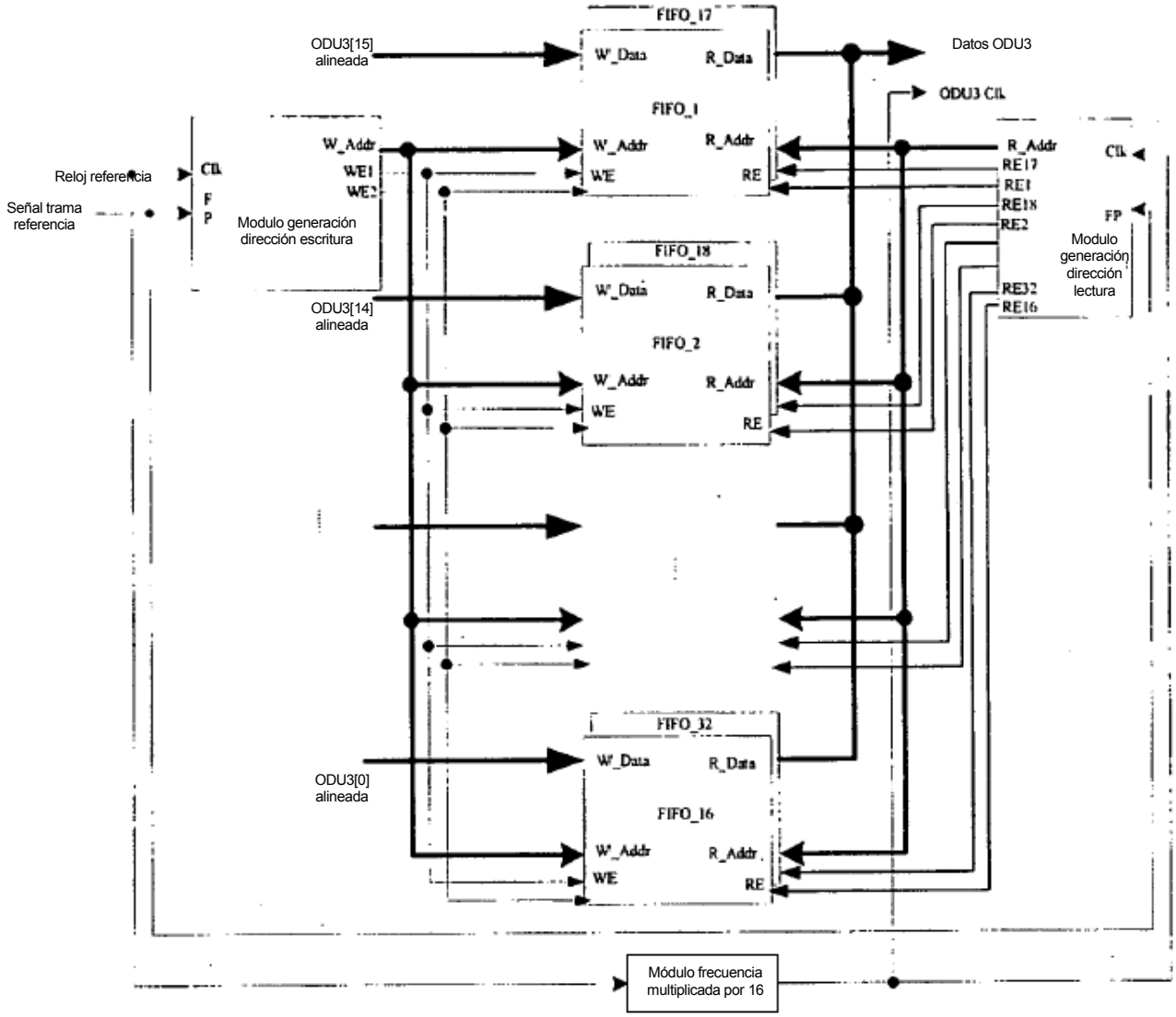
FIFO_17
ODU3[15] alineada
W_Data
R_Data
Datos ODU3
ODU3 Clk
FIFO_1
W_Addr
WE1
WE2
W_Addr
WE
R_Addr
RE
R_Addr
RE17
RE1
RE18
RE2
RE32
RE16
Clk
FP
Reloj referencia
Señal trama referencia
Clk
F
P
Modulo generación dirección escritura
Modulo generación dirección lectura
FIFO_18
W_Data
R_Data
ODU3[14] alineada
FIFO_2
W_Addr
WE
R_Addr
RE
FIFO_32
W_Data
R_Data
ODU3[0] alineada
FIFO_16
W_Addr
WE
R_Addr
RE
Módulo frecuencia multiplicada por 16

Fig. 7

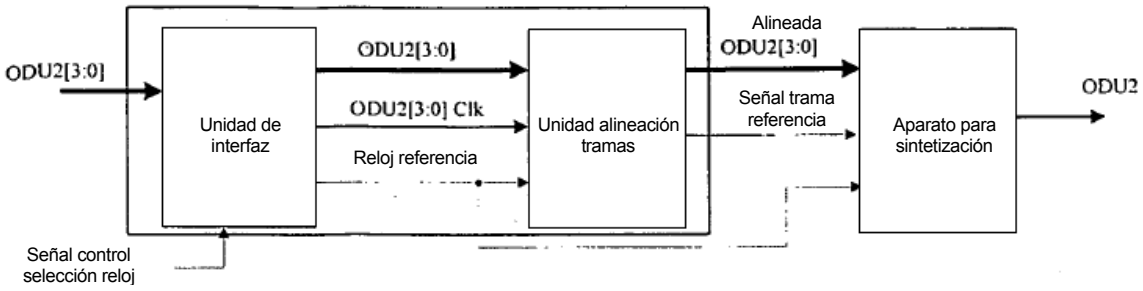
ODU2[3:0]
Unidad de interfaz
ODU2[3:0]
ODU2[3:0] Clk
Reloj referencia
Unidad alineación tramas
Alineada ODU2[3:0]
Señal trama referencia
Aparato para sintetización
ODU2
Señal control selección reloj

Fig. 8

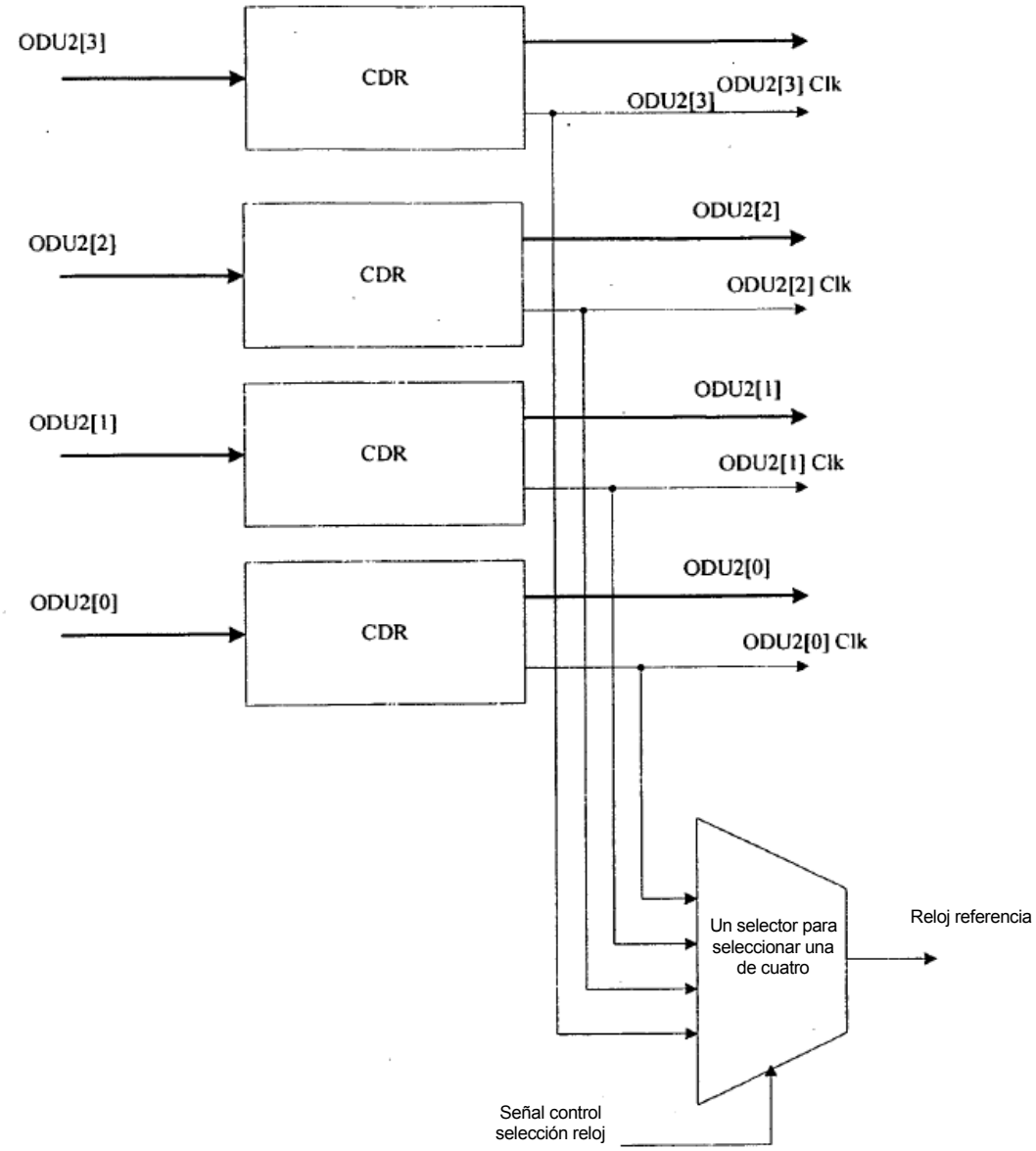
ODU2[3]
CDR
ODU2[3]
ODU2[3] Clk
ODU2[2]
CDR
ODU2[2]
ODU2[2] Clk
ODU2[1]
CDR
ODU2[1]
ODU2[1] Clk
ODU2[0]
CDR
ODU2[0]
ODU2[0] Clk
Un selector para seleccionar una de cuatro
Reloj referencia
Señal control selección reloj

Fig. 9

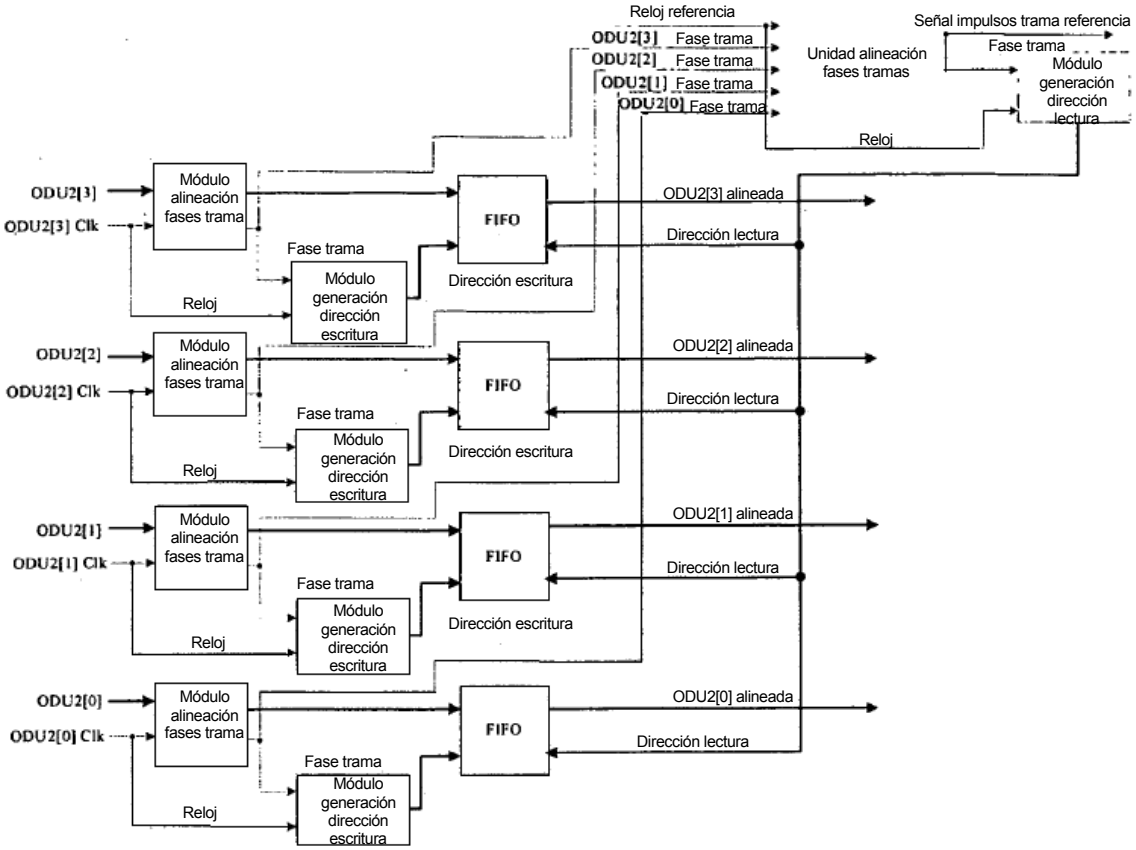
Reloj referencia
ODU2[3] Fase trama
ODU2[2] Fase trama
ODU2[1] Fase trama
ODU2[0] Fase trama
Unidad alineación fases tramas
Señal impulsos trama referencia
Fase trama
Módulo generación dirección lectura
Reloj
ODU2[3]
ODU2[3] Clk
Módulo alineación fases trama
FIFO
ODU2[3] alineada
Dirección lectura
Fase trama
Módulo generación dirección escritura
Dirección escritura
Reloj
ODU2[2]
ODU2[2] Clk
ODU2[2] alineada
ODU2[1]
ODU2[1] Clk
ODU2[1] alineada
ODU2[0]
ODU2[0] Clk
ODU2[0] alineada

Fig. 10

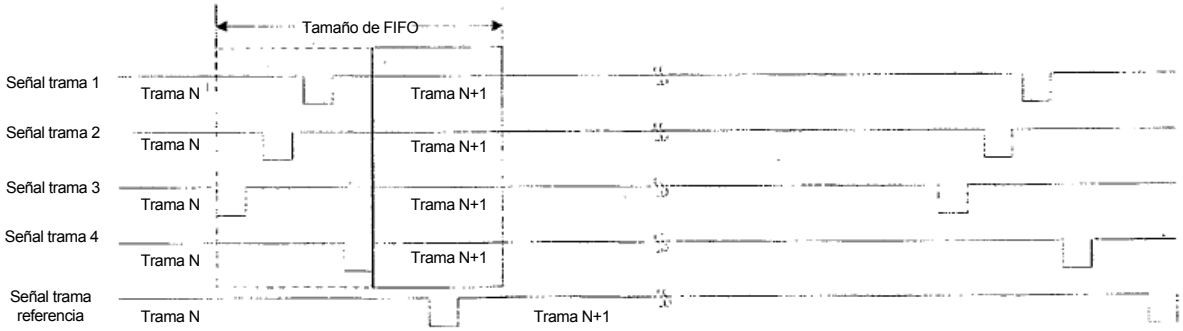
Tamaño de FIFO
Señal trama 1
Señal trama 2
Señal trama 3
Señal trama 4
Señal trama referencia
Trama N
Trama N+1

Fig. 11