

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 492 680**

51 Int. Cl.:

G01R 19/00 (2006.01)
H03F 1/32 (2006.01)
H03F 3/24 (2006.01)
H03F 1/02 (2006.01)
H03F 3/19 (2006.01)
H03F 3/21 (2006.01)
H03F 3/217 (2006.01)
H03F 3/72 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **12.03.2007** **E 11181888 (6)**

97 Fecha y número de publicación de la concesión europea: **14.05.2014** **EP 2405277**

54 Título: **Sistemas y procedimientos de transmisión, modulación y amplificación de potencia de RF**

30 Prioridad:

24.04.2006 US 794121 P
05.05.2006 US 797653 P
09.05.2006 US 798705 P
24.08.2006 US 508970
24.08.2006 US 509031
24.08.2006 US 508989

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
10.09.2014

73 Titular/es:

PARKERVISION, INC. (100.0%)
7915 Baymeadows Way
Jacksonville, FL 32256, US

72 Inventor/es:

SORRELLS, DAVID F.;
RAWLINS, GREGORY S. y
RAWLINS, MICHAEL W.

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 492 680 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Sistemas y procedimientos de transmisión, modulación y amplificación de potencia de RF

La presente invención se refiere, en general, a la transmisión, modulación y amplificación de potencia de RF. Más en particular, la invención se refiere a procedimientos y sistemas para una amplificación de potencia mejorada.

5 **Técnica anterior**

En los amplificadores de potencia, típicamente existe una relación compleja entre la linealidad y la eficiencia energética.

10 La linealidad se determina mediante el intervalo de operación de un amplificador de potencia sobre una curva característica que relaciona su entrada con las variables de salida - cuanto más lineal es el intervalo de operación, se dice que el amplificador de potencia es más lineal. La linealidad es una característica deseada de un amplificador de potencia. En un aspecto, por ejemplo, se desea que un amplificador de potencia amplifique de manera uniforme unas señales de amplitud y / o fase y / o frecuencia variables. Por consiguiente, la linealidad es un importante factor determinante de la calidad de señal de salida de un amplificador de potencia.

15 La eficiencia energética puede calcularse usando la relación de la potencia total entregada a una carga dividida por la potencia total suministrada al amplificador. Para un amplificador ideal, la eficiencia energética es de un 100 %. Típicamente, los amplificadores de potencia se dividen en unas clases que determinan la eficiencia energética teórica máxima del amplificador. La eficiencia energética es, claramente, una característica deseada de un amplificador de potencia, en particular, en los sistemas de comunicación inalámbrica en los que el consumo de energía se ve dominado de forma significativa por el amplificador de potencia.

20 Desafortunadamente, el compromiso tradicional entre la linealidad y la eficiencia en los amplificadores de potencia es tal que, cuanto más lineal es un amplificador de potencia, menos eficiente es la potencia. Por ejemplo, el amplificador más lineal se polariza para el funcionamiento de clase A, que es la clase menos eficiente de amplificadores. Por otro lado, los amplificadores de clase más alta, tal como la clase B, C, D, E, etc., son de una eficiencia energética mayor, pero son considerablemente no lineales, lo que puede dar como resultado unas señales de salida espectralmente distorsionadas.

25 El compromiso que se ha descrito en lo que antecede se ve subrayado por las señales de comunicación inalámbrica típicas. Las señales de comunicación inalámbrica, tales como, por ejemplo, OFDM, CDMA y W - CDMA, se caracterizan en general por sus relaciones de potencia de pico a promedio. Cuanto mayor sea la relación de pico a promedio de la señal, más distorsión no lineal se producirá cuando se empleen unos amplificadores no lineales. El documento US2004/0185805 divulga un transmisor de potencia de LIMC.

30 Se han propuesto técnicas de amplificación por desfase para los diseños de amplificador de RF. En diversos aspectos, no obstante, las técnicas por desfase existentes son deficientes en cuanto a satisfacer los requisitos de amplificación de señales complejas, en particular tal como se define, por ejemplo, por las normas de comunicación inalámbrica.

35 En un aspecto, las técnicas por desfase existentes emplean un elemento de aislamiento y / o uno de combinación cuando se combinan unas constituyentes de envolvente constante de una señal de salida deseada. Por ejemplo, habitualmente es el caso que un circuito combinador de potencia se use para combinar las señales de constituyente. Este enfoque de combinación, no obstante, típicamente da como resultado un deterioro de la potencia de señal de salida debido la pérdida de inserción y al limitado ancho de banda y, de forma correspondiente, una disminución en cuanto a la eficiencia energética.

40 En otro aspecto, el tamaño típicamente grande de los elementos de combinación impide tener los mismos en los diseños de amplificador monolíticos.

45 Lo que se necesita, por lo tanto, son unos procedimientos y sistemas de amplificación de potencia que solucionen las deficiencias de las técnicas de amplificación de potencia existentes a la vez que se maximiza la eficiencia energética y se minimiza la distorsión no lineal. Además, son necesarios unos procedimientos y sistemas de amplificación de potencia que puedan implementarse sin las limitaciones de las técnicas, y la circuitería de combinación de potencia, tradicionales.

Breve resumen

50 En el presente documento se divulgan unas realizaciones para la amplificación de potencia de combinación de vectores.

En una realización, una pluralidad de señales de envolvente sustancialmente constante se amplifican de forma individual, a continuación se combinan para formar una señal de envolvente compleja variable en el tiempo deseada. Las características de fase y / o de frecuencia de una o más de las señales se controlan para proporcionar las características de fase, de frecuencia y / o de amplitud deseadas de la señal de envolvente compleja variable en el

tiempo deseada.

En otra realización, una señal de envolvente compleja variable en el tiempo se descompone en una pluralidad de señales de constituyente de envolvente sustancialmente constante. Las señales de constituyente se amplifican y, a continuación, se recombinan para construir una versión amplificada de la señal de envolvente variable en el tiempo original.

Las realizaciones de la presente invención pueden ponerse en práctica con unas señales portadoras moduladas y con una información de banda de base y unas señales de reloj. Las realizaciones de la presente invención también consiguen una conversión elevadora en frecuencia. Por consiguiente, las realizaciones de la presente invención representan soluciones integradas para una conversión elevadora en frecuencia, amplificación y modulación.

Las realizaciones de la presente invención pueden implementarse con controles analógicos y/o digitales. Las realizaciones de la presente invención pueden implementarse con componentes analógicos o con una combinación de componentes analógicos y de componentes digitales. En la última realización, puede implementarse un procesamiento de señales digitales en un procesador de banda de base existente para unos ahorros de costes añadidos.

En la descripción que sigue se expondrán características y ventajas adicionales de las realizaciones de la presente invención. Todavía más características y ventajas serán evidentes para un experto en la materia, en base a la descripción que se expone en el presente documento, o pueden aprenderse mediante la práctica de las realizaciones de la presente invención. Las ventajas de las realizaciones de la presente invención se realizarán y se conseguirán mediante los procedimientos y la estructura que se señalan, en particular, en la descripción escrita y en las reivindicaciones del presente documento, así como en los dibujos adjuntos.

Ha de entenderse que tanto el sumario precedente como la siguiente descripción detallada son ejemplares y explicativos y se pretende que proporcionen una explicación adicional de las realizaciones de la presente invención tal como se reivindica.

Breve descripción de las figuras

Las realizaciones de la presente invención se describirán con referencia a los dibujos adjuntos, en los que unos números de referencia semejantes indican, en general, unos elementos idénticos o funcionalmente similares. Asimismo, en general, el dígito o dígitos más a la izquierda de los números de referencia identifican los dibujos en los que se introducen en primer lugar los elementos asociados.

La figura 1A es un ejemplo que ilustra la generación de una señal de envolvente compleja variable en el tiempo ejemplar.

La figura 1B es otro ejemplo que ilustra la generación de una señal de envolvente compleja variable en el tiempo ejemplar.

La figura 1C es un ejemplo que ilustra la generación de una señal de envolvente compleja variable en el tiempo ejemplar a partir de la suma de dos o más señales de envolvente constante.

La figura 1D ilustra la amplificación de potencia de una señal de envolvente compleja variable en el tiempo a modo de ejemplo.

La figura 1E es un diagrama de bloques que ilustra una amplificación de potencia vectorial a modo de ejemplo.

La figura 1 ilustra una representación fasorial de una señal.

La figura 2 ilustra una representación fasorial de una señal de envolvente compleja variable en el tiempo.

Las figuras 3A - 3C ilustran una modulación a modo de ejemplo para generar una señal de envolvente compleja variable en el tiempo.

La figura 3D es un ejemplo que ilustra una descomposición de envolvente constante de una señal de envolvente variable en el tiempo.

La figura 4 es un diagrama fasorial que ilustra un procedimiento de Amplificación de Potencia Vectorial (VPA) de 4 Ramas Cartesiana ejemplar.

La figura 5 es un diagrama de bloques que ilustra un procedimiento de VPA de 4 Ramas Cartesiana ejemplar.

La figura 6 es un diagrama de flujo de proceso para la amplificación de potencia de acuerdo con un procedimiento de VPA de 4 Ramas Cartesiana.

La figura 7A es un diagrama de bloques que ilustra una realización de un amplificador de potencia vectorial para implementar un procedimiento de VPA de 4 Ramas Cartesiana.

La figura 7B es un diagrama de bloques que ilustra otra realización de un amplificador de potencia vectorial para implementar un procedimiento de VPA de 4 Ramas Cartesiana.

La figura 8A es un diagrama de bloques que ilustra otra realización de un amplificador de potencia vectorial de acuerdo con un procedimiento de VPA de 4 Ramas Cartesiana.

La figura 8B es un diagrama de bloques que ilustra otra realización de un amplificador de potencia vectorial de acuerdo con un procedimiento de VPA de 4 Ramas Cartesiana.

La figura 8C es un diagrama de bloques que ilustra otra realización de un amplificador de potencia vectorial de acuerdo con un procedimiento de VPA de 4 Ramas Cartesiana.

La figura 8D es un diagrama de bloques que ilustra otra realización de un amplificador de potencia vectorial de

acuerdo con un procedimiento de VPA de 4 Ramas Cartesiana.

Las figuras 9A - 9B son unos diagramas fasoriales que ilustran un procedimiento de Amplificación de Potencia Vectorial (VPA) de 2 Ramas Cartesiana - Polar - Cartesiana - Polar (CPCP) ejemplar.

La figura 10 es un diagrama de bloques que ilustra un procedimiento de VPA de 2 Ramas CPCP ejemplar.

5 La figura 10A es un diagrama de bloques que ilustra otro procedimiento de VPA de 2 Ramas CPCP ejemplar.

La figura 11 es un diagrama de flujo de proceso para la amplificación de potencia de acuerdo con un procedimiento de VPA de 2 Ramas CPCP ejemplar.

La figura 12 es un diagrama de bloques que ilustra una realización de un amplificador de potencia vectorial para implementar un procedimiento de VPA de 2 Ramas CPCP.

10 La figura 12A es un diagrama de bloques que ilustra otra realización de un amplificador de potencia vectorial para implementar un procedimiento de VPA de 2 Ramas CPCP.

La figura 12B es un diagrama de bloques que ilustra otra realización de un amplificador de potencia vectorial para implementar un procedimiento de VPA de 2 Ramas CPCP.

15 La figura 13 es un diagrama de bloques que ilustra otra realización de un amplificador de potencia vectorial para implementar un procedimiento de VPA de 2 Ramas CPCP.

La figura 13A es un diagrama de bloques que ilustra otra realización de un amplificador de potencia vectorial para implementar un procedimiento de VPA de 2 Ramas CPCP.

La figura 14 es un diagrama fasorial que ilustra un procedimiento de Amplificación de Potencia Vectorial (VPA) de 2 Ramas Cartesiana Directa ejemplar.

20 La figura 15 es un diagrama de bloques que ilustra una realización ejemplar del procedimiento de VPA de 2 Ramas Cartesiana Directa.

La figura 15A es un diagrama de bloques que ilustra otro procedimiento de VPA de 2 Ramas Cartesiana Directa ejemplar.

25 La figura 16 es un diagrama de flujo de proceso para la amplificación de potencia de acuerdo con un procedimiento de VPA de 2 Ramas Cartesiana Directa ejemplar.

La figura 17 es un diagrama de bloques que ilustra una realización de un amplificador de potencia vectorial para implementar un procedimiento de VPA de 2 Ramas Cartesiana Directa.

La figura 17A es un diagrama de bloques que ilustra otra realización de un amplificador de potencia vectorial para implementar un procedimiento de VPA de 2 Ramas Cartesiana Directa.

30 La figura 17B es un diagrama de bloques que ilustra otra realización de un amplificador de potencia vectorial para implementar un procedimiento de VPA de 2 Ramas Cartesiana Directa.

La figura 18 es un diagrama de bloques que ilustra otra realización de un amplificador de potencia vectorial para implementar un procedimiento de VPA de 2 Ramas Cartesiana Directa.

35 La figura 18A es un diagrama de bloques que ilustra otra realización de un amplificador de potencia vectorial para implementar un procedimiento de VPA de 2 Ramas Cartesiana Directa.

La figura 19 es un diagrama de flujo de proceso que ilustra una función de transferencia de I y de Q ejemplar de acuerdo con un procedimiento de VPA de 4 Ramas Cartesiana.

La figura 20 es un diagrama de bloques que ilustra una función de transferencia de I y de Q ejemplar de acuerdo con un procedimiento de VPA de 4 Ramas Cartesiana.

40 La figura 21 es un diagrama de flujo de proceso que ilustra una función de transferencia de I y de Q ejemplar de acuerdo con un procedimiento de VPA de 2 Ramas CPCP.

La figura 22 es un diagrama de bloques que ilustra una función de transferencia de I y de Q ejemplar de acuerdo con un procedimiento de VPA de 2 Ramas CPCP.

45 La figura 23 es un diagrama de flujo de proceso que ilustra una función de transferencia de I y de Q ejemplar de acuerdo con un procedimiento de VPA de 2 Ramas Cartesiana Directa.

La figura 24 es un diagrama de bloques que ilustra una función de transferencia de I y de Q ejemplar de acuerdo con un procedimiento de VPA de 2 Ramas Cartesiana Directa.

La figura 25 es un diagrama fasorial que ilustra el efecto de la distorsión de forma de onda sobre una representación de un fasor de señal.

50 La figura 26 ilustra unas funciones de transformada de magnitud en fase.

La figura 27 ilustra unas realizaciones ejemplares de una circuitería de polarización de acuerdo con las realizaciones de la presente invención.

La figura 28 ilustra un procedimiento ejemplar de combinación de unas señales de envolvente constante.

La figura 29 ilustra una fase de salida de amplificador de potencia vectorial ejemplar.

55 La figura 30 es un diagrama de bloques ejemplar de una fase de salida de amplificador de potencia (PA).

La figura 31 es un diagrama de bloques de otra fase de salida de amplificador de potencia (PA) ejemplar.

La figura 32 es un diagrama de bloques de otra fase de salida de amplificador de potencia (PA) ejemplar.

La figura 33 es un diagrama de bloques de otra realización de fase de salida de amplificador de potencia (PA) de acuerdo con la presente invención.

60 La figura 34 es un diagrama de bloques de otra fase de salida de amplificador de potencia (PA) ejemplar.

La figura 35 es un diagrama de bloques de otra fase de salida de amplificador de potencia (PA) ejemplar.

La figura 36 es un diagrama de bloques de otra fase de salida de amplificador de potencia (PA) ejemplar.

La figura 37 ilustra una señal de salida a modo de ejemplo.

La figura 38 ilustra una realización de PA ejemplar.

65 La figura 39 ilustra una señal de salida de PA de envolvente compleja variable en el tiempo a modo de ejemplo y una señal de envolvente correspondiente.

- La figura 40 ilustra unos diagramas de sincronismo a modo de ejemplo de una intensidad de fase de salida de PA.
- La figura 41 ilustra unas funciones de control de intensidad de fase de salida ejemplares.
- La figura 42 es un diagrama de bloques de otra realización de fase de salida de amplificador de potencia (PA).
- 5 La figura 43 ilustra una realización de fase de PA.
- La figura 44 ilustra una señal de salida de PA con forma ondulada ejemplar.
- La figura 45 ilustra un procedimiento de control de potencia ejemplar.
- La figura 46 ilustra otro procedimiento de control de potencia ejemplar.
- La figura 47 ilustra un amplificador de potencia vectorial ejemplar.
- 10 La figura 48 es un diagrama de flujo de proceso ejemplar para implementar una conformación de intensidad de fase de salida.
- La figura 49 es un diagrama de flujo de proceso ejemplar para implementar un control de armónicos.
- La figura 50 es un diagrama de flujo de proceso ejemplar para la amplificación de potencia.
- Las figuras 51A - I ilustran unas realizaciones de fase de salida de múltiples entradas y de una única salida (MISO).
- 15 La figura 52 ilustra una realización de amplificador de MISO.
- La figura 53 ilustra una asignación de banda de frecuencia ejemplar en bandas de espectro inferior y superior para diversas normas de comunicación.
- Las figuras 54A - B ilustran unas técnicas de alimentación en avance ejemplares para compensar los errores.
- 20 La figura 55 ilustra una técnica de corrección de errores de realimentación basada en receptor ejemplar.
- La figura 56 ilustra un módulo de control digital ejemplar.
- La figura 57 ilustra otro módulo de control digital ejemplar.
- La figura 58 ilustra otra realización de módulo de control digital.
- Las figuras 59A - D ilustran un núcleo analógico de VPA ejemplar.
- 25 La figura 60 ilustra una fase de salida ejemplar de acuerdo con el núcleo analógico de VPA de las figuras 59A - D.
- Las figuras 61A - D ilustran otro núcleo analógico de VPA ejemplar.
- La figura 62 ilustra una fase de salida ejemplar de acuerdo con el núcleo analógico de VPA de las figuras 61A - D.
- 30 Las figuras 63A - D ilustran otro núcleo analógico de VPA ejemplar.
- La figura 64 ilustra una fase de salida ejemplar - de acuerdo con el núcleo analógico de VPA de las figuras 63A - D.
- La figura 65 ilustra el control de clase de amplificador en tiempo real usando una forma de onda ejemplar, de acuerdo con una realización de la presente invención.
- 35 La figura 66 es una representación gráfica a modo de ejemplo de la potencia de salida frente al ángulo de desfase.
- La figura 67 ilustra unos mecanismos de control de potencia ejemplares usando una forma de onda de QPSK ejemplar, de acuerdo con una realización de la presente invención.
- La figura 68 ilustra el control de clase de amplificador en tiempo real usando una forma de onda ejemplar, de acuerdo con una realización de la presente invención.
- 40 La figura 69 ilustra el control de clase de amplificador en tiempo real usando una forma de onda ejemplar, de acuerdo con una realización de la presente invención.
- La figura 70 ilustra una representación gráfica ejemplar de la eficiencia teórica de fase de salida de VPA frente a la intensidad de fase de salida de VPA, de acuerdo con una realización de la presente invención.
- 45 La figura 71 ilustra un VPA ejemplar de acuerdo con una realización de la presente invención.
- La figura 72 es un diagrama de flujo de proceso que ilustra un procedimiento para el control de clase de amplificador en tiempo real en un amplificador de potencia, de acuerdo con una realización de la presente invención.
- La figura 73 ilustra una fase de salida de VPA a modo de ejemplo.
- 50 La figura 74 ilustra un circuito equivalente para el funcionamiento de clase S de amplificador de la fase de salida de VPA de la figura 73.
- La figura 75 ilustra un circuito equivalente para el funcionamiento de clase A de amplificador de la fase de salida de VPA de la figura 73.
- La figura 76 es una representación gráfica que ilustra unas funciones de transformada de magnitud en desplazamiento de fase ejemplares para el funcionamiento de clase A y de clase S de amplificador de la fase de salida de VPA de la figura 73.
- 55 La figura 77 es una representación gráfica que ilustra un espectro de funciones de transformada de magnitud en desplazamiento de fase que se corresponden con una gama de clases de funcionamiento de amplificador de la fase de salida de VPA de la figura 73.
- La figura 78 ilustra una deducción matemática de la transformada de magnitud en desplazamiento de fase en presencia de errores de amplitud y de fase de rama.
- 60

Las realizaciones de la presente invención se describirán con referencia a los dibujos adjuntos. El dibujo en el que un elemento aparece por primera vez se indica típicamente mediante el dígito o dígitos más a la izquierda en el número de referencia correspondiente.

Descripción detallada

Índice de Contenidos

	1. Introducción
	1.1. Generación a modo de ejemplo de Señales de Entrada de Envolvente Compleja Variable en el Tiempo
5	1.2. Generación a modo de ejemplo de Señales de Envolvente Compleja Variable en el Tiempo a partir de Señales de Envolvente Constante
	1.3. Visión de Conjunto de Amplificación de Potencia Vectorial
	2. Visión de Conjunto Matemática General
	2.1. Representación de Señal Fasorial
10	2.2. Señales de Envolvente Compleja Variable en el Tiempo
	2.3. Descomposición de Envolvente Constante de Señales de Envolvente Variable en el Tiempo
	3. Procedimientos y Sistemas de Amplificación de Potencia Vectorial (VPA)
	3.1. Amplificador de Potencia Vectorial de 4 Ramas Cartesiana
	3.2. Amplificador de Potencia Vectorial de 2 Ramas Cartesiana - Polar - Cartesiana - Polar (CPCP)
15	3.3. Amplificador de Potencia Vectorial de 2 Ramas Cartesiana Directa
	3.4. Funciones de Transferencia de Datos de I y de Q a Modulador Vectorial
	3.4.1. Función de Transferencia de VPA de 4 Ramas Cartesiana
	3.4.2. Función de Transferencia de VPA de 2 Ramas CPCP
	3.4.3. Función de Transferencia de VPA de 2 Ramas Cartesiana Directa
20	3.4.4. Magnitud para Transformada en Desplazamiento de Fase
	3.4.4.1. Magnitud para Transformada en Desplazamiento de Fase para Señales Sinusoidales
	3.4.4.2. Magnitud para Transformada en Desplazamiento de Fase para Señales de Onda Cuadrada
	3.4.5. Compensación de Distorsión de Forma de Onda
	3.5. Fase de Salida
25	3.5.1. Realizaciones de fase de salida
	3.5.2. Conformación de Intensidad de Fase de Salida
	3.5.3. Protección de Fase de Salida
	3.6. Control de Armónicos
	3.7. Control de Potencia
30	3.8. Realización de Amplificador de Potencia Vectorial ejemplar
	4. Realizaciones e Implementaciones Adicionales Ejemplares
	4.1. Visión de Conjunto
	4.1.1. Control de Potencia de Salida y Eficiencia Energética
	4.1.2. Compensación y / o Corrección de Errores
35	4.1.3. Funcionamiento de Múltiples Bandas y de Múltiples Modos
	4.2. Módulo de Control Digital
	4.3. Núcleo Analógico de VPA

4.3.1. Implementación A de Núcleo Analógico de VPA

4.3.2. Implementación B de Núcleo Analógico de VPA

4.3.3. Implementación C de Núcleo Analógico de VPA

5. Control de Clase de Amplificador en Tiempo Real de Fase de Salida de VPA

5 6. Sumario

7. Conclusiones

1. Introducción

En el presente documento se divulgan procedimientos, aparatos y sistemas para la amplificación de potencia de combinación de vectores.

10 La amplificación de potencia de combinación de vectores es un enfoque para optimizar la linealidad y la eficiencia energética de forma simultánea. En términos generales, y haciendo referencia al diagrama de flujo 502 en la figura 50, en la etapa 504 una señal de entrada de envolvente compleja variable en el tiempo, con una amplitud y una fase variables, se descompone en unas señales de constituyente de envolvente constante. En la etapa 506, las señales de constituyente de envolvente constante se amplifican y, a continuación, se suman en la etapa 508 para generar una versión amplificada de la señal de envolvente compleja de entrada. Debido a que las señales de envolvente sustancialmente constante pueden amplificarse con una preocupación mínima por la distorsión no lineal, el resultado de la suma de las señales de envolvente constante experimenta una distorsión no lineal mínima a la vez que proporciona una eficiencia óptima.

20 Por consiguiente, la amplificación de potencia de combinación de vectores permite que se usen unos amplificadores de potencia no lineales para amplificar de forma eficiente señales complejas a la vez que se mantienen unos niveles de distorsión no lineal mínimos.

Para fines de conveniencia, y no de limitación, a veces se hace referencia en el presente documento a los procedimientos y sistemas de las realizaciones de la presente invención como procedimientos y sistemas de amplificación de potencia vectorial (VPA).

25 En lo que sigue se proporciona una descripción de alto nivel de procedimientos y sistemas de VPA. Para fines de claridad, en lo que sigue se definen, en primer lugar, determinadas expresiones. Las definiciones que se describen en esta sección se proporcionan solo para fines de conveniencia, y no son limitantes. El significado de estas expresiones será evidente para los expertos en la materia o materias en base a la totalidad de las enseñanzas que se proporcionan en el presente documento. Estas expresiones pueden analizarse a través de la totalidad de la memoria descriptiva con detalle adicional.

30 La expresión envolvente de señal, cuando usa en el presente documento, hace referencia a un límite de amplitud dentro del cual una señal está contenida a medida que esta fluctúa en el dominio del tiempo. Las señales moduladas en cuadratura pueden describirse mediante $r(t) = i(t) \cdot \cos(\omega \cdot t) + q(t) \cdot \sin(\omega \cdot t)$ en la que $i(t)$ y $q(t)$ representan unas señales de cuadratura y en fase con la envolvente de señal $e(t)$, que es igual a $e(t) = \sqrt{i(t)^2 + q(t)^2}$ y el ángulo de fase asociado con $r(t)$ está relacionado con $\arctan(q(t) / i(t))$.

La expresión señal de envolvente constante, cuando se usa en el presente documento, hace referencia a unas señales de cuadratura y en fase en las que $e(t) = \sqrt{i(t)^2 + q(t)^2}$, con $e(t)$ teniendo un valor relativo o sustancialmente constante.

40 La expresión señal de envolvente variable en el tiempo, cuando usa en el presente documento, hace referencia a una señal que tiene una envolvente de señal variable en el tiempo. Una señal de envolvente variable en el tiempo puede describirse en términos de las señales de cuadratura y en fase como $e(t) = \sqrt{i(t)^2 + q(t)^2}$, con $e(t)$ teniendo un valor variable en el tiempo.

45 La expresión desplazamiento en fase, cuando se usa en el presente documento, hace referencia a retardar o adelantar la componente de fase de una señal de envolvente constante o variable en el tiempo en relación con una fase de referencia.

1.1) Generación a modo de ejemplo de Señales de Entrada Variable en el Tiempo de Envolvente Compleja

Las figuras 1A y 1B son unos ejemplos que ilustran la generación de señales de entrada complejas de fase y de envolvente variables en el tiempo. En la figura 1A, las señales de portadora de envolvente variable en el tiempo 104

y 106 se introducen en el controlador de fase 110. El controlador de fase 110 manipula las componentes de fase de las señales 104 y 106. Dicho de otra forma, el controlador de fase 110 puede desplazar en fase las señales 104 y 106. Las señales 108 y 112 resultantes, por consiguiente, pueden desplazarse en fase en relación con las señales 104 y 106. En el ejemplo de la figura 1A, el controlador de fase 110 da lugar a una inversión de fase (desplazamiento de fase de 180 grados) en las señales 104 y 106 en el instante de tiempo t_0 , tal como puede verse a partir de las señales 108 y 112. Las señales 108 y 112 representan unas señales de portadora complejas variables en el tiempo. Las señales 108 y 112 tienen tanto unas envolventes como unas componentes de fase variables en el tiempo. Cuando se suman, las señales 108 y 112 dan como resultado la señal 114. La señal 114 también representa una señal compleja variable en el tiempo. La señal 114 puede ser una señal de entrada a modo de ejemplo en las realizaciones de VPA de la presente invención (por ejemplo, una entrada a modo de ejemplo en la etapa 504 de la figura 50).

Las señales complejas variables en el tiempo también pueden generarse tal como se ilustra en la figura 1B. En la figura 1B, las señales 116 y 118 representan unas señales de banda de base. Por ejemplo, las señales 116 y 118 pueden ser unas componentes de banda de base en fase (I) y de cuadratura (Q) de una señal. En el ejemplo de la figura 1B, las señales 116 y 118 experimentan un paso por cero a medida que estas realizan una transición de +1 a -1. Las señales 116 y 118 se multiplican por la señal 120 o la señal 120 desplazada en fase 90 grados. La señal 116 se multiplica por una versión desplazada 0 grados de la señal 120. La señal 118 se multiplica por una versión desplazada 90 grados de la señal 120. Las señales 122 y 124 resultantes representan unas señales de portadora complejas variables en el tiempo. Se hace notar que las señales 122 y 124 tienen unas envolventes que varían de acuerdo con las amplitudes variables en el tiempo de las señales 116 y 118. Además, ambas de las señales 122 y 124 experimentan unas inversiones de fase en los pasos por cero de las señales 116 y 118. Las señales 122 y 124 se suman para dar como resultado la señal 126. La señal 126 representa una señal compleja variable en el tiempo. La señal 126 puede representar una señal de entrada a modo de ejemplo en las realizaciones de VPA de la presente invención. Adicionalmente, las señales 116 y 118 pueden representar unas señales de entrada a modo de ejemplo en las realizaciones de VPA de la presente invención.

1.2) Generación a modo de ejemplo de Señales de Envolvente Compleja Variable en el Tiempo a partir de Señales de Envolvente Constante

La descripción en esta sección se refiere, en general, al funcionamiento de la etapa 508 en la figura 50. La figura 1C ilustra tres ejemplos para la generación de señales complejas variables en el tiempo a partir de la suma de dos o más señales de envolvente sustancialmente constante. Un experto en la materia apreciará, no obstante, en base a las enseñanzas que se proporcionan en el presente documento, que los conceptos que se ilustran en los ejemplos de la figura 1C pueden extenderse de forma similar al caso de más de dos señales de envolvente constante.

En el ejemplo 1 de la figura 1C, las señales de envolvente constante 132 y 134 se introducen en el controlador de fase 130. El controlador de fase 130 manipula las componentes de fase de las señales 132 y 134 para generar las señales 136 y 138, respectivamente. Las señales 136 y 138 representan unas señales de envolvente sustancialmente constante, y se suman para generar la señal 140. La representación fasorial en la figura 1C, asociada con el ejemplo 1, ilustra las señales 136 y 138 como los fasores P_{136} y P_{138} , respectivamente. La señal 140 se ilustra como el fasor P_{140} . En el ejemplo 1, P_{136} y P_{138} se desplazan en fase de forma simétrica un ángulo ϕ_1 en relación con una señal de referencia que se supone que está alineada con el eje real de la representación fasorial. De forma correspondiente, las señales en el dominio del tiempo 136 y 138 se desplazan en fase en unas cantidades iguales pero en sentidos opuestos en relación con la señal de referencia. Por consiguiente, P_{140} , que es la suma de P_{136} y P_{138} , se encuentra en fase con la señal de referencia.

En el ejemplo 2 de la figura 1C, las señales de envolvente sustancialmente constante 132 y 134 se introducen en el controlador de fase 130. El controlador de fase 130 manipula las componentes de fase de las señales 132 y 134 para generar las señales 142 y 144, respectivamente. Las señales 142 y 144 son unas señales de envolvente sustancialmente constante, y se suman para generar la señal 150. La representación fasorial asociada con el ejemplo 2 ilustra las señales 142 y 144 como los fasores P_{142} y P_{144} , respectivamente. La señal 150 se ilustra como el fasor P_{150} . En el ejemplo 2, P_{142} y P_{144} se desplazan en fase de forma simétrica en relación con una señal de referencia. Por consiguiente, de forma similar a P_{140} , P_{150} también se encuentra en fase con la señal de referencia. P_{142} y P_{144} , no obstante, se desplazan en fase un ángulo mediante lo cual $\phi_2 \neq \phi_1$ en relación con la señal de referencia. P_{150} , como resultado, tiene una magnitud diferente de P_{140} del ejemplo 1. En la representación en el dominio del tiempo, se observa que las señales 140 y 150 se encuentran en fase pero tienen diferentes amplitudes una en relación con otra.

En el ejemplo 3 de la figura 1C, las señales de envolvente sustancialmente constante 132 y 134 se introducen en el controlador de fase 130. El controlador de fase 130 manipula las componentes de fase de las señales 132 y 134 para generar las señales 146 y 148, respectivamente. Las señales 146 y 148 son unas señales de envolvente sustancialmente constante, y se suman para generar la señal 160. La representación fasorial asociada con el ejemplo 3 ilustra las señales 146 y 148 como los fasores P_{146} y P_{148} , respectivamente. La señal 160 se ilustra como el fasor P_{160} . En el ejemplo 3, P_{146} se desplaza en fase un ángulo ϕ_3 en relación con la señal de referencia. P_{148} se desplaza en fase un ángulo ϕ_4 en relación con la señal de referencia. ϕ_3 y ϕ_4 pueden o pueden no ser iguales. Por consiguiente, P_{160} , que es la suma de P_{146} y P_{148} , ya no se encuentra por más tiempo en fase con la señal de

referencia. P_{160} se desplaza en fase un ángulo Θ en relación con la señal de referencia. De forma similar, P_{160} se desplaza en fase Θ en relación con P_{140} y P_{150} de los ejemplos 1 y 2. P_{160} también puede variar en cuanto a su amplitud en relación con P_{140} tal como se ilustra en el ejemplo 3.

En resumen, los ejemplos de la figura 1C muestran que una señal de amplitud variable en el tiempo puede obtenerse mediante la suma de dos o más señales de envolvente sustancialmente constante (ejemplo 1). Además, la señal variable en el tiempo puede tener unos cambios de amplitud, pero no cambios de fase, impartidos sobre la misma mediante el desplazamiento por igual en sentidos opuestos de las dos o más señales de envolvente sustancialmente constante (ejemplo 2). Al desplazar por igual en el mismo sentido los dos o más constituyentes de envolvente constante de la señal, pueden impartirse unos cambios de fase, pero no cambios de amplitud, sobre la señal variable en el tiempo. Cualquier señal de fase y de amplitud variable en el tiempo puede generarse usando dos o más señales de envolvente sustancialmente constante (ejemplo 3).

Se hace notar que las señales en los ejemplos de la figura 1C se muestran como unas formas de onda sinusoidales solo para fines de ilustración. Un experto en la materia apreciará, en base a las enseñanzas en el presente documento, que también pueden haberse usado otros tipos de formas de onda. También debería observarse que los ejemplos de la figura 1C se proporcionan en el presente documento solo para fines de ilustración, y pueden o pueden no corresponderse con una realización particular de la presente invención.

1.3) Visión de Conjunto de Amplificación de Potencia Vectorial

En lo que sigue se proporciona una visión de conjunto de alto nivel de la amplificación de potencia vectorial. La figura 1D ilustra la amplificación de potencia de una señal de entrada compleja variable en el tiempo ejemplar 172. Las señales 114 y 126 tal como se ilustra en las figuras 1A y 1B pueden ser ejemplos de la señal 172. Además, la señal 172 puede generarse mediante o estar compuesta por dos o más señales de constituyente tal como 104 y 106 (figura 1A), 108 y 112 (figura 1A), 116 y 118 (figura 1B) y 122 y 124 (figura 1B).

En el ejemplo de la figura 1D, el VPA 170 representa un sistema de VPA ejemplar. El VPA 170 amplifica la señal 172 para generar la señal de salida amplificada 178. La señal de salida 178 se amplifica de forma eficiente con una distorsión mínima.

En el ejemplo de la figura 1D, las señales 172 y 178 representan las señales de tensión $V_{\text{entrada}}(t)$ y $V_{\text{olt}}(t)$, respectivamente. En cualquier instante de tiempo, en el ejemplo de la figura 1D, $V_{\text{in}}(t)$ y $V_{\text{olt}}(t)$ están relacionadas de tal modo que $V_{\text{olt}}(t) = K V_{\text{entrada}}(t + t')$, en la que K es un factor de escala y t' representa un retardo de tiempo que

puede estar presente en el sistema de VPA. Para la implicación de potencia, $\frac{V_{\text{salida}}^2(t)}{Z_{\text{salida}}} > \frac{V_{\text{entrada}}^2(t)}{Z_{\text{entrada}}}$, en la que la señal

de salida 178 es una versión amplificada en potencia de la señal de entrada 172.

La amplificación de potencia lineal (o sustancialmente lineal) de señales complejas variables en el tiempo, tal como se ilustra en la figura 1D, se consigue tal como se muestra en la figura 1E.

La figura 1E es un diagrama de bloques a modo de ejemplo que ilustra de forma conceptual una amplificación de potencia vectorial. En la figura 1E, la señal de entrada 172 representa una señal compleja variable en el tiempo. Por ejemplo, la señal de entrada 172 puede generarse tal como se ilustra en las figuras 1A y 1B. La señal 172 puede ser una señal digital o una analógica. Además, la señal 172 puede ser una banda de base o una señal basada en portadora.

Haciendo referencia a la figura 1E, la señal de entrada 172 o equivalentes de la misma se introducen en el VPA 182. En la figura 1E, el VPA 182 incluye una máquina de estados 184 y la circuitería analógica 186. La máquina de estados 184 puede incluir componentes analógicos y / o digitales. La circuitería analógica 186 incluye componentes analógicos. El VPA 182 procesa la señal de entrada 172 para generar dos o más señales 188 - {1, ..., n}, tal como se ilustra en la figura 1E. Como se describe con respecto a las señales 136, 138, 142, 144 y 146, 148, en la figura 1C, las señales 188 - {1, ..., n} pueden o pueden no desplazarse en fase una en relación con otra a través de diferentes periodos de tiempo. Además, el VPA 182 genera unas señales 188 - {1, ..., n} de tal modo que una suma de las señales 188 - {1, ..., n} da como resultado la señal 194 que puede ser una versión amplificada de la señal 172.

Haciendo de nuevo referencia a la figura 1E, las señales 188 - {1, ..., n} son unas señales de envolvente sustancialmente constante. Por consiguiente, la descripción en el párrafo anterior se corresponde con la etapa 504 en la figura 50.

En el ejemplo de la figura 1E, que se corresponde, en general, con la etapa 506 en la figura 50, cada una de las señales de envolvente constante 188 - {1, ..., n} se amplifica de forma independiente mediante un amplificador de potencia (PA) 190 - {1, ..., n} correspondiente para generar las señales amplificadas 192 - {1, ..., n}. Los PA 190 - {1, ..., n} amplifican sustancialmente por igual las señales de envolvente constante 188 - {1, ..., n} respectivas. Las señales amplificadas 192 - {1, ..., n} son unas señales de envolvente sustancialmente constante, y en la etapa 508

se suman para generar la señal de salida 194. Se hace notar que la señal de salida 194 puede ser una versión amplificada de forma lineal (o de forma sustancialmente lineal) de la señal de entrada 172. La señal de salida 194 también puede ser una versión con conversión elevadora en frecuencia de la señal de entrada 172, tal como se describe en el presente documento.

5 2. Visión de Conjunto Matemática General

2.1) Representación de Señal Fasorial

La figura 1 ilustra una representación fasorial \vec{R} 102 de una señal $r(t)$. Una representación fasorial de una señal es explícitamente representativa de la magnitud de la envolvente de la señal y del desplazamiento de fase de la señal en relación con una señal de referencia. En el presente documento, para fines de conveniencia, y no de limitación, la señal de referencia se define como alineada con el eje real (Re) del espacio ortogonal de la representación fasorial. La divulgación no se limita, no obstante, al presente ejemplo. La información de frecuencia de la señal está implícita en la representación, y está dada por la frecuencia de la señal de referencia. Por ejemplo, haciendo referencia a la figura 1, y suponiendo que el eje real se corresponde con una señal de referencia de $\cos(\omega t)$, el fasor \vec{R} se traduciría en la función $r(t) = R(t) \cos(\omega t + \phi(t))$, en la que \vec{R} es la magnitud de \vec{R} .

Haciendo de nuevo referencia a la figura 1, se hace notar que el fasor \vec{R} puede descomponerse en un fasor de parte real \vec{I} y un fasor de parte imaginaria \vec{Q} . Se dice que \vec{I} y \vec{Q} son las componentes fasoriales de cuadratura y en fase de \vec{R} con respecto a la señal de referencia. Se observa además que las señales que se corresponden con \vec{I} y \vec{Q} están relacionadas con $r(t)$ como $I(t) = R(t) \cdot \cos(\phi(t))$ y $Q(t) = R(t) \cdot \sin(\phi(t))$, respectivamente. En el dominio del tiempo, la señal $r(t)$ también puede escribirse en términos de sus componentes de cuadratura y en fase tal como sigue:

$$r(t) = I(t) \cdot \cos(\omega t) + Q(t) \cdot \sin(\omega t) = R(t) \cdot \cos(\phi(t)) \cdot \cos(\omega t) + R(t) \cdot \sin(\phi(t)) \cdot \sin(\omega t) \quad (1)$$

Obsérvese que, en el ejemplo de la figura 1, $R(t)$ se ilustra en un instante de tiempo particular.

2.2) Señales de Envolvente Compleja Variable en el Tiempo

La figura 2 ilustra una representación fasorial de una señal $r(t)$ en dos instantes diferentes de tiempo t_1 y t_2 . Se hace notar que tanto la magnitud del fasor, que representa la magnitud de la envolvente de la señal, como su desplazamiento de fase relativo, varían del instante t_1 al instante t_2 . En la figura 2, esto se ilustra mediante la magnitud variable de los fasores \vec{R}_1 y \vec{R}_2 y sus ángulos de desplazamiento de fase ϕ_1 y ϕ_2 correspondientes. La señal $r(t)$, por consiguiente, es una señal de envolvente compleja variable en el tiempo.

Se hace notar además, a partir de la figura 2, que las componentes fasoriales real e imaginaria de la señal $r(t)$ también son variables en el tiempo en cuanto a su amplitud. Por consiguiente, sus señales en el dominio del tiempo correspondientes también tienen unas envolventes variables en el tiempo.

Las figuras 3A - 3C ilustran una modulación a modo de ejemplo para generar una señal de envolvente compleja variable en el tiempo. La figura 3A ilustra una vista de una señal $m(t)$. La figura 3B ilustra una vista de una porción de una señal portadora $c(t)$. La figura 3C ilustra una señal $r(t)$ que resulta de la multiplicación de las señales $m(t)$ y $c(t)$.

En el ejemplo de la figura 3A, la señal $m(t)$ es una señal de magnitud variable en el tiempo. Además, $m(t)$ experimenta un paso por cero. La señal portadora $c(t)$, en el ejemplo de la figura 3B, oscila a alguna frecuencia de portadora, típicamente más alta que la de la señal $m(t)$.

A partir de la figura 3C, puede observarse que la señal resultante $r(t)$ tiene una envolvente variable en el tiempo. Además, se observa, a partir de la figura 3C, que $r(t)$ experimenta una inversión en fase en el instante en el que la señal de modulación $m(t)$ pasa por cero. Teniendo tanto la fase como la envolvente no constantes, se dice que $r(t)$ es una señal de envolvente compleja variable en el tiempo.

2.3) Descomposición de Envolvente Constante de Señales de Envolvente Variable en el Tiempo

Cualquier fasor de fase y de amplitud variables en el tiempo puede obtenerse mediante la suma de dos o más fasores de magnitud constante que tienen unos desplazamientos de fase especificados de forma apropiada en relación con un fasor de referencia.

La figura 3D ilustra una vista de una señal de fase y de envolvente variables en el tiempo a modo de ejemplo $S(t)$. Para facilidad de ilustración, se supone que la señal $S(t)$ es una señal sinusoidal que tiene una magnitud de envolvente máxima A . La figura 3D muestra además un ejemplo de cómo la señal $S(t)$ puede obtenerse, en cualquier instante de tiempo, mediante la suma de dos señales de envolvente constante $S_1(t)$ y $S_2(t)$. En general, $S_1(t) = A_1 \sin(\omega t + \phi_1(t))$ y $S_2(t) = A_2 \sin(\omega t + \phi_2(t))$.

Para fines de ilustración, en la figura 3D se proporcionan tres vistas que ilustran cómo mediante el desplazamiento en fase de forma apropiada de las señales $S_1(t)$ y $S_2(t)$ en relación con $S(t)$, las señales $S_1(t)$ y $S_2(t)$ pueden sumarse de tal modo que $S(t) = K(S_1(t) + S_2(t))$ en la que K es una constante. Dicho de otra forma, la señal $S(t)$ puede descomponerse, en cualquier instante de tiempo, en dos o más señales. A partir de la figura 3D, a través del periodo T_1 , tanto $S_1(t)$ como $S_2(t)$ se encuentran en fase en relación con la señal $S(t)$ y, por lo tanto, totalizan la magnitud de envolvente máxima A de la señal $S(t)$. A través del periodo T_3 , no obstante, las señales $S_1(t)$ y $S_2(t)$ se encuentran desfasadas 180 grados una en relación con otra y, por lo tanto, totalizan una magnitud de envolvente mínima de la señal $S(t)$.

El ejemplo de la figura 3D ilustra el caso de las señales sinusoidales. Un experto en la materia, no obstante, entenderá que cualquier envolvente variable en el tiempo, que modula una señal portadora que puede representarse mediante una serie de Fourier o una transformada de Fourier, puede descomponerse, de forma similar, en dos o más señales de envolvente sustancialmente constante. Por lo tanto, mediante el control de la fase de una pluralidad de señales de envolvente sustancialmente constante, puede generarse cualquier señal de envolvente compleja variable en el tiempo.

3. Procedimientos y Sistemas de Amplificación de Potencia Vectorial

Los procedimientos y sistemas de amplificación de potencia vectorial ejemplares pueden basarse en la capacidad de descomponer cualquier señal de envolvente variable en el tiempo en dos o más señales de constituyente de envolvente sustancialmente constante o de recibir o generar tales señales de constituyente, amplificar las señales de constituyente y, a continuación, sumar las señales amplificadas para generar una versión amplificada de la señal de envolvente compleja variable en el tiempo.

En las secciones 3.1 - 3.3, se proporcionan unas realizaciones de amplificación de potencia vectorial (VPA) de la presente invención, incluyendo unas realizaciones de 4 ramas y de 2 ramas. En la descripción, cada realización de VPA se presenta en primer lugar de forma conceptual usando un cálculo matemático de los conceptos subyacentes de la realización. Una realización de un procedimiento de funcionamiento de la realización de VPA se presenta a continuación, seguida por varias realizaciones de nivel de sistema de la realización de VPA.

La sección 3.4 presenta varias realizaciones de módulos de control de acuerdo con las realizaciones de la presente invención. Los módulos de control de acuerdo con las realizaciones de la presente invención pueden usarse para posibilitar determinadas realizaciones de VPA de la presente invención. En algunas realizaciones, los módulos de control son intermediarios entre una fase de entrada de la realización de VPA y una fase de modulación vectorial subsiguiente de la realización de VPA.

La sección 3.5 describe unas realizaciones de fase de salida de VPA de acuerdo con las realizaciones de la presente invención. Las realizaciones de fase de salida están dirigidas a generar la señal de salida de una realización de VPA.

La sección 3.6 está dirigida al control de armónicos de acuerdo con las realizaciones de la presente invención. El control de armónicos puede implementarse en determinadas realizaciones de la presente invención para manipular la potencia real e imaginaria en los armónicos de la realización de VPA, aumentando de este modo la potencia presente en la frecuencia fundamental en la salida.

La sección 3.7 está dirigida al control de potencia de acuerdo con las realizaciones de la presente invención. El control de potencia puede implementarse en determinadas realizaciones de la presente invención con el fin de satisfacer los requisitos de nivel de potencia de las aplicaciones en las que las realizaciones de VPA de la presente invención pueden emplearse.

3.1) Amplificador de Potencia Vectorial de 4 Ramas Cartesiana

De acuerdo con un ejemplo de la presente invención que se denomina, en el presente documento, VPA de 4 Ramas Cartesiana para facilidad de ilustración y no como limitación, una señal de envolvente compleja variable en el tiempo se descompone en 4 señales de constituyente de envolvente sustancialmente constante. Las señales de constituyente se amplifican por igual o sustancialmente por igual de forma individual y, a continuación, se suman para construir una versión amplificada de la señal de envolvente compleja variable en el tiempo original.

Se hace notar que 4 ramas se emplean en el presente ejemplo para fines de ilustración, y no de limitación. El alcance de la divulgación cubre el uso de otros números de ramas, y la implementación de tales variaciones será evidente para los expertos en la materia en base a las enseñanzas que están contenidas en el presente documento.

En un ejemplo, una señal de envolvente compleja variable en el tiempo se descompone en primer lugar en sus componentes vectoriales de cuadratura y en fase. En una representación fasorial, las componentes vectoriales de cuadratura y en fase se corresponden con los fasores de parte real y de parte imaginaria de la señal, respectivamente.

- 5 Como se ha descrito en lo que antecede, las magnitudes de las componentes vectoriales de cuadratura y en fase de una señal varían de forma proporcional a la magnitud de la señal y, por lo tanto, son de envolvente no constante cuando la señal es una señal de envolvente variable en el tiempo. Por consiguiente, el ejemplo de VPA de 4 Ramas descompone adicionalmente cada una de las componentes vectoriales de cuadratura y en fase de la señal en cuatro componentes de envolvente sustancialmente constante, dos para las componentes de señal en fase y dos para las de cuadratura. Este concepto se ilustra en la figura 4 usando una representación de señal fasorial.

En el ejemplo de la figura 4, los fasores \vec{I}_1 e \vec{I}_2 se corresponden con los fasores de parte real de una señal de envolvente compleja variable en el tiempo ejemplar en dos instantes de tiempo t_1 y t_2 , respectivamente. Se observa que los fasores \vec{I}_1 e \vec{I}_2 tienen diferentes magnitudes.

- Haciendo de nuevo referencia a la figura 4, en el instante t_1 , el fasor \vec{I}_1 puede obtenerse mediante la suma de los fasores superior e inferior \vec{I}_{U_1} e \vec{I}_{L_1} . De forma similar, en el instante t_2 , el fasor \vec{I}_2 puede obtenerse mediante la suma de los fasores superior e inferior \vec{I}_{U_2} e \vec{I}_{L_2} . Se hace notar que los fasores \vec{I}_{U_1} e \vec{I}_{U_2} tienen una magnitud igual o sustancialmente igual. De forma similar, los fasores \vec{I}_{L_1} e \vec{I}_{L_2} tienen una magnitud sustancialmente igual. Por consiguiente, el fasor de parte real de la señal de envolvente variable en el tiempo puede obtenerse en cualquier instante de tiempo mediante la suma de por lo menos dos componentes de envolvente sustancialmente constante.

- Los desplazamientos de fase de los fasores \vec{I}_{U_1} e \vec{I}_{L_1} en relación con \vec{I}_1 , así como los desplazamientos de fase de los fasores \vec{I}_{U_2} e \vec{I}_{L_2} en relación con \vec{I}_2 , se ajustan de acuerdo con la magnitud deseada de los fasores \vec{I}_1 e \vec{I}_2 , respectivamente. En un caso, cuando los fasores superior e inferior se seleccionan para que tengan una magnitud igual, los fasores superior e inferior se desplazan de forma simétrica en fase en relación con el fasor. Esto se ilustra en el ejemplo de la figura 4, y se corresponde con \vec{I}_{U_1} , \vec{I}_{L_1} , \vec{I}_{U_2} e \vec{I}_{L_2} y teniendo todos una magnitud igual. En un segundo caso, el desplazamiento de fase de los fasores superior e inferior se desplazan, de forma sustancialmente simétrica, en fase en relación con el fasor. En base a la descripción en el presente documento, cualquier experto en la materia entenderá que la magnitud y el desplazamiento de fase de los fasores superior e inferior no tienen que ser exactamente iguales en cuanto a su valor

- A modo de ejemplo, puede verificarse además que, para el caso que se ilustra en la figura 4, los desplazamientos de fase relativos, que se ilustran como $\frac{\phi_1}{2}$ y $\frac{\phi_2}{2}$ en la figura 4, están relacionados con las magnitudes de los fasores normalizados \vec{I}_1 e \vec{I}_2 tal como sigue:

$$\frac{\phi_1}{2} = \cot^{-1} \left(\frac{I_1}{2\sqrt{1 - \frac{I_1^2}{4}}} \right); \text{ y} \quad (2)$$

$$\frac{\phi_2}{2} = \cot^{-1} \left(\frac{I_2}{2\sqrt{1 - \frac{I_2^2}{4}}} \right), \quad (3)$$

en las que \vec{I}_1 e \vec{I}_2 representan las magnitudes normalizadas de los fasores \vec{I}_1 e \vec{I}_2 , respectivamente, y en las que los dominios de I_1 e I_2 se restringen de forma apropiada de acuerdo con el dominio a través del cual la ecuación (2) y la (3) son válidas. Se hace notar que las ecuaciones (2) y (3) son una representación para relacionar los desplazamientos de fase relativos con las magnitudes normalizadas. Otras soluciones, representaciones equivalentes, y / o representaciones simplificadas de las ecuaciones (2) y (3) también pueden emplearse. También pueden usarse tablas de consulta que relacionan los desplazamientos de fase relativos con las magnitudes normalizadas.

El concepto que se ha descrito en lo que antecede puede aplicarse de forma similar al fasor imaginario o la parte de componente de cuadratura de una señal $r(t)$ tal como se ilustra en la figura 4. Por consiguiente, en cualquier instante de tiempo t , la parte de fasor imaginaria \vec{Q} de la señal $r(t)$ puede obtenerse mediante la suma de las componentes fasoriales superior e inferior \vec{Q}_U y \vec{Q}_L de una magnitud sustancialmente igual y constante. En este ejemplo, \vec{Q}_U y \vec{Q}_L se desplazan de forma simétrica en fase en relación con \vec{Q} un ángulo ajustado de acuerdo con la magnitud de \vec{Q} en el instante t . Las relaciones de \vec{Q}_U y \vec{Q}_L con el fasor deseado \vec{Q} se relacionan tal como se define en las ecuaciones 2 y 3 mediante la sustitución por Q_1 y Q_2 de I_1 e I_2 , respectivamente.

A partir del análisis anterior se deduce que, en una representación fasorial, cualquier fasor \vec{R} de una magnitud y una fase variables puede construirse mediante la suma de cuatro componentes fasoriales de magnitud sustancialmente constante:

$$\begin{aligned} \vec{R} &= \vec{I}_U + \vec{I}_L + \vec{Q}_U + \vec{Q}_L; \\ \vec{I}_U + \vec{I}_L &= \vec{I}; \\ \vec{Q}_U + \vec{Q}_L &= \vec{Q}; \\ I_U &= I_L = \text{constante}; \\ Q_U &= Q_L = \text{constante}; \end{aligned} \quad (4)$$

en los que I_U , I_L , Q_U , y Q_L representan las magnitudes de los fasores \vec{I}_U , \vec{I}_L , \vec{Q}_U y \vec{Q}_L , respectivamente.

De forma correspondiente, en el dominio del tiempo, una señal sinusoidal de envolvente compleja variable en el tiempo $r(t) = R(t) \cos(\omega t + \phi)$ se construye mediante la suma de cuatro señales de envolvente constante tal como sigue:

$$\begin{aligned}
r(t) &= I_U(t) + I_L(t) + Q_U(t) + Q_L(t); \\
I_U(t) &= \text{sgn}(\vec{I}) \times I_U \times \cos\left(\frac{\phi_I}{2}\right) \times \cos(\omega t) + I_U \times \text{sen}\left(\frac{\phi_I}{2}\right) \times \text{sen}(\omega t); \\
I_L(t) &= \text{sgn}(\vec{I}) \times I_L \times \cos\left(\frac{\phi_I}{2}\right) \times \cos(\omega t) - I_L \times \text{sen}\left(\frac{\phi_I}{2}\right) \times \text{sen}(\omega t); \quad (5) \\
Q_U(t) &= -\text{sgn}(\vec{Q}) \times Q_U \times \cos\left(\frac{\phi_Q}{2}\right) \times \text{sen}(\omega t) + Q_U \times \text{sen}\left(\frac{\phi_Q}{2}\right) \times \cos(\omega t); \\
Q_L(t) &= -\text{sgn}(\vec{Q}) \times Q_L \times \cos\left(\frac{\phi_Q}{2}\right) \times \text{sen}(\omega t) - Q_L \times \text{sen}\left(\frac{\phi_Q}{2}\right) \times \cos(\omega t).
\end{aligned}$$

en las que $\text{sgn}(\vec{I}) = \pm 1$ dependiendo de si \vec{I} se encuentra en fase o desfasada 180° grados con el eje real positivo. De forma similar, $\text{sgn}(\vec{Q}) = \pm 1$ dependiendo de si \vec{Q} se encuentra en fase o desfasada 180° grados con el eje imaginario. $\frac{\phi_I}{2}$ se corresponde con el desplazamiento de fase de \vec{I}_U y \vec{I}_L en relación con el eje real. De forma

5 similar, $\frac{\phi_Q}{2}$ se corresponde con el desplazamiento de fase de \vec{Q}_U y \vec{Q}_L en relación con el eje imaginario. $\frac{\phi_I}{2}$ y $\frac{\phi_Q}{2}$ pueden calcularse usando las ecuaciones dadas en (2) y (3).

Las ecuaciones (5) pueden simplificarse adicionalmente como:

$$\begin{aligned}
r(t) &= I_U(t) + I_L(t) + Q_U(t) + Q_L(t); \\
I_U(t) &= \text{sgn}(\vec{I}) \times I_{UX} \times \cos(\omega t) + I_{UY} \times \text{sen}(\omega t); \\
I_L(t) &= \text{sgn}(\vec{I}) \times I_{UX} \times \cos(\omega t) - I_{UY} \times \text{sen}(\omega t); \quad (6) \\
Q_U(t) &= -Q_{UX} \times \cos(\omega t) + \text{sgn}(\vec{Q}) \times Q_{UY} \times \text{sen}(\omega t); \\
Q_L(t) &= Q_{UY} \times \cos(\omega t) - \text{sgn}(\vec{Q}) \times Q_{UY} \times \text{sen}(\omega t).
\end{aligned}$$

en las que $I_{UX} = I_U \times \cos\left(\frac{\phi_I}{2}\right) = I_L \times \cos\left(\frac{\phi_I}{2}\right)$, $I_{UY} = I_U \times \text{sen}\left(\frac{\phi_I}{2}\right) = I_L \times \text{sen}\left(\frac{\phi_I}{2}\right)$,

10 $Q_{UX} = Q_U \times \text{sen}\left(\frac{\phi_Q}{2}\right) = Q_L \times \text{sen}\left(\frac{\phi_Q}{2}\right)$, y $Q_{UY} = Q_U \times \cos\left(\frac{\phi_Q}{2}\right) = Q_L \times \cos\left(\frac{\phi_Q}{2}\right)$.

Puede entenderse por un experto en la materia que, mientras que las representaciones en el dominio del tiempo en las ecuaciones (5) y (6) se han proporcionado para el caso de una forma de onda sinusoidal, representaciones equivalentes pueden desarrollarse para las formas de onda no sinusoidales usando unas funciones base apropiadas. Además, tal como entendería un experto en la materia en base a las enseñanzas en el presente documento, la descomposición bidimensional que se ha descrito en lo que antecede en unas señales de envolvente sustancialmente constante pueden extenderse de forma apropiada para dar una descomposición multidimensional.

La figura 5 es un diagrama de bloques a modo de ejemplo de la VPA de 4 Ramas Cartesiana. Una señal de salida $r(t)$ 578 de un nivel de potencia, y de unas características de frecuencia, deseados se genera a partir de las

componentes de cuadratura y en fase de banda de base de acuerdo con la VPA de 4 Ramas Cartesiana ejemplar.

En el ejemplo de la figura 5, un generador de frecuencias tal como un sintetizador 510 genera una señal de referencia $A \cdot \cos(\omega t)$ 511 que tiene la misma frecuencia que la de la señal de salida $r(t)$ 578. Puede entenderse por un experto en la materia que la elección de la señal de referencia se hace de acuerdo con la señal de salida deseada. Por ejemplo, si la frecuencia deseada de la señal de salida deseada es 2,4 GHz, entonces la frecuencia de la señal de referencia se ajusta para ser 2,4 GHz. De esta forma, puede conseguirse una conversión elevadora en frecuencia.

Haciendo referencia a la figura 5, uno o más divisores de fase se usan para generar las señales 521, 531, 541 y 551 en base a la señal de referencia 511. En el ejemplo de la figura 5, esto se hace usando los divisores de fase 512, 514 y 516 y mediante la aplicación de unos desplazamientos de fase de 0° en cada uno de los divisores de fase. Un experto en la materia apreciará, no obstante, que pueden usarse varias técnicas para generar las señales 521, 531, 541 y 551 de la señal de referencia 511. Por ejemplo, un divisor de fase de 1:4 puede usarse para generar las cuatro réplicas 521, 531, 541 y 551 en una única etapa o en el ejemplo de la figura 5, la señal 511 puede acoplarse directamente a las señales 521, 531, 541, 551. Dependiendo del ejemplo, una diversidad de desplazamientos de fase también pueden aplicarse para dar como resultado las señales deseadas 521, 531, 541 y 551.

Haciendo de nuevo referencia a la figura 5, cada una de las señales 521, 531, 541 y 551 se proporciona a un modulador vectorial 520, 530, 540 y 550 correspondiente, respectivamente. Los moduladores vectoriales 520, 530, 540 y 550, en conjunción con sus señales de entrada apropiadas, generan cuatro constituyentes de envolvente constante de la señal $r(t)$ de acuerdo con las ecuaciones que se proporcionan en (6). En el ejemplo de la figura 5, los moduladores vectoriales 520 y 530 generan las componentes de $I_U(t)$ y de $I_L(t)$, respectivamente, de la señal $r(t)$. De forma similar, los moduladores vectoriales 540 y 550 generan las componentes de $Q_U(t)$ y de $Q_L(t)$, respectivamente, de la señal $r(t)$.

La implementación real de cada uno de los moduladores vectoriales 520, 530, 540 y 550 puede variar. Se entenderá por un experto en la materia, por ejemplo, que existen varias técnicas para generar las constituyentes de envolvente constante de acuerdo con las ecuaciones en (6).

En el ejemplo de la figura 5, cada uno de los moduladores vectoriales 520, 530, 540, 550 incluye un divisor de fase de entrada 522, 532, 542, 552 para desplazar en fase las señales 522, 531, 541, 551. Por consiguiente, los divisores de fase de entrada 522, 532, 542, 552 se usan para generar unas componentes en fase y de cuadratura o sus señales de entrada respectivas.

En cada modulador vectorial 520, 530, 540, 550, las componentes de cuadratura y en fase se multiplican con la información de amplitud. En la figura 5, por ejemplo, el multiplicador 524 multiplica la componente de cuadratura de la señal 521 con la información de amplitud de cuadratura I_{UV} de $I_U(t)$. En paralelo, el multiplicador 526 multiplica la señal de réplica en fase con la información de amplitud en fase $\text{sgn}(I) \times I_{UX}$ de $I_U(t)$.

Para generar las señales de constituyente de envolvente constante de $I_U(t)$ 525 y 527 se suman usando el divisor de fase 528 o técnicas de suma alternativas. La señal resultante 529 se corresponde con la componente de $I_U(t)$ de la señal $r(t)$.

De una forma similar a como se ha descrito en lo que antecede, los moduladores vectoriales 530, 540 y 550, respectivamente, generan las componentes de $I_L(t)$, de $Q_U(t)$ y de $Q_L(t)$ de la señal $r(t)$. $I_L(t)$, $Q_U(t)$ y $Q_L(t)$, respectivamente, se corresponden con las señales 539, 549 y 559 en la figura 5.

Además, tal como se ha descrito en lo que antecede, las señales 529, 539, 549 y 559 se caracterizan por tener unas envolventes sustancialmente iguales y constantes. Por consiguiente, cuando las señales 529, 539, 549 y 559 se introducen en los amplificadores de potencia (PA) 562, 564, 566 y 568 correspondientes, las señales amplificadas 563, 565, 567 y 569 correspondientes son unas señales de envolvente sustancialmente constante.

Los amplificadores de potencia 562, 564, 566 y 568 amplifican cada una de las señales 529, 539, 549, 559, respectivamente. En un ejemplo, una amplificación de potencia sustancialmente igual se aplica a cada una de las señales 529, 539, 549 y 559. En un ejemplo, el nivel de amplificación de potencia de los PA 562, 564, 566 y 568 se ajusta de acuerdo con el nivel de potencia deseado de la señal de salida $r(t)$.

Haciendo de nuevo referencia a la figura 5, las señales amplificadas 563 y 565 se suman usando el sumador 572 para generar una versión amplificada 573 de la componentes en fase $I(t)$ de la señal $r(t)$. De forma similar, las señales amplificadas 567 y 569 se suman usando el sumador 574 para generar una versión amplificada 575 de la componente de cuadratura $Q(t)$ de la señal $r(t)$.

Las señales 573 y 575 se suman usando el sumador 576, tal como se muestra en la figura 5, correspondiéndose la señal resultante con la señal de salida deseada $r(t)$.

Se hace notar que, en el ejemplo de la figura 5, los sumadores 572, 574 y 576 se están usando solo para fines de ilustración. Pueden usarse varias técnicas para sumar las señales amplificadas 563, 565, 567 y 569. Por ejemplo, la totalidad de las señales amplificadas 563, 565, 567 y 569 pueden sumarse en una etapa para dar como resultado la señal 578. De hecho, de acuerdo con varios ejemplos de VPA, es suficiente con que la suma se haga después de la

- 5 amplificacón. Determinados ejemplos de VPA, tal como se describirá adicionalmente en lo que sigue, usan técnicas de suma con unas pérdidas mínimas tal como un acoplamiento directo a través de hilo. Como alternativa, determinados ejemplos de VPA usan técnicas de combinacón de potencia convencionales. En otros ejemplos, tal como se describirá adicionalmente en lo que sigue, los amplificadores de potencia 562, 564, 566 y 568 pueden implementarse como un amplificador de potencia de múltiples entradas y de una única salida.
- 10 El funcionamiento de la VPA de 4 Ramas Cartesiana ejemplar se describirá adicionalmente a continuacón con referencia al diagrama de flujo de proceso de la figura 6. El procedimiento comienza en la etapa 610, que incluye recibir la representacón de banda de base de la señal de salida deseada. Esto comporta recibir las componentes en fase (I) y de cuadratura (Q) de la señal de salida deseada. En otro ejemplo, esto comporta recibir la magnitud y la
- 15 fase de la señal de salida deseada. En el ejemplo de VPA de 4 Ramas Cartesiana, las I y Q son unas componentes de banda de base. En otro ejemplo, las I y Q son unas componentes de RF y se les aplica una conversión reductora a la banda de base.

La etapa 620 incluye recibir una señal de reloj ajustada de acuerdo con una frecuencia de señal de salida deseada de la señal de salida deseada. En el ejemplo de la figura 5, la etapa 620 se consigue mediante la recepci3n de la señal de referencia 511.

- 20 La etapa 630 incluye el procesamiento de la componente de I para generar unas señales primera y segunda que tienen la frecuencia de señal de salida. Las señales primera y segunda tienen unas envolventes de magnitud sustancialmente constante e igual y una suma igual a la componente de I. Las señales primera y segunda se corresponden con las constituyentes de envolvente constante de $I_U(t)$ y de $I_L(t)$ que se han descrito en lo que antecede. En el ejemplo de la figura 5, la etapa 630 se consigue mediante los moduladores vectoriales 520 y 530, en
- 25 conjunci3n con sus señales de entrada apropiadas.

La etapa 640 incluye el procesamiento de la componente de Q para generar unas señales tercera y cuarta que tienen la frecuencia de señal de salida. Las señales tercera y cuarta tienen unas envolventes de magnitud sustancialmente constante e igual y una suma igual a la componente de Q. Las señales tercera y cuarta se corresponden con las constituyentes de envolvente constante de $Q_U(t)$ y de $Q_L(t)$ que se han descrito en lo que antecede. En el ejemplo de la figura 5, la etapa 630 se consigue mediante los moduladores vectoriales 540 y 550, en

- 30 conjunci3n con sus señales de entrada apropiadas.

La etapa 650 incluye amplificar de forma individual cada una de las señales primera, segunda, tercera y cuarta, y sumar las señales amplificadas para generar la señal de salida deseada. En un ejemplo, la amplificacón de las señales primera, segunda, tercera y cuarta es sustancialmente igual y conforme a un nivel de potencia deseado de la señal de salida deseada. En el ejemplo de la figura 5, la etapa 650 se consigue mediante los amplificadores de potencia 562, 564, 566 y 568 que amplifican las señales 529, 539, 549 y 559 respectivas, y mediante los sumadores 572, 574 y 576 que suman las señales amplificadas 563, 565, 567 y 569 para generar la señal de salida 578.

- 35 La figura 7A es un diagrama de bloques que ilustra una realizaci3n ejemplar de un amplificador de potencia vectorial 700 que implementa el diagrama de flujo de proceso 600 de la figura 6. En el ejemplo de la figura 7A, los componentes opcionales se ilustran con unas líneas discontinuas. En otras realizaciones, pueden ser opcionales unos componentes adicionales.

- 40 El amplificador de potencia vectorial 700 incluye una rama en fase (I) 703 y una rama de cuadratura (Q) 705. Cada una de las ramas de I y de Q comprende adem3s una primera rama y una segunda rama.

El amplificador de potencia vectorial 700 incluye una rama en fase (I) 703 y una rama de cuadratura (Q) 705. Cada una de las ramas de I y de Q comprende adem3s una primera rama y una segunda rama.

La señal de informaci3n en fase (I) 702 se recibe mediante un m3dulo de funci3n de transferencia de datos de I 710. En una realizaci3n, la señal de informaci3n de I 702 incluye una señal de banda de base digital. En una realizaci3n, el m3dulo de funci3n de transferencia de datos de I 710 muestrea la señal de informaci3n de I 702 de acuerdo con un reloj de muestreo 706. En otra realizaci3n, la señal de informaci3n de I 702 incluye una señal de banda de base anal3gica, que se convierte a digital usando un convertidor de anal3gico a digital (ADC) (que no se muestra en la figura 7A) antes de introducirse en el m3dulo de funci3n de transferencia de datos de I 710. En otra realizaci3n, la

45 señal de informaci3n de I 702 incluye una señal de banda de base anal3gica que se introduce de forma anal3gica en el m3dulo de funci3n de transferencia de datos de I 710, que tambi3n incluye circuitería anal3gica. En otra realizaci3n, la señal de informaci3n de I 702 incluye una señal de RF a la que se le aplica una conversi3n reductora a la banda de base antes de introducirse en el m3dulo de funci3n de transferencia de datos de I 710 usando cualquiera de las realizaciones que se han descrito en lo que antecede.

- 50 El m3dulo de funci3n de transferencia de datos de I 710 procesa la señal de informaci3n de I 702, y determina la informaci3n de amplitud de cuadratura y en fase de por lo menos dos señales de constituyente de envolvente constante de la señal de informaci3n de I 702. Como se ha descrito en lo que antecede con referencia a la figura 5, la informaci3n de amplitud de modulador vectorial de cuadratura y en fase se corresponde con $\text{sgn}(I) \times I_{UX}$ e I_{UY} ,

- 55 El m3dulo de funci3n de transferencia de datos de I 710 procesa la señal de informaci3n de I 702, y determina la informaci3n de amplitud de cuadratura y en fase de por lo menos dos señales de constituyente de envolvente constante de la señal de informaci3n de I 702. Como se ha descrito en lo que antecede con referencia a la figura 5, la informaci3n de amplitud de modulador vectorial de cuadratura y en fase se corresponde con $\text{sgn}(I) \times I_{UX}$ e I_{UY} ,

respectivamente. El funcionamiento del módulo de función de transferencia de datos de I 710 se describe adicionalmente en lo que sigue en la sección 3.4.

El módulo de función de transferencia de datos de I 710 emite las señales de información 722 y 724 que se usan para controlar las componentes de amplitud de cuadratura y en fase de los moduladores vectoriales 760 y 762. En una realización, las señales 722 y 724 son señales digitales. Por consiguiente, cada una de las señales 722 y 724 se suministra, respectivamente, a un convertidor de digital a analógico (DAC) 730 y 732 correspondiente. La resolución y la tasa de muestreo de los DAC 730 y 732 se selecciona para conseguir la componente de I deseada de la señal de salida 782. Los DAC 730 y 732 se controlan por las señales de reloj de DAC 723 y 725, respectivamente. Las señales de reloj de DAC 723 y 725 pueden calcularse a partir de una misma señal de reloj o pueden ser independientes.

En otra realización, las señales 722 y 724 son unas señales analógicas, y los DAC 730 y 732 no se requieren.

En la realización ejemplar de la figura 7A, los DAC 730 y 732 convierten las señales de información digital 722 y 724 en las señales analógicas correspondientes, e introducen estas señales analógicas en los filtros de interpolación opcionales 731 y 733, respectivamente. Los filtros de interpolación 731 y 733, que también sirven como filtros antialias, conforman las salidas de los DAC para producir la forma de onda de salida deseada. Los filtros de interpolación 731 y 733 generan las señales 740 y 742, respectivamente. La señal 741 representa la inversa de la señal 740. Las señales 740 - 742 se introducen en los moduladores vectoriales 760 y 762.

Los moduladores vectoriales 760 y 762 multiplican las señales 740 - 742 con unas señales de reloj desplazadas en fase de la forma apropiada para generar unas constituyentes de envolvente constante de la señal de información de I 702. Las señales de reloj se calculan a partir de una señal de reloj de canal 708 que tiene una tasa de acuerdo con una frecuencia de señal de salida deseada. Una pluralidad de divisores de fase, tal como 750 y 752, por ejemplo, y los fasores asociados con los multiplicadores de modulador vectorial, pueden usarse para generar las señales de reloj desplazadas en fase de la forma apropiada.

En la realización de la figura 7A, por ejemplo, el modulador vectorial 760 modula una señal de reloj de canal desplazada 90° con la señal de información de amplitud de cuadratura 740. En paralelo, el modulador vectorial 760 modula una señal de reloj de canal en fase con la señal de información de amplitud en fase 742. El modulador vectorial 760 combina las dos señales moduladas para generar una primera constituyente de envolvente constante modulada 761 de la señal de información de I 702. De forma similar, el modulador vectorial 762 genera una segunda constituyente de envolvente constante modulada 763 de la señal de información de I 702, usando las señales 741 y 742. Las señales 761 y 763 se corresponden, respectivamente, con las componentes de envolvente constante de $I_U(t)$ y de $I_L(t)$ que se describen con referencia a la figura 5.

En paralelo y de una forma similar, la rama de Q del amplificador de potencia vectorial 700 genera por lo menos dos señales de constituyente de envolvente constante de la señal de información de cuadratura (Q) 704.

En la realización de la figura 7A, por ejemplo, el modulador vectorial 764 genera una primera constituyente de envolvente constante 765 de la señal de información de Q 704, usando las señales 744 y 746. De forma similar, el modulador vectorial 766 genera una segunda constituyente de envolvente constante 767 de la señal de información de Q 704, usando las señales 745 y 746.

Como se ha descrito en lo que antecede con respecto a la figura 5, las señales de constituyente 761, 763, 765 y 767 tienen unas envolventes sustancialmente iguales y constantes. En la realización ejemplar de la figura 7A, las señales 761, 763, 765 y 767 se introducen, respectivamente, en los amplificadores de potencia (PA) 770, 772, 774 y 776 correspondientes. Los PA 770, 772, 774 y 776 pueden ser unos amplificadores de potencia lineales o no lineales. En una realización, los PA 770, 772, 774 y 776 incluyen unos amplificadores de potencia con conmutación.

La circuitería 714 y 716 (a la que se hace referencia en el presente documento como "circuitería de autopolarización" para facilidad de referencia, y no como limitación) y en la presente realización, controlan la polarización de los PA 770, 772, 774 y 776 de acuerdo con las señales de información de I y de Q 702 y 704. En la realización de la figura 7A, la circuitería de autopolarización 714 y 716 proporcionan, respectivamente, las señales de polarización 715 y 717 a los PA 770, 772 y los PA 774, 776. Las circuiterías de autopolarización 714 y 716 se describen adicionalmente en lo que sigue en la sección 3.5. Las realizaciones de los PA 770, 772, 774 y 776 también se analizan en lo que sigue en la sección 3.5.

En una realización, los PA 770, 772, 774 y 776 aplican una amplificación de potencia sustancialmente igual a las señales de envolvente sustancialmente constante 761, 763, 765 y 767 respectivas. En otras realizaciones, los circuitos de excitación de PA se emplean adicionalmente para proporcionar una amplificación de potencia adicional. En la realización de la figura 7A, los circuitos de excitación de PA 794, 795, 796 y 797 se añaden de forma opcional entre los moduladores vectoriales respectivos 760, 762, 764 y 766 y los PA 770, 772, 774 y 776 respectivos, en cada rama del amplificador de potencia vectorial 700.

Las salidas de los PA 770, 772, 774 y 776 se acoplan entre sí para generar la señal de salida 782 del amplificador de potencia vectorial 700. En una realización, las salidas de los PA 770, 772, 774 y 776 se acoplan directamente

entre sí usando un hilo. El acoplamiento directo de esta forma quiere decir que no hay aislamiento resistivo, inductivo o capacitivo alguno, o hay uno mínimo, entre las salidas de los PA 770, 772, 774 y 776. Dicho de otra forma, las salidas de los PA 770, 772, 774 y 776 se acoplan entre sí sin componentes intermedios. Como alternativa, en una realización, las salidas de los PA 770, 772, 774 y 776 se acoplan entre sí indirectamente a través de unas inductancias y / o capacidades que dan como resultado unas conexiones de impedancia baja o mínima, y / o unas conexiones que dan como resultado un aislamiento mínimo y una pérdida de potencia mínima. Como alternativa, las salidas de los PA 770, 772, 774 y 776 se acoplan usando unas técnicas de combinación bien conocidas, tal como circuitos de Wilkinson, circuitos híbridos, transformadores, o los circuitos combinadores activos conocidos. En una realización, los PA 770, 772, 774 y 776 proporcionan una combinación de potencia y de amplificación integradas en una única operación. En una realización, uno o más de los amplificadores de potencia y / o los circuitos de excitación que se describen en el presente documento se implementan usando unas técnicas de amplificación de potencia de múltiples entradas y de una única salida, ejemplos de las cuales se muestran en las figuras 7B y 51A - H.

La señal de salida 782 incluye las características de I y de Q de las señales de información de I y de Q 702 y 704. Además, la señal de salida 782 es de la misma frecuencia que la de sus constituyentes y, por lo tanto, es de la frecuencia de salida con conversión elevadora. En las realizaciones del amplificador de potencia vectorial 700, una impedancia de polarización 780 se acopla entre la salida del amplificador vectorial 700 y un suministro de potencia. Las realizaciones de fase de salida de acuerdo con los procedimientos y sistemas de amplificación de potencia que se divulgan en el presente documento se describirán adicionalmente en lo que sigue en la sección 3.5.

En otras realizaciones del amplificador de potencia vectorial 700, unos detectores de proceso se emplean para compensar cualquier variación de proceso en la circuitería del amplificador. En la realización de la figura 7A, por ejemplo, los detectores de proceso 791 - 793 se añaden de forma opcional para supervisar las variaciones en los circuitos de excitación de PA 794 - 797 y el divisor de fase 750. En unas realizaciones adicionales, la circuitería de compensación de frecuencia 799 puede emplearse para compensar las variaciones de frecuencia.

La figura 7B es un diagrama de bloques que ilustra otra realización ejemplar del amplificador de potencia vectorial 700. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales.

La realización ilustra una implementación de múltiples entradas y de una única salida (MISO) del amplificador de la figura 7A. En la realización de la figura 7B, las señales de envolvente constante 761, 763, 765 y 767, que se emiten a partir de los moduladores vectoriales 760, 762, 764 y 766, se introducen en los PA de MISO 784 y 786. Los PA de MISO 784 y 786 son unos amplificadores de potencia de dos entradas y de una única salida. En una realización, los PA de MISO 784 y 786 incluyen los elementos 770, 772, 774, 776, 794 - 797 tal como se muestra en la realización de la figura 7A o una equivalencia funcional de los mismos. En otra realización, los PA de MISO 784 y 786 pueden incluir otros elementos, tal como unos circuitos de pre-excitación opcionales y una circuitería de detección de proceso opcional. Además, los PA de MISO 784 y 786 no se limitan a ser unos PA de dos entradas tal como se muestra en la figura 7B. En otras realizaciones, tal como se describirá adicionalmente en lo que sigue con referencia a las figuras 51A - H, los PA 784 y 786 pueden tener cualquier número de entradas y salidas.

La figura 8A es un diagrama de bloques que ilustra otra realización ejemplar 800A de un amplificador de potencia vectorial de acuerdo con el procedimiento de VPA de 4 Ramas Cartesiana que se muestra en la figura 6. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales.

En la realización de la figura 8A, un DAC 830 de una resolución y una tasa de muestreo suficientes sustituye los DAC 730, 732, 734 y 736 de la realización de la figura 7A. La tasa de muestreo del DAC 830 se controla por una señal de reloj de DAC 826.

El DAC 830 recibe unas señales de información de cuadratura y en fase 810 y 820 a partir del módulo de función de transferencia de datos de I 710 y el módulo de función de transferencia de datos de Q 712, respectivamente, tal como se ha descrito en lo que antecede. En una realización, un selector de entrada 822 selecciona el orden de las señales 810 y 820 que se introducen en DAC 830.

El DAC 830 puede emitirse una única señal analógica por cada vez. En una realización, una arquitectura de muestreo y retención puede usarse para garantizar un sincronismo de señal apropiado para las cuatro ramas del amplificador, tal como se muestra en la figura 8A.

El DAC 830 emite de forma secuencial las señales analógicas 832, 834, 836, 838 a un primer conjunto de circuitos de muestreo y retención 842, 844, 846 y 848. En una realización, el DAC 830 se temporiza a una tasa suficiente para emular el funcionamiento de los DAC 730, 732, 734 y 736 de la realización de la figura 7A. Un selector de salida 824 determina cual de las señales de salida 832, 834, 836 y 838 debería seleccionarse para la salida.

La señal de reloj de DAC 826 del DAC 830, la señal de selector de salida 824, el selector de entrada 822 y los relojes de muestreo y retención 840A - D y 850 se controlan por un módulo de control que puede ser independiente o estar integrado en los módulos de función de transferencia 710 y / o 712.

En una realización, los circuitos de muestreo y retención (S / H) 842, 844, 846 y 848 muestrean y retienen los valores analógicos recibidos a partir del DAC 830 de acuerdo con una señal de reloj 840A - D. Los circuitos de muestreo y retención 852, 854, 856 y 858 muestrean y retienen los valores analógicos a partir de los circuitos de muestreo y retención 842, 844, 846 y 848 respectivamente. A su vez, los circuitos de muestreo y retención 852, 854, 856 y 858 retienen los valores analógicos recibidos, y liberan de forma simultánea los valores para los moduladores vectoriales 760, 762, 764 y 766 de acuerdo con una señal de reloj común 850. En otra realización, los circuitos de muestreo y retención 852, 854, 856 y 858 liberan los valores para los filtros de interpolación opcionales 731, 733, 735 y 737 que también son filtros antisolape. En una realización, una señal de reloj común 850 se usa con el fin de garantizar que las salidas de S / H 852, 854, 856 y 858 estén alineadas en el tiempo.

Otros aspectos del amplificador de potencia vectorial 800A se corresponden de forma sustancial con aquellos que se han descrito en lo que antecede con respecto al amplificador de potencia vectorial 700.

La figura 8B es un diagrama de bloques que ilustra otra realización ejemplar 800B de un amplificador de potencia vectorial de acuerdo con el procedimiento de VPA de 4 Ramas Cartesiana que se muestra en la figura 6. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales.

La realización 800B ilustra otra implementación de DAC único del amplificador de potencia vectorial. No obstante, en contraste con la realización de la figura 8A, la arquitectura de muestreo y retención incluye un único conjunto de circuitos de muestreo y retención (S / H). Como se muestra en la figura 8B, los S / H 842, 844, 846 y 848 reciben unos valores analógicos a partir del DAC 830, que se ilustra como las señales 832, 834, 836 y 838. Cada uno de los circuitos de S / H 842, 844, 846 y 848 liberan su valor recibido de acuerdo con un reloj diferente 840A - D, tal como se muestra. La diferencia de tiempo entre las muestras analógicas que se usan para generar las señales 740, 741, 742, 744, 745 y 746 puede compensarse en las funciones de transferencia 710 y 712. De acuerdo con la realización de la figura 8B, un nivel de circuitería de S / H puede eliminarse en relación con la realización de la figura 8A, reduciendo de ese modo el tamaño y la complejidad del amplificador.

Otros aspectos del amplificador de potencia vectorial 800B se corresponden de forma sustancial con aquellos que se han descrito en lo que antecede con respecto a los amplificadores de potencia vectorial 700 y 800A.

La figura 8C es un diagrama de bloques que ilustra otra realización ejemplar 800C del amplificador de potencia vectorial 700. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales. La realización de la figura 8C ilustra una implementación de múltiples entradas y de una única salida (MISO) del amplificador de la figura 8A. En la realización de la figura 8C, las señales de envolvente constante 761, 763, 765 y 767, que se emiten a partir de los moduladores vectoriales 760, 762, 764 y 766, se introducen en los PA de MISO 860 y 862. Los PA de MISO 860 y 862 son unos amplificadores de potencia de dos entradas y de una única salida. En una realización, los PA de MISO 860 y 862 incluyen los elementos 770, 772, 774, 776, 794 - 797 tal como se muestra en la realización de la figura 7A o una equivalencia funcional de los mismos. En otra realización, los PA de MISO 860 y 862 pueden incluir otros elementos, tal como unos circuitos de pre-excitación opcionales y una circuitería de detección de proceso opcional. En otra realización, los PA de MISO 860 y 862 pueden incluir otros elementos, tal como circuitos de pre-excitación, que no se muestran en la realización de la figura 7A. Además, los PA de MISO 860 y 862 no se limitan a ser unos PA de dos entradas tal como se muestra en la figura 8C. En otras realizaciones, tal como se describirá adicionalmente en lo que sigue con referencia a las figuras 51A - H, los PA 860 y 862 pueden tener cualquier número de entradas y salidas.

Otros aspectos del amplificador de potencia vectorial 800C se corresponden de forma sustancial con aquellos que se han descrito en lo que antecede con respecto a los amplificadores de potencia vectorial 700 y 800A.

La figura 8D es un diagrama de bloques que ilustra otra realización ejemplar 800D del amplificador de potencia vectorial 700. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales. La realización de la figura 8D ilustra una implementación de múltiples entradas y de una única salida (MISO) del amplificador de la figura 8B. En la realización de la figura 8D, las señales de envolvente constante 761, 763, 765 y 767, que se emiten a partir de los moduladores vectoriales 760, 762, 764 y 766, se introducen en los PA de MISO 870 y 872. Los PA de MISO 870 y 872 son unos amplificadores de potencia de dos entradas y de una única salida. En una realización, los PA de MISO 870 y 872 incluyen los elementos 770, 772, 774, 776, 794 - 797 tal como se muestra en la realización de la figura 7A o una equivalencia funcional de los mismos. En otra realización, los PA de MISO 870 y 872 pueden incluir otros elementos, tal como unos circuitos de pre-excitación opcionales y una circuitería de detección de proceso opcional. En otra realización, los PA de MISO 870 y 872 pueden incluir otros elementos, tal como circuitos de pre-excitación, que no se muestran en la realización de la figura 7A. Además, los PA de MISO 870 y 872 no se limitan a ser unos PA de dos entradas tal como se muestra en la figura 8D. En otras realizaciones, tal como se describirá adicionalmente en lo que sigue con referencia a las figuras 51A - H, los PA 870 y 872 pueden tener cualquier número de entradas y salidas.

Otros aspectos del amplificador de potencia vectorial 800D se corresponden de forma sustancial con aquellos que se han descrito en lo que antecede con respecto a los amplificadores de potencia vectorial 700 y 800B.

3.2) Amplificador de Potencia Vectorial de 2 Ramas Cartesiana - Polar - Cartesiana - Polar

Una VPA de 2 Ramas Cartesiana - Polar - Cartesiana - Polar (CPCP) ejemplar se describirá a continuación.

- 5 De acuerdo con el procedimiento de VPA de 2 Ramas Cartesiana - Polar - Cartesiana - Polar (CPCP), una señal de envolvente compleja variable en el tiempo se descompone en 2 señales de constituyente de envolvente sustancialmente constante. Las señales de constituyente se amplifican de forma individual y, a continuación, se suman para construir una versión amplificada de la señal de envolvente compleja variable en el tiempo original. Además, el ángulo de fase de la señal de envolvente compleja variable en el tiempo se determina y la suma resultante de las señales de constituyente se desplaza en fase el ángulo apropiado.

10 En un ejemplo del procedimiento de VPA de 2 Ramas CPCP, una magnitud y un ángulo de fase de una señal de envolvente compleja variable en el tiempo se calculan a partir de las componentes de cuadratura y en fase de una señal. Dada la información de magnitud, dos constituyentes de envolvente sustancialmente constante se calculan a partir de una versión normalizada de la señal de envolvente variable en el tiempo deseada, en la que la normalización incluye una manipulación específica de la implementación de fase y/o amplitud. Las dos constituyentes de envolvente sustancialmente constante se desplazan en fase a continuación un ángulo apropiado en relación con el desplazamiento de fase de la señal de envolvente variable en el tiempo deseada. Las constituyentes de envolvente sustancialmente constante se amplifican a continuación de forma individual sustancialmente por igual, y se suman para generar una versión amplificada de la señal de envolvente variable en el tiempo deseada original.

Las figuras 9A y 9B ilustran de forma conceptual la VPA de 2 Ramas CPCP ejemplar usando una representación de señal fasorial. En la figura 9A, el fasor \vec{R}_{entrada} representa una señal de entrada de envolvente compleja variable en el tiempo $r(t)$. En cualquier instante de tiempo, \vec{R}_{entrada} refleja una magnitud y un ángulo de desplazamiento de fase de la señal $r(t)$. En el ejemplo que se muestra en la figura 9A, \vec{R}_{entrada} se caracteriza por una magnitud R y un ángulo de desplazamiento de fase θ . Como se ha descrito en lo que antecede, el ángulo de desplazamiento de fase se mide en relación con una señal de referencia.

Haciendo referencia a la figura 9A, \vec{R} representa la componente de amplitud relativo de \vec{R}_{entrada} que se genera mediante \vec{U}' y \vec{L}' .

Haciendo de nuevo referencia a la figura 9A, se observa que, en cualquier instante de tiempo, \vec{R} puede obtenerse mediante la suma de un fasor superior \vec{U} y un fasor inferior \vec{L} . Además, \vec{U} y \vec{L} pueden mantenerse para que tengan una magnitud sustancialmente constante. Los fasores \vec{U} y \vec{L} , por consiguiente, representan dos señales de envolvente sustancialmente constante. De este modo puede obtenerse $r'(t)$, en cualquier instante de tiempo, mediante la suma de dos señales de envolvente sustancialmente constante que se corresponden con los fasores \vec{U} y \vec{L} .

35 Los desplazamientos de fase de los fasores \vec{U} y \vec{L} en relación con \vec{R} se ajustan de acuerdo con la magnitud deseada R de \vec{R} . En el caso más simple, cuando los fasores superior e inferior \vec{U} y \vec{L} se seleccionan para que tengan una magnitud igual, los fasores superior e inferior \vec{U} y \vec{L} se desplazan, de forma sustancialmente simétrica, en fase en relación con \vec{R} . Esto se ilustra en el ejemplo de la figura 9A. Se observa que las expresiones y las frases que indican o que sugieren una orientación, tal como pero sin limitarse a "superior e inferior" se usan en el presente documento para facilidad de referencia y no son funcional o estructuralmente limitantes.

Puede verificarse que, para el caso que se ilustra en la figura 9A, el desplazamiento de fase de \vec{U} y \vec{L} en relación con \vec{R} que se ilustra como el ángulo $\frac{\phi}{2}$ en la figura 9A, está relacionado con la magnitud de \vec{R} tal como sigue:

$$\frac{\phi}{2} = \cot^{-1} \left(\frac{R}{2\sqrt{1 - \frac{R^2}{4}}} \right) \quad (7)$$

en la que R representa una magnitud normalizada del fasor \vec{R} .

La ecuación (7) puede reducirse adicionalmente a

$$\frac{\phi}{2} = \cos^{-1} \left(\frac{R}{2} \right) \quad (7.10)$$

- 5 en la que R representa una magnitud normalizada de los fasores \vec{R} .

Como alternativa, puede usarse cualquier ecuación matemática sustancialmente equivalente, u otras técnicas matemáticas sustancialmente equivalentes tal como tablas de consulta.

A partir del análisis anterior se deduce que, en una representación fasorial, cualquier fasor \vec{R} de una magnitud y una fase variables puede construirse mediante la suma de dos componentes fasoriales de magnitud constante:

$$\begin{aligned} \vec{R} &= \vec{U} + \vec{L} \\ |\vec{U}| = |\vec{L}| &= A = \text{constante} \end{aligned} \quad (8)$$

- 10 De forma correspondiente, en el dominio del tiempo, una señal sinusoidal de envolvente variable en el tiempo $r'(t) = R(t) \times \cos(\omega t)$ se construye mediante la suma de dos señales de envolvente constante tal como sigue:

$$\begin{aligned} r'(t) &= U'(t) + L'(t); \\ U'(t) &= A \times \cos\left(\omega t + \frac{\phi}{2}\right); \\ L'(t) &= A \times \cos\left(\omega t - \frac{\phi}{2}\right); \end{aligned} \quad (9)$$

en las que A es una constante y $\frac{\phi}{2}$ es tal como se muestra en la ecuación (7).

- 15 A partir de la figura 9A, puede verificarse además que las ecuaciones (9) pueden volver a escribirse como:

$$\begin{aligned} r'(t) &= U'(t) + L'(t); \\ U'(t) &= C \cos(\omega t) + \alpha \sin(\omega t); \\ L'(t) &= C \cos(\omega t) - \beta \sin(\omega t); \end{aligned} \quad (10)$$

en las que C indica la componente de parte real de los fasores \vec{U} y \vec{L} y es igual a $A \times \cos\left(\frac{\phi}{2}\right)$. Se hace notar que

C es una componente común de \vec{U} y \vec{L} . α y β indican los componentes de parte imaginaria de los fasores \vec{U} y \vec{L} .

respectivamente. $\alpha = \beta = A \times \sin\left(\frac{\phi}{2}\right)$. Por consiguiente, a partir de las ecuaciones (12), $r'(t) = 2C \times \cos(\omega t) = 2A \times$

$\cos\left(\frac{\phi}{2}\right) \times \cos(\omega t)$. Como entendería un experto en la materia en base a las enseñanzas en el presente documento, también pueden usarse otras representaciones equivalentes y / o simplificadas de las representaciones anteriores de las cantidades A, B y C, incluyendo tablas de consulta, por ejemplo.

- 5 Se hace notar que $\vec{R}_{entrada}$ se desplaza θ grados en relación con \vec{R}' . Por consiguiente, usando las ecuaciones (8), puede deducirse que:

$$\vec{R}_{entrada} = \vec{R}' e^{j\theta} = (\vec{U}' + \vec{L}') e^{j\theta} = \vec{U}' e^{j\theta} + \vec{L}' e^{j\theta} \quad (11)$$

- Las ecuaciones (11) implican que una representación de $\vec{R}_{entrada}$ puede obtenerse mediante la suma de los fasores \vec{U}' y \vec{L}' , que se han descrito en lo que antecede, desplazados θ grados. Además, puede obtenerse una versión de salida amplificada, \vec{R}_{salida} , de $\vec{R}_{entrada}$ mediante la amplificación por separado sustancialmente por igual de cada una de las versiones desplazadas θ grados de los fasores \vec{U} y \vec{L} , y mediante la suma de las mismas. La figura 9B ilustra este concepto. En la figura 9B, los fasores \vec{U} y \vec{L} representan unas versiones desplazadas θ grados y amplificadas de los fasores \vec{U}' y \vec{L}' . Se hace notar que, debido a que \vec{U} y \vec{L} son unos fasores de magnitud constante, y \vec{L} también son unos fasores de magnitud constante. Los fasores \vec{U} y \vec{L} totalizan, tal como se muestra la figura 9B, el fador \vec{R}_{salida} que es una versión amplificada en potencia de la señal de entrada $\vec{R}_{entrada}$.

De forma equivalente, en el dominio del tiempo, puede demostrarse que:

$$\begin{aligned} r_{salida}(t) &= U(t) + L(t); \\ U(t) &= K[C \cos(\omega t + \theta) + \alpha \sin(\omega t + \theta)]; \\ L(t) &= K[C \cos(\omega t + \theta) - \beta \sin(\omega t + \theta)]. \end{aligned} \quad (12)$$

- en las que $r_{salida}(t)$ se corresponde con la señal en el dominio del tiempo que se representa mediante el fador \vec{R}_{salida} , $U(t)$ y $L(t)$ se corresponden con las señales en el dominio del tiempo que se representan mediante los fasores \vec{U} y \vec{L} , y K es el factor de amplificación de potencia.

Un experto en la materia apreciará que, mientras que las representaciones en el dominio del tiempo en las ecuaciones (9) y (10) se han proporcionado para el caso de una forma de onda sinusoidal, representaciones equivalentes pueden desarrollarse para las formas de onda no sinusoidales usando unas funciones base apropiadas.

- 25 La figura 10 es un diagrama de bloques que ilustra de forma conceptual un ejemplo 1000 de la VPA de 2 Ramas CPCP. Una señal de salida $r(t)$ de un nivel de potencia, y de unas características de frecuencia, deseados se genera a partir de las componentes de cuadratura y en fase de acuerdo con la VPA de 2 Ramas CPCP ejemplar.

En el ejemplo de la figura 10, una señal de reloj 1010 representa una señal de referencia para generar la señal de salida $r(t)$. La señal de reloj 1010 es de la misma frecuencia que la de la señal de salida deseada $r(t)$.

- 30 Haciendo referencia a la figura 10, una señal de Ifase_reloj 1012 y una señal de Qfase_reloj 1014 representan unos valores analógicos en amplitud que se multiplican por las componentes de cuadratura y en fase de la señal de Reloj 1010 y se calculan a partir de las señales I y Q de banda de base.

- Haciendo de nuevo referencia a la figura 10, la señal de reloj 1010 se multiplica con la señal de Ifase_reloj 1012. En paralelo, una versión desplazada 90 grados de la señal de reloj 1010 se multiplica con la señal de Qfase_reloj 1014. Las dos señales multiplicadas se combinan para generar la señal de R_{reloj} 1016. La señal de R_{reloj} 1016 es de la misma frecuencia que la señal de reloj 1010. Además, la señal de R_{reloj} 1016 se caracteriza por un ángulo de desplazamiento de fase de acuerdo con la relación de Q(t) e I(t). La magnitud de la señal de R_{reloj} 1016 es tal que

$R_{\text{reloj}}^2 = I_{\text{fase_reloj}}^2 + Q_{\text{fase_reloj}}^2$. Por consiguiente, la señal de R_{reloj} 1016 representa una señal de envolvente sustancialmente constante que tiene las características de fase de la señal de salida deseada $r(t)$.

Haciendo de nuevo referencia a la figura 10, la señal de R_{reloj} 1016 se introduce, en paralelo, en dos moduladores vectoriales 1060 y 1062. Los moduladores vectoriales 1060 y 1062 generan las constituyentes de envolvente sustancialmente constante de $U(t)$ y de $L(t)$, respectivamente, de la señal de salida deseada $r(t)$ tal como se describe en (12). En el modulador vectorial 1060, una señal de R_{reloj} en fase 1020, que se multiplica con la señal Común 1028, se combina con una versión desplazada 90 grados 1018 de la señal de R_{reloj} , que se multiplica con la primera señal 1026. En paralelo, en el modulador vectorial 1062, una señal de R_{reloj} en fase 1022, que se multiplica con la señal Común 1028, se combina con una versión desplazada 90 grados 1024 de la señal de R_{reloj} , que se multiplica con la segunda señal 1030. La señal Común 1028, la primera señal 1026 y la segunda señal 1030 se corresponden, respectivamente, con la parte real C y las partes imaginarias α y β que se describen en la ecuación (12).

Las señales de salida 1040 y 1042 de los moduladores vectoriales respectivos 1060 y 1062 se corresponden, respectivamente, con las constituyentes de envolvente constante de $U(t)$ y de $L(t)$ de la señal de entrada $r(t)$.

Como se ha descrito en lo que antecede, las señales 1040 y 1042 se caracterizan por tener unas envolventes sustancialmente iguales y constantes. Por consiguiente, cuando las señales 1040 y 1042 se introducen en los amplificadores de potencia (PA) 1044 y 1046 correspondientes, las señales amplificadas 1048 y 1050 correspondientes son unas señales de envolvente sustancialmente constante.

Los amplificadores de potencia 1044 y 1046 aplican una amplificación de potencia sustancialmente igual a las señales 1040 y 1042, respectivamente. En un ejemplo, el nivel de amplificación de potencia de los PA 1044 y 1046 se ajusta de acuerdo con el nivel de potencia deseado de la señal de salida $r(t)$. Además, las señales amplificadas 1048 y 1050 se encuentran en fase una en relación con otra. Por consiguiente, cuando se suman entre sí, tal como se muestra en la figura 10, la señal 1052 resultante se corresponde con la señal de salida deseada $r(t)$.

La figura 10A es otro ejemplo 1000A de la VPA de 2 Ramas CPCP. El ejemplo 1000A representa una implementación de Múltiples Entradas y de una Única Salida (MISO) del ejemplo 1000 de la figura 10.

En el ejemplo 1000A, las señales de envolvente constante 1040 y 1042, que se emiten a partir de los moduladores vectoriales 1060 y 1062, se introducen en el PA de MISO 1054. El PA de MISO 1054 es un amplificador de potencia de dos entradas y de una única salida. En un ejemplo, el PA de MISO 1054 puede incluir varios elementos, tal como circuitos de pre-excitación, circuitos de excitación, amplificadores de potencia y detectores de proceso (que no se muestran en la figura 10A), por ejemplo. Además, el PA de MISO 1054 no se limita a ser un PA de dos entradas tal como se muestra en la figura 10A. En otros ejemplos, tal como se describirá adicionalmente en lo que sigue con referencia a las figuras 51A - H, el PA 1054 puede tener cualquier número de entradas.

El funcionamiento de la VPA de 2 Ramas CPCP ejemplar se representa en el diagrama de flujo de proceso 1100 de la figura 11.

El procedimiento comienza en la etapa 1110, que incluye recibir una representación de banda de base de la señal de salida deseada. En un ejemplo, esto comporta recibir las componentes en fase (I) y de cuadratura (Q) de la señal de salida deseada. En otro ejemplo, esto comporta recibir la magnitud y la fase de la señal de salida deseada.

La etapa 1120 incluye recibir una señal de reloj ajustada de acuerdo con una frecuencia de señal de salida deseada de la señal de salida deseada. En el ejemplo de la figura 10, la etapa 1120 se consigue mediante la recepción de la señal de reloj 1010.

La etapa 1130 incluye el procesamiento de la señal de reloj para generar una señal de reloj normalizada que tiene un ángulo de desplazamiento de fase de acuerdo con las componentes de I y de Q recibidas. En un ejemplo, la señal de reloj normalizada es una señal de envolvente constante que tiene un ángulo de desplazamiento de fase de acuerdo con una relación de las componentes de I y de Q . El ángulo de desplazamiento de fase del reloj normalizado es relativo a la señal de reloj original. En el ejemplo de la figura 10, la etapa 1130 se consigue mediante la multiplicación de las componentes de cuadratura y en fase de la señal de reloj 1010 con las señales de $I_{\text{fase_reloj}}$ 1012 y de $Q_{\text{fase_reloj}}$ 1014 y, a continuación, mediante la suma de la señal multiplicada para generar la señal de R_{reloj} 1016.

La etapa 1140 incluye el procesamiento de las componentes de I y de Q para generar la información de amplitud que se requiere para producir unas señales de constituyente de envolvente sustancialmente constante primera y segunda.

La etapa 1150 incluye el procesamiento de la información de amplitud de la etapa 1140 y la señal de reloj normalizada R_{reloj} para generar las constituyentes de envolvente constante primera y segunda de la señal de salida deseada. En un ejemplo, la etapa 1150 comporta el desplazamiento en fase de las constituyentes de envolvente constante primera y segunda de la señal de salida deseada el ángulo de desplazamiento de fase de la señal de reloj normalizada. En el ejemplo de la figura 10, la etapa 1150 se consigue mediante los moduladores vectoriales 1060 y 1062 que modulan la señal de R_{reloj} 1016 con la primera señal 1026, la segunda señal 1030 y la señal común 1028.

para generar las señales 1040 y 1042.

La etapa 1160 incluye amplificar de forma individual las constituyentes de envolvente constante primera y segunda, y sumar las señales amplificadas para generar la señal de salida deseada. En un ejemplo, la amplificación de las constituyentes de envolvente constante primera y segunda es sustancialmente igual y conforme a un nivel de potencia deseado de la señal de salida deseada. En el ejemplo de la figura 10, la etapa 1160 se consigue mediante los PA 1044 y 1046 que amplifican las señales 1040 y 1042 para generar las señales amplificadas 1048 y 1050.

La figura 12 es un diagrama de bloques que ilustra una realización ejemplar de un amplificador de potencia vectorial 1200 que implementa el diagrama de flujo de proceso 1100. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que, en otras realizaciones, más o menos componentes pueden ser opcionales.

Haciendo referencia a la figura 12, la señal de información en fase (I) y de cuadratura (Q) 1210 se recibe mediante un módulo de función de transferencia de datos de I y de Q 1216. En una realización, la función de transferencia de datos de I y de Q 1216 muestrea la señal 1210 de acuerdo con un reloj de muestreo 1212. La señal de información de I y de Q 1210 incluye una información de banda de base de I y de Q de una señal de salida deseada $r(t)$.

En una realización, el módulo de función de transferencia de datos de I y de Q 1216 procesa la señal de información 1210 para generar las señales de información 1220, 1222, 1224 y 1226. El funcionamiento del módulo de función de transferencia de datos de I y de Q 1216 se describe adicionalmente en lo que sigue en la sección 3.4.

Haciendo referencia a la figura 12, la señal de información 1220 incluye la información de amplitud de cuadratura de unas constituyentes de envolvente constante primera y segunda de una versión de banda de base de la señal de salida deseada $r(t)$. Con referencia a la figura 9A, por ejemplo, la señal de información 1220 incluye las componentes de cuadratura α y β . Haciendo referencia de nuevo a la figura 12, la señal de información 1226 incluye una información de amplitud en fase de las constituyentes de envolvente constante primera y segunda de la versión de banda de base de la señal $r(t)$. Con referencia a la figura 9A, por ejemplo, la señal de información 1226 incluye la componente en fase C común.

Haciendo de nuevo referencia a la figura 12, las señales de información 1222 y 1224 incluyen unas señales en fase $I_{\text{fase_reloj}}$ y de cuadratura $Q_{\text{fase_reloj}}$ normalizadas, respectivamente. $I_{\text{fase_reloj}}$ y $Q_{\text{fase_reloj}}$ son unas versiones normalizadas de las señales de información de I y de Q incluidas en la señal 1210. En una realización, $I_{\text{fase_reloj}}$ y $Q_{\text{fase_reloj}}$ se normalizan de tal modo que $(I_{\text{fase_reloj}}^2 + Q_{\text{fase_reloj}}^2 = \text{constante})$. Se hace notar que la fase de la señal 1250 se corresponde con la fase de la señal de salida deseada y se crea a partir de $I_{\text{fase_reloj}}$ y $Q_{\text{fase_reloj}}$. Haciendo referencia a la figura 9B, $I_{\text{fase_reloj}}$ y $Q_{\text{fase_reloj}}$ están relacionadas con I y Q tal como sigue:

$$\theta = \tan^{-1}\left(\frac{Q}{I}\right) = \tan^{-1}\left(\frac{Q_{\text{fase_reloj}}}{I_{\text{fase_reloj}}}\right) \quad (12.1)$$

en la que θ representa la fase de la señal de salida deseada, que se representan mediante el fasor \vec{R}_{salida} en la figura 9B. La información de signo de la información de banda de base de I y de Q ha de tenerse en cuenta para calcular θ para la totalidad de los cuatro cuadrantes.

En la realización ejemplar de la figura 12, las señales de información 1220, 1222, 1224 y 1226 son señales digitales. Por consiguiente, cada una de las señales 1220, 1222, 1224 y 1226 se suministra a un convertidor de digital a analógico (DAC) 1230, 1232, 1234 y 1236 correspondiente. La resolución y la tasa de muestreo de los DAC 1230, 1232, 1234 y 1236 se selecciona de acuerdo con unos esquemas de señalización específicos. Los DAC 1230, 1232, 1234 y 1236 se controlan por las señales de reloj de DAC 1221, 1223, 1225 y 1227, respectivamente. Las señales de reloj de DAC 1221, 1223, 1225 y 1227 pueden calcularse a partir de una misma señal de reloj o pueden ser independientes.

En otras realizaciones, las señales de información 1220, 1222, 1224 y 1226 se generan en formato analógico y no se requiere DAC alguno.

Haciendo referencia a la figura 12, los DAC 1230, 1232, 1234 y 1236 convierten las señales de información digital 1220, 1222, 1224 y 1226 en las señales analógicas correspondientes, e introducen estas señales analógicas en los filtros de interpolación opcionales 1231, 1233, 1235 y 1237, respectivamente. Los filtros de interpolación 1231, 1233, 1235 y 1237, que también sirven como filtros antialias, conforman las señales de salida de los DAC para producir la forma de onda de salida deseada. Los filtros de interpolación 1231, 1233, 1235 y 1237 generan las señales 1240, 1244, 1246 y 1248, respectivamente. La señal 1242 representa la inversa de la señal 1240.

Haciendo de nuevo referencia a la figura 12, las señales 1244 y 1246, que incluyen una información de $I_{\text{fase_reloj}}$ y de $Q_{\text{fase_reloj}}$, se introducen en un modulador vectorial 1238. El modulador vectorial 1238 multiplica la señal 1244 con una señal de reloj de canal 1214. La señal de reloj de canal 1214 se selecciona de acuerdo con una frecuencia de señal de salida deseada. En paralelo, el modulador vectorial 1238 multiplica la señal 1246 con una versión

desplazada 90° de la señal de reloj de canal 1214. Dicho de otra forma, el modulador vectorial 1238 genera una componente en fase que tiene la amplitud de $I_{\text{fase_reloj}}$ y una componente de cuadratura que tiene la amplitud de $Q_{\text{fase_reloj}}$.

- 5 El modulador vectorial 1238 combina las dos señales moduladas para generar la señal de R_{reloj} 1250. La señal de R_{reloj} 1250 es una señal de envolvente sustancialmente constante que tiene la frecuencia de salida deseada y un ángulo de desplazamiento de fase de acuerdo con los datos de I y de Q incluidos en la señal 1210.

Haciendo de nuevo referencia a la figura 12, las señales 1240, 1242 y 1248 incluyen los componentes de amplitud U, L y Común C, respectivamente, de la envolvente compleja de la señal $r(t)$. Las señales 1240, 1242 y 1248 junto con la señal de R_{reloj} 1250 se introducen en los moduladores vectoriales 1260 y 1262.

- 10 El modulador vectorial 1260 combina la señal 1240, que se multiplica con una versión desplazada 90° de la señal de R_{reloj} 1250 y la señal 1248, que se multiplica con una versión desplazada 0° de la señal de R_{reloj} 1250; para generar la señal de salida 1264. En paralelo, el modulador vectorial 1262 combina la señal 1242, que se multiplica con una versión desplazada 90° de la señal de R_{reloj} 1250 y la señal 1248, modulada con una versión desplazada 0° de la señal de R_{reloj} 1250, para generar la señal de salida 1266.

- 15 Las señales de salida 1264 y 1266 representan unas señales de envolvente sustancialmente constante. Además, los desplazamientos de fase de las señales de salida 1264 y 1266 en relación con la señal de R_{reloj} 1250 se determinan mediante las relaciones de ángulo asociadas con las relaciones α / C y β / C , respectivamente. En una realización, $\alpha = \beta$ y, por lo tanto, las señales de salida 1264 y 1266 se desplazan en fase de forma simétrica en relación con la señal de R_{reloj} 1250. Con referencia a la figura 9B, por ejemplo, las señales de salida 1264 y 1266 se corresponden,

- 20 respectivamente, con los fasores de magnitud constante de \vec{U} y de \vec{L} .

Una suma de las señales de salida 1264 y 1266 da como resultado una señal modulada por reloj de canal que tiene las características de I y de Q de la señal de banda de base $r(t)$. Para conseguir un nivel de potencia deseado en la salida del amplificador de potencia vectorial 1200, no obstante, las señales 1264 y 1266 se amplifican para generar una señal de salida amplificada. En la realización de la figura 12, las señales 1264 y 1266 se introducen, respectivamente, en los amplificadores de potencia (PA) 1270 y 1272 y se amplifican. En una realización, los PA 1270 y 1272 incluyen unos amplificadores de potencia con conmutación. La circuitería de autopolarización 1218 controla la polarización de los PA 1270 y 1272 tal como se describe adicionalmente en lo que sigue en la sección 3.5.2. En la realización de la figura 12, por ejemplo, la circuitería de autopolarización 1218 proporciona una tensión de polarización 1228 a los PA 1270 y 1272.

- 30 En una realización, los PA 1270 y 1272 aplican una amplificación de potencia sustancialmente igual a las señales de envolvente constante 1264 - 1266 respectivas. En una realización, la amplificación de potencia se ajusta de acuerdo con el nivel de potencia de salida deseado. En otras realizaciones del amplificador de potencia vectorial 1200, unos circuitos de excitación y / o circuitos de pre-excitación de PA se emplean adicionalmente para proporcionar una capacidad de amplificación de potencia adicional al amplificador. En la realización de la figura 12, por ejemplo, los circuitos de excitación de PA 1284 y 1286 se añaden de forma opcional, respectivamente, entre los moduladores vectoriales 1260 y 1262 y los PA 1270 y 1272 subsiguientes.

Las señales de salida 1274 y 1276 respectivas de los PA 1270 y 1272 son unas señales de envolvente sustancialmente constante. Además, cuando las señales de salida 1274 y 1276 se suman, la señal resultante tiene una distorsión no lineal mínima. En la realización de la figura 12, las señales de salida 1274 y 1276 se acoplan entre sí para generar la señal de salida 1280 del amplificador de potencia vectorial 1200. En una realización, no se usa aislamiento alguno en el acoplamiento de las salidas de los PA 1270 y 1272. Por consiguiente, el acoplamiento incurre en una pérdida de potencia mínima. En una realización, las salidas de los PA 1270 y 1272 se acoplan directamente entre sí usando un hilo. El acoplamiento directo de esta forma quiere decir que no hay aislamiento resistivo, inductivo o capacitivo alguno, o hay uno mínimo, entre las salidas de los PA 1270 y 1272. Dicho de otra forma, las salidas de los PA 1270 y 1272 se acoplan entre sí sin componentes intermedios. Como alternativa, en una realización, las salidas de los PA 1270 y 1272 se acoplan entre sí indirectamente a través de unas inductancias y / o capacidades que dan como resultado unas conexiones de impedancia baja o mínima, y / o unas conexiones que dan como resultado un aislamiento mínimo y una pérdida de potencia mínima. Como alternativa, las salidas de los PA 1270 y 1272 se acoplan usando unas técnicas de combinación bien conocidas, tal como circuitos de Wilkinson, circuitos combinadores híbridos, transformadores, o los circuitos combinadores activos conocidos. En una realización, los PA 1270 y 1272 proporcionan una combinación de potencia y de amplificación integradas en una única operación. En una realización, uno o más de los amplificadores de potencia y / o los circuitos de excitación que se describen en el presente documento se implementan usando unas técnicas de amplificación de potencia de múltiples entradas y de una única salida, ejemplos de las cuales se muestran en las figuras 12A, 12B y 51A - H.

- 55 La señal de salida 1280 representa una señal que tiene las características de I y de Q de la señal de banda de base $r(t)$ y la frecuencia y el nivel de potencia de salida deseados. En las realizaciones del amplificador de potencia vectorial 1200, una impedancia de polarización 1288 se acopla entre la salida del amplificador de potencia vectorial 1200 y un suministro de potencia. En otras realizaciones, una red de adaptación de impedancia 1290 se acopla en la salida del amplificador de potencia vectorial 1200. Las realizaciones de fase de salida de acuerdo con los

procedimientos y sistemas de amplificación de potencia que se divulgan en el presente documento se describirán adicionalmente en lo que sigue en la sección 3.5.

En otras realizaciones del amplificador de potencia vectorial 1200, unos detectores de proceso se emplean para compensar cualquier variación de proceso en la circuitería del amplificador. En la realización ejemplar de la figura 12, por ejemplo, el detector de proceso 1282 se añade de forma opcional para supervisar las variaciones en los circuitos de excitación de PA 1284 y 1286.

La figura 12A es un diagrama de bloques que ilustra otra realización ejemplar de un amplificador de potencia vectorial 1200A que implementa el diagrama de flujo de proceso 1100. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que, en otras realizaciones, más o menos componentes pueden ser opcionales.

La realización 1200A ilustra una implementación de múltiples entradas y de una única salida (MISO) de la realización 1200. En la realización 1200A, las señales de envolvente constante 1261 y 1263, que se emiten a partir de los moduladores vectoriales 1260 y 1262, se introducen en el PA de MISO 1292. El PA de MISO 1292 es un amplificador de potencia de dos entradas y de una única salida. En una realización, el PA de MISO 1292 incluye los elementos 1270, 1272, 1282, 1284 y 1286 tal como se muestra en la realización de la figura 12. En otra realización, el PA de MISO 1292 puede incluir otros elementos, tal como circuitos de pre-excitación, que no se muestran en la realización de la figura 12. Además, el PA de MISO 1292 no se limita a ser un PA de dos entradas tal como se muestra en la figura 12A. En otras realizaciones, tal como se describirá adicionalmente en lo que sigue con referencia a las figuras 51A - H, el PA 1292 puede tener cualquier número de entradas y salidas.

Haciendo de nuevo referencia a la figura 12A, la realización 1200A ilustra una implementación para entregar las señales de autopolarización al PA de MISO 1292. En la realización de la figura 12A, la señal de autopolarización 1228 que se genera mediante la circuitería de autopolarización 1218, tiene una o más señales que se calculan a partir de esta para polarizar diferentes fases del PA de MISO 1292. Como se muestra en el ejemplo de la figura 12A, tres señales de control de polarización Polarización A, Polarización B y Polarización C se calculan a partir de la señal de autopolarización 1228 y, a continuación, se introducen en diferentes fases del PA de MISO 1292. Por ejemplo, la Polarización C puede ser la señal de polarización para la fase de circuito de pre-excitación del PA de MISO 1292. De forma similar, la Polarización B y la Polarización A pueden ser las señales de polarización para las fases de circuito de excitación y de PA del PA de MISO 1292.

En otra implementación, que se muestra en la realización 1200B de la figura 12B, la circuitería de autopolarización 1218 genera las señales de autopolarización separadas 1295, 1296 y 1297, que se corresponden con la Polarización A, la Polarización B y la Polarización C, respectivamente. Las señales 1295, 1296 y 1297 pueden o pueden no generarse por separado en el interior de la circuitería de autopolarización 1218, pero se emiten por separado, tal como se muestra. Además, las señales 1295, 1296 y 1297 pueden o pueden no estar relacionadas tal como se determina mediante la polarización de las diferentes fases del PA de MISO 1294.

Otros aspectos de los amplificadores de potencia vectorial 1200A y 1200B se corresponden de forma sustancial con aquellos que se han descrito en lo que antecede con respecto al amplificador de potencia vectorial 1200.

La figura 13 es un diagrama de bloques que ilustra otra realización ejemplar 1300 de un amplificador de potencia vectorial de acuerdo con la realización de VPA de 2 Ramas CPCP. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que, en otras realizaciones, más o menos componentes pueden ser opcionales.

En la realización ejemplar de la figura 13, un DAC de una resolución y una tasa de muestreo suficientes 1320 sustituye los DAC 1230, 1232, 1234 y 1236 de la realización de la figura 12. El DAC 1320 se controla por un reloj de DAC 1324.

El DAC 1320 recibe la señal de información 1310 a partir del módulo de función de transferencia de datos de I y de Q 1216. La señal de información 1310 incluye un contenido de información idéntico para las señales 1220, 1222, 1224 y 1226 en la realización de la figura 12.

El DAC 1320 puede emitir una única señal analógica por cada vez. Por consiguiente, una arquitectura de muestreo y retención puede usarse tal como se muestra en la figura 13.

El DAC 1320 emite de forma secuencial las señales analógicas 1332, 1334, 1336, 1336 a un primer conjunto de circuitos de muestreo y retención 1342, 1344, 1346 y 1348. En una realización, el DAC 1230 se temporiza a una tasa suficiente para sustituir los DAC 1230, 1232, 1234 y 1236 de la realización de la figura 12. Un selector de salida 1322 determina cual de las señales de salida 1332, 1334, 1336 y 1338 debería seleccionarse para la salida.

La señal de reloj de DAC 1324 del DAC 1320, la señal de selector de salida 1322 y los relojes de muestreo y retención 1340A - D y 1350 se controlan por un módulo de control que puede ser independiente o estar integrado en el módulo de función de transferencia 1216.

En una realización, los circuitos de muestreo y retención (S/H) 1342, 1344, 1346 y 1348 retienen los valores analógicos recibidos y, de acuerdo con una señal de reloj 1340A - D, liberan los valores para un segundo conjunto

de circuitos de muestreo y retención 1352, 1354, 1356 y 1358. Por ejemplo, el S / H 1342 libera su valor para el S / H 1352 de acuerdo con una señal de reloj 1340A recibida. A su vez, los circuitos de muestreo y retención 1352, 1354, 1356 y 1358 retienen los valores analógicos recibidos, y liberan de forma simultánea los valores para los filtros de interpolación 1231, 1233, 1235 y 1237 de acuerdo con una señal de reloj común 1350. Una señal de reloj común 1350 se usa con el fin de garantizar que las salidas de S / H 1352, 1354, 1356 y 1358 estén alineadas en el tiempo.

En otra realización, puede emplearse una única capa de circuitería de S / H que incluye los S / H 1342, 1344, 1346 y 1348. Por consiguiente, los circuitos de S / H 1342, 1344, 1346 y 1348 reciben unos valores analógicos a partir del DAC 1320, y cada uno libera su valor recibido de acuerdo con un reloj independiente de los otros. Por ejemplo, el S / H 1342 se controla por el reloj 1340A, que puede no estar sincronizado con el reloj 1340B que controla el S / H 1344. Para garantizar que las salidas de los circuitos de S / H 1342, 1344, 1346 y 1348 estén alineadas en el tiempo, los retardos entre los relojes 1340A - D se compensan previamente en las fases anteriores del amplificador. Por ejemplo, el DAC 1320 emite la señal 1332, 1334, 1336 y 1338 con los retardos seleccionados de forma apropiada a los circuitos de S / H 1342, 1344, 1346 y 1348 con el fin de compensar las diferencias de tiempo entre los relojes 1340A - D.

Otros aspectos del amplificador de potencia vectorial 1300 son sustancialmente equivalentes a aquellos que se han descrito en lo que antecede con respecto al amplificador de potencia vectorial 1200.

La figura 13A es un diagrama de bloques que ilustra otra realización ejemplar 1300A de un amplificador de potencia vectorial de acuerdo con la realización de VPA de 2 Ramas CPCP. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que, en otras realizaciones, más o menos componentes pueden ser opcionales. La realización 1300A es una implementación de MISO de la realización 1300 de la figura 13.

En la realización de la figura 13A, las señales de envolvente constante 1261 y 1263 que se emiten a partir de los moduladores vectoriales 1260 y 1262 se introducen en el PA de MISO 1360. El PA de MISO 1360 es un amplificador de potencia de dos entradas y de una única salida. En una realización, el PA de MISO 1360 incluye los elementos 1270, 1272, 1282, 1284 y 1286 tal como se muestra en la realización de la figura 13. En otra realización, el PA de MISO 1360 puede incluir otros elementos, tal como circuitos de pre-excitación, que no se muestran en la realización de la figura 13, o equivalentes funcionales de los mismos. Además, el PA de MISO 1360 no se limita a ser un PA de dos entradas tal como se muestra en la figura 13A. En otras realizaciones, tal como se describirá adicionalmente en lo que sigue con referencia a las figuras 51A - H, el PA 1360 puede tener cualquier número de entradas.

La realización de la figura 13A ilustra además dos arquitecturas de muestreo y retención diferentes con un único o dos niveles de circuitería de S / H, tal como se muestra. Las dos implementaciones se han descrito en lo que antecede con respecto a la figura 13.

La realización 1300A también ilustra la circuitería de control de polarización opcional 1218 y las señales de control de polarización asociadas 1325, 1326 y 1327. Las señales 1325, 1326 y 1327 pueden usarse para polarizar diferentes fases del PA de MISO 1360 en determinadas realizaciones.

Otros aspectos del amplificador de potencia vectorial 1300A son equivalentes a aquellos que se han descrito en lo que antecede con respecto a los amplificadores de potencia vectorial 1200 y 1300.

3.3) Amplificador de Potencia Vectorial de 2 Ramas Cartesiana Directa

Una VPA de 2 Ramas Cartesiana Directa ejemplar.

De acuerdo con la VPA de 2 Ramas Cartesiana Directa ejemplar, una señal de envolvente variable en el tiempo se descompone en dos señales de constituyente de envolvente constante. Las señales de constituyente se amplifican de forma individual por igual o sustancialmente por igual y, a continuación, se suman para construir una versión amplificada de la señal de envolvente variable en el tiempo original.

En un ejemplo de la VPA de 2 Ramas Cartesiana Directa, una magnitud y un ángulo de fase de una señal de envolvente variable en el tiempo se calculan a partir de las componentes de cuadratura y en fase de una señal de entrada. Usando la información de magnitud y de fase, las componentes de amplitud de cuadratura y en fase se calculan para dos constituyentes de envolvente constante de la señal de envolvente variable en el tiempo. A continuación, los dos constituyentes de envolvente constante se generan, se amplifican por igual o sustancialmente por igual, y se suman para generar una versión amplificada de la señal de envolvente variable en el tiempo original $R_{entrada}$.

El concepto del VPA de 2 Ramas Cartesiana Directa se describirá a continuación con referencia a las figuras 9A y 14.

Como se ha descrito y verificado en lo que antecede con respecto a la figura 9A, el fasor \vec{R} puede obtenerse mediante la suma de un fasor superior \vec{U} y un fasor inferior \vec{L} desplazados en fase de forma apropiada para

producir \vec{R}' . \vec{R}' se calcula para ser proporcional a la magnitud R_{entrada} . Además, \vec{U} y \vec{L} pueden mantenerse para que tengan una magnitud sustancialmente constante. En el dominio del tiempo, \vec{U}' y \vec{L}' representan dos señales de envolvente sustancialmente constante. La equivalente en el dominio del tiempo $r'(t)$ de \vec{R}' puede obtenerse de este modo, en cualquier instante de tiempo, mediante la suma de dos señales de envolvente sustancialmente constante.

- 5 Para el caso que se ilustra en la figura 9A, el desplazamiento de fase de \vec{U}' y \vec{L}' en relación con \vec{R}' que se ilustra como el ángulo $\frac{\phi}{2}$ en la figura 9A, está relacionado con la magnitud de \vec{R}' tal como sigue:

$$\frac{\phi}{2} = \cot^{-1} \left(\frac{R}{2\sqrt{1 - \frac{R^2}{4}}} \right) \quad (13)$$

en la que R representa la magnitud normalizada del fasor \vec{R}' .

- 10 En el dominio del tiempo, se mostró que una señal de envolvente variable en el tiempo, $r'(t) = R(t) \cos(\omega t)$ por ejemplo, puede construirse mediante la suma de dos señales de envolvente constante tal como sigue:

$$\begin{aligned} r'(t) &= U'(t) + L'(t); \\ U'(t) &= C \times \cos(\omega t) + \alpha \times \sin(\omega t); \\ L'(t) &= C \times \cos(\omega t) - \beta \times \sin(\omega t). \end{aligned} \quad (14)$$

en las que C indica la componente de amplitud en fase de los fasores \vec{U}' y \vec{L}' y es igual o sustancialmente igual a $A \times \cos(\frac{\phi}{2})$ (siendo A una constante). α y β indican los componentes de amplitud de cuadratura de los fasores \vec{U}' y

\vec{L}' , respectivamente. $\alpha = \beta = A \times \sin(\frac{\phi}{2})$. Se hace notar que las ecuaciones (14) pueden modificarse para las

- 15 señales no sinusoidales mediante el cambio de la función base, de sinusoidal a la función deseada.

La figura 14 ilustra el fasor \vec{R} y sus dos fasores de constituyente de magnitud constante \vec{U} y \vec{L} . \vec{R} se desplaza θ grados en relación con \vec{R}' en la figura 9A. Por consiguiente, puede verificarse que:

$$\begin{aligned} \vec{R} &= \vec{R}' \times e^{j\theta} = (\vec{U}' + \vec{L}') \times e^{j\theta} = \vec{U} + \vec{L}; \\ \vec{U} &= \vec{U}' \times e^{j\theta}; \\ \vec{L} &= \vec{L}' \times e^{j\theta}. \end{aligned} \quad (15)$$

A partir de las ecuaciones (15), puede mostrarse adicionalmente que:

$$\begin{aligned} \vec{U} &= \vec{U}' \times e^{j\theta} = (C + j\alpha) \times e^{j\theta}; \\ \Rightarrow \vec{U} &= (C + j\alpha)(\cos\theta + j\sin\theta) = (C\cos\theta - \alpha\sin\theta) + j(C\sin\theta + \alpha\cos\theta). \end{aligned} \quad (16)$$

- 20

De forma similar, puede mostrarse que:

$$\begin{aligned}\vec{L} &= \vec{L} \times e^{j\theta} = (C + j\beta) \times e^{j\theta}; \\ \Rightarrow \vec{L} &= (C + j\beta)(\cos\theta + j\sin\theta) = (C\cos\theta - \beta\sin\theta) + j(C\sin\theta + \beta\cos\theta).\end{aligned}\quad (17)$$

Las ecuaciones (16) y (17) pueden volver a escribirse como:

$$\begin{aligned}\vec{U} &= (C\cos\theta - \alpha\sin\theta) + j(C\sin\theta + \alpha\cos\theta) = U_x + jU_y; \\ \vec{L} &= (C\cos\theta - \beta\sin\theta) + j(C\sin\theta + \beta\cos\theta) = L_x + jL_y.\end{aligned}\quad (18)$$

De forma equivalente, en el dominio del tiempo:

$$\begin{aligned}U(t) &= U_x\varphi_1(t) + U_y\varphi_2(t); \\ L(t) &= L_x\varphi_1(t) + L_y\varphi_2(t);\end{aligned}\quad (19)$$

5

en las que $\varphi_1(t)$ y $\varphi_2(t)$ representan una función base ortogonal seleccionada de forma apropiada.

A partir de las ecuaciones (18) y (19), se observa que es suficiente calcular los valores de α , β , C y $\sin(\theta)$ y $\cos(\theta)$ con el fin de determinar los dos constituyentes de envolvente constante de una señal de envolvente variable en el tiempo $r(t)$. Además, α , β y C pueden determinarse en su totalidad a partir de la información de magnitud y de fase, de forma equivalente las componentes de I y de Q , de la señal $r(t)$.

10

La figura 15 es un diagrama de bloques que ilustra de forma conceptual un ejemplo 1500 de la VPA de 2 Ramas Cartesiana Directa. Una señal de salida $r(t)$ de un nivel de potencia, y de unas características de frecuencia, deseados se genera a partir de las componentes de cuadratura y en fase de acuerdo con el ejemplo de VPA de 2 Ramas Cartesiana Directa.

15 En el ejemplo de la figura 15, una señal de reloj 1510 representa una señal de referencia para generar la señal de salida $r(t)$. La señal de reloj 1510 es de la misma frecuencia que la de la señal de salida deseada $r(t)$.

Haciendo referencia a la figura 15, el ejemplo 1500 incluye una primera rama 1572 y una segunda rama 1574. La primera rama 1572 incluye un modulador vectorial 1520 y un amplificador de potencia (PA) 1550. De forma similar, la segunda rama 1574 incluye un modulador vectorial 1530 y un amplificador de potencia (PA) 1560.

20 Haciendo de nuevo referencia a la figura 15, la señal de reloj 1510 se introduce, en paralelo, en los moduladores vectoriales 1520 y 1530. En el modulador vectorial 1520, una versión en fase 1522 de la señal de reloj 1510, que se multiplica con la señal U_x 1526, se suma con una versión desplazada 90 grados 1524 de la señal de reloj 1510, que se multiplica con la señal U_y 1528. En paralelo, en el modulador vectorial 1530, una versión en fase 1532 de la señal de reloj 1510, que se multiplica con la señal L_x 1536, se suma con una versión desplazada 90 grados 1534 de la señal de reloj 1510, que se multiplica con la señal L_y 1538. La señal U_x 1526 y la señal U_y 1528 se corresponden, respectivamente, con las componentes de amplitud de cuadratura y en fase de la constituyente de envolvente constante de $U(t)$ de la señal $r(t)$ que se proporciona en la ecuación (19). De forma similar, la señal L_x 1536 y la señal L_y 1538 se corresponden, respectivamente, con las componentes de amplitud de cuadratura y en fase de la constituyente de envolvente constante de $L(t)$ de la señal $r(t)$ que se proporciona en la ecuación (19).

25

30 Por consiguiente, las señales de salida 1540 y 1542 respectivas de los moduladores vectoriales 1520 y 1530 se corresponden, respectivamente, con las constituyentes de envolvente constante de $U(t)$ y de $L(t)$ de la señal $r(t)$ tal como se ha descrito en lo que antecede en las ecuaciones (19). Como se ha descrito en lo que antecede, las señales 1540 y 1542 se caracterizan por tener unas envolventes iguales y constantes o sustancialmente iguales y constantes.

35 Haciendo referencia a la figura 15, para generar el nivel de potencia deseado de la señal de salida $r(t)$, las señales 1540 y 1542 se introducen en los amplificadores de potencia 1550 y 1560 correspondientes.

En un ejemplo, los amplificadores de potencia 1550 y 1560 aplican una amplificación de potencia igual o sustancialmente igual a las señales 1540 y 1542, respectivamente. En un ejemplo, el nivel de amplificación de potencia de los PA 1550 y 1560 se ajusta de acuerdo con el nivel de potencia deseado de la señal de salida $r(t)$.

40 Las señales de salida amplificadas 1562 y 1564 son unas señales de envolvente sustancialmente constante. Por consiguiente, cuando se suman entre sí, tal como se muestra en la figura 15, la señal 1570 resultante se corresponde con la señal de salida deseada $r(t)$.

La figura 15A es otro ejemplo 1500A de la VPA de 2 Ramas Cartesiana Directa. El ejemplo 1500A representa una implementación de Múltiples Entradas y de una Única Salida (MISO) de la realización 1500 de la figura 15.

En el ejemplo 1500A, las señales de envolvente constante 1540 y 1542, que se emiten a partir de los moduladores vectoriales 1520 y 1530, se introducen en el PA de MISO 1580. El PA de MISO 1580 es un amplificador de potencia de dos entradas y de una única salida. En un ejemplo, el PA de MISO 1580 puede incluir varios elementos, tal como circuitos de pre-excitación, circuitos de excitación, amplificadores de potencia y detectores de proceso (que no se muestran en la figura 15A), por ejemplo. Además, el PA de MISO 1580 no se limita a ser un PA de dos entradas tal como se muestra en la figura 15A. En otros ejemplos, tal como se describirá adicionalmente en lo que sigue con referencia a las figuras 51A - H, el PA 1580 puede tener cualquier número de entradas.

El funcionamiento de la VPA de 2 Ramas Cartesiana Directa ejemplar se representa en el diagrama de flujo de proceso 1600 de la figura 16. El procedimiento comienza en la etapa 1610, que incluye recibir una representación de banda de base de una señal de salida deseada. En un ejemplo, la representación de banda de base incluye las componentes de I y de Q. En otro ejemplo, las componentes de I y de Q son unas componentes de RF a las que se les aplica una conversión reductora a la banda de base.

La etapa 1620 incluye recibir una señal de reloj ajustada de acuerdo con una frecuencia de señal de salida deseada de la señal de salida deseada. En el ejemplo de la figura 15, la etapa 1620 se consigue mediante la recepción de la señal de reloj 1510.

La etapa 1630 incluye el procesamiento de las componentes de I y de Q para generar la información de amplitud de cuadratura y en fase de las señales de constituyente de envolvente constante primera y segunda de la señal de salida deseada. En el ejemplo de la figura 15, la información de amplitud de cuadratura y en fase se ilustra mediante U_x , U_y , L_x , y L_y .

La etapa 1640 incluye el procesamiento de la información de amplitud y la señal de reloj para generar las señales de constituyente de envolvente constante primera y segunda de la señal de salida deseada. En un ejemplo, las señales de constituyente de envolvente constante primera y segunda se modulan de acuerdo con la frecuencia de señal de salida deseada. En el ejemplo de la figura 15, la etapa 1640 se consigue mediante los moduladores vectoriales 1520 y 1530, la señal de reloj 1510, y las señales de información de amplitud 1526, 1528, 1536 y 1538 para generar las señales 1540 y 1542.

La etapa 1650 incluye amplificar las constituyentes de envolvente constante primera y segunda, y sumar las señales amplificadas para generar la señal de salida deseada. En un ejemplo, la amplificación de las constituyentes de envolvente constante primera y segunda es conforme a un nivel de potencia deseado de la señal de salida deseada. En el ejemplo de la figura 15, la etapa 1650 se consigue mediante los PA 1550 y 1560 que amplifican las señales 1540 y 1542 respectivas y, de manera subsiguiente, mediante la suma de las señales amplificadas 1562 y 1564 para generar la señal de salida 1574.

La figura 17 es un diagrama de bloques que ilustra una realización ejemplar de un amplificador de potencia vectorial 1700 que implementa el diagrama de flujo de proceso 1600. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales.

Haciendo referencia a la figura 17, la señal de información en fase (I) y de cuadratura (Q) 1710 se recibe mediante un módulo de función de transferencia de datos de I y de Q 1716. En una realización, el módulo de función de transferencia de datos de I y de Q 1716 muestrea la señal 1710 de acuerdo con un reloj de muestreo 1212. La señal de información de I y de Q 1710 incluye una información de banda de base de I y de Q.

En una realización, el módulo de función de transferencia de datos de I y de Q 1716 procesa la señal de información 1710 para generar las señales de información 1720, 1722, 1724 y 1726. El funcionamiento del módulo de función de transferencia de datos de I y de Q 1716 se describe adicionalmente en lo que sigue en la sección 3.4.

Haciendo referencia a la figura 17, la señal de información 1720 incluye la información de amplitud de cuadratura del modulador vectorial 1750 que se procesa a través del DAC 1730 para generar la señal 1740. La señal de información 1722 incluye la información de amplitud en fase del modulador vectorial 1750 que se procesa a través del DAC 1732 para generar la señal 1742. Las señales 1740 y 1742 se calculan para generar una señal de envolvente sustancialmente constante 1754. Con referencia a la figura 14, por ejemplo, las señales de información 1720 y 1722 incluyen las componentes de cuadratura y en fase superiores U_y y U_x , respectivamente.

Haciendo de nuevo referencia a la figura 17, la señal de información 1726 incluye la información de amplitud de cuadratura del modulador vectorial 1752 que se procesa a través del DAC 1736 para generar la señal 1746. La señal de información 1724 incluye la información de amplitud en fase del modulador vectorial 1752 que se procesa a través del DAC 1734 para generar la señal 1744. Las señales 1744 y 1746 se calculan para generar una señal de envolvente sustancialmente constante 1756. Con referencia a la figura 14, por ejemplo, las señales de información 1724 y 1726 incluyen las componentes de cuadratura y en fase inferiores L_x y L_y , respectivamente.

En la realización ejemplar de la figura 17, las señales de información 1720, 1722, 1724 y 1726 son señales digitales. Por consiguiente, cada una de las señales 1720, 1722, 1724 y 1726 se suministra a un convertidor de digital a analógico (DAC) 1730, 1732, 1734 y 1736 correspondiente. La resolución y las tasas de muestreo de los DAC 1730, 1732, 1734 y 1736 se seleccionan de acuerdo con los esquemas de señalización deseados específicos. Los DAC 1730, 1732, 1734 y 1736 se controlan por las señales de reloj de DAC 1721, 1723, 1725 y 1727, respectivamente. Las señales de reloj de DAC 1721, 1723, 1725 y 1727 pueden calcularse a partir de un mismo reloj o pueden ser independientes una de otra.

En otras realizaciones, las señales de información 1720, 1722, 1724 y 1726 se generan en formato analógico y no se requiere DAC alguno.

Haciendo referencia a la figura 17, los DAC 1730, 1732, 1734 y 1736 convierten las señales de información digital 1720, 1722, 1724 y 1726 en las señales analógicas correspondientes, e introducen estas señales analógicas en los filtros de interpolación opcionales 1731, 1733, 1735 y 1737, respectivamente. Los filtros de interpolación 1731, 1733, 1735 y 1737, que también sirven como filtros antialias, conforman las señales de salida de los DAC para producir la forma de onda de salida deseada. Los filtros de interpolación 1731, 1733, 1735 y 1737 generan las señales 1740, 1742, 1744 y 1746, respectivamente.

Haciendo de nuevo referencia a la figura 17, las señales 1740, 1742, 1744 y 1746 se introducen en los moduladores vectoriales 1750 y 1752. Los moduladores vectoriales 1750 y 1752 generan unas constituyentes de envolvente constante primera y segunda. En la realización de la figura 17, el reloj de canal 1714 se ajusta de acuerdo con una frecuencia de señal de salida deseada para establecer de ese modo la frecuencia de la señal de salida 1770.

Haciendo referencia a la figura 17, el modulador vectorial 1750 combina la señal 1740, que se multiplica con una versión desplazada 90° de la señal de reloj de canal 1714 y la señal 1742, que se multiplica con una versión desplazada 0° de la señal de reloj de canal 1714, para generar la señal de salida 1754. En paralelo, el modulador vectorial 1752 combina la señal 1746, que se multiplica con una versión desplazada 90° de la señal de reloj de canal 1714 y la señal 1744, que se multiplica con una versión desplazada 0° de la señal de reloj de canal 1714, para generar la señal de salida 1756.

Las señales de salida 1754 y 1756 representan unas señales de envolvente constante. Una suma de las señales de salida 1754 y 1756 da como resultado una señal portadora que tiene las características de I y de Q de la señal de banda de base original. En las realizaciones, para generar un nivel de potencia deseado en la salida del amplificador de potencia vectorial 1700, las señales 1754 y 1756 se amplifican y, a continuación, se suman. En la realización de la figura 17, por ejemplo, las señales 1754 y 1756 se introducen, respectivamente, en los amplificadores de potencia (PA) 1760 y 1762 correspondientes. En una realización, los PA 1760 y 1762 incluyen unos amplificadores de potencia con conmutación. La circuitería de autopolarización 1718 controla la polarización de los PA 1760 y 1762. En la realización de la figura 17, por ejemplo, la circuitería de autopolarización 1718 proporciona una tensión de polarización 1728 a los PA 1760 y 1762.

En una realización, los PA 1760 y 1762 aplican una amplificación de potencia igual o sustancialmente igual a las señales de envolvente constante 1754 y 1756 respectivas. En una realización, la amplificación de potencia se ajusta de acuerdo con el nivel de potencia de salida deseado. En otras realizaciones del amplificador de potencia vectorial 1700, los circuitos de excitación de PA se emplean adicionalmente para proporcionar una capacidad de amplificación de potencia adicional al amplificador. En la realización de la figura 17, por ejemplo, los circuitos de excitación de PA 1774 y 1776 se añaden de forma opcional, respectivamente, entre los moduladores vectoriales 1750 y 1752 y los PA 1760 y 1762 subsiguientes.

Las señales de salida 1764 y 1766 respectivas de los PA 1760 y 1762 son unas señales de envolvente sustancialmente constante. En la realización de la figura 17, las señales de salida 1764 y 1766 se acoplan entre sí para generar la señal de salida 1770 del amplificador de potencia vectorial 1700. En las realizaciones, se hace notar que las salidas de los PA 1760 y 1762 se acoplan directamente. El acoplamiento directo de esta forma quiere decir que no hay aislamiento resistivo, inductivo o capacitivo alguno, o hay uno mínimo, entre las salidas de los PA 1760 y 1762. Dicho de otra forma, las salidas de los PA 1760 y 1762 se acoplan entre sí sin componentes intermedios. Como alternativa, en una realización, las salidas de los PA 1760 y 1762 se acoplan entre sí indirectamente a través de unas inductancias y/o capacidades que dan como resultado unas conexiones de impedancia baja o mínima, y/o unas conexiones que dan como resultado un aislamiento mínimo y una pérdida de potencia mínima. Como alternativa, las salidas de los PA 1760 y 1762 se acoplan usando unas técnicas de combinación bien conocidas, tal como circuitos de Wilkinson, acopladores híbridos, transformadores, o los circuitos combinadores activos conocidos. En una realización, los PA 1760 y 1762 proporcionan una combinación de potencia y de amplificación integradas en una única operación. En una realización, uno o más de los amplificadores de potencia y/o los circuitos de excitación que se describen en el presente documento se implementan usando unas técnicas de amplificación de potencia de múltiples entradas y de una única salida (MISO), ejemplos de las cuales se muestran en las figuras 17A, 17B y 51A - H.

La señal de salida 1770 representa una señal que tiene las características de I y de Q deseadas de la señal de banda de base y la frecuencia y el nivel de potencia de salida deseados. En las realizaciones del amplificador de

potencia vectorial 1700, una impedancia de polarización 1778 se acopla entre la salida del amplificador de potencia vectorial 1700 y un suministro de potencia. En otras realizaciones, una red de adaptación de impedancia 1780 se acopla en la salida del amplificador de potencia vectorial 1700. Las realizaciones de fase de salida de acuerdo con los procedimientos y sistemas de amplificación de potencia que se dan a conocer en el presente documento se describirán adicionalmente en lo que sigue en la sección 3.5.

En otras realizaciones del amplificador de potencia vectorial 1700, unos detectores de proceso se emplean para compensar cualquier variación de proceso y / o de temperatura en la circuitería del amplificador. En la realización ejemplar de la figura 17, por ejemplo, el detector de proceso 1772 se añade de forma opcional para supervisar las variaciones en los circuitos de excitación de PA 1774 y 1776.

La figura 17A es un diagrama de bloques que ilustra otra realización ejemplar 1700A de un amplificador de potencia vectorial que implementa el diagrama de flujo de proceso 1600. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales. La realización 1700A ilustra una implementación de múltiples entradas y de una única salida (MISO) del amplificador de la figura 17. En la realización de la figura 17A, las señales de envolvente constante 1754 y 1756, que se emiten a partir de los moduladores vectoriales 1750 y 1760, se introducen en el PA de MISO 1790. El PA de MISO 1790 es un amplificador de potencia de dos entradas y de una única salida. En una realización, el PA de MISO 1790 incluye los elementos 1760, 1762, 1772, 1774 y 1776 tal como se muestra en la realización de la figura 17, o equivalentes funcionales de los mismos. En otra realización, el PA de MISO 1790 puede incluir otros elementos, tal como circuitos de pre-excitación, que no se muestran en la realización de la figura 17. Además, el PA de MISO 1790 no se limita a ser un PA de dos entradas tal como se muestra en la figura 17A. En otras realizaciones, tal como se describirá adicionalmente en lo que sigue con referencia a las figuras 51A - H, el PA 1790 puede tener cualquier número de entradas.

En otra realización de la realización 1700, que se muestra como la realización 1700B de la figura 17B, la circuitería de autopolarización opcional 1218 genera unas señales de control de polarización separadas 1715, 1717 y 1719, que se corresponden con la Polarización A, la Polarización B y la Polarización C, respectivamente. Las señales 1715, 1717 y 1719 pueden o pueden no generarse por separado en el interior de la circuitería de autopolarización 1718, pero se emiten por separado, tal como se muestra. Además, las señales 1715, 1717 y 1719 pueden o pueden no estar relacionadas tal como se determina mediante la polarización que se requiere para las diferentes fases del PA de MISO 1790.

La figura 18 es un diagrama de bloques que ilustra otra realización ejemplar 1800 de un amplificador de potencia vectorial de acuerdo con la realización de VPA de 2 Ramas Cartesiana Directa de la figura 16. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que otras realizaciones pueden tener más o menos componentes opcionales.

En la realización ejemplar de la figura 18, un DAC 1820 de una resolución y una tasa de muestreo suficientes sustituye los DAC 1730, 1732, 1734 y 1736 de la realización de la figura 17. El DAC 1820 se controla por un reloj de DAC 1814.

El DAC 1820 recibe la señal de información 1810 a partir del módulo de función de transferencia de datos de I y de Q 1716. La señal de información 1810 incluye un contenido de información idéntico para las señales 1720, 1722, 1724 y 1726 en la realización de la figura 17.

El DAC 1820 puede emitir una única señal analógica por cada vez. Por consiguiente, una arquitectura de muestreo y retención puede usarse tal como se muestra en la figura 18.

En la realización de la figura 18, el DAC 1820 emite de forma secuencial las señales analógicas 1822, 1824, 1826 y 1828 a los circuitos de muestreo y retención 1832, 1834, 1836 y 1838, respectivamente. En una realización, el DAC 1820 es de una resolución y una tasa de muestreo suficientes para sustituir los DAC 1720, 1722, 1724 y 1726 de la realización de la figura 17. Un selector de salida 1812 determina cual de las señales de salida 1822, 1824, 1826 y 1828 se seleccionan para la salida.

La señal de reloj de DAC 1814 del DAC 1820, la señal de selector de salida 1812 y los relojes de muestreo y retención 1830A - D y 1840 se controlan por un módulo de control que puede ser independiente o estar integrado en el módulo de función de transferencia 1716.

En una realización, los circuitos de muestreo y retención 1832, 1834, 1836 y 1838 muestrean y retienen sus valores respectivos y, de acuerdo con una señal de reloj 1830A - D, liberan los valores para un segundo conjunto de circuitos de muestreo y retención 1842, 1844, 1846 y 1848. Por ejemplo, el S / H 1832 libera su valor para el S / H 1842 de acuerdo con una señal de reloj 1830A recibida. A su vez, los circuitos de muestreo y retención 1842, 1844, 1846 y 1848 retienen los valores analógicos recibidos, y liberan de forma simultánea los valores para los filtros de interpolación 1852, 1854, 1856 y 1858 de acuerdo con una señal de reloj común 1840.

En otra realización, puede emplearse un único conjunto de circuitería de S / H que incluye los S / H 1832, 1834, 1836 y 1838. Por consiguiente, los circuitos de S / H 1832, 1834, 1836 y 1838 reciben unos valores analógicos a

partir del DAC 1820, y cada uno muestrea y retiene su valor recibido de acuerdo con los relojes independientes 1830A - D. Por ejemplo, el S / H 1832 se controla por el reloj 1830A, que puede no estar sincronizado con el reloj 1830B que controla el S / H 1834. Por ejemplo, el DAC 1820 emite las señales 1822, 1824, 1826 y 1828 con unos valores analógicos seleccionados de forma apropiada que se calculan mediante el módulo de función de transferencia 1716 a los circuitos de S / H 1832, 1834, 1836 y 1838 con el fin de compensar las diferencias de tiempo entre los relojes 1830A - D.

Otros aspectos del amplificador de potencia vectorial 1800 se corresponden de forma sustancial con aquellos que se han descrito en lo que antecede con respecto al amplificador de potencia vectorial 1700.

La figura 18A es un diagrama de bloques que ilustra otra realización ejemplar 1800A de un amplificador de potencia vectorial de acuerdo con la realización de VPA de 2 Ramas Cartesiana Directa. Los componentes opcionales se ilustran con unas líneas discontinuas, a pesar de que, en otras realizaciones, más o menos componentes pueden ser opcionales. La realización 1800A es una implementación de Múltiples Entradas y de una Única Salida (MISO) de la realización 1800 de la figura 18.

En la realización de la figura 18A, las señales de envolvente constante 1754 y 1756, que se emiten a partir de los moduladores vectoriales 1750 y 1752, se introducen en el PA de MISO 1860. El PA de MISO 1860 es un amplificador de potencia de dos entradas y de una única salida. En una realización, el PA de MISO 1860 incluye los elementos 1744, 1746, 1760, 1762 y 1772 tal como se muestra en la realización de la figura 18, o equivalentes funcionales de los mismos. En otra realización, el PA de MISO 1860 puede incluir otros elementos, tal como circuitos de pre-excitación, que no se muestran en la realización de la figura 17. Además, el PA de MISO 1860 no se limita a ser un PA de dos entradas tal como se muestra en la figura 18A. En otras realizaciones, tal como se describirá adicionalmente en lo que sigue con referencia a las figuras 51A - H, el PA 1860 puede tener cualquier número de entradas.

La realización de la figura 18A ilustra además dos arquitecturas de muestreo y retención diferentes con un único o dos niveles de circuitería de S / H, tal como se muestra. Las dos implementaciones se han descrito en lo que antecede con respecto a la figura 18.

Otros aspectos del amplificador de potencia vectorial 1800A son sustancialmente equivalentes a aquellos que se han descrito en lo que antecede con respecto a los amplificadores de potencia vectorial 1700 y 1800.

3.4) Funciones de Transferencia de Datos de I y de Q a Modulador Vectorial

En algunas de las realizaciones que se han descrito en lo que antecede, unas funciones de transferencia de datos de I y de Q se proporcionan para transformar los datos de I y de Q recibidos en unas entradas de información de amplitud para las fases subsiguientes de amplificación y de modulación vectorial. Por ejemplo, en la realización de la figura 17, el módulo de función de transferencia de datos de I y de Q 1716 procesa la señal de información de I y de Q 1710 para generar las señales de información de amplitud de cuadratura y en fase 1720, 1722, 1724 y 1726 de unas constituyentes de envolvente constante primera y segunda 1754 y 1756 de la señal $r(t)$. De manera subsiguiente, los moduladores vectoriales 1750 y 1752 utilizan las señales de información de amplitud generadas 1720, 1722, 1724 y 1726 para crear las señales de constituyente de envolvente constante primera y segunda 1754 y 1756. Otros ejemplos incluyen los módulos 710, 712 y 1216 en las figuras 7, 8, 12 y 13. Estos módulos implementan unas funciones de transferencia para transformar los datos de I y / o de Q en unas entradas de información de amplitud para las fases subsiguientes de amplificación y de modulación vectorial.

De acuerdo con la divulgación en el presente documento, los módulos de función de transferencia de datos de I y de Q pueden implementarse usando circuitería digital, circuitería analógica, soporte lógico, soporte lógico inalterable o cualquier combinación de los mismos.

Diversos factores afectan a la implementación real de una función de transferencia, y varían de realización a realización. En un aspecto, la realización de VPA seleccionada regula la salida de información de amplitud de la función de transferencia y el módulo asociado. Es evidente, por ejemplo, que el módulo de función de transferencia de datos de I y de Q 1216 de la realización de VPA de 2 Ramas CPCP 1200 difiere, en cuanto a la salida, del módulo de función de transferencia de datos de I y de Q 1716 de la realización de VPA de 2 Ramas Cartesiana Directa 1700.

En otro aspecto, la complejidad de la función de transferencia varía de acuerdo con el esquema o esquemas de modulación deseados que es necesario que sean soportados por la implementación de VPA. Por ejemplo, el reloj de muestreo, la tasa de muestreo de DAC y la resolución de DAC se seleccionan de acuerdo con la función de transferencia apropiada para construir la forma o formas de onda de salida deseadas.

Las realizaciones de la función de transferencia pueden diseñarse para soportar una o más realizaciones de VPA con la capacidad de conmutar entre las realizaciones soportadas según se desee. Además, las realizaciones de la función de transferencia y los módulos asociados pueden diseñarse para facilitar una pluralidad de esquemas de modulación. Un experto en la materia apreciará, por ejemplo, que las realizaciones de la presente invención pueden diseñarse para soportar una pluralidad de esquemas de modulación (de forma individual o en combinación)

incluyendo, pero sin limitarse a, BPSK, QPSK, OQPSK, DPSK, CDMA, WCDMA, W - CDMA, GSM, EDGE, MPSK, MQAM, MSK, CPSK, PM, FM, OFDM, y señales multi-tono. En una realización, el esquema o esquemas de modulación pueden ser configurables y / o programables a través del módulo de función de transferencia.

3.4.1) Función de Transferencia de VPA de 4 Ramas Cartesiana

5 La figura 19 es un diagrama de flujo de proceso 1900 que ilustra una función de transferencia de I y de Q a modo de ejemplo de acuerdo con la VPA de 4 Ramas Cartesiana ejemplar. El procedimiento comienza en la etapa 1910, que incluye recibir una componente de datos en fase y una componente de datos de cuadratura. En la realización de VPA de 4 Ramas Cartesiana de la figura 7A, por ejemplo, esto se ilustra mediante el módulo de función de transferencia de datos de I 710 que recibe la señal de información de I 702, y el módulo de función de transferencia de datos de Q 712 que recibe la señal de información de Q 704. Se hace notar que, en la realización de la figura 7A, los módulos de función de transferencia de datos de I y de Q 710 y 712 se ilustran como unos componentes independientes. En la implementación, no obstante, los módulos de función de transferencia de datos de I y de Q 710 y 712 pueden ser independientes o combinarse en un único módulo.

15 La etapa 1920 incluye el cálculo de un ángulo de desplazamiento de fase entre las constituyentes de envolvente sustancialmente igual y constante primera y segunda de la componente de I. En paralelo, la etapa 1920 también incluye el cálculo de un ángulo de desplazamiento de fase entre las constituyentes de envolvente sustancialmente igual y constante primera y segunda de la componente de Q. Como se ha descrito en lo que antecede, las constituyentes de envolvente constante primera y segunda de las componentes de I se desplazan en fase de forma apropiada en relación con la componente de I. De forma similar, las constituyentes de envolvente constante primera y segunda de las componentes de Q se desplazan en fase de forma apropiada en relación con la componente de Q. En la realización de la figura 7A, por ejemplo, la etapa 1920 se realiza por los módulos de función de transferencia de datos de I y de Q 710 y 712.

20 La etapa 1930 incluye el cálculo de la información de amplitud de cuadratura y en fase asociada con las constituyentes de envolvente constante primera y segunda de la componente de I. En paralelo, la etapa 1930 incluye el cálculo de la información de amplitud de cuadratura y en fase asociada con las constituyentes de envolvente constante primera y segunda de la componente de Q. En la realización de la figura 7A, por ejemplo, la etapa 1930 se realiza por los módulos de función de transferencia de datos de I y de Q 710 y 712.

25 La etapa 1940 incluye emitir la información de amplitud calculada a una fase de modulación vectorial subsiguiente. En la realización de la figura 7A, por ejemplo, los módulos de función de transferencia de I y de Q 710 y 712 emiten las señales de información de amplitud 722, 724, 726 y 728 a los moduladores vectoriales 760, 762, 764 y 766 a través de los DAC 730, 732, 734 y 736.

30 La figura 20 es un diagrama de bloques que ilustra un ejemplo 2000 de un módulo de función de transferencia, tal como los módulos de función de transferencia 710 y 712 de la figura 7A, que implementa el diagrama de flujo de proceso 1900. En el ejemplo de la figura 20, el módulo de función de transferencia 2000 recibe las señales de datos de I y de Q 2010 y 2012. En un ejemplo, las señales de datos de I y de Q 2010 y 2012 representan las componentes de datos de I y de Q de una señal de banda de base, tal como las señales 702 y 704 en la figura 7A.

35 Haciendo referencia a la figura 20, en un ejemplo, el módulo de función de transferencia 2000 muestrea las señales de datos de I y de Q 2010 y 2012 de acuerdo con un reloj de muestreo 2014. Las señales de datos de I y de Q muestreadas se reciben mediante los componentes 2020 y 2022, respectivamente, del módulo de función de transferencia 2000. Los componentes 2020 y 2022 miden, respectivamente, las magnitudes de las señales de datos de I y de Q muestreadas. En un ejemplo, los componentes 2020 y 2022 son unos detectores de magnitud.

40 Los componentes 2020 y 2022 emiten la información de magnitud de I y de Q medida a los componentes 2030 y 2032, respectivamente, del módulo de función de transferencia 2000. En un ejemplo, la información de magnitud de I y de Q medida se encuentra en forma de señales digitales. En base a la información de magnitud de I, el componente 2030 calcula un ángulo de desplazamiento de fase ϕ_I entre unas constituyentes de envolvente igual y constante o sustancialmente igual y constante primera y segunda de la señal de I muestreada. De forma similar, en base a la información de magnitud de Q, el componente 2032 calcula el ángulo de desplazamiento de fase ϕ_Q entre unas constituyentes de envolvente igual y constante o sustancialmente igual y constante primera y segunda de la señal de Q muestreada. Este funcionamiento se describirá adicionalmente a continuación.

45 En el ejemplo de la figura 20, ϕ_I y ϕ_Q se ilustran como las funciones $f(|\vec{I}|)$ y $f(|\vec{Q}|)$ de las señales de magnitud de I y de Q. En un ejemplo, las funciones $f(|\vec{I}|)$ y $f(|\vec{Q}|)$ se ajustan de acuerdo con las magnitudes relativas de las señales I y Q de banda de base respectivamente. Se describirán adicionalmente en lo que sigue, en la sección 3.4.4, $f(|\vec{I}|)$ y $f(|\vec{Q}|)$.

50 Haciendo referencia a la figura 20, los componentes 2030 y 2032 emiten la información de desplazamiento de fase calculada a los componentes 2040 y 2042, respectivamente. En base al ángulo de desplazamiento de fase ϕ_I , el

componente 2040 calcula la información de amplitud de cuadratura y en fase de las constituyentes de envolvente constante primera y segunda de la señal de I muestreada. De forma similar, en base al ángulo de desplazamiento de fase ϕ_Q , el componente 2042 calcula la información de amplitud de cuadratura y en fase de las constituyentes de envolvente constante primera y segunda de la señal de Q muestreada. Debido a la simetría, en un ejemplo, se requiere cálculo solo para 4 valores. En el ejemplo de la figura 20, los valores se ilustran como $\text{sgn}(I) \times I_{UX}$, I_{UY} , Q_{UX} , y $\text{sgn}(Q) \times Q_{UY}$, tal como se provee en la figura 5.

Los componentes 2040 y 2042 emiten la información de amplitud calculada a las fases subsiguientes del amplificador de potencia vectorial. En un ejemplo, cada uno de los cuatro valores calculados se emite por separado a un convertidor de digital a analógico. Como se muestra en la realización de la figura 7A por ejemplo, las señales 722, 724, 726 y 728 se emiten por separado a los DAC 730, 732, 734 y 736, respectivamente. En otras realizaciones, las señales 722, 724, 726 y 728 se emiten a un DAC único tal como se muestra en las figuras 8A y 8B.

3.4.2) Función de Transferencia de VPA de 2 Ramas CPCP

La figura 21 es un diagrama de flujo de proceso 2100 que ilustra una función de transferencia de I y de Q a modo de ejemplo de acuerdo con la VPA de 2 Ramas CPCP ejemplar. El procedimiento comienza en la etapa 2110, que incluye recibir unas componentes de datos en fase (I) y de cuadratura (Q) de una señal de banda de base. En la VPA de 2 Ramas CPCP ejemplar de la figura 12, por ejemplo, esto se ilustra mediante el módulo de función de transferencia de datos de I y de Q 1216 que recibe la señal de información de I y de Q 1210.

La etapa 2120 incluye la determinación de las magnitudes $|I|$ y $|Q|$ de las componentes de datos de I y de Q recibidas.

La etapa 2130 incluye el cálculo de una magnitud $|R|$ de la señal de banda de base en base a las magnitudes de $|I|$ y de $|Q|$ medidas. En un ejemplo, $|R|$ es tal que $|R|^2 = |I|^2 + |Q|^2$. En la realización de la figura 12, por ejemplo, las etapas 2120 y 2130 se realizan por el módulo de función de transferencia de datos de I y de Q 1216 en base a la señal de información 1210 recibida.

La etapa 2140 incluye la normalización de las magnitudes de $|I|$ y de $|Q|$ medidas. En un ejemplo, $|I|$ y $|Q|$ se normalizan para generar unas señales de $I_{\text{fase_reloj}}$ y de $Q_{\text{fase_reloj}}$ (tal como se muestra en la figura 10) de tal modo que $|I_{\text{fase_reloj}}|^2 + |Q_{\text{fase_reloj}}|^2 = \text{constante}$. En la realización de la figura 12, por ejemplo, la etapa 2140 se realiza por el módulo de función de transferencia de datos de I y de Q 1216 en base a la señal de información 1210 recibida.

La etapa 2150 incluye el cálculo de la información de amplitud de cuadratura y en fase asociada con unas constituyentes de envolvente constante primera y segunda. En la realización de la figura 12, por ejemplo, la etapa 2150 se realiza por el módulo de función de transferencia de datos de I y de Q 1216 en base a la magnitud de envolvente $|R|$.

La etapa 2160 incluye emitir la $I_{\text{fase_reloj}}$ y la $Q_{\text{fase_reloj}}$ generadas (a partir de la etapa 2140) y la información de amplitud calculada (a partir de la etapa 2150) a los moduladores vectoriales apropiados. En la realización de la figura 12, por ejemplo, el módulo de función de transferencia de datos de I y de Q 1216 emite las señales de información 1220, 1222, 1224 y 1226 a los moduladores vectoriales 1238, 1260 y 1262 a través de los DAC 1230, 1232, 1234 y 1236.

La figura 22 es un diagrama de bloques que ilustra un ejemplo 2200 de un módulo de función de transferencia (tal como el módulo 1216 de la figura 12) que implementa el diagrama de flujo de proceso 2100. En el ejemplo de la figura 22, el módulo de función de transferencia 2200 recibe la señal de datos de I y de Q 2210. En un ejemplo, la señal de datos de I y de Q 2210 incluye las componentes de I y de Q de una señal de banda de base, tal como la señal 1210 en la realización de la figura 12, por ejemplo.

En un ejemplo, el módulo de función de transferencia 2200 muestrea la señal de datos de I y de Q 2210 de acuerdo con un reloj de muestreo 2212. Las señales de datos de I y de Q muestreadas se reciben mediante el componente 2220 del módulo de función de transferencia 2200. El componente 2220 mide las magnitudes $|\vec{I}|$ y $|\vec{Q}|$ de las señales de datos de I y de Q muestreadas.

En base a las magnitudes de $|\vec{I}|$ y de $|\vec{Q}|$ medidas, el componente 2230 calcula la magnitud $|R|$ de la señal de banda de base. En un ejemplo, $|R|$ es tal que $|R|^2 = |\vec{I}|^2 + |\vec{Q}|^2$.

En paralelo, el componente 2240 normaliza las magnitudes de $|\vec{I}|$ y de $|\vec{Q}|$ medidas. En un ejemplo, $|\vec{I}|$ y $|\vec{Q}|$ se normalizan para generar las señales de $I_{\text{fase_reloj}}$ y de $Q_{\text{fase_reloj}}$ de tal modo que $|I_{\text{fase_reloj}}|^2 + |Q_{\text{fase_reloj}}|^2 = \text{constante}$, en la que $|I_{\text{fase_reloj}}|$ y $|Q_{\text{fase_reloj}}|$ representan las magnitudes normalizadas de $|\vec{I}|$ y

\vec{Q} . Típicamente, dado que la constante tiene un valor A, ambas de las magnitudes $|\vec{I}|$ y $|\vec{Q}|$ medidas se dividen por la cantidad $\frac{A}{\sqrt{|\vec{I}|^2 + |\vec{Q}|^2}}$

El componente 2250 recibe la magnitud $|\vec{R}|$ calculada a partir del componente 2230, y en base a la misma calcula un ángulo de desplazamiento de fase ϕ entre unas constituyentes de envolvente constante primera y segunda. Usando el ángulo de desplazamiento de fase calculado ϕ , el componente 2050 calcula a continuación la información de amplitud de cuadratura y en fase asociada con las constituyentes de envolvente constante primera y segunda.

En el ejemplo de la figura 22, el ángulo de desplazamiento de fase ϕ se ilustra como una función $f(|\vec{R}|)$ de la magnitud $|\vec{R}|$ calculada.

Haciendo referencia a la figura 22, los componentes 2240 y 2250 emiten la información de magnitud de $|f_{\text{fase_reloj}}|$ y de $|Q_{\text{fase_reloj}}|$ normalizada y la información de amplitud calculada a los DAC para su introducción en los moduladores vectoriales apropiados. En un ejemplo, los valores de salida se emiten por separado a unos convertidores de digital a analógico. Como se muestra en la realización de la figura 12, por ejemplo, las señales 1220, 1222, 1224 y 1226 se emiten por separado a los DAC 1230, 1232, 1234 y 1236, respectivamente. En otras realizaciones, las señales 1220, 1222, 1224 y 1226 se emiten a un DAC único tal como se muestra en las figuras 13 y 13A.

3.4.3) Función de Transferencia de 2 Ramas Cartesiana Directa

La figura 23 es un diagrama de flujo de proceso 2300 que ilustra una función de transferencia de I y de Q a modo de ejemplo de acuerdo con la VPA de 2 Ramas Cartesiana Directa ejemplar. El procedimiento comienza en la etapa 2310, que incluye recibir unas componentes de datos en fase (I) y de cuadratura (Q) de una señal de banda de base. En la realización de VPA de 2 Ramas Cartesiana Directa de la figura 17, por ejemplo, esto se ilustra mediante el módulo de función de transferencia de datos de I y de Q 1716 que recibe la señal de información de I y de Q 1710.

La etapa 2320 incluye la determinación de las magnitudes $|I|$ y $|Q|$ de las componentes de datos de I y de Q recibidas.

La etapa 2330 incluye el cálculo de una magnitud $|R|$ de la señal de banda de base en base a las magnitudes de $|I|$ y de $|Q|$ medidas. En un ejemplo, $|R|$ es tal que $|R|^2 = |I|^2 + |Q|^2$. En la realización de la figura 17, por ejemplo, las etapas 2320 y 2330 se realizan por el módulo de función de transferencia de datos de I y de Q 1716 en base a la señal de información 1710 recibida.

La etapa 2340 incluye el cálculo de un ángulo de desplazamiento de fase θ de la señal de banda de base en base a las magnitudes de $|I|$ y de $|Q|$ medidas. En un ejemplo, θ es tal que $\theta = \tan^{-1}\left(\frac{|Q|}{|I|}\right)$, y en la que el signo de I y Q

determinan el cuadrante de θ . En la realización de la figura 17, por ejemplo, la etapa 2340 se realiza por el módulo de función de transferencia de datos de I y de Q 1216 en base a las componentes de datos de I y de Q recibidos en la señal de información 1210.

La etapa 2350 incluye el cálculo de la información de amplitud de cuadratura y en fase asociada con unas constituyentes de envolvente constante primera y segunda de la señal de banda de base. En la realización de la figura 17, por ejemplo, la etapa 2350 se realiza por el módulo de función de transferencia de datos de I y de Q 1716 en base a la magnitud $|R|$ anteriormente calculada y el ángulo de desplazamiento de fase θ .

La etapa 2360 incluye emitir la información de amplitud calculada a los DAC para su introducción en los moduladores vectoriales apropiados. En la realización de la figura 17, por ejemplo, el módulo de función de transferencia de datos de I y de Q 1716 emite las señales de información 1720, 1722, 1724 y 1726 a los moduladores vectoriales 1750 y 1752 a través de los DAC 1730, 1732, 1734 y 1736. En otras realizaciones, las señales 1720, 1722, 1724 y 1726 se emiten a un DAC único tal como se muestra en las figuras 18 y 18A.

La figura 24 es un diagrama de bloques que ilustra un ejemplo 2400 de un módulo de función de transferencia que implementa el diagrama de flujo de proceso 2300. En el ejemplo de la figura 24, el módulo de función de transferencia 2400 (tal como el módulo de función de transferencia 1716) recibe la señal de datos de I y de Q 2410, tal como la señal 1710 en la figura 17. En un ejemplo, la señal de datos de I y de Q 2410 incluye las componentes de datos de I y de Q de una señal de banda de base.

En un ejemplo, el módulo de función de transferencia 2400 muestrea la señal de datos de I y de Q 2410 de acuerdo con un reloj de muestreo 2412. Las señales de datos de I y de Q muestreadas se reciben mediante el componente

2420 del módulo de función de transferencia 2200. El componente 2420 mide las magnitudes $|\vec{I}|$ y $|\vec{Q}|$ de las señales de datos de I y de Q muestreadas.

En base a las magnitudes de $|\vec{I}|$ y de $|\vec{Q}|$ medidas, el componente 2430 calcula la magnitud $|\vec{R}|$. En un ejemplo, $|\vec{R}|$ es tal que $|\vec{R}|^2 = |\vec{I}|^2 + |\vec{Q}|^2$.

- 5 En paralelo, el componente 2240 calcula el ángulo de desplazamiento de fase θ de la señal de banda de base. En un ejemplo, θ es tal que $\theta = \tan^{-1} \left(\frac{|\vec{Q}|}{|\vec{I}|} \right)$, en la que el signo de I y Q determinan el cuadrante de θ .

El componente 2450 recibe la magnitud $|\vec{R}|$ calculada a partir del componente 2430, y en base a esta calcula un ángulo de desplazamiento de fase ϕ entre las señales de constituyente de envolvente constante primera y segunda.

- 10 En el ejemplo de la figura 24, el ángulo de desplazamiento de fase ϕ se ilustra como una función $f_3(|\vec{R}|)$ de la magnitud $|\vec{R}|$ calculada. Esto se describe adicionalmente en la sección 3.4.4.

- 15 En paralelo, el componente 2450 recibe el ángulo de desplazamiento de fase calculado θ a partir del componente 2440. Como funciones de ϕ y θ , el componente 2450 calcula a continuación la información de amplitud de cuadratura y en fase para las entradas de modulador vectorial que generan las constituyentes de envolvente constante primera y segunda. En un ejemplo, la información de amplitud de cuadratura y en fase que se suministra a los moduladores vectoriales es conforme a las ecuaciones que se proporcionan en (18).

- 20 El componente 2450 emite la información de amplitud calculada a las fases subsiguientes del amplificador de potencia vectorial. En un ejemplo, los valores de salida se emiten por separado a unos convertidores de digital a analógico. Como se muestra en la realización de la figura 17, por ejemplo, las señales 1720, 1722, 1724 y 1726 se emiten por separado a los DAC 1730, 1732, 1734 y 1736, respectivamente. En otras realizaciones, las señales 1720, 1722, 1724 y 1726 se emiten a un DAC único tal como se muestra en las figuras 18 y 18A.

3.4.4) Magnitud para Transformada en Desplazamiento de Fase

Los ejemplos de $f(|I|)$, $f(|Q|)$ de la figura 20 y $F(|R|)$ de las figuras 22 y 24 se describirán adicionalmente a continuación.

- 25 De acuerdo con la divulgación en el presente documento, cualquier forma de onda periódica que pueda representarse mediante una serie de Fourier y una transformada de Fourier puede descomponerse en dos o más señales de envolvente constante.

En lo que sigue se proporcionan dos ejemplos para las formas de onda sinusoidal y cuadrada.

3.4.4.1) Magnitud para Transformada en Desplazamiento de Fase para Señales Sinusoidales:

- 30 Considérese una señal sinusoidal de envolvente compleja variable en el tiempo $r(t)$. En el dominio del tiempo, esta puede representarse como:

$$r(t) = R(t)\sin(\omega t + \delta(t)) \quad (20)$$

en la que $R(t)$ representa la envolvente de la magnitud de la señal en el instante t , $\delta(t)$ representa el ángulo de desplazamiento de fase de la señal en el instante t , y ω representa la frecuencia de la señal en radianes por segundo.

- 35 Puede verificarse que, en cualquier instante de tiempo t , la señal $r(t)$ puede obtenerse mediante la suma de dos señales de envolvente igual y constante o sustancialmente igual y constante desplazadas en fase de la forma apropiada. Dicho de otra forma, puede mostrarse que:

$$R(t)\sin(\omega t + \delta(t)) = A\sin(\omega t) + A\sin(\omega t + \phi(t)) \quad (21)$$

- 40 para un ángulo de desplazamiento de fase $\phi(t)$ elegido de forma apropiada entre las dos señales de envolvente constante. El ángulo de desplazamiento de fase $\phi(t)$ se calculará como una función de $R(t)$ en la descripción posterior. Esto es equivalente a la transformada de magnitud en desplazamiento de fase para las señales sinusoidales.

Usando una identidad trigonométrica sinusoidal, la ecuación (21) puede volver a escribirse como:

$$\begin{aligned} R(t)\sin(\omega t + \delta(t)) &= A\sin(\omega t) + A\sin(\omega t)\cos\phi(t) + A\sin(\phi(t))\cos\omega t; \\ \Rightarrow R(t)\sin(\omega t + \delta(t)) &= A\sin(\phi(t))\cos\omega t + A(1 + \cos\phi(t))\sin\omega t. \end{aligned} \quad (22)$$

Se hace notar, a partir de la ecuación (22), que la señal $r(t)$ se escribe como una suma de una componente en fase y una componente de cuadratura. Por consiguiente, la magnitud de envolvente $R(t)$ puede escribirse como:

$$\begin{aligned} R(t) &= \sqrt{(A\sin(\phi(t)))^2 + (A(1 + \cos(\phi(t))))^2}; \\ \Rightarrow R(t) &= \sqrt{2A(A + \cos(\phi(t)))}. \end{aligned} \quad (23)$$

La ecuación (23) relaciona la magnitud de envolvente $R(t)$ de la señal $r(t)$ con el ángulo de desplazamiento de fase $\phi(t)$ entre dos constituyentes de envolvente constante de la señal $r(t)$. Las constituyentes de envolvente constante tienen una magnitud de envolvente igual o sustancialmente igual A , que se normalizan típicamente a 1.

A la inversa, a partir de la ecuación (23), el ángulo de desplazamiento de fase $\phi(t)$ puede escribirse como una función de $R(t)$ tal como sigue:

$$\phi(t) = \arccos\left(\frac{R(t)^2}{2A^2} - 1\right). \quad (24)$$

La ecuación (24) representa la transformada de magnitud en desplazamiento de fase para el caso de las señales sinusoidales, y se ilustra en la figura 26.

3.4.4.2) Magnitud para Transformada en Desplazamiento de Fase para Señales de Onda Cuadrada:

La figura 28 ilustra una combinación ejemplar de dos señales de onda cuadrada de envolvente constante. En la figura 28, las señales 2810 y 2820 son unas señales de envolvente constante que tienen un periodo T , un coeficiente de servicio γT ($0 < \gamma < 1$), y unas magnitudes de envolvente A_1 y A_2 , respectivamente.

La señal 2830 resulta de las señales de combinación 2810 y 2820. De acuerdo con los ejemplos, la señal 2830 tendrá una magnitud igual o sustancialmente igual al producto de las señales 2810 y 2820. Dicho de otra forma, la señal 2830 tendrá una magnitud de cero siempre que cualquiera de las señales 2810 o 2820 tenga una magnitud de cero, y una magnitud distinta de cero cuando ambas señales 2810 y 2820 tengan unas magnitudes distintas de cero.

Además, la señal 2830 representa una señal modulada por anchura de impulsos. Dicho de otra forma, la magnitud de envolvente de la señal 2830 se determina de acuerdo con la anchura de impulsos de la señal 2830 a través de un periodo de la señal. De forma más específica, la magnitud de envolvente de la señal 2830 es igual o sustancialmente igual al área por debajo de la curva de la señal 2830.

Haciendo referencia a la figura 28, las señales 2810 y 2820 se muestran desplazadas en el tiempo una en relación con otra mediante un desplazamiento de tiempo t' . De forma equivalente, las señales 2810 y 2820 se desplazan en

fase una en relación con otra un ángulo de desplazamiento de fase $\phi = \left(\frac{t'}{T}\right) \times 2\pi$ radianes.

Haciendo de nuevo referencia a la figura 28, se hace notar que la magnitud de envolvente R de la señal 2830, en la figura 28, está dada por:

$$R = A_1 \times A_2 \times (\gamma T - t') \quad (25)$$

Por consiguiente, puede deducirse que ϕ está relacionado con R de acuerdo con:

$$\phi = \left[\gamma - \frac{R}{T(A_1 A_2)} \right] \times (2\pi). \quad (26)$$

Se hace notar, a partir de la ecuación (26), que R se encuentra en un máximo de $\gamma A_1 A_2$ cuando $\phi = 0$. Dicho de otra forma, la magnitud de envolvente se encuentra en un máximo cuando las dos señales de envolvente constante se encuentran en fase una con otra.

- En las implementaciones típicas, las señales 2810 y 2820 se normalizan y tienen una magnitud de envolvente igual o sustancialmente igual de 1. Además, las señales 2810 y 2820 típicamente tienen un coeficiente de servicio de 0,5. Por consiguiente, la ecuación (28) se reduce a:

$$\phi = \left[0,5 - \frac{R}{T} \right] \times (2\pi). \quad (27)$$

La ecuación (27) ilustra la transformada de magnitud en desplazamiento de fase para el caso de señales de onda cuadrada de magnitud de envolvente normalizada e igual o sustancialmente igual. La ecuación (27) se ilustra en la figura 26.

3.4.5) Compensación de Distorsión de Forma de Onda

En determinados ejemplos, las transformadas de magnitud en desplazamiento de fase pueden no implementarse exactamente tal como se desean en la teoría o en la práctica. De hecho, pueden existir diversos factores que requieren el ajuste o la sintonización de la magnitud calculada para la transformada de desplazamiento de fase para un funcionamiento óptimo (o, por lo menos, mejorado). En la práctica, pueden existir errores de amplitud y de fase en la circuitería de modulación vectorial, pueden tener lugar desequilibrios de ganancia y de fase en las ramas de amplificador de potencia vectorial, y puede existir una distorsión en el propio amplificador de MISO que incluye pero sin limitarse a los errores que se introducen mediante la combinación directa, en un único nodo de circuito, de las salidas de transistor en el interior del amplificador de MISO que se describe en el presente documento. Cada uno de estos factores contribuirá, o bien de forma individual o bien en combinación, a emitir las distorsiones de forma de onda que dan como resultado unas desviaciones con respecto a la señal de salida $r(t)$ deseada. Cuando la distorsión de forma de onda de salida supera los requisitos de diseño de sistema, puede requerirse una compensación de distorsión de forma de onda.

La figura 25 ilustra el efecto de una distorsión de forma de onda sobre una señal usando una representación de señal fasorial. En la figura 25, \vec{R} representa una representación fasorial de una señal deseada $r(t)$. En el ejemplo de la figura 25, una distorsión de forma de onda puede dar lugar a que el fasor de salida real varíe con respecto a $r(t)$ en cualquier parte en el interior de la región de error fasorial. Una región de error fasorial ejemplar se ilustra en la figura 25 y es igual o sustancialmente igual a la magnitud de vector de error máxima. Los fasores \vec{R}_1 y \vec{R}_2 representan unos ejemplos de fasores de salida potenciales que se desvían con respecto a la $r(t)$ deseada.

De acuerdo con unos ejemplos, las distorsiones de forma de onda pueden medirse, calcularse o estimarse durante la fabricación del sistema y / o en un funcionamiento en tiempo real o no en tiempo real. La figura 54A y la figura 55 son ejemplos de procedimientos que pueden usarse para la corrección y la medición de errores fasoriales. Estas distorsiones de forma de onda pueden compensarse o reducirse en diversos puntos en el sistema. Por ejemplo, un error de fase entre los amplificadores de rama puede ajustarse mediante la aplicación de un desplazamiento de tensión analógica a la circuitería de modulación vectorial, dentro de la función de transferencia, y / o el uso de unas técnicas de realimentación en tiempo real o no en tiempo real tal como se muestra en el sistema a modo de ejemplo que se ilustra en las figuras 58, 59 y 60. De forma similar, los desequilibrios de amplificación de rama pueden ajustarse mediante la aplicación de un desplazamiento de tensión analógica a la circuitería de modulación vectorial, dentro de la función de transferencia, y / o el uso de unas técnicas de realimentación en tiempo real o no en tiempo real tal como se muestra en las figuras 58, 59 y 60. En el sistema que se ilustra en las figuras 58, 59 y 60, por ejemplo, se realiza un ajuste de distorsión de forma de onda, tal como se ilustra en la figura 60, usando la circuitería de medición de amplitud de rama diferencial 6024 y la circuitería de medición de fase de rama diferencial 6026, que proporcionan una señal de amplitud de rama diferencial 5950 y una señal de fase de rama diferencial 5948, respectivamente. Estas señales se introducen en un convertidor A / D 5732 mediante el selector de señales de entrada 5946, con los valores que se generan por el convertidor A / D 5732 introduciéndose en el módulo de control digital 5602. El módulo de control digital 5602 usa los valores que se generan por el convertidor A / D 5732 para calcular valores ajustados o desplazados para proporcionar unas tensiones de control para los ajustes de fase para la circuitería de modulación vectorial 5922, 5924, 5926 y 5928 y unas tensiones de control para los ajustes de amplitud para la circuitería de control de equilibrio de ganancia 6016. En la figura 58, estas tensiones de control se ilustran usando la señal de control de equilibrio de ganancia 5749 y la señal de control de equilibrio de fase 5751. El enfoque de realimentación que se ha descrito en lo que antecede también compensa las variaciones de proceso, las variaciones de temperatura, las variaciones de empaquetado de CI y las variaciones de placa de circuito al garantizar que los errores de fase y de amplitud de sistema permanecen con una tolerancia especificada. En la sección 4.1.2, se describen adicionalmente unas técnicas de medición y de compensación de errores de realimentación y de alimentación en avance adicionales a modo de ejemplo.

En otros ejemplos, las distorsiones de forma de onda medidas, calculadas o estimadas se compensan en la fase de función de transferencia del amplificador de potencia. En este enfoque, la función de transferencia se diseña para tener en cuenta y corregir las distorsiones de forma de onda medidas, calculadas y / o estimadas. La figura 78 ilustra una deducción matemática de la transformada de magnitud en desplazamiento de fase en presencia de errores de fase y de amplitud en las ramas del VPA. La ecuación (28) en la figura 78 tiene en cuenta los errores tanto de amplitud como de fase en una realización ejemplar. Se hace notar que $R^* \sin(\omega t + \delta)$ en la figura 78 puede ser representativa de o bien \bar{R}_1 o bien \bar{R}_2 en la figura 25, por ejemplo. La ecuación (28) supone que las amplitudes A1 y A2 de las ramas de VPA pueden ser diferentes y que cada rama puede contener un error de fase ($\phi_1(t)$ y $\phi_2(t)$) respectivo. Para fines de referencia, en un sistema teóricamente perfecto, $A_1 = A_2$ y $\phi_1(t) = \phi_2(t) = 0$. $\delta(t)$ se ajusta por cuadrante en base al valor de signo de los vectores de entrada I(t) y Q(t). En ese sentido, sin error alguno de fase o de amplitud, el fasor que se corresponde con $R^* \sin(\omega t + \delta)$ está alineado con el fasor \bar{R} deseado en la figura 25.

En algunos ejemplos, en la práctica, las componentes de amplitud y de fase del fasor que se corresponde con $R^* \sin(\omega t + \delta)$ se comparan con el fasor \bar{R} deseado para generar unas desviaciones de error de fase y de amplitud de sistema. Estas desviaciones de error de fase y de amplitud con respecto al fasor \bar{R} deseado, tal como se muestra en la figura 25, pueden contabilizarse en la función de transferencia de sistema. En an, A1 y A2 pueden igualarse sustancialmente y $\phi_1(t)$ y $\phi_2(t)$ pueden minimizarse mediante el ajuste apropiado de las entradas de control a la circuitería de modulación vectorial. En un ejemplo, tal como se ilustra en la figura 57, esto se realiza por el módulo de control digital, que proporciona, usando unos convertidores de digital a analógico DAC_01, DAC_02, DAC_03 y DAC_04, entradas de control a la circuitería de modulación vectorial.

Por consiguiente, dado el hecho de que ecuaciones tales como la ecuación (28) pueden usarse para calcular el fasor resultante en cualquier instante en el tiempo en base a los valores de A1 y A2 y $\phi_1(t)$ y $\phi_2(t)$, puede hacerse una modificación o modificaciones de función de transferencia para compensar los errores de sistema, y tal modificación o modificaciones de función de transferencia serán evidentes para los expertos en la materia o materias relevantes en base a las enseñanzas contenidas en el presente documento. En la sección 4.1.2 se describen unos procedimientos ejemplares para generar tablas de error y / o funciones matemáticas para compensar los errores de sistema. Será evidente para los expertos en la materia o materias relevantes que estas técnicas de corrección y de compensación de distorsión de forma de onda pueden implementarse en los dominios o bien digital o bien analógico, y la implementación de tales técnicas será evidente para los expertos en la materia o materias relevantes en base a las enseñanzas contenidas en el presente documento.

3.5) Fase de salida

Un aspecto de la divulgación en el presente documento se encuentra en la suma de unas señales de constituyente en la fase de salida de un amplificador de potencia vectorial (VPA). Esto se muestra, por ejemplo, en la figura 7 en la que las salidas de los PA 770, 772, 774 y 776 se suman. Esto se muestra de forma similar en las figuras 8, 12, 13, 17 y 18, por ejemplo. Varias realizaciones para combinar las salidas de los VPA se describen en el presente documento. A pesar de que lo que sigue se describe en el contexto de los VPA, debería entenderse que las siguientes enseñanzas se aplican, en general, al acoplamiento o la suma de las salidas de cualquier dispositivo activo en cualquier aplicación.

La figura 29 ilustra un ejemplo de fase de salida de amplificador de potencia vectorial 2900. La fase de salida 2900 incluye una pluralidad de señales de modulator vectorial 2910 - {1, ..., n} que se introducen en una pluralidad de amplificadores de potencia (PA) 2920 - {1, ..., n} correspondientes. Como se ha descrito en lo que antecede, las señales 2910 - {1, ..., n} representan unas señales de constituyente de una señal de salida deseada del amplificador de potencia vectorial.

En el ejemplo de la figura 29, los PA 2910 - {1, ..., n} amplifican por igual o amplifican sustancialmente por igual las señales de entrada 2910 - {1, ..., n} para generar las señales de salida amplificadas 2930 - {1, ..., n}. Las señales de salida amplificadas 2930 - {1, ..., n} se acoplan entre sí directamente en el nodo de suma 2940. De acuerdo con el presente ejemplo, el nodo de suma 2940 no incluye elemento de acoplamiento o de aislamiento alguno, tal como un circuito combinador de potencia, por ejemplo. En el ejemplo de la figura 29, el nodo de suma 2940 es un hilo conductor de impedancia cero (o de impedancia casi cero). Por consiguiente, a diferencia de los sistemas convencionales que emplean elementos de combinación, la combinación de las señales de salida de acuerdo con el presente ejemplo incurre en una pérdida de potencia mínima.

En otro aspecto, los ejemplos de fase de salida pueden implementarse usando unos amplificadores de potencia de múltiples entradas y de una única salida (MISO).

En otro aspecto, los ejemplos de fase de salida pueden controlarse para aumentar la eficiencia energética del amplificador mediante el control de la intensidad de fase de salida de acuerdo con el nivel de potencia de salida deseado.

En lo que sigue, varias realizaciones de fase de salida de acuerdo con las realizaciones de VPA de la presente invención se proporcionan en la sección 3.5.1. En la sección 3.5.2, se presentan las realizaciones de funciones de

conformación de intensidad de fase de salida, para aumentar la eficiencia energética de determinadas realizaciones de VPA de la presente invención. La sección 3.5.3 describe unas realizaciones de funciones de técnicas de protección de fase de salida que pueden utilizarse para determinadas realizaciones de fase de salida de la presente invención.

5 3.5.1) Realizaciones de fase de salida

La figura 30 es un diagrama de bloques que ilustra un ejemplo de fase de salida de amplificador de potencia (PA) 3000. El ejemplo de fase de salida 3000 incluye una pluralidad de ramas de PA 3005 - {1, ..., n}. Las señales 3010 - {1, ..., n} que provienen de los moduladores vectoriales respectivos representan unas entradas para la fase de salida 3000. De acuerdo con el presente ejemplo, las señales 3010 - {1, ..., n} representan unas señales de constituyente de envolvente igual y constante o sustancialmente igual y constante de una señal de salida deseada del amplificador de potencia.

Las ramas de PA 3005 - {1, ..., n} aplican una amplificación de potencia igual o sustancialmente igual a las señales 3010 - {1, ..., n} respectivas. En un ejemplo, el nivel de amplificación de potencia a través de las ramas de PA 3005 - {1, ..., n} se ajusta de acuerdo con un requisito de nivel de potencia de la señal de salida deseada.

En el ejemplo de la figura 30, cada una de las ramas de PA 3005 - {1, ..., n} incluye un amplificador de potencia 3040 - {1, ..., n}. En otros ejemplos, los circuitos de excitación 3030 - {1, ..., n} y los circuitos de pre-excitación 3020 - {1, ..., n}, tal como se ilustra en la figura 30, también pueden añadirse en una rama de PA antes del elemento de amplificador de potencia. En los ejemplos, los circuitos de excitación y los circuitos de pre-excitación se emplean siempre que un nivel de potencia de salida requerido no pueda conseguirse en una única fase de amplificación.

Para generar la señal de salida deseada, las salidas de las ramas de PA 3005 - {1, ..., n} se acoplan directamente en el nodo de suma 3050. El nodo de suma 3050 proporciona poco o ningún aislamiento entre las salidas acopladas. Además, el nodo de suma 3050 representa un nodo de suma relativamente sin pérdidas. Por consiguiente, se incurre en una pérdida de potencia mínima en la suma de las salidas de los PA 3040 - {1, ..., n}.

La señal de salida 3060 representa la señal de salida deseada de la fase de salida 3000. En el ejemplo de la figura 30, la señal de salida 3060 se mide a través de una impedancia de carga 3070.

La figura 31 es un diagrama de bloques que ilustra otra fase de salida de amplificador de potencia (PA) 3100. De forma similar al ejemplo de la figura 30, la fase de salida 3100 incluye una pluralidad de ramas de PA 3105 - {1, ..., n}. Cada una de las ramas de PA 3105 - {1, ..., n} puede incluir múltiples fases de amplificación de potencia que se representan mediante un circuito de pre-excitación 3020 - {1, ..., n}, un circuito de excitación 3030 - {1, ..., n} y el amplificador de potencia 3040 - {1, ..., n}. El ejemplo de fase de salida 3100 incluye además unas impedancias de polarización que están acopladas en la salida de cada fase de amplificación de potencia para proporcionar la polarización de esa fase. Por ejemplo, las impedancias de polarización 3125 - {1, ..., n} y 3135 - {1, ..., n}, respectivamente, acoplan las salidas de fase de circuito de pre-excitación y de circuito de excitación con el suministro de potencia o los suministros de potencia de polarización independientes. De forma similar, la impedancia de polarización 3145 acopla las salidas de fase de PA con el suministro de potencia o un suministro de potencia de polarización independiente. De acuerdo con el presente ejemplo de la presente invención, las impedancias de polarización representan unos componentes opcionales que pueden afectar a la eficiencia pero no necesariamente al funcionamiento del ejemplo de fase de salida.

La figura 32 es un diagrama de bloques que ilustra otro ejemplo de fase de salida de amplificador de potencia (PA) 3200 de acuerdo con la presente invención. De forma similar al ejemplo de la figura 30, la fase de salida 3200 incluye una pluralidad de ramas de PA 3205 - {1, ..., n}. Cada una de las ramas de PA 3205 - {1, ..., n} puede incluir múltiples fases de amplificación de potencia que se representan mediante un circuito de pre-excitación 3020 - {1, ..., n}, un circuito de excitación 3030 - {1, ..., n} y el amplificador de potencia 3040 - {1, ..., n}. El ejemplo de fase de salida 3200 también incluye unas impedancias de polarización que están acopladas en la salida de cada fase de amplificación de potencia para conseguir una polarización apropiada de esa fase. Además, el ejemplo de fase de salida 3200 incluye las impedancias de adaptación que están acopladas en las salidas de cada fase de amplificación de potencia para maximizar la transferencia de potencia a partir de esa fase. Por ejemplo, las impedancias de adaptación 3210 - {1, ..., n} y 3220 - {1, ..., n} se acoplan, respectivamente, con las salidas de fase de circuito de pre-excitación y de circuito de excitación. De forma similar, la impedancia de adaptación 3240 se acopla en la salida de fase de PA. Se hace notar que la impedancia de adaptación 3240 se acopla con la fase de salida de PA subsiguiente al nodo de suma 3250.

En los ejemplos que se han descrito en lo que antecede de las figuras 30 - 32, las salidas de fase de PA se combinan mediante un acoplamiento directo en un nodo de suma. Por ejemplo, en el ejemplo de la figura 30, las salidas de las ramas de PA 3005 - {1, ..., n} se acoplan entre sí en el nodo de suma 3050. El nodo de suma 3050 es un hilo conductor de impedancia casi cero que proporciona un aislamiento mínimo entre las salidas acopladas. Un acoplamiento de fase de salida similar se muestra en las figuras 31 y 32. Se hace notar que, en determinados ejemplos, el acoplamiento de salida, tal como se muestra en los ejemplos de las figuras 30 - 32 o los ejemplos que se describen de manera subsiguiente en lo que sigue, puede utilizar determinadas medidas de protección de fase de

salida. Estas medidas de protección pueden implementarse en diferentes fases de la rama de PA. Además, el tipo de medidas de protección necesario puede ser específico de la implementación de PA. Un análisis adicional de la protección de fase de salida se proporciona en la sección 3.5.3.

La figura 33 es un diagrama de bloques que ilustra otra fase de salida de amplificador de potencia (PA) 3300 de acuerdo con una realización de la presente invención. De forma similar al ejemplo de la figura 30, la fase de salida 3300 incluye una pluralidad de ramas de PA 3305 - {1, ..., n}. Cada una de las ramas de PA 3305 - {1, ..., n} puede incluir múltiples fases de amplificación de potencia que se representan mediante un circuito de pre-excitación 3020 - {1, ..., n}, un circuito de excitación 3030 - {1, ..., n} y el amplificador de potencia 3040 - {1, ..., n}. La realización de fase de salida 3300 también puede incluir las impedancias de polarización 3125 - {1, ..., n}, 3135 - {1, ..., n} y 3145 que están acopladas en la salida de cada fase de amplificación de potencia para conseguir una polarización apropiada de esa fase. Adicionalmente, la realización de fase de salida 3300 puede incluir las impedancias de adaptación 3210 - {1, ..., n}, 3220 - {1, ..., n} y 3240 que están acopladas en la salida de cada fase de amplificación de potencia para maximizar la transferencia de potencia a partir de esa fase. Además, la realización de fase de salida 3300 recibe una señal de autopolarización 3310, a partir de un módulo de autopolarización 3340, que está acoplado en la entrada de fase de PA de cada rama de PA 3305 - {1, ..., n}. El módulo de autopolarización 3340 controla la polarización de los PA 3040 - {1, ..., n}. En una realización, la señal de autopolarización 3340 controla la cantidad de flujo de intensidad a través de la fase de PA de acuerdo con un nivel de potencia de salida, y una envolvente de señal, deseados de la forma de onda de salida. Una descripción adicional del funcionamiento de la señal de autopolarización y el módulo de autopolarización se proporciona en lo que sigue en la sección 3.5.2.

La figura 34 es un diagrama de bloques que ilustra otra fase de salida de amplificador de potencia (PA) 3400 ejemplar. De forma similar al ejemplo de la figura 30, la fase de salida 3400 incluye una pluralidad de ramas de PA 3405 - {1, ..., n}. Cada una de las ramas de PA 3405 - {1, ..., n} puede incluir múltiples fases de amplificación de potencia que se representan mediante un circuito de pre-excitación 3020 - {1, ..., n}, un circuito de excitación 3030 - {1, ..., n} y el amplificador de potencia 3040 - {1, ..., n}. La fase de salida 3400 también puede incluir las impedancias de polarización 3125 - {1, ..., n}, 3135 - {1, ..., n} y 3145 que están acopladas en la salida de cada fase de amplificación de potencia para conseguir la polarización deseada de esa fase. Adicionalmente, la fase de salida 3400 puede incluir las impedancias de adaptación 3210 - {1, ..., n}, 3220 - {1, ..., n} y 3240 que están acopladas en la salida de cada fase de amplificación de potencia para maximizar la transferencia de potencia a partir de esa fase. Además, la fase de salida 3400 incluye una pluralidad de redes de circuito de control de armónicos 3410 - {1, ..., n} que están acopladas en la entrada de fase de PA de cada rama de PA {1, ..., n}. Las redes de circuito de control de armónicos 3410 - {1, ..., n} pueden incluir una pluralidad de elementos de resistencia, capacitivos y / o inductivos y / o dispositivos activos que están acopladas en serie o en paralelo. De acuerdo con un ejemplo, las redes de circuito de control de armónicos 3410 - {1, ..., n} proporcionan unas funciones de control de armónicos para controlar el espectro de frecuencia de salida del amplificador de potencia. En un ejemplo, las redes de circuito de control de armónicos 3410 - {1, ..., n} se seleccionan de tal modo que la transferencia de energía al armónico fundamental en el espectro de salida sumado se aumenta mientras que el contenido en armónicos de la forma de onda de salida se disminuye. Una descripción adicional del control de armónicos se proporciona en lo que sigue en la sección 3.6.

La figura 35 es un diagrama de bloques que ilustra otra fase de salida de amplificador de potencia (PA) 3500 ejemplar. La fase de salida 3500 representa un equivalente de salida diferencial de la fase de salida 3200 de la figura 32. En el ejemplo 3500, las salidas de fase de PA 3510 - {1, ..., n} se combinan de forma sucesiva para dar como resultado dos señales agregadas. Las dos señales agregadas se combinan a continuación a través de una impedancia de carga, haciendo de ese modo que la salida del amplificador de potencia represente la diferencia entre las dos señales agregadas. Haciendo referencia a la figura 35, las señales agregadas 3510 y 3520 se acoplan a través de la impedancia de carga 3530. La salida del amplificador de potencia se mide a través de la impedancia de carga 3530 como la diferencia de tensión entre los nodos 3540 y 3550. De acuerdo con el ejemplo 3500, la máxima salida del amplificador de potencia se obtiene cuando las dos señales agregadas se encuentran desfasadas 180 grados una en relación con otra. A la inversa, la potencia de salida mínima se obtiene cuando las dos señales agregadas se encuentran en fase una en relación con otra.

La figura 36 es un diagrama de bloques que ilustra otra fase de salida 3600 ejemplar. De forma similar al ejemplo de la figura 30, la fase de salida 3600 incluye una pluralidad de ramas de PA 3605 - {1, ..., n}. Cada una de las ramas de PA {1, ..., n} puede incluir múltiples fases de amplificación de potencia que se representan mediante un circuito de pre-excitación 3020 - {1, ..., n}, un circuito de excitación 3030 - {1, ..., n}, y un amplificador de potencia (PA) 3620 - {1, ..., n}.

De acuerdo con el ejemplo 3600, los PA 3620 - {1, ..., n} incluyen unos amplificadores de potencia con conmutación. En el ejemplo de la figura 36, los amplificadores de potencia 3620 - {1, ..., n} incluyen los elementos de transistor de unión bipolar (BJT) npn Q1, ..., Qn. Los elementos de BJT Q1, ..., Qn tienen unos nodos de colector común. Haciendo referencia a la figura 36, los terminales de colector de los elementos de BJT Q1, ..., Qn se acoplan entre sí para proporcionar el nodo de suma 3640. Los terminales de emisor de los elementos de BJT Q1, ..., Qn se acoplan con un nodo de masa, mientras que los terminales de base de los elementos de BJT Q1, ..., Qn proporcionan unos terminales de entrada a la fase de PA.

La figura 37 es un ejemplo (en relación con la figura 36) que ilustra una señal de salida de la fase de PA del ejemplo 3600 en respuesta a unas señales de entrada de onda cuadrada. Para facilidad de ilustración, se considera una fase de PA de dos ramas. En el ejemplo de la figura 37, las señales de onda cuadrada 3730 y 3740 se introducen, respectivamente, en los elementos de BJT 3710 y 3720. Se hace notar que, cuando cualquiera de los elementos de BJT 3710 o 3720 pasa a estado de conducción, el nodo de suma 3750 se cortocircuita a masa. Por consiguiente, cuando cualquiera de las señales de entrada 3730 o 3740 es alta, la señal de salida 3780 será cero. Además, la señal de salida 3780 será alta solo cuando ambas señales de entrada 3730 y 3740 sean cero. De acuerdo con esta disposición, la fase de PA 3700 realiza una modulación por anchura de impulsos, mediante lo cual la magnitud de la señal de salida es una función del ángulo de desplazamiento de fase entre las señales de entrada.

Los ejemplos no se limitan a implementaciones de BJT npn tal como se describe en el presente documento. Un experto en la materia apreciará, por ejemplo, que las realizaciones de la presente invención pueden implementarse usando BJT pnp, CMOS, NMOS, PMOS, u otro tipo de transistores. Además, las realizaciones pueden implementarse usando transistores de GaAs y/o de SiGe, siendo la velocidad de conmutación de transistor un factor a tener en cuenta.

Haciendo referencia otra vez a la figura 36, se observa que mientras que cada uno de los PA 3620 - {1, ..., n} se ilustra usando una única notación de BJT, cada PA 3620 - {1, ..., n} puede incluir una pluralidad de transistores acoplados en serie. En los ejemplos, el número de transistores incluidos dentro de cada PA se ajusta de acuerdo con un nivel de potencia de salida máximo requerido del amplificador de potencia. En otros ejemplos, el número de transistores en el PA es tal que los números de transistores en las fases de circuito de pre-excitación, de circuito de excitación y de PA se ajustan a una progresión geométrica.

La figura 38 ilustra una realización de PA ejemplar 3800 de acuerdo con una realización de la presente invención. La realización de PA 3800 incluye un elemento de BJT 3870, una red de LC 3860 y una impedancia de polarización 3850. El elemento de BJT 3870 incluye una pluralidad de transistores BJT Q1, ..., Q8 acoplados en serie. Como se ilustra en la figura 38, los transistores BJT Q1, ..., Q8 se acoplan entre sí en sus terminales de base, de colector y de emisor. El terminal de colector 3880 del elemento de BJT 3870 proporciona un terminal de salida para el PA 3800. El terminal de emisor 3890 del elemento de BJT 3870 puede acoplarse con el sustrato o con un terminal de emisor de una fase de amplificador precedente. Por ejemplo, el terminal de emisor 3890 se acopla con un terminal de emisor de una fase de circuito de excitación precedente.

Haciendo referencia a la figura 38, la red de LC 3860 se acopla entre el terminal de entrada de PA 3810 y el terminal de entrada 3820 del elemento de BJT 3870. La red de LC 3860 incluye una pluralidad de elementos capacitivos e inductivos. De forma opcional, una red de Circuito de Control de Armónicos 3830 también se acopla en el terminal de entrada 3820 del elemento de BJT 3870. Como se ha descrito en lo que antecede, la red de HCC 3830 proporciona una función de control de armónicos para controlar el espectro de frecuencia de salida del amplificador de potencia.

Haciendo de nuevo referencia a la figura 38, la impedancia de polarización 3850 acopla la señal Iref 3840 con el terminal de entrada 3820 del elemento de BJT 3870. La señal Iref 3840 representa una señal de autopolarización que controla la polarización del elemento de BJT 3870 de acuerdo con un nivel de potencia de salida, y unas características de envolvente de señal, deseados.

Se hace notar que, en la realización de la figura 38, se ilustra que el elemento de BJT 3870 incluye 8 transistores. Un experto en la materia puede apreciar, no obstante, que el elemento de BJT 3870 puede incluir cualquier número de transistores según se requiera para conseguir el nivel de potencia de salida deseado del amplificador de potencia.

En otro aspecto, las realizaciones de fase de salida pueden implementarse usando unos amplificadores de potencia de múltiples entradas y de una única salida (MISO). La figura 51A es un diagrama de bloques que ilustra una realización de fase de salida de MISO ejemplar 5100A. La realización de fase de salida 5100A incluye una pluralidad de señales de modulador vectorial 5110 - {1, ..., n} que se introducen en el amplificador de potencia (PA) de MISO 5120. Como se ha descrito en lo que antecede, las señales 5110 - {1, ..., n} representan unas constituyentes de envolvente constante de la señal de salida 5130 del amplificador de potencia. El PA de MISO 5120 es un amplificador de potencia de múltiples entradas y de una única salida. El PA de MISO 5120 recibe y amplifica las señales 5110 - {1, ..., n} proporcionando un proceso de amplificación de múltiples señales distribuido para generar la señal de salida 5130.

Se hace notar que las implementaciones de MISO, similares a aquella que se muestra en la figura 51A, pueden extenderse de forma similar a cualquiera de las realizaciones de fase de salida que se han descrito en lo que antecede. De forma más específica, cualquiera de las realizaciones de fase de salida de las figuras 29 - 37 puede implementarse usando un enfoque de MISO. Unas realizaciones de MISO adicionales se proporcionarán en lo que sigue con referencia a las figuras 51B - I. Se hace notar que cualquiera de las realizaciones que se han descrito en lo que antecede puede implementarse usando cualquiera de las realizaciones de MISO que se proporcionarán en lo que sigue.

Haciendo referencia a la figura 51A, el PA de MISO 5120 puede tener cualquier número de entradas según se requiera por la descomposición de envolvente sustancialmente constante de la señal de entrada de envolvente compleja. Por ejemplo, en una descomposición bidimensional, puede usarse un amplificador de potencia de dos entradas. De acuerdo con las realizaciones de la presente invención, se proporcionan bloques de construcción para crear los PA de MISO para cualquier número de entradas. La figura 51B ilustra diversos bloques de construcción de MISO de acuerdo con una realización de la presente invención. El PA de MISO 5110B representa un bloque de PA de dos entradas y de una única salida. En una realización, el PA de MISO 5110B incluye dos ramas de PA. Las ramas de PA del PA de MISO 5110B pueden ser equivalentes a cualquier rama de PA que se ha descrito en lo que antecede con referencia a las figuras 29 - 37, por ejemplo. El PA de MISO 5120B representa un bloque de PA de tres entradas y de una única salida. En una realización, el PA de MISO 5120B incluye tres ramas de PA. Las ramas de PA del PA de MISO 5120B pueden ser equivalentes a cualquier rama de PA que se han descrito en lo que antecede con referencia a las figuras 29 - 37, por ejemplo.

Haciendo de nuevo referencia a la figura 51B, los PA de MISO 5110B y 5120B representan unos bloques de construcción básicos para cualquier amplificador de potencia de múltiples entradas y de una única salida de acuerdo con las realizaciones de la presente invención. Por ejemplo, el PA de MISO 5130B es un PA de cuatro entradas y de una única salida, que puede crearse mediante el acoplamiento entre sí de las salidas de dos bloques de PA de dos entradas y de una única salida, tal como el PA de MISO 5110B, por ejemplo. Esto se ilustra en la figura 51C. De forma similar, puede verificarse que el PA de MISO 5140B, un PA de n entradas y de una única salida, puede crearse a partir de los bloques de construcción básicos 5110B y 5120B.

La figura 51D ilustra varias realizaciones del bloque de construcción de PA de dos entradas y de una única salida de acuerdo con las realizaciones de la presente invención.

La realización 5110D representa una implementación de npn del bloque de construcción de PA de dos entradas y de una única salida. La realización 5110D incluye dos transistores npn que están acoplados entre sí usando un nodo de colector común, que proporciona la salida del PA. Una impedancia de polarización (que no se muestra) puede acoplarse entre el nodo de colector común y un nodo de suministro (que no se muestra).

La realización 5130D representa un equivalente de pnp de la realización 5110D. La realización 5130D incluye dos transistores pnp que están acoplados en un nodo de colector común, que proporciona la salida del PA. Una impedancia de masa (que no se muestra) puede acoplarse entre el nodo de colector común y un nodo de masa (que no se muestra).

La realización 5140D representa una implementación de npn / pnp complementaria del bloque de construcción de PA de dos entradas y de una única salida. La realización 5140D incluye un transistor npn y un transistor pnp que están acoplados en un nodo de colector común, que proporciona la salida del PA.

Haciendo de nuevo referencia a la figura 51D, la realización 5120D representa una implementación de NMOS del bloque de construcción de PA de dos entradas y de una única salida. La realización 5120D incluye dos transistores NMOS que están acoplados en un nodo de drenador común, que proporciona la salida del PA.

La realización 5160D representa un equivalente de PMOS de la realización 5120D. La realización 5120D incluye dos transistores PMOS que están acoplados en un nodo de drenador común, que proporciona la salida del PA.

La realización 5150D representa una implementación de MOS complementaria del bloque de construcción de PA de dos entradas y de una única salida. La realización 5150D incluye un transistor PMOS y un transistor NMOS que están acoplados un nodo de drenador común, que proporciona la salida del PA.

Las realizaciones de dos entradas y de una única salida de la figura 51D pueden extenderse además para crear unas realizaciones de múltiples entradas y de una única salida. La figura 51E ilustra varias realizaciones de unos PA de múltiples entradas y de una única salida de acuerdo con las realizaciones de la presente invención.

La realización 5150E representa una implementación de npn de un PA de múltiples entradas y de una única salida. La realización 5150E incluye una pluralidad de transistores npn que están acoplados entre sí usando un nodo de colector común, que proporciona la salida del PA. Una impedancia de polarización (que no se muestra) puede acoplarse entre el nodo de colector común y una tensión de suministro (que no se muestra). Se hace notar que un PA de n entradas y de una única salida de acuerdo con la realización 5150E puede obtenerse mediante el acoplamiento de unos transistores npn adicionales a la realización de bloque de construcción de PA de dos entradas y de una única salida 5110D.

La realización 5170E representa un equivalente de pnp de la realización 5150E. La realización 5170E incluye una pluralidad de transistores pnp que están acoplados entre sí usando un nodo de colector común, que proporciona la salida del PA. Una impedancia de masa (que no se muestra) puede acoplarse entre el nodo de colector común y un nodo de masa (que no se muestra). Se hace notar que un PA de n entradas y de una única salida de acuerdo con la realización 5170E puede obtenerse mediante el acoplamiento de unos transistores pnp adicionales a la realización de bloque de construcción de PA de dos entradas y de una única salida 5130D.

Las realizaciones 5110E y 5130E representan unas implementaciones de npn / pnp complementarias de un PA de múltiples entradas y de una única salida. Las realizaciones 5110E y 5130E pueden incluir una pluralidad de transistores npn y / o pnp que están acoplados entre sí usando un nodo de colector común, que proporciona la salida del PA. Se hace notar que un PA de n entradas y de una única salida de acuerdo con la realización 5110E puede obtenerse mediante el acoplamiento de unos transistores npn y / o pnp adicionales a la realización de bloque de construcción de PA de dos entradas y de una única salida 5140D. De forma similar, un PA de n entradas y de una única salida de acuerdo con la realización 5130E puede obtenerse mediante el acoplamiento de unos transistores npn y / o pnp adicionales a la realización de bloque de construcción de PA de dos entradas y de una única salida 5130D.

La realización 5180E representa una implementación de PMOS de un PA de múltiples entradas y de una única salida. La realización 5180E incluye una pluralidad de transistores PMOS que están acoplados entre sí usando un nodo de drenador común, que proporciona la salida del PA. Se hace notar que un PA de n entradas y de una única salida de acuerdo con la realización 5180E puede obtenerse mediante el acoplamiento de unos transistores NMOS adicionales a la realización de bloque de construcción de PA de dos entradas y de una única salida 5160D.

La realización 5160E representa una implementación de NMOS de un PA de múltiples entradas y de una única salida. La realización 5160E incluye una pluralidad de transistores NMOS que están acoplados entre sí usando un nodo de drenador común, que proporciona la salida del PA. Se hace notar que un PA de n entradas y de una única salida de acuerdo con la realización 5160E puede obtenerse mediante el acoplamiento de unos transistores PMOS adicionales a la realización de bloque de construcción de PA de dos entradas y de una única salida 5120D.

Las realizaciones 5120E y 5140E, implementaciones de MOS complementarias de un PA de múltiples entradas y de una única salida. Las realizaciones 5120E y 5140E incluyen una pluralidad de transistores npn y pnp que están acoplados entre sí usando un nodo de drenador común, que proporciona la salida del PA. Se hace notar que un PA de n entradas y de una única salida de acuerdo con la realización 5120E puede obtenerse mediante el acoplamiento de unos transistores NMOS y / o PMOS adicionales con el bloque de construcción de PA de dos entradas y de una única salida 5150D. De forma similar, un PA de n entradas y de una única salida de acuerdo con la realización 5140E puede obtenerse mediante el acoplamiento de unos transistores NMOS y / o PMOS adicionales con el bloque de construcción de PA de dos entradas y de una única salida 5160D.

La figura 51F ilustra unas realizaciones de múltiples entradas y de una única salida adicionales de acuerdo con las realizaciones de la presente invención. La realización 511F representa una implementación de npn / pnp complementaria de un PA de múltiples entradas y de una única salida. La realización 5110f puede obtenerse mediante el acoplamiento entre sí, de forma iterativa, de las realizaciones del bloque de construcción de PA 5140D. De forma similar, la realización 5120F representa una implementación complementaria de NMOS / PMOS equivalente de un PA de múltiples entradas y de una única salida. La realización 5120F puede obtenerse mediante el acoplamiento entre sí, de forma iterativa, de las realizaciones del bloque de construcción de PA 5150D.

Se hace notar que cada una de las realizaciones de múltiples entradas y de una única salida que se han descrito en lo que antecede puede corresponderse con una única o múltiples ramas de un PA. Por ejemplo, haciendo referencia a la figura 29, cualquiera de los ejemplos de múltiples entradas y de una única salida puede usarse para sustituir un único o múltiples PA 2920 - {1, ..., n}. Dicho de otra forma, cada uno de los PA 2920 - {1, ..., n} puede implementarse usando cualquiera de los ejemplos de múltiples entradas y de una única salida de PA que se han descrito en lo que antecede o con un PA de una única entrada y de una única salida tal como se muestra en la figura 29.

Se hace notar además que cada uno de los transistores que se muestran en las realizaciones de las figuras 51D, 51E y 51F puede implementarse usando una serie de transistores tal como se muestra en la realización ejemplar de la figura 38, por ejemplo.

La figura 51G ilustra unas realizaciones adicionales de los bloques de construcción de PA de múltiples entradas y de una única salida. La realización 5110G ilustra una realización del bloque de construcción de PA de dos entradas y de una única salida. La realización 5110G incluye dos ramas de PA, cada una de las cuales puede implementarse de acuerdo con unas realizaciones de un PA de una única entrada y de una única salida o de múltiples entradas y de una única salida tal como se ha descrito en lo que antecede. Además, la realización 5110G ilustra una señal de control de polarización opcional 5112G que se acopla con las dos ramas de la realización de PA. La señal de control de polarización 5112G se emplea de forma opcional en la realización 5110G en base a la implementación específica de las ramas de PA. En determinadas implementaciones, un control de polarización se requerirá para un funcionamiento apropiado del PA. En otras implementaciones, un control de polarización no se requiere para un funcionamiento apropiado del PA, pero puede proporcionar una eficiencia energética de PA mejorada, una protección de circuito de salida o una protección de corriente de encendido.

Haciendo de nuevo referencia a la figura 51G, la realización 5120G ilustra una realización del bloque de construcción de PA de tres entradas y de una única salida. La realización 5120G incluye tres ramas de PA, cada una de las cuales puede implementarse de acuerdo con unas realizaciones de un PA de una única entrada y de una única salida o de múltiples entradas y de una única salida tal como se ha descrito en lo que antecede. Además, la

realización 5120G ilustra una señal de control de polarización opcional 5114G que se acopla con las ramas de la realización de PA. La señal de control de polarización 5114G se emplea de forma opcional en la realización 5120G en base a la implementación específica de las ramas de PA. En determinadas implementaciones, un control de polarización se requerirá para un funcionamiento apropiado del PA. En otras implementaciones, un control de polarización no se requiere para un funcionamiento apropiado del PA, pero puede proporcionar una eficiencia energética de PA mejorada.

La figura 51H ilustra una realización ejemplar adicional 5100H del bloque de construcción de PA de dos entradas y de una única salida. La realización 5100H incluye dos ramas de PA, cada una de las cuales puede implementarse de acuerdo con unas realizaciones de un PA de una única entrada y de una única salida o de múltiples entradas y de una única salida tal como se ha descrito en lo que antecede. La realización 5100H incluye además unos elementos opcionales, que se ilustran usando líneas discontinuas en la figura 51H, que pueden emplearse adicionalmente en las realizaciones de la realización 5100H. En una realización, el bloque de construcción de PA 5100H puede incluir una fase de circuito de excitación y / o una fase de circuito de pre-excitación en cada una de las ramas de PA tal como se muestra en la figura 51H. Unos detectores de proceso también pueden emplearse de forma opcional para detectar las variaciones de proceso y de temperatura en las fases de circuito de excitación y / o de circuito de pre-excitación del PA. Además, un control de polarización opcional puede proporcionarse a cada una de las fases de circuito de pre-excitación, de circuito de excitación y / o de PA de cada rama de la realización de PA. Un control de polarización puede proporcionarse a una o más de las fases en base a la implementación específica de esa fase. Además, un control de polarización puede requerirse para determinadas implementaciones, mientras que este puede emplearse de forma opcional en otras.

La figura 51I ilustra una realización ejemplar adicional 5100I de un PA de múltiples entradas y de una única salida. La realización 5100I incluye por lo menos dos ramas de PA, cada una de las cuales puede implementarse de acuerdo con unas realizaciones de un PA de una única entrada y de una única salida o de múltiples entradas y de una única salida tal como se ha descrito en lo que antecede. La realización 5100I incluye además unos elementos opcionales que pueden emplearse adicionalmente en las realizaciones de la realización 5100I. En una realización, el PA puede incluir unas fases de circuito de excitación y / o de circuito de pre-excitación en cada una de las ramas de PA tal como se muestra en la figura 51I. Unos detectores de proceso también pueden emplearse de forma opcional para detectar las variaciones de proceso y de temperatura en las fases de circuito de excitación y / o de circuito de pre-excitación del PA. Además, un control de polarización opcional puede proporcionarse a cada una de las fases de circuito de pre-excitación, de circuito de excitación y / o de PA de cada rama de la realización de PA. Un control de polarización puede proporcionarse a una o más de las fases en base a la implementación específica de esa fase. Además, un control de polarización puede requerirse para determinadas implementaciones, mientras que este puede emplearse de forma opcional en otras.

3.5.2) Control de Intensidad de Fase de Salida - Módulo de Autopolarización

Se describen en lo que sigue una fase de salida y unas técnicas de control de intensidad y de polarización de fase de circuito de pre-excitación opcional y de circuito de excitación. En determinados ejemplos, las funciones de control de intensidad de fase de salida se emplean para aumentar la eficiencia de fase de potencia de salida de un amplificador de potencia vectorial (VPA) ejemplar. En otros ejemplos, el control de intensidad de fase de salida se usa para proporcionar una protección de fase de salida con respecto a las tensiones e intensidades excesivas que se describe adicionalmente en la sección 3.5.3. En las realizaciones, las funciones de control de intensidad de fase de salida se realizan usando el módulo de autopolarización que se ha descrito en lo que antecede con referencia a la figura 33. Una descripción del funcionamiento del módulo de autopolarización en la realización de estas funciones de control de intensidad también se presenta en lo que sigue de acuerdo con una realización de la presente invención.

La eficiencia energética de la fase de salida de un VPA puede aumentarse mediante el control de la intensidad de fase de salida del VPA como una función de la potencia de salida y la envolvente de la forma de onda de salida.

La figura 37, ilustra un diagrama esquemático parcial de un amplificador de Múltiples Entradas y de una Única Salida que está compuesto por dos transistores NPN con unas señales de entrada S1 y S2. Cuando S1 y S2 se diseñan para ser unas señales de envolvente sustancialmente constante y formas de onda sustancialmente similares, cualquier señal de salida de envolvente compleja variable en el tiempo puede crearse en el nodo de circuito 3750 mediante el cambio de la relación de fase de S1 y S2.

La figura 39 ilustra una señal de salida de envolvente compleja variable en el tiempo a modo de ejemplo 3910 y su señal de envolvente 3920 correspondiente. Se hace notar que la señal 3910 experimenta una inversión de la fase en un instante de tiempo t_0 . De forma correspondiente, la señal de envolvente 3920 experimenta un paso por cero en el instante t_0 . La señal de salida 3910 ejemplifica las señales de salida de acuerdo con los esquemas de señalización inalámbrica típicos tal como W - CDMA, QPSK, y OFDM, por ejemplo.

La figura 40 ilustra la intensidad de fase de salida de la figura de diagrama 37 a modo de ejemplo en respuesta a la señal de salida 3910. La señal I_{salida} 4010 representa la intensidad de fase de salida sin un control de autopolarización y la señal I_{salida} 4020 representa la intensidad de fase de salida con un control de autopolarización.

Sin un control de autopolarización, a medida que el desplazamiento de fase entre S1 y S2 cambia de 0 a 180 grados, la intensidad de salida I_{salida} aumenta. Con un control de autopolarización, la intensidad de salida I_{salida} disminuye y puede minimizarse cuando se encuentra en, o cerca de, la de la figura 39.

Se hace notar que la señal I_{salida} 4020 varía como una función de la señal de envolvente 3920. Por consiguiente, la señal I_{salida} 4020 se encuentra en el máximo cuando se requiere una potencia de salida máxima, pero disminuye a medida que la potencia de salida requerida baja. En particular, la señal I_{salida} 4020 se aproxima a cero a medida que la potencia de salida asociada tiende a cero. Por consiguiente, un experto en la materia apreciará que el control de intensidad de fase de salida da como resultado unos ahorros de potencia significativos y aumenta la eficiencia energética del amplificador de potencia.

El control de intensidad de fase de salida puede implementarse de acuerdo con una diversidad de funciones. La intensidad de fase de salida puede conformarse para corresponderse con la potencia de salida deseada del amplificador. En un ejemplo de este tipo, la intensidad de fase de salida es una función que se calcula a partir de la envolvente de la señal de salida deseada, y la eficiencia energética aumentará.

La figura 41 ilustra unas funciones de control de intensidad de fase de salida de autopolarización 4110 y 4120 ejemplares. La función 4110 puede representar una función de la potencia de salida y la envolvente de señal tal como se ha descrito en lo que antecede. Por otro lado, la función 4120 puede representar una función de conformación simple que tiende a un valor mínimo durante una cantidad predeterminada de tiempo cuando la potencia de salida se encuentra por debajo de un valor umbral. Por consiguiente, las funciones 4110 y 4120 representan dos casos de las funciones de control de intensidad de fase de salida de autopolarización con la señal de control de autopolarización 4110 que da como resultado la respuesta de I_{salida} 4130 y la señal de control de autopolarización 4120 que da como resultado la respuesta de I_{salida} 4140. La divulgación en el presente documento, no obstante, no se limita a esos dos ejemplos. Las funciones de control de intensidad de autopolarización de fase de salida pueden diseñarse e implementarse para facilitar los requisitos de eficiencia y de consumo de intensidad de un diseño de amplificador de potencia vectorial particular.

En la implementación, existen diversos enfoques para realizar el control de intensidad de fase de salida. En algunos ejemplos, la conformación de intensidad de fase de salida se realiza usando el módulo de autopolarización. El módulo de autopolarización se ilustra como la circuitería de autopolarización 714 y 716 en las realizaciones de las figuras 7 y 8. De forma similar, el módulo de autopolarización se ilustra como la circuitería de autopolarización 1218 en las realizaciones de las figuras 12 y 13, y como la circuitería de autopolarización 1718 en las realizaciones de las figuras 17 y 18.

El control de intensidad de fase de salida usando la autopolarización se representa en el diagrama de flujo de proceso 4800 del ejemplo de la figura 48. El procedimiento comienza en la etapa 4810, que incluye recibir una información de potencia de salida y de envolvente de señal de salida de una señal de salida deseada de un amplificador de potencia vectorial (VPA). En algunos ejemplos, implementar el control de intensidad de fase de salida usando la autopolarización requiere un conocimiento *a priori* de la potencia de salida deseada del amplificador. La información de potencia de salida puede encontrarse en forma de información de fase y de envolvente. Por ejemplo, en las realizaciones de las figuras 7, 8, 12, 13, 17 y 18, la información de potencia de salida se incluye en las componentes de datos de I y de Q que se reciben mediante la realización de VPA. En otras realizaciones, la información de potencia de salida puede recibirse o calcularse usando otros medios.

La etapa 4820 incluye el cálculo de una señal de acuerdo con la información de señal de envolvente de salida. En los ejemplos, una señal de autopolarización se calcula como una función de alguna medida de la potencia de salida deseada. Por ejemplo, la señal de autopolarización puede calcularse como una función de la magnitud de envolvente de la señal de salida deseada. Haciendo referencia a las realizaciones de las figuras 7, 8, 12, 13, 17 y 18, por ejemplo, se observa que la señal de autopolarización (las señales 715 y 717 en las figuras 7 y 8, la señal 1228 en las figuras 12 y 13, y las señales 1728 en las figuras 17 y 18) se calcula de acuerdo con las componentes de datos de I y de Q recibidas de una señal de salida deseada. En determinadas realizaciones, tal como las que se describen en las figuras 7, 8, 12, 13, 17 y 18, la señal de autopolarización se calcula mediante un módulo de autopolarización, proporcionándose una información de potencia de salida. En otros ejemplos, la señal de autopolarización puede calcularse mediante el módulo o módulos de función de transferencia de datos de I y de Q del VPA. En tales ejemplos, un módulo de autopolarización puede no requerirse en la implementación. En los ejemplos, el módulo de función de transferencia de datos de I y de Q calcula una señal, emite la señal a un DAC cuya señal de salida representa la señal de autopolarización.

La etapa 4830 incluye la aplicación de la señal calculada en una fase de salida del VPA, controlando de ese modo una intensidad de la fase de salida de acuerdo con la potencia de salida de la señal de salida deseada. En los ejemplos, la etapa 4830 incluye el acoplamiento de la señal de autopolarización en la entrada de fase de PA del VPA. Esto se ilustra, por ejemplo, en las realizaciones de las figuras 33 y 42 en las que la señal de autopolarización 3310 se acopla en la entrada de fase de PA de la realización de VPA. En estas realizaciones, la señal de autopolarización 3310 controla la polarización de los transistores de fase de PA de acuerdo con la potencia de salida de la señal de salida deseada de la realización de VPA. Por ejemplo, la señal de autopolarización 3310 puede dar lugar a que los transistores de fase de PA funcionen en estado de corte cuando la potencia de salida deseada es

mínima o casi cero, extrayendo de ese modo poca o ninguna intensidad de fase de salida. De forma similar, cuando se desea una potencia de salida máxima, la señal de autopolarización 3310 puede polarizar los transistores de fase de PA para funcionar en el modo de conmutación la clase C, D, E, etc., la señal de autopolarización 3310 también puede dar lugar a que los transistores de fase de PA o los FET funcionen en los estados polarizados directo o inverso de acuerdo con la potencia de salida, y las características de envolvente de señal, deseadas.

En otros ejemplos, la etapa 4830 incluye el acoplamiento de la señal de autopolarización usando unas impedancias de polarización en la entrada de fase de PA y, de forma opcional, las entradas de las fases de circuito de excitación y / o de circuito de pre-excitación del VPA. Las figuras 38 y 43 ilustran tales realizaciones. Por ejemplo, en la realización de la figura 38, la impedancia de polarización 3850 acopla la señal Iref de autopolarización 3840 con el terminal de entrada 3820 del elemento de BJT 3870. El elemento de BJT 3870 representa la fase de PA de una rama de PA de una realización de VPA ejemplar. De forma similar, en el ejemplo de la figura 43, la señal de autopolarización 4310 se acopla con los transistores Q1, ... , Q8 a través de las impedancias de polarización Z1, ... , Z8 correspondientes. Los transistores Q1, ... , Q8 representan la fase de PA de una rama de una VPA ejemplar.

Las realizaciones para implementar la circuitería de autopolarización que se ha descrito en lo que antecede se proporcionarán en lo que sigue. La figura 27 ilustra tres realizaciones 2700A, 2700B y 2700C para implementar la circuitería de autopolarización. Estas realizaciones se proporcionan para fines ilustrativos, y no son limitantes. Otras realizaciones serán evidentes para los expertos en la materia o materias en base a las enseñanzas que están contenidas en el presente documento.

En la realización 2700A, la circuitería de autopolarización 2700A incluye un módulo de función de transferencia de autopolarización 2712, un DAC 2714, y un filtro de interpolación opcional 2718. La circuitería de autopolarización 2700A recibe una señal de datos de I y de Q 2710. El módulo de función de transferencia de autopolarización 2712 procesa una señal de datos de I y de Q 2710 recibida para generar una señal de polarización apropiada 2713. El módulo de función de transferencia de autopolarización 2712 emite la señal de polarización 2713 al DAC 2714. El DAC 2714 se controla por un reloj de DAC 2716 que puede generarse en el módulo de transferencia de autopolarización 2712. El DAC 2714 convierte la señal de polarización 2713 en una señal analógica, y emite la señal analógica al filtro de interpolación 2718. El filtro de interpolación 2718, que también sirve como un filtro antisolape, conforma la salida del DAC para generar la señal de autopolarización 2720, que se ilustra como la Polarización A en la realización 5112G. La señal de autopolarización 2720 puede usarse para polarizar la fase de PA y / o la fase de circuito de excitación, y / o la fase de circuito de pre-excitación del amplificador. En una realización, la señal de autopolarización 2720 puede tener diversas otras señales de autopolarización calculadas a partir de la misma para polarizar diferentes fases dentro de la fase de PA. Esto puede hacerse usando una circuitería adicional no incluida en la realización 2700A.

Como contraste, la realización 2700B ilustra una realización de la circuitería de autopolarización en la que múltiples señales de autopolarización se calculan en el interior de la circuitería de autopolarización. Como se muestra en la realización 2700B, las redes de circuito 2722, 2726 y 2730, que se ilustran como las redes de circuito A, B y C en la realización 2700B, se usan para obtener las señales de autopolarización 2724 y 2728 a partir de la señal de autopolarización 2720. Las señales de autopolarización 2720, 2724 y 2728 se usan para polarizar diferentes fases de amplificación.

La realización 2700C ilustra otra realización de la circuitería de autopolarización en la que múltiples señales de autopolarización se generan de forma independiente en el interior del módulo de función de transferencia de autopolarización 2712. En la realización 2700C, el módulo de función de transferencia de autopolarización 2712 genera múltiples señales de polarización de acuerdo con una señal de datos de I y de Q 2710 recibida. Las señales de polarización pueden o pueden no estar relacionadas. El módulo de función de transferencia de autopolarización 2712 emite las señales de polarización generadas a los DAC 2732, 2734 y 2736 subsiguientes. Los DAC 2732, 2734 y 2736 se controlan por las señales de reloj de DAC 2733, 2735 y 2737, respectivamente. Los DAC 2732, 2734 y 2736 convierten las señales de polarización recibidas en unas señales analógicas, y emiten las señales analógicas a los filtros de interpolación opcionales 2742, 2744 y 2746. Los filtros de interpolación 2742, 2744 y 2746, que también sirven como filtros antisolape, conforman las salidas de los DAC para generar las señales de autopolarización 2720, 2724 y 2728. De forma similar a la realización 2700B, las señales de autopolarización 2720, 2724 y 2728 se usan para polarizar diferentes fases de amplificación tal como el circuito de pre-excitación, el circuito de excitación y el PA.

Como se ha hecho notar anteriormente, las realizaciones de la circuitería de autopolarización de acuerdo con la presente invención no se limitan a las que se describen en las realizaciones 2700A, 2700B y 2700C. Un experto en la materia apreciará, por ejemplo, que la circuitería de autopolarización puede ampliarse para generar cualquier número de señales de control de polarización según se requiera para controlar la polarización de varias fases de amplificación, y no solo tres tal como se muestra en las realizaciones 5200B y 5200C, por ejemplo.

3.5.3) Protección de Fase de Salida

Como se ha descrito en lo que antecede, los ejemplos de fase de salida son de una eficiencia energética suma como resultado de ser capaz de acoplar directamente las salidas en la fase de PA sin usar elemento de combinación

o de aislamiento alguno. Determinados ejemplos de fase de salida en determinadas circunstancias y/o aplicaciones, no obstante, pueden requerir unas medidas de protección de fase de salida especiales adicionales con el fin de soportar tal enfoque de acoplamiento directo. Este puede ser el caso, por ejemplo, para las realizaciones de fase de salida tal como 5110D, 5120D, 5130D, 5160D, 5150E, 5160E, 5170E y 5180E que se ilustran en las figuras 51D y 51E. Se hace notar que, en general, los ejemplos de fase de salida complementarios, tal como las realizaciones 5140D, 5150D, 5110E, 5120E, 5130E y 5140E de las figuras 51D y 51E, no requieren (pero pueden usar, de forma opcional) las mismas medidas de protección de fase de salida que se describirán en el presente documento en esta sección. En lo que sigue se proporcionan medidas de protección de fase de salida y ejemplos para soportar tales medidas.

En un aspecto, los transistores de distintas ramas de una fase de PA en general no deberían encontrarse de forma simultánea en estados opuestos de funcionamiento durante unos periodos prolongados de tiempo. A continuación de un reinicio o un encendido sin que se suministre entrada alguna a las fases de PA finales, los transistores dentro de las ramas de PA pueden dar lugar a que este modo tenga lugar dando como resultado que los transistores de fase de PA se dañen, en potencia, uno a otro, o que dañen los elementos de circuito que están conectados con la salida. Por consiguiente, los ejemplos de la presente invención restringen adicionalmente el módulo de autopolarización para limitar la intensidad de salida en la fase de PA.

En otro aspecto, puede desearse garantizar que el módulo de autopolarización limite las tensiones de salida por debajo de la especificación de tensión de ruptura de los transistores de fase de PA. Por consiguiente, en las realizaciones de la presente invención, tal como aquella que se ilustra en la figura 42 por ejemplo, un elemento de realimentación 4210 se acopla entre el nodo de colector común de la fase de PA y el módulo de autopolarización. El elemento de realimentación 4210 supervisa la tensión de colector a base de los transistores de fase de PA, y puede restringir la señal de autopolarización según sea necesario para proteger los transistores y / o elementos de circuito.

Un experto en la materia apreciará que también pueden implementarse otras técnicas de protección de fase de salida. Además, las técnicas de protección de fase de salida pueden ser específicas de la implementación. Por ejemplo, dependiendo del tipo de transistores de fase de PA (nnp, npn, NMOS, PMOS, npn / pnp, NMOS / PMOS), pueden requerirse diferentes funciones de protección.

3.6) Control de Armónicos

Un principio subyacente para cada PA de rama es maximizar la transferencia de potencia a un armónico fundamental del espectro de salida. Típicamente, cada PA de rama puede ser de múltiples fases, dando lugar a un espectro de salida armónicamente rico. En un aspecto, la transferencia de la potencia real se maximiza para el armónico fundamental. En otro aspecto, para los armónicos no fundamentales, la transferencia de potencia real se minimiza mientras que la transferencia de potencia imaginaria puede tolerarse. El control de armónicos puede realizarse de una diversidad de formas.

En un ejemplo, la transferencia de potencia real sobre el armónico fundamental se maximiza por medio de la formación de onda de las señales de entrada de fase de PA. En la práctica, diversos factores desempeñan un papel en la determinación de la forma de onda óptima que da como resultado una transferencia de potencia real máxima sobre el armónico fundamental. EL ejemplo 3400, descrito en lo que antecede, representa un ejemplo que emplea la formación de onda de las señales de entrada de fase de PA. En el ejemplo 3400, una pluralidad de redes de circuitería de control de armónicos (HCC) 3410 - {1, ... , n} se acoplan en la entrada de fase de PA de cada rama de PA {1, ... , n}. Las redes de HCC 3410 - {1, ... , n} tienen el efecto de la formación de onda de las entradas de fase de PA, y se seleccionan típicamente con el fin de maximizar la transferencia de potencia real al armónico fundamental del espectro de salida sumado. De acuerdo con los ejemplos que se divulgan en el presente documento, la formación de onda puede usarse para generar unas variaciones de unas formas de onda diversas en cuanto a los armónicos. En otros ejemplos, tal como puede ser evidente para un experto en la materia, la formación de onda puede realizarse en la fase de circuito de pre-excitación y / o de circuito de excitación.

En otro ejemplo, el control de armónicos se consigue por medio de la formación de onda de la salida de fase de PA. La figura 43 ilustra una fase de PA 4300 ejemplar. En el ejemplo 4300, la señal de autopolarización 4310 se acopla con los transistores Q1, ... , Q8 a través de las impedancias de polarización Z1, ... , Z8 correspondientes. Se hace notar que, cuando las impedancias Z1, ... , Z8 tienen diferentes valores, los transistores Q1, ... , Q8 tienen diferentes puntos de polarización y pueden pasar a estado de conducción en unos instantes diferentes. Se hace referencia a este enfoque de la polarización de los transistores Q1, ... , Q8 como una polarización escalonada. Se hace notar que, usando una polarización escalonada, la forma de onda de salida de PA puede conformarse de una diversidad de formas dependiendo de los valores asignados para polarizar las impedancias Z1, ... , Z8.

El control de armónicos usando una polarización escalonada se representa en el diagrama de flujo de proceso 4900 del ejemplo de la figura 49. El procedimiento comienza en la etapa 4910, que incluye el acoplamiento de una señal de entrada en los primeros puertos de una pluralidad de transistores de una fase de conmutación de amplificador de potencia (PA). En el ejemplo de la figura 43, por ejemplo, la etapa 4910 se corresponde con el acoplamiento de la señal de PA_ENTRADA 4310 en los terminales de base de la pluralidad de transistores Q1, ... , Q8.

La etapa 4920 incluye el acoplamiento de una pluralidad de impedancias entre los primeros puertos de la pluralidad de transistores y una señal de polarización. En el ejemplo de la figura 43, por ejemplo, la etapa 4920 se consigue mediante el acoplamiento de las impedancias Z_1, \dots, Z_8 entre los terminales de base de los transistores Q_1, \dots, Q_8 respectivos y la señal I_{ref} . En un ejemplo, los valores de la pluralidad de impedancias se seleccionan para dar lugar a una conmutación escalonada en el tiempo de la señal de entrada, conformando de ese modo en cuanto a los armónicos una señal de salida de la fase de PA. En los ejemplos, una salida escalonada de múltiples fases puede generarse mediante la selección de múltiples valores distintos de la pluralidad de impedancias. En otros ejemplos, la conmutación se consigue mediante la selección de la pluralidad de impedancias para que tengan un valor igual o sustancialmente igual.

La figura 44 ilustra una salida de PA con forma de onda ejemplar usando un enfoque de polarización escalonada en dos fases. En un enfoque de polarización escalonada en dos fases, un primer conjunto de los transistores de PA pasa a estado de conducción en primer lugar antes de que un segundo conjunto pase a estado de conducción. Dicho de otra forma, las impedancias de polarización adoptan dos valores diferentes. La forma de onda 4410 representa una forma de onda de entrada en la fase de PA. La forma de onda 4420 representa la salida de PA con forma de onda de acuerdo con una polarización escalonada en dos fases. Se hace notar que la forma de onda de salida 4420 se inclina dos veces a medida que esta realiza una transición de 1 a 0, lo que se corresponde con que los conjuntos primero y segundo de transistores pasen a estado de conducción de forma sucesiva.

De acuerdo con los ejemplos que se divulgan en el presente documento, puede diseñarse una diversidad de enfoques de polarización escalonada en múltiples fases. Los valores de impedancia de polarización pueden ser fijos o variables. Además, los valores de impedancia de polarización pueden ser iguales o sustancialmente iguales, distintos, o ajustarse de acuerdo con una diversidad de permutaciones. Por ejemplo, haciendo referencia al ejemplo de la figura 43, una permutación ejemplar podría establecer $Z_1 = Z_2 = Z_3 = Z_4$ y $Z_5 = Z_6 = Z_7 = Z_8$, lo que da como resultado una polarización escalonada en dos fases.

3.7) Control de Potencia

Los ejemplos de amplificación de potencia vectorial que se divulgan en el presente documento proporcionan, de forma intrínseca, un mecanismo para realizar el control de potencia de salida.

La figura 45 ilustra un enfoque para realizar, de manera ejemplar, el control de potencia. En la figura 45, los fasores \vec{U}_1 y \vec{L}_1 representan las constituyentes superior e inferior de un primer fasor \vec{R}_1 . \vec{U}_1 y \vec{L}_1 son de magnitud constante y se desplazan de forma simétrica en fase en relación con \vec{R}_1 un ángulo de desplazamiento de fase $\frac{\phi}{2}$.

Los fasores \vec{U}_2 y \vec{L}_2 representan las constituyentes superior e inferior de un segundo fasor \vec{R}_2 . \vec{U}_2 y \vec{L}_2 son de magnitud constante y se desplazan de forma simétrica en fase en relación con \vec{R}_2 un ángulo de desplazamiento de fases $\frac{\phi}{2} + \phi_{desf}$.

Se observa, a partir de la figura 45, que \vec{R}_1 y \vec{R}_2 se encuentran en fase una en relación con otra y solo difieren en cuanto a su magnitud. Además, \vec{U}_2 y \vec{L}_2 se desplazan en fase por igual o sustancialmente por igual en relación con \vec{U}_1 y \vec{L}_1 , respectivamente. Por consiguiente, puede deducirse que, de acuerdo con un ejemplo, la magnitud de una señal puede manipularse sin variar su ángulo de desplazamiento de fase mediante el desplazamiento por igual o sustancialmente por igual de sus señales de constituyente.

De acuerdo con la observación anterior, el control de potencia de salida puede realizarse mediante la imposición de unas restricciones sobre el ángulo de desplazamiento de fase de las señales de constituyente de una señal de salida deseada. Haciendo referencia a la figura 45, por ejemplo, mediante la restricción del intervalo de valores que puede adoptar el ángulo de desplazamiento de fase $\frac{\phi}{2}$, pueden imponerse unas restricciones de magnitud sobre el fasor \vec{R}_1 .

De acuerdo con los ejemplos que se divulgan en el presente documento, un nivel de potencia de salida máximo puede conseguirse mediante la imposición de una condición de ángulo de desplazamiento de fase mínimo. Por ejemplo, haciendo referencia a la figura 45, mediante el ajuste de una condición tal que $\frac{\phi}{2} \geq \phi_{desf}$, la magnitud del

fasor \vec{R}_1 se restringe para no superar un determinado nivel máximo. De forma similar, una condición de ángulo de desplazamiento de fase máximo impone un requisito de nivel de magnitud mínimo.

En otro aspecto del control de potencia, la resolución de potencia de salida se define en términos de un tamaño de escalón de incremento o de decremento de potencia mínimo. De acuerdo con un ejemplo que se divulga en el presente documento, la resolución de potencia de salida puede implementarse mediante la definición de un tamaño de escalón de ángulo de desplazamiento de fase mínimo. Por consiguiente, los valores de ángulo de desplazamiento de fase se ajustan de acuerdo con un intervalo de valores discretos que tiene un tamaño de escalón determinado previamente. La figura 46 ilustra un espectro de ángulo de desplazamiento de fase ejemplar, mediante

lo cual el ángulo de desplazamiento de fase $\frac{\phi}{2}$ se ajusta de acuerdo con un intervalo de valores determinado previamente que tiene un escalón mínimo $\phi_{\text{escalón}}$.

Un experto en la materia apreciará que una diversidad de esquemas de control de potencia pueden implementarse de una forma similar a la de las técnicas que se han descrito en lo que antecede. Dicho de otra forma, varios algoritmos de control de potencia pueden diseñarse, de acuerdo con los ejemplos que se divulgan en el presente documento, mediante el ajuste de unas restricciones correspondientes sobre los valores de ángulo de desplazamiento de fase. También es evidente, en base a la descripción anterior de las funciones de transferencia de datos, que los esquemas de control de potencia pueden incorporarse de forma natural en una implementación de función de transferencia.

3.8) Realización de amplificador de potencia vectorial ejemplar

La figura 47 ilustra un ejemplo 4700 de un amplificador de potencia vectorial de acuerdo con la presente invención. El ejemplo 4700 se implementa de acuerdo con el procedimiento de VPA de 2 Ramas Cartesiana Directa.

Haciendo referencia a la figura 47, las señales 4710 y 4712 representan las señales entrantes a partir de una fase de función de transferencia. La fase de función de transferencia no se muestra en la figura 47. El bloque 4720 representa un generador de cuadratura que, de forma opcional, puede implementarse de acuerdo con los ejemplos que se divulgan en el presente documento. El generador de cuadratura 4720 genera unas señales de reloj 4730 y 4732 que van a usarse por los moduladores vectoriales 4740 y 4742, respectivamente. De forma similar, las señales 4710 y 4712 se introducen en los moduladores vectoriales 4740 y 4742. Como se ha descrito en lo que antecede, los moduladores vectoriales 4740 y 4742 generan unas constituyentes de envolvente constante que se procesan, de manera subsiguiente, mediante una fase de PA. En el ejemplo 4700, la fase de PA es de múltiples fases, mediante lo cual cada rama de PA incluye una fase de circuito de pre-excitación 4750 - 4752, una fase de circuito de excitación 4760 - 4762 y una fase de amplificador de potencia 4770 - 4772.

En la figura 47 se ilustran adicionalmente las señales de autopolarización 4774 y 4776 y los terminales 4780 y 4782 para acoplar redes y circuitería de control de armónicos. El nodo de terminal 4780 representa el terminal de salida del amplificador de potencia vectorial, y se obtiene mediante un acoplamiento directo de las salidas de las dos ramas de PA.

4. Realizaciones e Implementaciones Adicionales Ejemplares

4.1) Visión de Conjunto

En esta sección se proporcionarán implementaciones de VPA ejemplares. Las ventajas de estas implementaciones de VPA se apreciarán por los expertos en la materia en base a las enseñanzas en el presente documento. Los inventores de la presente invención describirán con brevedad en lo que sigue algunas de estas ventajas antes de presentar con más detalle las implementaciones de VPA ejemplares.

4.1.1) Control de Potencia de Salida y Eficiencia Energética

Las implementaciones de VPA ejemplares habilitan a varias capas de funcionalidad para realizar el control de potencia y / o para controlar la eficiencia energética usando la circuitería en el interior del VPA. La figura 52 ilustra esta funcionalidad a un alto nivel usando una realización de VPA de MISO 5200. La realización de VPA de MISO 5200 es un VPA de dos entradas y de una única salida con unas fases de circuito de excitación y de circuito de pre-excitación opcionales en cada rama del VPA. Al igual que en unas realizaciones que se han descrito previamente, la intensidad o tensión de polarización de entrada para cada fase de amplificación (por ejemplo, la fase de circuito de pre-excitación, la fase de circuito de excitación, etc.) del VPA se controla usando una señal de polarización (a la que también se hace referencia como autopolarización en otras realizaciones). En la realización 5200, las señales de polarización Polarización C, Polarización B y Polarización A separadas están acopladas con las fases de circuito de pre-excitación, de circuito de excitación y de PA, respectivamente, del VPA. Adicionalmente, la realización de VPA 5200 incluye unas señales de suministro de potencia (la VSUMINISTRO de circuito de pre-excitación, la VSUMINISTRO de circuito de excitación y la VSUMINISTRO de fase de salida) que se usan para alimentar las fases respectivas del VPA. En las realizaciones, estas señales de suministro de potencia se generan usando unos

suministros de potencia controlados por tensión y pueden usarse adicionalmente para polarizar sus fases de amplificaciones respectivas, proporcionando de ese modo una funcionalidad adicional para controlar la eficiencia energética en conjunto del VPA y para realizar un control de potencia, así como otras funciones del VPA. Por ejemplo, cuando se controlan de manera independiente, las señales de suministro de potencia y las señales de polarización pueden usarse para accionar diferentes fases de amplificación del VPA a diferentes tensiones de suministro de potencia y puntos de polarización, habilitando un amplio intervalo dinámico de potencia de salida para el VPA. En las realizaciones, los suministros de potencia controlados por tensión pueden implementarse como suministros continuamente variables tales como suministros de conmutación controlados por tensión que proporcionan unos suministros de tensión variable a la fase de amplificación apropiada. En otras realizaciones, el suministro de potencia controlado por tensión puede implementarse mediante el uso de conmutadores para proporcionar diferentes tensiones de suministro de potencia. Por ejemplo, un suministro de potencia de fase de salida de VPA y/o de fases de circuito de excitación opcionales y/o de fases de circuito de pre-excitación opcionales podría conmutarse entre 3,3 V, 1,8 V y 0 V dependiendo de los parámetros operativos deseados.

4.1.2) Compensación y / o Corrección de Errores

Las implementaciones de VPA ejemplares proporcionan diferentes enfoques para supervisar y / o compensar los errores en el VPA. Estos errores pueden ser debidos, de entre otros factores, a las variaciones de proceso y / o de temperatura en el VPA, a los errores de amplitud y de fase en la circuitería de modulación vectorial, a los desequilibrios de ganancia y de fase en las ramas del VPA, y a la distorsión en el amplificador de MISO (véase, por ejemplo, la sección 3.4.5 en lo que antecede). En las realizaciones de VPA que se han descrito previamente, parte de esta funcionalidad se realizó en la circuitería de detector de proceso (por ejemplo, el detector de proceso 792 en la figura 7A, el detector de proceso 1282 en la figura 12, el detector de proceso 1772 en la figura 17). Estos enfoques pueden clasificarse como técnicas de alimentación en avance, de realimentación y de alimentación en avance / realimentación híbridas, y pueden implementarse de una diversidad de formas tal como se analizará adicionalmente en las siguientes secciones que describen las implementaciones de VPA ejemplares. Una descripción conceptual de estos enfoques de supervisión y de compensación de errores se proporcionará a continuación.

Las figuras 54A y 54B son unos diagramas de bloques que ilustran a un alto nivel unas técnicas de alimentación en avance para compensar los errores en un VPA. Las técnicas de alimentación en avance dependen de un conocimiento *a priori* de los errores esperados en el VPA con el fin de compensar previamente estos errores en el interior del VPA. Por lo tanto, las técnicas de alimentación en avance incluyen una fase de medición de error (que se realiza por lo general en un procedimiento de prueba y de caracterización) y una fase de compensación previa que usa las mediciones de error.

La figura 54A ilustra un procedimiento 5400A para generar una función o tabla de error que describe los errores esperados en los datos de I y los datos de Q en la salida del VPA (fase de medición de error). Tales errores son debidos por lo general a imperfecciones en el VPA. El procedimiento 5400A se realiza por lo general en un laboratorio de pruebas antes de finalizar el diseño de VPA, e incluye medir en la salida de un receptor unos valores de I y de Q que se corresponden con un intervalo de valores de I y de Q en la entrada del VPA. Por lo general, los valores de I y de Q de entrada se seleccionan para generar un intervalo representativo del espacio polar de 360° grados (por ejemplo, los valores de I y de Q pueden seleccionarse con una separación uniforme de 30° grados). Subsiguientemente, se calculan las diferencias de error entre los valores de I y de Q de entrada y los valores de I y de Q de salida. Por ejemplo, después de medir I y Q en la salida del receptor para un conjunto particular de valores de entrada de I y de Q, una circuitería de comparación calcula como I_{error} y Q_{error} las diferencias en los datos de I y los datos de Q entre los valores de I y de Q de entrada y los valores de I y de Q de salida de receptor. I_{error} y Q_{error} representan los errores esperados en I y Q en la salida del VPA para el conjunto particular de valores de entrada de I y de Q.

En un ejemplo, el receptor está integrado con el VPA, o se proporciona mediante un dispositivo de calibración y / o de pruebas externo. Como alternativa, el receptor es el módulo de receptor en el dispositivo que emplea el VPA (por ejemplo, el receptor en un teléfono celular). En este ejemplo alternativo, la tabla de error de VPA y / o la información de realimentación puede generarse por este módulo de receptor en el dispositivo.

Los valores de I_{error} y de Q_{error} calculados se usan para generar una función o tabla de error representativa de los errores de I y de Q esperados para diversos valores de entrada de I y de Q. En las realizaciones, los valores de I_{error} y de Q_{error} calculados se interpolan adicionalmente para generar unos valores de error para un intervalo aumentado de valores de entrada de I y de Q, en base a lo cual se genera la función o tabla de error.

La figura 54B ilustra una compensación previa de errores de alimentación en avance (fase de compensación previa) ejemplar. Como se ilustra, los valores de entrada de I y de Q se corrigen para cualesquiera valores de I_{error} y de Q_{error} esperados según se determina por una función o tabla de error, antes de la amplificación por el VPA. La compensación previa de errores de I y de Q puede realizarse en diferentes fases y / o a diferentes temperaturas y / o a diferentes parámetros operativos en el interior del VPA. En el ejemplo de la figura 54B, la corrección de errores tiene lugar antes de la fase de amplificación del VPA. Por ejemplo, la corrección de errores de I y de Q puede realizarse por el módulo de función de transferencia del VPA, tal como los módulos de función de transferencia 1216

y 1726 de las figuras 12 y 17, por ejemplo. Existen varios procedimientos para implementar una corrección de errores de I y de Q en el módulo de función de transferencia del VPA incluyendo usar tablas de consulta y / o lógica digital para implementar una función de error. Por lo general, las técnicas de alimentación en avance requieren un almacenamiento de datos tal como RAM o NVRAM, por ejemplo, para almacenar los datos que se generan en la fase de medición.

En contraste con las técnicas de alimentación en avance, las técnicas de realimentación no compensan previamente los errores sino que realizan unas mediciones en tiempo real en el interior o en la salida del VPA para detectar cualesquiera errores o desviaciones debido a las variaciones de proceso o de temperatura, por ejemplo. La figura 55 es un diagrama de bloques que ilustra de forma conceptual una técnica de corrección de errores de realimentación cartesiana ejemplar. Como se describirá adicionalmente en lo que sigue, la figura 55 ilustra una técnica de realimentación basada en receptor, en la que la salida del VPA se recibe por un receptor, antes de que se realimente al VPA. Otras técnicas de realimentación ejemplares se describirán adicionalmente en lo que sigue. Las técnicas de realimentación pueden requerir una circuitería adicional para realizar estas mediciones en tiempo real, que puede hacerse en diferentes fases en el interior del VPA, pero que requieren un almacenamiento de datos mínimo o nulo. Existen varias implementaciones para la corrección de errores de realimentación tal como se describirá adicionalmente en la descripción de las implementaciones de VPA ejemplares en lo que sigue.

Las técnicas de alimentación en avance / realimentación híbridas incluyen unos componentes de compensación previa y / o de corrección de errores tanto de alimentación en avance como de realimentación. Por ejemplo, una técnica de alimentación en avance / realimentación híbrida puede compensar previamente los errores pero también puede usar unos mecanismos de realimentación periódicos de baja tasa para complementar la compensación previa de alimentación en avance.

4.1.3) Funcionamiento de VPA de Múltiples Bandas y de Múltiples Modos

Las implementaciones de VPA ejemplares proporcionan varias arquitecturas de VPA para soportar de forma concurrente múltiples bandas de frecuencia (por ejemplo, banda cuádruple) y / o múltiples modos de tecnología (por ejemplo, modo tri) para la transmisión de datos. Las ventajas de estas arquitecturas de VPA se apreciarán por un experto en la materia en base a las enseñanzas que van a proporcionarse en el presente documento. En unos ejemplos, las arquitecturas de VPA prevén el uso de una única rama de PA para soportar normas basadas tanto en TDD (dúplex por división en el tiempo) como en FDD (dúplex por división en la frecuencia). En otros ejemplos, las arquitecturas de VPA permiten la eliminación de los componentes costosos y energéticamente ineficientes en la fase de salida (por ejemplo, aislantes), que se requieren por lo general para las normas basadas en FDD. Para fines de ilustración y no de limitación, la asignación de banda de frecuencia en bandas de espectro inferior y superior para diversas normas de comunicación se proporciona en la figura 53. Se hace notar que las bandas del DCS 1800 (sistema celular digital 1800) y del PCS 1900 (servicio de comunicaciones personales 1900) pueden soportar diferentes implementaciones basadas en GSM, que también se conocen como GSM - 1800 y GSM - 1900. Las bandas de TDD de 3G se asignan para las normas de dúplex por división en el tiempo de tercera generación tales como TDD de UMTS (sistema de telefonía móvil universal) y TD - SCDMA (acceso múltiples por división de código síncrono - división en el tiempo), por ejemplo. Las bandas de FDD de 3G se asignan para las normas de dúplex por división en la frecuencia de tercera generación tales como WCDMA (CDMA de banda ancha), por ejemplo.

Como se apreciará por los expertos en la materia en base a las enseñanzas en el presente documento, las ventajas habilitadas por las implementaciones de VPA ejemplares existen en diversos aspectos además de aquellos que se han descrito en lo que antecede. En lo siguiente, se proporcionará una descripción más detallada de las implementaciones de VPA ejemplares. Esto incluye una descripción de diferentes implementaciones de la circuitería de control digital del VPA seguida por una descripción de diferentes implementaciones del núcleo analógico del VPA. Las realizaciones de la presente invención no se limitan a las implementaciones específicas que se describen en el presente documento. Como se entenderá por los expertos en la materia en base a las enseñanzas en el presente documento, varias otras implementaciones de VPA pueden obtenerse mediante la combinación de características que se proporcionan en las implementaciones de VPA ejemplares. Por consiguiente, las implementaciones de VPA ejemplares que se describen en lo que sigue no representan una enumeración exhaustiva de las implementaciones de VPA de acuerdo con las realizaciones de la presente invención, y otras implementaciones en base a las enseñanzas contenidas en el presente documento también se encuentran dentro del alcance de la presente invención. Por ejemplo, determinada circuitería de control digital podría integrarse o combinarse con un procesador de banda de base. Además, determinada circuitería de control analógico, tal como generadores de cuadratura y moduladores vectoriales, puede implementarse usando una circuitería de control digital. En una realización, el sistema de VPA puede implementarse en su totalidad usando una circuitería digital y puede integrarse completamente con un procesador de banda de base.

4.2) Módulo de Control Digital

El módulo de control digital del VPA incluye una circuitería digital que se usa, de entre otras funciones, para la generación de señales, la supervisión de rendimiento y el control de funcionamiento de VPA. En la sección 3, las funciones de generación de señales del módulo de control digital (es decir, generar unas señales de envolvente constante) se describieron con detalle con referencia al módulo de función de transferencia (máquina de estados)

del módulo de control digital, en las realizaciones 700, 1200, y 1700, por ejemplo. Las funciones de supervisión de rendimiento del módulo de control digital incluyen unas funciones para supervisar y corregir los errores en el funcionamiento del VPA y / o unas funciones para controlar la polarización de diferentes fases del VPA. Las funciones de control de funcionamiento de VPA del módulo de control digital incluyen una diversidad de funciones de control en relación con el funcionamiento del VPA (por ejemplo, encender o programar los módulos de VPA). En determinadas realizaciones, estas funciones de control pueden ser opcionales. En otras realizaciones, puede accederse a estas funciones de control a través del módulo de control digital por procesadores externos que están conectados con el VPA. En otras realizaciones, estas funciones están integradas con procesadores de banda de base u otra circuitería digital. Otras funciones también se realizan por el módulo de control digital además de aquellas que se han descrito en lo que antecede. A continuación se proporcionarán funciones e implementaciones de módulo de control digital con detalle adicional.

La figura 56 es una ilustración de alto nivel de un ejemplo del módulo de control digital 5600. La realización del módulo de control digital 5600 incluye una interfaz de entrada 5602, una interfaz de salida 5604, una máquina de estados 5606, una RAM (Memoria de Acceso Aleatorio) 5608 y una NVRAM (RAM no volátil) 5610. En unos ejemplos, la Ram 5608 y / o la NVRAM 5610 pueden ser opcionales.

La interfaz de entrada 5602 proporciona una pluralidad de buses y / o puertos para introducir señales en el módulo de control digital 5600. Estos buses y / o puertos incluyen, por ejemplo, unos buses y / o puertos para introducir señales de datos de I y de Q, señales de control que se proporcionan por un procesador externo y / o señales de reloj. En un ejemplo, la interfaz de entrada 5602 incluye un bus de E / S. En otro ejemplo, la interfaz de entrada 5602 incluye un bus de datos para recibir las señales de realimentación a partir del núcleo analógico del VPA. En otro ejemplo, la interfaz de entrada 5602 incluye unos puertos para extraer valores del módulo de control digital 5600. En un ejemplo, los valores se extraen del módulo de control digital 5600 mediante un procesador externo (por ejemplo, un procesador de banda de base) que está conectado con el módulo de control digital 5600.

La interfaz de salida 5604 proporciona una pluralidad de buses y / o puertos de salida para emitir señales a partir del módulo de control digital 5600. Estos buses y / o puertos de salida incluyen, por ejemplo, unos buses y / o puertos para emitir unas señales de información de amplitud (que se usan para generar unas señales de envolvente constante), señales de control de polarización (señales de autopolarización), señales de control de tensión (señales de suministro de potencia) y señales de selección de salida.

La máquina de estados 5606 realiza diversas funciones en relación con las funciones de generación de señales y / o de supervisión de rendimiento del módulo de control digital 5600. En un ejemplo, la máquina de estados 5606 incluye un módulo de función de transferencia, tal como se describe en la sección 3, para realizar funciones de generación de señales. En otro ejemplo, la máquina de estados 5606 incluye unos módulos para generar, de entre otros tipos de señales, señales de control de polarización, señales de control de potencia, señales de control de ganancia y señales de control de fase. En otro ejemplo, la máquina de estados 5606 incluye unos módulos para realizar una compensación previa de errores en un sistema de corrección de errores de alimentación en avance.

La RAM 5608 y / o la NVRAM 5610 son componentes opcionales del módulo de control digital 5600. En unos ejemplos, la RAM 5608 y la NVRAM 5610 residen externamente al módulo de control digital 5600 y puede accederse a las mismas por el módulo de control digital 5600 a través de los buses de datos que están conectados con el módulo de control digital 5600 por medio de la interfaz de entrada 5602, por ejemplo. Puede que se necesiten, o puede que no, la RAM 5608 y / o la NVRAM 5610 dependiendo de la implementación de VPA específica. Por ejemplo, una implementación de VPA que emplea unas técnicas de alimentación en avance para la compensación previa de errores puede requerir que la RAM 5608 o la NVRAM 5610 almacenen funciones o tablas de error. Por otro lado, una técnica de realimentación para la corrección de errores puede depender únicamente de módulos de lógica digital en la máquina de estados y puede que no requiera un almacenamiento de RAM 5608 o de NVRAM 5610. De forma similar, la cantidad de almacenamiento de la RAM 5608 y la NVRAM 5610 puede depender de la implementación de VPA específica. Por lo general, cuando se usa, la NVRAM 5610 se usa para almacenar datos que no se generan en tiempo real y / o que han de conservarse cuando la potencia está desconectada. Esto incluye, por ejemplo, tablas de error y / o valores de error tales como valores escalares y valores angulares que se generan en la fase de prueba y de caracterización del sistema de VPA y / o tablas de consulta que se usan por los módulos de funciones de transferencia.

La figura 57 ilustra una implementación de módulo de control digital 5700 ejemplar. La implementación de módulo de control digital 5700 ilustra en particular una interfaz de entrada 5602 ejemplar y una interfaz de salida 5604 ejemplar de un módulo de control digital de VPA 5700 ejemplar. Como se describirá adicionalmente en lo que sigue, las señales de las interfaces de entrada y de salida 5602 y 5604 del módulo de control digital de VPA 5700 se correlacionan directamente con señales a partir del núcleo analógico del VPA y / o señales a / desde uno o más controladores / procesadores externos que están conectados con el VPA. En los ejemplos que se describen en las secciones en lo que antecede, el núcleo analógico del VPA se representó mediante la circuitería analógica 186 junto con la fase de PA 190 - {1, ... , n} en la figura 1E, por ejemplo. Se hace notar que las anchuras de bits de los buses de datos y / o las señales de las interfaces de entrada y de salida en la figura 57 se proporcionan solo para fines de ilustración y no son limitantes.

La interfaz de entrada 5602 del módulo de control digital 5700 ejemplar incluye un bus de ENTRADA A / D 5702, un bus de E / S digital 5704, y una pluralidad de señales de control 5706 - 5730. En otras implementaciones de módulo de control digital, la interfaz de entrada 5602 puede incluir más o menos buses de datos, buses de programación y / o señales de control.

- 5 El bus de ENTRADA A / D 5702 porta una información de realimentación desde el núcleo analógico del VPA al módulo de control digital 5700. La información de realimentación puede usarse, de entre otras funciones, para supervisar la potencia de salida del VPA y / o las variaciones de amplitud y / o de fase en las ramas del VPA. Como se ilustra en la figura 57, un convertidor A / D 5732 convierte de analógica a digital la información de realimentación que se recibe a partir del núcleo analógico del VPA (usando la señal de ENTRADA A / D 5736) antes de enviar esta por el bus de ENTRADA A / D 5702 al módulo de control digital 5700. En un ejemplo, el módulo de control digital 5700 controla una señal de reloj RELOJ A / D 5734 del convertidor A / D 5732. En otro ejemplo, el módulo de control digital 5700 controla un selector de entrada para el convertidor A / D 5732 para seleccionar entre múltiples señales de realimentación en la entrada del convertidor A / D 5732. En un ejemplo, esto se realiza usando las señales de selector de entrada A / D 5738 - 5746.
- 10
- 15 El bus de E / S digital 5704 porta datos y señales de control al interior y al exterior del módulo de control digital 5700 desde y a uno o más procesadores o controladores que pueden estar conectados con el VPA. En un ejemplo, algunas de las señales de control 5706 - 5730 se usan para informar al módulo de control digital 5700 del tipo de información que esperar en (o que se encuentra presente en) el bus de E / S digital 5704. Por ejemplo, la señal de PC / (I / Q)_n 5724 indica al módulo de control digital 5700 si se están enviando información de control de potencia o
- 20 datos de I / Q a través del bus de E / S digital 5704. De forma similar, la señal de I / Q_n 5720 indica al módulo de control digital 5700 si se están enviando datos de I o de Q a través del bus de E / S digital 5704.

- 25 Otras señales de control de la interfaz de entrada 5602 del módulo de control digital de VPA 5700 incluyen la habilitación / deshabilitación digital 5706, la PRGM / EJECUCIÓN 5708, la LECTURA / ESCRITURA 5710, la SALIDA_RELOJ 5712, la habilitación / deshabilitación de ENTRADA_RELOJ x2 5714, la habilitación / deshabilitación de ENTRADA_RELOJ x4 5716, la ENTRADA_RELOJ 5718, la TX / RX_n 5726, la PRGM de SINT / EJECUCIÓN de SINT 5728 y la SEL / ENCLAVAMIENTO DE SALIDA 5730.

- 30 La señal de habilitación / deshabilitación digital 5706 controla el encendido, el restablecimiento y el apagado del VPA. Las señales para encender, restablecer o apagar el VPA por lo general provienen de un procesador que está conectado con el VPA. Por ejemplo, cuando se usa en un teléfono celular, un controlador o procesador de banda de base del teléfono celular puede apagar el VPA en modo de recepción y habilitar este en modo de transmisión.

- 35 La señal de PRGM / EJECUCIÓN 5708 indica al módulo de control digital 5700 si este se encuentra en el modo de programación o de ejecución. En el modo de programación, el módulo de control digital 5700 puede programarse para habilitar el funcionamiento deseado del VPA. Por ejemplo, los bits de memoria (la RAM 5608, la NVRAM 5610) del módulo de control digital 5700 pueden programarse para indicar la norma que va a usarse (por ejemplo, WCDMA, EDGE, GSM, etc.) para la comunicación. La programación del módulo de control digital 5700 se realiza usando el bus de E / S digital 5704.

- 40 En un ejemplo, el VPA se programa y / o vuelve a programarse (parcial o completamente) después de que este se haya instalado en (o integrado con) el producto final o dispositivo que emplea el VPA. Por ejemplo, cuando se usa en un teléfono celular, el VPA puede programarse después de que el teléfono celular se haya fabricado para proveer al teléfono celular con unas características nuevas, adicionales, modificadas o diferentes, tal como unas características en relación con (1) formas de onda soportadas, (2) control de potencia, (3) eficiencia potenciada y / o (4) perfiles de encendido y de apagado. El VPA también puede programarse para eliminar formas de onda u otras características según se desee por el proveedor de red.

- 45 La programación del VPA puede estar basada en pago. Por ejemplo, el VPA puede programarse para incluir unas características y potenciaciones seleccionadas y compradas por el usuario final.

- 50 En un ejemplo, el VPA se programa después de que el dispositivo se haya fabricado usando cualquier procedimiento o técnica bien conocido, incluyendo pero sin limitarse a: (1) programación del VPA usando la interfaz de programación del dispositivo que emplea el VPA; (2) programación del VPA mediante el almacenamiento de datos de programación en una tarjeta de memoria legible por el dispositivo (una tarjeta SIM, por ejemplo, en el caso de un teléfono celular); y / o (3) programación del VPA mediante la transferencia de datos de programación al VPA de forma inalámbrica por el proveedor de red u otra fuente.

- 55 La señal de LECTURA / ESCRITURA 5710 indica al módulo de control digital 5700 si van a leerse datos a partir de, o a escribirse en, el almacenamiento de módulo de control digital (la RAM 5608 o la NVRAM 5610) por medio del bus de E / S digital 5704. Cuando se están extrayendo datos del módulo de control digital 5700, la señal de SALIDA_RELOJ 5712 indica una información de sincronismo para leer a partir del bus de E / S digital 5704.

La señal de ENTRADA_RELOJ 5718 proporciona una señal de reloj de referencia al módulo de control digital 5700. Por lo general, la señal de reloj de referencia se selecciona de acuerdo con las normas de comunicación soportadas por el VPA. Por ejemplo, en un sistema de WCDMA / GSM de modo doble, es deseable que la señal de reloj de

referencia sea un múltiplo de la velocidad de datos codificados de WCDMA (3,84 MHz) y el barrido de canal de GSM (200 kHz), con 19,2 MHz siendo una velocidad popular como el mínimo común múltiplo de ambos. Además, la señal de ENTRADA_RELOJ 5718 puede hacerse un múltiplo de la señal de reloj de referencia. En un ejemplo, la habilitación / deshabilitación de ENTRADA_RELOJ x2 5714, la habilitación / deshabilitación de ENTRADA_RELOJ x4 5716 pueden usarse para indicar al módulo de control digital de VPA 5700 que se está proporcionando un múltiplo del reloj de referencia.

La señal de TX / RXn 5726 indica al módulo de control digital 5700 cuándo el sistema (por ejemplo, teléfono celular) que emplea el VPA está entrando en el modo de transmisión o de recepción. En un ejemplo, se avisa al módulo de control digital 5700 poco tiempo antes de que el sistema entre en el modo de transmisión con el fin de que este encienda el VPA. En otro ejemplo, se avisa al módulo de control digital 5700 de cuándo el sistema está entrando en el modo de recepción con el fin de que este entre en un modo de reposo o que apague el VPA.

La señal de PRGM de SINT / EJECUCIÓNn de SINT 5728 se usa para programar el sintetizador que proporciona la frecuencia de referencia al VPA (tal como los sintetizadores 5918 y 5920 que se muestran en la figura 59). Cuando la PRGM de SINT 5728 se encuentra en valor alto, el módulo de control digital de VPA 5700 puede esperar recibir datos para programar el sintetizador en el bus de E / S digital 5704. Por lo general, la programación del sintetizador se necesita cuando se selecciona la frecuencia de transmisión de VPA. Cuando la EJECUCIÓNn de SINT 5728 pasa a valor alto, se indica al sintetizador que se ponga en funcionamiento. El sintetizador puede integrarse con el sistema de VPA o proporcionarse como un subsistema o componente externo.

La señal de SEL / ENCLAVAMIENTOn de SALIDA 5730 se usa para seleccionar la salida de VPA que va a usarse para la transmisión. Puede que esto se necesite, o puede que no, dependiendo del número de salidas del VPA. Cuando la SEL de SALIDA 5730 pasa a valor alto, el módulo de control digital 5700 espera recibir datos para seleccionar la salida en el bus de E / S digital 5704. Cuando la ENCLAVAMIENTO 5730 pasa a valor alto, el módulo de control digital 5700 garantiza que la salida de VPA que se usa para la transmisión se mantiene (no puede cambiarse) durante el transcurso de la secuencia de transmisión actual.

La interfaz de salida 5604 del módulo de control digital 5700 ejemplar incluye una pluralidad de buses de datos (5748, 5750, 5752, 5754, 5756, 5758, 5760, 5762, 5764 y 5766), un bus de programación 5799, y una pluralidad de señales de control (5768, 5770, 5772, 5744, 5776, 5778, 5780, 5782, 5784, 5786, 5788, 5790, 5792, 5794, 5796 y 5798). En otros ejemplos del módulo de control digital 5700, la interfaz de salida 5604 puede tener más o menos buses de datos, buses de programación y / o señales de control.

Los buses de datos 5752, 5754, 5756 y 5758 portan una información digital a partir del módulo de control digital 5700 que se usa para generar las señales de envolvente sustancialmente constante en el núcleo analógico del VPA. Se hace notar que el módulo de control digital 5700 ejemplar puede usarse en un VPA de 4 ramas ejemplar (véase la sección 3.1) o un VPA de 2 ramas ejemplar (véase la sección 3.3). Por ejemplo, la información digital que se porta por los buses de datos 5752, 5754, 5756 y 5758 se corresponde con las señales 722, 724, 726 y 728 en la realización de la figura 7A o las señales 1720, 1722, 1724, y 1726 en la realización de la figura 17, y puede generarse por el módulo de control digital 5700 de acuerdo con las ecuaciones (5) (para un VPA de 4 ramas ejemplar) y (18) (para un VPA de 2 ramas ejemplar). La información digital que se porta por los buses de datos 5752, 5754, 5756 y 5758 se convierte de digital a analógica usando unos convertidores de digital a analógico (los DAC 01 - 04) respectivos para generar las señales analógicas 5753, 5755, 5757 y 5759, respectivamente. Las señales analógicas 5753, 5755, 5757 y 5759 se introducen en moduladores vectoriales en el núcleo analógico del VPA tal como se describirá adicionalmente en lo que sigue con referencia a las implementaciones de núcleo analógico de VPA. En un ejemplo, los DAC 01 - 04 se controlan y se sincronizan por una señal de RELOJ de DAC de MOD vectorial 5770 que se proporciona por el módulo de control digital. Además, a los DAC 01 - 04 se les proporciona la misma señal de tensión de referencia central VREF_D 5743.

Los buses de datos 5760 y 5762 portan una información digital a partir del módulo de control digital 5700 que se usa para generar señales de tensión de polarización para la fase de amplificación de PA y la fase de amplificación de circuito de excitación del VPA (véase la figura 52 para una ilustración de diferentes fases de amplificación del VPA). En otro ejemplo, se usan unas funciones de control adicionales tales como el control de polarización de fase de circuito de pre-excitación. La información digital que se porta por el bus de datos 5760 se convierte de digital a analógica usando el DAC_05 para generar la señal de polarización de fase de salida 5761. De forma similar, la información digital que se porta por el bus de datos 5762 se convierte de digital a analógica usando el DAC_06 para generar una señal de polarización de fase de circuito de excitación 5763. La señal de polarización de fase de salida 5761 y la señal de polarización de fase de circuito de excitación 5763 se corresponden, por ejemplo, con las señales de polarización A y B que se ilustran en el ejemplo 5100H. En un ejemplo, los DAC 05 y 06 se controlan y se sincronizan usando una señal de RELOJ de DAC de autopolarización 5772, y se les proporciona la misma señal de tensión de referencia central VREF_E 5745.

Los buses de datos 5764 y 5766 portan una información digital a partir del módulo de control digital 5700 que se usa para generar señales de control de tensión para la fase de salida y la fase de circuito de excitación del VPA. La información digital que se porta por el bus de datos 5764 se convierte de digital a analógica usando el DAC_07 para generar la señal de control de tensión de fase de salida 5765. De forma similar, la información digital que se porta

por el bus de datos 5766 se convierte de digital a analógica usando el DAC_08 para generar la señal de control de tensión de fase de circuito de excitación 5767. La señal de control de tensión de fase de salida 5765 y el control de tensión de fase de circuito de excitación 5767 se usan para generar tensiones de suministro para la fase de salida y la fase de circuito de excitación, proporcionando un procedimiento adicional para controlar la tensión de la fase de salida y la fase de circuito de excitación del VPA. En un ejemplo, los DAC 07 y 08 se controlan y se sincronizan usando una señal de RELOJ de DAC de control de tensión 5774, y se les proporciona la misma señal de tensión de referencia central VREF_F 5747.

Los buses de datos 5748 y 5750 portan una información digital a partir del módulo de control digital 5700 que se usa para generar unas señales de control de ganancia y de equilibrio de fase. En un ejemplo, las señales de control de ganancia y de equilibrio de fase se generan en respuesta a la información de fase y de ganancia de realimentación que se recibe a partir del núcleo analógico del VPA por el bus de ENTRADA A / D 5702. La información digital que se porta por el bus de datos 5748 se convierte de digital a analógica usando el DAC_09 para generar la señal de control de equilibrio de ganancia analógica 5749. De forma similar, la información digital que se porta por el bus de datos 5750 se convierte de digital a analógica usando el DAC_10 para generar el control de equilibrio de fase analógico 5751. Las señales de control de ganancia y de equilibrio de fase 5749 y 5751 proporcionan un mecanismo para regular la ganancia y la fase en el núcleo analógico del VPA. En un ejemplo, los DAC 09 y 10 se controlan y se sincronizan usando una señal de RELOJ de DAC de equilibrio 5768, y se les proporciona la misma tensión de referencia central VREF_B 5739.

El bus de programación 5799 porta unas instrucciones digitales a partir del módulo de control digital 5700 que se usan para programar el sintetizador o sintetizadores de frecuencia en el núcleo analógico del VPA. En un ejemplo, las instrucciones digitales que se portan por el bus de programación 5799 se generan de acuerdo con los datos que se reciben en el bus de E / S digital 5704, cuando la señal de PRGM de SINT 5728 se encuentra en valor alto. Las instrucciones digitales para programar los sintetizadores de frecuencia incluyen unas instrucciones para establecer el sintetizador apropiado (banda ALTA o banda baja) para generar una frecuencia de acuerdo con la norma de comunicación seleccionada. En un ejemplo, el bus de programación 5799 es un bus de programación de 3 hilos.

Además de los buses de datos y de programación que se han descrito en lo que antecede, la interfaz de salida 5604 incluye una pluralidad de señales de control.

En conjunción con el bus de programación 5799, que se usa para programar los sintetizadores de frecuencia del núcleo de VPA analógico, las señales de control de habilitación /deshabilitación de banda alta y de habilitación /deshabilitación de banda baja 5796 y 5798 se generan para controlar cuál de un sintetizador de frecuencia de banda alta y un sintetizador de frecuencia de banda baja del núcleo de VPA analógico está habilitado /deshabilitado.

Las señales de control 5738, 5740, 5742, 5744 y 5746 controlan un selector de entrada para multiplexar las señales de realimentación a partir del núcleo analógico del VPA sobre la señal de entrada de ENTRADA A / D 5736 del convertidor A / D 5732. En un ejemplo, las señales de control 5738, 5740, 5744 y 5746 controlan la multiplexación de una señal de realimentación de salida de potencia, una señal de realimentación de amplitud de rama diferencial y una señal de realimentación de fase de rama diferencial sobre la señal de ENTRADA A / D 5736. Otras señales de realimentación pueden encontrarse disponibles en otros ejemplos. En un ejemplo, las señales de realimentación se multiplexan de acuerdo con un ciclo de multiplexación previamente determinado. En otro ejemplo, determinadas señales de realimentación se portan de forma periódica por la señal de ENTRADA A / D 5736, mientras que otras se solicitan a petición por el módulo de control digital.

Las señales de control de selección de salida 5776, 5778, 5780, 5782 y 5784 se generan por el módulo de control digital 5700 con el fin de seleccionar una salida de VPA, cuando la implementación de VPA particular soporta una pluralidad de salidas para diferentes bandas de frecuencia y / o modos de tecnología. En un ejemplo, las señales de control de selección de salida 5776, 5778, 5780, 5782 y 5782 se generan de acuerdo con la señal de entrada de módulo de control digital 5730. En la implementación a modo de ejemplo de la figura 57, el módulo de control digital 5700 proporciona cinco señales de control de selección de salida para seleccionar una de cinco salidas de VPA diferentes. En un ejemplo, las señales de control de selección de salida 5776, 5778, 5780, 5782 y 5784 controlan la circuitería en el interior del núcleo analógico del VPA con el fin de encender la circuitería que se corresponde con la salida de VPA seleccionada y de apagar la circuitería que se corresponde con las salidas de VPA no seleccionadas restantes. En unos ejemplos, en cualquier momento, las señales de control de selección de salida 5776, 5778, 5780, 5782 y 5784 garantizan que la circuitería que se corresponde con una única salida de VPA está encendida, cuando el VPA se encuentra en modo de transmisión. Un ejemplo de módulo de control digital diferente puede tener más o menos señales de control de selección de salida dependiendo del número particular de salidas de VPA soportadas por la implementación de núcleo analógico particular.

La señal de control de banda o bandas altas de MOD vectorial / banda o bandas bajas de MOD vectorial 5786 se genera por el módulo de control digital 5700 para indicar si va a usarse un conjunto de modulación de frecuencia de banda alta o un conjunto de modulación de frecuencia de banda baja de moduladores vectoriales en el núcleo analógico del VPA. En un ejemplo, los moduladores vectoriales de banda alta y los de banda baja tienen unas características diferentes, permitiendo que cada conjunto sea más adecuado para un intervalo de frecuencias de

modulación. La señal de control 5786 se genera de acuerdo con la salida seleccionada del VPA. En un ejemplo, la señal de control 5786 controla la circuitería en el interior del núcleo analógico del VPA con el fin de garantizar que el conjunto seleccionado de moduladores vectoriales está encendido y que el otro conjunto o conjuntos de moduladores vectoriales están apagados. En otro ejemplo, la señal de control 5786 controla la circuitería en el interior del núcleo analógico del VPA con el fin de acoplar un conjunto de filtros de interpolación con el conjunto seleccionado de moduladores vectoriales.

La señal de control de banda alta / normaln de 3G 5788 es una señal de control opcional que puede usarse, si es necesario, para habilitar que el VPA soporte la banda de alta frecuencia de amplio alcance. En un ejemplo, la señal de control 5788 puede forzar más intensidad a través de la circuitería de fase de salida del núcleo analógico y / o modificar las características de impedancia de salida del VPA.

La señal de control de respuesta de filtro 1 / respuesta de filtro 2n 5790 es una señal de control opcional que puede usarse para cambiar de manera dinámica la respuesta de los filtros de interpolación en el núcleo analógico del VPA. Esto puede ser necesario debido a que los filtros de interpolación tienen diferentes respuestas óptimas para diferentes normas de comunicación. Por ejemplo, la respuesta de filtro óptima tiene una frecuencia de codo de 3 dB alrededor de los 5 MHz para WCDMA o EDGE, mientras que esta frecuencia es de aproximadamente 400 kHz para GSM. Por consiguiente, la señal de control 5790 permite optimizar los filtros de interpolación de acuerdo con la norma de comunicación que se use.

Las señales de control de atenuador 5792 y 5794 son unas señales de control opcionales que pueden usarse, si es necesario, para proporcionar unas características y funciones de control de potencia de salida adicionales. Por ejemplo, las señales de control de atenuador 5792 y 5794 podrían configurarse para habilitar / deshabilitar los atenuadores de RF en la salida del VPA. Estos atenuadores pueden requerirse en base a la implementación de VPA específica, que podría fabricarse usando silicio, GaAs o procedimientos de CMOS.

La figura 58 ilustra otro módulo de control digital 5800 ejemplar. El módulo de control digital 5800 ejemplar es similar en muchos aspectos al módulo de control digital 5700. En particular, ambos ejemplos 5700, 5800 tienen la misma interfaz de entrada 5602, y porciones sustanciales de la interfaz de salida (la interfaz de salida en la figura 58 está marcada con el número de referencia 5604'). Las diferencias entre los ejemplos 5700 y 5800 están relacionadas con el tipo de información de realimentación que se está proporcionando al módulo de control digital. Específicamente, los dos ejemplos 5700 y 5800 se diseñan para funcionar con unos mecanismos de realimentación distintivamente diferentes para la corrección de errores. Estos mecanismos se describirán adicionalmente en lo que sigue en la sección 4.3 con referencia a las implementaciones de núcleo analógico ejemplares.

La implementación 5800 ejemplar incluye diferentes señales de control de selección de entrada 5808, 5810 y 5812 en comparación con la implementación 5700 ejemplar. Las señales de control de selección de entrada 5810 y 5812 controlan si va a recibirse información de realimentación a partir de la banda alta o la circuitería analógica de banda baja del VPA, dependiendo de qué banda se encuentra en uso. La señal de control de selección de entrada I / Qn 5808 controla la multiplexación de los datos de realimentación de I y de Q a partir del núcleo analógico del VPA. En un ejemplo, la señal de control 5812 permite una conmutación secuencial entre los datos de I y los datos de Q sobre la señal de ENTRADA A / D 5736.

Como distinción adicional con respecto al ejemplo 5700, el ejemplo 5800 incluye un bus de datos 5802 adicional, que porta una información digital a partir del módulo de control digital 5800 que se usa para generar una señal de control de ganancia automática 5806. La señal de control de ganancia automática 5806 se usa para controlar la ganancia de un circuito de amplificador que se usa en el mecanismo de realimentación en el núcleo analógico del VPA. En lo que sigue se proporcionará una descripción adicional de este componente del mecanismo de realimentación. En un ejemplo, la información digital que se porta por el bus de datos 5802 se convierte de digital a analógica por el DAC_11 para generar la señal analógica 5806. El DAC_11 está controlado por una señal de reloj 5804 que se proporciona por el módulo de control digital, y se le proporciona la señal de VREF_B 5739 como una tensión de referencia central.

Se hace notar que los módulos de control digital 5700 y 5800 ejemplares ilustran algunas de las señales de módulo de control digital de entrada y de salida típicas que pueden usarse en una implementación de módulo de control digital. También pueden usarse más o menos señales de entrada y de salida, tal como se apreciará por un experto en la materia en base a las enseñanzas en el presente documento, dependiendo del sistema en el que se está usando el VPA y / o el núcleo analógico de VPA específico que va a usarse con el módulo de control digital. En un ejemplo, las implementaciones de módulo de control digital 5700 y 5800 ejemplares pueden usarse en conjunción con un núcleo analógico de VPA usando una corrección de errores solo de realimentación, solo de alimentación en avance o tanto de realimentación como de alimentación en avance. Cuando se usan en un enfoque de solo alimentación en avance, los elementos y / o señales de realimentación (por ejemplo, la ENTRADA A / D 5702, las señales de control 5738, 5740, 5742, 5744, 5746, las señales de control de ganancia y de equilibrio de fase 5749 y 5751) pueden deshabilitarse o eliminarse. Por consiguiente, las variaciones de las implementaciones de módulo de control digital 5700 y 5800 ejemplares se encuentran dentro del alcance de los ejemplos que se divulgan en el presente documento.

4.3) Núcleo Analógico de VPA

En esta sección, se proporcionarán diversas implementaciones ejemplares del núcleo analógico de VPA. Como se describirá en lo que sigue, las diversas implementaciones ejemplares comparten un gran número de componentes, circuitos y / o señales, con las diferencias principales en relación con la arquitectura de fase de salida, el mecanismo de realimentación de corrección de errores adoptado y / o el material semiconductor real que se usan en la fabricación de microplacas. Como se entenderá por un experto en la materia en base a las enseñanzas en el presente documento, también pueden concebirse otras implementaciones de núcleo analógico de VPA mediante el intercambio, la adición y / o la eliminación de características de entre las diversas implementaciones ejemplares que se describen en lo que sigue. Por consiguiente, las realizaciones de la presente invención no han de limitarse a las implementaciones ejemplares que se describen en el presente documento.

4.3.1) Implementación A de Núcleo Analógico de VPA

La figura 59 ilustra una implementación de núcleo analógico de VPA 5900 ejemplar. En un ejemplo, las señales de entrada del núcleo analógico 5900 conectan de manera directa o indirecta (a través de unos DAC) con las señales de salida a partir de la interfaz de salida 5604 del módulo de control digital 5600. De forma similar, las señales de realimentación a partir del núcleo analógico 5900 conectan de manera directa o indirecta (a través de unos DAC) con la interfaz de entrada del módulo de control digital 5600. Para fines ilustrativos, el núcleo analógico 5900 se muestra en la figura 59 como que está conectado con el módulo de control digital 5700, tal como se indica mediante las mismas señales numéricas tanto en la figura 57 como en la figura 59.

La implementación de núcleo analógico 5900 es un VPA de 2 ramas ejemplar. Esta implementación 5900, no obstante, puede modificarse con facilidad a un VPA de 4 ramas o uno de CPCP ejemplar, tal como será evidente para los expertos en la materia en base a las enseñanzas en el presente documento.

A un alto nivel, el núcleo analógico 5900 incluye una fase de entrada para recibir señales de datos a partir del módulo de control digital 5700, una fase de modulación vectorial para generar unas señales de envolvente sustancialmente constante, y una fase de salida de amplificación para amplificar y emitir la señal de salida de VA deseada. Adicionalmente, el núcleo analógico 5900 incluye una circuitería de suministro de potencia para controlar y entregar potencia a las diferentes fases del núcleo analógico, una circuitería de protección de fase de salida opcional y una circuitería opcional para generar y proporcionar información de realimentación al módulo de control digital del VPA.

La fase de entrada del núcleo analógico de VPA 5900 incluye un banco de filtros de interpolación (5910, 5912, 5914 y 5916) opcional y una pluralidad de conmutadores 5964, 5966, 5968 y 5970. Los filtros de interpolación 5910, 5912, 5914 y 5916, que también pueden servir como filtros antialias, conforman las salidas analógicas 5753, 5755, 5757 y 5759 de los DAC 01 - 04 para generar la forma de onda de salida deseada. En un ejemplo, la respuesta de los filtros de interpolación 5910, 5912, 5914 y 5916 se cambia de manera dinámica usando la señal de control 5790 a partir del módulo de control digital 5700. La señal de módulo de control digital 5790 puede controlar, por ejemplo, los conmutadores en el interior de los filtros de interpolación 5910, 5912, 5914 y 5916 para dar lugar a un cambio en la circuitería activa (la circuitería de RC de habilitación / deshabilitación) en el interior de los filtros 5910, 5912, 5914 y 5916. Esto puede ser necesario debido a que los filtros de interpolación 5910, 5912, 5914 y 5916 tienen diferentes respuestas óptimas para diferentes normas de comunicación. Debería hacerse notar que los filtros de interpolación 5910, 5912, 5914 y 5916 pueden implementarse usando una circuitería digital tal como filtros de FIR o filtros de FIR programables. Cuando se implementan de forma digital, estos filtros pueden incluirse en el interior del sistema de VPA o integrarse con un procesador de banda de base.

Subsiguientemente, las salidas de los filtros de interpolación 5910, 5912, 5914 y 5916 se conmutan usando los conmutadores 5964, 5966, 5968 y 5970 para conectar con o bien una trayectoria de banda superior 5964 o bien una trayectoria de banda inferior 5966 del núcleo analógico de VPA 5900. Esta determinación entre las trayectorias de banda superior e inferior se hace por lo general por el módulo de control digital 5700 en base al intervalo de frecuencias seleccionado para la transmisión por el VPA. Por ejemplo, la trayectoria de banda inferior 5966 se usa para GSM - 900, mientras que la trayectoria de banda superior 5964 se usa para WCDMA. En un ejemplo, los conmutadores 5964, 5966, 5968 y 5970 están controlados por la señal de banda o bandas altas de MOD vectorial / banda o bandas bajas de MOD vectorial 5786, que se proporciona por el módulo de control digital 5700. La señal 5786 controla el acoplamiento de cada uno de los conmutadores 5964, 5966, 5968 y 5970 con las primeras o segundas entradas respectivas, controlando de ese modo el acoplamiento de las salidas de los filtros de interpolación 5910, 5912, 5914 y 5916 o bien con la trayectoria superior 5964 o bien con la trayectoria inferior 5966 del núcleo analógico de VPA 5900.

La fase de modulación vectorial del núcleo analógico de VPA 5900 incluye una pluralidad de moduladores vectoriales 5922, 5924, 5926 y 5928, divididos entre la trayectoria de banda superior 5964 y la trayectoria de banda inferior 5966 del núcleo analógico 5900. En base a la banda de funcionamiento seleccionada, o bien los moduladores vectoriales de trayectoria de banda superior (5922, 5924) o bien los moduladores vectoriales de trayectoria de banda inferior (5926, 5928) están activos.

En un ejemplo, el funcionamiento de los moduladores vectoriales 5922, 5924 o 5926, 5928 es similar al funcionamiento de los moduladores vectoriales 1750 y 1752 en la realización de la figura 17, por ejemplo. Los moduladores vectoriales 5922 y 5924 (o 5926 y 5928) reciben las señales de entrada 5919, 5921, 5923 y 5925 (5927, 5929, 5931 y 5933) a partir de los filtros de interpolación 5910, 5912, 5914 y 5916 opcionales, respectivamente. Las señales de entrada 5919, 5921, 5923 y 5925 (o 5927, 5929, 5931 y 5933) incluyen una información de amplitud que se usa para generar las señales de envolvente constante mediante los moduladores vectoriales. Además, los moduladores vectoriales 5922 y 5924 (o 5926 y 5928) reciben una señal de RELOJ_RF de banda ALTA 5935 (señal de RELOJ_RF de banda BAJA 5937) a partir de un sintetizador de frecuencia de banda o bandas ALTA 5918 (un sintetizador de frecuencia de banda o bandas baja 5920). El sintetizador de frecuencia de banda o bandas ALTA 5918 (el sintetizador de frecuencia de banda o bandas baja 5920) están ubicados, de forma opcional, de manera externa o en el núcleo analógico de VPA. En un ejemplo, el sintetizador de frecuencia de banda o bandas ALTA 5918 (el sintetizador de frecuencia de banda o bandas baja 5920) genera frecuencias de RF en el intervalo de banda superior de 1,7 - 1,98 GHz (intervalo de banda inferior de 824 - 915 MHz). En otro ejemplo, el sintetizador de frecuencia de banda o bandas ALTA 5918 y el sintetizador de frecuencia de banda o bandas baja 5920 están controlados por las señales de módulo de control digital 5796 y 5798, respectivamente. Las señales 5796 y 5798, por ejemplo, encienden el sintetizador de frecuencia apropiado de acuerdo con la banda de frecuencia de transmisión seleccionada, e indican al sintetizador seleccionado que genere un reloj de frecuencia de RF de acuerdo con la frecuencia de transmisión seleccionada.

Los moduladores vectoriales 5922 y 5924 (o 5926 y 5928) modulan las señales de entrada 5919, 5921, 5923 y 5925 (5927, 5929, 5931 y 5933) con la señal de RELOJ_RF de banda ALTA 5935 (señal de RELOJ_RF de banda BAJA 5937). En un ejemplo, los moduladores vectoriales 5922 y 5924 (o 5926 y 5928) modulan las señales de entrada con unas versiones deducidas y / o desplazadas en fase de forma apropiada de la señal de RELOJ_RF de banda ALTA 5935 (señal de RELOJ_RF de banda BAJA 5937), y combinan las señales moduladas generadas para generar unas señales de envolvente sustancialmente constante 5939 y 5941 (5943 y 5945).

En otro ejemplo, los moduladores vectoriales 5922 y 5924 (o 5926 y 5928) reciben además una señal de control de equilibrio de fase 5751 a partir del módulo de control digital de VPA. La señal de control de equilibrio de fase 5751 controla los moduladores vectoriales 5922 y 5924 (o 5926 y 5928) para dar lugar a un cambio en la fase en las señales de envolvente constante 5939 y 5941 (o 5943 y 5945), en respuesta a la información de realimentación de fase a partir del núcleo analógico. El mecanismo de realimentación de amplitud y de fase se analiza adicionalmente en lo que sigue. De forma opcional, los moduladores vectoriales de trayectoria de banda superior 5922 y 5924 también reciben una señal de banda ALTA / Normaln de 3G 5788 a partir del módulo de control digital. La señal 5788 puede usarse, si es necesario, para soportar adicionalmente la excitación de los moduladores vectoriales a las frecuencias más altas de la banda superior.

La fase de salida del núcleo analógico de VPA 5900 incluye una pluralidad de amplificadores de MISO 5930 y 5932, divididos entre la trayectoria de banda superior 5964 y la trayectoria de banda inferior 5966 del núcleo analógico 5900. En base a la banda de funcionamiento seleccionada, o bien el amplificador de MISO de trayectoria de banda superior 5930 o bien el amplificador de MISO de trayectoria de banda inferior 5932 está activo.

En un ejemplo, el amplificador de MISO 5930 (o 5932) recibe las señales de envolvente sustancialmente constante 5939 y 5941 (o 5943 y 5945) a partir de los moduladores vectoriales 5922 y 5924 (o 5926 y 5928). El amplificador de MISO 5930 (o 5932) amplifica de manera individual las señales 5939 y 5941 (o 5943 y 5945) para generar señales amplificadas, y combina las señales amplificadas para generar la señal de salida 5947 (o 5949). En un ejemplo, el amplificador de MISO 5930 (o 5932) combina las señales amplificadas por medio de un acoplamiento directo, tal como se describe en el presente documento. Otros modos de combinación de las señales amplificadas se han descrito en lo que antecede en la sección 3.

La fase de salida del núcleo analógico de VPA 5900 es capaz de soportar un funcionamiento de VPA de múltiples bandas y de múltiples modos. Como se muestra en la figura 59, la fase de salida incluye dos amplificadores de MISO 5930 y 5932 para un funcionamiento de banda superior y de banda inferior, respectivamente. Además, la salida de cada una de la banda superior 5964 y la banda inferior 5966 se conmuta adicionalmente entre una o más trayectorias de salida de acuerdo con el modo de transmisión seleccionado (por ejemplo, GSM, WCDMA, etc.). Por lo general, son necesarias unas trayectorias de salida separadas para diferentes modos de transmisión debido a que los modos basados en FDD (por ejemplo, WCDMA) requieren la presencia de duplexores en la salida, mientras que los modos basados en TDD (por ejemplo, GSM, EDGE) tienen unas salidas conmutadas de T / R.

En el núcleo analógico 5900, la salida 5947 del amplificador de MISO 5930 puede estar acoplada con una de las tres trayectorias de salida 5954, 5956 y 5958, con cada trayectoria de salida 5954, 5956, 5958 siendo la que está acoplada con una antena (que no se muestra) o conector (que no se muestra) para un modo de transmisión particular. De forma similar, la salida 5949 del amplificador de MISO 5932 puede estar acoplada con una de las dos trayectorias de salida 5960 y 5962. En un ejemplo, las señales de selección de salida 5776, 5778, 5780, 5782 y 5784, que se proporcionan por el módulo de control digital, controlan los conmutadores 5942 y 5944 para acoplar la salida del amplificador de MISO activo con la trayectoria de salida apropiada, en base al modo de transmisión seleccionado. Se hace notar que pueden usarse más o menos trayectorias de salida 5954, 5956, 5958, 5960 y 5962.

Por consiguiente, con solo dos amplificadores de MISO 5930 y 5932, el núcleo analógico 5900 soporta múltiples diferentes modos de transmisión. En un ejemplo, el núcleo analógico 5900 prevé el uso de un único amplificador de MISO para soportar GSM, EDGE, WCDMA y CDMA2000. Por lo tanto, es evidente que una de las ventajas de este núcleo analógico de VPA ejemplar de acuerdo con la implementación 5900 se encuentra en la reducción en el número de PA por trayectoria de salida soportada. Esto se corresponde directamente con una reducción en el área de microplaca requerida para el núcleo analógico de VPA 5900.

En un ejemplo, la fase de salida del núcleo analógico 5900 recibe la señal de autopolarización de fase de salida 5761 opcional, la señal de autopolarización de fase de circuito de excitación 5763 y la señal de control de equilibrio de ganancia 5749 a partir del módulo de control digital. Puede que se necesiten, o puede que no, la señal de autopolarización de fase de salida 5761 y la señal de autopolarización de fase de circuito de excitación 5763 de acuerdo con el tipo particular de transistores que se usa en la implementación de MISO real. En un ejemplo, la señal de autopolarización de fase de salida 5761 y la señal de autopolarización de fase de circuito de excitación 5763 controlan la polarización de las fases de amplificación de MISO para dar lugar a un cambio en la salida de potencia y / o la eficiencia energética del VPA. De forma similar, la señal de control de equilibrio de ganancia 5749 puede dar lugar a un cambio en los niveles de ganancia de diferentes fases de amplificación de MISO, en respuesta a la información de realimentación de salida de potencia que se recibe por el módulo de control digital a partir del núcleo analógico. En lo que sigue se proporcionará un análisis adicional de estas señales de entrada de fase de salida opcionales.

En un ejemplo, la fase de salida del núcleo analógico 5900 proporciona unas señales de realimentación opcionales al módulo de control digital 5700 del VPA. Por lo general, estas señales de realimentación se usan por el módulo de control digital 5700 para corregir las variaciones de amplitud y de fase en las ramas del VPA y / o para controlar la potencia de salida del VPA. En la implementación específica del núcleo analógico 5900, un enfoque de realimentación diferencial se emplea para supervisar las variaciones de amplitud y de fase, usando una señal de amplitud de rama diferencial 5950 y una señal de fase de rama diferencial 5948 que se proporcionan por la fase de salida. Además, la supervisión de potencia de salida se proporciona usando las señales A de detección de POTENCIA 5938 y B de detección de POTENCIA 5940, que miden la potencia de salida de los amplificadores de MISO 5930 y 5932, respectivamente. Debido a que solo uno de los amplificadores de MISO 5930 y 5932 puede estar activo en cualquier momento, en un ejemplo, la A de detección de POTENCIA 5938 y la detección de POTENCIA 5940 se suman entre sí usando el sumador 5942, para generar una señal que se corresponde con la potencia de salida del VPA.

En un ejemplo, las señales de realimentación a partir de la fase de salida se multiplexan usando un selector de entrada 5946 que está controlado por el módulo de control digital 5700. En otro ejemplo, el módulo de control digital 5700 usa las señales de selector de entrada A / D 5738, 5740, 5742, 5744 y 5746 para controlar el selector de entrada 5946 y seleccionar la señal de realimentación que va a recibirse. Se hace notar que puede que no sea necesario que la supervisión de las señales de realimentación tenga lugar a una tasa en tiempo real y puede que solo sea necesario que se realice de forma periódica a una tasa baja. Por ejemplo, para fines de corrección de errores de fase y de amplitud de rama, la tasa a la que se realiza la supervisión de realimentación depende de varios factores tales como el grado de corrección de alimentación en avance que se está realizando en el módulo de control digital, las variaciones de proceso debido a la temperatura, o cambios de funcionamiento tales como cambiar las tensiones de batería o de suministro.

En lo que antecede, se han descrito los compromisos entre las técnicas de compensación y / o de corrección de errores de alimentación en avance y de realimentación. Por consiguiente, los parámetros que gobiernan las tasas a las que se realiza la supervisión de realimentación son opciones de diseño que, por lo general, se seleccionan por el diseñador real del VPA. Como resultado, la implementación de núcleo analógico 5900 puede programarse para funcionar como una implementación de realimentación pura mediante la deshabilitación de cualquier corrección de alimentación en avance en el módulo de control digital, una implementación de alimentación en avance pura mediante la deshabilitación de la supervisión de las señales de realimentación, o como una implementación de alimentación en avance / realimentación híbrida con una utilización de alimentación en avance / realimentación variable.

En un ejemplo, la fase de salida del núcleo analógico 5900 incluye una circuitería de protección de fase de salida opcional. En la figura 59, esto se ilustra usando la circuitería de protección de VSWR (relación de onda estacionaria de tensión) 5934 y 5936, que está acoplada con los amplificadores de MISO 5930 y 5932, respectivamente. Puede que se necesite, o puede que no, la circuitería de protección de VSWR 5934, 5936 dependiendo de la implementación de amplificador de MISO real. En un ejemplo, la circuitería de protección de VSWR 5934 y 5936 protege los PA de fase de salida (véanse los PA 6030 y 6032 en la figura 60, por ejemplo) frente a su entrada en apagado térmico o ruptura de dispositivo, cuando el nivel de tensión de salida podría dar lugar a que se superara la tensión de ruptura de fase de salida. En los sistemas convencionales, esto se consigue mediante el uso de un aislante de RF en la salida de los PA, que tanto es costoso como presenta pérdidas (por lo general da lugar a una pérdida de potencia de aproximadamente 1,5 dB). Por consiguiente, la circuitería de protección de VSWR 5934, 5936 elimina la necesidad de aislantes en la fase de salida, reduciendo adicionalmente el coste, el tamaño y la pérdida de potencia del VPA. En un ejemplo, la circuitería de protección de VSWR 5934, 5936 habilita una fase de salida libre de aislante capaz de soportar WCDMA. La circuitería de protección de VSWR 5934 y 5936 también

habilita que el VPA funcione en cualquier nivel de VSWR sin dañar el VPA. La circuitería de protección de VSWR puede diseñarse para entregar la máxima potencia de salida de una implementación particular de un VPA en cualquier nivel de VSWR.

5 Como se ha descrito en lo que antecede, el núcleo analógico 5900 incluye una circuitería de suministro de potencia para controlar y entregar potencia a las diferentes fases del núcleo analógico 5900. En un aspecto, la circuitería de suministro de potencia proporciona unos medios para encender porciones activas del núcleo analógico de VPA 5900. En otro aspecto, la circuitería de suministro de potencia proporciona unos medios para controlar la eficiencia energética y / o la potencia de salida del VPA.

10 En la implementación de núcleo analógico 5900, la circuitería de suministro de potencia incluye el suministro de potencia de MA 5902, el suministro de potencia de fase de circuito de excitación 5904, el suministro de potencia de fase de salida 5906, y el suministro de potencia de mod vectoriales 5908. En un ejemplo, la circuitería de suministro de potencia está controlada por las señales de selección de salida 5776, 5778, 5780, 5782 y 5784, que se proporcionan por el módulo de control digital 5700.

15 El suministro de potencia de MA 5902 incluye una circuitería para controlar el encendido de porciones activas del núcleo analógico de VPA 5900. En el núcleo analógico 5900, el suministro de potencia de MA 5902 tiene dos salidas VSUMINISTRO de MA1 5903 y VSUMINISTRO de MA2 5905. En cualquier momento, solo una de la VSUMINISTRO de MA1 5903 o la VSUMINISTRO de MA2 5905 está activa, garantizando que solo está encendida la porción de banda superior 5964 o la de banda inferior 5966 del núcleo analógico de VPA 5900. En un ejemplo, la salida activa del suministro de potencia de MA 5902 está acoplada con toda la circuitería activa del núcleo analógico de VPA 5900, con la excepción de la circuitería que tenga unas señales de suministro de potencia únicas tal como se describe en lo que sigue. El suministro de potencia de MA 5902 recibe unas señales de selección de salida a partir del módulo de control digital, que habilitan una o la otra de las señales de salida VSUMINISTRO de MA1 5903 o VSUMINISTRO de MA2 5905, en base a la salida seleccionada del VPA.

25 El suministro de potencia de fase de circuito de excitación 5904 incluye una circuitería para proporcionar potencia a la circuitería de fase de circuito de excitación de los amplificadores de MISO 5930, 5932. De forma similar al suministro de potencia de MA 5902, el suministro de potencia de fase de circuito de excitación 5904 tiene dos salidas VSUMINISTRO de circuito de excitación de MA1 5907 y VSUMINISTRO de circuito de excitación de MA2 5909, con solo una de las dos salidas estando activa en cualquier momento. El suministro de potencia de fase de circuito de excitación 5904 también está controlado por las señales de selección de salida 5776, 5778, 5780, 5782 y 5784 de acuerdo con la salida seleccionada del VPA. Además, el suministro de potencia de fase de circuito de excitación 5904 recibe una señal de control de tensión de fase de circuito de excitación 5767 a partir del módulo de control digital 5700. En un ejemplo, las salidas VSUMINISTRO de circuito de excitación de MA1 5907 y VSUMINISTRO de circuito de excitación de MA2 5909 se generan de acuerdo con la señal de control de tensión de fase de circuito de excitación 5767 recibida. En otro ejemplo, la señal de control de tensión de fase de circuito de excitación 5767 da lugar a que el suministro de potencia de fase de circuito de excitación 5904 aumente o disminuya la VSUMINISTRO de circuito de excitación de MA1 5907 o la VSUMINISTRO de circuito de excitación de MA2 5909 para controlar el nivel de amplificación de potencia de fase de circuito de excitación. En otro ejemplo, la señal de control de tensión de fase de circuito de excitación 5767 se usa por el módulo de control digital 5700 para efectuar un cambio, usando el suministro de potencia de fase de circuito de excitación 5904, en la tensión de suministro de potencia de la fase de circuito de excitación del amplificador de MISO activo 5930 o 5932, controlando de ese modo la eficiencia energética del VPA.

45 El suministro de potencia de fase de salida 5906 incluye una circuitería para proporcionar potencia a la circuitería de fase de PA de los amplificadores de MISO 5930, 5932. De forma similar al suministro de potencia de MA 5902, el suministro de potencia de fase de salida 5906 tiene dos salidas VSUMINISTRO de fase de salida de MA1 5911 y VSUMINISTRO de fase de salida de MA2 5913, con solo una de las dos salidas estando activa en cualquier momento. El suministro de potencia de fase de salida 5906 también está controlado por las señales de selección de salida 5776, 5778, 5780, 5782 y 5784 de acuerdo con la salida seleccionada del VPA. Además, el suministro de potencia de fase de salida 5906 recibe una señal de control de tensión de fase de salida 5765 a partir del módulo de control digital 5700. En un ejemplo, las salidas VSUMINISTRO de fase de salida de MA1 5911 y VSUMINISTRO de fase de salida de MA2 5913 se generan de acuerdo con la señal de control de tensión de fase de salida 5765 recibida. En otro ejemplo, la señal de control de tensión de fase de salida 5765 da lugar a que el suministro de potencia de fase de salida 5906 aumente o disminuya la VSUMINISTRO de fase de salida de MA1 5911 o la VSUMINISTRO de fase de salida de MA2 5913 para controlar el nivel de amplificación de potencia de fase de PA. En otro ejemplo, la señal de control de tensión de fase de salida 5765 se usa por el módulo de control digital 5700 para efectuar un cambio, usando el suministro de potencia de fase de salida 5906, en la tensión de suministro de potencia de la fase de PA del amplificador de MISO activo 5930 o 5932, controlando de ese modo la eficiencia energética del VPA.

60 El suministro de potencia de mod vectoriales 5908 incluye una circuitería para proporcionar potencia a los moduladores vectoriales 5922, 5924, 5926 y 5928 del núcleo analógico 5900. En el núcleo analógico 5900, el suministro de potencia de mod vectoriales 5908 tiene dos salidas 5915 y 5917 para encender los moduladores vectoriales de banda superior 5922 y 5924 y los moduladores vectoriales de banda inferior 5926 y 5928,

respectivamente. En cualquier momento, solo una de las salidas 5915 o 5917 está activa, garantizando que solo los moduladores vectoriales de banda superior o los inferiores del núcleo analógico 5900 están encendidos. El suministro de potencia de mod vectoriales 5908 recibe una señal de selección de mod vectorial 5786 a partir del módulo de control digital 5700, que controla cuál de sus dos salidas 5915 y 5917 está activa, de acuerdo con los requisitos de frecuencia de transmisión seleccionados.

Además de la circuitería de suministro de potencia que se ha descrito en lo que antecede, el núcleo analógico 5900 puede incluir, de forma opcional, una circuitería de generador de referencia de tensión. La circuitería de generador de referencia de tensión puede residir de manera externa o en el interior del núcleo analógico de VPA 5900. La circuitería de generador de referencia de tensión genera unas tensiones de referencia para diferentes circuitos en el interior del VPA. En un ejemplo, tal como se ilustra en la figura 57, la circuitería de generador de referencia de tensión proporciona unas tensiones de referencia a los DAC 01 - 10, que están acoplados con salidas de datos del módulo de control digital. En otro ejemplo, tal como se ilustra en la figura 59, la circuitería de generador de referencia de tensión proporciona unas tensiones de referencia a los filtros de interpolación y / o los moduladores vectoriales en el núcleo analógico de VPA. En un ejemplo, los circuitos de la misma rama del VPA se proveen con la misma tensión de referencia. Por ejemplo, se hace notar que los DAC 01 y 02, los filtros de interpolación 5910 y 5912 y los moduladores vectoriales 5922 y 5924, que representan una trayectoria de datos o rama de VPA, comparten todos ellos la misma tensión de referencia VREF_C 5741. Para diferentes implementaciones y requisitos de rendimiento de sistema, las señales de referencia de tensión pueden proporcionarse como una única tensión de referencia o múltiples tensiones de referencia.

La figura 60 ilustra un ejemplo de la fase de salida 6000 de acuerdo con la implementación de núcleo analógico de VPA 5900. El ejemplo de la fase de salida 6000 incluye una fase de amplificador de MISO 6058, una fase de conmutación de salida opcional (que se realiza mediante el conmutador 6044) y una circuitería de protección de fase de salida y de detección de potencia opcional.

En un ejemplo, la fase de amplificador de MISO 6058 se corresponde con el amplificador de MISO 5930 en el núcleo analógico 5900. Por consiguiente, la señal de VSUMINISTRO de MA 6006, la señal de VSUMINISTRO de circuito de excitación de MA 6004 y la señal de VSUMINISTRO de fase de salida de MA2 6002 se corresponden con las señales 5903, 5907 y 5911 en la figura 59, respectivamente. De forma similar, las señales de entrada de ENTRADA1 de MA y de ENTRADA2 de MA 6008 y 6010 y las señales de salida de MA 6046, 6048 y 6050 se corresponden con las señales de entrada de MISO 5939 y 5941 y las señales de salida 5954, 5956 y 5958 en la figura 59, respectivamente. La señal de detección de POTENCIA 6023 se corresponde con la señal A de detección de POTENCIA 5938 en la figura 59 (en general, la implementación del amplificador de MISO 5932 también podría estar basada en la fase de amplificador de MISO 6058 en la figura 60).

La fase de amplificador de MISO 6058 en el ejemplo 6000 incluye una fase de amplificación de circuito de pre-excitación, que se realiza mediante los circuitos de pre-excitación 6012 y 6014, una fase de amplificación de circuito de excitación, que se realiza mediante los circuitos de excitación 6018 y 6020, y una fase de amplificación de PA, que se realiza mediante los PA de fase de salida 6030 y 6032. En un ejemplo, las señales de entrada de envolvente sustancialmente constante ENTRADA1 de MA 6008 y ENTRADA2 de MA 6010 se amplifican en cada fase del amplificador de MISO 6058, antes de sumarse en las salidas de la fase de PA.

En un ejemplo, la fase de amplificador de MISO 6058 está alimentada por unas señales de suministro de potencia que se proporcionan por unos circuitos de suministro de potencia controlados por tensión. Como se describe con referencia a la figura 59, las señales de suministro de potencia se generan por la circuitería de suministro de potencia del núcleo analógico de VPA 5900. En un ejemplo, las señales de suministro de potencia se usan para controlar las tensiones de suministro de potencia de las diferentes fases de amplificación de la fase de amplificador de MISO 6058, afectando de ese modo a la eficiencia energética del VPA bajo diversas condiciones operativas. En otro ejemplo, las señales de suministro de potencia se usan para controlar la ganancia de cada una de las diferentes fases de amplificación de la fase de amplificador de MISO 6058, habilitando de ese modo un mecanismo de control de potencia. Además, las señales de suministro de potencia pueden controlarse con independencia una de otra, permitiendo un control independiente de la potencia y / o la eficiencia para cada una de las diferentes fases de amplificación de la fase de amplificador de MISO 6058. Este control independiente permite, por ejemplo, desconectar una o más fases de amplificación del amplificador de MISO 6058 de acuerdo con la potencia de salida deseada del VPA. En la figura 60, las señales de suministro de potencia se ilustran usando las señales 6002, 6004 y 6006.

En un ejemplo, la fase de amplificador de MISO 6058 incluye una circuitería de control de polarización. La circuitería de control de polarización puede ser opcional de acuerdo con la implementación de amplificador de MISO particular. En un ejemplo, la circuitería de control de polarización proporciona un mecanismo para controlar la eficiencia y / o la potencia en cada fase de amplificación del amplificador de MISO 6058. Este mecanismo es independiente del mecanismo que se ha descrito en lo que antecede con referencia a las señales de suministro de potencia. Además, este mecanismo prevé controlar de manera independiente e individual cada fase de amplificación. En la figura 60, la circuitería de control de polarización se ilustra usando la circuitería de control de equilibrio de ganancia 6016, la circuitería de autopolarización de fase de circuito de excitación 6022 y la circuitería de autopolarización de fase de salida 6028.

En un ejemplo, la circuitería de control de equilibrio de ganancia 6016 está acoplada con las entradas de la fase de amplificación de circuito de pre-excitación tal como se ilustra en la figura 60. La circuitería de control de equilibrio de ganancia 6016 recibe una señal de control de equilibrio de ganancia 5749 a partir del módulo de control digital 5700 (a través de un DAC), y emite las señales de control de polarización de entrada 6013 y 6015. La circuitería de autopolarización de fase de circuito de excitación 6022 está acoplada con las entradas de la fase de amplificación de circuito de excitación tal como se ilustra en la figura 60. La circuitería de autopolarización de fase de circuito de excitación 6022 recibe la señal de autopolarización de fase de circuito de excitación 5763 a partir del módulo de control digital 5700 (a través de un DAC), y emite las señales de control de polarización de entrada 6017 y 6019. De forma similar, la circuitería de autopolarización de fase de salida 6028 está acoplada con las entradas de la fase de amplificación de PA tal como se ilustra en la figura 60. La circuitería de autopolarización de fase de salida 6028 recibe la señal de autopolarización de fase de salida 5761 a partir del módulo de control digital 5700 (a través de un DAC), y emite las señales de control de polarización de entrada 6029 y 6031.

En un ejemplo, el módulo de control digital 5700 controla de manera independiente la polarización de la fase de circuito de pre-excitación, la fase de circuito de excitación y la fase de PA del amplificador de MISO 6058 usando la señal de control de equilibrio de ganancia 5749, la señal de autopolarización de fase de circuito de excitación 5763 y la señal de autopolarización de fase de salida 5761, respectivamente. En otro ejemplo, el módulo de control digital 5700 puede efectuar un cambio en la polarización de la fase de circuito de pre-excitación, la fase de circuito de excitación y / o la fase de PA del amplificador de MISO 6058 solo usando la señal de control de equilibrio de ganancia 5749. Como se ilustra en la figura 60, la circuitería de control de equilibrio de ganancia 6016 está acoplada con la circuitería de autopolarización de fase de circuito de excitación 6022 y la circuitería de autopolarización de fase de salida 6028. En un ejemplo, un cambio en la ganancia en conjunto del VPA se efectúa por el módulo de control digital 5700 en primer lugar mediante el control de la polarización en la fase de circuito de pre-excitación. Si se necesita un cambio de ganancia adicional, se realiza un control de polarización en la fase de circuito de excitación, y subsiguientemente en la fase de PA.

En un ejemplo, la fase de amplificador de MISO 6058 incluye unos circuitos para habilitar un mecanismo de realimentación de compensación y / o de corrección de errores. En el ejemplo de la fase de salida 6000, se adopta un mecanismo de realimentación diferencial, mediante el cual la circuitería de medición de amplitud de rama diferencial 6024 y la circuitería de medición de fase de rama diferencial 6026 miden, respectivamente, las diferencias en amplitud y fase entre las ramas del amplificador de MISO 6058. En un ejemplo, la circuitería de medición de amplitud de rama diferencial 6024 y la circuitería de medición de fase de rama diferencial 6026 están acopladas en las entradas de la fase de PA (los PA 6030 y 6032) del amplificador de MISO 6058. En otros ejemplos, la circuitería 6024 y 6026 puede acoplarse en las entradas de fases anteriores del amplificador de MISO 6058. En un ejemplo, la circuitería de medición de amplitud de rama diferencial 6024 y la circuitería de medición de fase de rama diferencial 6026 emiten respectivamente la señal de amplitud de rama diferencial 5950 y la señal de fase de rama diferencial 5948, que se realimentan al módulo de control digital 5700 (a través de unos convertidores A / D). Debido a que el módulo de control digital 5700 conoce en cualquier instante particular las diferencias correctas en amplitud y / o fase entre las ramas del amplificador de MISO 6058, este puede determinar cualesquiera errores en amplitud y / o fase en base a la señal de amplitud de rama diferencial 5950 y la señal de fase de rama diferencial 5948.

El ejemplo de la fase de salida 6000 incluye una circuitería de protección de fase de salida opcional. Puede que se necesite, o puede que no, la circuitería de protección de fase de salida de acuerdo con la implementación de amplificador de MISO particular. En la figura 60, la circuitería de protección de fase de salida se ilustra usando la circuitería de protección de VSWR 6034. En un ejemplo, la circuitería de protección de VSWR 6034 supervisa la salida de la fase de PA, y controla la ganancia del amplificador de MISO 6058 para proteger los PA 6030 y 6032. En el ejemplo 6000, la circuitería de protección de VSWR 6034 recibe una señal 6036, que está acoplada de manera o bien directa o bien indirecta con la salida de la fase de PA. En un ejemplo, la circuitería de protección de VSWR 6034 garantiza que el nivel de tensión en la salida de la fase de PA permanece por debajo de un nivel determinado, para evitar que los PA 6030 y 6032 entren en apagado térmico o experimenten ruptura de dispositivo. En un ejemplo, la circuitería de protección de VSWR 6034 garantiza que no se supera una tensión de ruptura de los PA 6030 y 6032. Por consiguiente, siempre que el nivel de tensión en la salida de los PA 6030 y 6032 se encuentre por encima de un umbral previamente determinado, la circuitería de protección de VSWR 6034 puede dar lugar a una disminución en la ganancia de las fases de amplificación de MISO. En un ejemplo, la circuitería de protección de VSWR 6034 está acoplada con la circuitería de control de ganancia de equilibrio 6016, que está acoplada, a su vez, tanto con la circuitería de autopolarización de fase de circuito de excitación 6022 como con la circuitería de autopolarización de fase de salida 6028. En un ejemplo, la circuitería de protección de VSWR 6034 responde a un nivel de tensión previamente determinado en los PA de fase de salida al disminuir la ganancia en primer lugar en la fase de circuito de pre-excitación, a continuación en la fase de circuito de excitación y, por último, en la fase de PA. Como se ha descrito en lo que antecede, puede que se necesite, o puede que no, la circuitería de protección de VSWR 6034 de acuerdo con la implementación de amplificador de MISO particular. Por ejemplo, una implementación de amplificador de MISO de GaAs (arseniuro de galio) no requeriría la circuitería de protección de VSWR, debido a que las tensiones de ruptura típicas de los transistores de GaAs son demasiado grandes para superarse en muchos escenarios de RF.

El ejemplo de la fase de salida 6000 incluye una circuitería de detección de potencia opcional. En un ejemplo, la circuitería de detección de potencia sirve como un medio para proporcionar una realimentación de nivel de potencia

al módulo de control digital. En la figura 60, la circuitería de detección de potencia se ilustra usando la circuitería de detección de potencia 6038. En un ejemplo, la circuitería de detección de potencia 6038 está acoplada con la salida de la fase de PA del amplificador de MISO 6058. La circuitería de detección de potencia 6038 puede acoplarse de manera directa o indirecta con la salida de la fase de PA tal como se ilustra mediante la señal 6040 en la figura 60.

5 En un ejemplo, la circuitería de detección de potencia 6038 emite una señal de detección de POTENCIA 6023. La señal de detección de POTENCIA 6023 puede ser equivalente a la señal A de detección de POTENCIA 5938 o la señal B de detección de POTENCIA 5940 que se muestran en la figura 59, que se realimentan (a través de unos convertidores A / D) al módulo de control digital del VPA. El módulo de control digital usa la señal de detección de POTENCIA 6023 para regular la potencia de salida del VPA según se desee.

10 La fase de conmutación de salida opcional del ejemplo de la fase de salida 6000 se realiza mediante un conmutador 6044 en la figura 60. En un ejemplo, el conmutador 6044 está acoplado con una de las tres salidas 6046, 6048 o 6050 del VPA. Como se ha descrito anteriormente, el conmutador está controlado por un conjunto de señales de selección de salida 5776, 5778 y 5780, que se proporcionan por el módulo de control digital. El conmutador 6044 está acoplado con la salida apropiada de acuerdo con el modo de transmisión seleccionado y / o los requisitos de frecuencia de salida deseados (por ejemplo, GSM, WCDMA, etc.).

15 Por consiguiente, el acoplamiento de impedancia de polarización en la salida del VPA puede realizarse de diversas formas. En un ejemplo, tal como se muestra en la figura 60, las impedancias de polarización 6052, 6054 y 6056 están acopladas respectivamente entre las salidas 6046, 6048 y 6050 y la VSUMINISTRO de fase de salida de MA2 6002. En otro ejemplo, se usa una única impedancia de polarización y está acoplada entre la salida 6042 de la fase de PA y la VSUMINISTRO de fase de salida de MA2 6002. La ventaja del primer enfoque radica en que, mediante la colocación de la impedancia de polarización después del conmutador 6044, las características de impedancia del conmutador 6044 pueden tenerse en cuenta cuando se seleccionan valores para las impedancias 6052, 6054 y / o 6056, permitiendo que el diseñador de VPA aproveche un aspecto adicional para aumentar la eficiencia del VPA. Por otro lado, el segundo enfoque requiere un número más pequeño de las impedancias de polarización.

25 De acuerdo con la implementación de amplificador de MISO particular, el ejemplo de la fase de salida 6000 puede incluir más o menos circuitería que lo que se ilustra en la figura 60.

De acuerdo con los ejemplos que se divulgan en el presente documento, el ejemplo de la fase de salida 6000 que incluye la fase de amplificador de MISO 6058, la fase de conmutación de salida opcional (el conmutador 6044) y la circuitería de protección de salida y de detección de potencia opcional puede fabricarse usando un material de SiGe (silicio - germanio). En otro ejemplo, la fase de amplificador de MISO 6058 se fabrica usando SiGe, y la fase de conmutación de salida se fabrica usando GaAs. En otro ejemplo, la fase de PA (los PA 6030 y 6032) y la fase de conmutación de salida se fabrican usando GaAs, mientras que otra circuitería de la fase de amplificador de MISO 6058 y la circuitería opcional de la fase de salida se fabrican usando SiGe. En otro ejemplo, la fase de PA, la fase de circuito de excitación y la fase de conmutación de salida se fabrican usando GaAs, mientras que otra circuitería de la fase de amplificador de MISO 6058 y la circuitería opcional de la fase de salida se fabrican usando SiGe. En otro ejemplo, la fase de PA, la fase de circuito de excitación, la fase de circuito de pre-excitación y la fase de conmutación de salida se fabrican usando GaAs. En otro ejemplo, el sistema de VPA puede implementarse usando CMOS para toda la circuitería excepto por la fase de salida (6030 o 6032) que podría implementarse en un material de SiGe o de GaAs. En otro ejemplo, el sistema de VPA puede implementarse en su totalidad en CMOS. Otras variaciones y / o combinaciones de material o materiales de fabricación que se usan para la circuitería de la fase de salida también son posibles, tal como puede entenderse por un experto en la materia y, por lo tanto, también se encuentran dentro del alcance de los ejemplos que se divulgan en el presente documento.

Por consiguiente, debido a que diferentes materiales semiconductores tienen diferentes costes y rendimiento, los ejemplos que se divulgan en el presente documento proporcionan una diversidad de diseños de VPA que engloban una amplia gama de opciones de rendimiento y de coste.

4.3.2) Implementación B de Núcleo Analógico de VPA

La figura 61 ilustra una implementación de núcleo analógico de VPA 6100 ejemplar alternativa. Para fines ilustrativos, el núcleo analógico de VPA 6100 se muestra en la figura 61 como que está conectado con el módulo de control digital 5700, a pesar de que como alternativa podrían usarse otros módulos de control digital. La conexión física entre el núcleo analógico 6100 y la implementación de módulo de control digital 5700 se ilustra en la figura 61, tal como se indica mediante las mismas señales numéricas tanto en la figura 57 como en la figura 61.

La implementación de núcleo analógico 6100 es se corresponde con un VPA de 2 ramas ejemplar. Esta implementación, no obstante, puede modificarse con facilidad a un VPA de 4 ramas o uno de CPCS ejemplar, tal como será evidente para los expertos en la materia en base a las enseñanzas en el presente documento.

55 La implementación de núcleo analógico 6100 tiene las mismas fase de entrada y fase de modulación vectorial que la implementación de núcleo analógico 5900, que se ha descrito en lo que antecede. Por consiguiente, de forma similar a la implementación de núcleo analógico 5900, el núcleo analógico 6100 incluye una trayectoria de banda superior 5964 y una trayectoria de banda inferior 5966 para un funcionamiento de banda superior y de banda inferior del

VPA, respectivamente.

Una de las diferencias entre el núcleo analógico 5900 y el núcleo analógico 6100 radica en la fase de salida del VPA. En contraste con la fase de salida del núcleo analógico 5900, que incluye dos amplificadores de MISO 5930 y 5932, la fase de salida del núcleo analógico 6100 incluye cinco amplificadores de MISO 6126, 6128, 6130, 6132 y 6134, divididos entre la trayectoria de banda superior 5964 y la trayectoria de banda inferior 5966 del núcleo analógico. En un ejemplo, la fase de salida incluye una combinación de amplificadores de MISO de SiGe y de GaAs. En un ejemplo, la trayectoria de banda superior 5964 incluye tres amplificadores de MISO 6126, 6128 y 6130, y la trayectoria de banda inferior 5966 incluye dos amplificadores de MISO 6132 y 6134. En base a la banda de funcionamiento seleccionada, un único amplificador de MISO, o bien en la trayectoria de banda superior 5964 o bien en la trayectoria de banda inferior 5966, está activo. En un ejemplo, cada uno de los amplificadores de MISO 6126, 6128, 6130, 6132 y 6134 puede estar dedicado a un único modo de transmisión (por ejemplo, WCDMA, GSM, EDGE, etc.) del VPA. Esto es en contraste con el núcleo analógico 5900, en el que cada uno de los amplificadores de MISO 5930 y 5932 soporta más de un modo de transmisión. Las ventajas y desventajas de cada arquitectura se analizarán adicionalmente en lo que sigue.

Como resultado de tener más de un amplificador de MISO por trayectoria, una fase de conmutación es necesaria para acoplar la fase de modulación vectorial con los amplificadores de MISO en el núcleo analógico 6100. En la figura 61, esto se ilustra usando los conmutadores 6118, 6120, 6122 y 6124. En un ejemplo, de acuerdo con el modo de transmisión seleccionado, los conmutadores 6118 y 6120 acoplan las salidas 5939 y 5941 de los moduladores vectoriales 5922 y 5924 con uno de los amplificadores de MISO 6126, 6128 y 6130. De forma similar, los conmutadores 6122 y 6124 acopla las salidas 5943 y 5945 con uno de los amplificadores de MISO 6132 y 6134, de acuerdo con el modo de transmisión seleccionado y / o los requisitos de frecuencia.

En un ejemplo, el amplificador de MISO 6126 (o 6128, 6130, 6132, 6134) recibe las señales de envolvente constante 6119 y 6121 (o 6123 y 6125, 6127 y 6129, 6131 y 6133, 6135 y 61137). El amplificador de MISO 6126 (o 6128, 6130, 6132, 6134) amplifica de manera individual las señales 6119 y 6121 (o 6123 y 6125, 6127 y 6129, 6131 y 6133, 6135 y 6137) para generar señales amplificadas, y combina las señales amplificadas para generar la señal de salida 6141 (6144, 6146, 6148, 6150). En un ejemplo, el amplificador de MISO 6126 (o 6128, 6130, 6132, 6134) combina las señales amplificadas por medio de un acoplamiento directo, tal como se describe en el presente documento. Otros modos de combinación de las señales amplificadas de acuerdo con los ejemplos que se divulgan en el presente documento se han descrito en lo que antecede en la sección 3.

La fase de salida del núcleo analógico de VPA 6100 es capaz de soportar un funcionamiento de VPA de múltiples bandas y de múltiples modos. Además, debido a que la fase de salida del núcleo analógico 6100 puede dedicar un amplificador de MISO para cada modo de transmisión soportado, la fase de conmutación de salida (que se realiza en el núcleo analógico 5900 por los conmutadores 5942 y 5944) puede eliminarse. Esto da como resultado una fase de salida más eficiente (sin pérdida de potencia alguna debido a la fase de conmutación), pero a costa de un área de microplaca más grande. Esto resume el compromiso principal entre la arquitectura del núcleo analógico 5900 y la del núcleo analógico 6100.

En un ejemplo, la fase de salida del núcleo analógico 6100 recibe unas señales de control de polarización opcionales a partir del módulo de control digital 5700. Estas son la señal de autopolarización de fase de salida 5761, la señal de autopolarización de fase de circuito de excitación 5763 y la señal de control de equilibrio de ganancia 5749, que se han descrito en lo que antecede con referencia al núcleo analógico 5900.

En un ejemplo, la fase de salida del núcleo analógico 6100 proporciona unas señales de realimentación opcionales al módulo de control digital 5700 del VPA. Estas señales de realimentación incluyen la señal de amplitud de rama diferencial 5950 y la señal de fase de rama diferencial 5948, que se han descrito en lo que antecede con referencia al núcleo analógico 5900, para habilitar un enfoque de realimentación diferencial para supervisar las variaciones de amplitud y de fase en las ramas del VPA. Así mismo, de forma similar al núcleo analógico 5900, la supervisión de potencia de salida se proporciona usando las señales de detección de POTENCIA 6152, 6154, 6156, 6158 y 6160, midiendo cada una de las cuales una de las salidas 6142, 6144, 6146, 6148 y 6150 del VPA. Debido a que solo una de las salidas de VPA puede estar activa en cualquier momento, las señales de detección de POTENCIA 6152, 6154, 6156, 6158 y 6160 se suman entre sí, en un ejemplo, usando el sumador 5952, para generar una señal que se corresponde con la potencia de salida actual del VPA.

De forma similar al núcleo analógico 5900, las señales de realimentación a partir de la fase de salida se multiplexan usando un selector de entrada 5946 que está controlado por el módulo de control digital. Otros aspectos de la multiplexación de las señales de realimentación se han descrito en lo que antecede con referencia al núcleo analógico 5900.

De forma similar al núcleo analógico 5900, el núcleo analógico 6100 puede diseñarse para funcionar como una implementación de realimentación pura mediante la deshabilitación de cualquier corrección de alimentación en avance en el módulo de control digital, una implementación de alimentación en avance pura mediante la deshabilitación de la supervisión de las señales de realimentación, o como una implementación de alimentación en avance / realimentación híbrida con una utilización de alimentación en avance / realimentación variable.

En un ejemplo, la fase de salida del núcleo analógico 6100 incluye una circuitería de protección de fase de salida opcional. En la figura 61, esto se ilustra usando la circuitería de protección de VSWR (relación de onda estacionaria de tensión) 6136, 6138 y 6140 que está acoplada con los amplificadores de MISO 6128, 6130 y 6134, respectivamente. Puede que se necesite, o puede que no, la circuitería de protección de VSWR dependiendo de la implementación de amplificador de MISO real. Por ejemplo, se hace notar que los amplificadores de MISO 6126 y 6132, que son amplificadores de GaAs, no requieren circuitería de protección de VSWR alguna para muchas aplicaciones. Las funciones y ventajas de la circuitería de protección de VSWR de acuerdo con los ejemplos que se divulgan en el presente documento se han descrito en lo que antecede con referencia al núcleo analógico 5900.

El núcleo analógico 6100 incluye una circuitería de suministro de potencia para controlar y entregar potencia a las diferentes fases del núcleo analógico. En un aspecto, la circuitería de suministro de potencia proporciona unos medios para encender porciones activas del núcleo analógico de VPA. En otro aspecto, la circuitería de suministro de potencia proporciona unos medios para controlar la eficiencia energética y / o la potencia de salida del VPA.

La circuitería de suministro de potencia del núcleo analógico 6100 es sustancialmente similar a la circuitería de suministro de potencia del núcleo analógico 5900, siendo la diferencia que el núcleo analógico 6100 incluye cinco amplificadores de MISO en contraposición a dos en el núcleo analógico 5900. En la figura 61, la circuitería de suministro de potencia se realiza en la circuitería del suministro de potencia de GMA y de MA 6102, la circuitería de suministro de potencia de fase de circuito de excitación 5904, la circuitería de suministro de potencia de fase de salida 5908 y la circuitería de suministro de potencia de mod vectoriales 5908. Cada una de la circuitería 6102, 5904 y 5906 tiene cinco señales de suministro de potencia de salida, con una sola de estas cinco señales de salida estando activa en cualquier momento, de acuerdo con el amplificador de MISO activo del VPA. La función y el funcionamiento de la circuitería de suministro de potencia del núcleo analógico 6100 son sustancialmente similares a los de la circuitería de suministro de potencia del núcleo analógico 5900, que se ha descrito en lo que antecede.

La figura 62 ilustra un ejemplo de la fase de salida 6200 de acuerdo con la implementación de núcleo analógico de VPA 6100. El ejemplo de la fase de salida 6200 incluye una fase de amplificador de MISO 6220 y una circuitería de protección de fase de salida y de detección de potencia opcional.

Los amplificadores de MISO 6126, 6128, 6130, 6132 y / o 6134 que se muestran en la figura 61 pueden implementarse usando un amplificador tal como la fase de amplificador de MISO 6220.

El ejemplo de la fase de salida 6200 es sustancialmente similar al ejemplo de la fase de salida 6000 que se ilustra en la figura 60, encontrándose la diferencia principal en la eliminación de la fase de conmutación de salida (que se realiza mediante el conmutador 6044 en la figura 60) en el ejemplo 6200.

De forma similar al ejemplo 6000, la fase de amplificador de MISO 6220 en el ejemplo 6200 incluye una fase de amplificación de circuito de pre-excitación, que se realiza mediante los circuitos de pre-excitación 6206 y 6208, una fase de amplificación de circuito de excitación, que se realiza mediante los circuitos de excitación 6210 y 6212, y una fase de amplificación de PA, que se realiza mediante los PA de fase de salida 6214 y 6216. En un ejemplo, las señales de entrada de envolvente sustancialmente constante ENTRADA1 de MA 6202 y ENTRADA de MA 6204 se amplifican en cada fase del amplificador de MISO 6220, antes de sumarse en las salidas de la fase de PA. Las señales de entrada ENTRADA1 de MA 6202 y ENTRADA de MA 6204 se corresponden con las señales 6123 y 6125 en la figura 61, por ejemplo.

En un ejemplo, la fase de amplificador de MISO 6220 del ejemplo de la fase de salida 6200 está alimentada por unas señales de suministro de potencia que se proporcionan por unos circuitos de suministro de potencia controlados por tensión. En otro ejemplo, la fase de amplificador de MISO 6220 incluye una circuitería de control de polarización opcional controlable por el módulo de control digital. En otro ejemplo, la fase de amplificador de MISO 6220 incluye unos circuitos para habilitar un mecanismo de realimentación de compensación y / o de corrección de errores. En otro ejemplo, el ejemplo de la fase de salida 6000 incluye una circuitería de protección de fase de salida y una circuitería de detección de potencia opcionales. Estos aspectos (el suministro de potencia, el control de polarización, la corrección de errores, la protección de salida y la detección de potencia) del ejemplo de la fase de salida 6200 son sustancialmente similares a lo que se ha descrito en lo que antecede con respecto al ejemplo de la fase de salida 6000.

De acuerdo con los ejemplos que se divulgan en el presente documento, el ejemplo de la fase de salida 6200 puede fabricarse usando un material de SiGe (silicio - germanio) que incluye la fase de amplificador de MISO 6220 y la circuitería de protección de salida y de detección de potencia opcional. En otro ejemplo, la fase de amplificador de MISO 6220 se fabrica usando SiGe en su totalidad. En otro ejemplo, la fase de PA (los PA 6214 y 6216) de la fase de amplificador de MISO 6220 se fabrica usando GaAs, mientras que otra circuitería de la fase de amplificador de MISO 6220 y la circuitería opcional de la fase de salida se fabrican usando SiGe. En otro ejemplo, la fase de PA y la fase de circuito de excitación (los circuitos de excitación 6210 y 6212) de la fase de amplificador de MISO 6220 se fabrican usando GaAs, mientras que otra circuitería de la fase de amplificador de MISO 6220 y la circuitería opcional de la fase de salida se fabrican usando SiGe. En otro ejemplo, la fase de PA, la fase de circuito de excitación y la fase de circuito de pre-excitación (los circuitos de pre-excitación 6206 y 6208) se fabrican usando GaAs. En otro ejemplo, el sistema de VPA puede implementarse usando CMOS para toda la circuitería excepto por la fase de

salida (6030 o 6032) que podría implementarse en un material de SiGe o de GaAs. En otro ejemplo, el sistema de VPA puede implementarse en su totalidad en CMOS. Otras variaciones y / o combinaciones de material o materiales de fabricación que se usan para la circuitería de la fase de salida también son posibles, tal como puede entenderse por un experto en la materia y, por lo tanto, también se encuentran dentro del alcance de los ejemplos que se divulgan en el presente documento. Además, las fases de salida en el interior del mismo VPA pueden fabricarse usando un material diferente, tal como se ilustra en la figura 61 por ejemplo, en la que los amplificadores de MISO 6128, 6130 y 6134 son amplificadores de SiGe y los amplificadores de MISO 6126 y 6132 son amplificadores de GaAs (una o más fases de su fase de salida son de GaAs).

4.3.3) Implementación C de Núcleo Analógico de VPA

La figura 63 ilustra otra implementación de núcleo analógico de VPA 6300 ejemplar. Para fines ilustrativos, el núcleo analógico 6300 a modo de ejemplo se muestra en la figura 63 como que está conectado con el módulo de control digital 5800, a pesar de que como alternativa podrían usarse otros módulos de control digital. La conexión física entre el núcleo analógico 6300 y el módulo de control digital 5800 se indica mediante las mismas señales numéricas tanto en la figura 58 como en la figura 63.

La implementación de núcleo analógico 6300 se corresponde con un VPA de 2 ramas ejemplar. Esta implementación, no obstante, puede modificarse con facilidad a un VPA de 4 ramas o uno de CPCP ejemplar, tal como será evidente para un experto en la materia en base a las enseñanzas en el presente documento.

La implementación de núcleo analógico 6300 incluye una fase de entrada, una fase de modulación vectorial y una fase de salida de amplificación similares a las del núcleo analógico 5900 de la figura 59. La función, el funcionamiento y el control de estas fases se han descrito en lo que antecede con referencia a la figura 59.

De forma similar al núcleo analógico 5900, el núcleo analógico 6300 incluye un mecanismo de compensación y / o de corrección de errores de realimentación. En contraste con el núcleo analógico 5900, no obstante, el núcleo analógico 6300 emplea un mecanismo de realimentación basado en receptor, en contraposición a un mecanismo de realimentación diferencial en el núcleo analógico 5900. Un mecanismo de realimentación basado en receptor es uno que se basa en tener un receptor que recibe la salida activa del VPA, genera unos datos de I y unos datos de Q a partir de la salida recibida, y realimenta los datos de I y de Q generados al módulo de control digital. Mediante la estimación del retardo entre la entrada y la salida del VPA, las señales de I y de Q de realimentación pueden alinearse de manera apropiada con sus señales de I y de Q de entrada correspondientes. En otro ejemplo, la realimentación de receptor incluye la señal de salida compleja (información polar de magnitud y de fase) en lugar de unas señales de datos de I y de Q cartesianas.

En un ejemplo, esto se realiza mediante el acoplamiento de un receptor (no mostrado) en la salida activa del VPA (5947 o 5949). En la figura 63, las señales 6302 y 6304 representan respectivamente unas entradas de RF de banda superior y de banda inferior al receptor. Solo una de las señales 6302 y 6304 puede estar activa en cualquier momento, dependiendo de si se está usando la trayectoria de banda superior 5964 o la trayectoria de banda inferior 5966 del núcleo analógico 6300. De forma similar, el mecanismo de realimentación basado en receptor incluye una trayectoria de banda superior y una trayectoria de banda inferior. En un ejemplo, cada una de las trayectorias de realimentación de banda superior y de banda inferior incluye un controlador de ganancia automática (AGC) (6306 y 6308), una circuitería de muestreo y de retención (S / H) de I / Q (6314, 6316 y 6318, 6320), una circuitería de conmutación (6322 y 6324) y unos filtros de interpolación opcionales (6326 y 6328). En un ejemplo, un conmutador 6330, que está controlado por el módulo de control digital por medio de las señales de selección de entrada 5810 y 5812, acopla o bien las trayectorias de realimentación de banda superior o bien las de banda inferior con el módulo de control digital. Además, en base a la trayectoria de realimentación acoplada, la señal de selección de I / Qn de módulo de control digital 5808 controla la circuitería de conmutación 6322 o 6324 para alternar el acoplamiento de los datos de I y los datos de Q con el módulo de control digital. También son posibles otras implementaciones, tal como puede entenderse por un experto en la materia en base a las enseñanzas en el presente documento.

En un ejemplo, la circuitería de AGC se usa para permitir que el receptor realimente una información de I y de Q útil a lo largo de un amplio intervalo dinámico de potencia de salida de VPA. Por ejemplo, las señales de salida 5954, 5956, 5958, 5960 y 5962 pueden variar de +35 dBm a -60 dBm en determinadas aplicaciones de teléfono celular. Para que los datos de I y de Q contengan una información de realimentación precisa, es necesario que la salida de I y de Q del receptor se ajuste a escala para utilizar la mayoría del intervalo de tensión de entrada de la señal de ENTRADA A / D 5736, con independencia de la potencia de señal de salida. El módulo de control digital 5800 se diseña para controlar el VPA a la potencia de salida requerida, lo que permite que el módulo de control digital 5800 determine una ganancia de receptor apropiada para conseguir la tensión de entrada A / D apropiada que se digitaliza a través del A / D 5732.

Un núcleo analógico de VPA con un mecanismo de realimentación basado en receptor puede implementarse como un sistema de realimentación pura, de alimentación en avance o de realimentación / alimentación en avance híbrido. Como se ha descrito en lo que antecede, una implementación de realimentación pura requiere una cantidad mínima, o nada, de memoria (la RAM 5608, la NVRAM 5610) en el módulo de control digital. Esto puede representar una ventaja de una implementación de núcleo analógico de acuerdo con el núcleo analógico 6300, además de la

eliminación de la circuitería de medición de realimentación diferencial a partir del núcleo analógico. Sin embargo, el núcleo analógico 6300 puede programarse para funcionar como una implementación de realimentación pura mediante la deshabilitación de cualquier corrección de alimentación en avance en el módulo de control digital 5800, una implementación de alimentación en avance pura mediante la deshabilitación de la supervisión de las señales de realimentación, o como una implementación de alimentación en avance / realimentación híbrida con una utilización de alimentación en avance / realimentación variable.

En un ejemplo, la fase de salida del núcleo analógico 6300 incluye una circuitería de protección de fase de salida opcional. Esto no se muestra en la figura 63, pero se ha descrito en lo que antecede con respecto a las implementaciones de núcleo analógico 5900 y 6100. Otros aspectos del núcleo analógico 6300 (el control de polarización, el suministro de potencia, etc.) son sustancialmente similares al núcleo analógico 5900, y se han descrito en lo que antecede con referencia a la figura 59.

La figura 64 ilustra un ejemplo de la fase de salida 6400 de acuerdo con la implementación de núcleo analógico de VPA 6300. El ejemplo de la fase de salida 6400 incluye una fase de amplificador de MISO 6434 y una fase de conmutación de salida. En un ejemplo, la fase de amplificador de MISO 6434 se corresponde con el amplificador de MISO 5930 y / o 5932, que se muestra en la figura 63 (es decir, uno cualquiera o ambos de los amplificadores de MISO 5930, 5932 pueden implementarse usando un amplificador tal como la fase de amplificador de MISO 6434).

El ejemplo de la fase de salida 6400 es sustancialmente similar al ejemplo de la fase de salida 6000 que se ilustra en la figura 60, encontrándose la diferencia principal en la eliminación de la circuitería de medición de rama diferencial (6024 y 6026) debido al uso de un mecanismo de realimentación basado en receptor.

De forma similar al ejemplo 6000, la fase de amplificador de MISO 6434 en el ejemplo 6400 incluye una fase de amplificación de circuito de pre-excitación, que se realiza mediante los circuitos de pre-excitación 6406 y 6408, una fase de amplificación de circuito de excitación, que se realiza mediante los circuitos de excitación 6410 y 6412, y una fase de amplificación de PA, que se realiza mediante los PA de fase de salida 6414 y 6416. En un ejemplo, las señales de entrada de envolvente constante ENTRADA1 de MA 6402 y ENTRADA de MA 6404 se amplifican en cada fase de la fase de amplificador de MISO 6434, antes de sumarse en las salidas de la fase de PA de la fase de amplificador de MISO 6434.

En un ejemplo, la fase de amplificador de MISO 6434 del ejemplo de la fase de salida 6400 está alimentada por unas señales de suministro de potencia que se proporcionan por unos circuitos de suministro de potencia controlados por tensión. En otro ejemplo, la fase de amplificador de MISO 6434 incluye una circuitería de control de polarización opcional controlable por el módulo de control digital. En otro ejemplo, el ejemplo de la fase de salida 6400 incluye una circuitería de protección de fase de salida opcional (que no se muestra en la figura 64). Estos aspectos (el suministro de potencia, el control de polarización y la protección de salida) del ejemplo de la fase de salida 6400 son sustancialmente similares a lo que se ha descrito en lo que antecede con respecto al ejemplo de la fase de salida 6000.

De acuerdo con los ejemplos que se divulgan en el presente documento, el ejemplo de la fase de salida 6400 puede fabricarse usando un material de SiGe (silicio - germanio) que incluye la fase de amplificador de MISO 6434, la fase de conmutación de salida 6420 y la circuitería de protección de salida opcional. En otro ejemplo, la fase de amplificador de MISO 6434 se fabrica usando SiGe, y la fase de conmutación de salida 6420 se fabrica usando GaAs. En otro ejemplo, la fase de PA (los PA 6414 y 6416) de la fase de amplificador de MISO 6434 y la fase de conmutación de salida 6420 se fabrican usando GaAs, mientras que otra circuitería de la fase de amplificador de MISO 6434 y la circuitería opcional de la fase de salida se fabrican usando SiGe. En otro ejemplo, la fase de PA, la fase de circuito de excitación (los circuitos de excitación 6410 y 6412) y la fase de conmutación de salida 6420 se fabrican usando GaAs, mientras que otra circuitería de la fase de amplificador de MISO 6434 y la circuitería opcional de la fase de salida se fabrican usando SiGe. En otro ejemplo, la fase de PA, la fase de circuito de excitación, la fase de circuito de pre-excitación (los circuitos de pre-excitación 6406 y 6408) y la fase de conmutación de salida 6420 se fabrican usando GaAs. En otro ejemplo, el sistema de VPA puede implementarse usando CMOS para toda la circuitería excepto por la fase de salida (6030 o 6032) que podría implementarse en un material de SiGe o de GaAs. En otro ejemplo, el sistema de VPA puede implementarse en su totalidad en CMOS. Otras variaciones y / o combinaciones de material o materiales de fabricación que se usan para la circuitería de la fase de salida también son posibles, tal como puede entenderse por un experto en la materia y, por lo tanto, también se encuentran dentro del alcance de los ejemplos que se divulgan en el presente documento. Además, las fases de salida en el interior del mismo VPA pueden fabricarse usando un material diferente, tal como se ilustra en la figura 61 por ejemplo, en la que los amplificadores de MISO 6128, 6130 y 6134 son amplificadores de SiGe y los amplificadores de MISO 6126 y 6132 son amplificadores de GaAs (una o más fases de su fase de salida son de GaAs).

5. Control de Clase de Amplificador en Tiempo Real de Fase de Salida de VPA

De acuerdo con las realizaciones de la presente invención, una fase de salida de VPA puede controlarse para variar su clase de funcionamiento de amplificador de acuerdo con los cambios en su trayectoria de forma de onda de salida. Este concepto se ilustra en la figura 65 con referencia a una forma de onda de WCDMA ejemplar. El gráfico en la figura 65 ilustra un diagrama de sincronismo de una envolvente de forma de onda de salida de WCDMA frente

a la clase de funcionamiento de la fase de salida de VPA. Se hace notar que la envolvente de forma de onda de salida es directamente proporcional a la potencia de salida de la fase de salida de VPA.

Se hace notar que la clase de amplificador de fase de salida de VPA pasa de un amplificador de clase S a un amplificador de clase A a medida que disminuye la envolvente de forma de onda de salida desde su valor máximo hacia cero. En el paso por cero, la fase de salida de VPA funciona como un amplificador de clase A, antes de la conmutación a un funcionamiento de amplificador de clase más alta a medida que aumenta la envolvente de forma de onda de salida.

Un problema importante superado por esta capacidad en tiempo real de controlar la clase de funcionamiento de amplificador de fase de salida de VPA es el problema de control de precisión de fase. Con respecto al ejemplo que se muestra en la figura 65, el problema de control de precisión de fase radica en el hecho de que, con el fin de producir unas formas de onda de alta calidad, a cualquier nivel de potencia dado, es deseable un intervalo dinámico de potencia de salida de 40 dB. No obstante, la precisión de fase requerida para producir un intervalo dinámico de potencia de salida de 40 dB (aproximadamente 1,14 grados o 1,5 picosegundos) se encuentra mucho más allá de la tolerancia de los circuitos prácticos en las aplicaciones de alto volumen. Como se apreciará, los intervalos de potencia específicos que se citan en este párrafo, y en cualquier otra parte en el presente documento, se proporcionan únicamente para fines ilustrativos, y no son limitantes.

Las realizaciones de acuerdo con la presente invención solucionan el problema de control de precisión de fase al pasar por múltiples clases de funcionamiento en base a la trayectoria de forma de onda con el fin de mantener el mejor equilibrio de la eficiencia frente a la precisión de control práctica para todas las formas de onda. En las realizaciones, el intervalo dinámico de potencia de salida de la fase de salida de VPA supera los 90 dB.

En una realización, a unos niveles de potencia de señal instantánea más altos, la clase de amplificador en el funcionamiento (la clase S) es sumamente eficiente y la precisión de fase se consigue con facilidad usando un control de fase. A unos niveles de potencia de señal instantánea más bajos, no obstante, puede que el control de fase no sea suficiente para conseguir la linealidad de forma de onda requerida. Esto se ilustra en la figura 66, que muestra una representación gráfica de la potencia de salida de VPA (en dBm) frente al ángulo de desfase entre las ramas del VPA. Puede verse que, a unos niveles de potencia altos, un cambio en el ángulo de desfase da como resultado un cambio de potencia de salida más pequeño que a unos niveles de potencia más bajos. Por consiguiente, el control de fase proporciona un control de potencia de más alta resolución a unos niveles de potencia más altos que a unos niveles de potencia más bajos.

Por consiguiente, para soportar un control de potencia de alta resolución a unos niveles de potencia más bajos, son necesarios otros mecanismos de control además del control de fase. La figura 67 ilustra unos mecanismos de control de potencia ejemplares de acuerdo con las realizaciones de la presente invención usando una forma de onda de QPSK ejemplar. La constelación de QPSK está impuesta sobre un círculo unitario en el dominio complejo definido por $\cos(wt)$ y $\sin(wt)$. El espacio de la constelación está dividido entre tres regiones concéntricas y que no se intersecan: una región de "solo control de fase" lo más exterior, una región de "control de fase, control de polarización y control de amplitud" central, y una región de "control de polarización y control de amplitud" lo más interior. De acuerdo con las realizaciones de la presente invención, las regiones más interior, central y más exterior definen el tipo de control de potencia que ha de aplicarse de acuerdo con el nivel de potencia de la forma de onda de salida. Por ejemplo, haciendo referencia a la figura 67, a unos niveles de potencia más bajos (los puntos que caen en la región más interior), se usan el control de polarización y el control de amplitud para proporcionar la linealidad de forma de onda requerida. Por otro lado, a unos niveles de potencia más altos (los puntos que caen en la región más exterior), solo el control de fase (mediante el control del ángulo de desfase) es suficiente.

Como puede entenderse por los expertos en la materia, las regiones de control que se ilustran en la figura 67 se proporcionan solo para fines de ilustración y no son limitantes. Otras regiones de control pueden definirse de acuerdo con las realizaciones de la presente invención. Por lo general, pero no de manera exclusiva, las fronteras de las regiones de control están basadas en la función de densidad acumulativa complementaria (CCDF) de la forma de onda de salida deseada y los criterios de rendimiento de banda lateral. Por consiguiente, las fronteras de las regiones de control cambian de acuerdo con la forma de onda de salida deseada del VPA.

En las realizaciones, los mecanismos de control de potencia que se definen por las diferentes regiones de control habilitan la transición de la fase de salida de VPA entre unos amplificadores de clases diferentes. Esto se muestra en la figura 68, que ilustra, uno junto a otro, el funcionamiento de clase de amplificador de fase de salida frente a la envolvente de forma de onda de salida y las regiones de control impuestas sobre un círculo unitario. La figura 69 muestra adicionalmente la intensidad de fase de salida en respuesta a la envolvente de forma de onda de salida. Se hace notar que la intensidad de fase de salida sigue de cerca la envolvente de forma de onda de salida. En particular, se hace notar que la intensidad de fase de salida se vuelve completamente cero cuando la envolvente de forma de onda de salida experimenta un paso por cero.

La figura 70 ilustra la eficiencia teórica de fase de salida de VPA frente a la intensidad de fase de salida. Se hace notar que la forma de onda de intensidad de fase de salida de la figura 70 se corresponde con la que se muestra en la figura 69. En una realización, la fase de salida de VPA funciona a una eficiencia teórica de un 100 % durante un

98 % (o superior) del tiempo. También se hace notar a partir de la figura 70 la transición de la fase de salida entre diferentes clases de funcionamiento de amplificador de acuerdo con los cambios en la intensidad de fase de salida.

La figura 71 ilustra un VPA ejemplar de acuerdo con una realización de la presente invención. Para fines ilustrativos, y no para fines de limitación, la realización ejemplar de la figura 71 se usará en el presente documento para describir adicionalmente los diversos mecanismos de control que pueden usarse para dar lugar a la realización de transiciones de la fase de salida de VPA (que se ilustra como un amplificador de MISO en la figura 71) entre diferentes clases de funcionamiento de amplificador.

La realización de VPA de la figura 71 incluye un módulo de función de transferencia, un par de moduladores vectoriales que están controlados por un sintetizador de referencia de frecuencia, y una fase de salida de amplificador de MISO. El módulo de función de transferencia recibe datos de I y de Q y genera una información de amplitud que se usa por los moduladores vectoriales para generar unas señales de envolvente sustancialmente constante. Las señales de envolvente sustancialmente constante se amplifican y se suman en una única operación usando la fase de salida de amplificador de MISO.

De acuerdo con las realizaciones de la presente invención, puede darse lugar a que la fase de salida de amplificador de MISO realice una transición en tiempo real entre diferentes clases de funcionamiento de amplificador de acuerdo con los cambios en la trayectoria de forma de onda de salida. En una realización, esto se consigue mediante el control de las fases de las señales de envolvente constante que se generan por los moduladores vectoriales. En otra realización, las amplitudes de las señales de entrada de amplificador de MISO se controlan usando la función de transferencia. En otra realización, las entradas de amplificador de MISO están polarizadas (la polarización de las entradas de MISO puede realizarse en cualquier fase de amplificación en el interior del amplificador de MISO) usando la función de transferencia para controlar la clase de funcionamiento de amplificador de MISO. En otras realizaciones, se usan combinaciones de estos mecanismos de control (la fase, la polarización de entrada y / o la amplitud de entrada) para habilitar que la fase de amplificador de MISO realice una transición entre diferentes clases de funcionamiento de amplificador.

La figura 72 es un diagrama de flujo de proceso 100 que ilustra un procedimiento para un control de clase de amplificador en tiempo real en un amplificador de potencia, de acuerdo con los cambios en la trayectoria de forma de onda de salida, de acuerdo con una realización de la presente invención. El diagrama de flujo de proceso 100 comienza en la etapa 110, que incluye determinar un nivel de potencia instantánea de una forma de onda de salida deseada. En una realización, el nivel de potencia instantánea se determina como una función de la envolvente de forma de onda de salida deseada.

En base al nivel de potencia instantánea determinado, la etapa 120 del diagrama de flujo de proceso 100 incluye determinar una clase de funcionamiento de amplificador deseada, en la que dicha clase de funcionamiento de amplificador optimiza la linealidad y la eficiencia energética del amplificador de potencia. En una realización, determinar la clase de funcionamiento de amplificador depende del tipo específico de forma de onda de salida deseada (por ejemplo, CDMA, GSM, EDGE).

La etapa 130 incluye controlar el amplificador de potencia para funcionar de acuerdo con la clase de funcionamiento de amplificador determinada. En una realización, el amplificador de potencia se controla usando procedimientos de control de fase, de control de polarización y / o de control de amplitud, tal como se describe en el presente documento.

De acuerdo con el diagrama de flujo de proceso 100, el amplificador de potencia se controla de tal modo que este realiza una transición entre diferentes clases de funcionamiento de amplificador de acuerdo con el nivel de potencia instantánea de la forma de onda de salida deseada. En otras realizaciones, el amplificador de potencia se controla de tal modo que este realiza una transición entre diferentes clases de funcionamiento de amplificador de acuerdo con la potencia de salida promedio de la forma de onda de salida deseada. En unas realizaciones adicionales, el amplificador de potencia se controla de tal modo que este realiza una transición entre diferentes clases de funcionamiento de amplificador de acuerdo tanto con el nivel de potencia instantánea como con la potencia de salida promedio de la forma de onda de salida deseada.

De acuerdo con las realizaciones de la presente invención, el amplificador de potencia puede controlarse para que realice una transición de un amplificador de clase A a un amplificador de clase S, a la vez que atraviesa las clases de amplificador intermediarias (AB, B, C y D).

Las realizaciones de la presente invención controlan la realización de transiciones del amplificador o amplificadores de potencia a diferentes clases de amplificador tal como sigue:

Para conseguir un amplificador de clase A, el nivel de excitación y la polarización del amplificador de potencia se controlan de tal modo que el ángulo de conducción de intensidad de salida es igual a 360 grados. El ángulo de conducción se define como la porción angular de un ciclo de excitación en el que la intensidad de salida está fluyendo a través del amplificador.

Para conseguir un amplificador de clase AB, el nivel de excitación y la polarización del amplificador de potencia se controlan de tal modo que el ángulo de conducción de intensidad de salida es mayor que 180 grados y menor que 360 grados.

5 Para conseguir un amplificador de clase B, el nivel de excitación y la polarización del amplificador de potencia se controlan de tal modo que el ángulo de conducción de intensidad de salida es aproximadamente igual a 180 grados.

Para conseguir un amplificador de clase C, el nivel de excitación y la polarización del amplificador de potencia se controlan de tal modo que el ángulo de conducción de intensidad de salida es menor que 180 grados.

Para conseguir un amplificador de clase D, el nivel de excitación y la polarización del amplificador de potencia se controlan de tal modo que el amplificador se acciona en modo de conmutación (encendido / apagado).

10 Para conseguir un amplificador de clase S, el amplificador se controla para generar una señal de salida modulada por anchura de impulsos (PWM).

En una realización, el control de clase de amplificador en tiempo real que se ha descrito en lo que antecede de la fase de salida de VPA está acompañado por un cambio dinámico en la función de transferencia que se está implementando en el módulo de control digital del VPA. Esto se describe adicionalmente en lo que sigue con respecto a las figuras 73 - 77.

La figura 73 ilustra una fase de salida de VPA a modo de ejemplo de acuerdo con una implementación de npn con dos ramas. Cada rama de la fase de salida de VPA recibe una señal de envolvente sustancialmente constante respectiva. Las señales de envolvente sustancialmente constante se ilustran como ENTRADA1 y ENTRADA2 en la figura 73. Los transistores de la fase de salida de VPA están acoplados entre sí por sus nodos de emisor para formar un nodo de salida del VPA.

20 Cuando la fase de salida de VPA funciona como un amplificador de clase S, esta efectúa una modulación por anchura de impulsos (PWM) sobre las señales de envolvente sustancialmente constante ENTRADA1 y ENTRADA2 recibidas. Un circuito equivalente teórico de la fase de salida de VPA en esta clase de funcionamiento de amplificador se ilustra en la figura 74. Se hace notar que los transistores de la fase de salida de VPA son equivalentes a amplificadores de conmutación en esta clase de funcionamiento. La salida del VPA como una función del ángulo de desfase θ entre las señales de envolvente sustancialmente constante ENTRADA1 y ENTRADA2 (suponiendo que ENTRADA1 y ENTRADA2 tienen una amplitud sustancialmente igual de valor A) viene dada por

$$SQ(\theta) = A \frac{\pi - \theta}{2\pi}.$$

Una representación gráfica de esta función, que se ha descrito previamente como la transformada de magnitud en desplazamiento de fase, se ilustra en la figura 76.

30 Por otro lado, cuando la fase de salida de VPA funciona como un amplificador de clase A, esta emula un nodo de suma perfecto. Un circuito equivalente teórico de la fase de salida de VPA en esta clase de funcionamiento de amplificador se ilustra en la figura 75. Se hace notar que los transistores de la fase de salida de VPA son equivalentes a fuentes de intensidad en esta clase de funcionamiento. La salida del VPA como función del ángulo de desfase θ entre las señales de envolvente sustancialmente constante ENTRADA1 y ENTRADA2 (suponiendo que ENTRADA1 y ENTRADA2 tienen una amplitud sustancialmente igual de valor A) viene dada por

$$R(\theta) = AA\sqrt{2(1 + \cos(\theta))}.$$

Una representación gráfica de esta función, que se ha descrito previamente como la transformada de magnitud en desplazamiento de fase, se ilustra en la figura 76.

40 De acuerdo con una realización de la presente invención, las clases de funcionamiento de amplificador A y S representan dos extremos del intervalo operativo de amplificador de la fase de salida de VPA. No obstante, tal como se ha descrito en lo que antecede, la fase de salida de VPA puede realizar una transición por una pluralidad de otras clases de funcionamiento de amplificador que incluyen, por ejemplo, las clases AB, B, C y D. Por consiguiente, la función de transferencia que se implementa por el módulo de control digital del VPA varía dentro de un espectro de funciones de transformada de magnitud en desplazamiento de fase, con las funciones de transformada que se ilustran en la figura 76 representando las fronteras de este espectro. Esto se muestra en la figura 77, que ilustra un espectro de funciones de transformada de magnitud en desplazamiento de fase que se corresponden con una gama de clases de funcionamiento de amplificador de la fase de salida de VPA. La figura 77 ilustra 6 funciones que se corresponden con las seis clases de funcionamiento de amplificador A, AB, B, C, D y S. En general, no obstante, puede generarse un número infinito de funciones usando las funciones que se corresponden con las dos clases de funcionamiento de extremo A y S. En una realización, esto se realiza usando una suma ponderada de las dos

50 funciones y viene dada por $(1 - K) \times R(\theta) + K \times SQ(\theta)$, con $0 \leq K \leq 1$.

6. Sumario

En el presente documento se proporciona la base matemática para un nuevo concepto en relación con el procesamiento de señales para proporcionar amplificación de potencia y conversión elevadora. Estos nuevos conceptos permiten que unas formas de onda arbitrarias se construyan a partir de unas sumas de formas de onda que son, en cuanto a su naturaleza, de envolvente sustancialmente constante. Unas formas de onda y señales de salida deseadas pueden construirse a partir de unas señales de constituyente de envolvente sustancialmente constante que pueden crearse a partir del conocimiento de la envolvente compleja de la señal de salida deseada. Las señales de constituyente se suman usando unas técnicas nuevas, únicas y novedosas que no están disponibles comercialmente, ni se enseñan o se encuentran en la bibliografía o en la técnica relacionada. Además, la combinación de varias técnicas y circuitos que se proporcionan en la divulgación proporcionan aspectos únicos de las realizaciones de la presente invención, lo que permite una linealidad superior, una eficiencia añadida energética, una implementación monolítica y un bajo coste en comparación con las ofertas actuales. Además, las realizaciones de la presente invención son inherentemente menos sensibles a las variaciones de proceso y de temperatura. Determinadas realizaciones incluyen el uso de los amplificadores de múltiples entradas y de una única salida que se describen en el presente documento.

Las realizaciones de la presente invención pueden implementarse mediante una combinación de soporte físico, soporte lógico y soporte lógico inalterable. Pueden usarse técnicas tanto analógicas como digitales con o sin microprocesadores y DSP.

Las realizaciones de la presente invención pueden implementarse para sistemas de comunicaciones y electrónica en general. Además, y sin limitación, la mecánica, la electromecánica, la electro - óptica y la mecánica de fluidos pueden hacer uso de los mismos principios para la amplificación y la transducción de las señales de forma eficiente.

7. Conclusión

En lo que antecede, se han descrito realizaciones de la presente invención con la ayuda de unos bloques de construcción funcionales que ilustran el comportamiento de las funciones especificadas y las relaciones de las mismas. Los límites de estos bloques de construcción funcionales se han definido de forma arbitraria en el presente documento para conveniencia de la descripción. Pueden definirse unos límites alternativos siempre que las funciones especificadas y las relaciones de las mismas se realicen de forma apropiada. Cualquiera de tales límites alternativos se encuentra, de este modo, dentro del espíritu de la invención que se reivindica. Un experto en la materia reconocerá que estos bloques de construcción funcionales pueden implementarse mediante componentes discretos, circuitos integrados específicos de aplicación, procesadores que ejecutan un soporte lógico apropiado y similares y combinaciones de los mismos.

Mientras que que varias realizaciones de la presente invención se han descrito en lo que antecede, deberá entenderse que las mismas se han presentado solo a modo de ejemplo, y no de limitación. Por lo tanto, la amplitud y el alcance de la presente invención no deberán estar limitados por ninguna de las realizaciones ejemplares que se han descrito en lo que antecede, sino que deberían definirse solo de acuerdo con las siguientes reivindicaciones y sus equivalentes.

REIVINDICACIONES

1. Un aparato que comprende:

una circuitería de entrada (710, 730 - 733; 712, 734 - 737) para recibir información (702; 704), y para generar una pluralidad de señales de control (740, 742; 744, 746) de dicha información recibida; y generar una pluralidad de señales de control (740, 742; 744, 746) de dicha información recibida; y una circuitería de modulación vectorial (760, 762; 764, 766), acoplada con dicha circuitería de entrada, para recibir dichas señales de control y una señal de referencia de frecuencia (708), y para generar una pluralidad, recibir dichas señales de control y una señal de referencia de frecuencia (708), y para generar una pluralidad de señales de envolvente constante (761, 763; 765, 767; 5110) usando dicha señal de referencia de frecuencia y dichas señales de control;

caracterizado por:

un dispositivo de múltiples entradas y de una única salida (MISO) (784; 786; 5120) para recibir dicha pluralidad de señales de envolvente constante y combinar dicha pluralidad de señales de envolvente en un nodo de combinación para crear una señal de salida (782; 5130), en el que dicha pluralidad de señales de envolvente tienen unas envolventes de igual magnitud en el nodo de combinación; y

un circuito de control (714; 716) para controlar dicho dispositivo de MISO para que realice una transición entre una pluralidad de clases de funcionamiento de acuerdo con una envolvente de dicha señal de salida, mediante el control de una fase y/o amplitud de la pluralidad de señales de envolvente constante introducidas en dicho dispositivo de MISO (784; 786; 5120).

2. El aparato de la reivindicación 1, en el que dicho circuito de control está configurado para controlar una polarización de dicho dispositivo de MISO.

3. El aparato de la reivindicación 1, en el que dicho circuito de control está configurado para controlar dicho dispositivo de MISO para conmutar a una clase de funcionamiento más alta cuando aumenta la envolvente de dicha señal de salida.

4. El aparato de la reivindicación 1, en el que dicho circuito de control está configurado para controlar dicho dispositivo de MISO para conmutar a una clase de funcionamiento más baja cuando disminuye la envolvente de dicha señal de salida.

5. El aparato de la reivindicación 1, en el que dicho circuito de control está configurado para controlar un ángulo de conducción de la intensidad de salida de dicho dispositivo de MISO de acuerdo con la envolvente de dicha señal de salida.

6. Un procedimiento que comprende:

recibir una señal de referencia de frecuencia (708) e información (702; 704);
generar una pluralidad de señales de control (740, 742; 744, 746) de dicha información recibida; y
generar una pluralidad de señales de envolvente constante (761, 763; 765, 767; 5110) usando dicha señal de referencia de frecuencia y dicha pluralidad de señales de control;

caracterizado por:

combinar, en un nodo de combinación de un dispositivo de múltiples entradas y de una única salida (MISO) (784; 786; 5120), dicha pluralidad de señales de envolvente para crear una señal de salida (782; 5130), en el que dicha pluralidad de señales de envolvente tienen unas envolventes de igual magnitud en el nodo de combinación; y

controlar dicho dispositivo de MISO para que realice una transición entre una pluralidad de clases de funcionamiento de acuerdo con una envolvente de dicha señal de salida, mediante el control de una fase y/o amplitud de la pluralidad de señales de envolvente constante introducidas en dicho dispositivo de MISO.

7. El procedimiento de la reivindicación 6, en el que dicho control comprende controlar una polarización de dicho dispositivo de MISO.

8. El procedimiento de la reivindicación 6, en el que dicho control comprende conmutar dicho dispositivo de MISO a una clase de funcionamiento más alta cuando aumenta la envolvente de dicha señal de salida.

9. El procedimiento de la reivindicación 6, en el que dicho control comprende conmutar dicho dispositivo de MISO a una clase de funcionamiento más baja cuando disminuye la envolvente de dicha señal de salida.

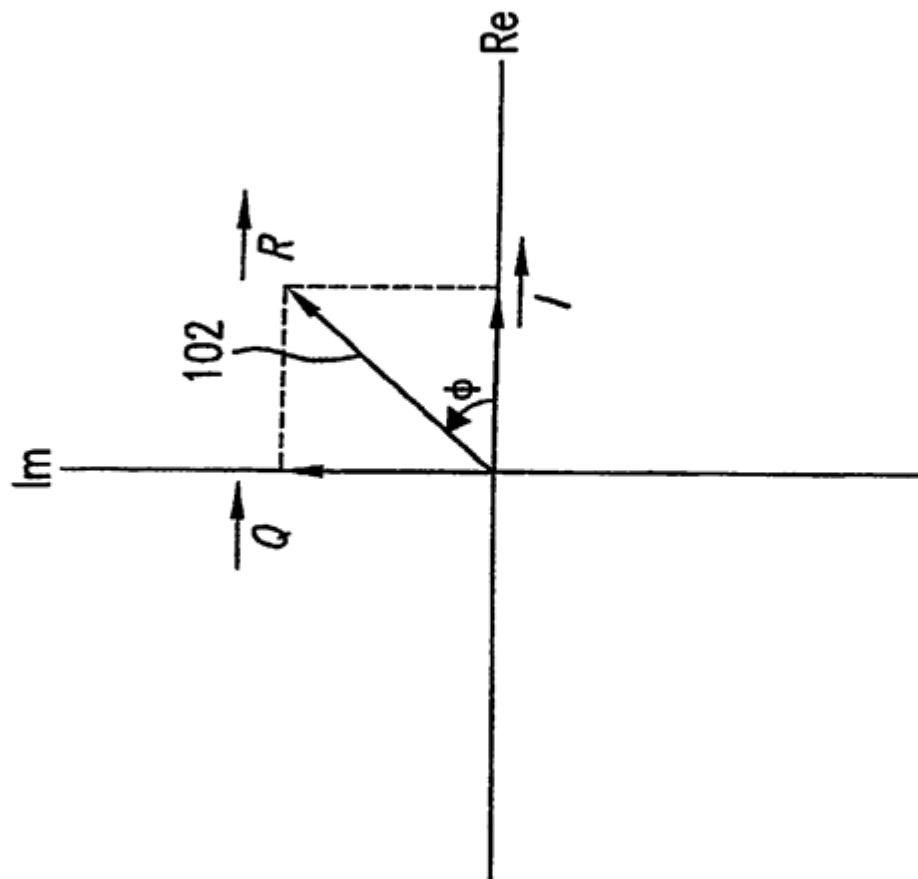


FIG.1

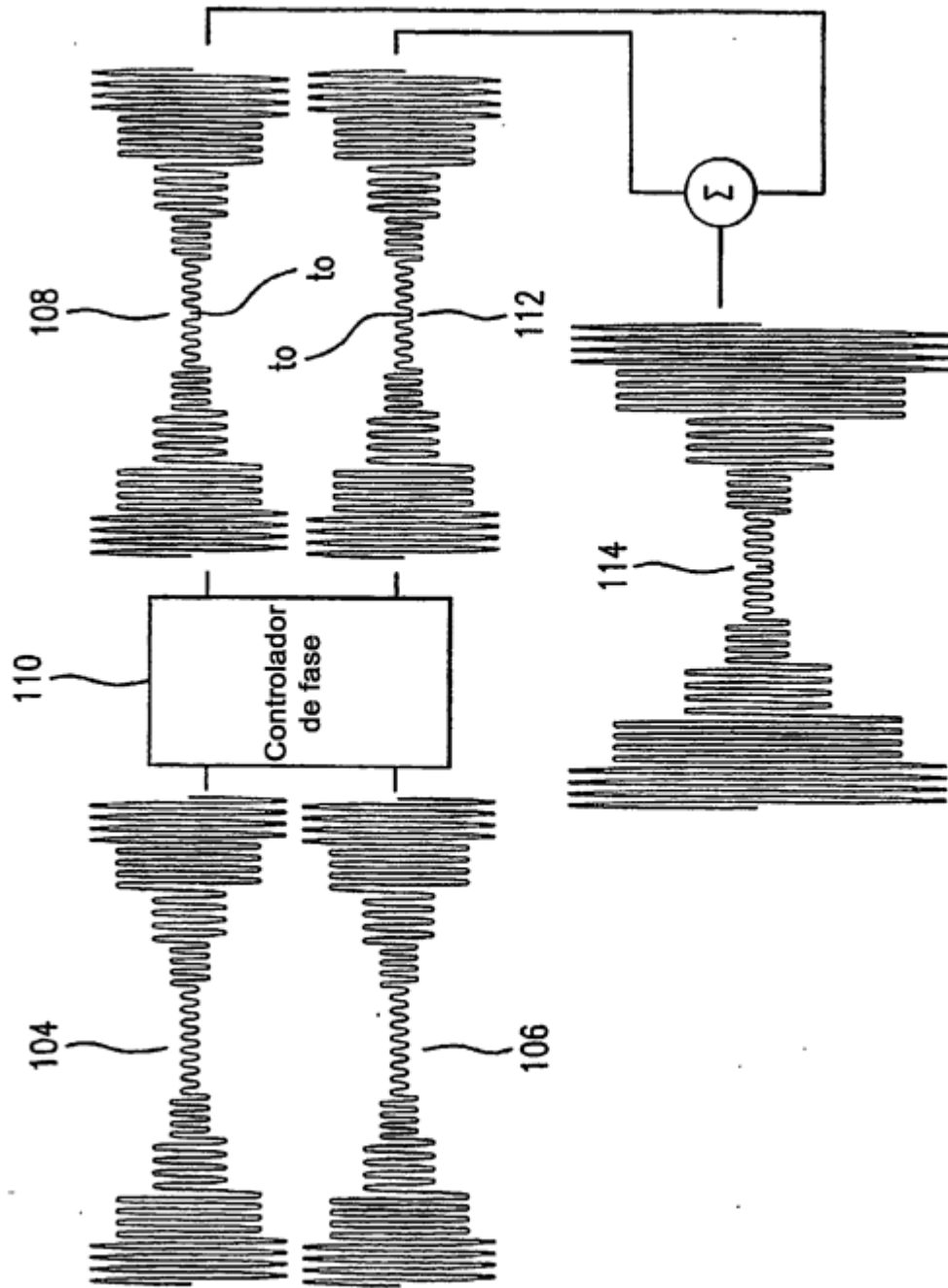


FIG.1A

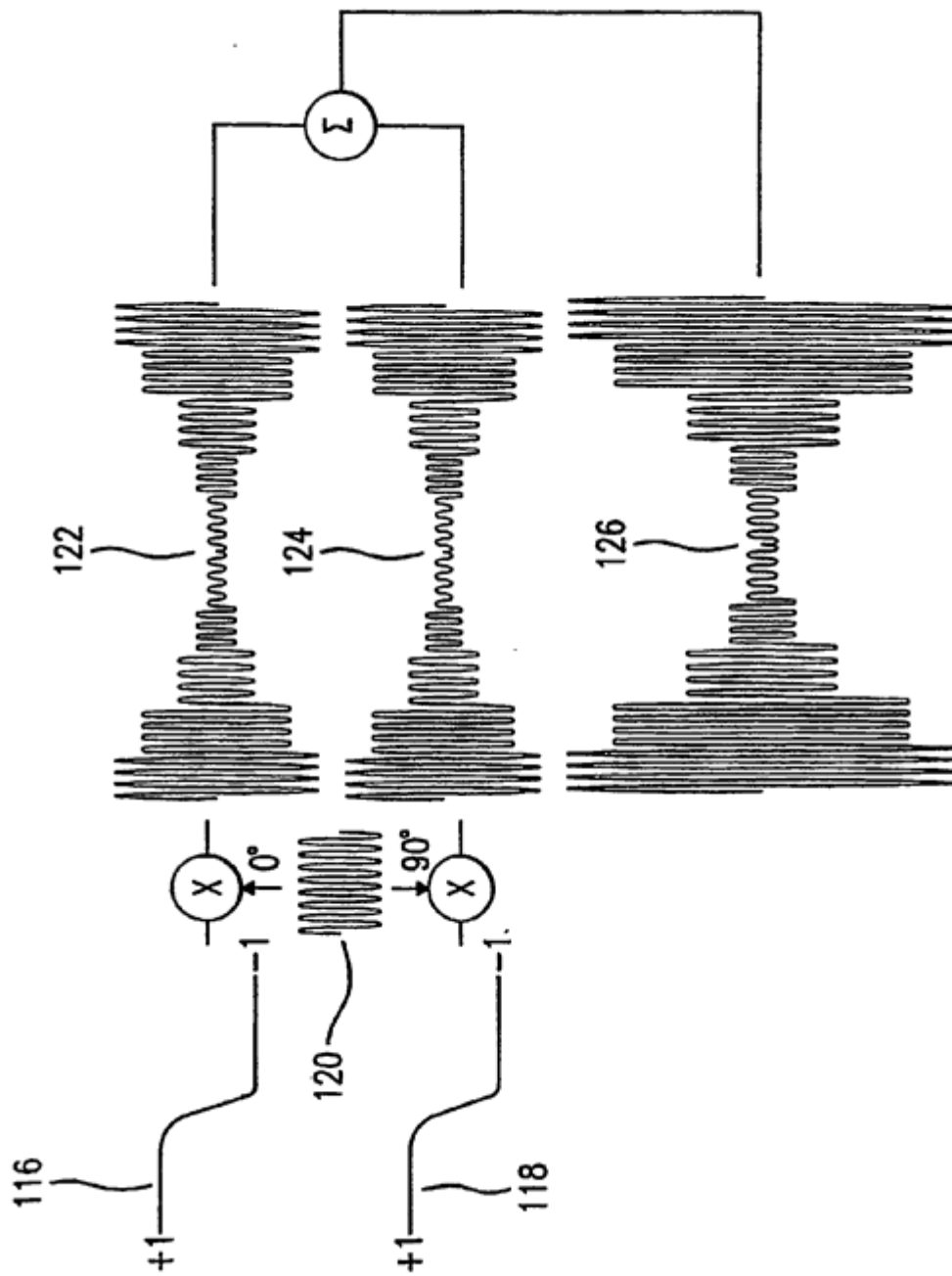


FIG.1B

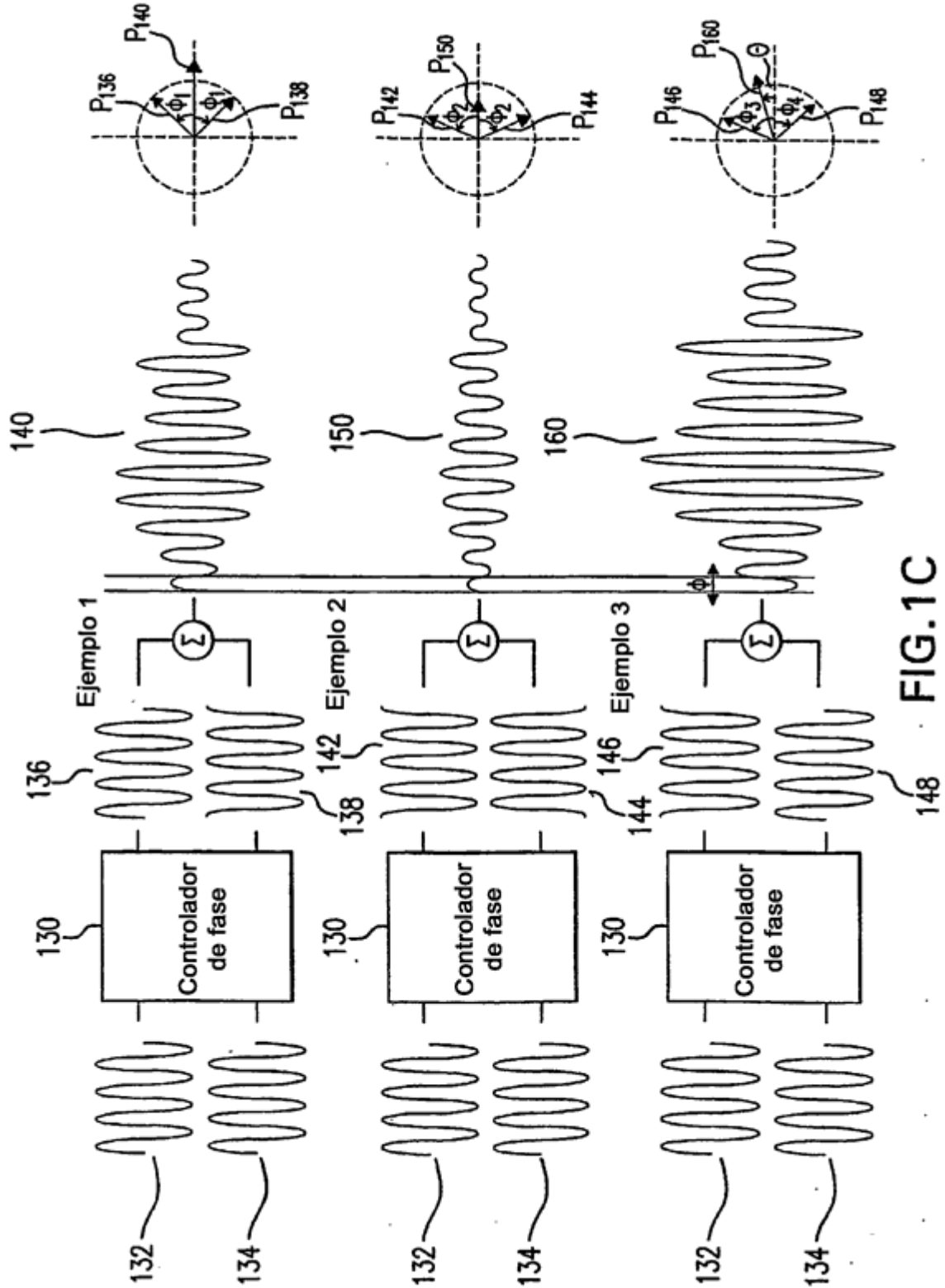


FIG. 1C

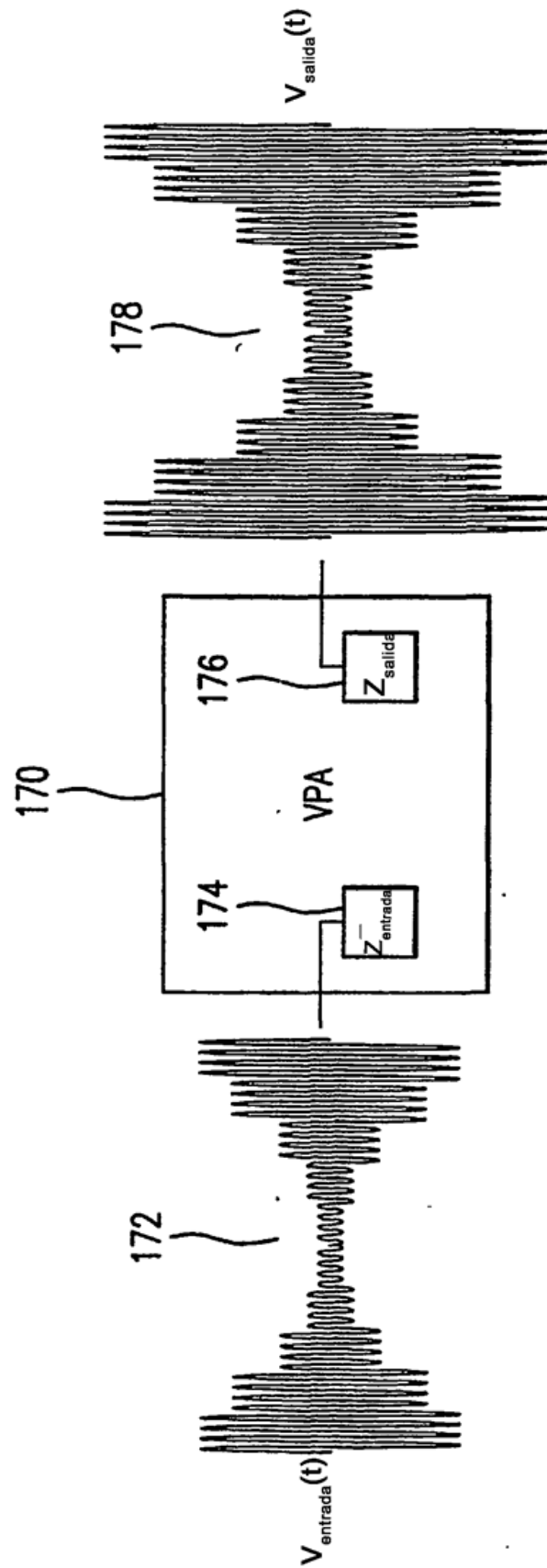


FIG.1D

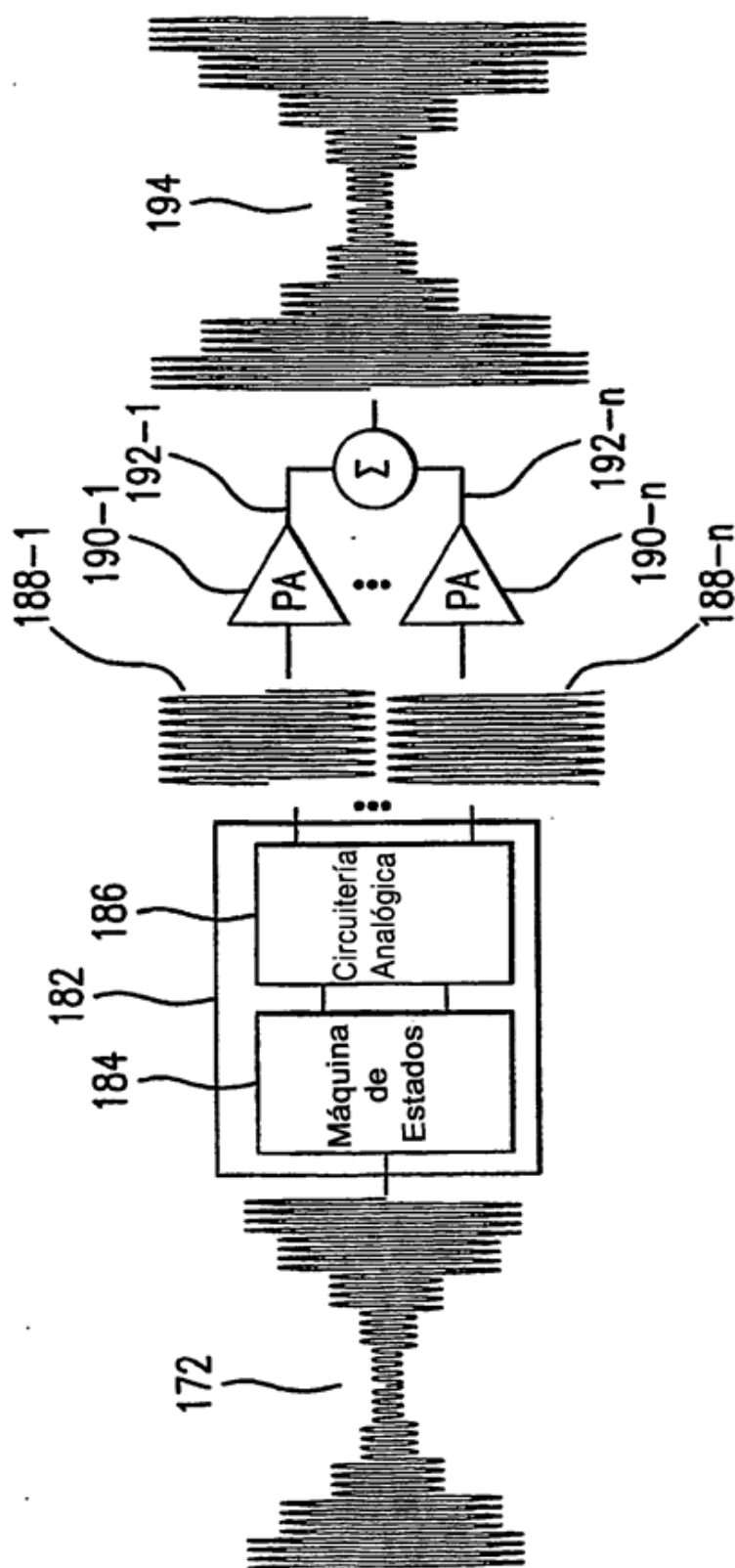


FIG. 1E

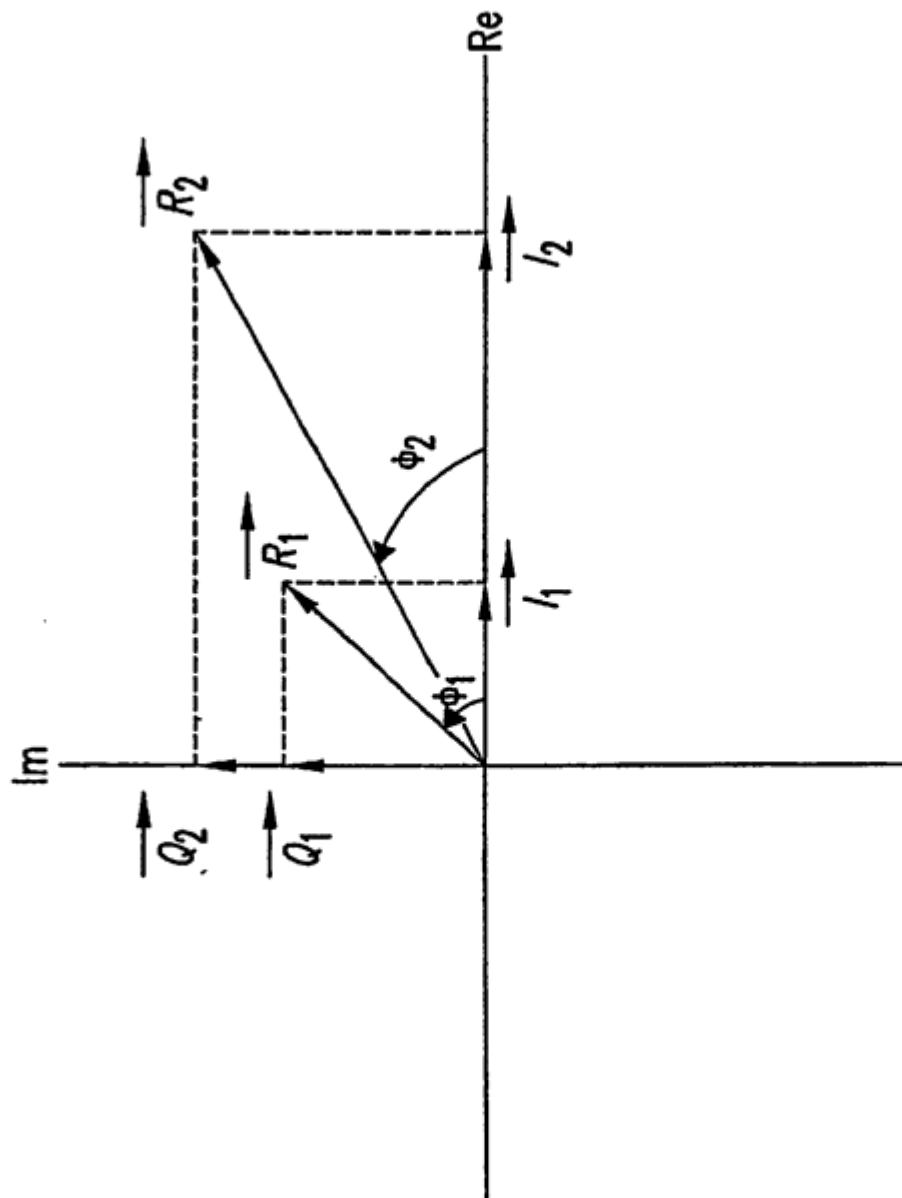


FIG.2

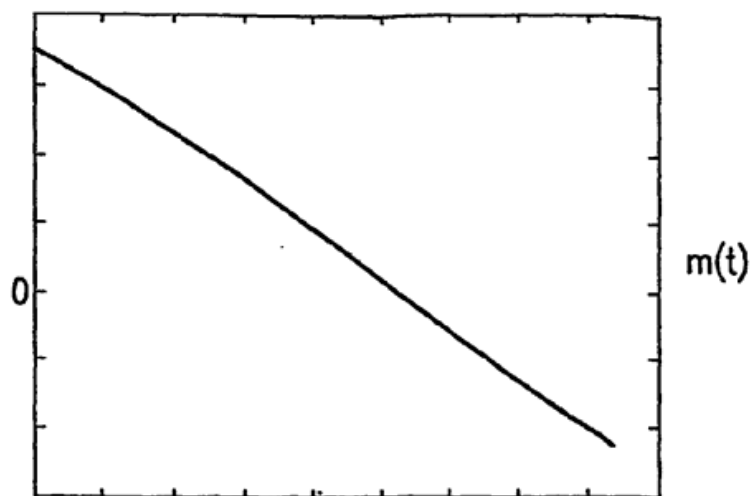


FIG. 3A

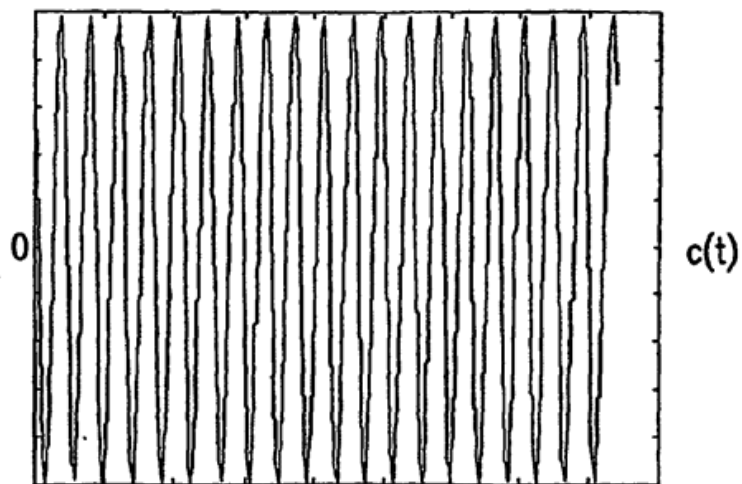


FIG. 3B

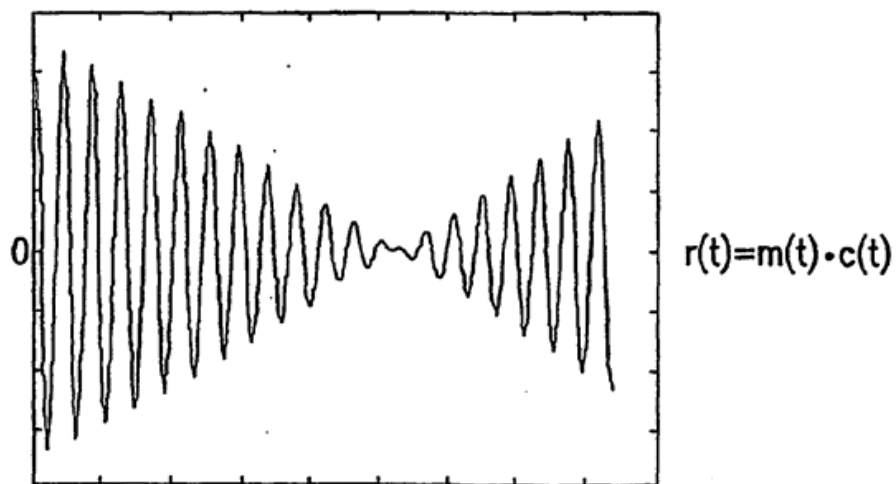


FIG. 3C

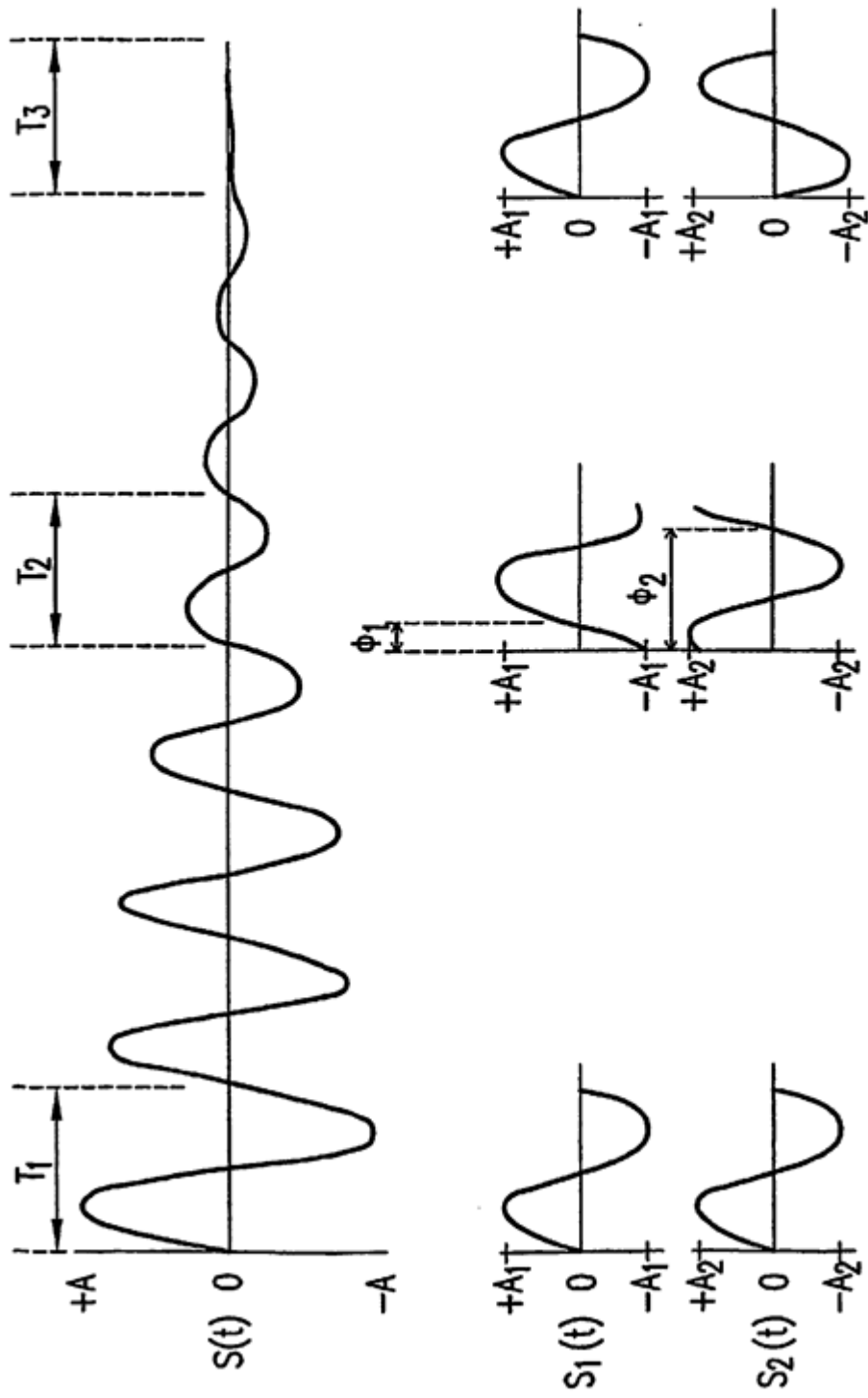


FIG. 3D

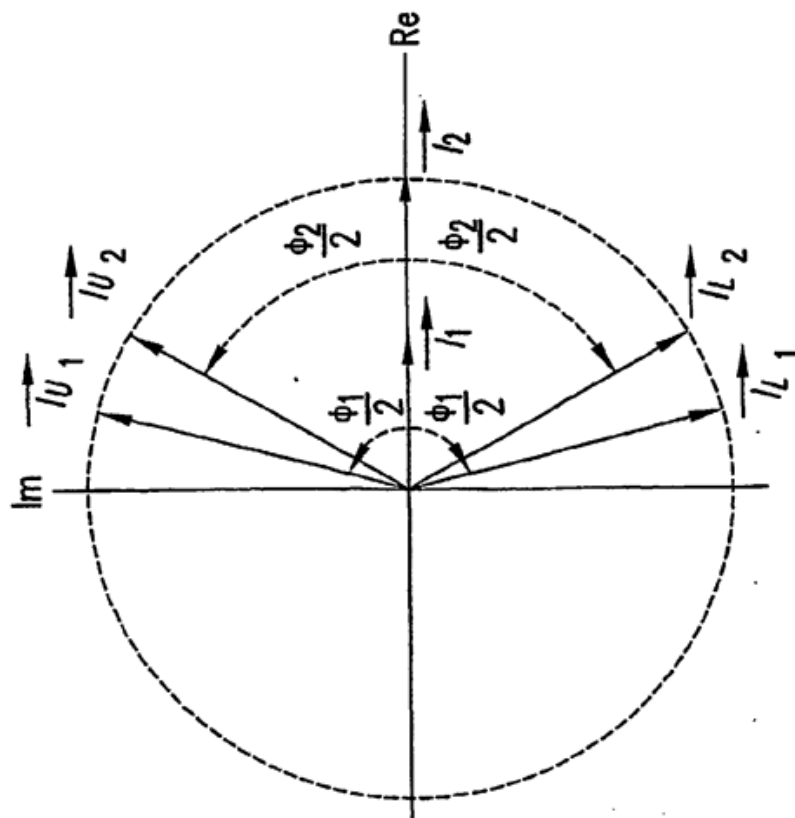
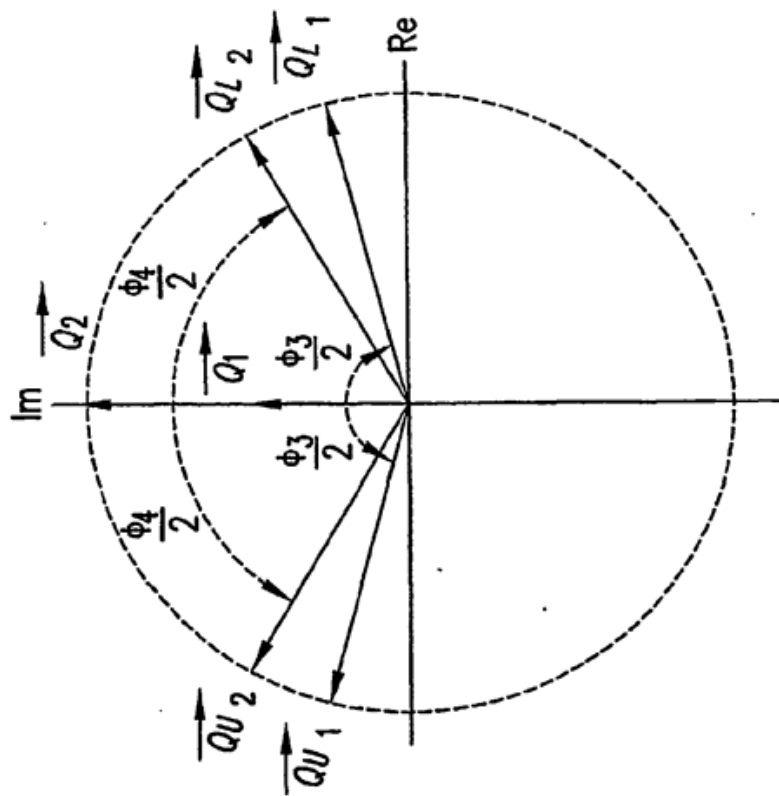
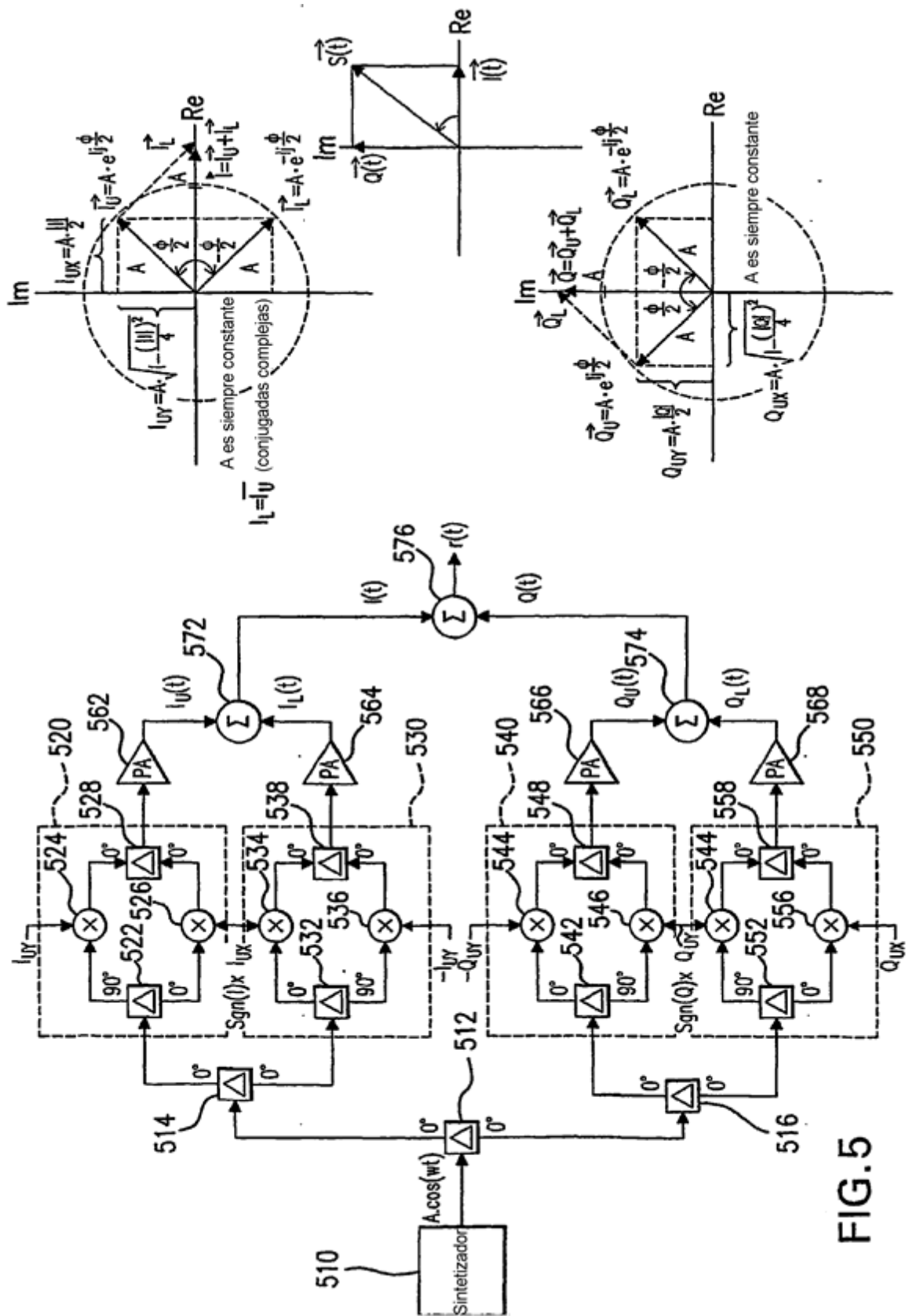


FIG.4



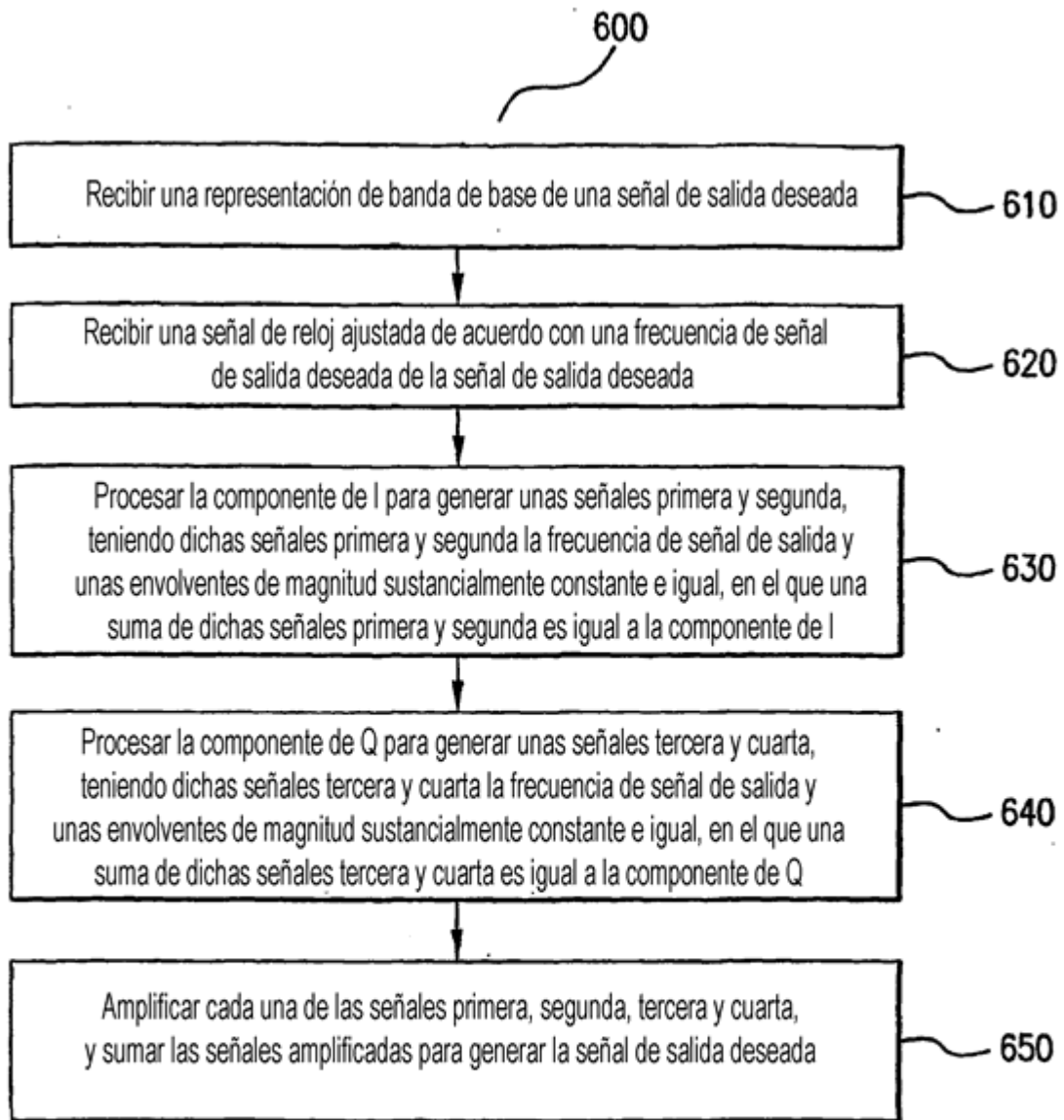


FIG.6

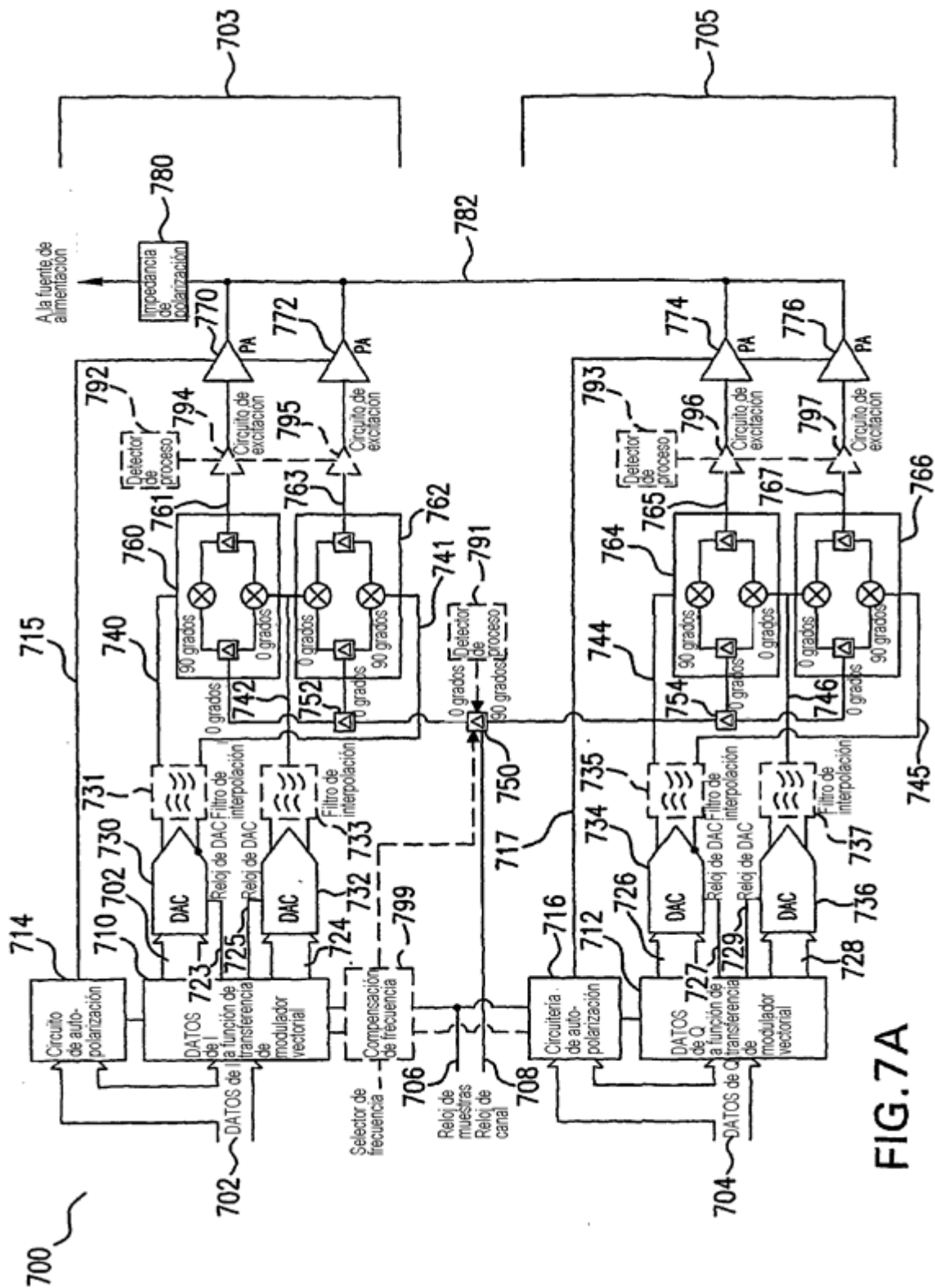
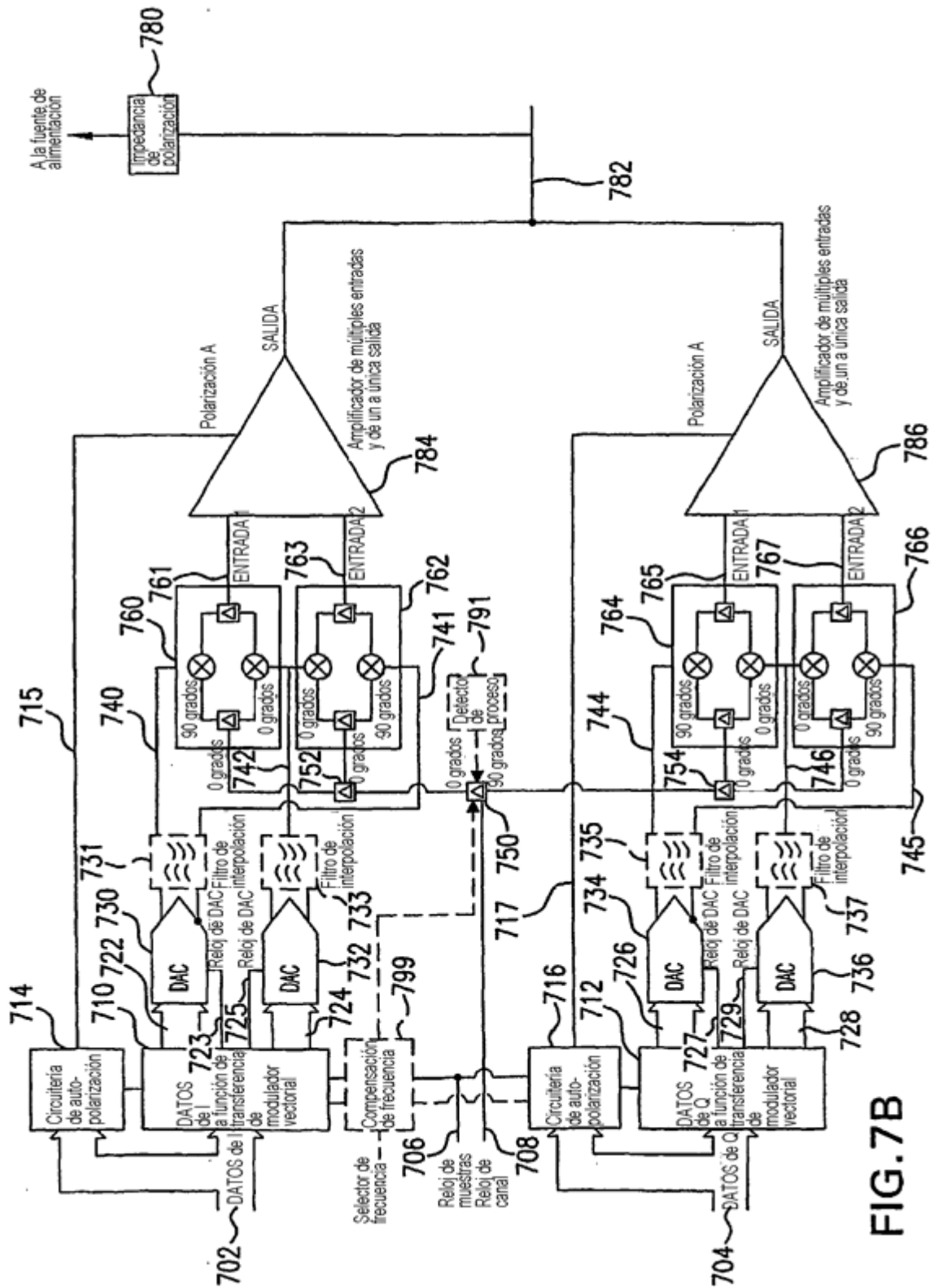


FIG. 7A



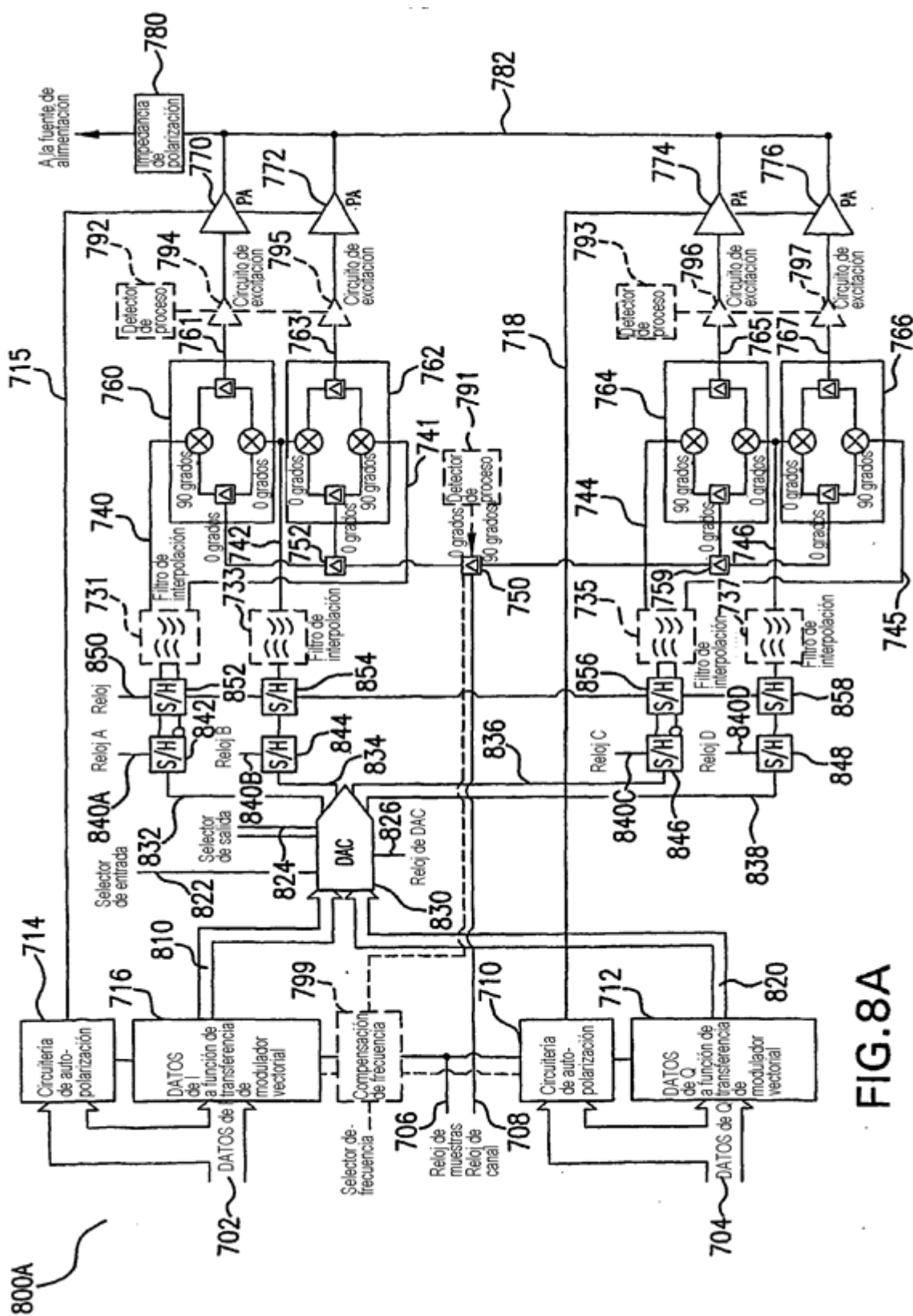


FIG. 8A

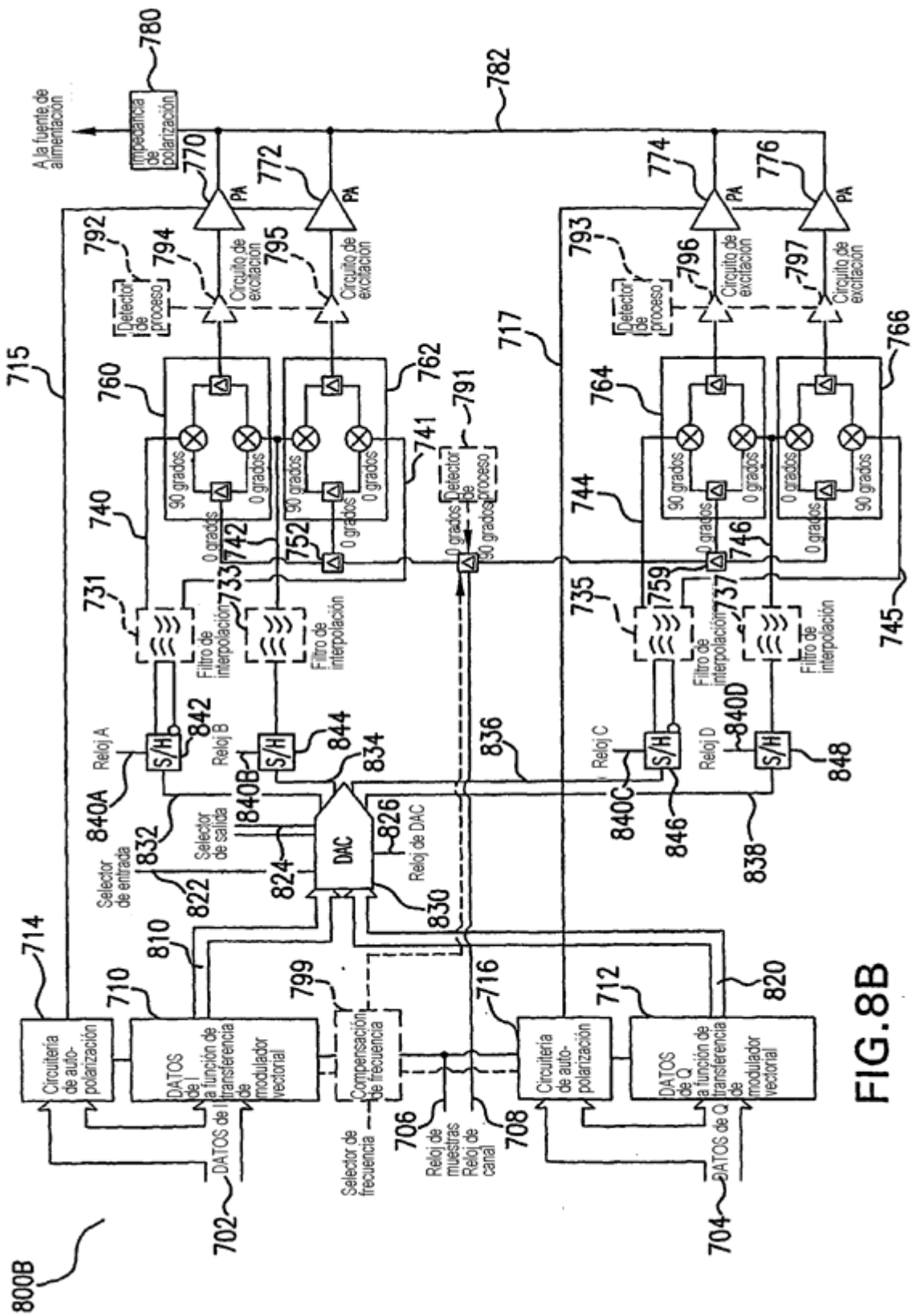


FIG. 8B

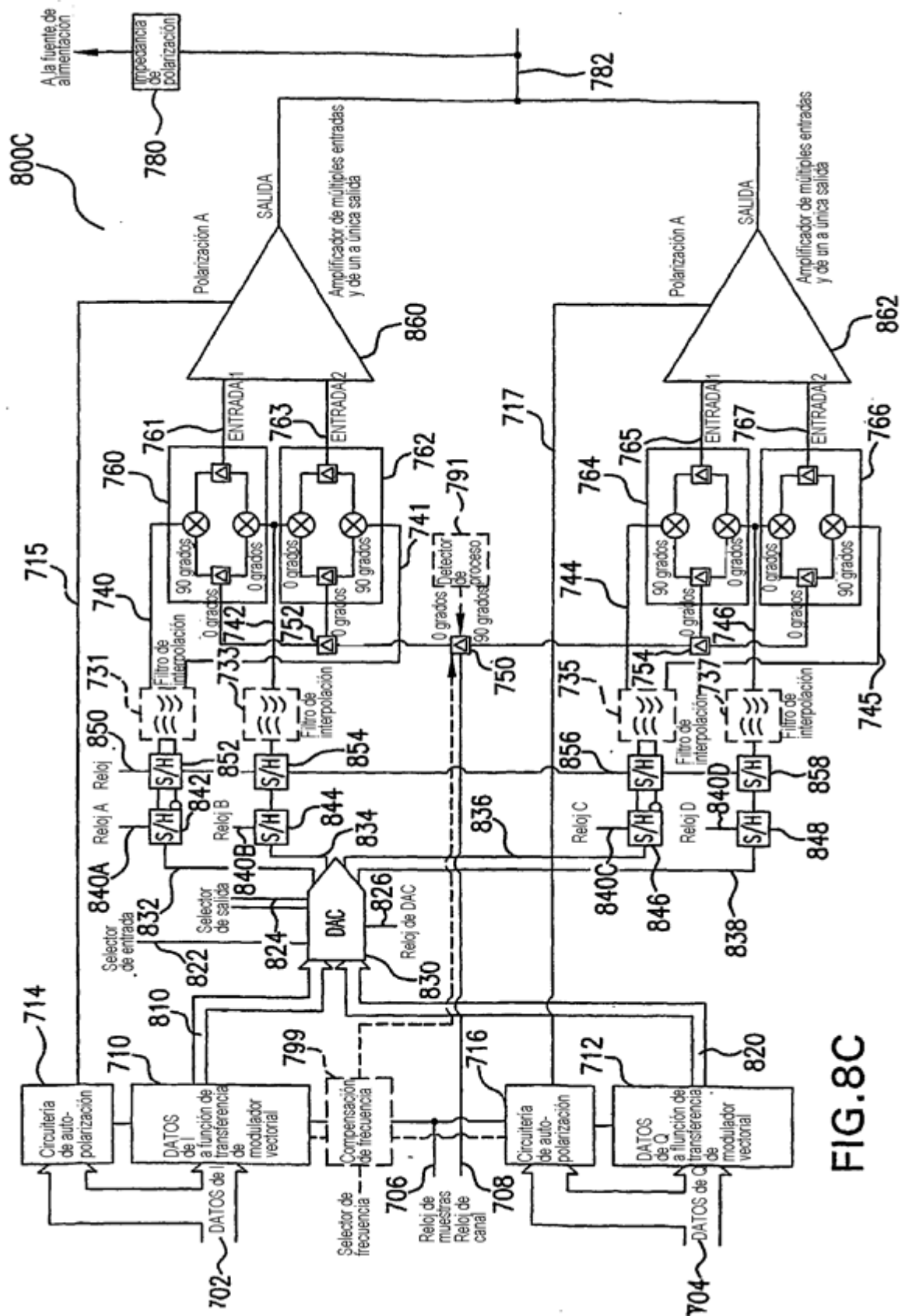
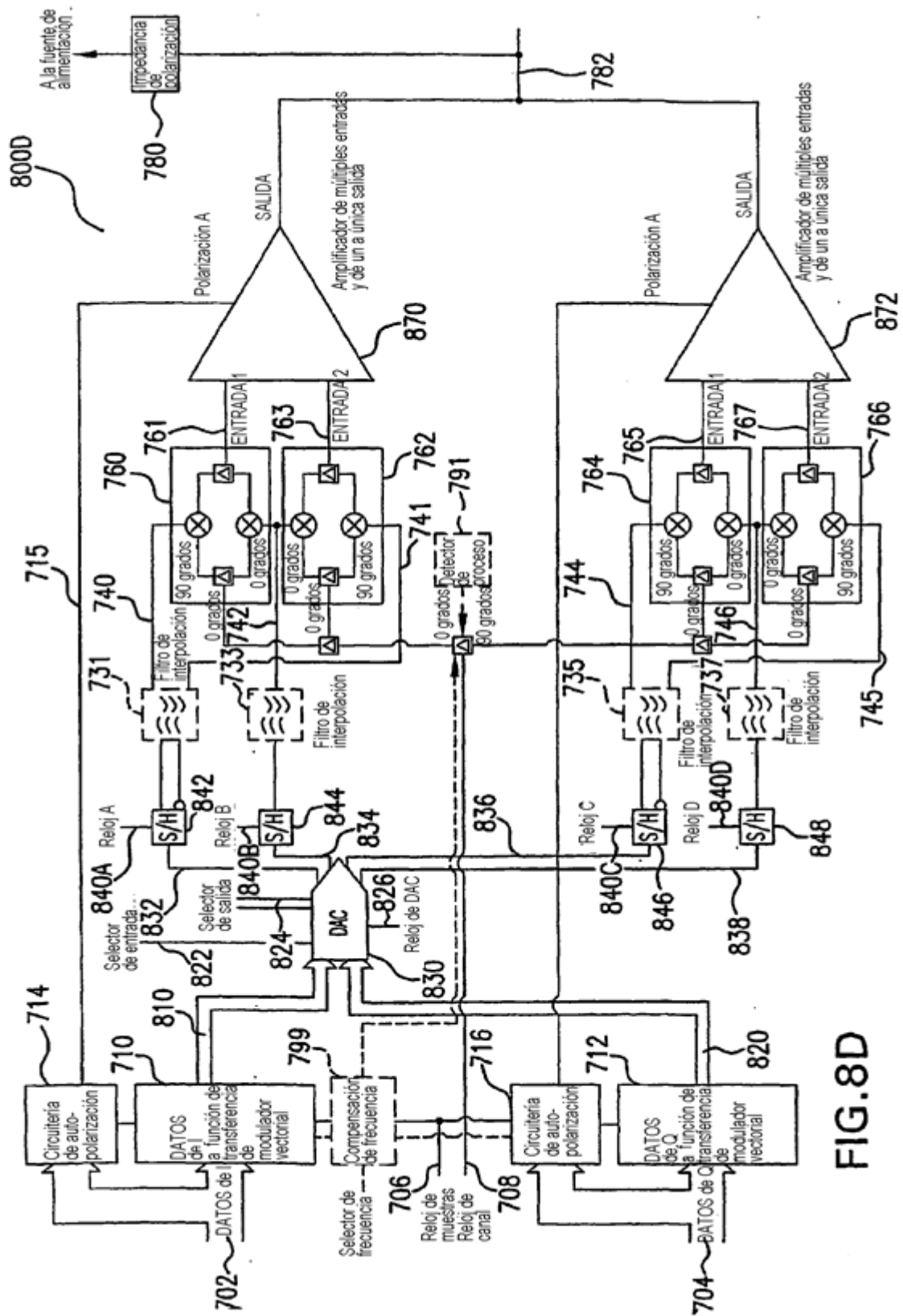


FIG. 8C



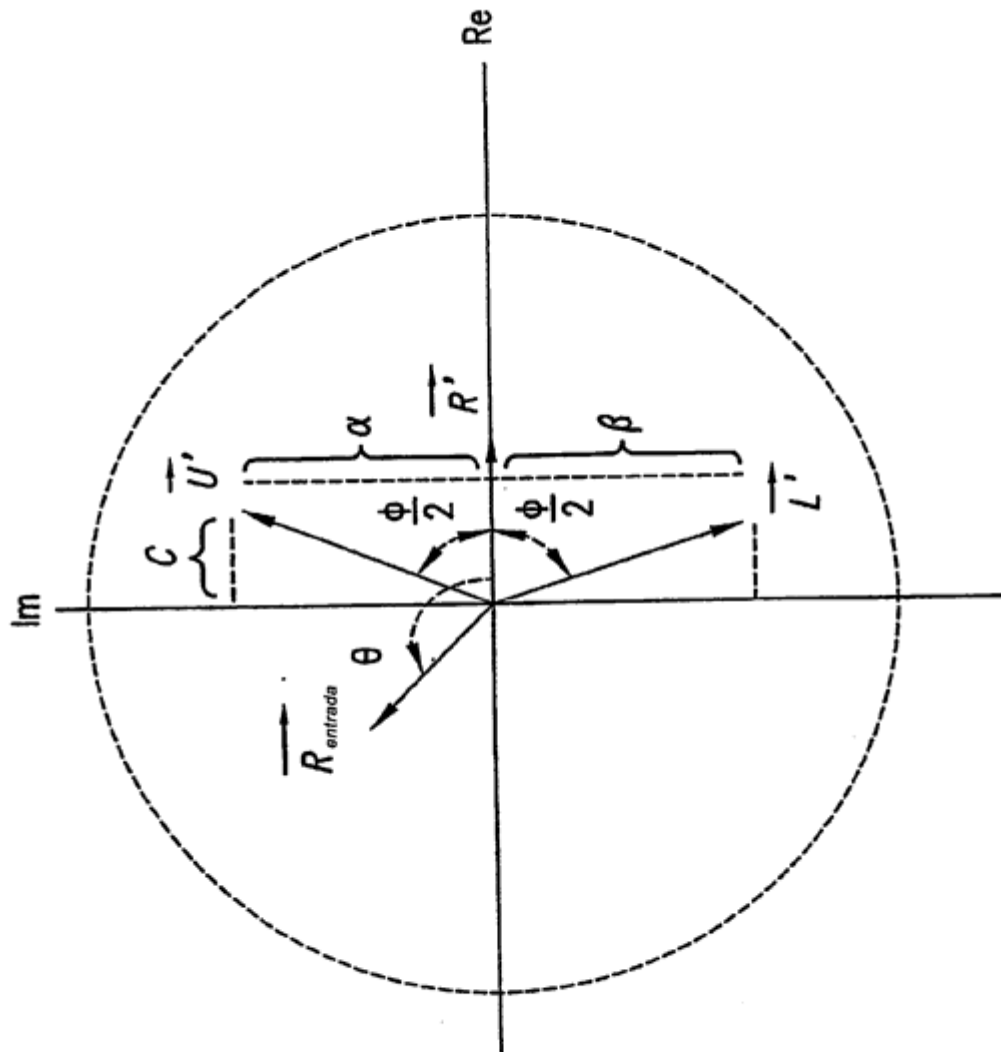
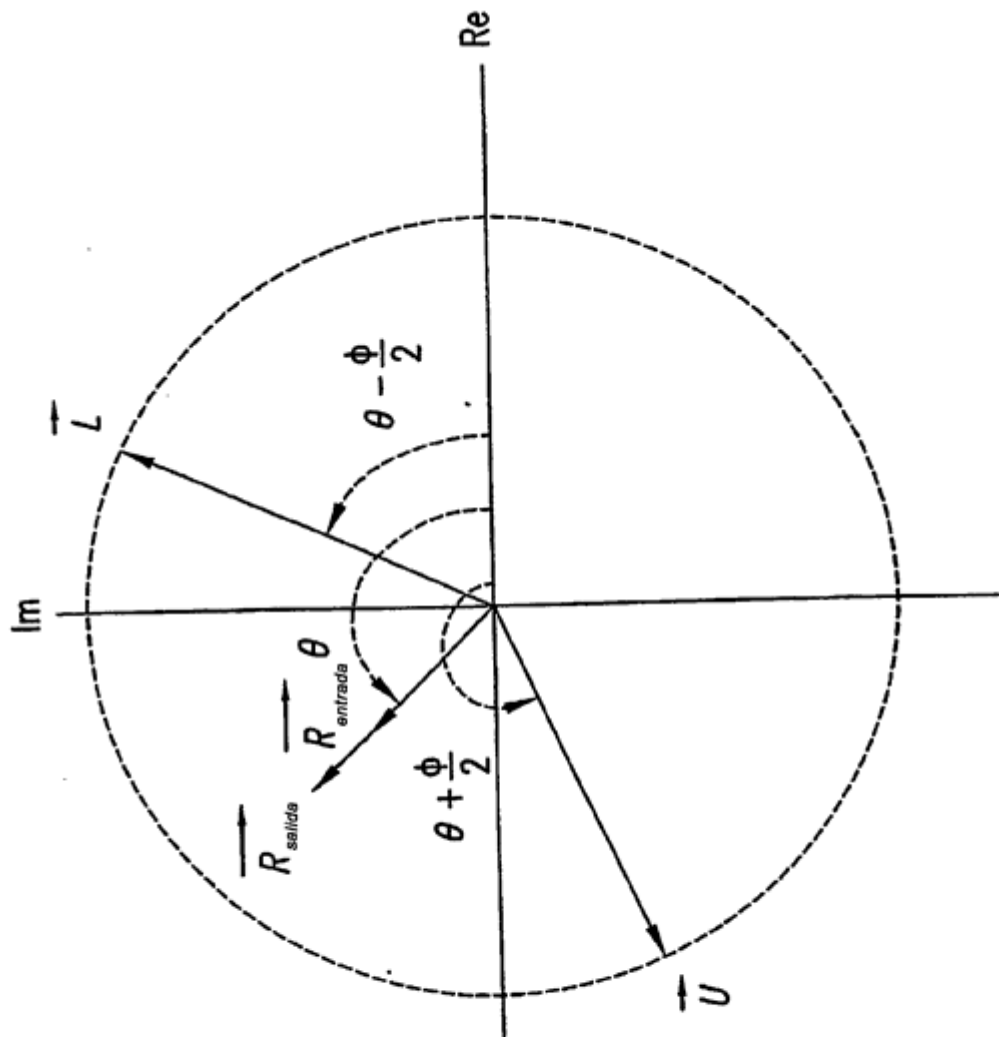


FIG.9A



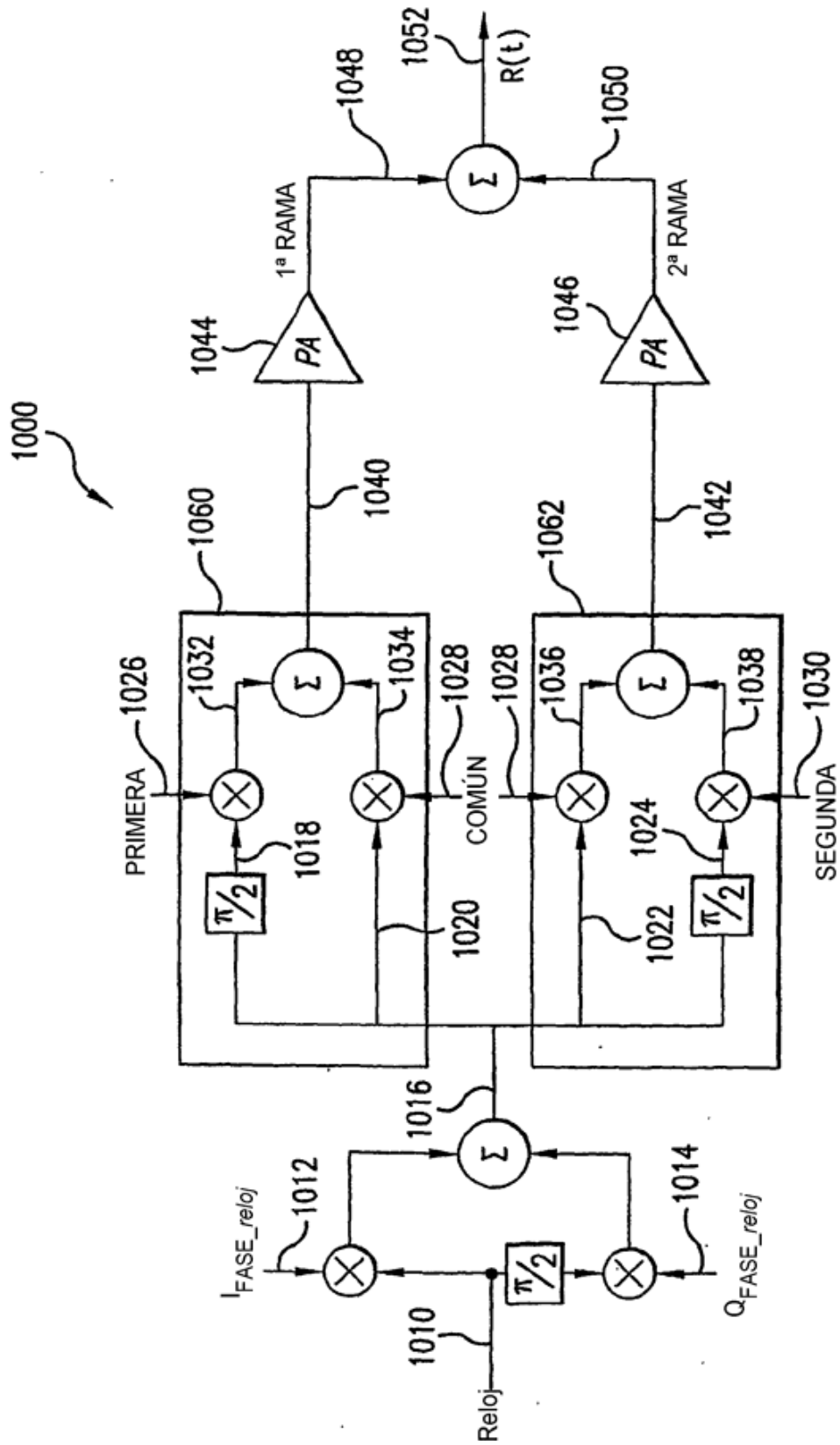


FIG.10

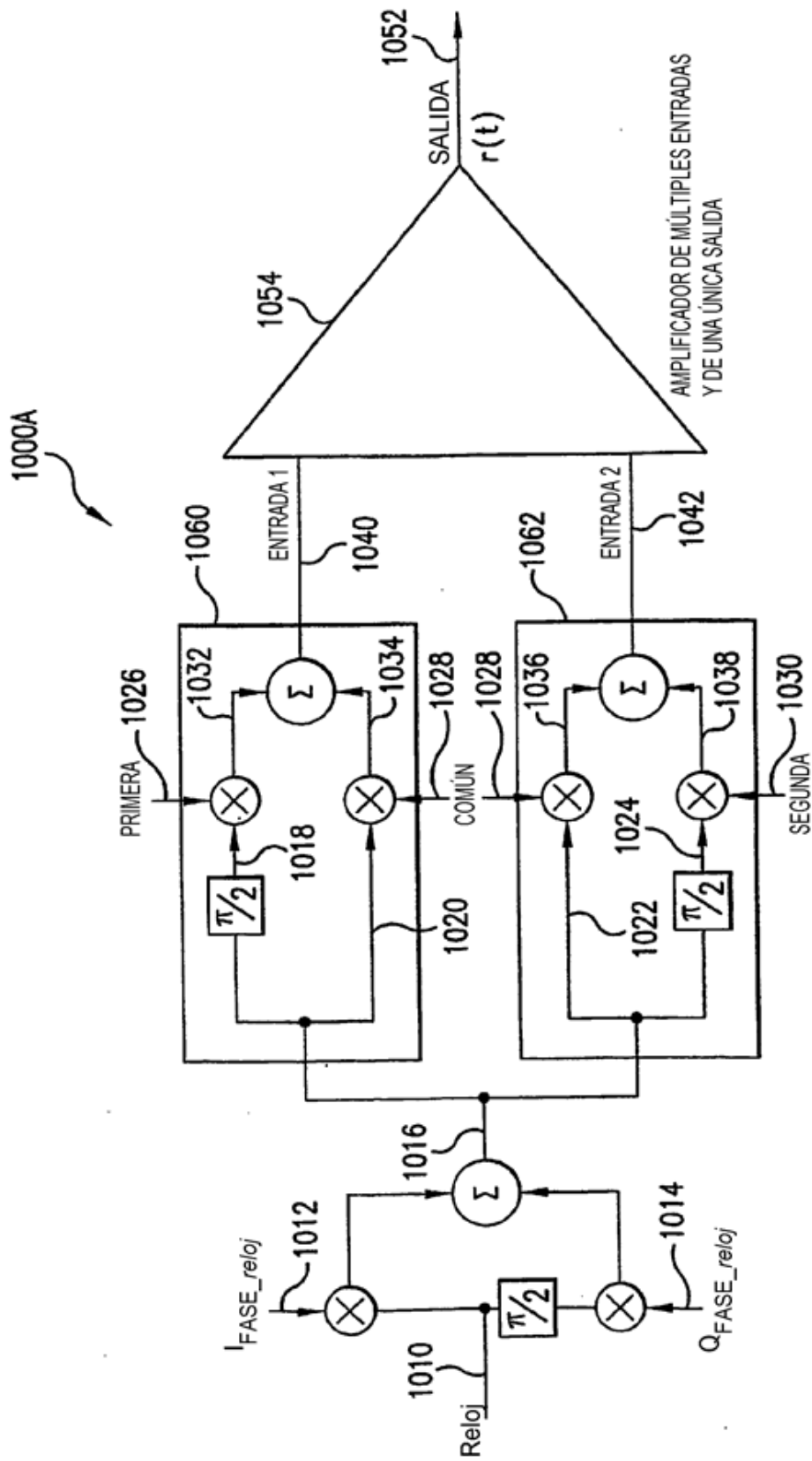


FIG.10A

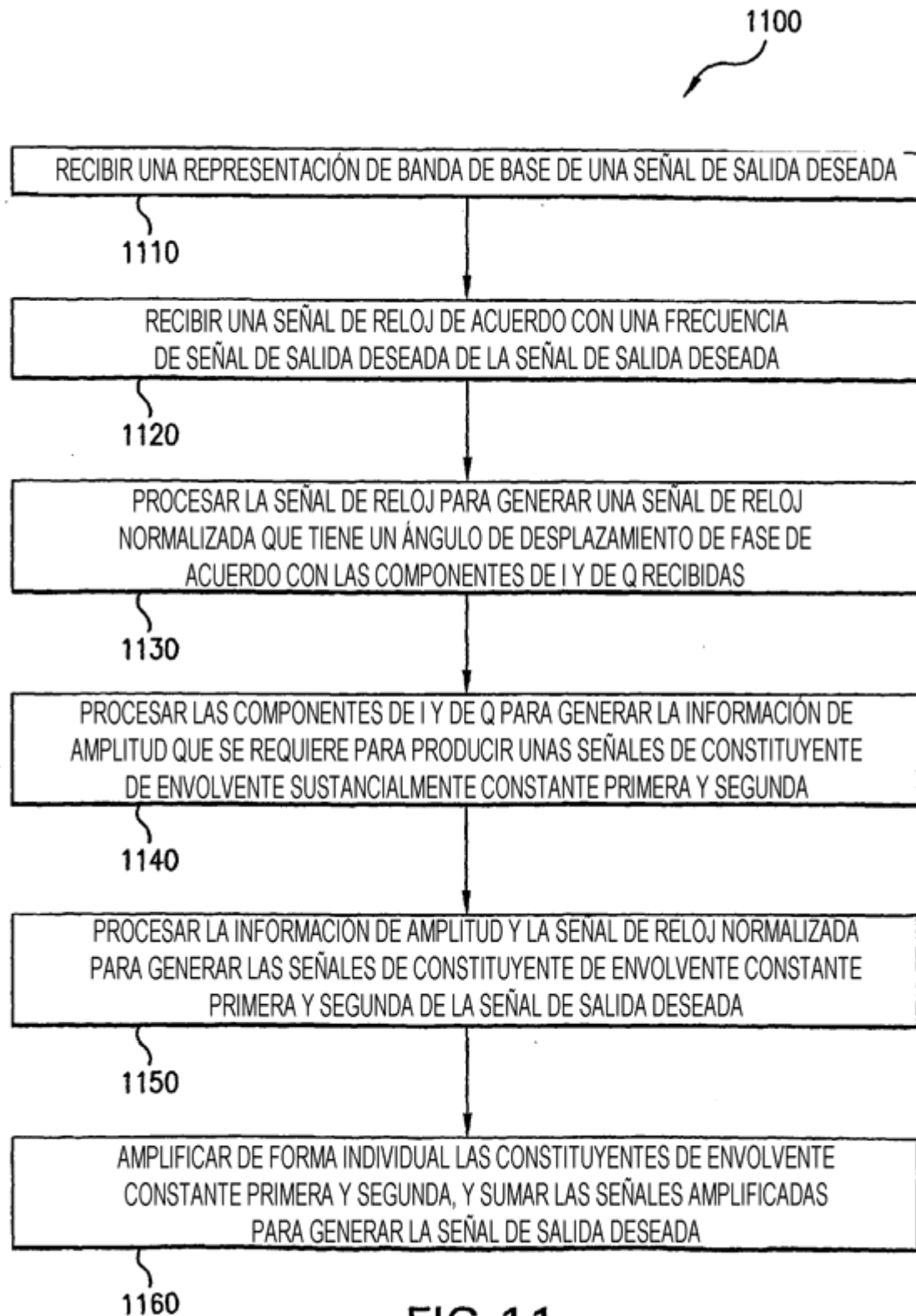


FIG. 11

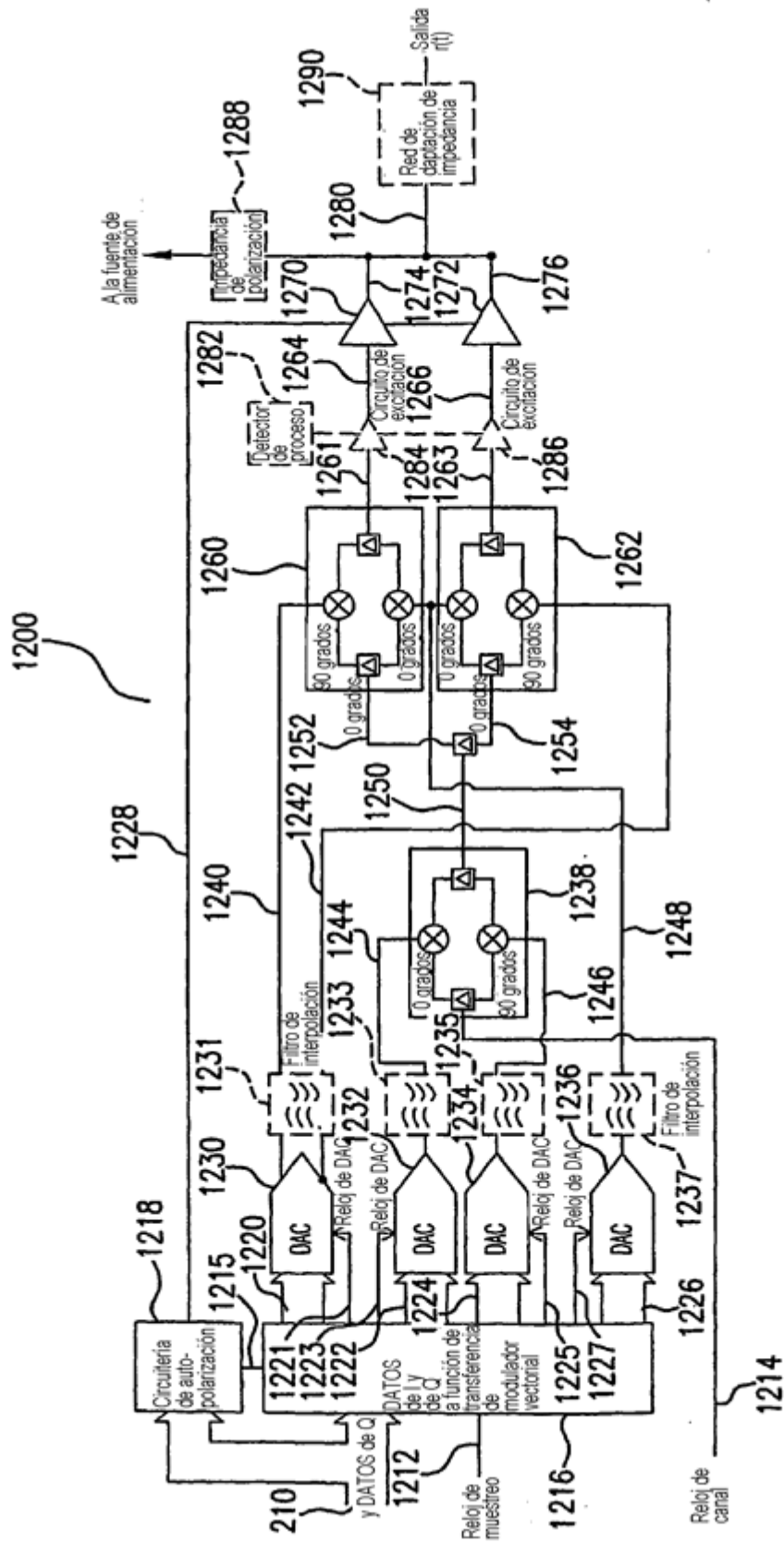
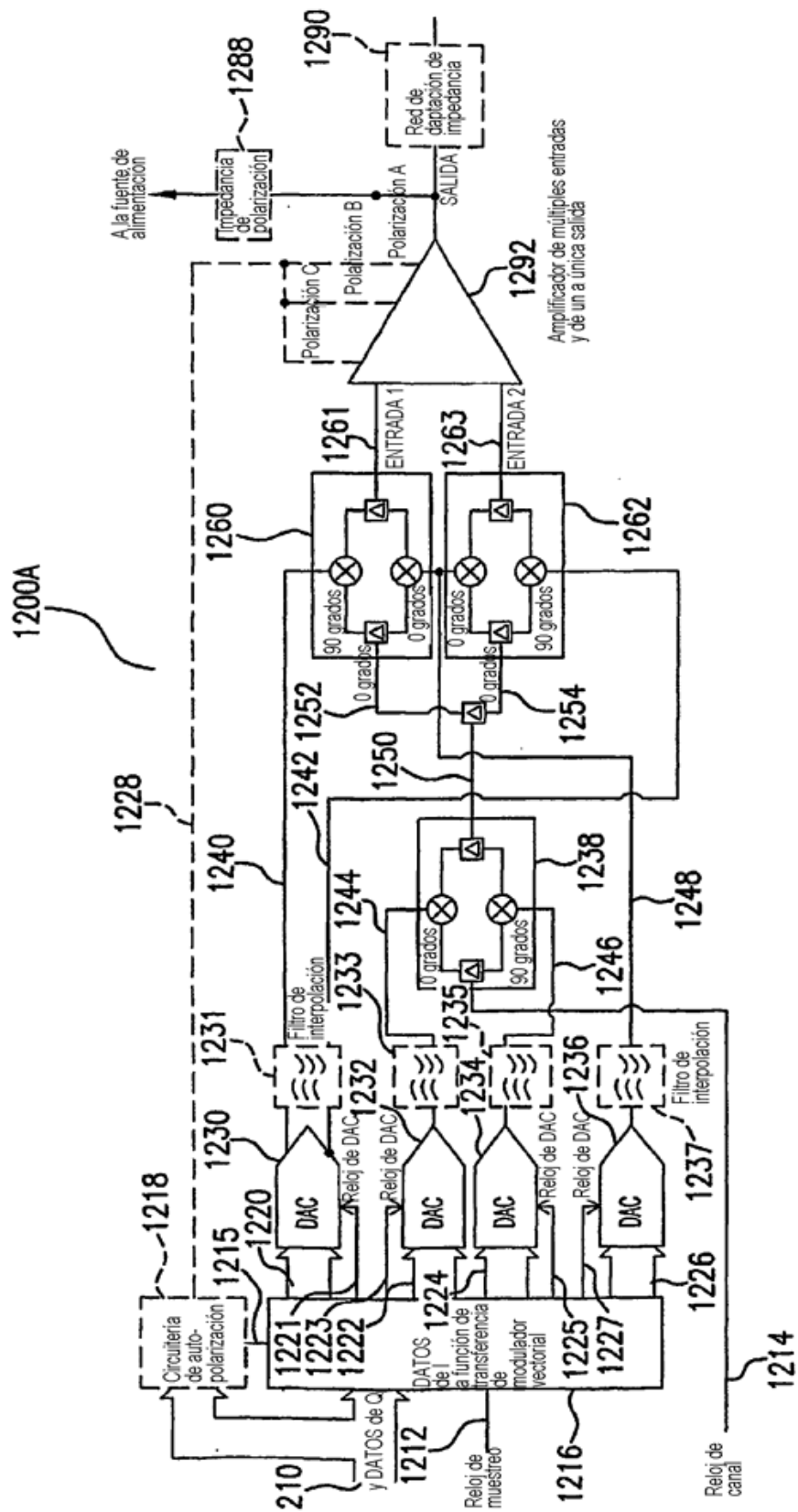


FIG. 12



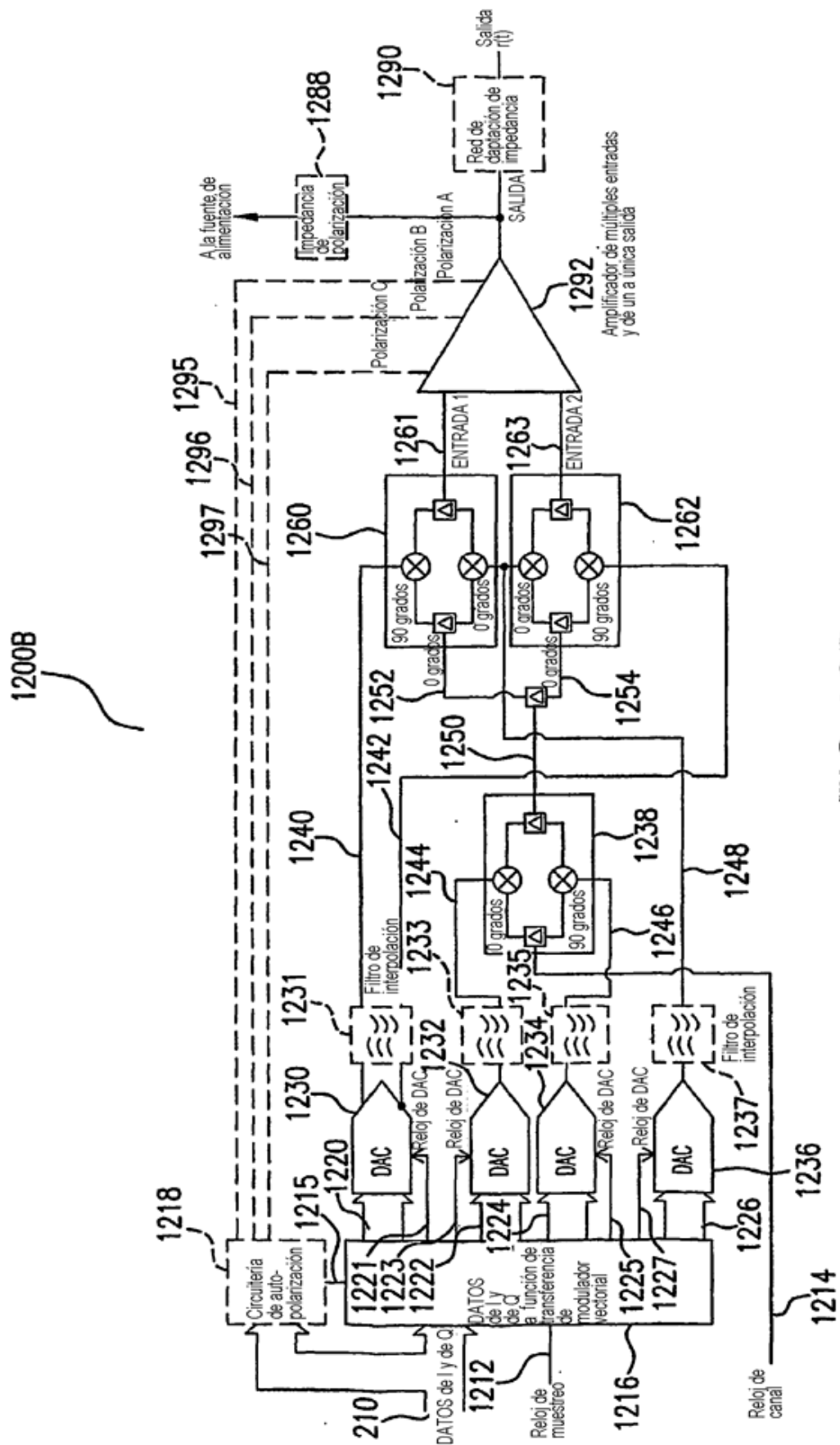


FIG. 12B

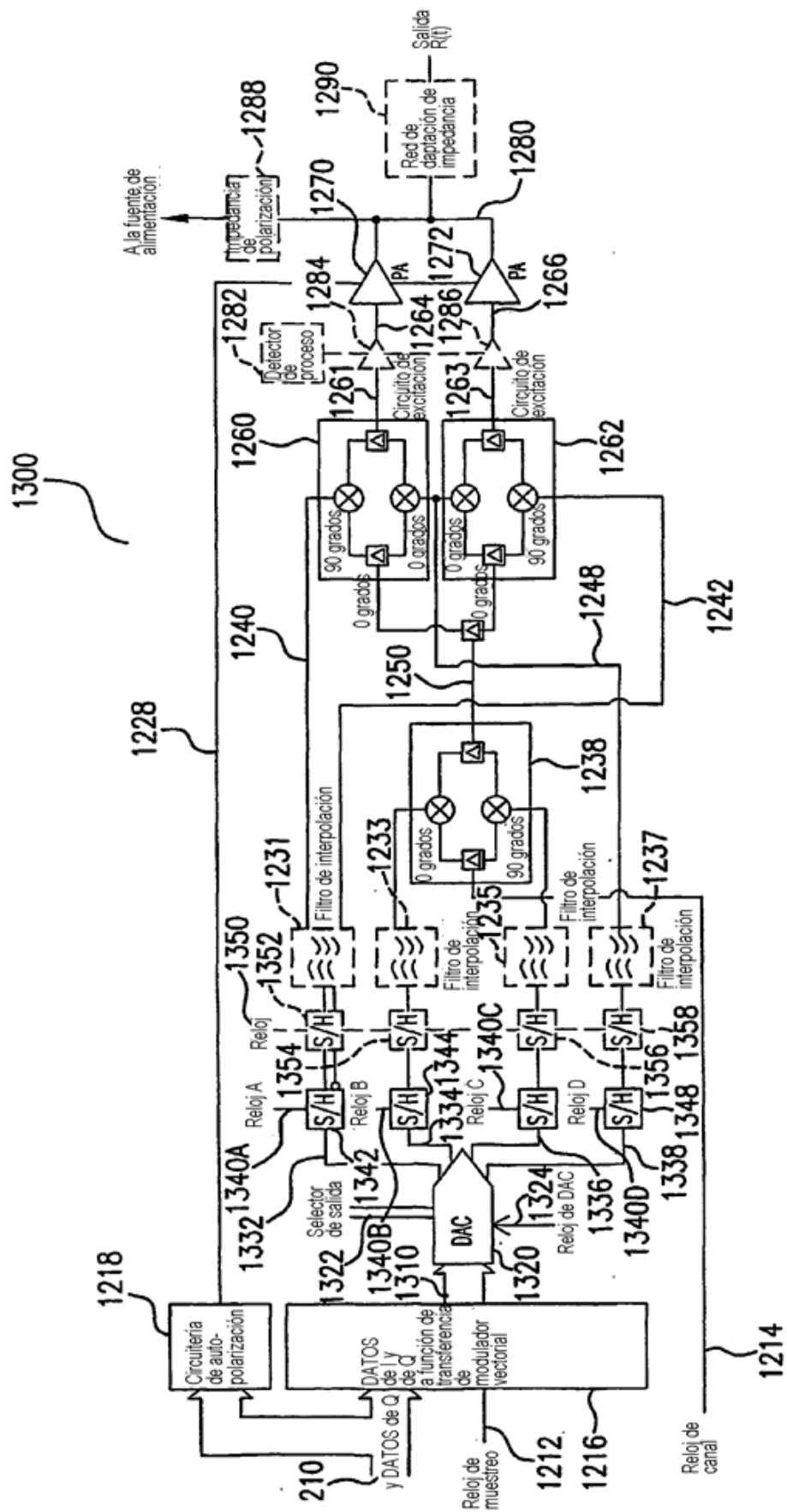


FIG. 13

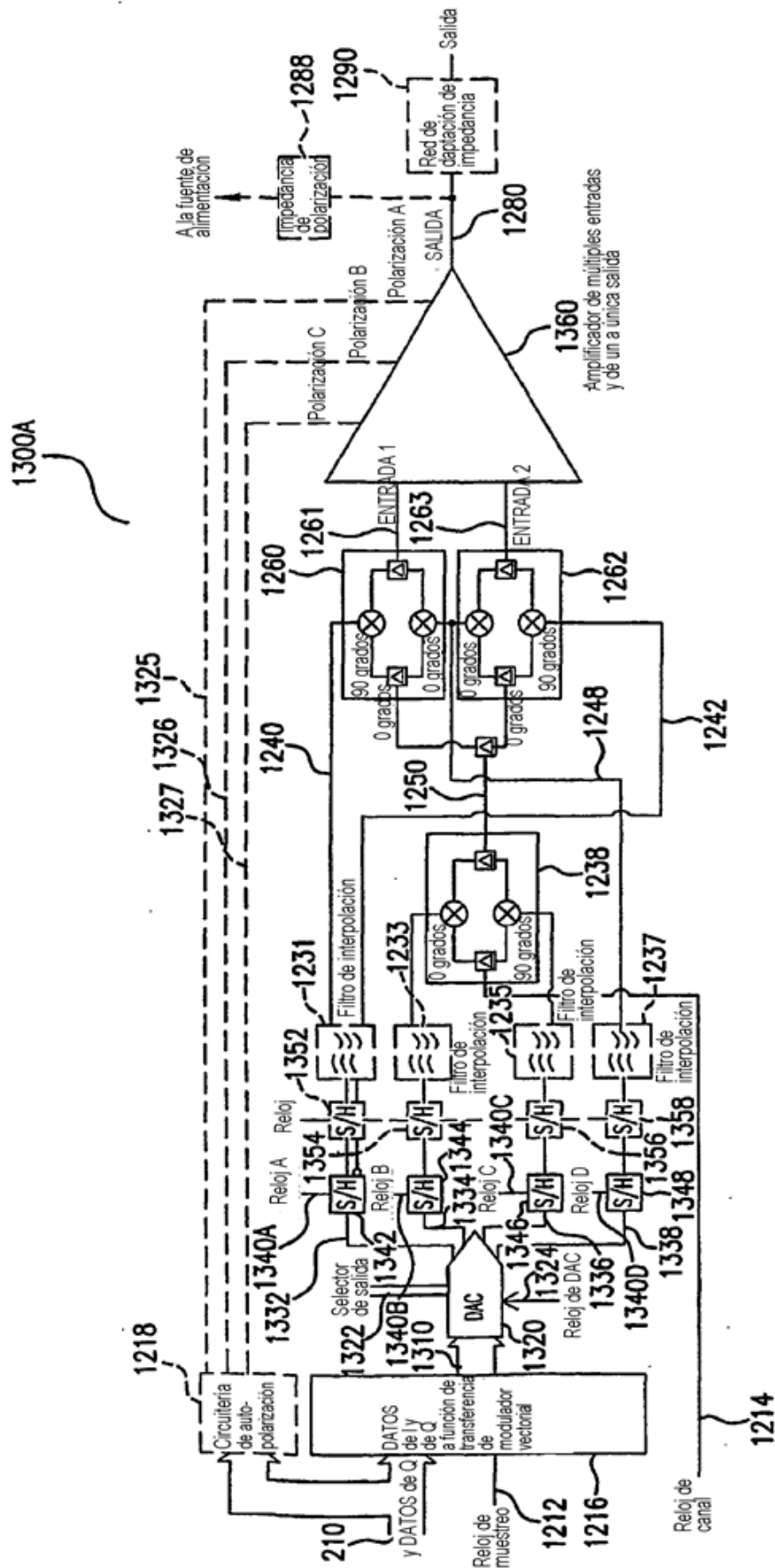


FIG. 13A

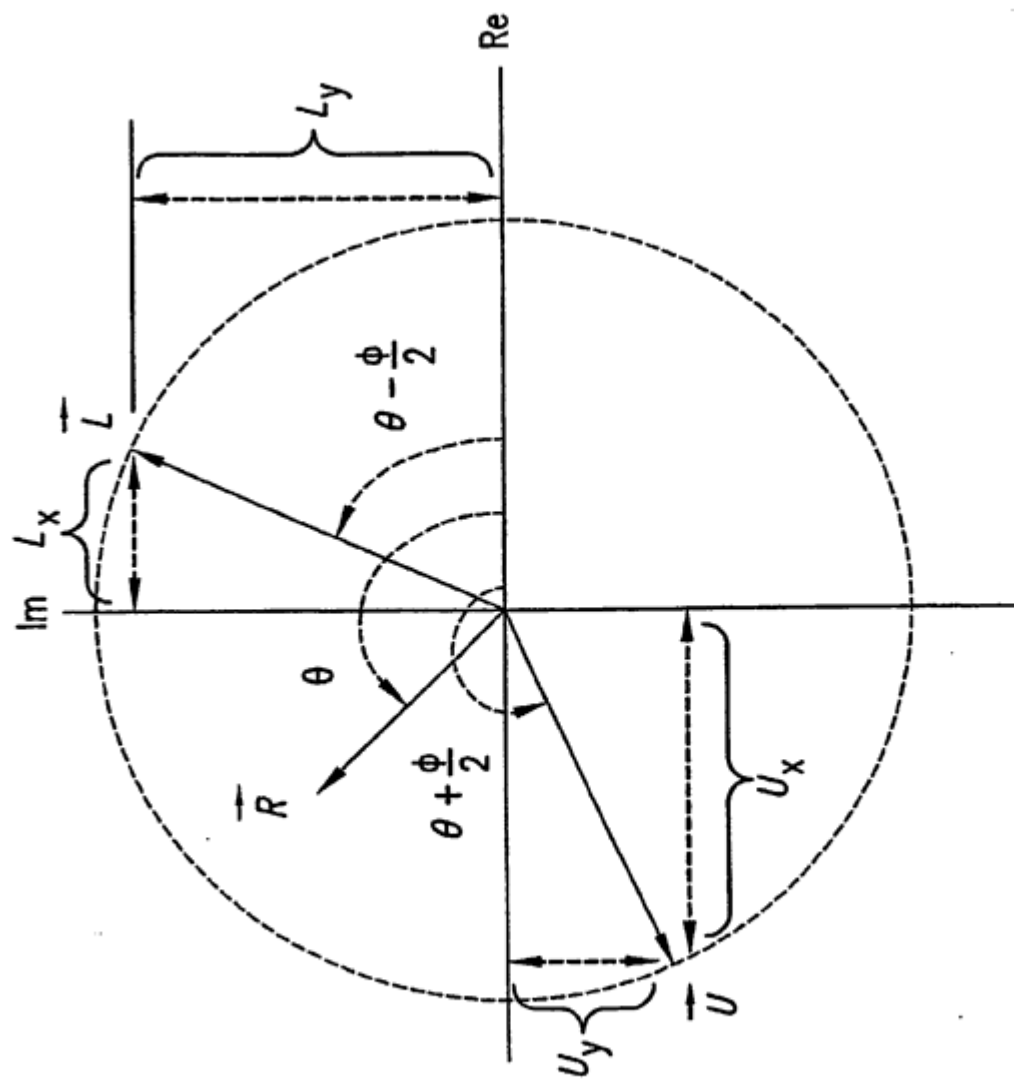


FIG.14

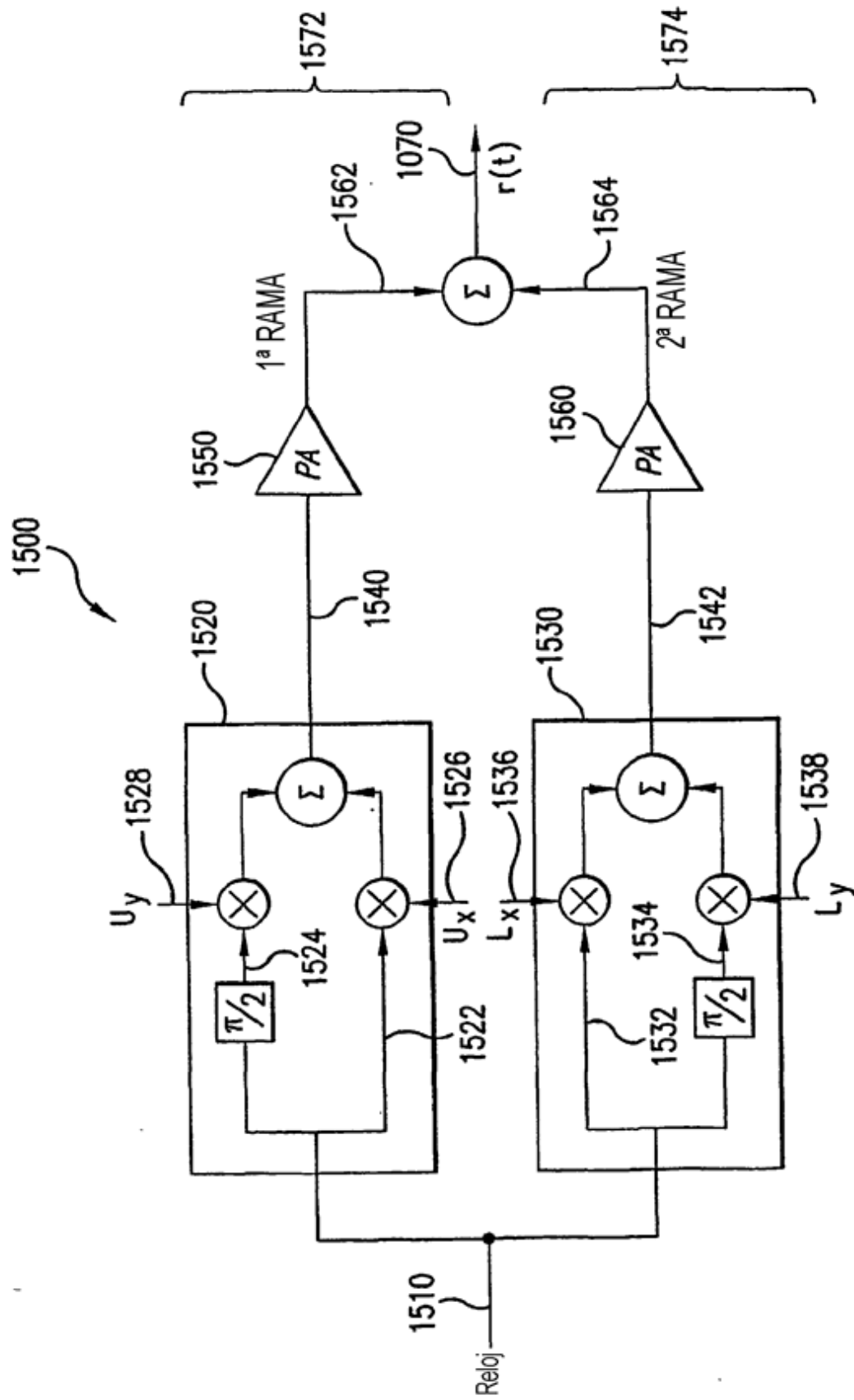
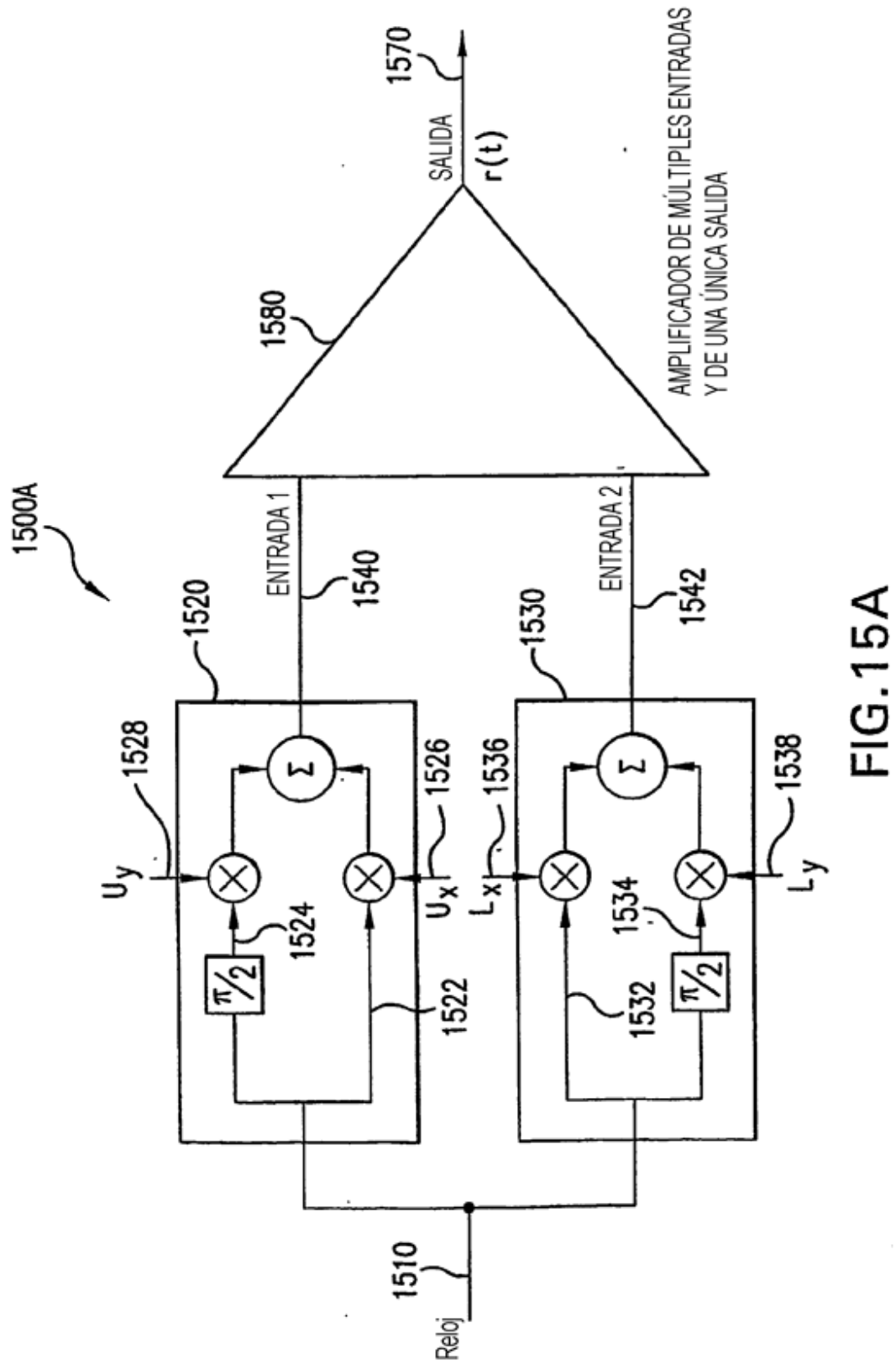


FIG.15



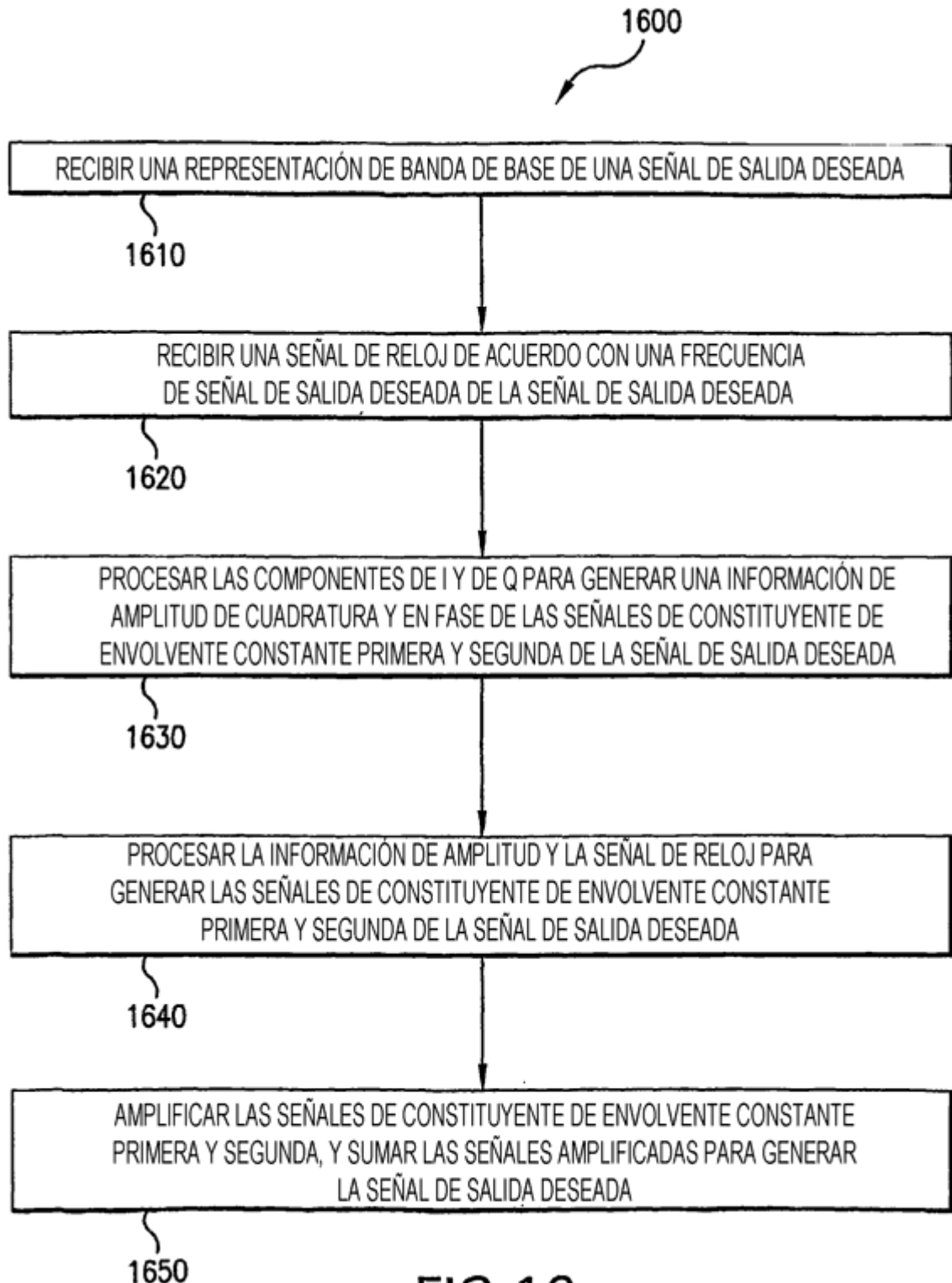


FIG.16

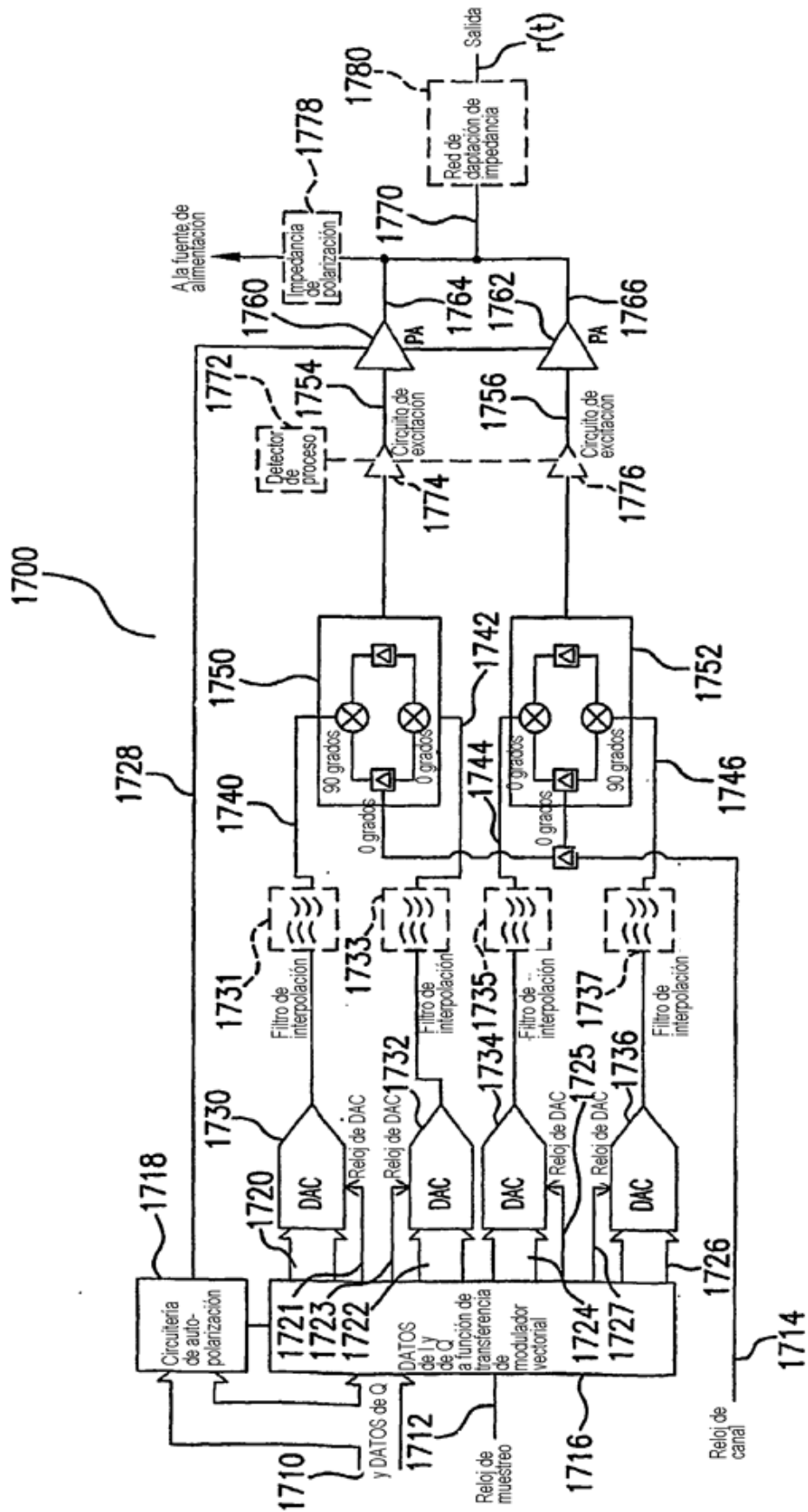


FIG.17

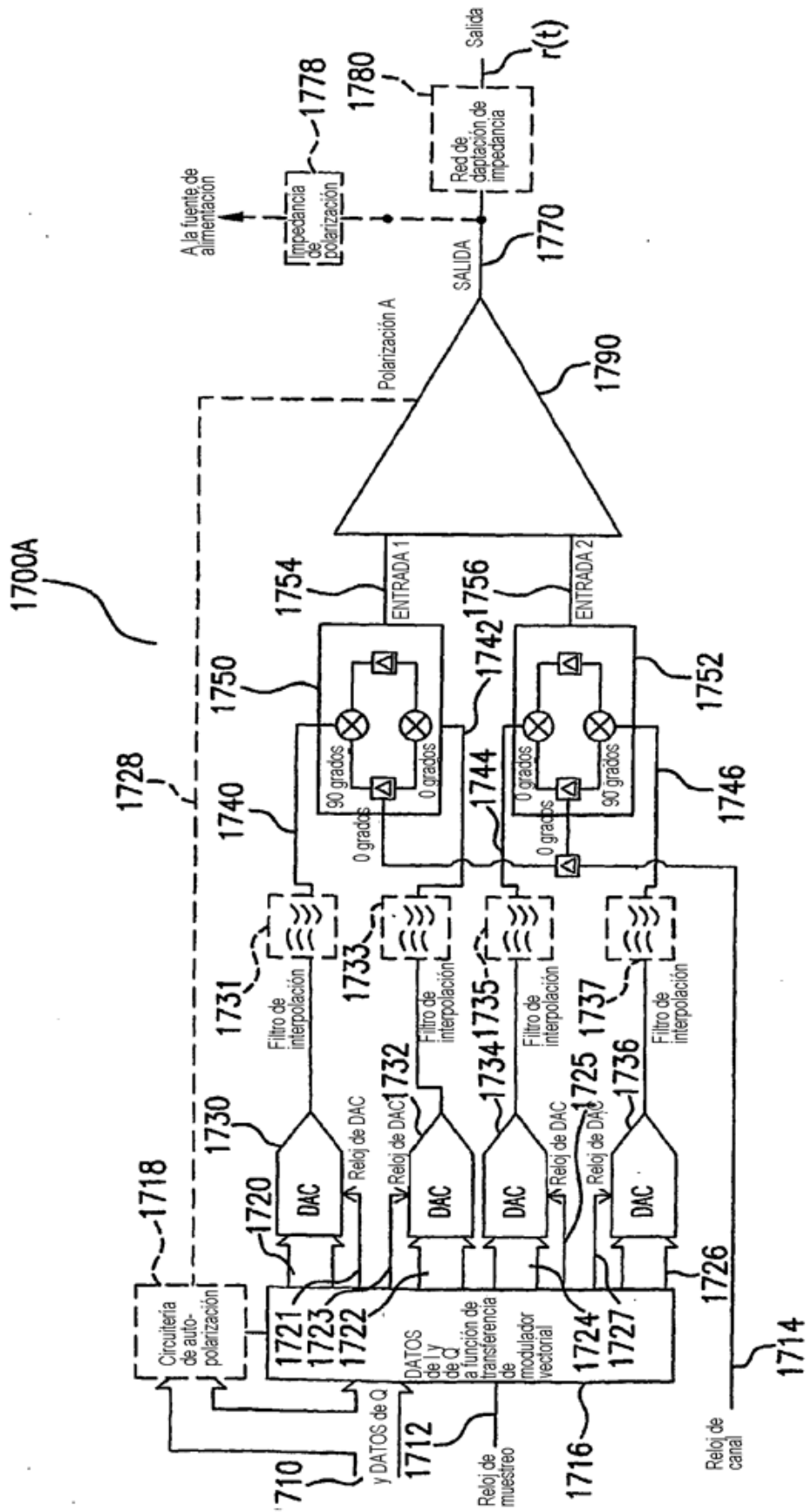


FIG. 17A

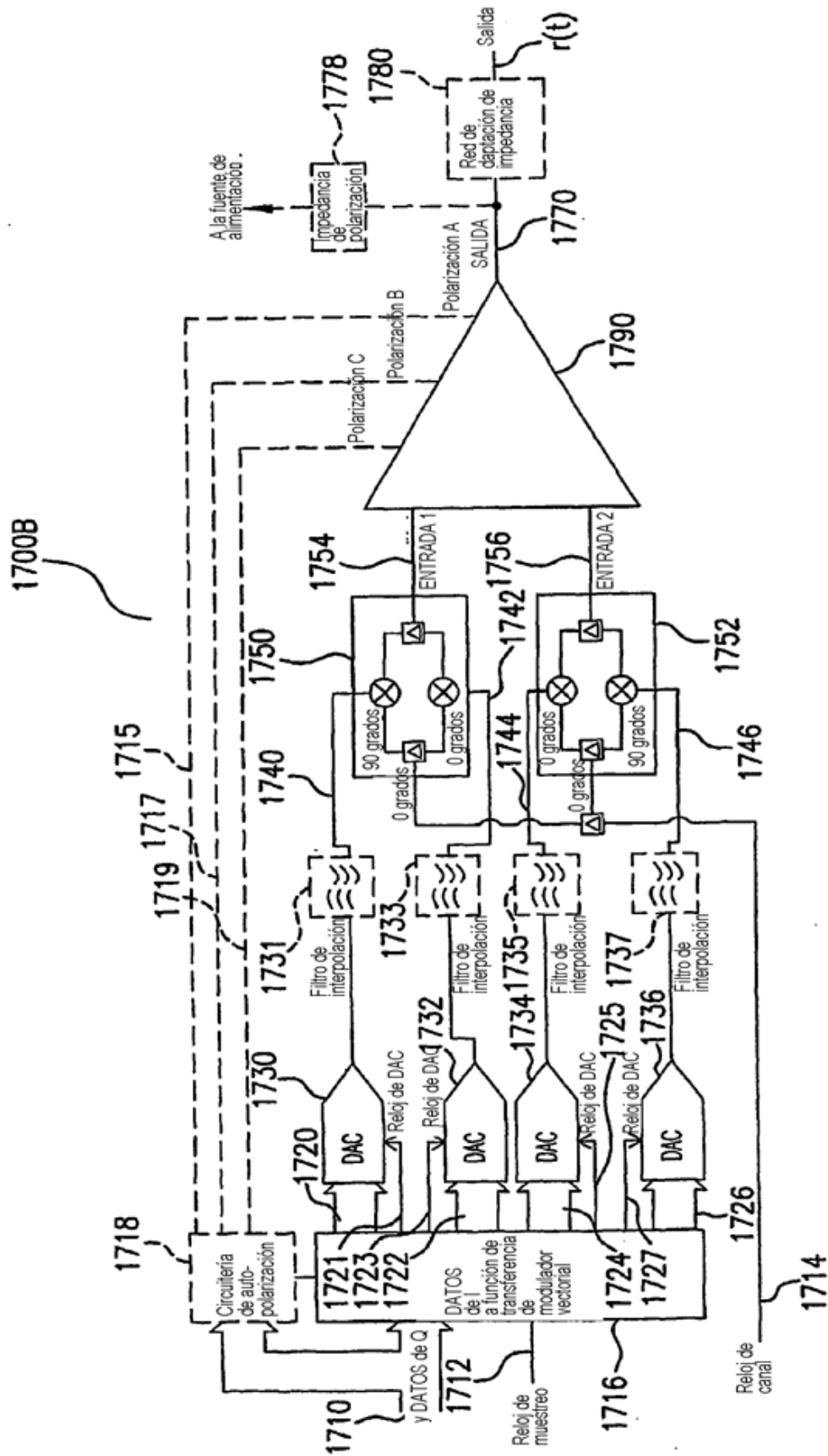


FIG.17B

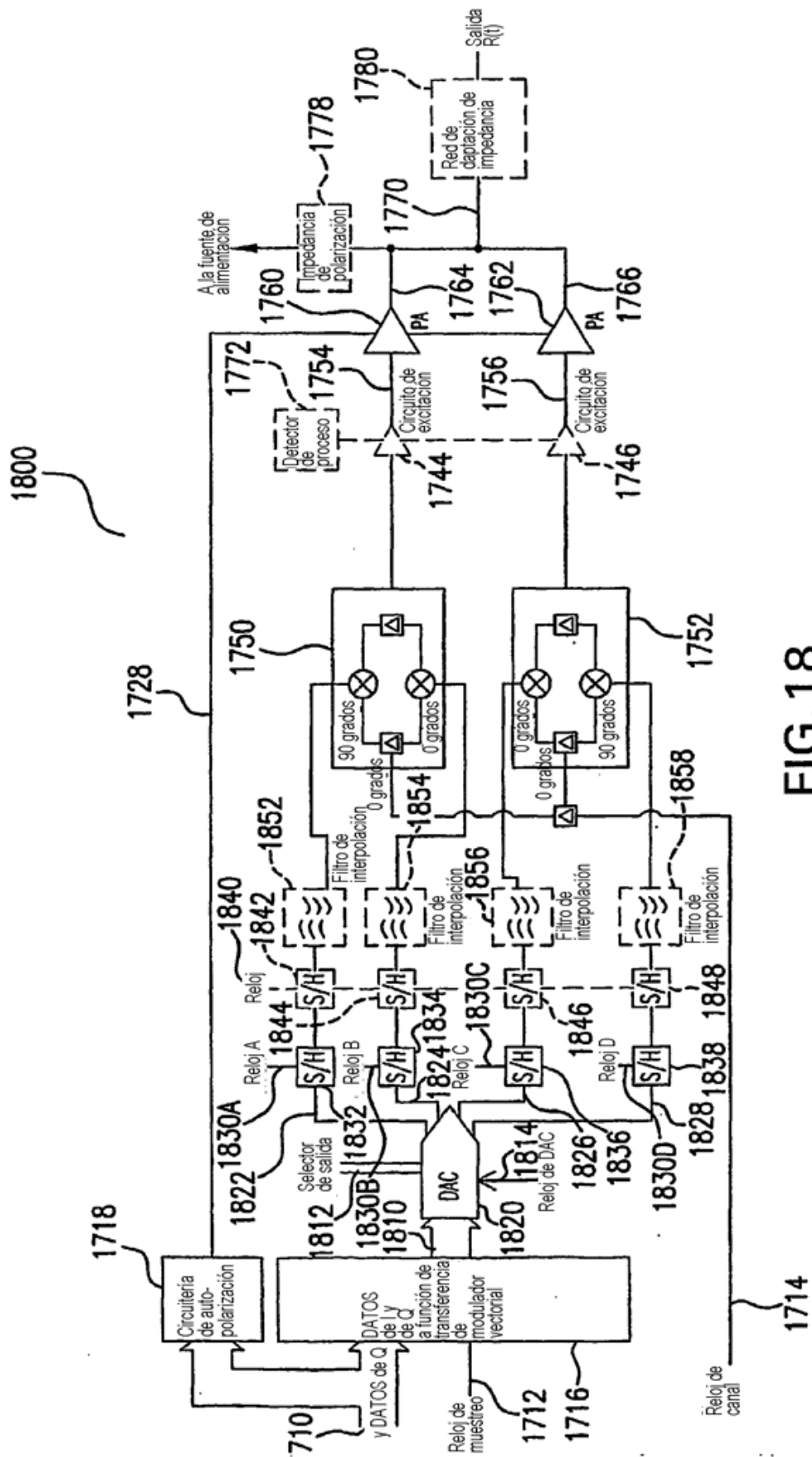


FIG.18

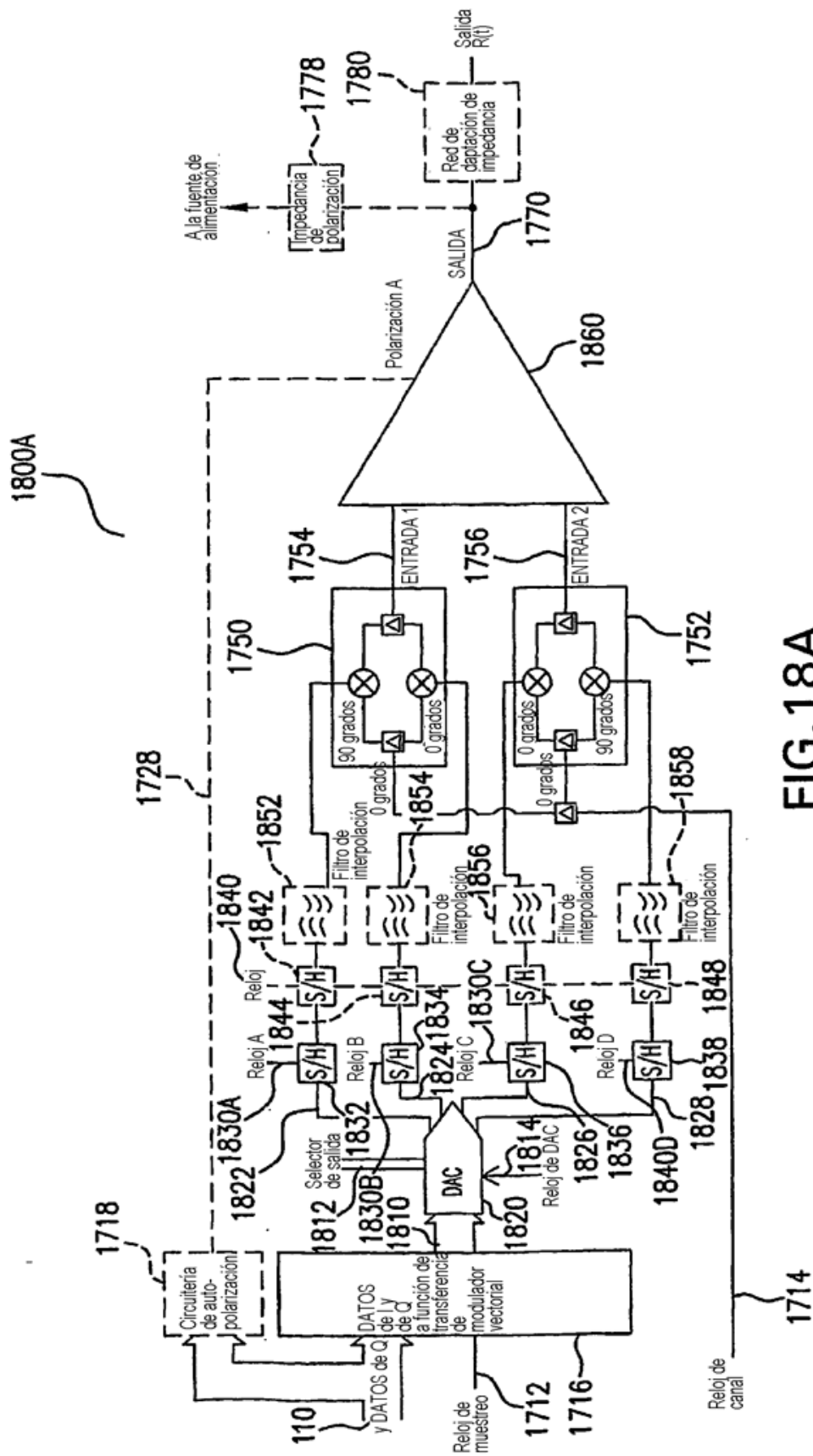
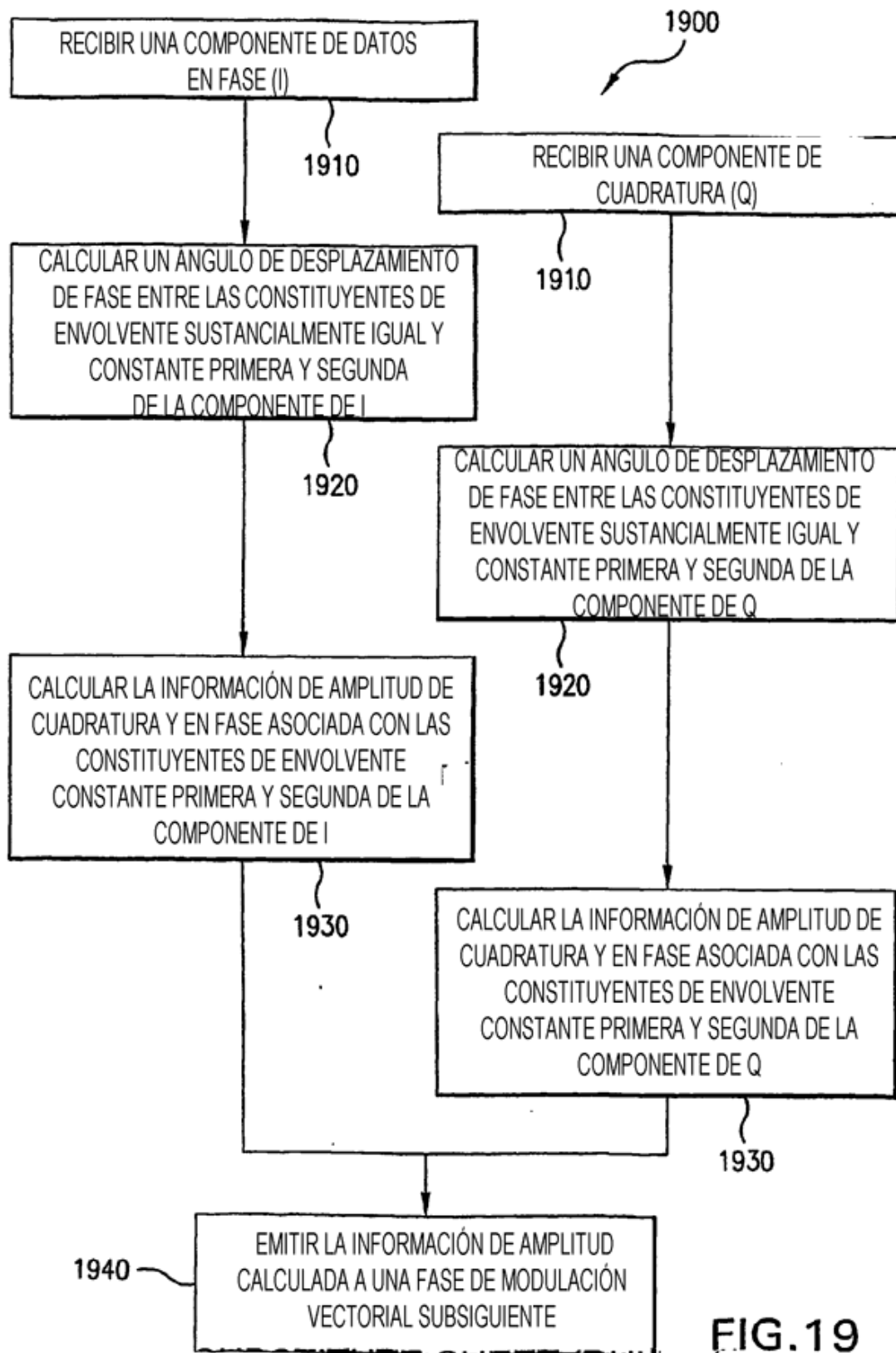


FIG. 18A



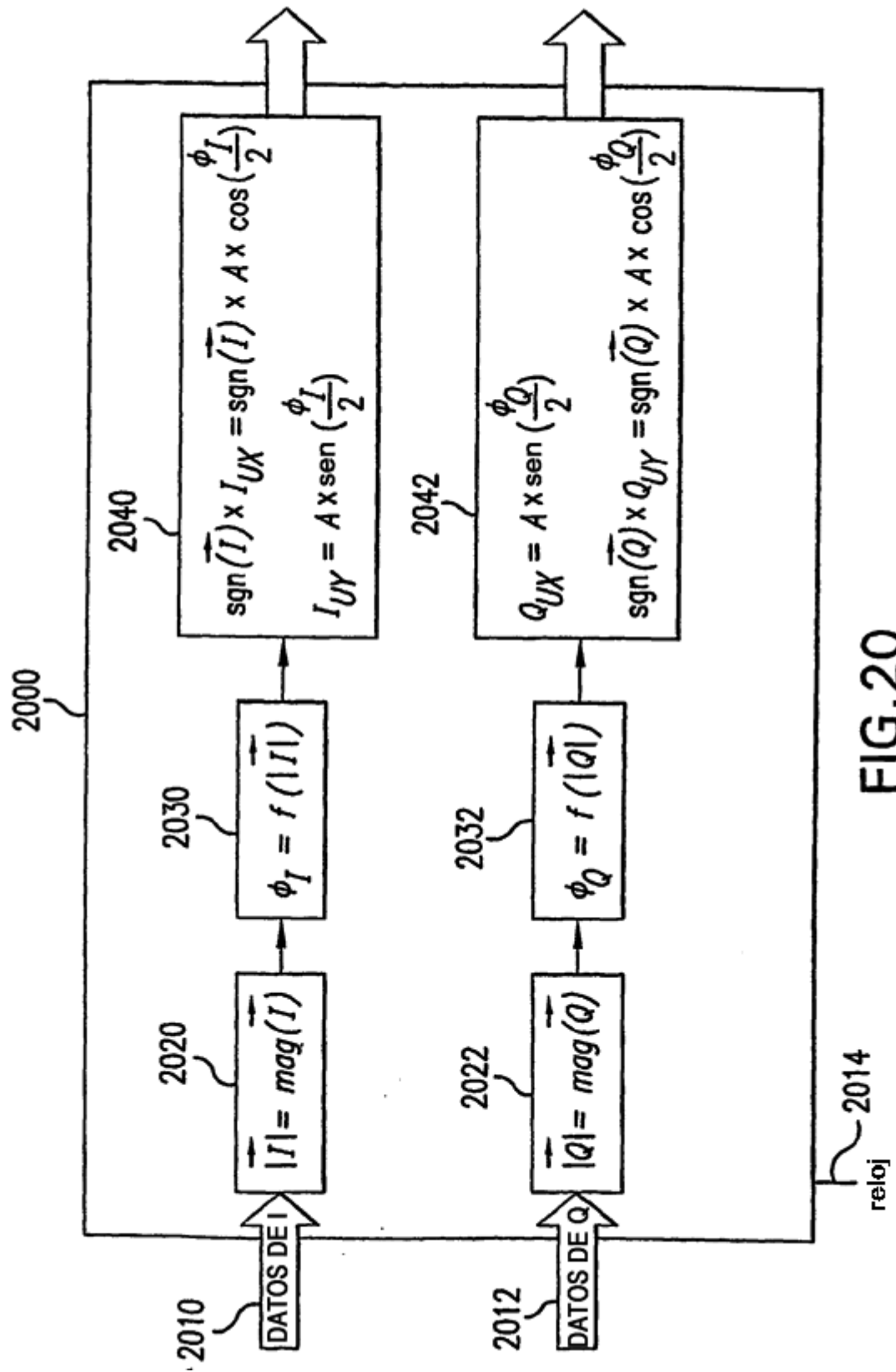
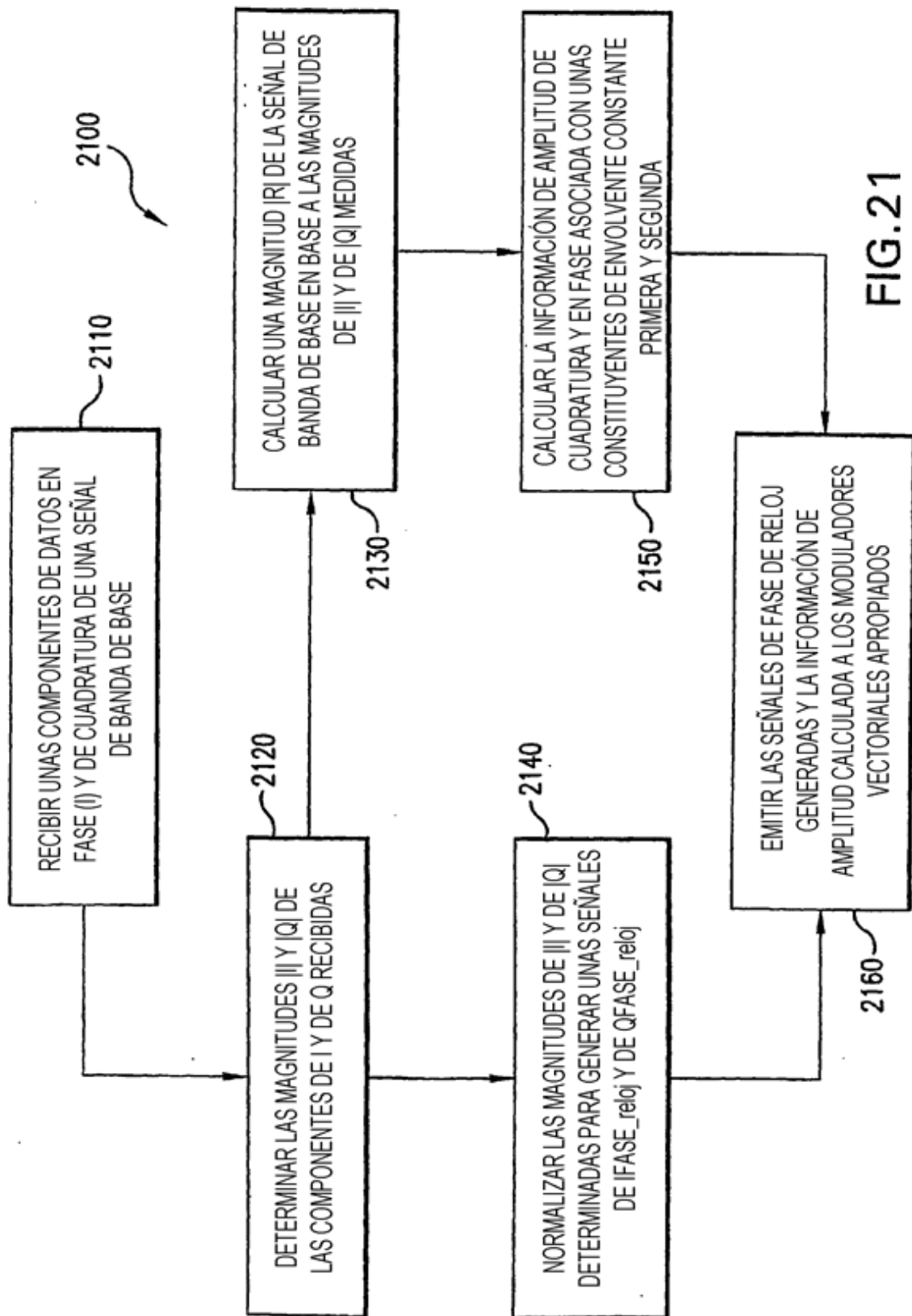


FIG.20



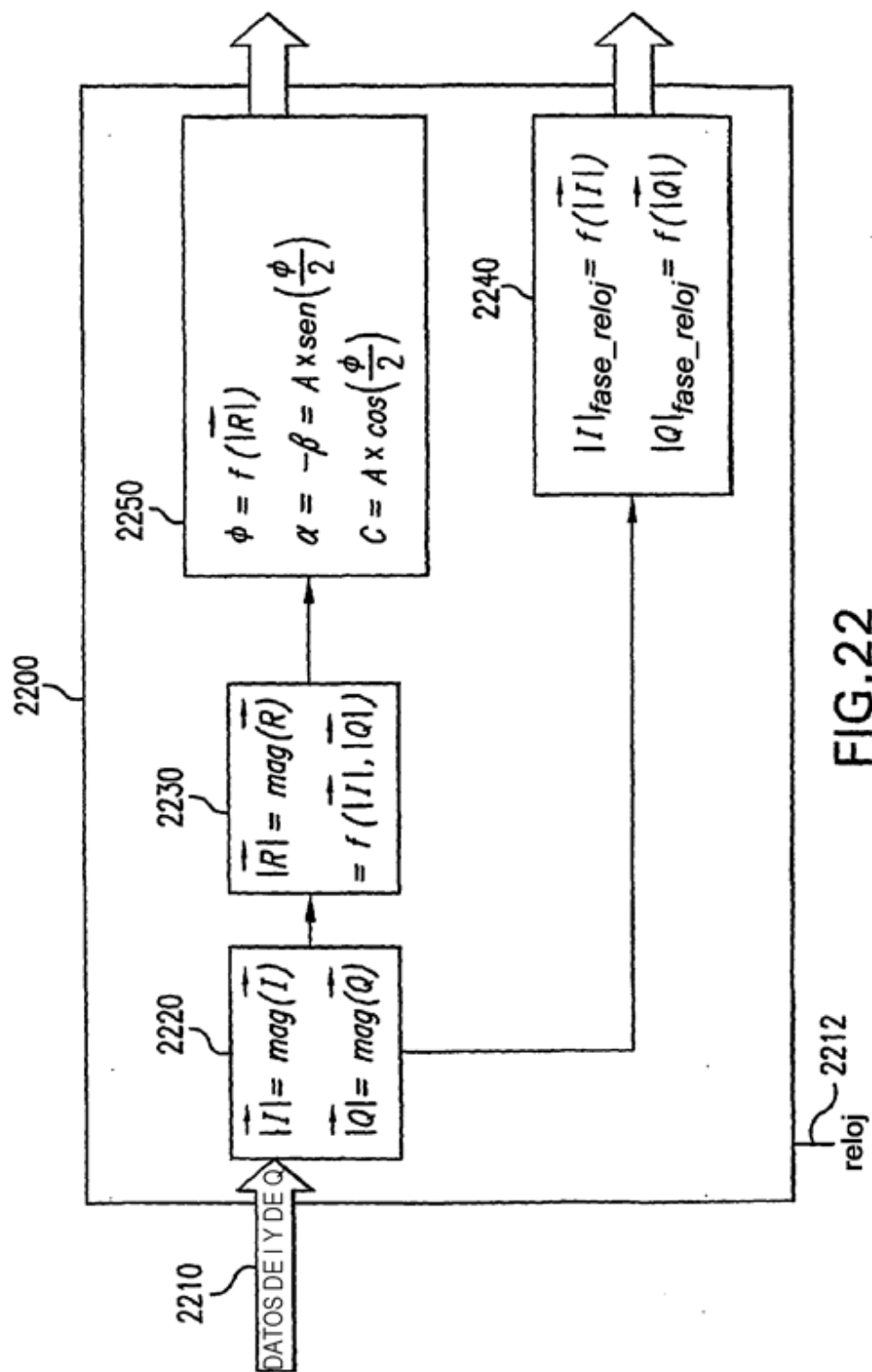
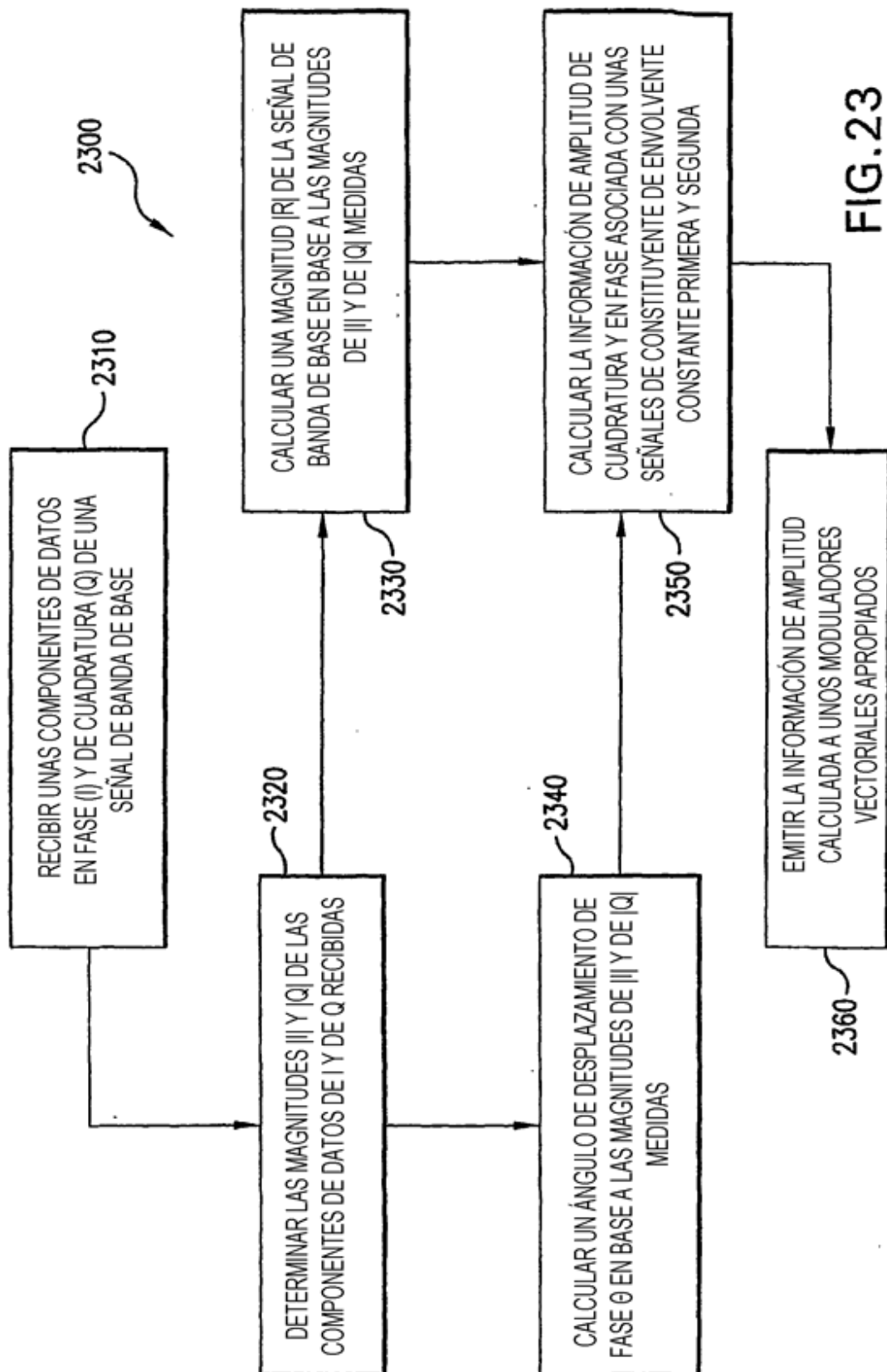
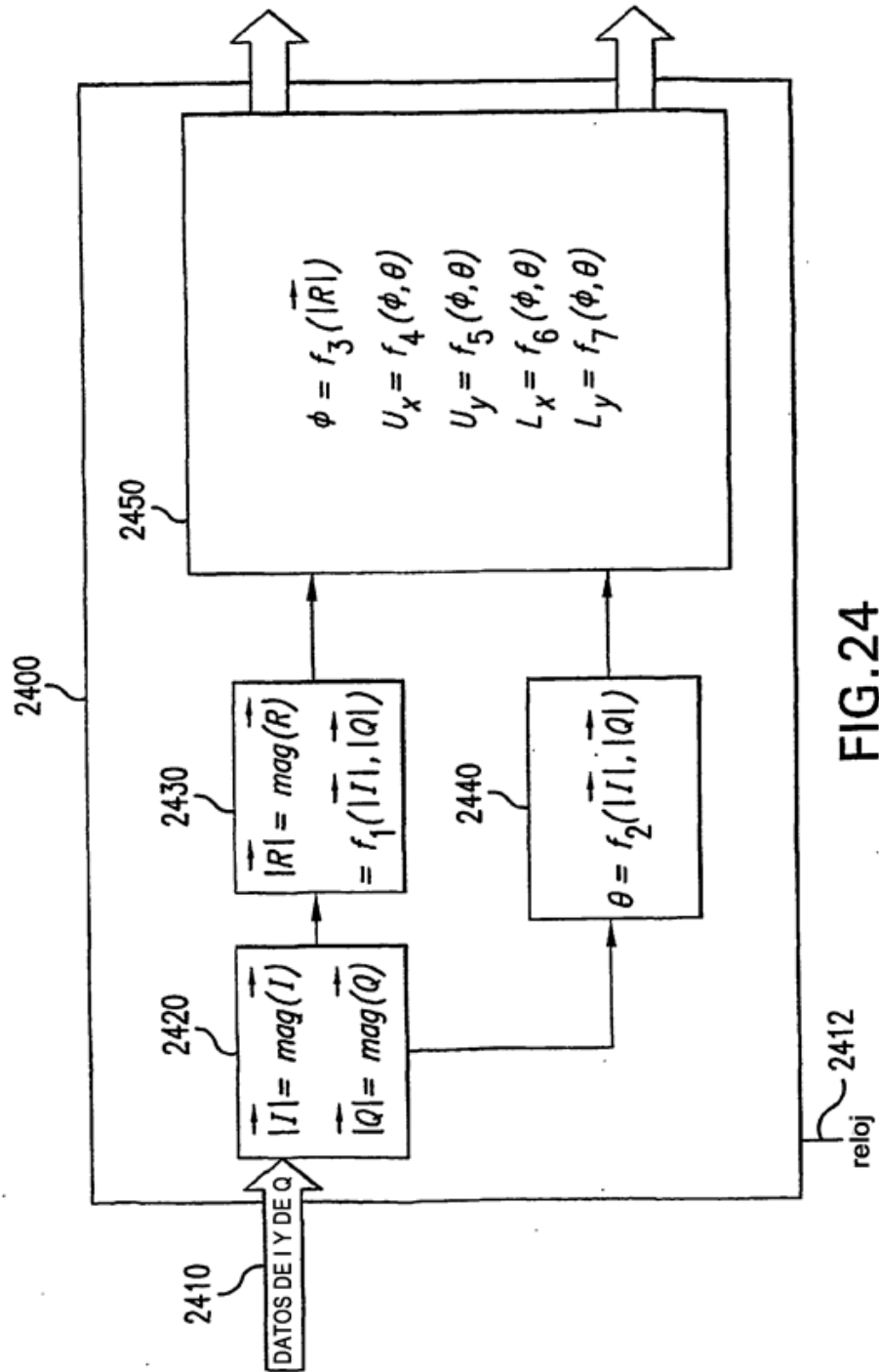


FIG.22





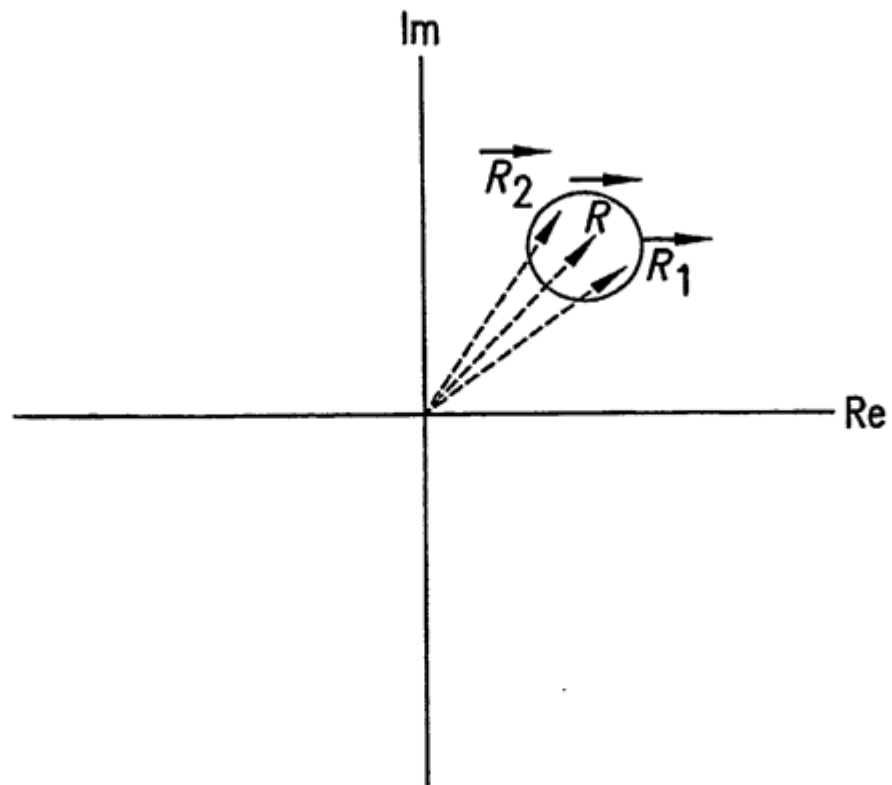


FIG.25

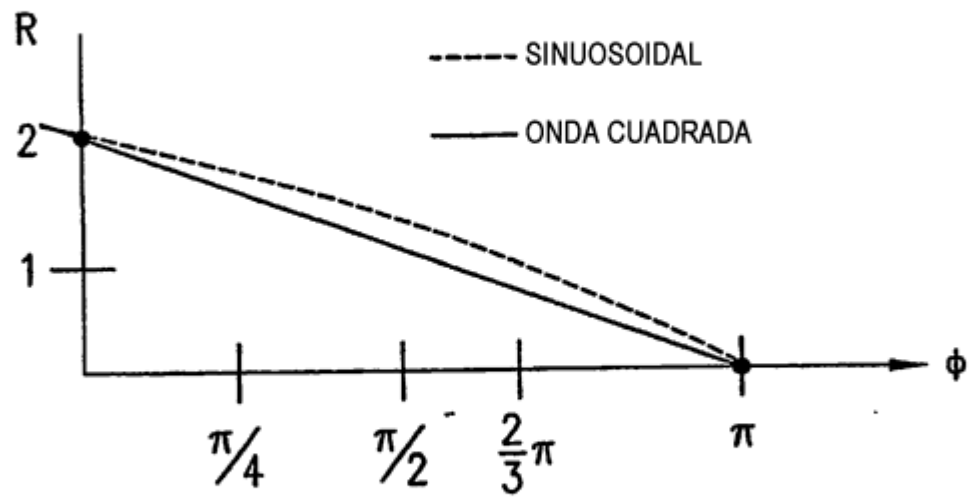


FIG.26

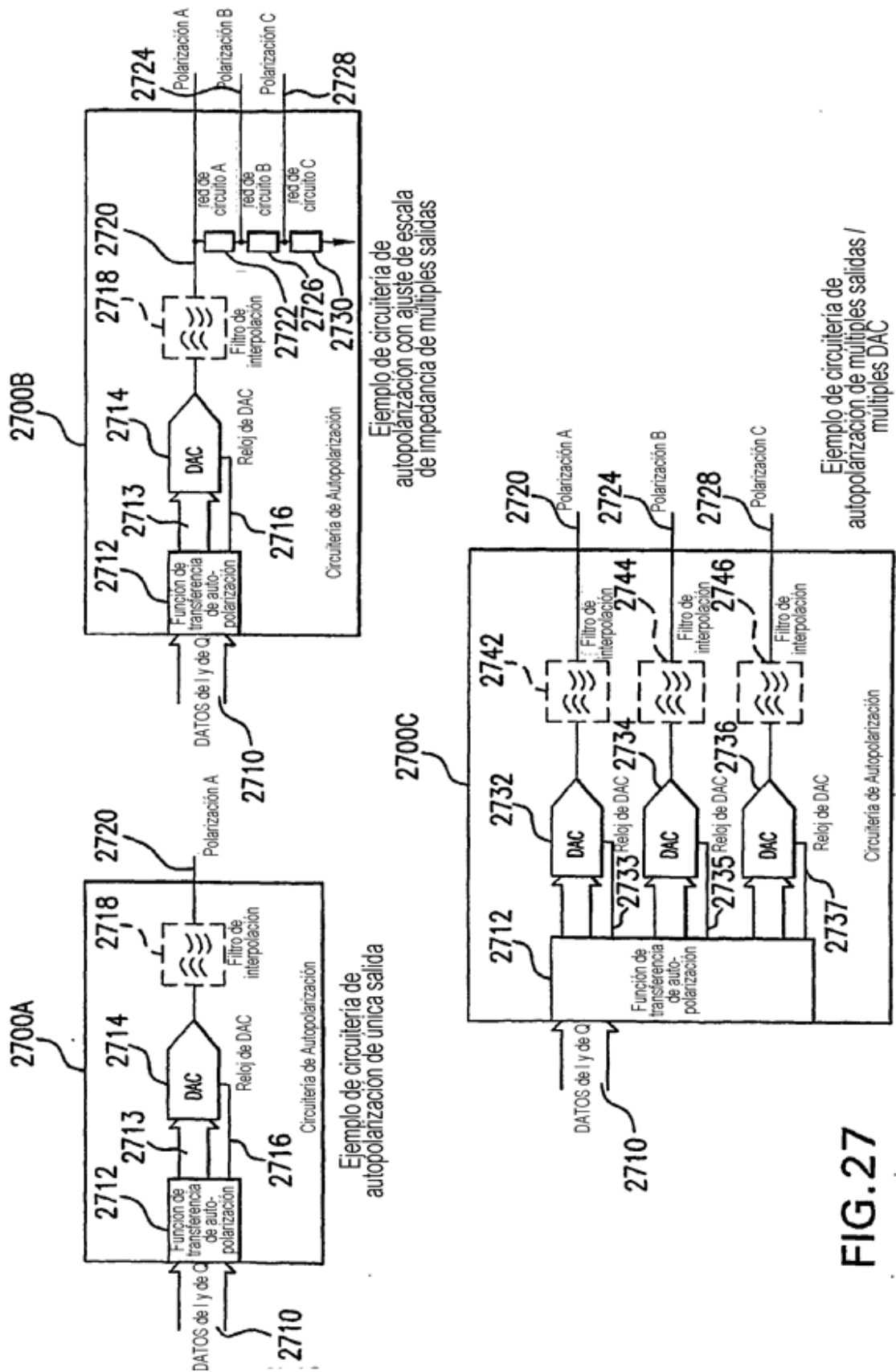


FIG. 27

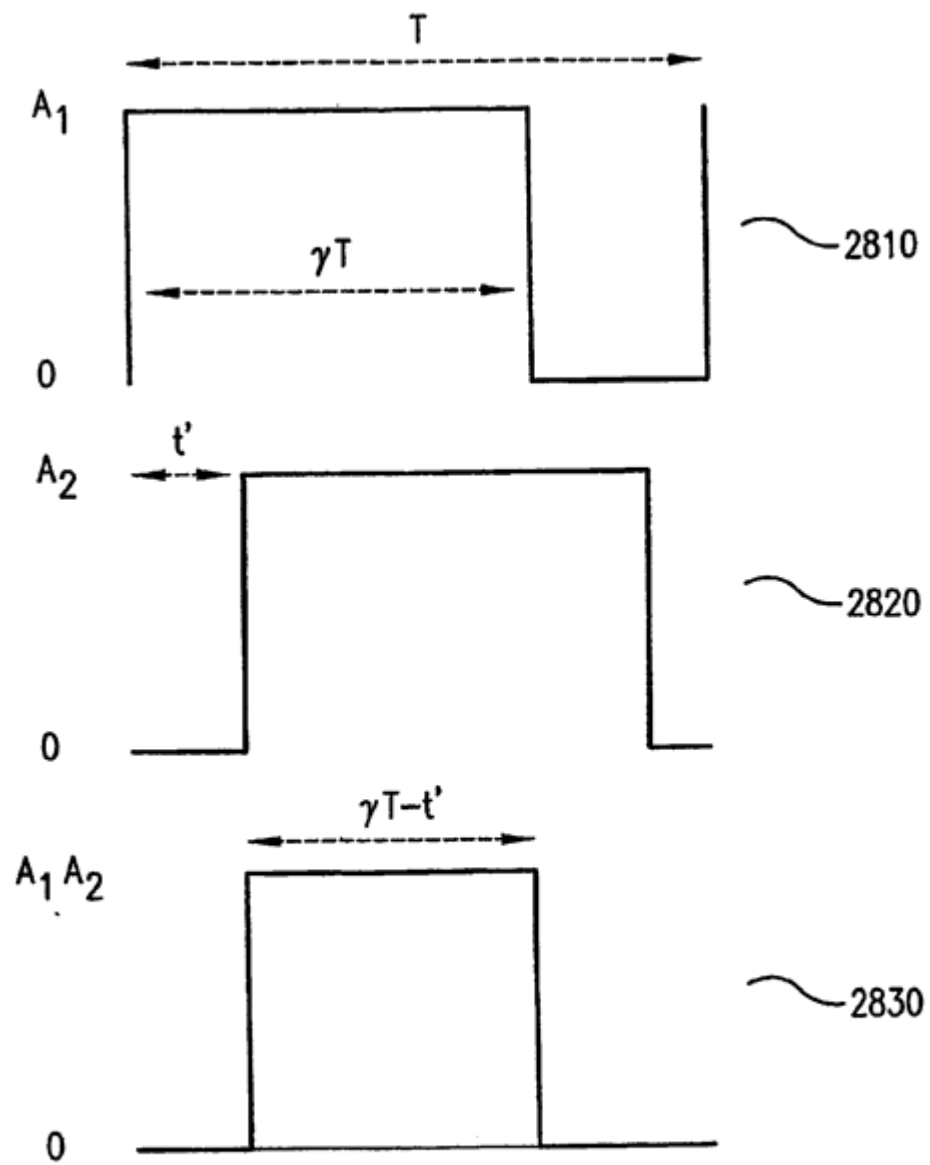


FIG.28

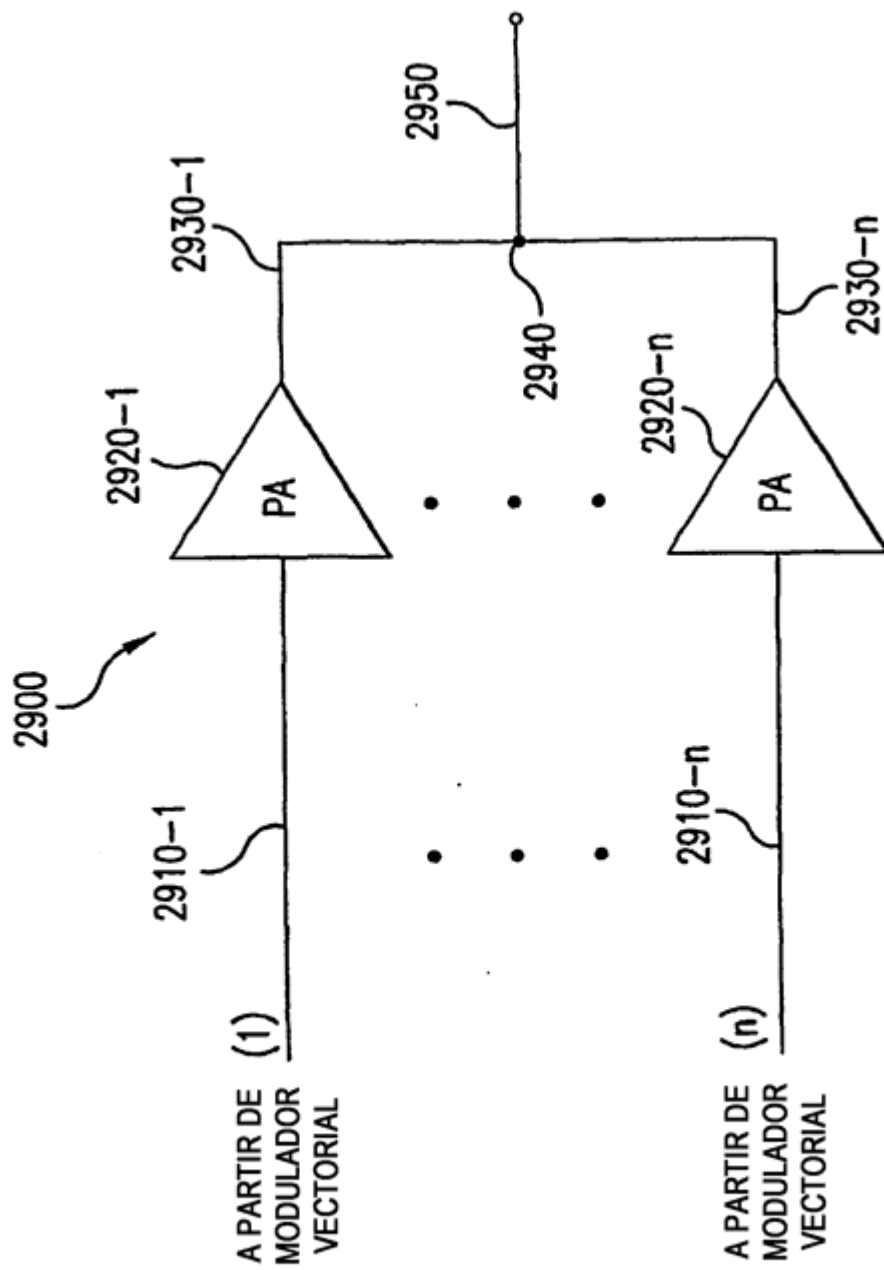


FIG.29

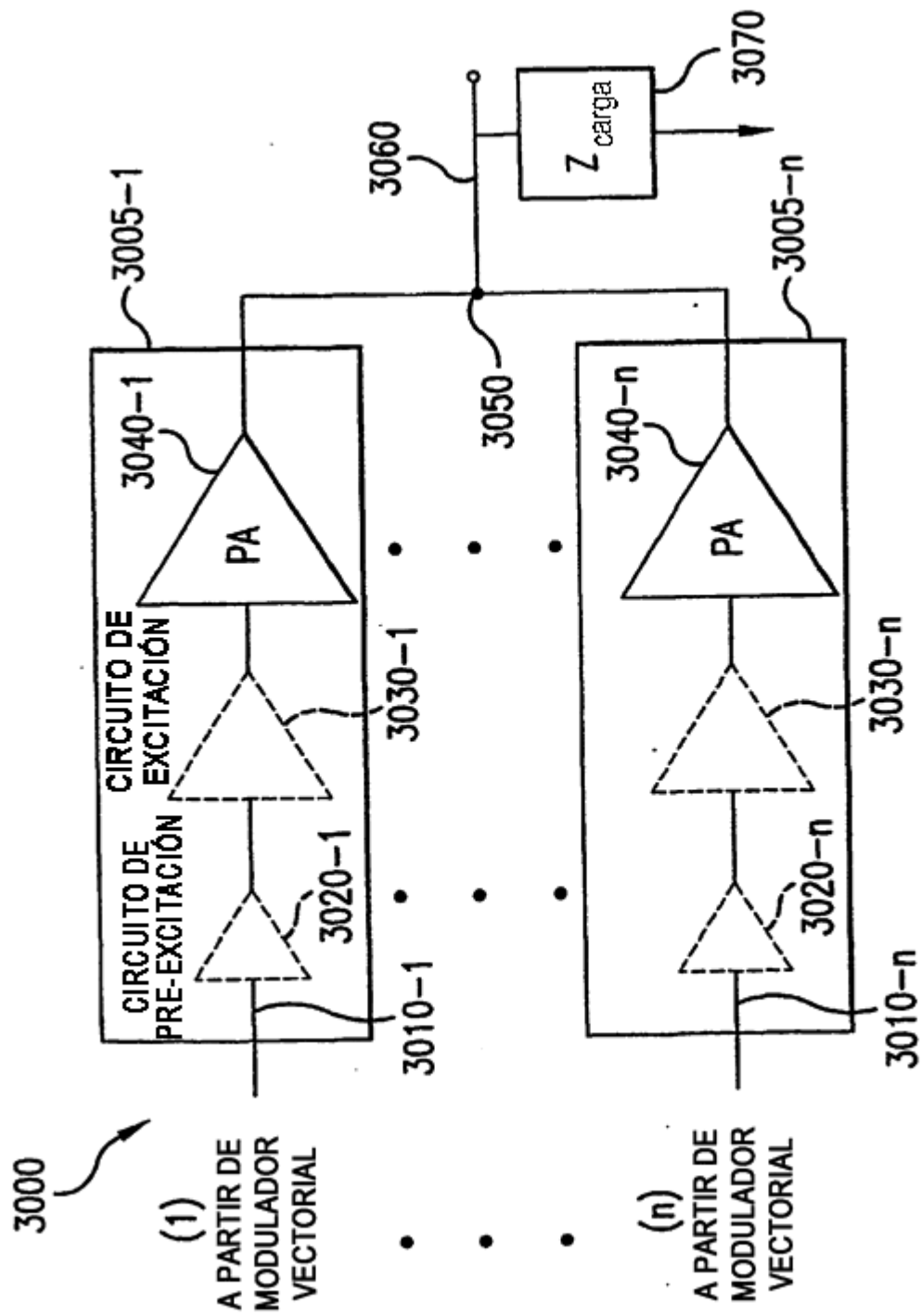


FIG.30

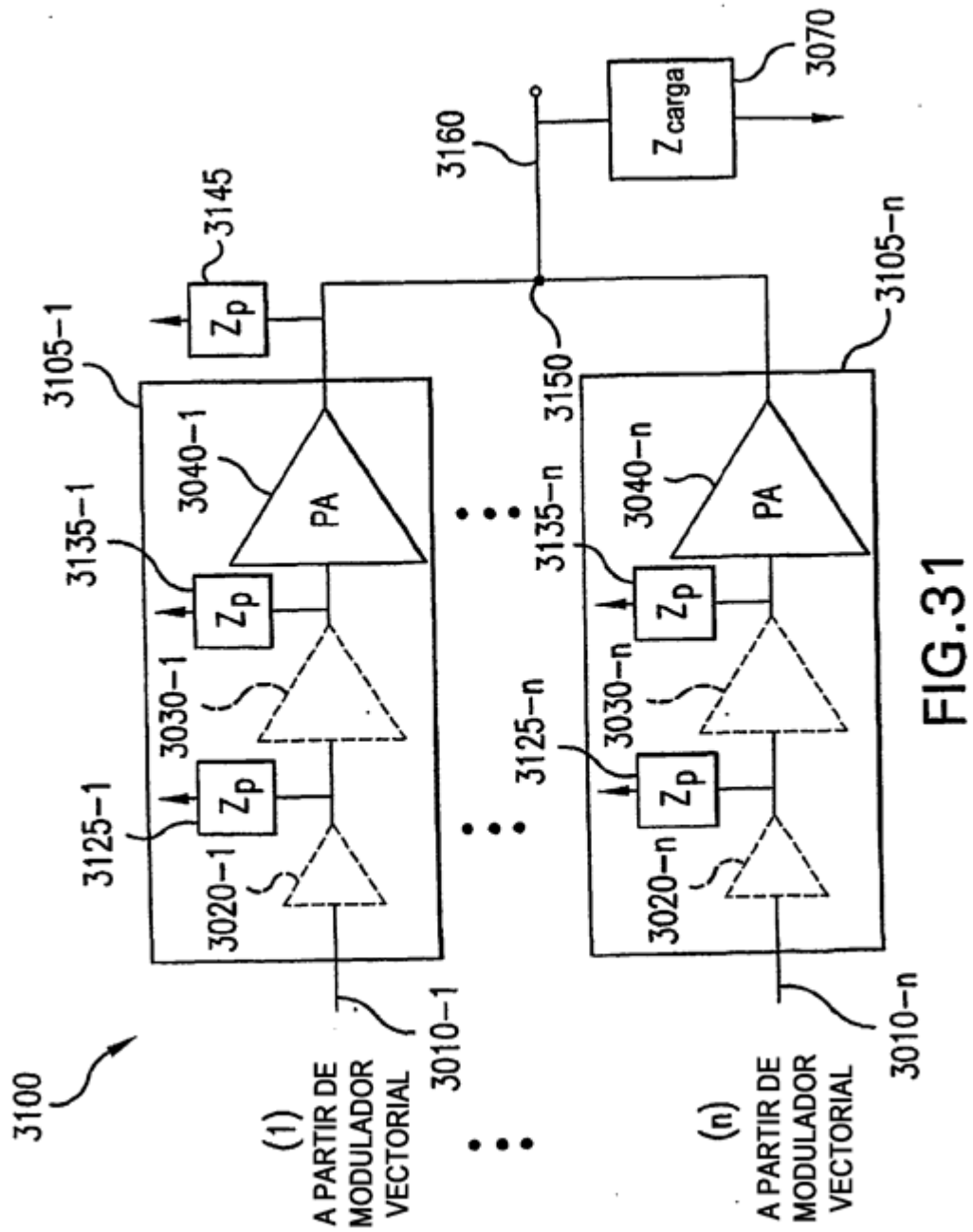


FIG.31

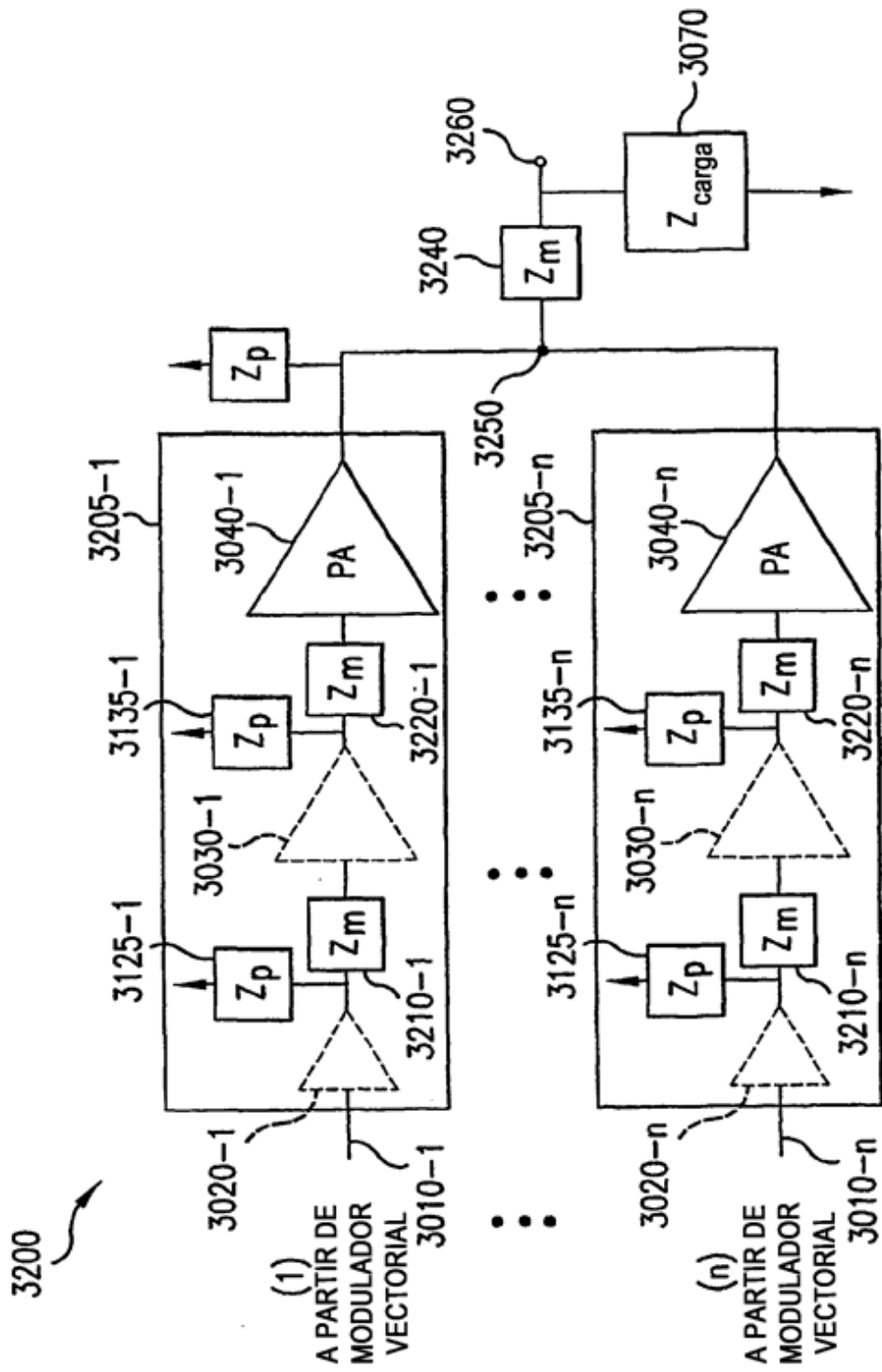


FIG.32

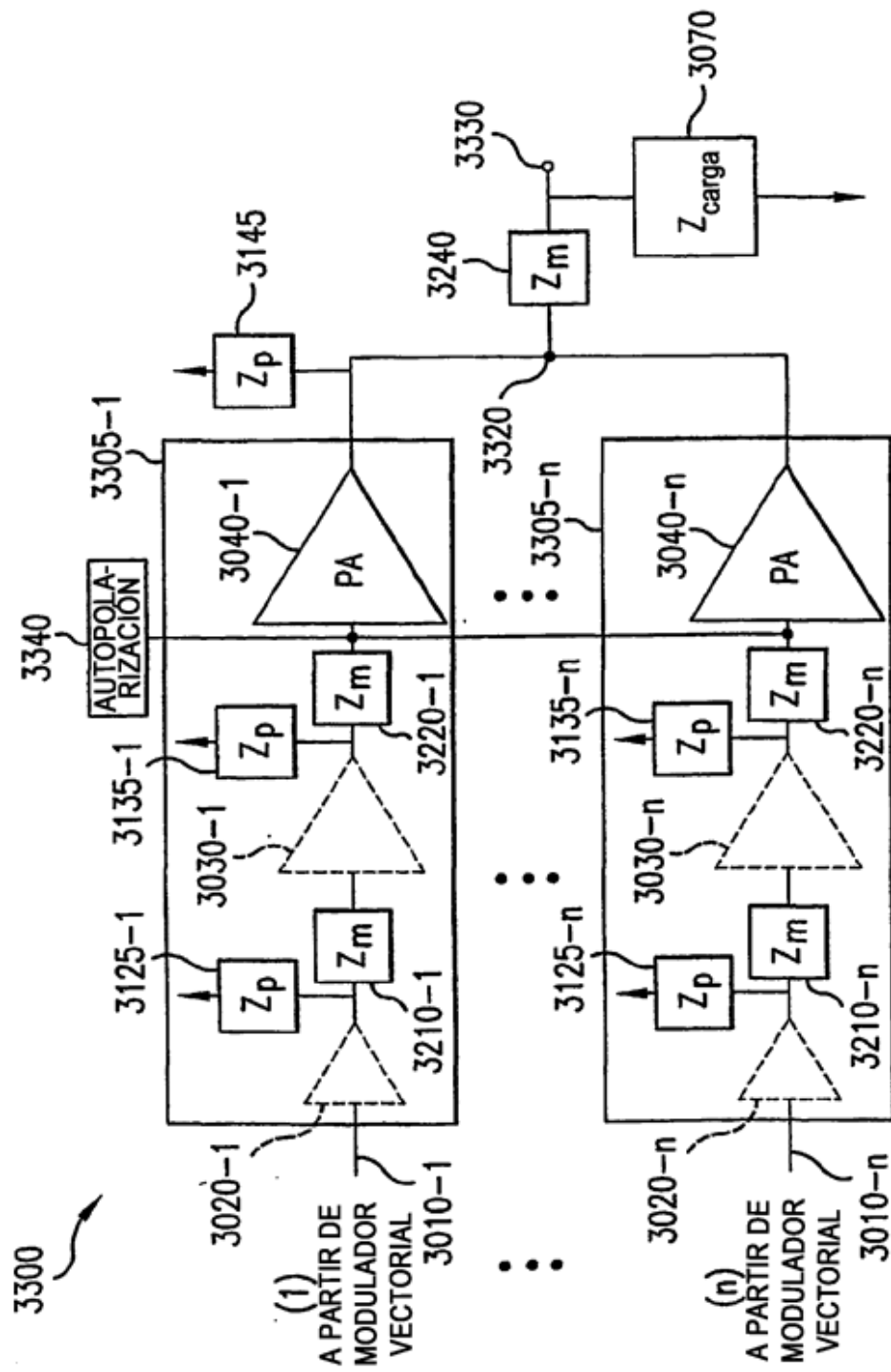


FIG.33

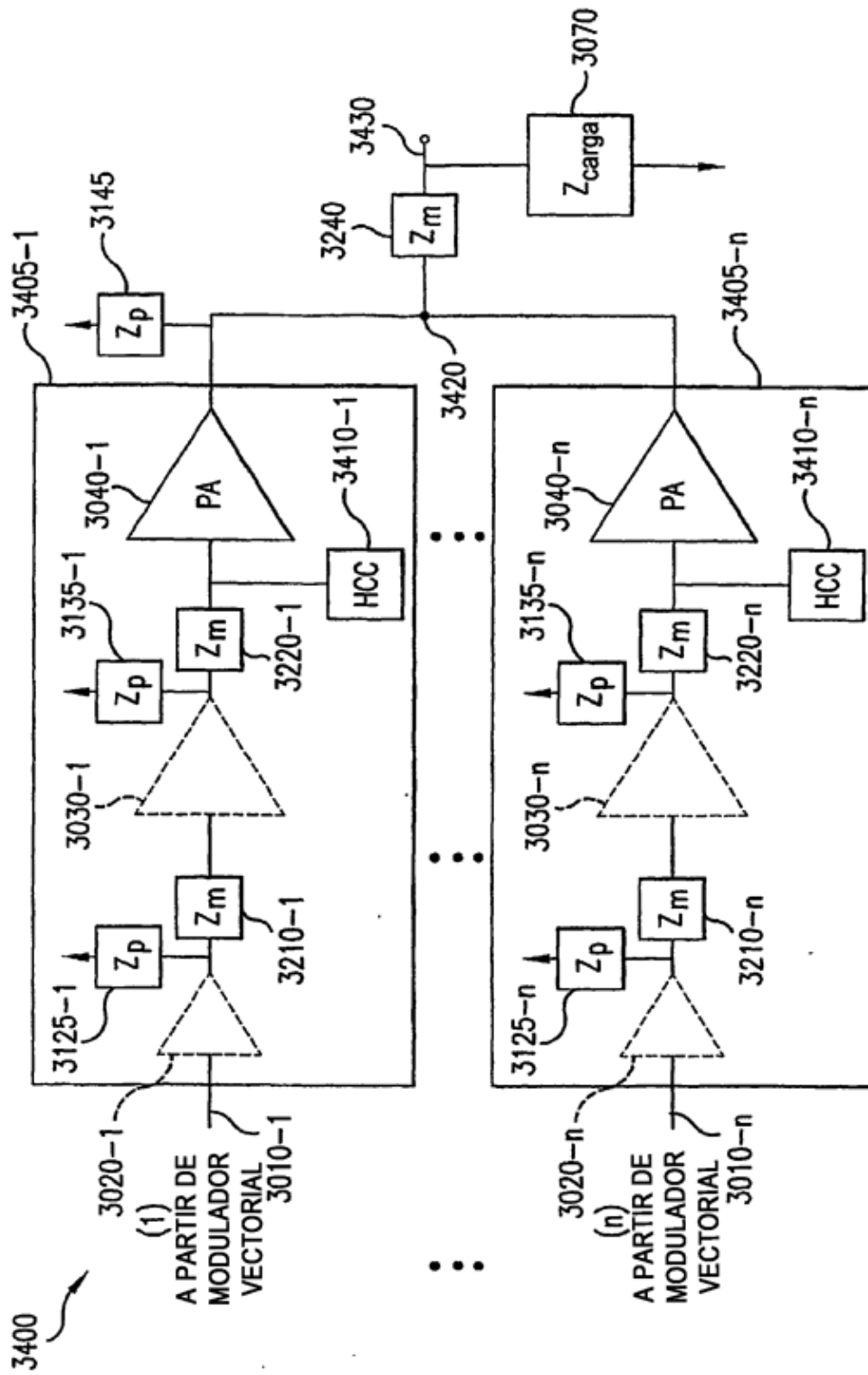


FIG.34

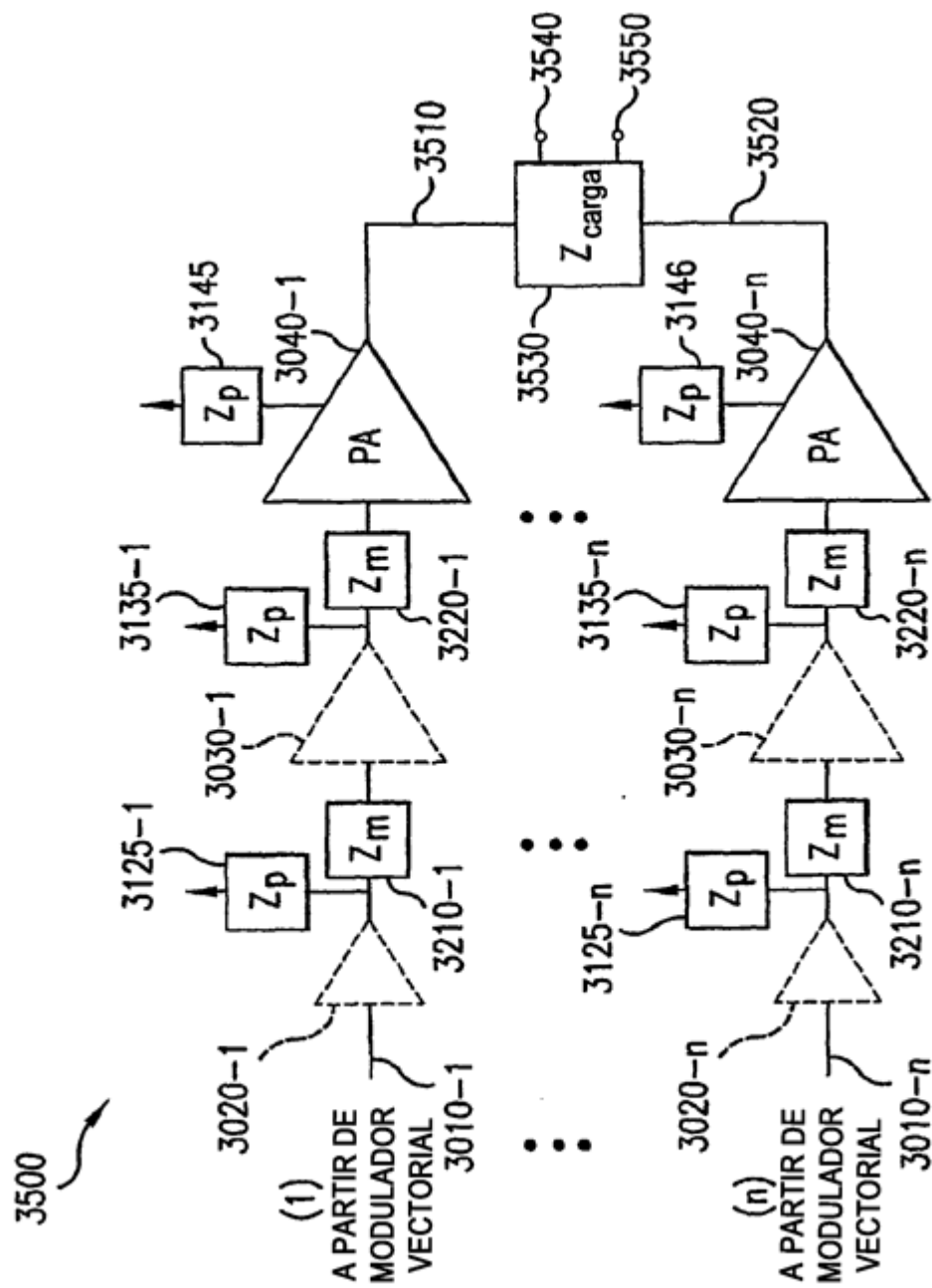


FIG.35

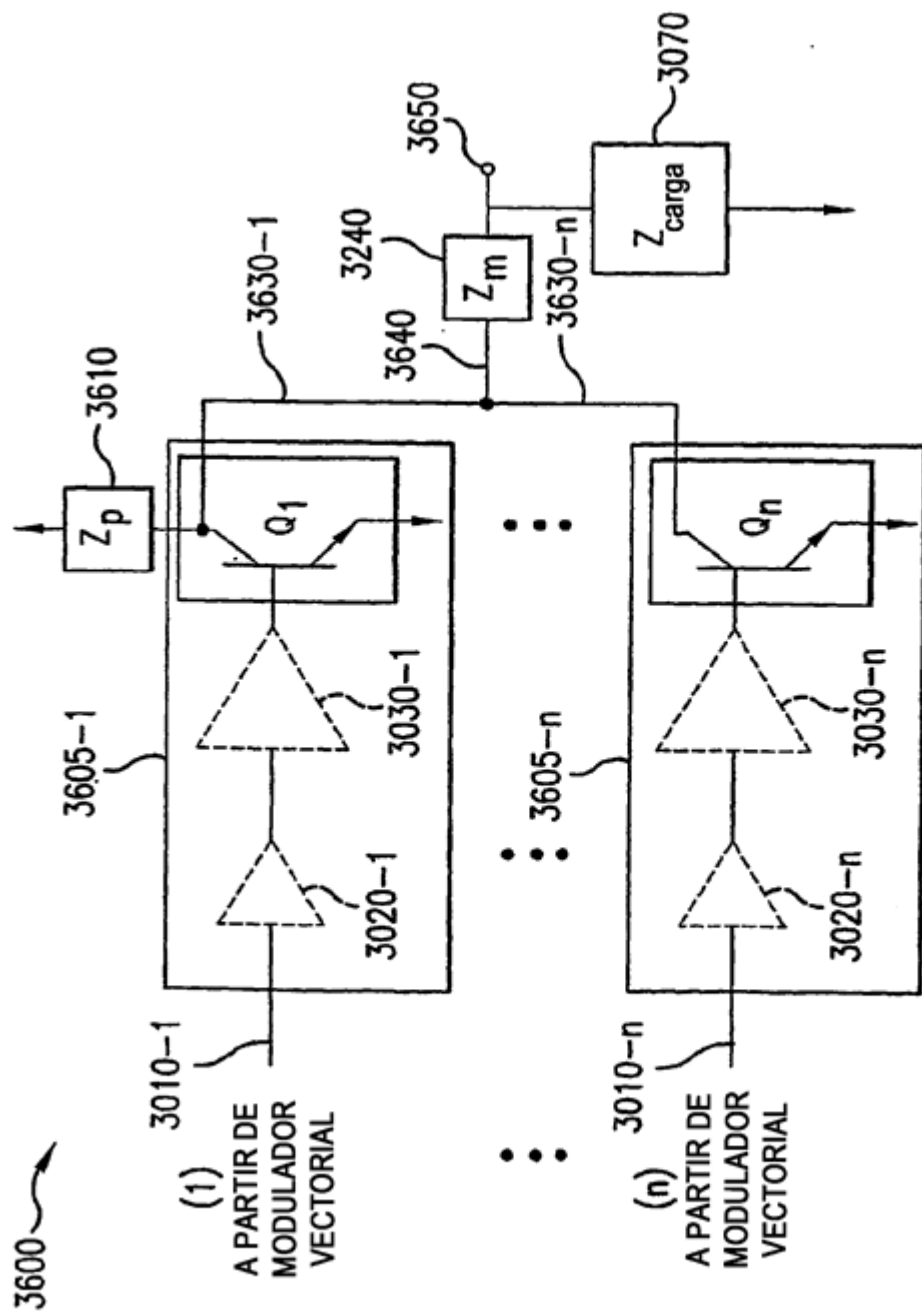


FIG.36

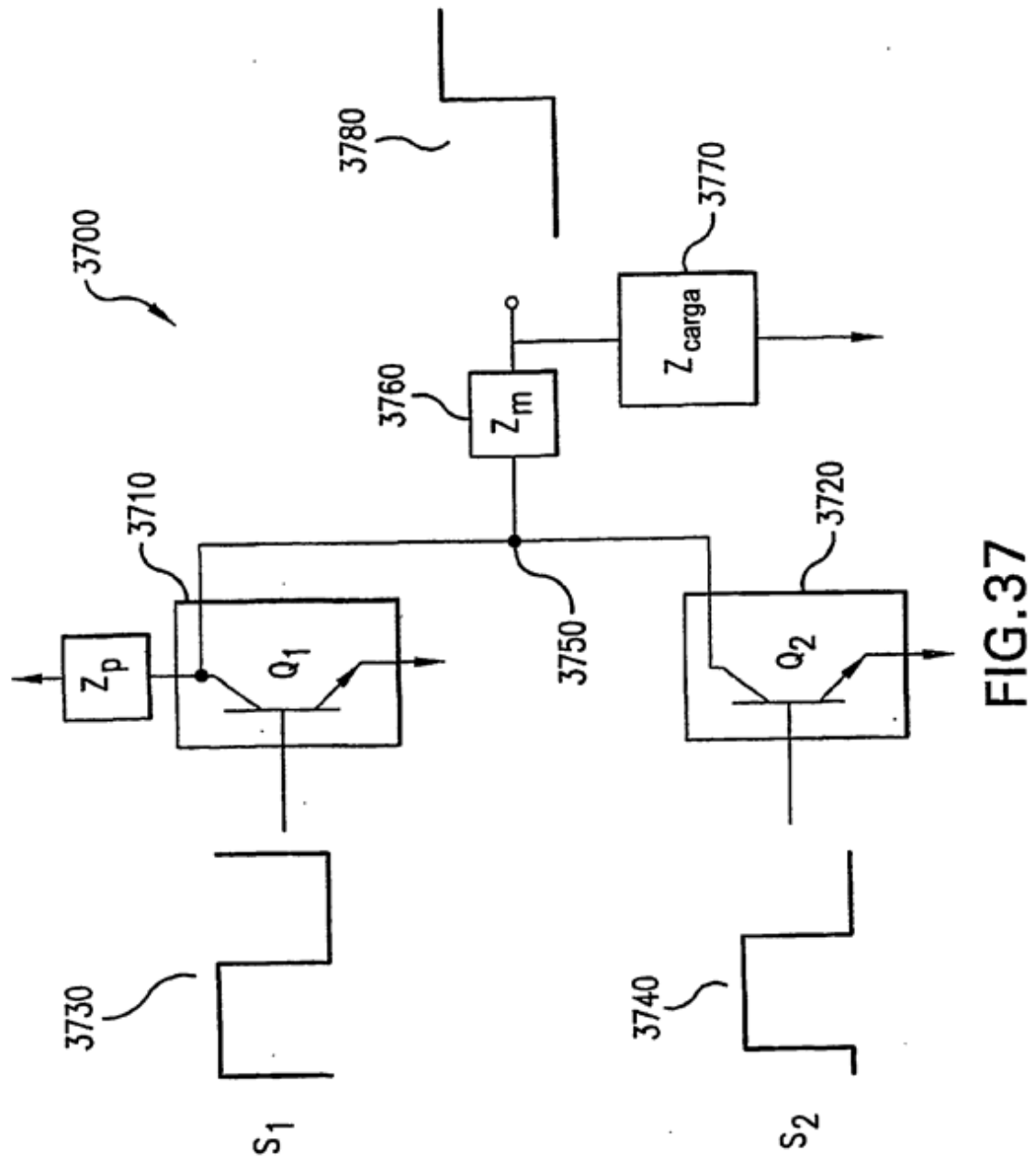


FIG.37

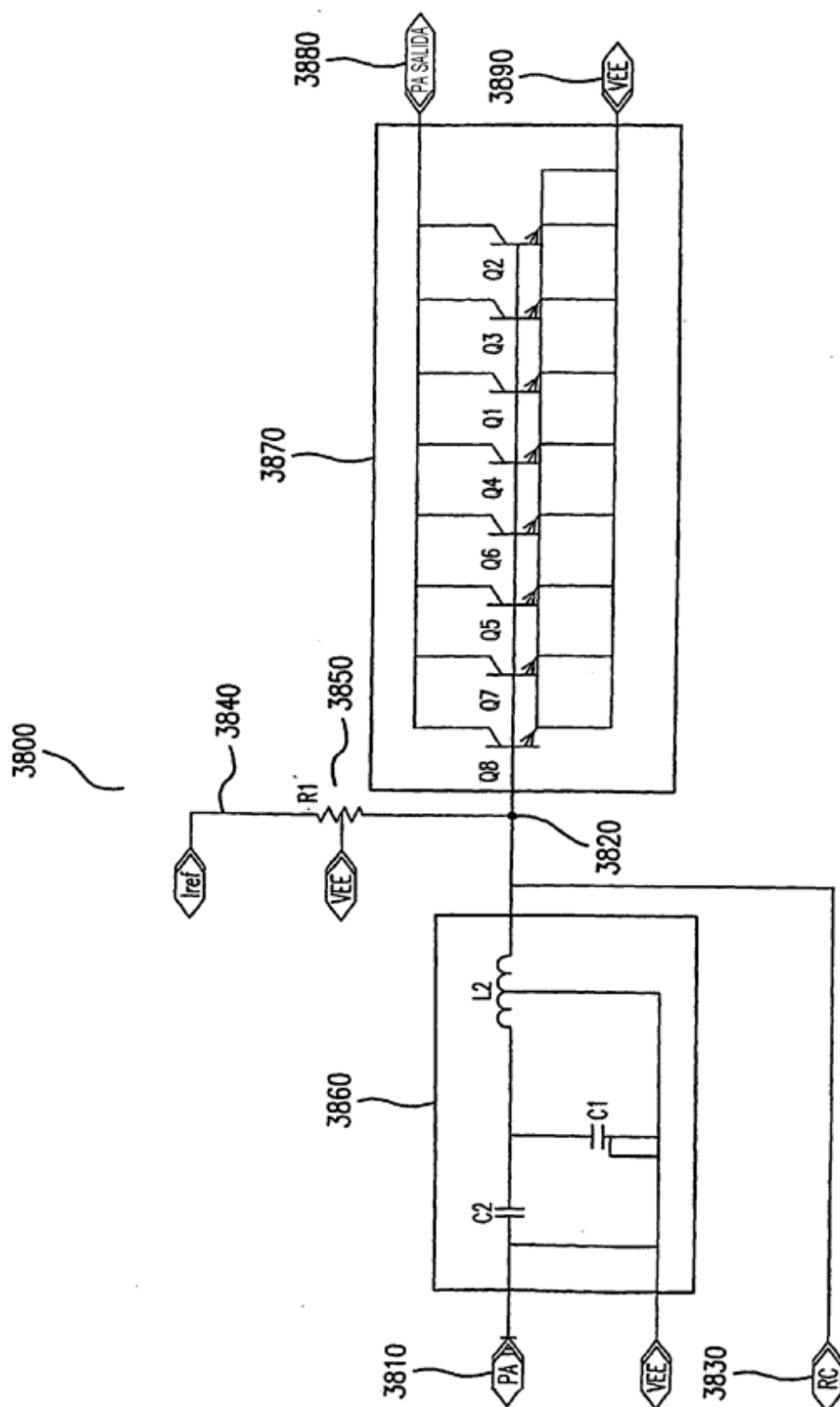


FIG. 38

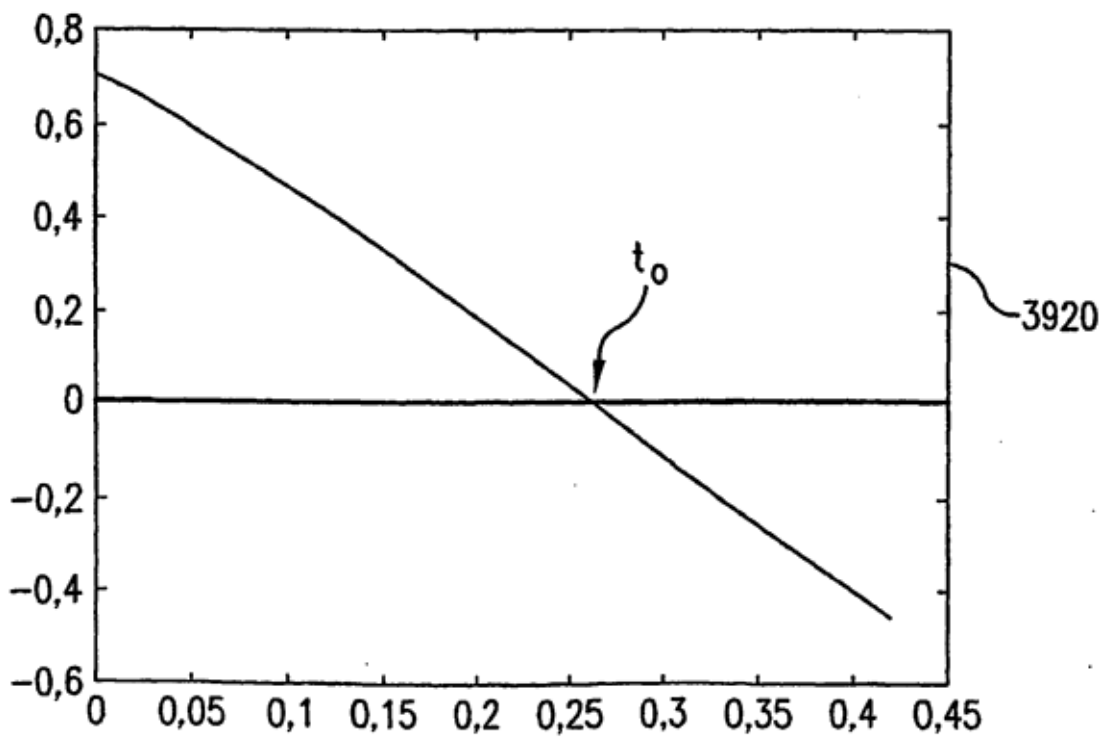
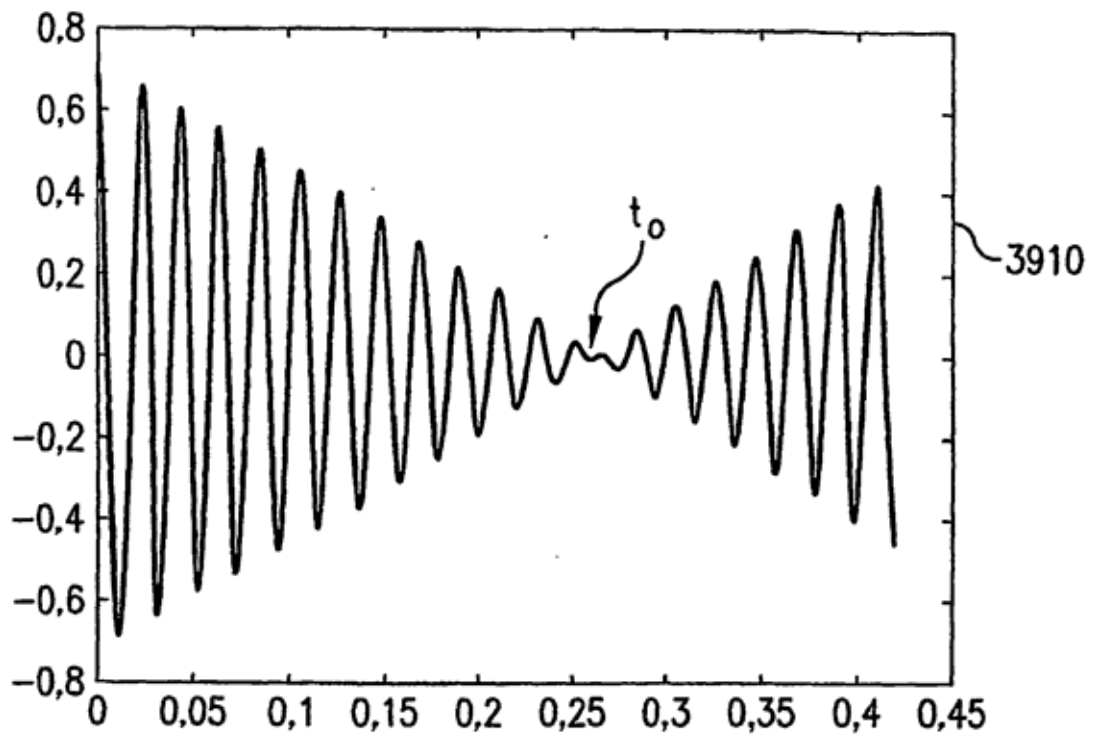


FIG.39

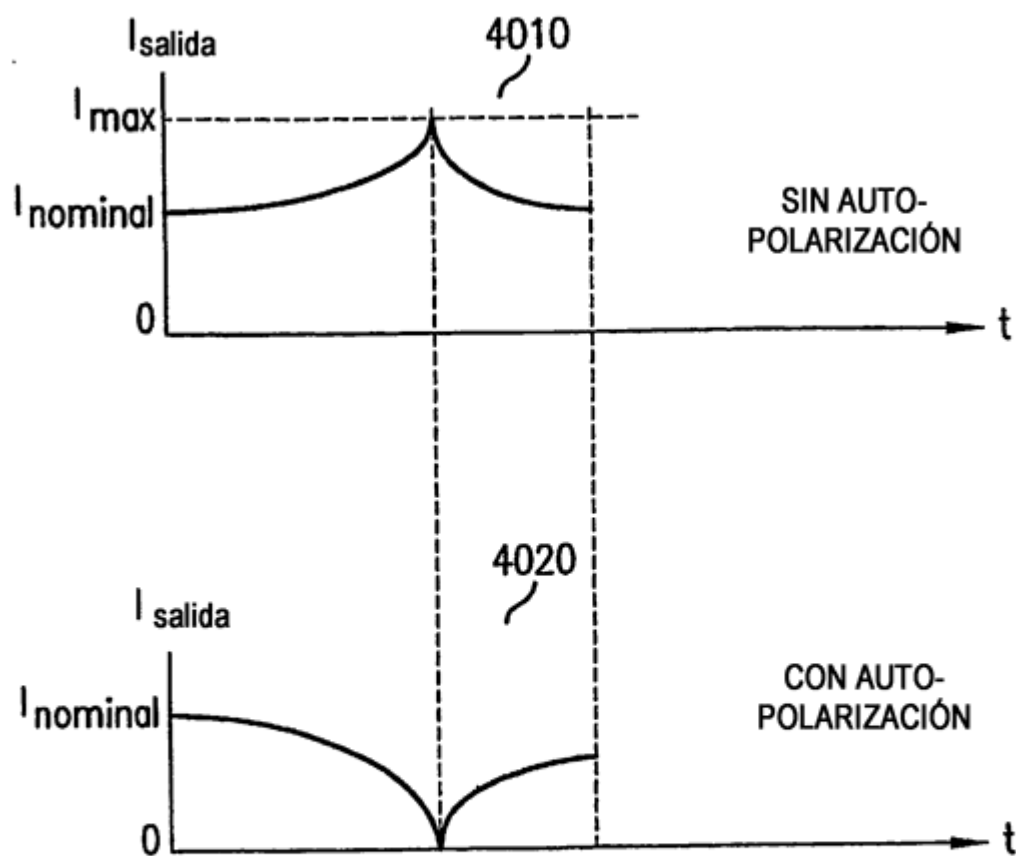


FIG.40

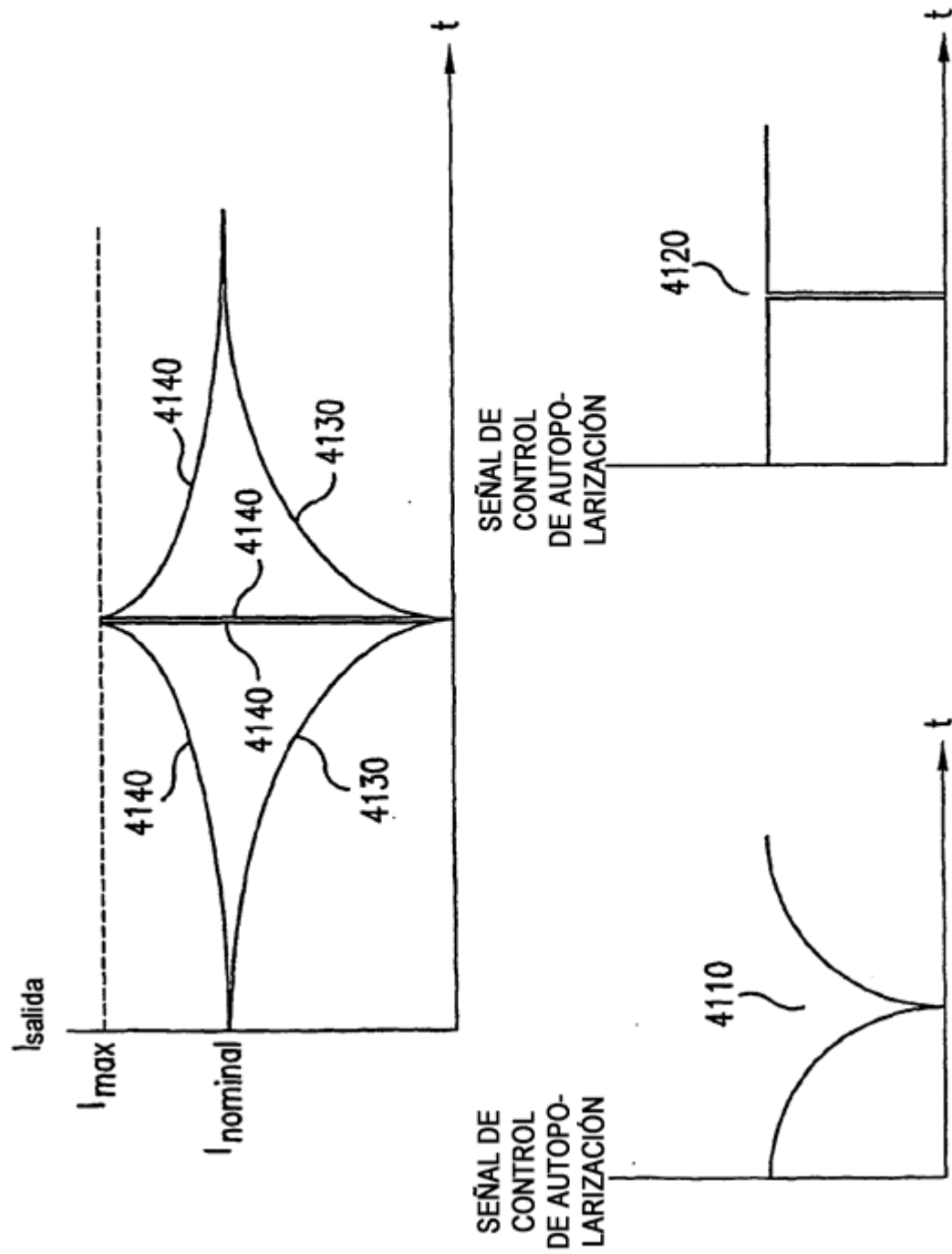


FIG. 41

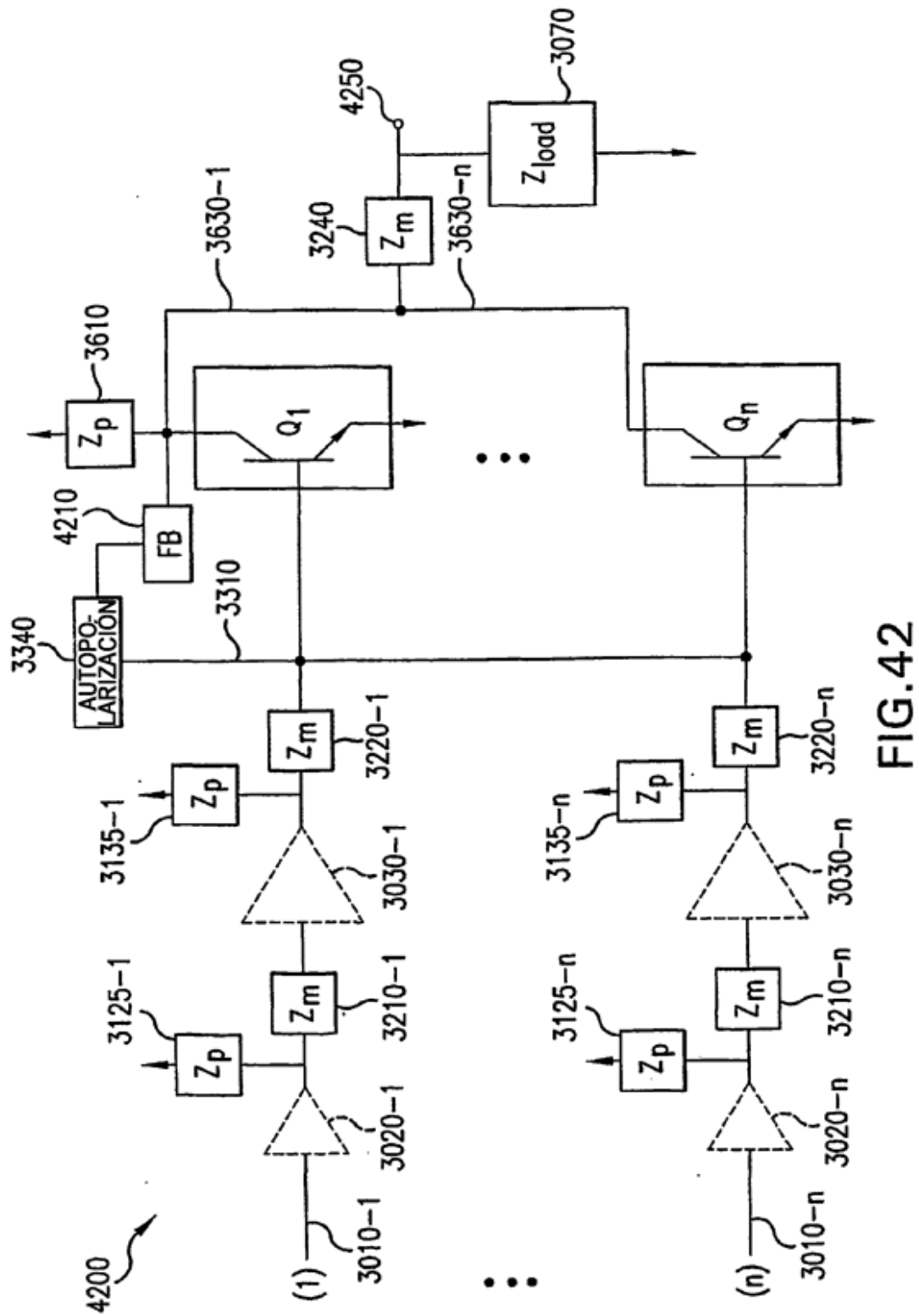


FIG.42

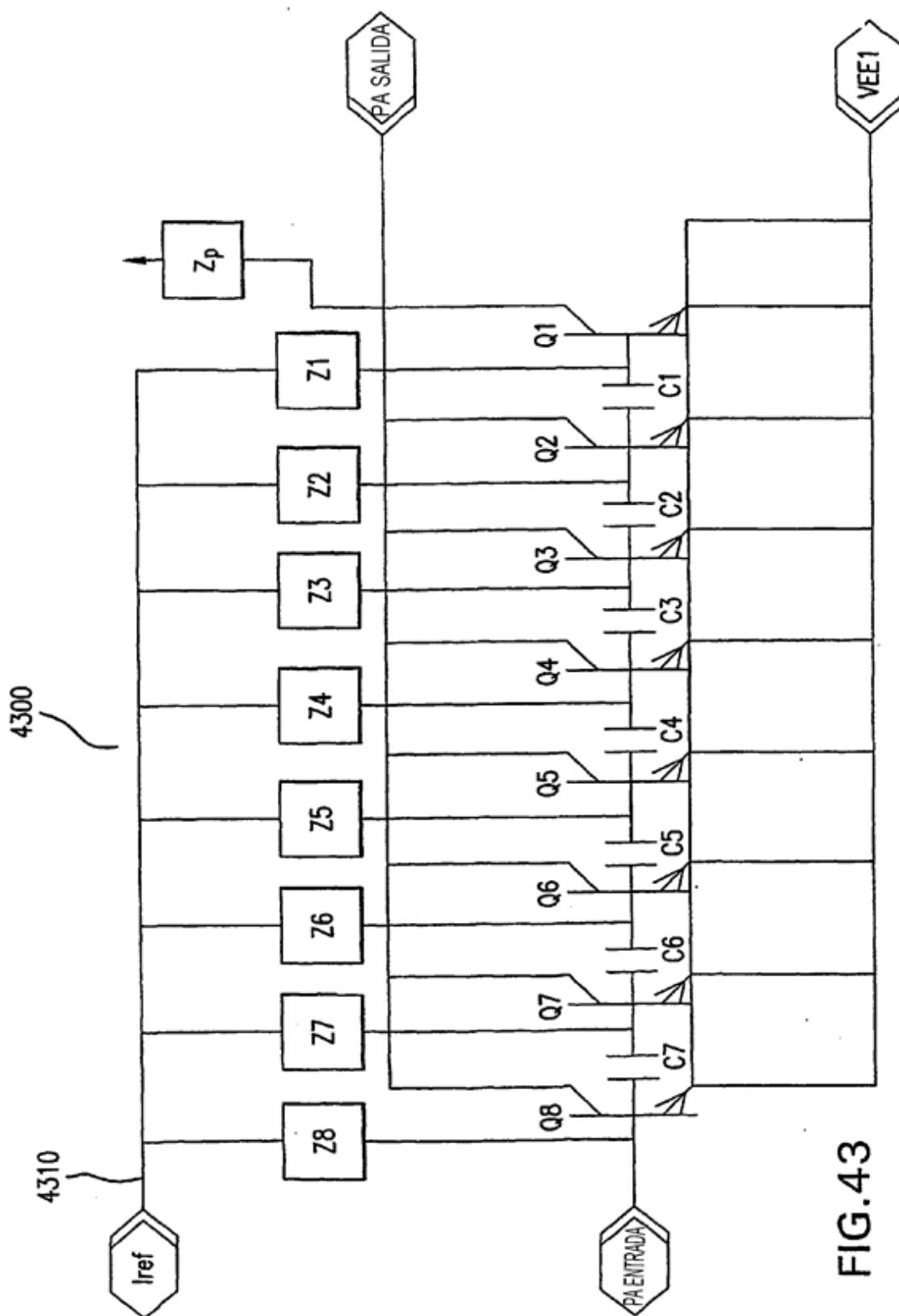


FIG. 43

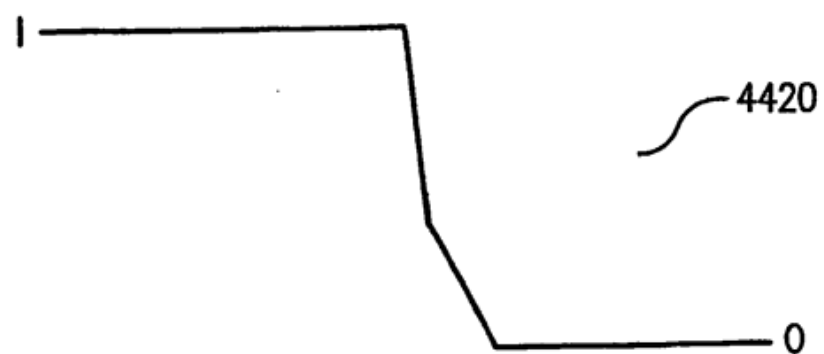
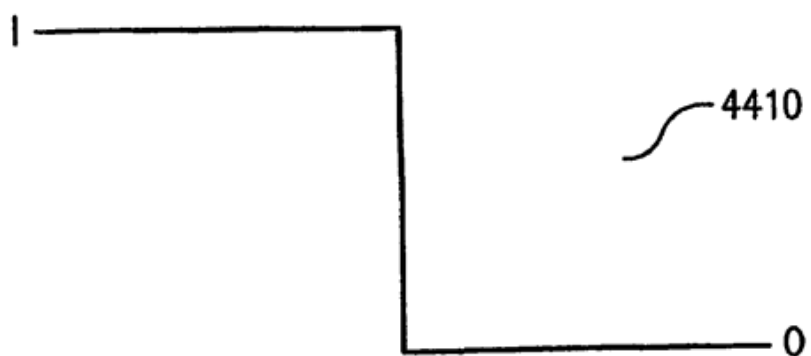


FIG.44

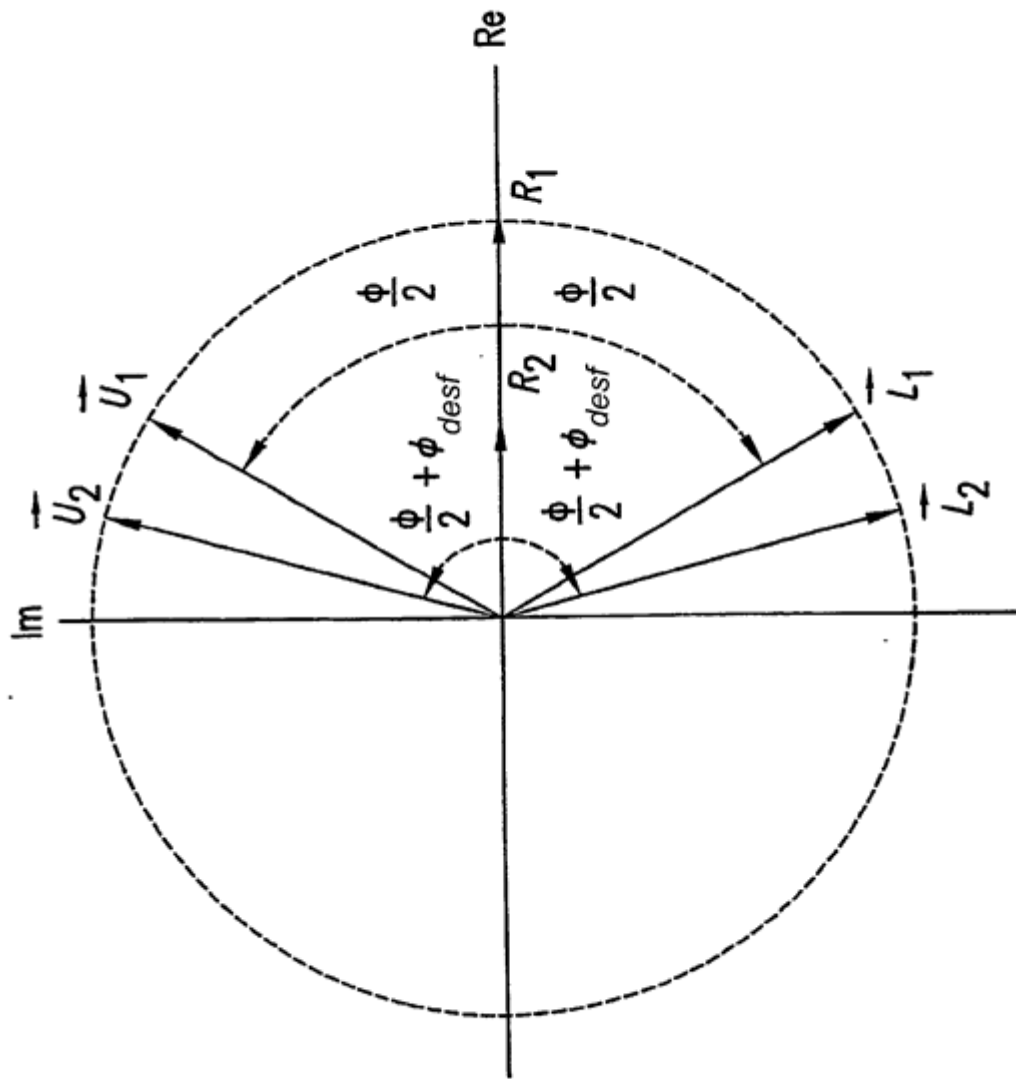


FIG.45

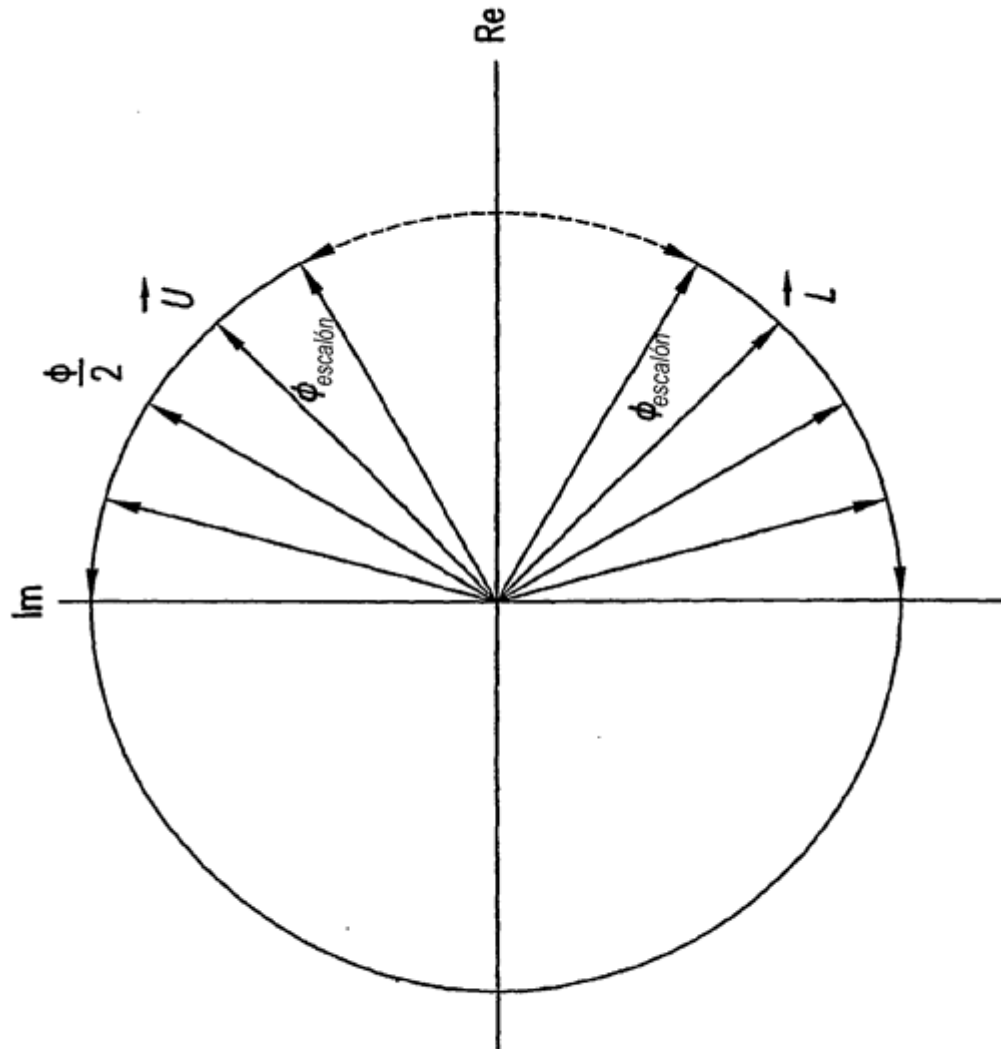


FIG.46

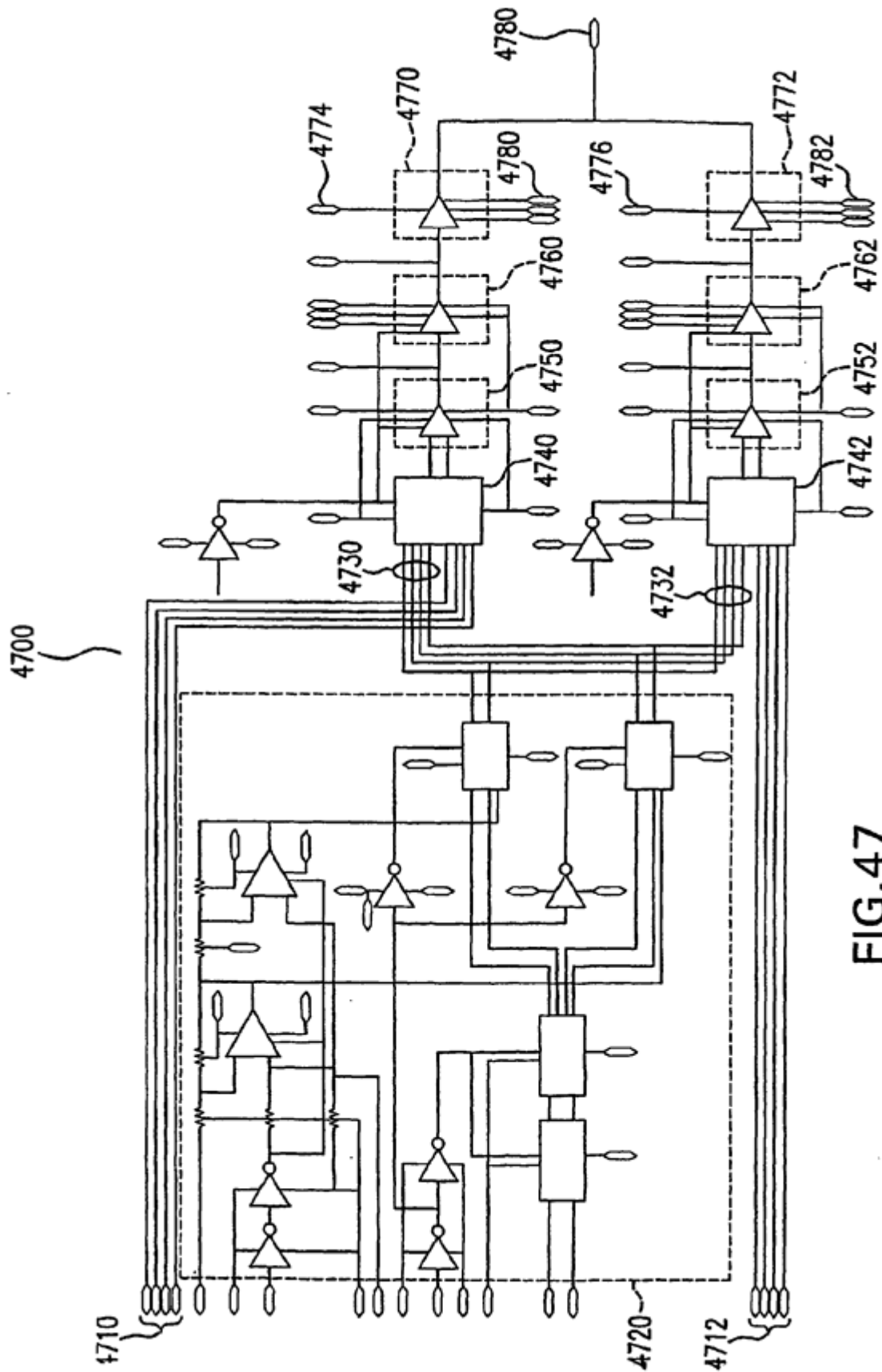


FIG.47

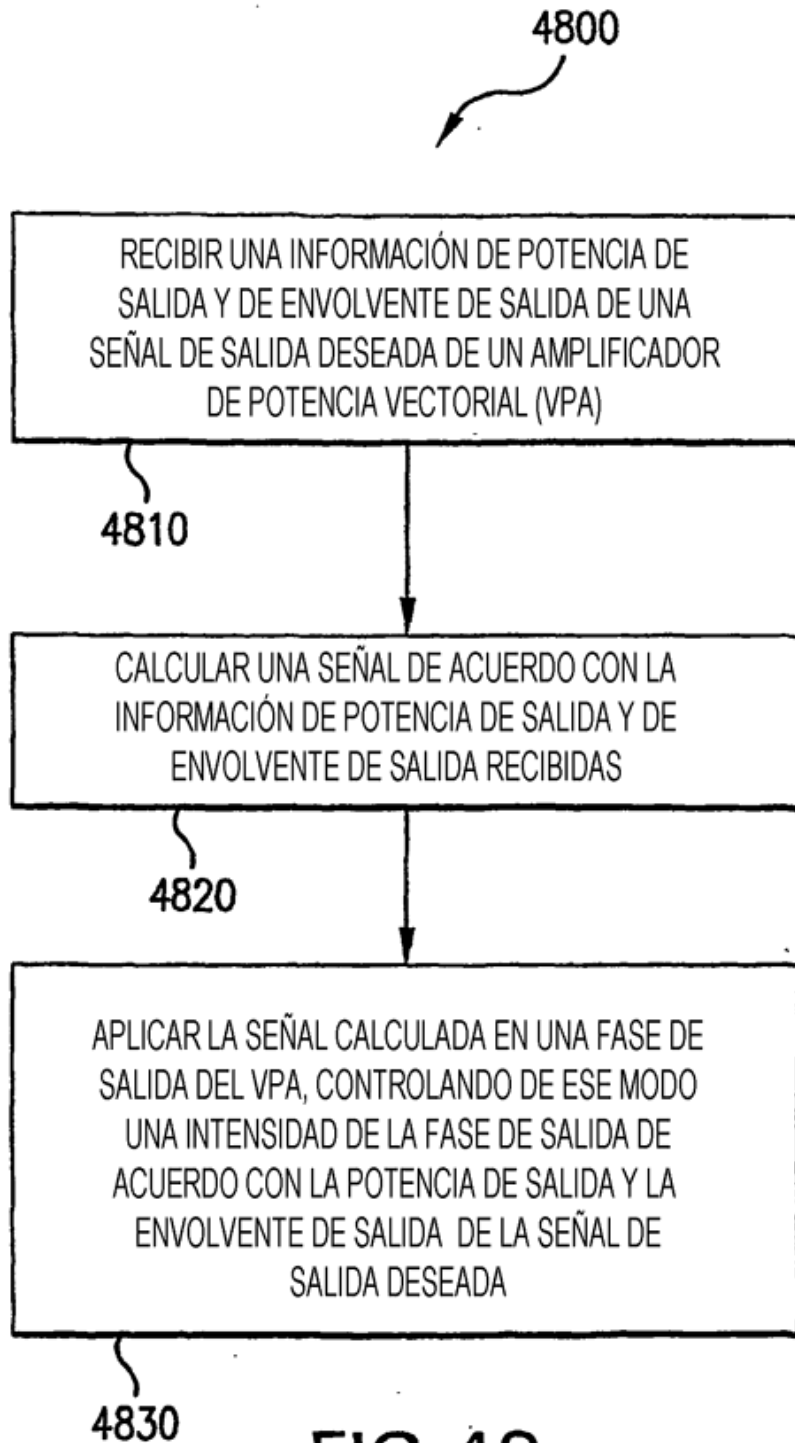


FIG.48

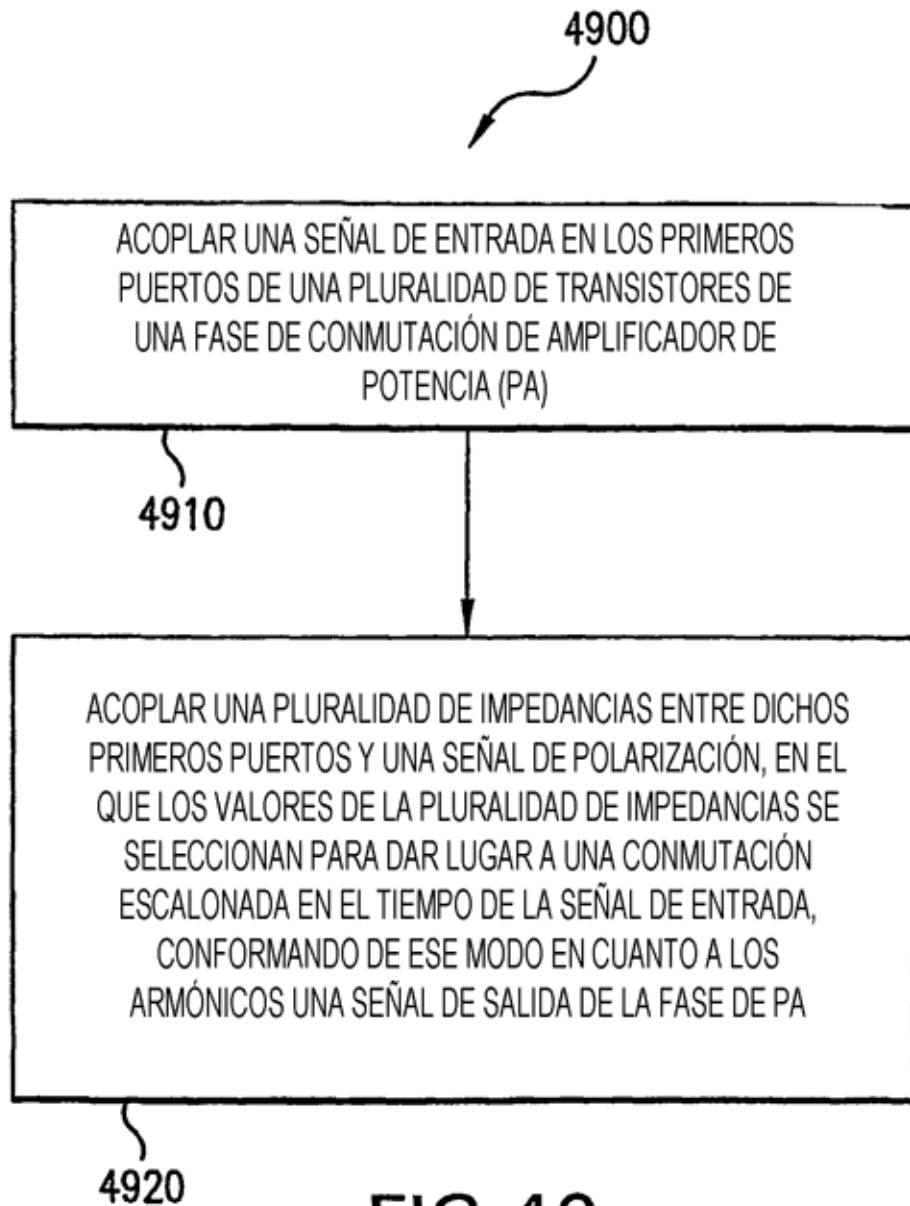


FIG.49

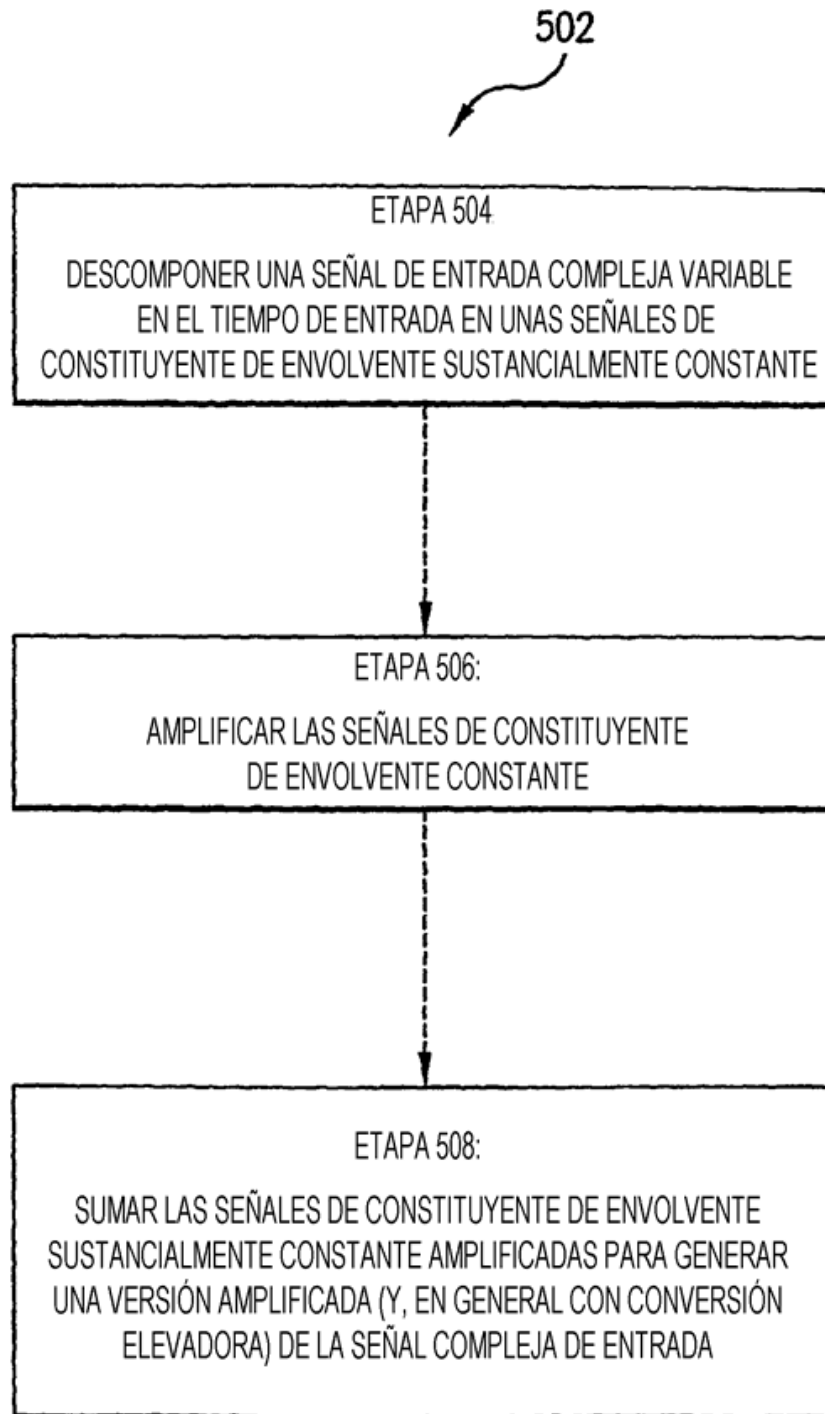


FIG.50

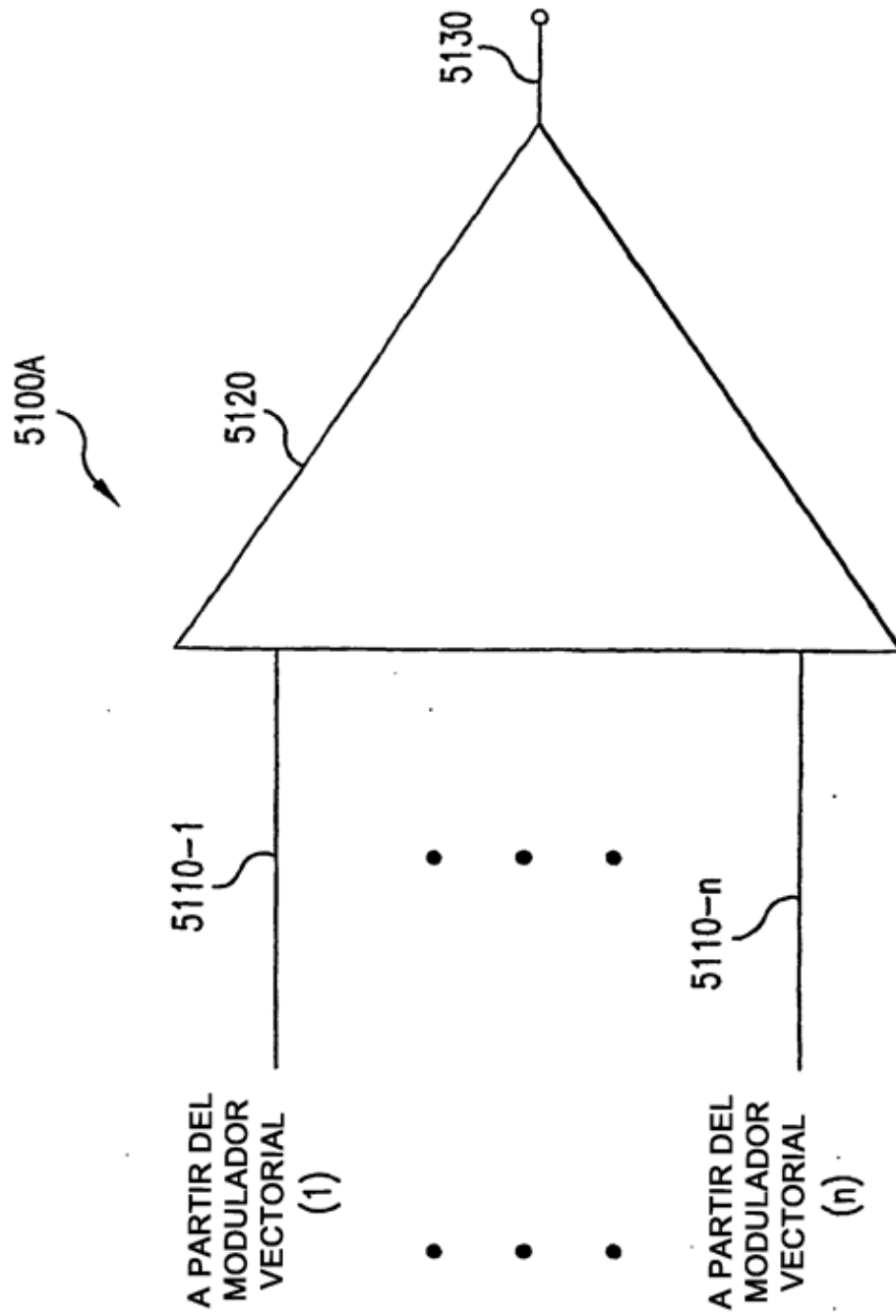


FIG.51A

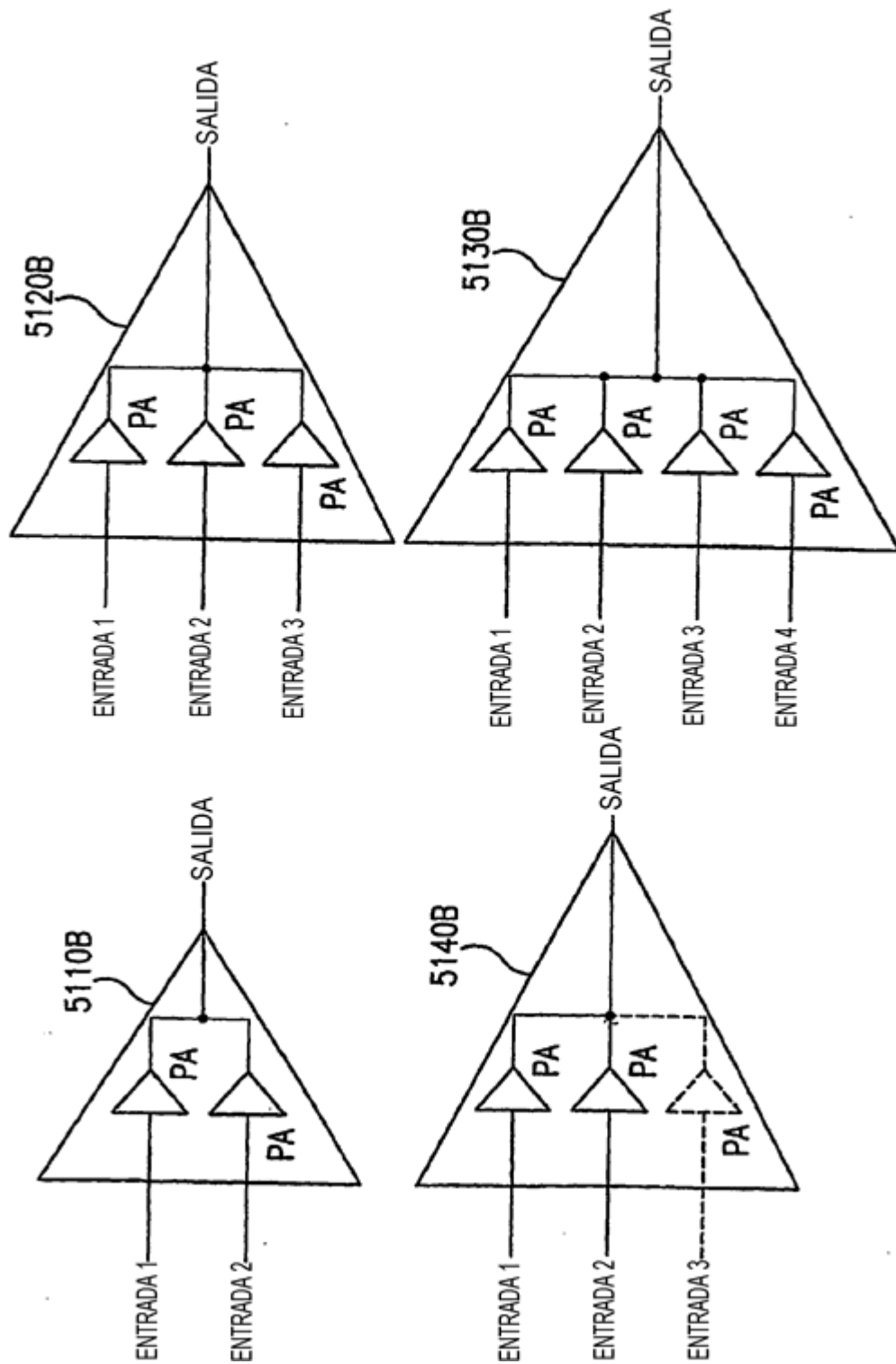


FIG. 511B

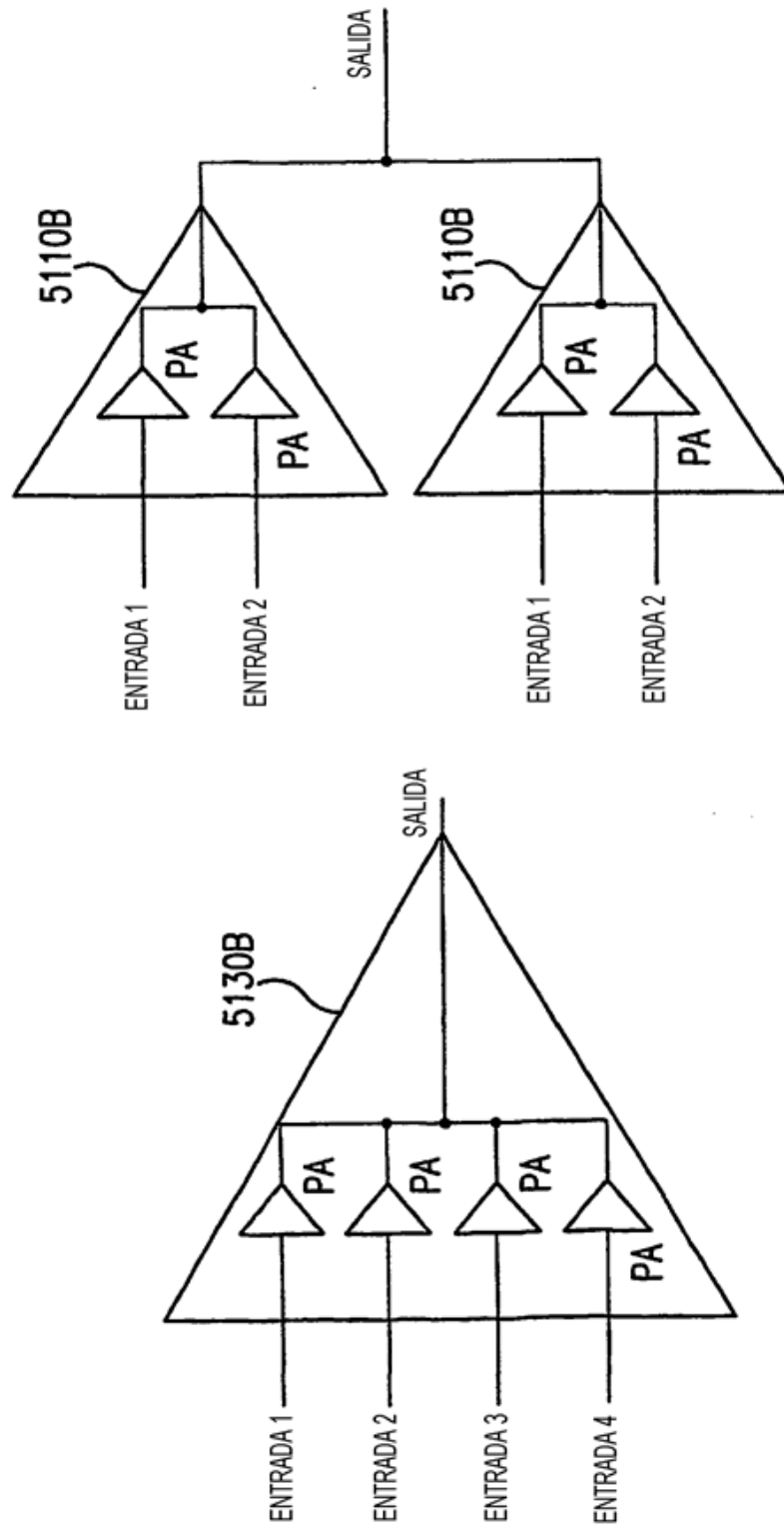


FIG.51C

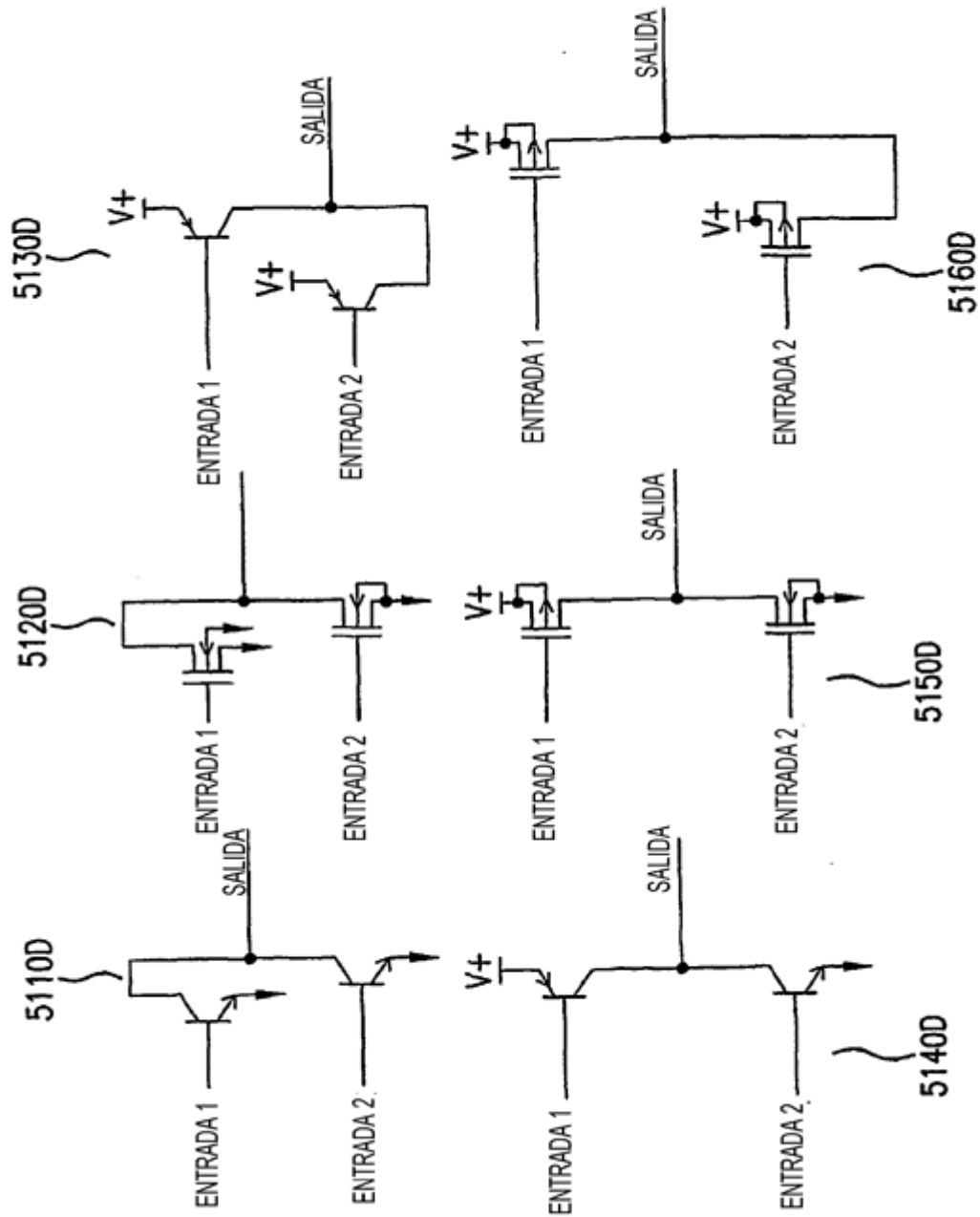
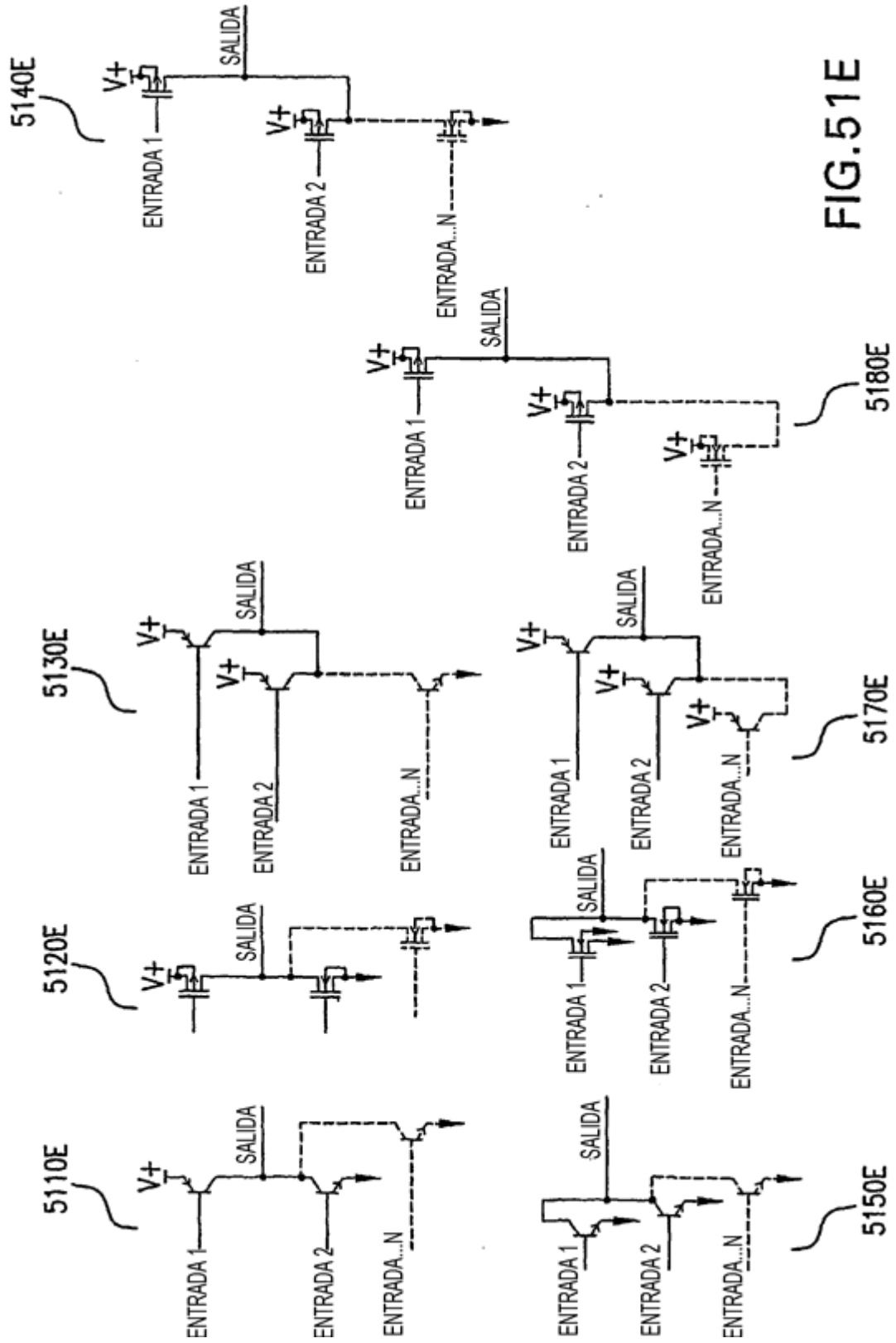


FIG. 51D



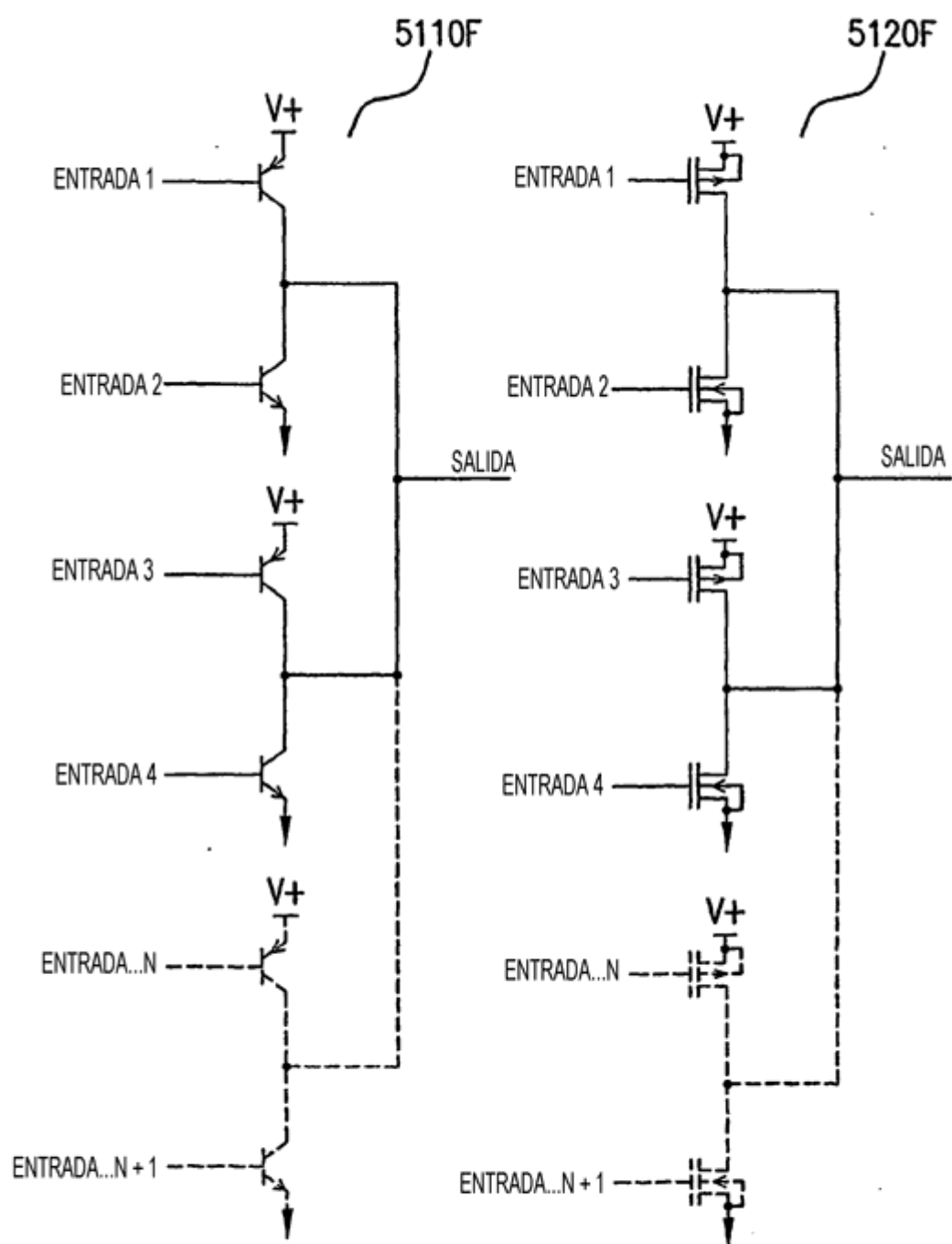


FIG.51F

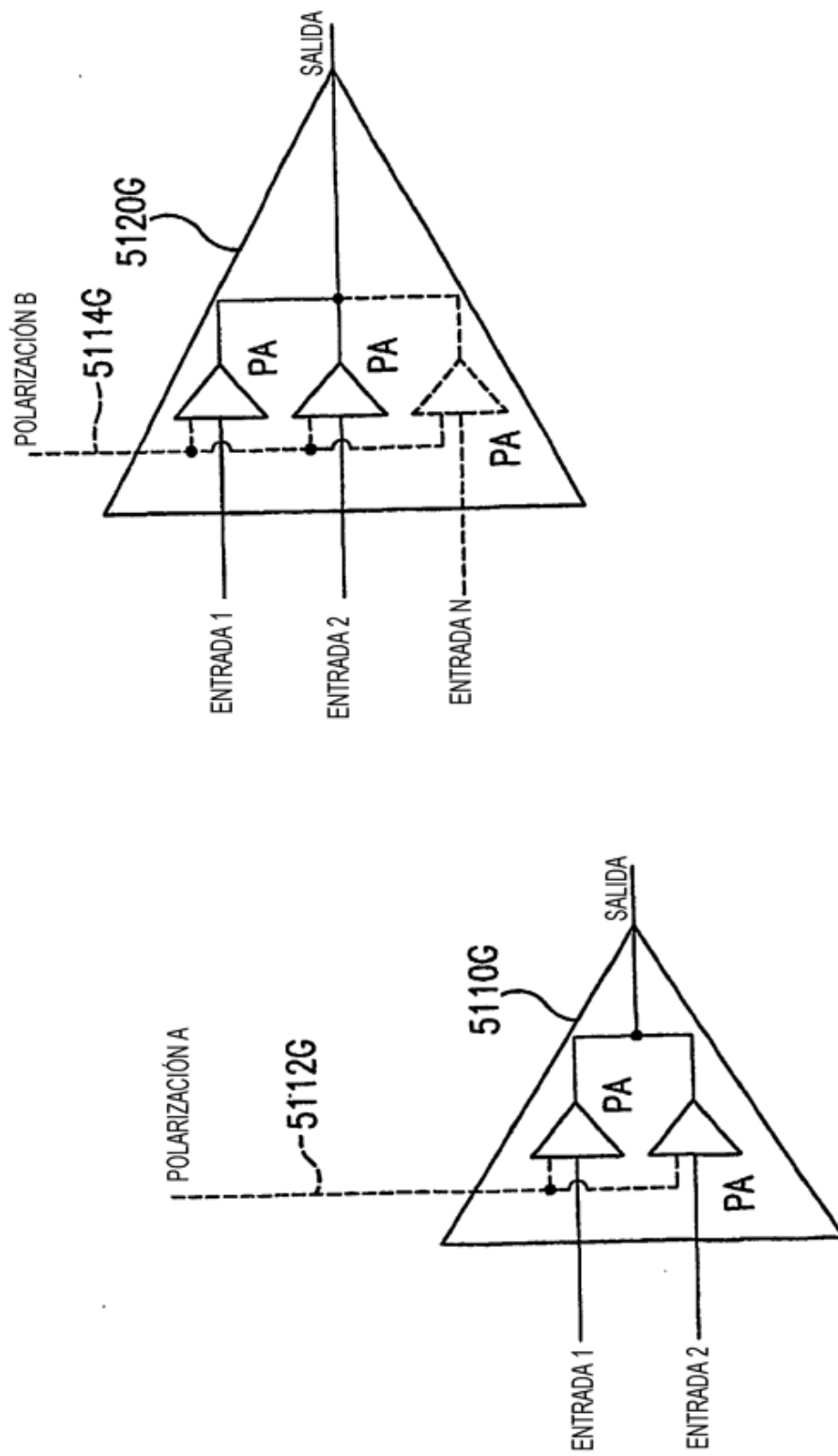
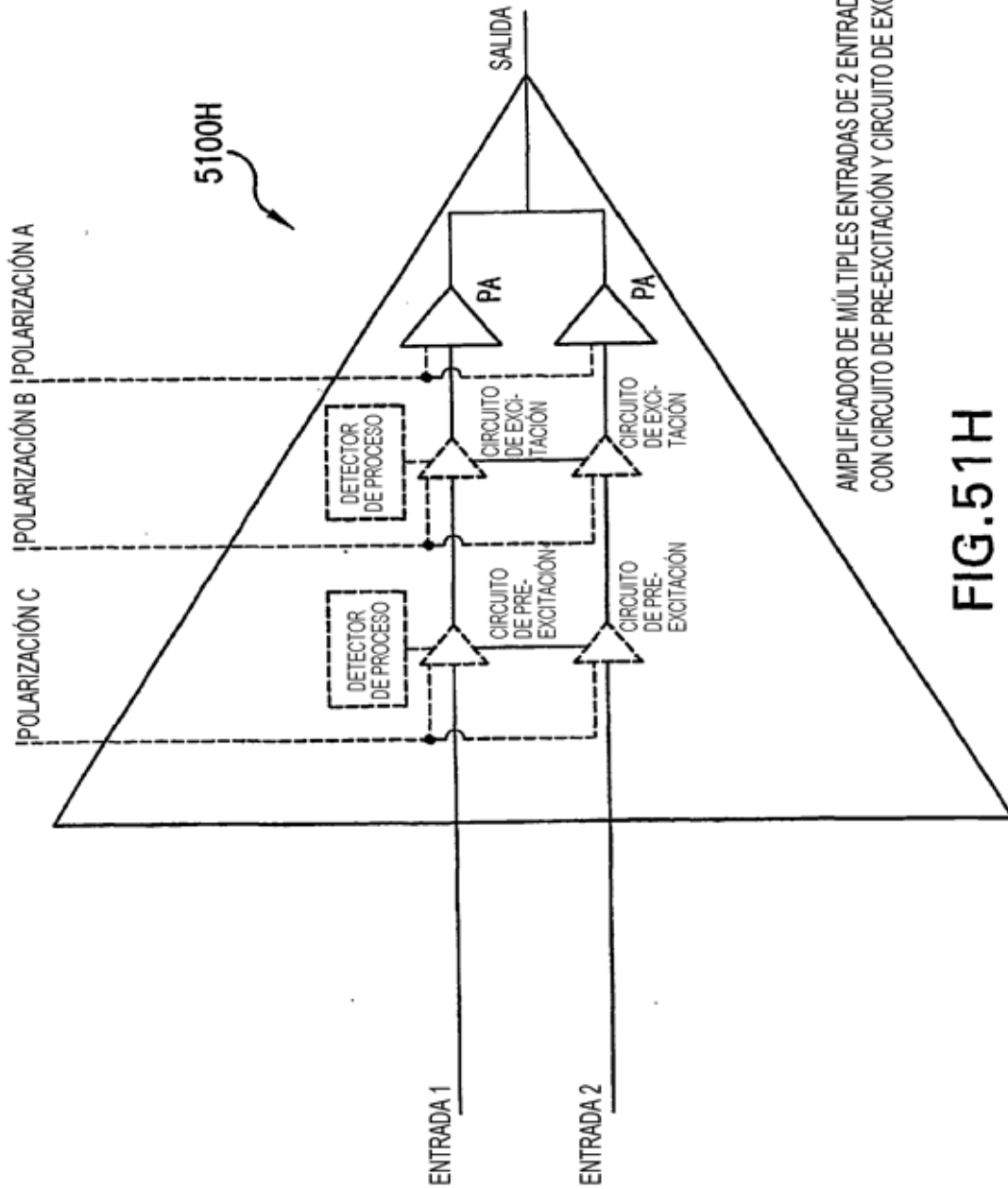


FIG. 511G



AMPLIFICADOR DE MÚLTIPLES ENTRADAS DE 2 ENTRADAS Y DE UNA ÚNICA SALIDA
CON CIRCUITO DE PRE-EXCITACIÓN Y CIRCUITO DE EXCITACIÓN OPCIONALES

FIG.51H

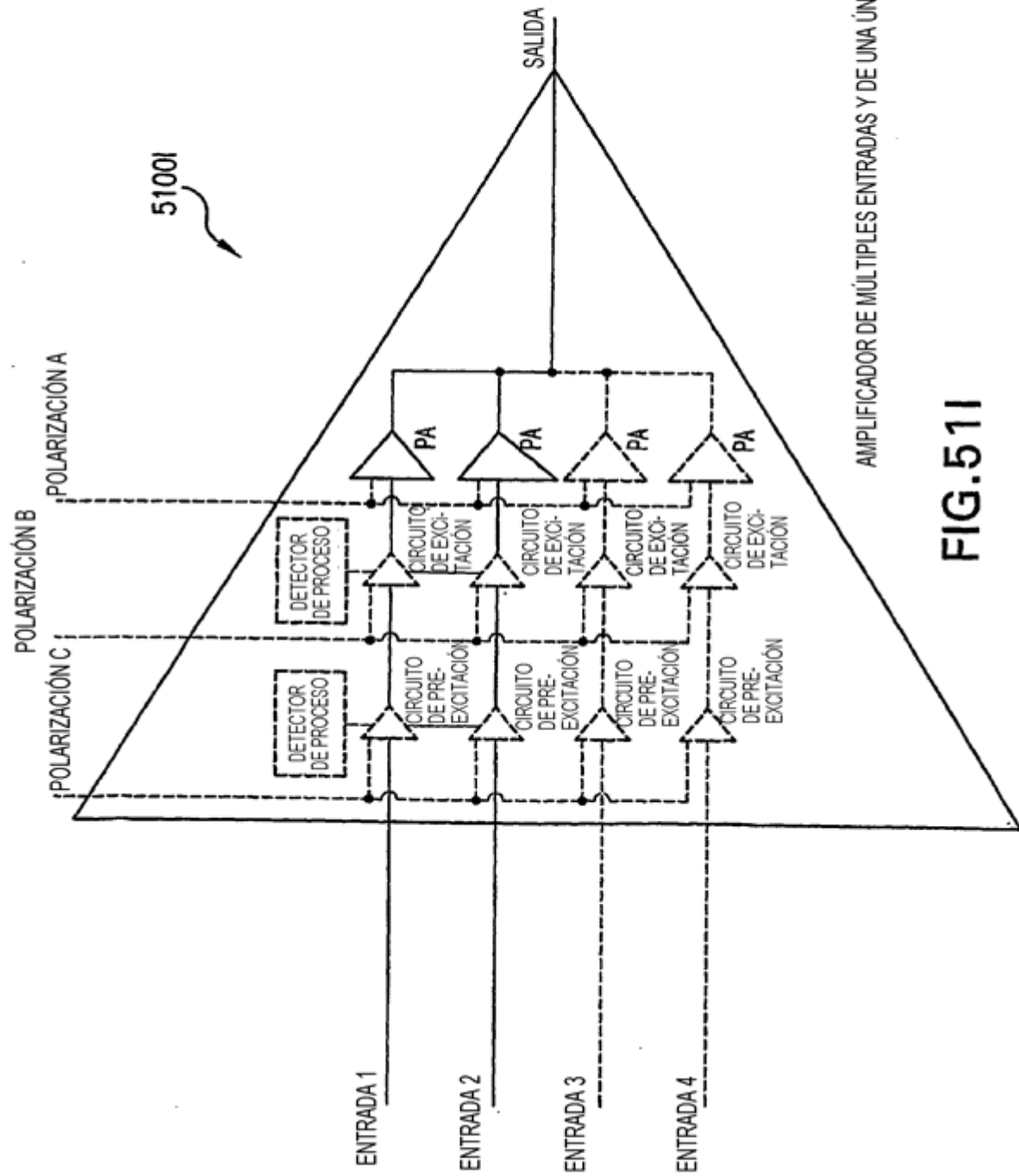


FIG. 511

AMPLIFICADOR DE MÚLTIPLES ENTRADAS Y DE UNA ÚNICA SALIDA

FIG. 52

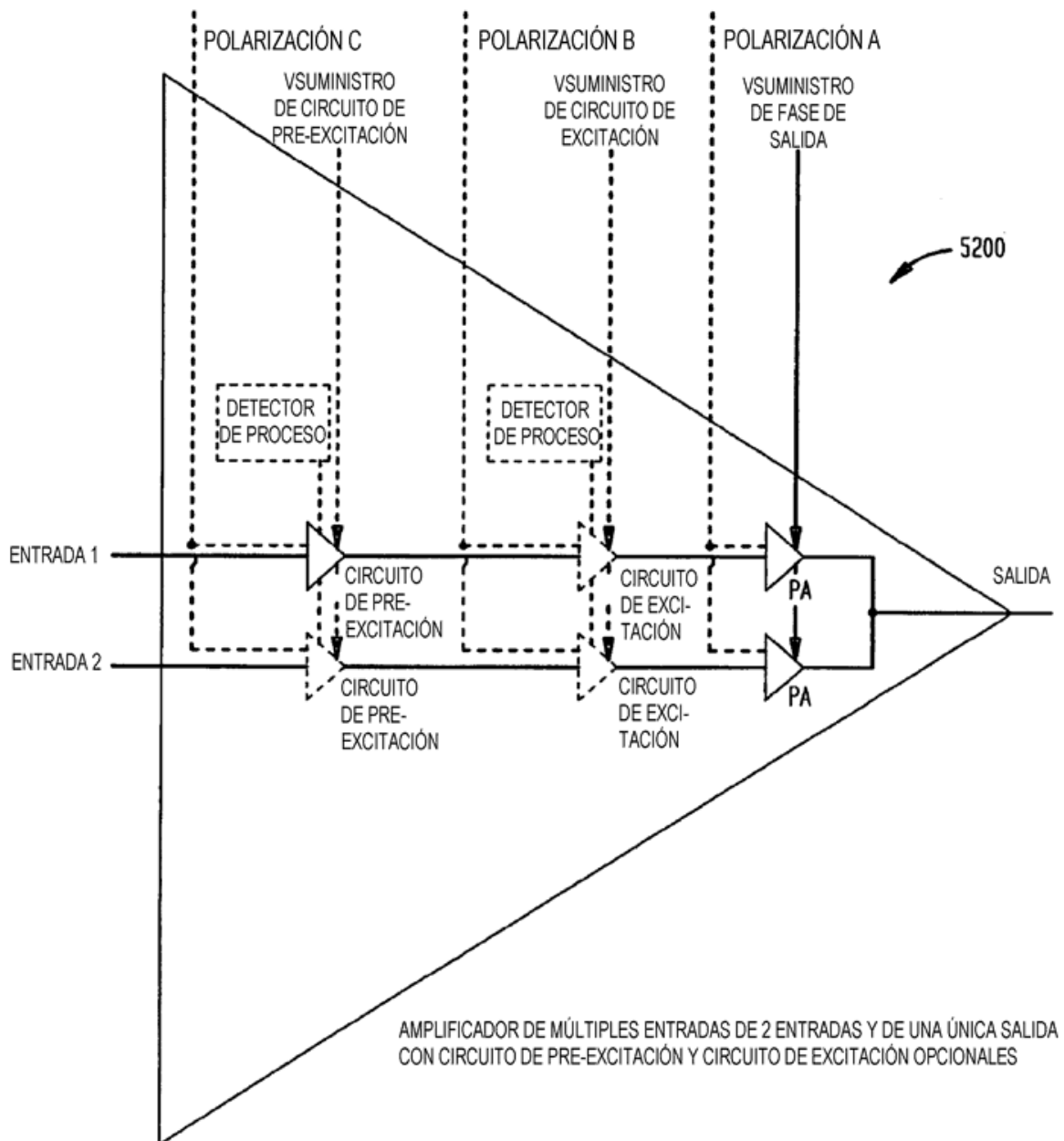


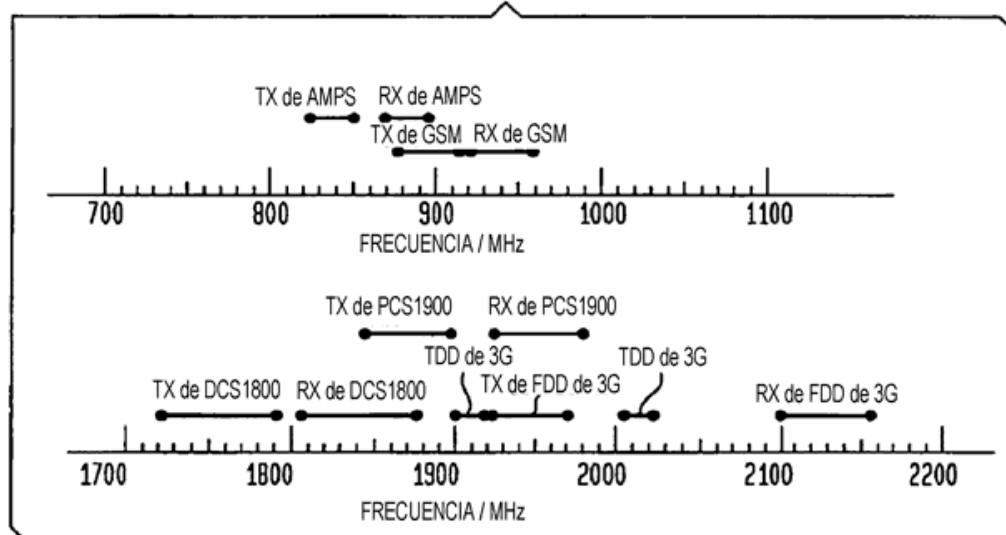
FIG. 53

FIG. 54A

5400A

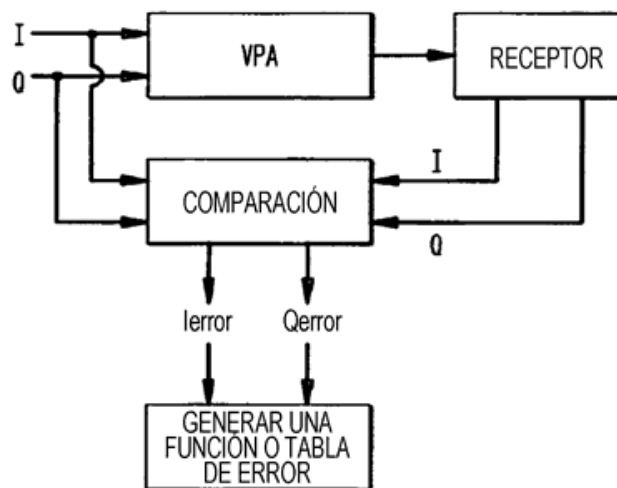


FIG. 54B

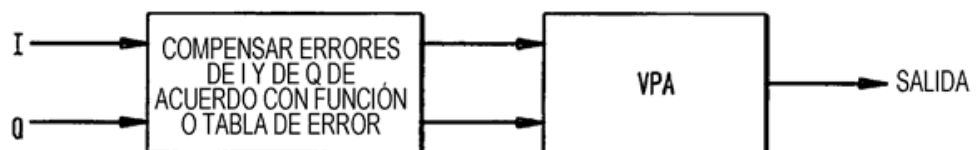


FIG. 55

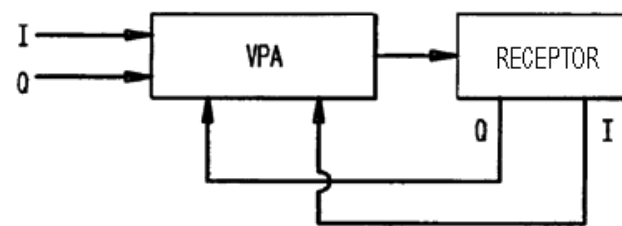


FIG. 56

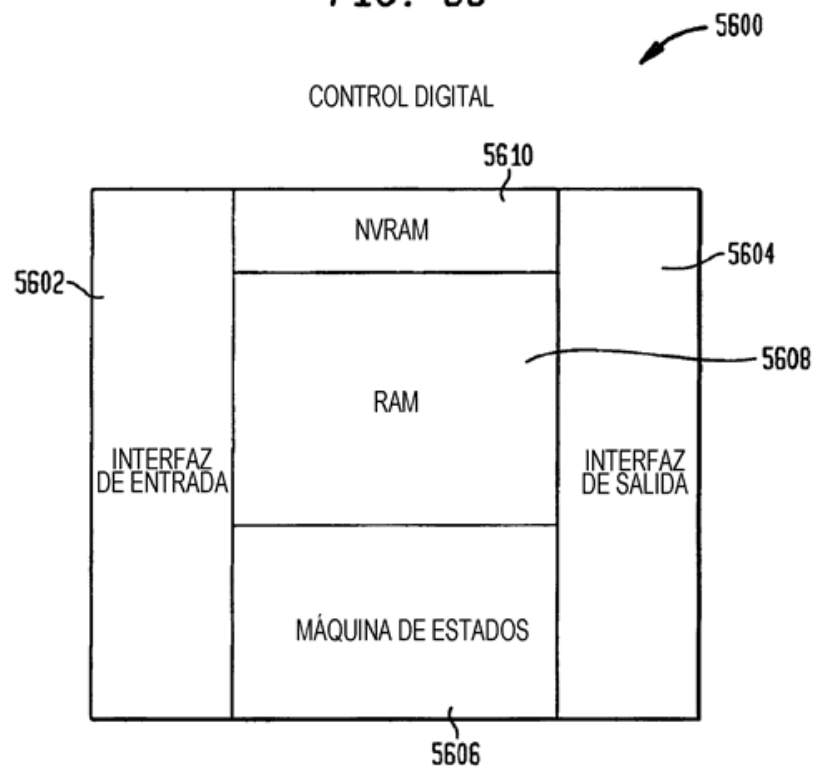


FIG. 57

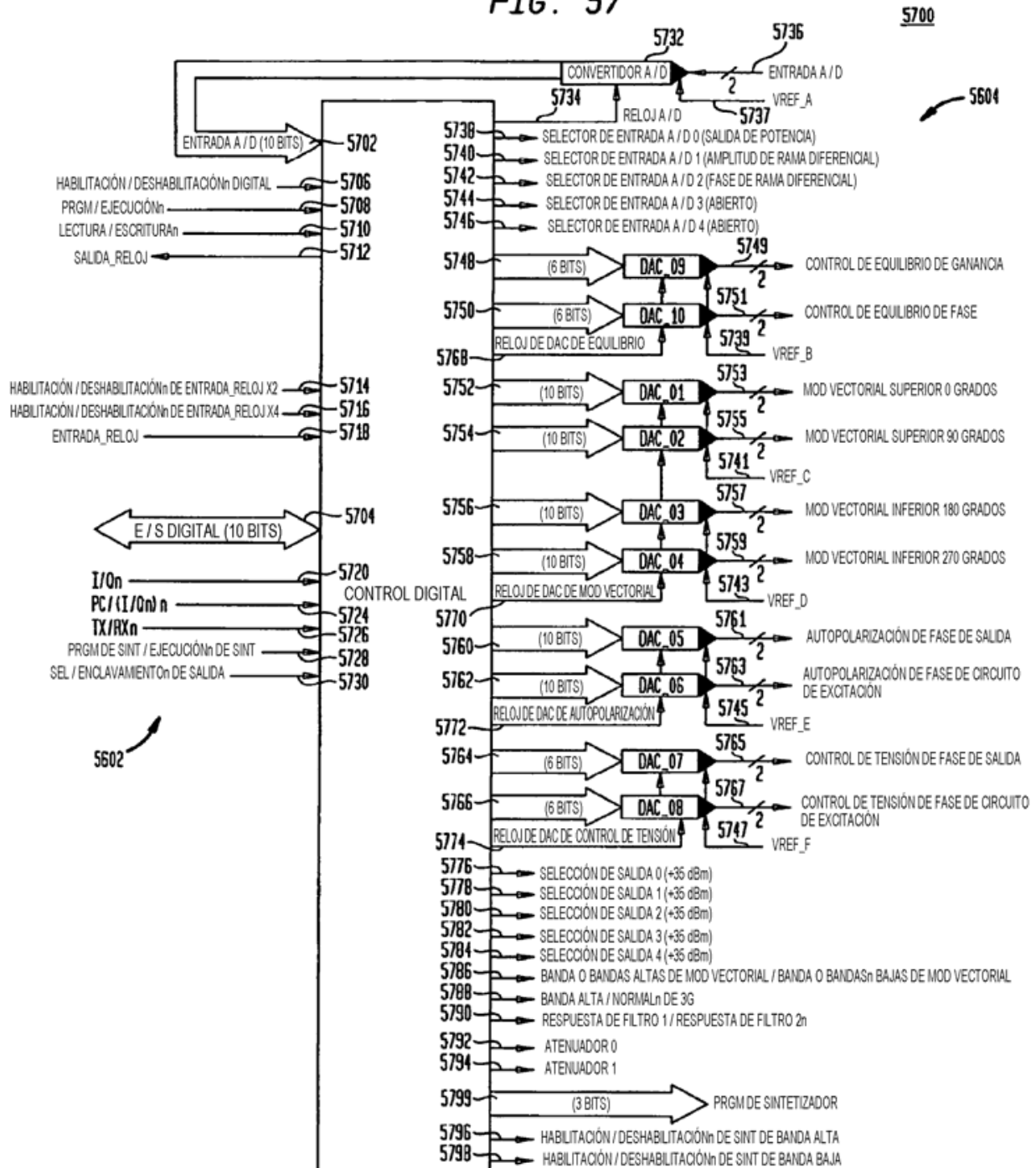
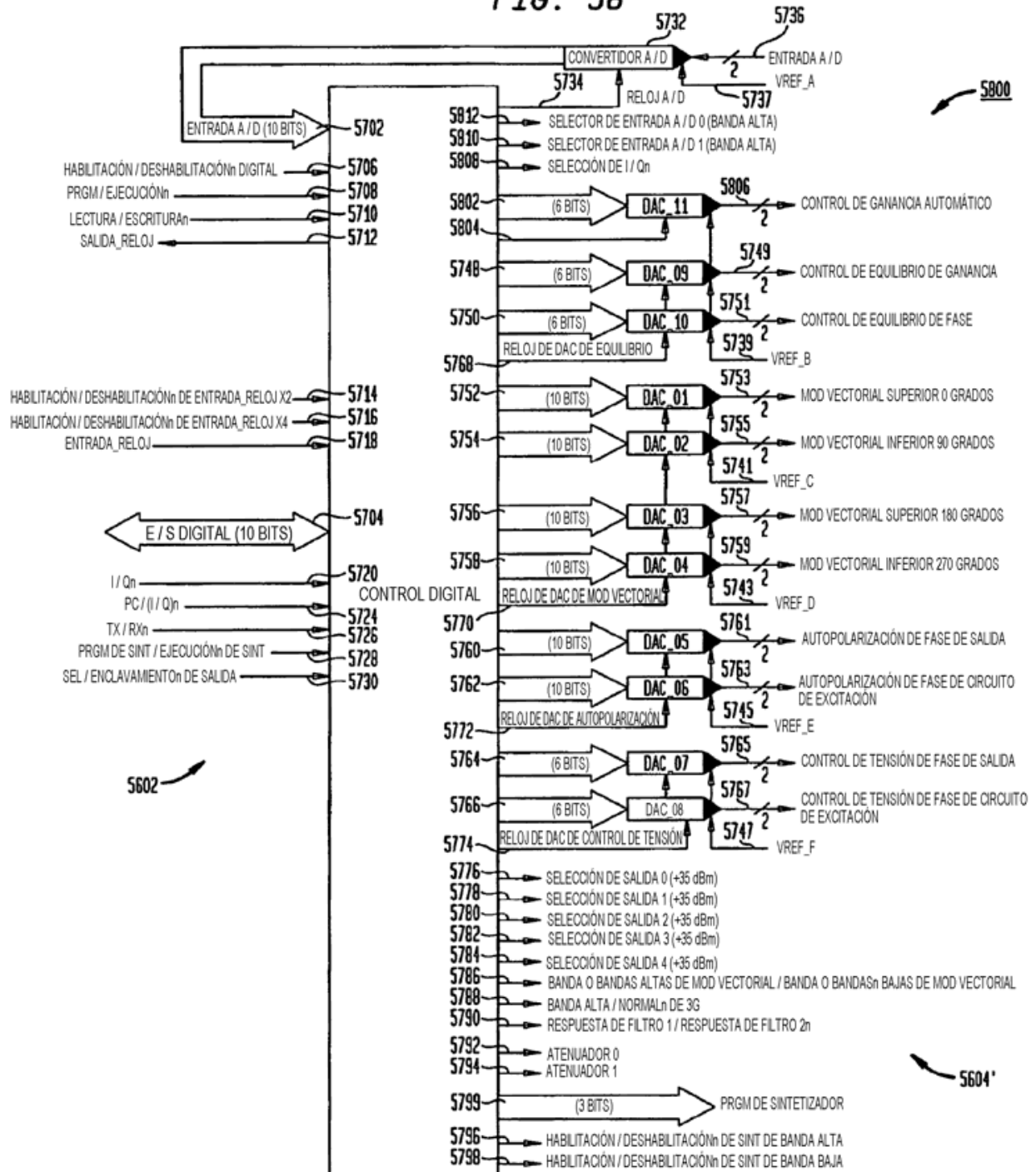


FIG. 58



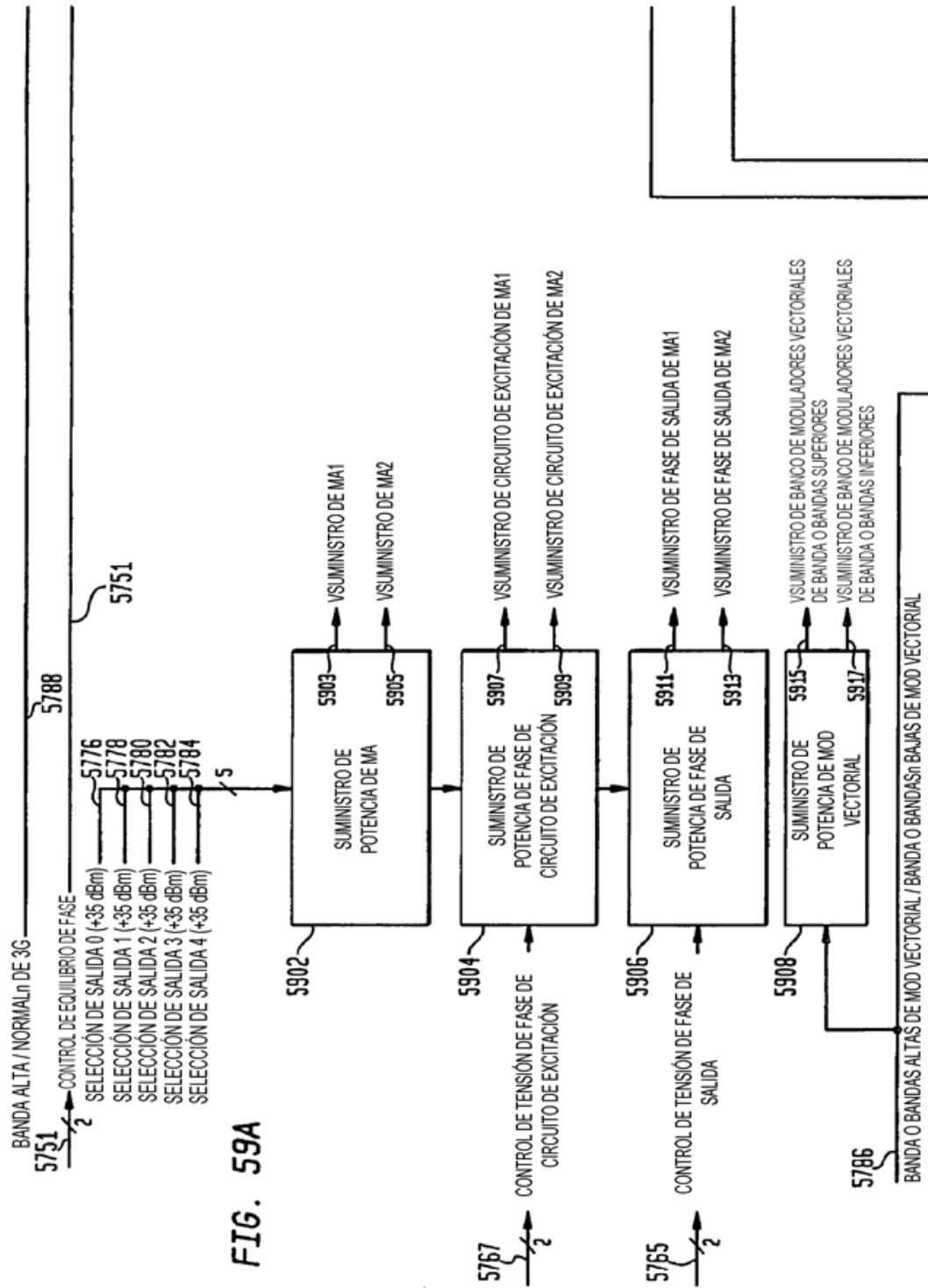
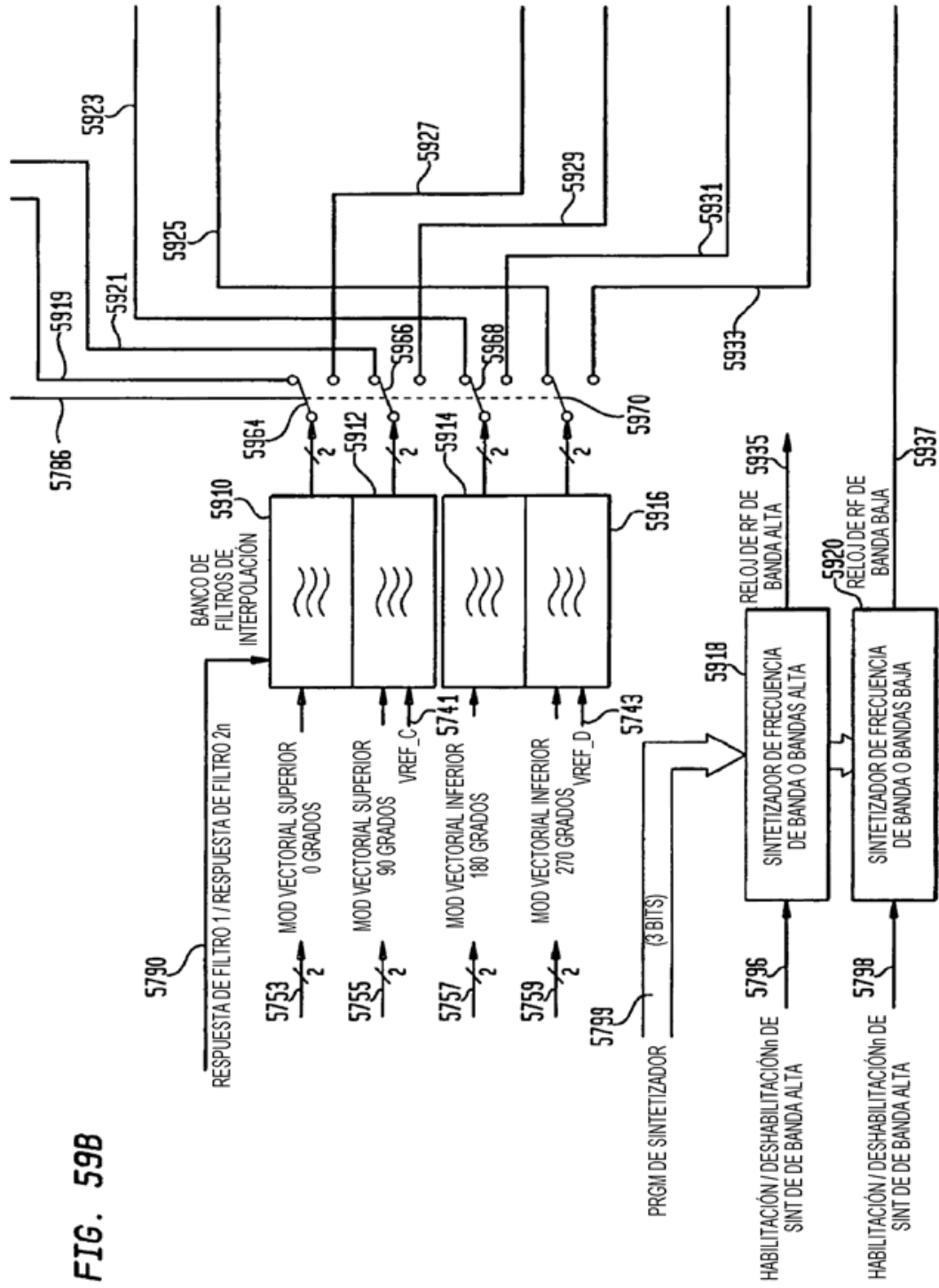
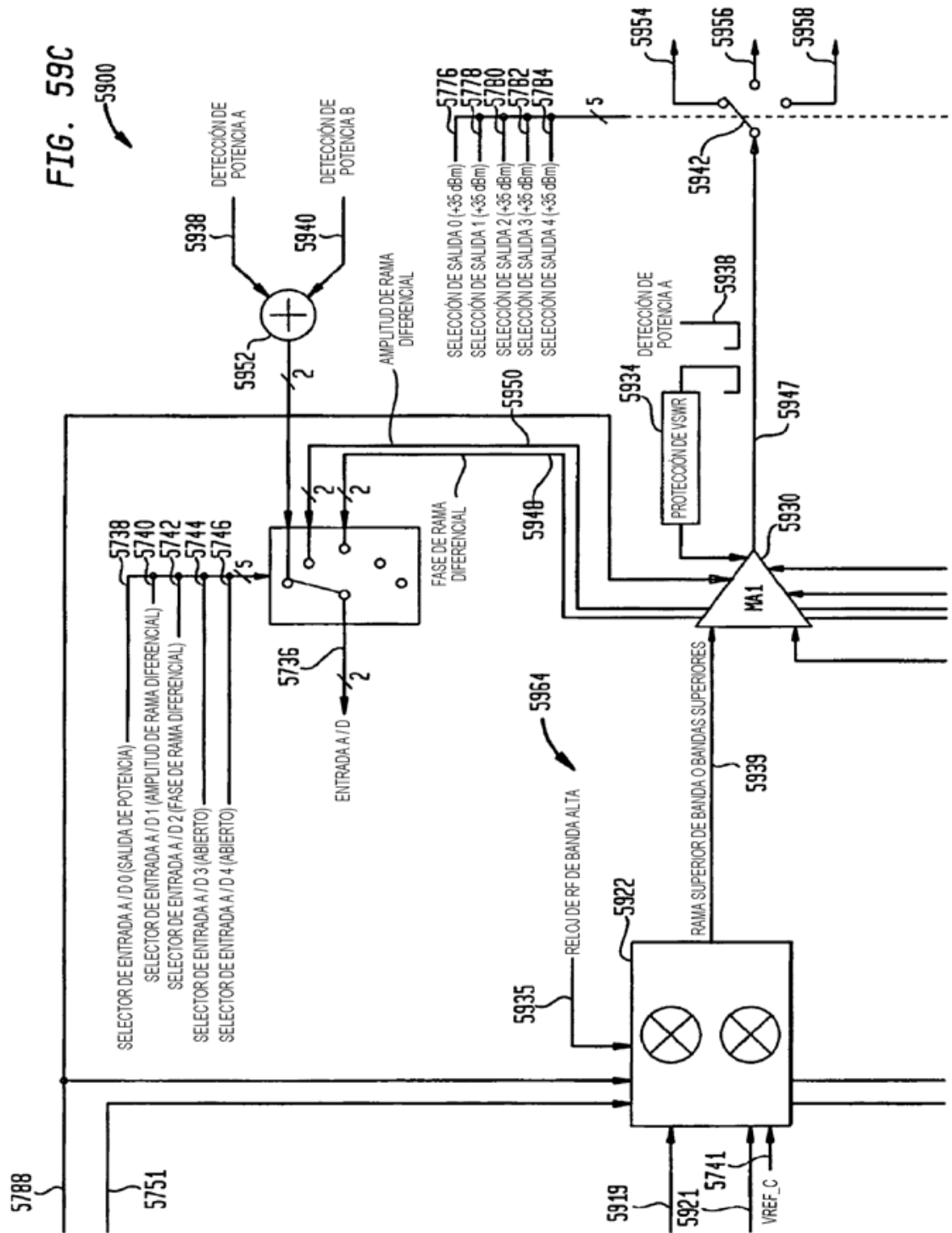


FIG. 59A

FIG. 59B





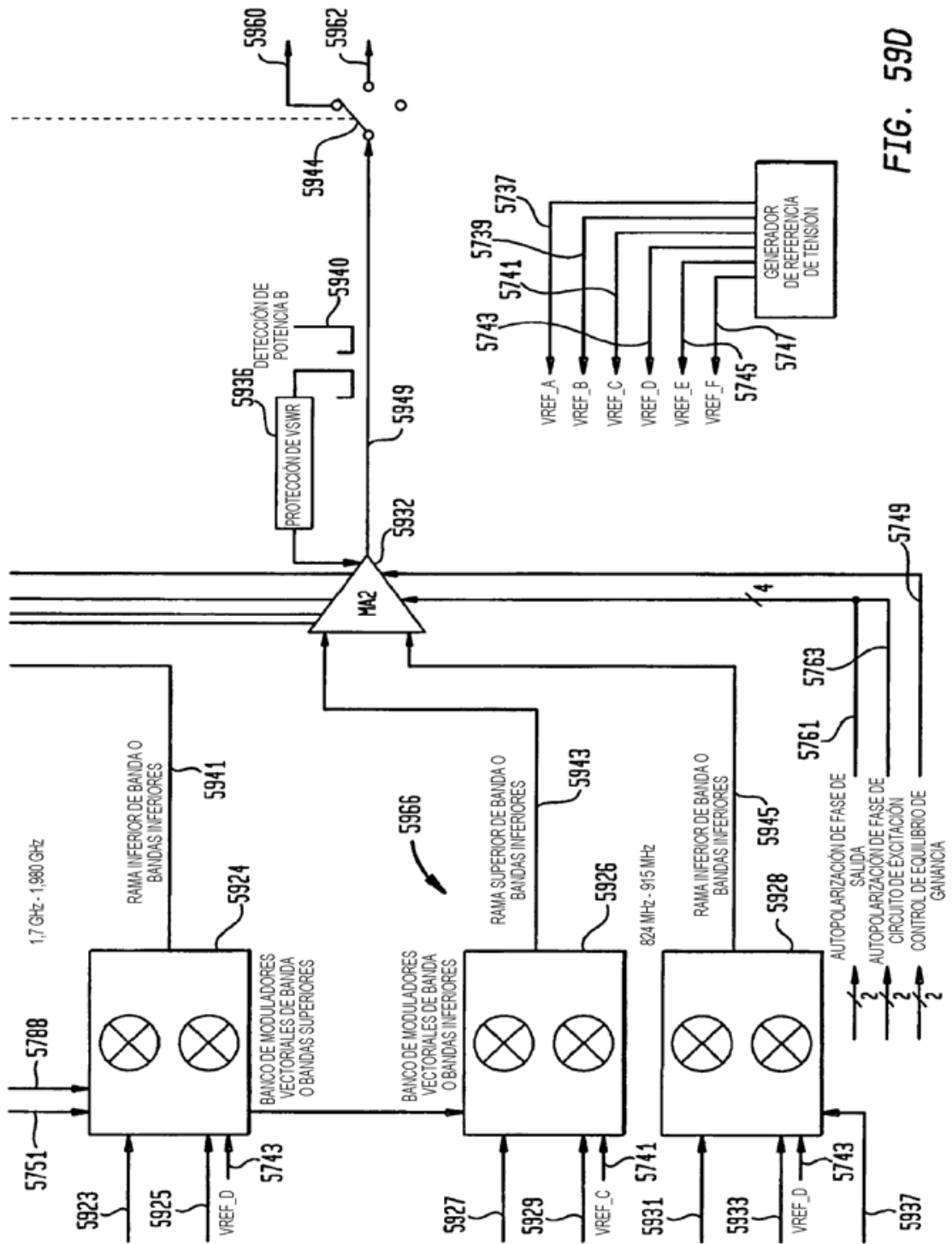


FIG. 59D

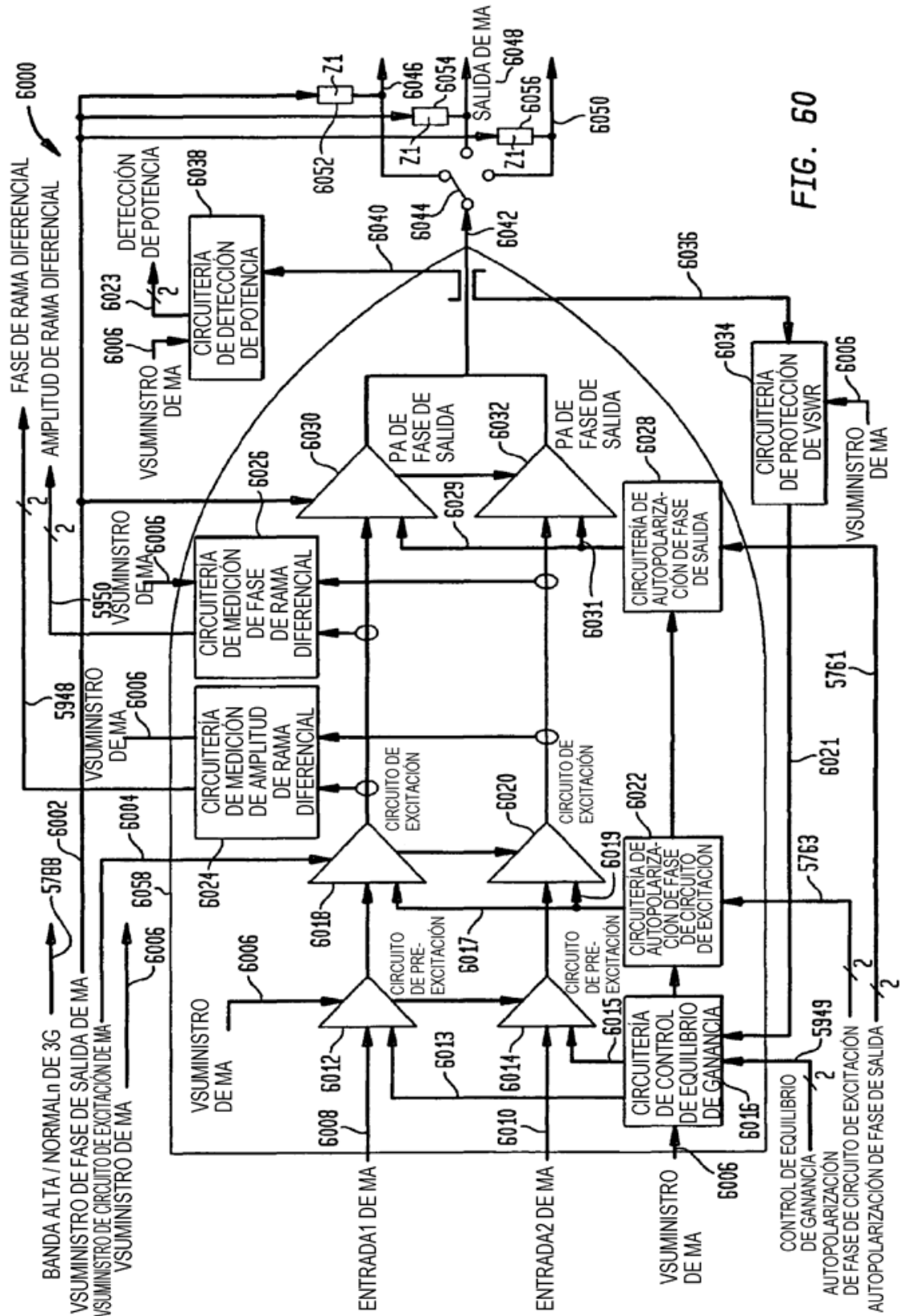


FIG. 60

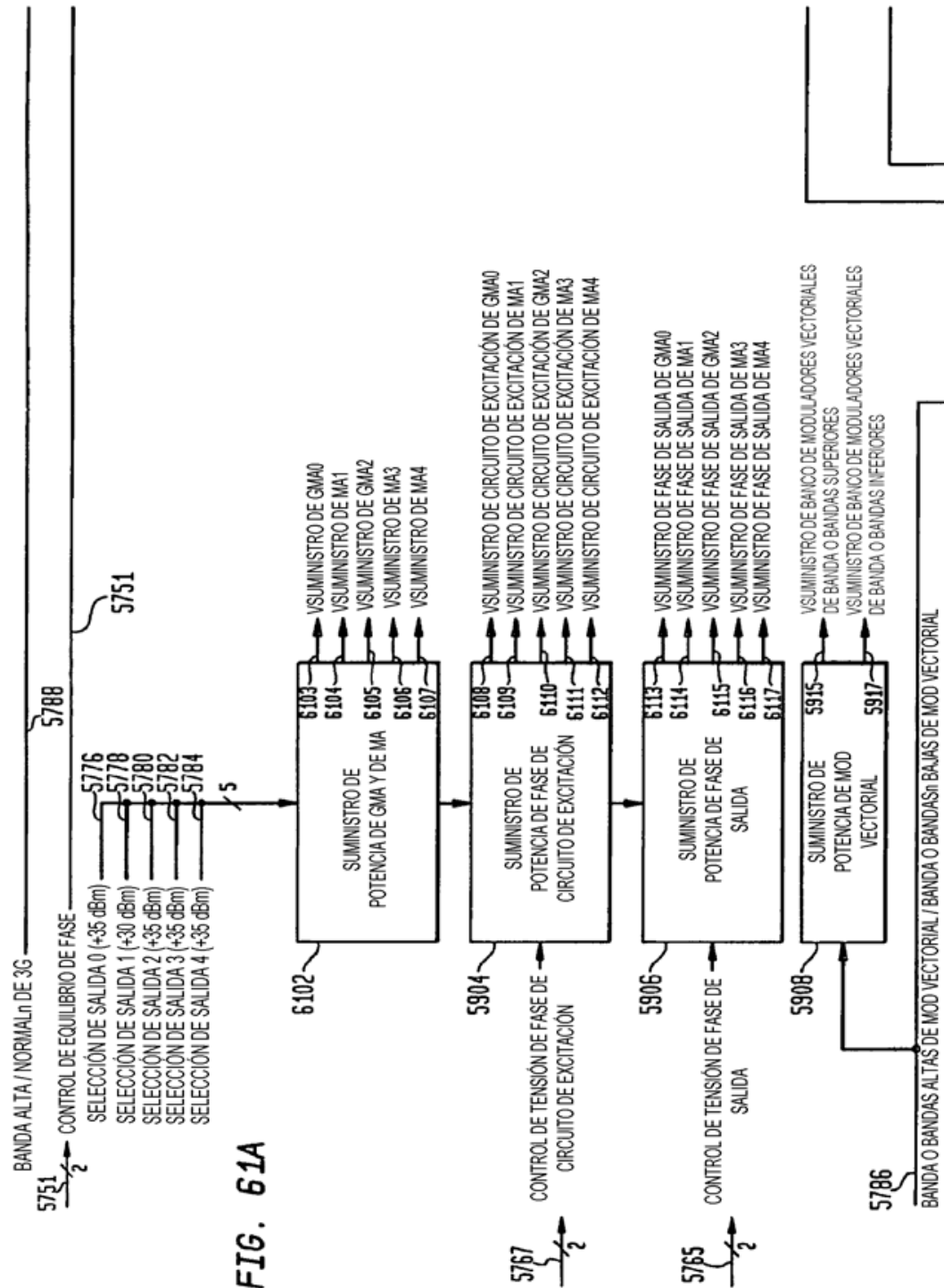


FIG. 61B

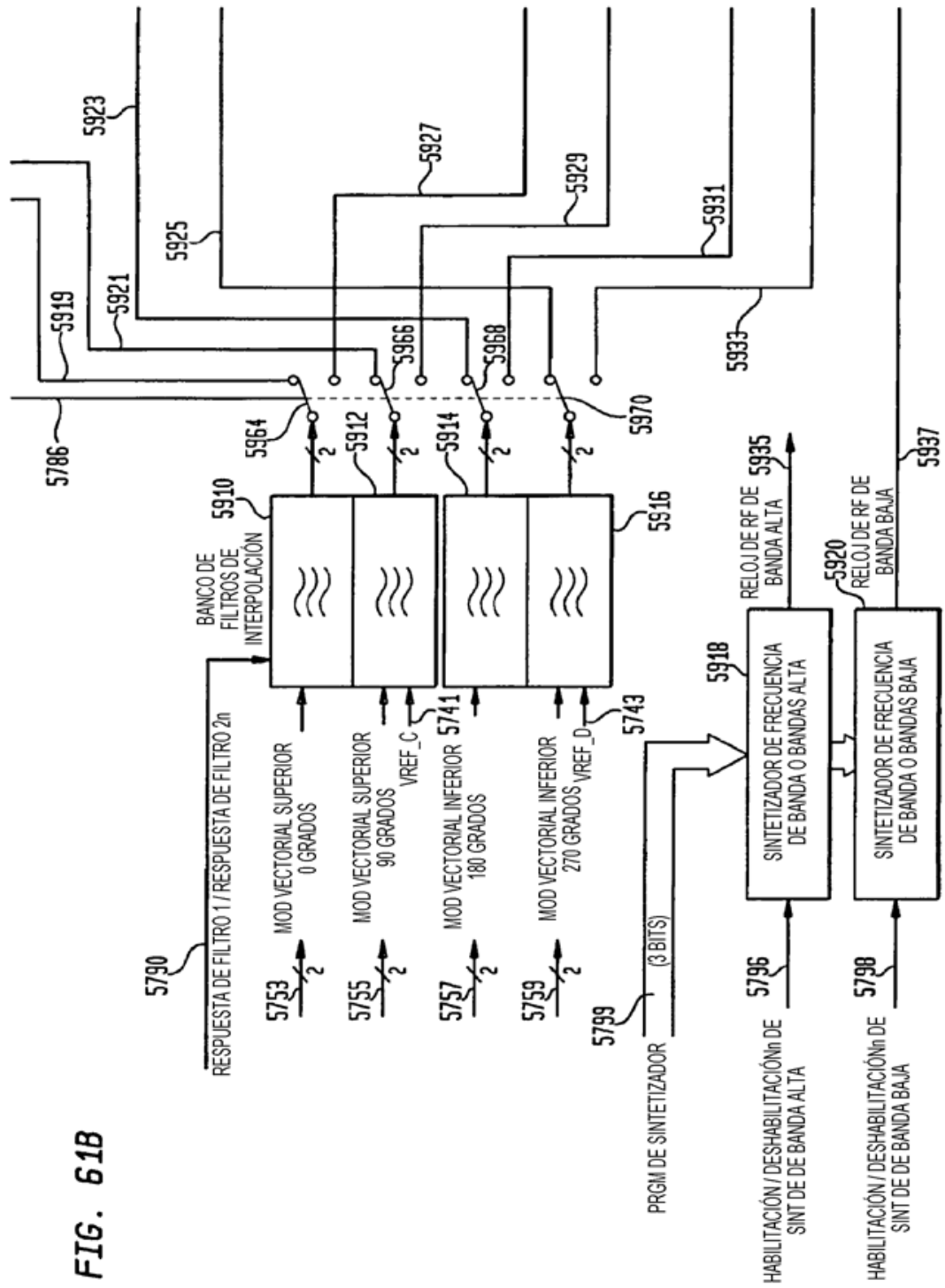
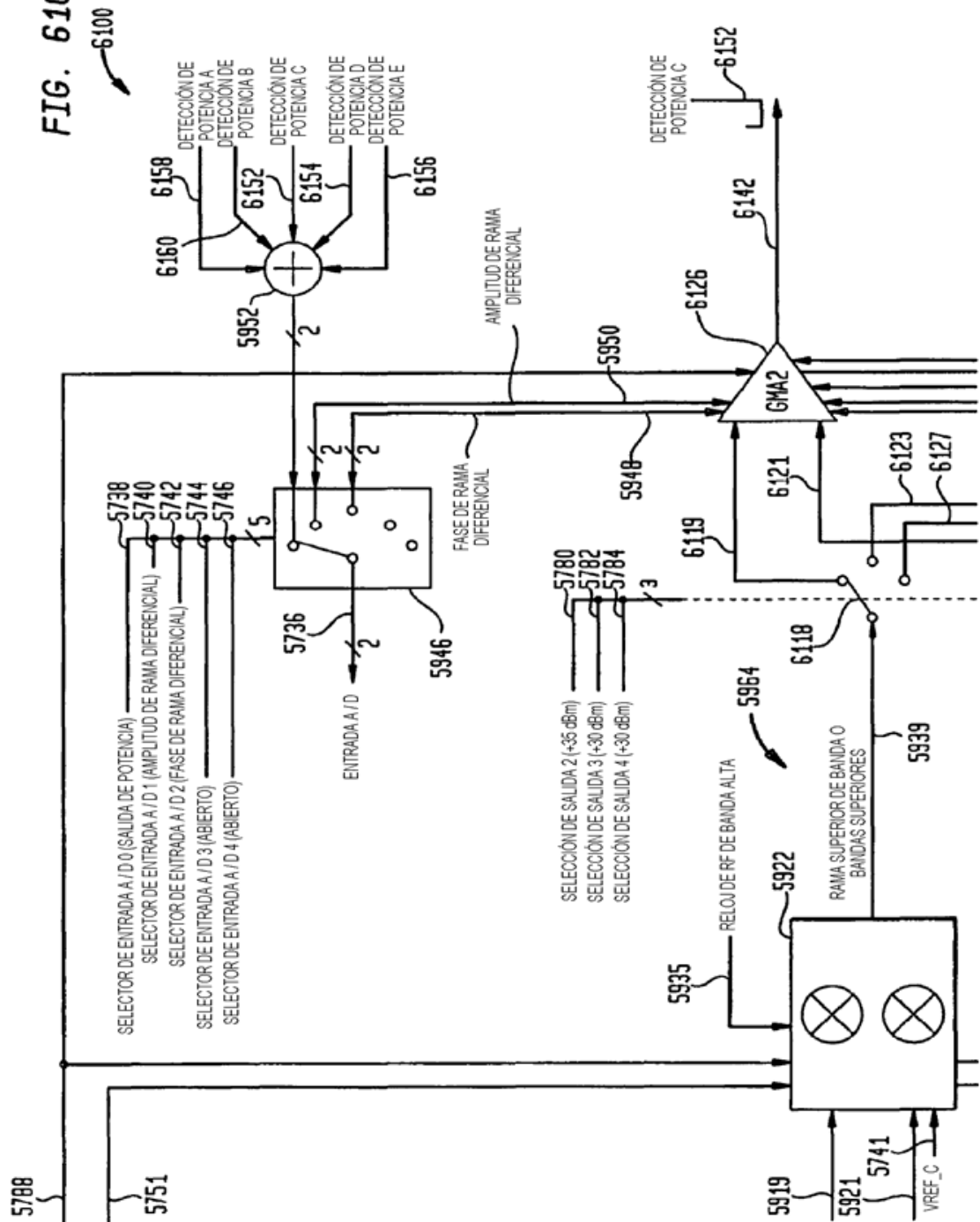
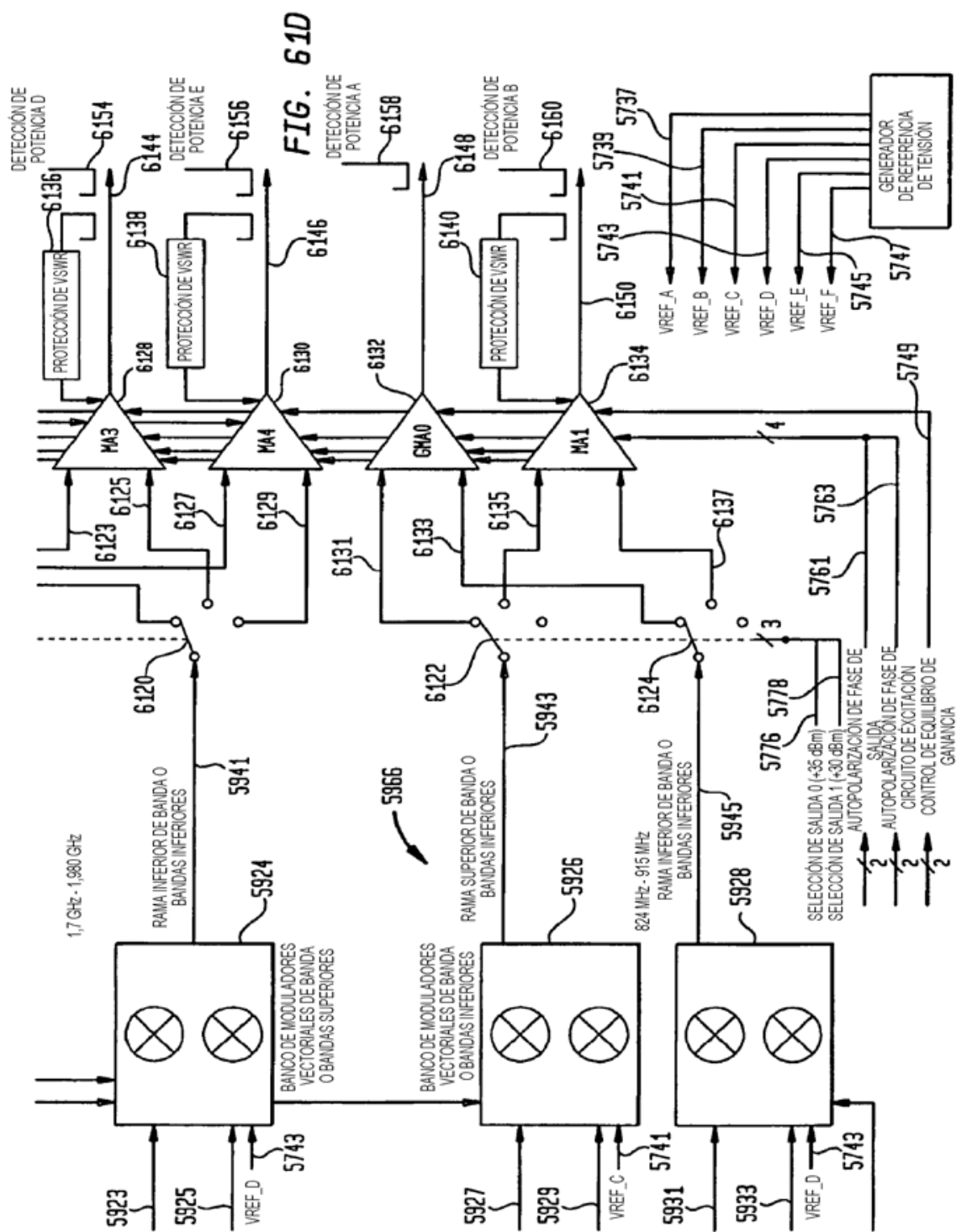


FIG. 61C





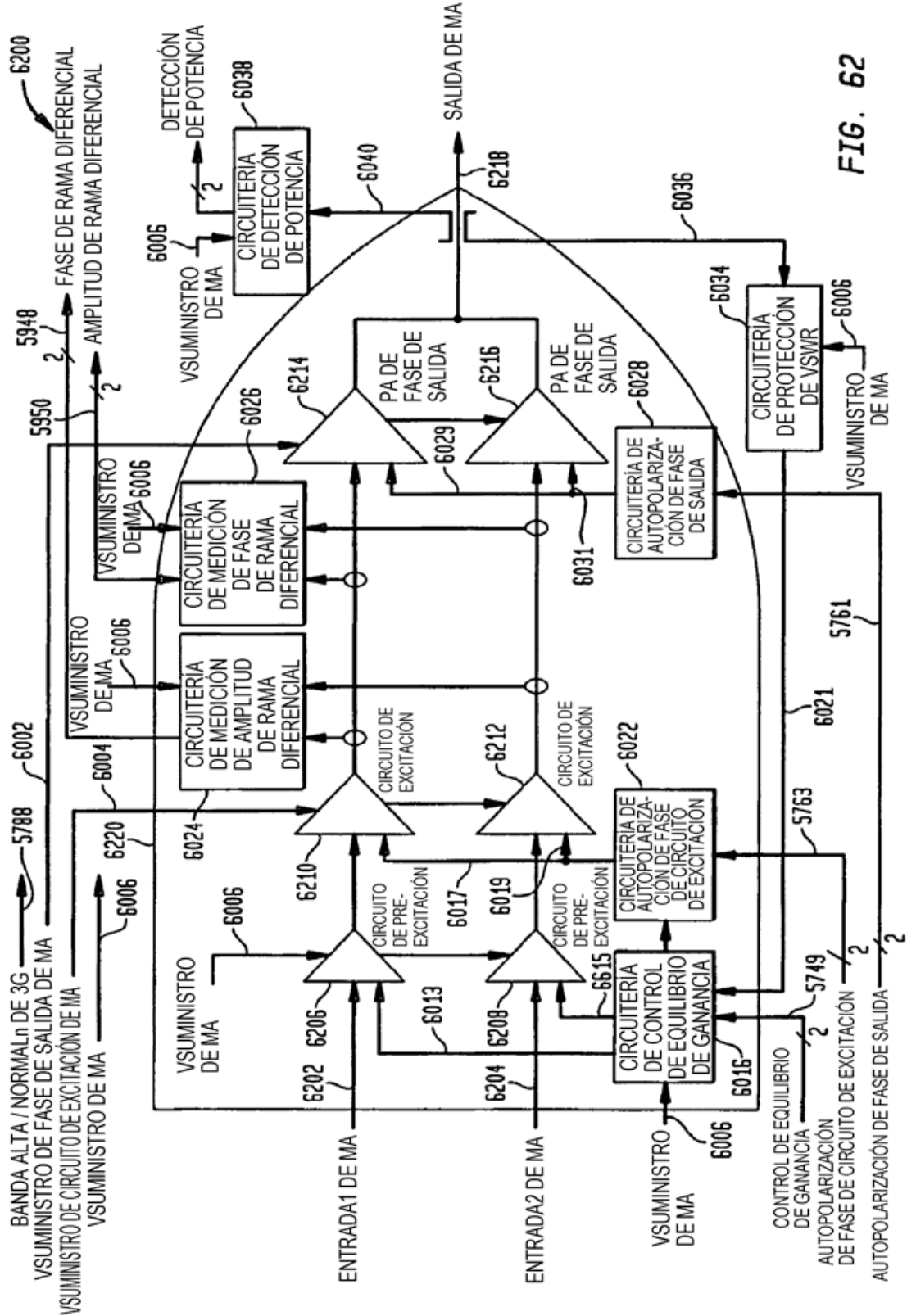


FIG. 62

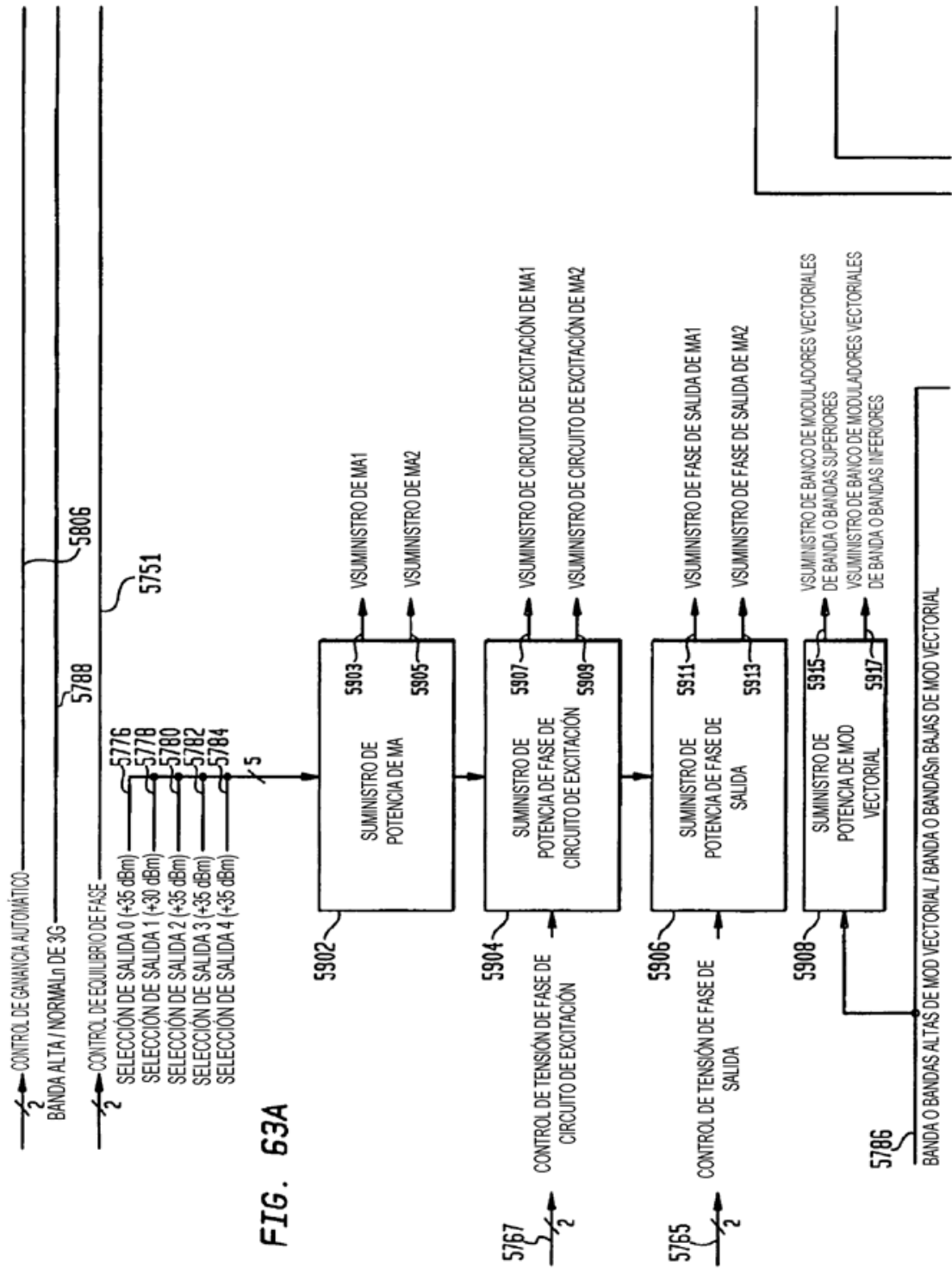
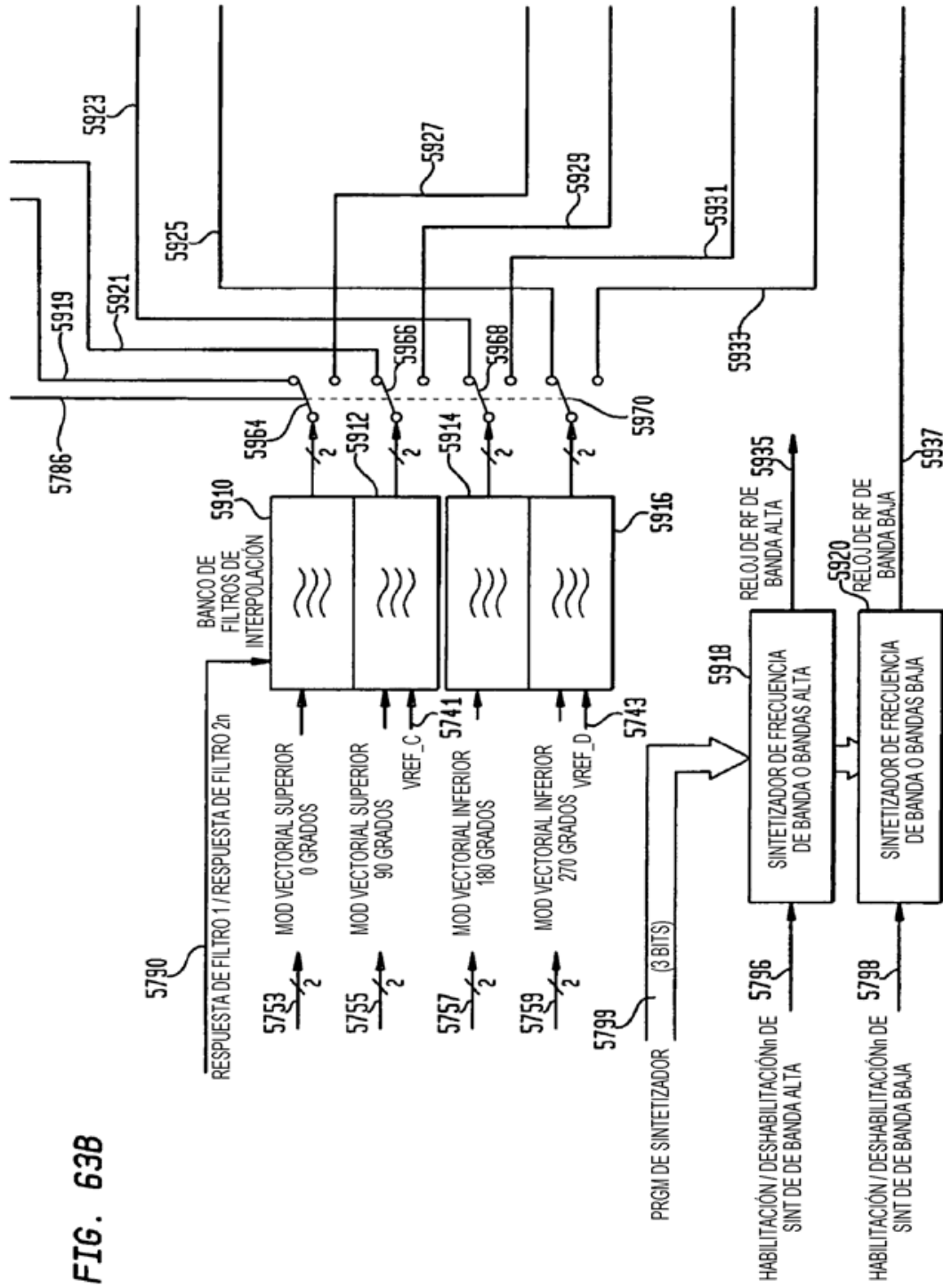
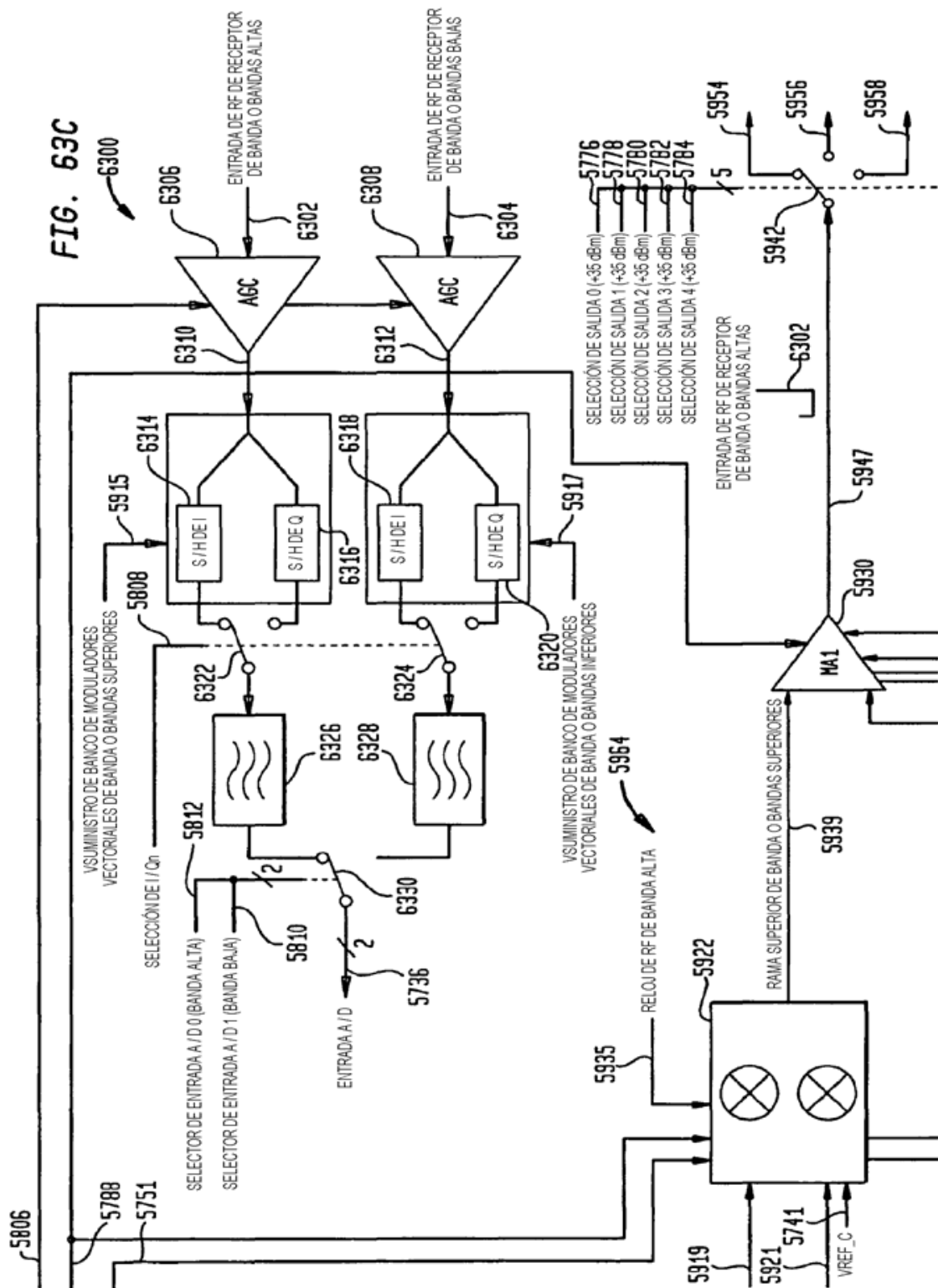


FIG. 63A

FIG. 63B





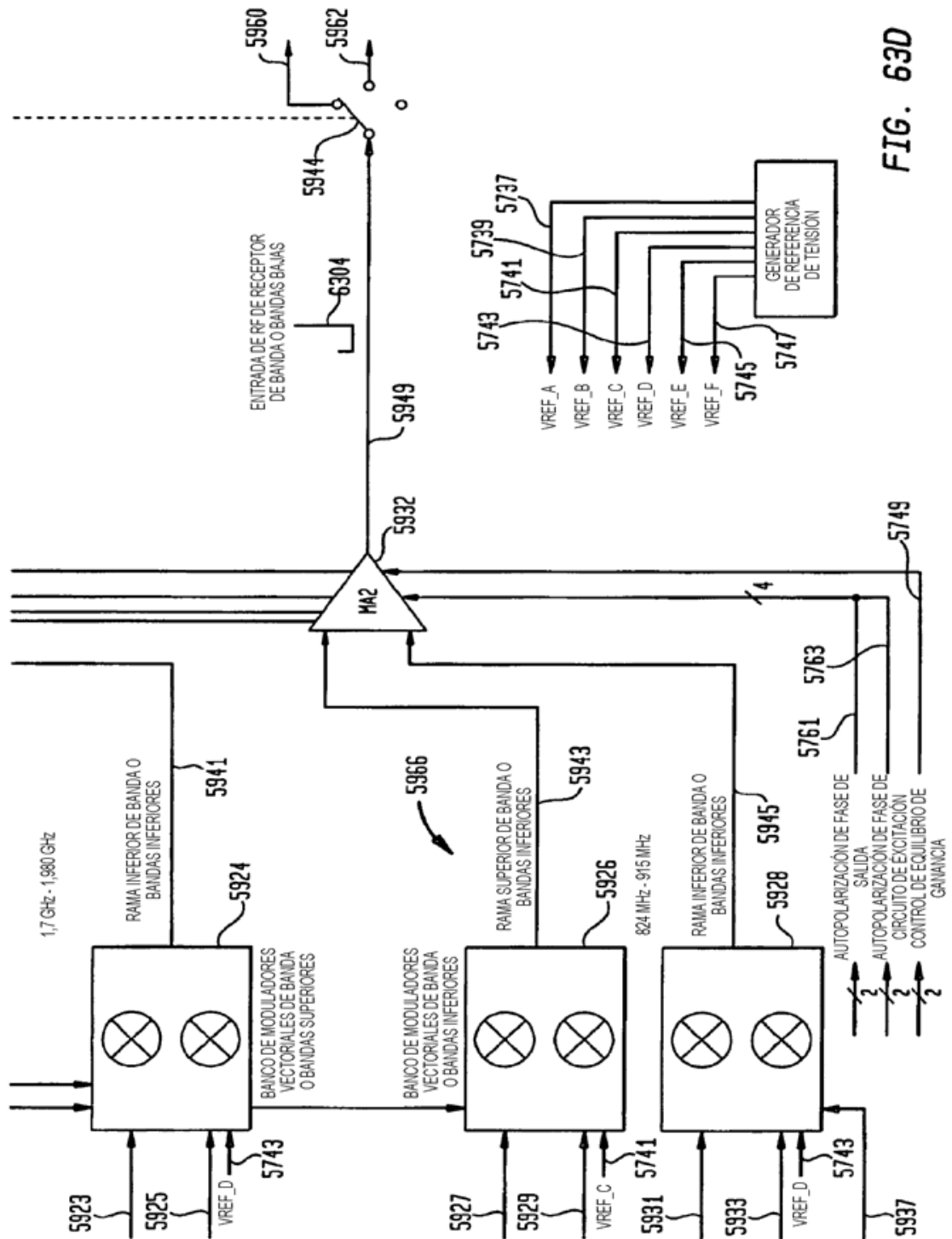


FIG. 63D

FIG. 64

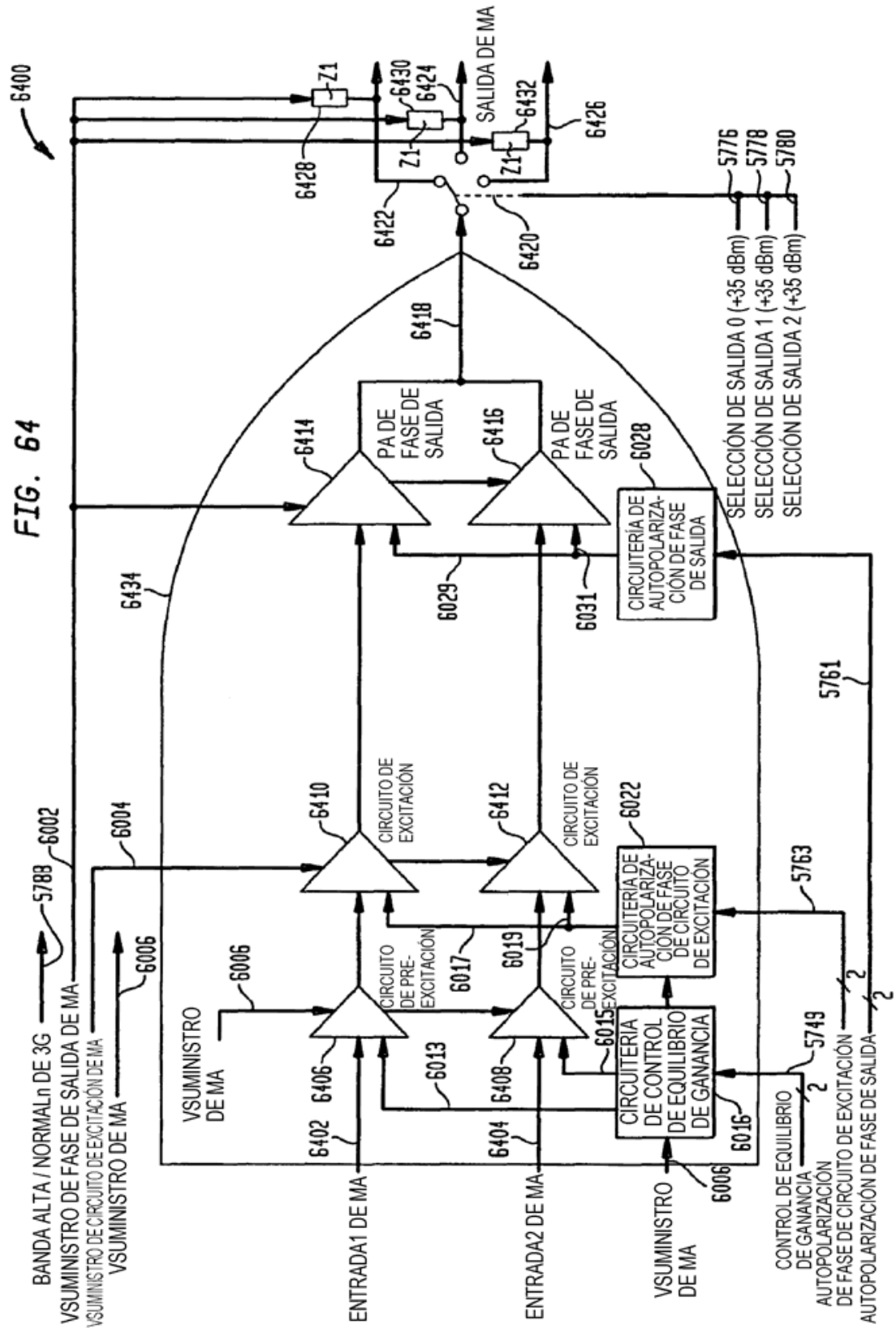


FIG. 65

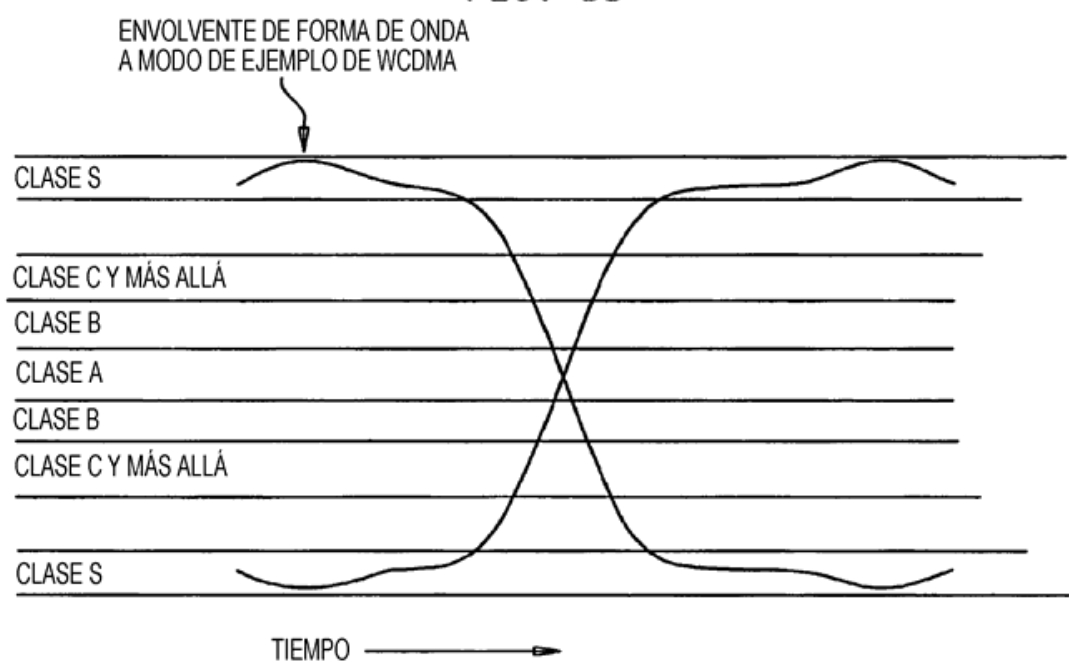


FIG. 66

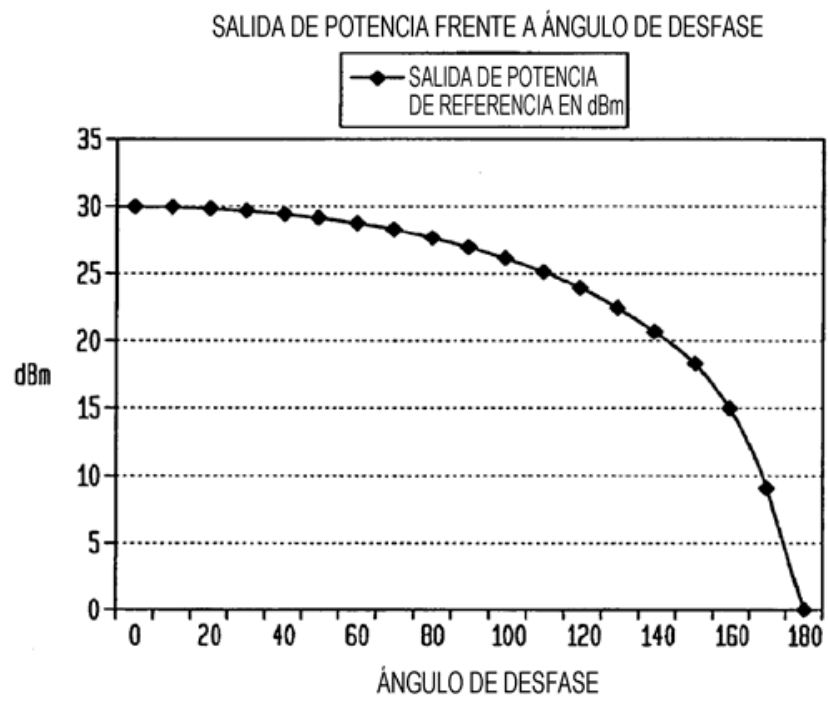


FIG. 67

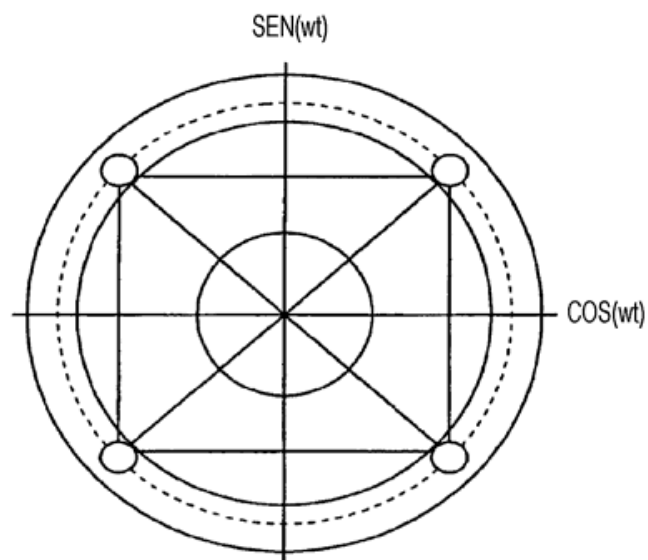


FIG. 68

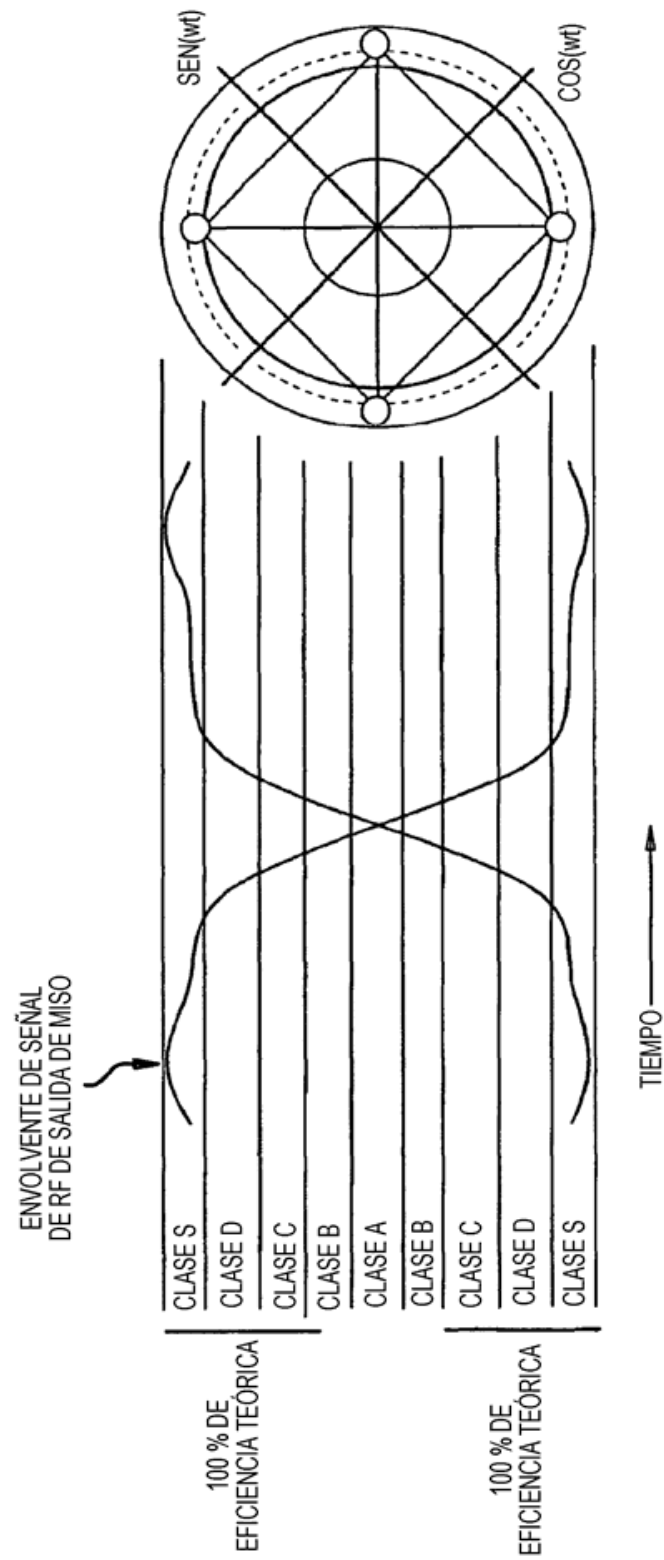


FIG. 69

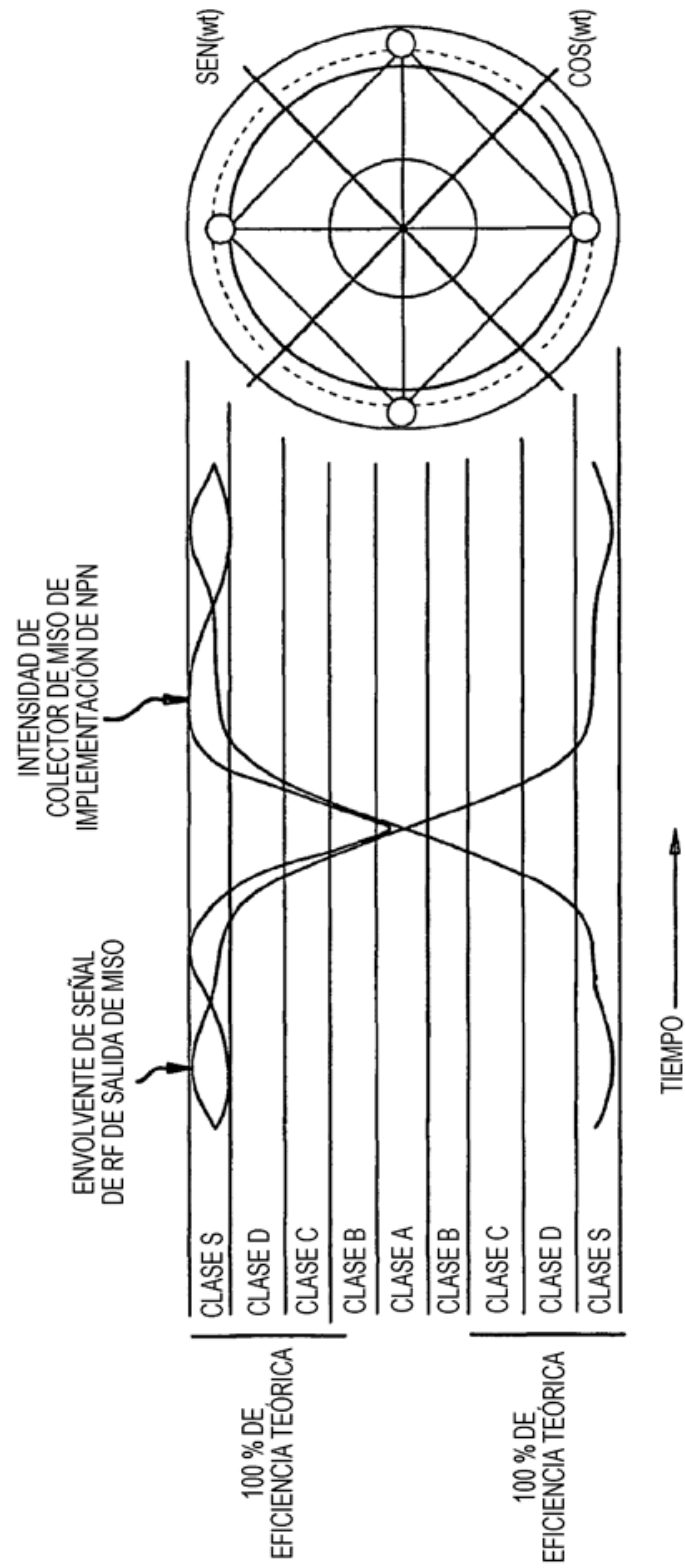


FIG. 70

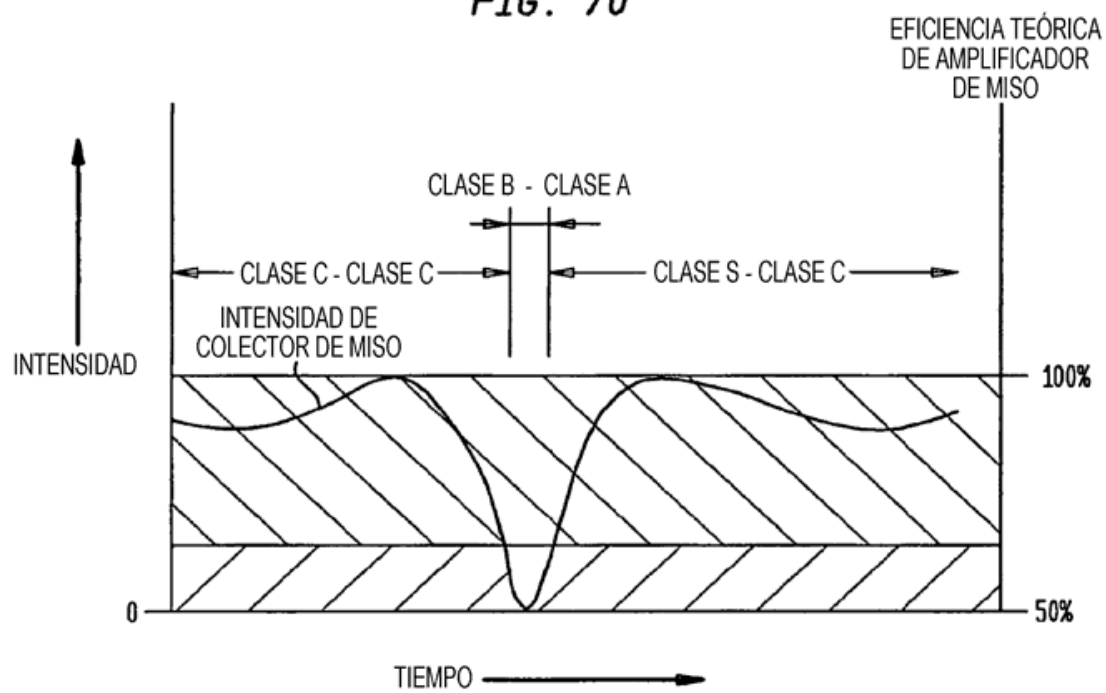


FIG. 71

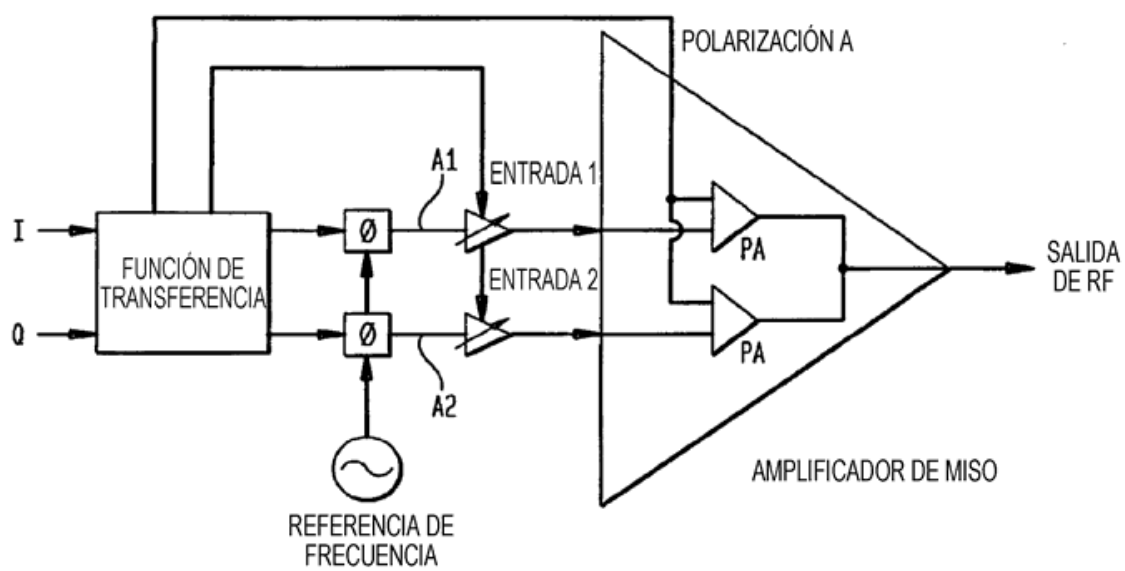


FIG. 72

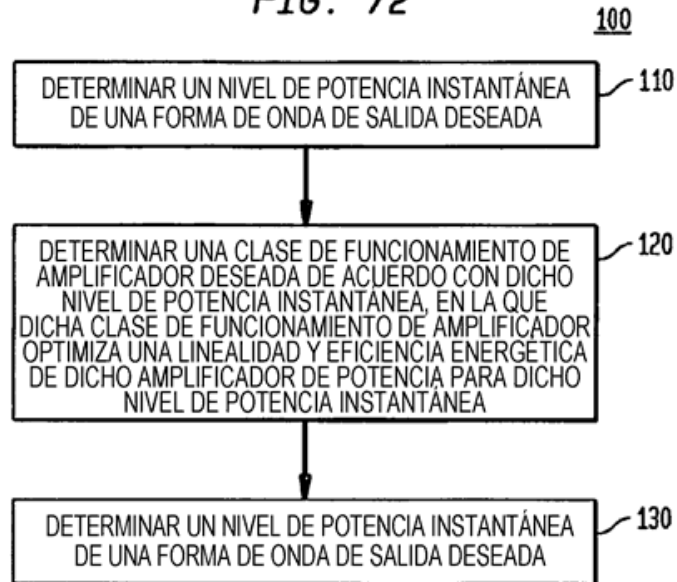


FIG. 73

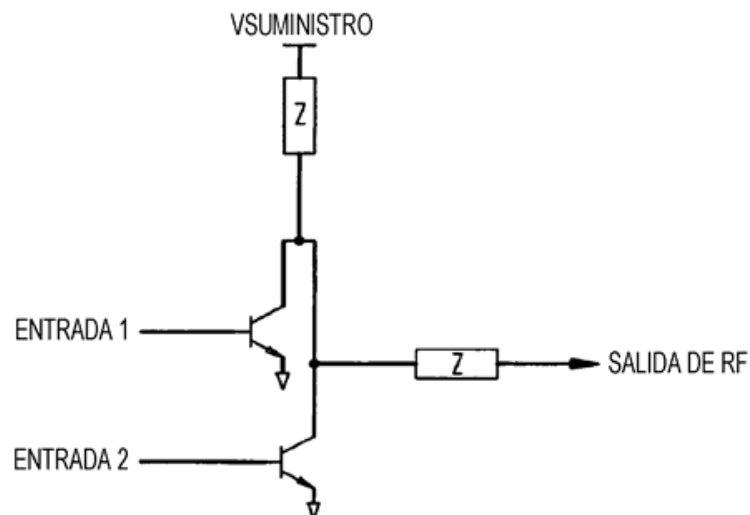


FIG. 74

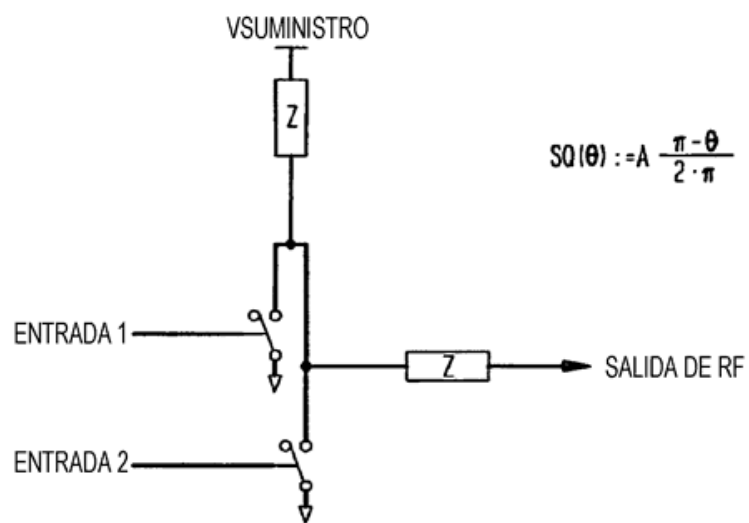


FIG. 75

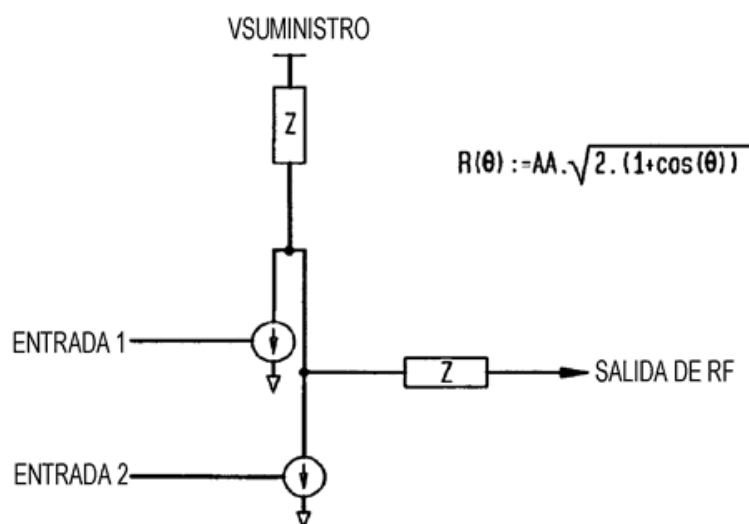


FIG. 76

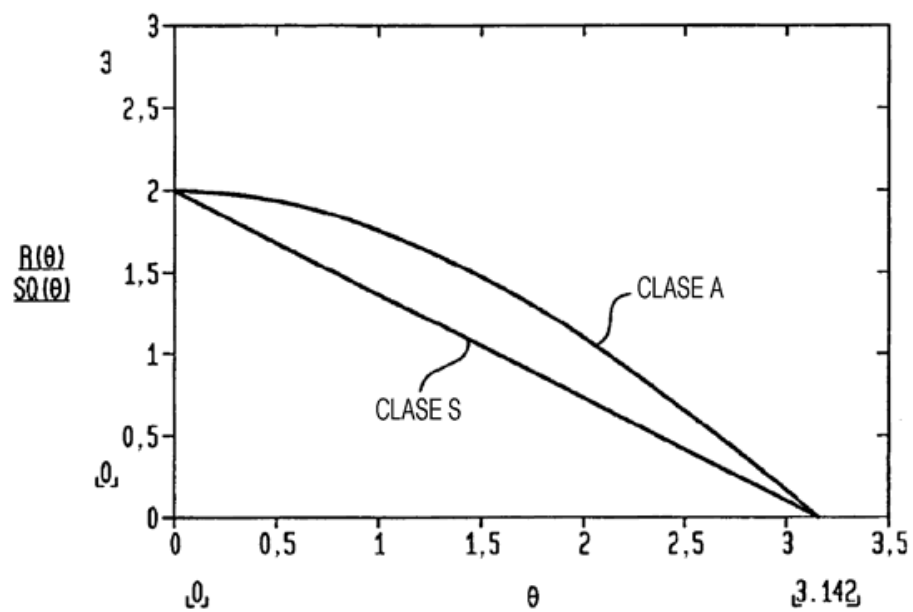


FIG. 77

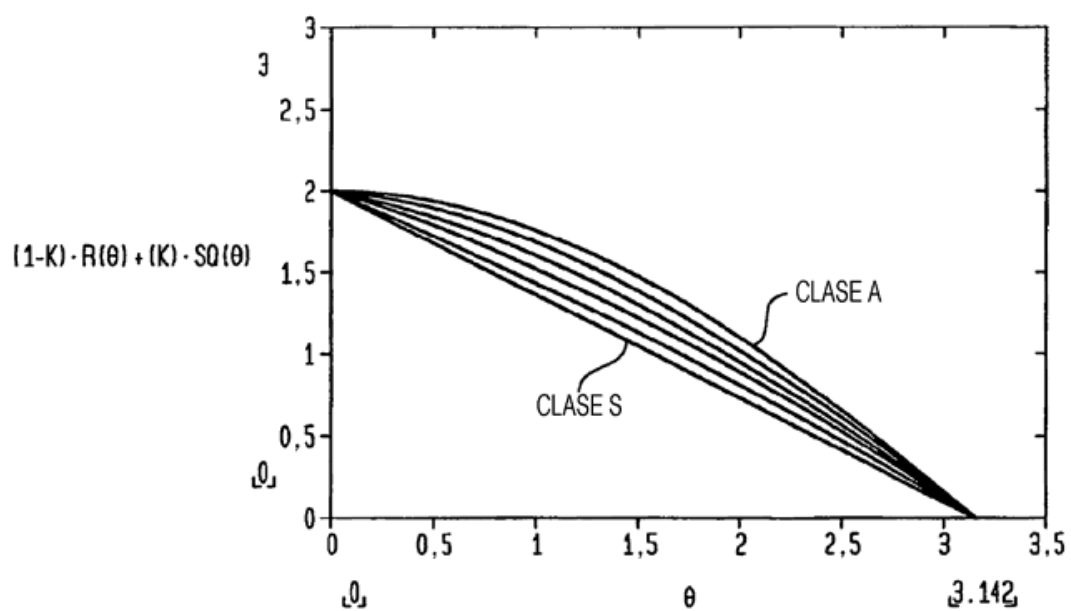


FIG. 78

$$R \cdot \text{sen}(\varphi - \delta) = A_1 \cdot \text{sen}(\varphi - \delta) \cdot \cos(\theta(t)) + A_2 \cdot \text{sen}(\varphi - \delta) \cdot \sin(\theta(t))$$

$$R \cdot \text{sen}(\varphi - \delta) =$$

$$A_1 \cdot \text{sen}(\varphi - \delta) \cdot \cos(\theta(t)) + A_1 \cdot \text{sen}(\varphi - \delta) \cdot \sin(\theta(t)) \cdot \cos(\varphi - \delta) + A_2 \cdot \text{sen}(\varphi - \delta) \cdot \cos(\theta(t)) \cdot \cos(\varphi - \delta) + A_2 \cdot \text{sen}(\varphi - \delta) \cdot \sin(\theta(t)) \cdot \cos(\varphi - \delta) + A_2 \cdot \text{sen}(\varphi - \delta) \cdot \sin(\theta(t)) \cdot \sin(\varphi - \delta)$$

$$A_1 \cdot \text{sen}(\varphi - \delta) \cdot \cos(\theta(t)) + A_1 \cdot \text{sen}(\varphi - \delta) \cdot \sin(\theta(t)) \cdot \cos(\varphi - \delta) + A_2 \cdot \text{sen}(\varphi - \delta) \cdot \cos(\theta(t)) \cdot \cos(\varphi - \delta) + A_2 \cdot \text{sen}(\varphi - \delta) \cdot \sin(\theta(t)) \cdot \cos(\varphi - \delta) + A_2 \cdot \text{sen}(\varphi - \delta) \cdot \sin(\theta(t)) \cdot \sin(\varphi - \delta)$$

$$A_1 \cdot \text{sen}(\varphi - \delta) \cdot \cos(\theta(t)) + A_1 \cdot \text{sen}(\varphi - \delta) \cdot \sin(\theta(t)) \cdot \cos(\varphi - \delta) + A_2 \cdot \text{sen}(\varphi - \delta) \cdot \cos(\theta(t)) \cdot \cos(\varphi - \delta) + A_2 \cdot \text{sen}(\varphi - \delta) \cdot \sin(\theta(t)) \cdot \cos(\varphi - \delta) + A_2 \cdot \text{sen}(\varphi - \delta) \cdot \sin(\theta(t)) \cdot \sin(\varphi - \delta)$$

$$R(t) = \sqrt{(A_1 \cdot \cos(\theta(t)) + A_2 \cdot \cos(\theta(t)) \cdot \cos(\varphi - \delta))^2 + (A_1 \cdot \sin(\theta(t)) + A_2 \cdot \sin(\theta(t)) \cdot \cos(\varphi - \delta))^2}$$

$$R(t) = (A_1 \cdot \cos(\theta(t)) + A_2 \cdot \cos(\theta(t)) \cdot \cos(\varphi - \delta))^2 + (A_1 \cdot \sin(\theta(t)) + A_2 \cdot \sin(\theta(t)) \cdot \cos(\varphi - \delta))^2 + A_1^2 + A_2^2 + 2 \cdot A_1 \cdot A_2 \cdot \sin(\theta(t)) \cdot \cos(\varphi - \delta) + A_2 \cdot \cos(\theta(t)) \cdot \sin(\varphi - \delta)$$

$$\delta(t) = \arctan \left[\frac{A_1 \cdot \sin(\theta(t)) + A_2 \cdot \sin(\theta(t)) \cdot \cos(\varphi - \delta)}{A_1 \cdot \cos(\theta(t)) + A_2 \cdot \cos(\theta(t)) \cdot \cos(\varphi - \delta)} \right]$$