

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 499 392**

51 Int. Cl.:

G11C 5/00 (2006.01)

G11C 5/06 (2006.01)

H01L 25/065 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **18.12.2008 E 08863812 (7)**

97 Fecha y número de publicación de la concesión europea: **18.06.2014 EP 2220681**

54 Título: **Método para apilar circuitos integrados conectados en serie y dispositivo multichip fabricado a partir del mismo**

30 Prioridad:

20.12.2007 US 15345

28.02.2008 US 32203

07.07.2008 US 168354

24.09.2008 US 236874

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
29.09.2014

73 Titular/es:

MOSAID TECHNOLOGIES INCORPORATED

(100.0%)

11 HINES ROAD, SUITE 203

OTTAWA, ON K2K 2X1, CA

72 Inventor/es:

PYEON, HONG BEOM

74 Agente/Representante:

CURELL AGUILÁ, Mireia

ES 2 499 392 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Método para apilar circuitos integrados conectados en serie y dispositivo multichip fabricado a partir del mismo.

5 **Referencia cruzada a solicitudes relacionadas**

La presente solicitud reivindica la prioridad de la solicitud de patente provisional US n.º 61/015.345 presentada el 20 de diciembre de 2007, la solicitud de patente provisional US n.º 61/032.203 presentada el 28 de febrero de 2008, la solicitud de patente US n.º de serie 12/168.354 presentada el 7 de julio de 2008, y la solicitud de patente US n.º de serie 12/236.874 presentada el 24 de septiembre de 2008.

Campo de la invención

La presente invención se refiere en general a circuitos integrados, o chips. Más particularmente, la presente invención se refiere a la disposición de conexiones de chips para el apilamiento de los mismos.

Antecedentes de la invención

Esta solicitud está relacionada con la publicación de solicitud de patente de estados unidos, presentada previamente, n.º 2007/0076479, titulada "Multiple Independent Serial Link Memory", presentada el 30 de diciembre de 2005, cuyas enseñanzas completas se incorporan a la presente a título de referencia.

Esta solicitud está relacionada con la publicación de solicitud de patente de Estados Unidos, continuación parcial, presentada previamente, n.º 2007/0109833, titulada "Daisy Chain Cascading Devices", presentada el 8 de noviembre de 2006, cuyas enseñanzas completas se incorporan a la presente a título de referencia.

Esta solicitud está relacionada con la solicitud de patente provisional de Estados Unidos, presentada previamente, n.º de serie 61/013.036, titulada "Memory System With Point-To-Point Ring Topology", presentada el 12 de diciembre de 2007, cuyas enseñanzas completas se incorporan a la presente a título de referencia.

Esta solicitud está relacionada con la solicitud de patente provisional de Estados Unidos, presentada previamente, n.º de serie 61/015.345, titulada "Method For Stacking Serially-Connected Integrated Circuits And Multi-Chip Device Made From Same", presentada el 20 de diciembre de 2007, cuyas enseñanzas completas se incorporan a la presente a título de referencia.

La integración de múltiples chips en un único conjunto encapsulado ha constituido una tendencia principal en la industria de los semiconductores con el fin de reducir el volumen y los costes de productos de consumo. Hasta el momento, en productos reales se han introducido y usado muchos métodos de encapsulamiento multi-chip.

A medida que la densidad de los chips ha aumentado, el propio encapsulamiento de los chips ha cambiado significativamente en términos de tamaño y números de pines. En relación con los problemas de la alta densidad de los chips de memoria y los factores de forma pequeños, los MCP (Conjuntos Encapsulados Multi-Chip) son una buena solución para conseguir que cualquier sistema sea más compacto. Hasta el momento, la mayor parte del apilamiento de chips se ha realizado con la tecnología de unión con cables. No obstante, en cada chip que se va a conectar con cables de unión se requiere tanto espacio como el necesario para los terminales (*pads*) de unión convencionales.

Con el fin de elaborar MCPs, se requiere un bastidor de conductores (*lead-frame*) más complicado. Además, cada chip se debería disponer de manera que posea una separación suficiente, lo cual da como resultado el incremento del factor de forma. La tecnología de unión con cables también puede reducir la durabilidad mecánica del MCP al quedar dispuestos los cables en ángulos extraños.

Adicionalmente, la unión con cables requiere espaciadores para cada chip. Esto da como resultado un incremento de la altura del apilamiento, lo cual hace que la manipulación y el ensamblaje del apilamiento de dispositivos integrados resulte más exigente en comparación con apilamientos que no comprenden espaciadores. Además, la longitud de los cables de unión es mayor en un apilamiento de chips con espaciadores, lo cual conduce a un rendimiento eléctrico reducido del sistema de apilamiento de chips. Además, la resistencia térmica de un apilamiento de dispositivos integrados que tiene un espaciador en los chips de dispositivo integrado se incrementa.

Los apilamientos de dispositivos integrados convencionales tienen tendencia a producir cortocircuitos eléctricos de los cables de unión cuando se aplica material espaciador y cuando se posiciona un dispositivo integrado sobre el material espaciador. Esto hace que se reduzca la fiabilidad y el rendimiento de producción. El apilamiento convencional de dados basado en cables de unión no proporciona un encapsulamiento compacto. La longitud de los cables y la distribución de las conexiones también dan como resultado efectos de carga elevados.

Otro planteamiento consiste en usar una vía entre chips. La vía pasante de chips puede constituir un mejor

planteamiento para solucionar la cuestión del ruido por las características eléctricas.

La figura 1 muestra una vista superior parcial 102 y una vista en sección transversal 104 de un apilamiento multi-chip o dispositivo multi-chip convencional 100 realizado con el uso de la tecnología de vías pasantes de chips. En la vista superior 102, se muestra una pluralidad de terminales para señales A1 a A6 y B1 a B6, que facilitan la conexión de señales internas y externas con el chip. En la vista superior no se observan las vías en sí. La vista en sección transversal 104 se toma a lo largo de la línea A-A de la vista superior. El método de vías pasantes de chips usado en la figura 1 se refiere a conexiones de entrada o salida comunes, o conexiones paralelas. Debido a esto, el único problema de fabricación real fue hasta qué profundidad se podían perforar y realizar agujeros limpios para conectar los mismos pines entre sí como una conexión común. En el caso de conexiones multi-derivación entre los mismos chips de memoria, el alineamiento de cada chip es tan importante que todos los chips se alinean sin ningún espaciador entre terminales, el cual es necesario en la conexión con cables de unión para el encapsulamiento multi-chip.

Otros planteamientos conocidos se refieren al uso de vías pasantes de chips para conexiones paralelas entre chips. Por ejemplo, la publicación de solicitud de patente de Estados Unidos n.º US 2007/0246257-A1 describe un circuito de memoria en el cual se conectan chips de memoria por medio de vías pasantes de silicio en una topología multi-derivación. No obstante, en este planteamiento, la vía se extiende a través de todos los chips de memoria de un apilamiento, limitando así el tipo de conectividad que se puede proporcionar.

El documento US 2007/0115712 A1 se refiere a un sistema, un módulo, y un aparato y método para formar un dispositivo de memoria microelectrónico. En una forma de realización, un sistema incluye un procesador y un controlador acoplado al procesador con por lo menos un módulo de memoria acoplado al controlador, incluyendo el módulo un par de dispositivos de memoria posicionados en oposición sobre superficies respectivas de un sustrato e interconectados por miembros que se extienden a través del sustrato que acoplan terminales de los dispositivos, seleccionándose los terminales para incluir un grupo de terminales que están configurados para comunicar señales funcionalmente compatibles.

El documento US 2006/0001176 A1 da a conocer un dispositivo de semiconductores en apilamiento que incluye una pluralidad de chips de semiconductor y un trayecto conductor que se extiende a través de por lo menos uno de los chips de semiconductor. Los chips de semiconductor están apilados conjuntamente. Los chips de semiconductor se conectan eléctricamente por el trayecto conductor, y el trayecto conductor tiene una pluralidad de conexiones pasantes que se extienden a través del chip de semiconductor correspondiente.

Por lo tanto, es deseable proporcionar un conjunto encapsulado multi-chip, o apilamiento de chips, que use vías pasantes de chips para proporcionar otras conexiones para conexiones en cadena (*daisy chain*) con el fin de mejorar el rendimiento de las señales.

Sumario de la invención

Es un objetivo de la presente invención eludir o mitigar por lo menos una desventaja de los dispositivos multi-chip previos.

En un primer aspecto, la presente invención proporciona un dispositivo multi-chip que incluye un par apilado de chips de circuito integrado que comprenden un chip superior y un chip inferior según se expone en la reivindicación 1. El chip superior tiene uno o más terminales para señales de entrada para su conexión con señales de entrada externas y uno o más terminales para señales de conexión común. Cada terminal para señales de conexión común está dispuesto simétricamente sobre o en torno a una línea central del chip superior con respecto a un terminal duplicado para señales de conexión común. Uno o más terminales para señales de salida están dispuestos simétricamente en torno a la línea central del chip superior con respecto a terminales respectivos para señales de entrada. El chip inferior tiene una disposición de los terminales para señales sustancialmente idéntica a la del chip superior, estando invertida la orientación del chip inferior con respecto al chip superior. El dispositivo incluye una vía pasante de chips, de conexión en paralelo, que conecta un terminal para señales de conexión común del chip superior en paralelo con su terminal duplicado para señales de conexión común. El dispositivo incluye también una vía pasante de chips, de conexión en serie, que conecta un terminal para señales de salida del chip superior en serie con su terminal respectivo para señales de entrada del chip inferior.

El terminal o terminales para señales de entrada, el terminal o terminales para señales de conexión común y el terminal o terminales para señales de salida se pueden disponer a lo largo de un único borde del chip superior. El terminal o terminales para señales de entrada se pueden disponer en el mismo lado de la línea central del chip superior. El dispositivo puede incluir además una pluralidad de vías pasantes de chips, de conexión en serie, que conectan terminales para señales de salida del chip superior en serie con sus terminales respectivos para señales de entrada del chip inferior y/o una pluralidad de vías pasantes de chips, de conexión en paralelo, que conectan terminales para señales de conexión común del chip superior en paralelo con sus terminales duplicados para señales de conexión común del chip inferior.

En una forma de realización, los chips apilados están alineados de modo que sustancialmente no se produce ninguna desviación. Por ejemplo, un borde de un chip superior se puede alinear verticalmente con un borde correspondiente del chip inferior. En otra forma de realización, los chips apilados están encarados en la misma dirección entre ellos. Por ejemplo, un lado del primer chip que tenga terminales para señales seleccionados puede estar encarado en la misma dirección que un lado del segundo chip que tenga los mismos terminales para señales seleccionadas.

En otra forma de realización, la presente invención proporciona un dispositivo multi-chip que comprende una pluralidad de chips sustancialmente idénticos que incluye un chip superior, un número par de chips intermedios y un chip inferior. Cada chip incluye uno o más terminales para señales de entrada y uno o más terminales para señales de conexión común. Cada terminal para señales de conexión común está dispuesta simétricamente sobre o en torno a una línea central del chip con respecto a un terminal duplicado para señales de conexión común. Uno o más terminales para señales de salida están dispuestos simétricamente en torno a la línea central del chip con respecto a terminales respectivos para señales de entrada. Una vía pasante de chips, de conexión en paralelo, conecta terminales correspondientes para señales de conexión común de cada chip entre sí en paralelo. Una vía pasante de chips, de conexión en serie, conecta un terminal para señales de salida de un chip en serie con su terminal respectivo para señales de entrada de otro chip.

En esta misma forma de realización, el chip superior tiene el terminal o terminales para señales de entrada para su conexión con señales de entrada externas, los terminales para señales de conexión común para su conexión con señales comunes externas, y el terminal o terminales para señales de salida conectados a terminales respectivos para señales de entrada de un chip adyacente. El chip inferior tiene el terminal o terminales para señales de salida para su conexión con señales de salida externas, los terminales para señales de conexión común para su conexión con las señales comunes externas y el terminal o terminales para señales de entrada conectados a terminales respectivos para señales de salida de un chip adyacente. Por lo menos uno de los chips intermedios tiene el terminal o terminales para señales de salida conectadas en serie con terminal o terminales respectivos para señales de entrada de un chip intermedio adyacente. La pluralidad de chips sustancialmente idénticos tiene disposiciones de terminales para señales, sustancialmente idénticas, y se proporciona en un apilamiento. Cada chip alterno del apilamiento tiene su orientación invertida con respecto a un chip adyacente.

El número par de chips intermedios puede ser una multiplicidad par de chips intermedios que tienen el terminal o terminales para señales de salida conectados a terminal o terminales respectivos para señales de entrada de una pluralidad de chips intermedios adyacentes. El dispositivo puede incluir además un aislador dispuesto entre terminales de chips intermedios adyacentes para evitar el contacto entre terminales adyacentes seleccionados. La vía pasante de chips, de conexión en paralelo, se puede extender a través del aislador y a través de los chips correspondientes para señales de conexión común de los chips intermedios. Una vía pasante de terminales se puede extender a través del aislador para conectar el terminal o terminales para señales de salida de uno de los chips intermedios con terminal o terminales respectivos para señales de entrada de un chip intermedio adyacente.

El dispositivo puede incluir además un controlador para controlar el acceso a la pluralidad de chips sustancialmente idénticos. En ese caso, se pueden proporcionar conexiones de entrada a un controlador para conectar terminales para señales de salida desde el chip inferior a un lado de entrada del controlador. Se pueden proporcionar conexiones de salida del controlador para conectar un lado de salida del controlador a los terminales de entrada del chip superior. El controlador se puede colocar por debajo de los chips apilados, en cuyo caso las conexiones de salida del controlador pueden comprender unión por cables, o se puede colocar por encima de los chips apilados, en cuyo caso las conexiones de entrada al controlador pueden comprender unión por cables.

En un aspecto adicional, la presente invención proporciona un método para apilar circuitos integrados conectados en serie, según se expone en la reivindicación 10, y que incluye las siguientes etapas: invertir un primer chip de manera que su lado superior portador de transistores quede encarado en una primera dirección para convertirse en un chip inferior; colocar un segundo chip encima del primer chip invertido, siendo el segundo chip sustancialmente idéntico al primer chip en cuanto a disposición y colocación de los terminales; crear orificios de vías pasantes de terminales y de chips para facilitar la conexión de terminales para señales, del chip superior, con terminales correspondientes para señales, del chip inferior, con el fin de crear por lo menos una conexión en serie y por lo menos una conexión en paralelo; disponer una capa de aislamiento en los orificios de las vías; disponer un conductor en los orificios de las vías para crear conexiones pasantes de vías entre los terminales del chip superior y el chip inferior con el fin de crear un par apilado de chips de circuito integrado.

La etapa de crear los orificios de vías pasantes de terminales y de chips puede incluir crear un primer orificio de vía pasante de chips y pasante de terminales para facilitar la conexión entre un terminal para señales de conexión común del chip superior en paralelo con su terminal duplicado para señales de conexión común. La etapa de crear los orificios de vías pasantes de terminales y de chips puede incluir crear un segundo orificio de vía pasante de chips y pasante de terminales para facilitar la conexión entre un terminal para señales de salida del chip superior en serie con su terminal respectivo para señales de entrada del chip inferior.

El método puede incluir además las siguientes etapas: depositar una capa de aislamiento encima del par apilado de

chips de circuito integrado; formar orificios de contacto en la capa de aislamiento para permitir la conexión entre ciertos terminales para señales, adyacentes, cuando posteriormente se coloca encima otro chip; depositar un conductor en los orificios de contacto; aplicar por ataque químico una capa conductora para eliminar material conductor en exceso de las partes que están fuera de los orificios de contacto; y fijar dos chips previamente combinados encima del par apilado de chips de circuito integrado para crear un circuito multi-chip para un conjunto encapsulado multi-chip, siendo los dos chips previamente combinados sustancialmente idénticos al par apilado de chips de circuito integrado.

El método puede incluir todavía adicionalmente las siguientes etapas: proporcionar un controlador de memorias para controlar el acceso a la pluralidad de chips sustancialmente idénticos; conectar terminales para señales de entrada del chip superior a un lado de salida del controlador; y conectar terminales para señales de salida desde el chip inferior a un lado de entrada del controlador.

En otra forma de realización, la presente invención proporciona un dispositivo multi-chip que comprende una pluralidad de chips sustancialmente idénticos que incluyen un chip superior y un chip inferior. Los chips superior e inferior tienen disposiciones sustancialmente idénticas de los terminales para señales, estando invertida la orientación del chip inferior con respecto al chip superior. El dispositivo incluye por lo menos una vía pasante de chips en serie para conectar por lo menos un terminal para señales de salida del chip superior a un terminal respectivo para señales de entrada del chip inferior. En el dispositivo se proporciona por lo menos una vía pasante de chips en paralelo para conectar por lo menos un terminal para señales de conexión común del chip superior a por lo menos un terminal duplicada para señales de conexión común del chip inferior.

Todavía en otra forma de realización, la presente invención proporciona un dispositivo multi-chip que comprende una pluralidad de chips sustancialmente idénticos que incluyen un chip superior, un número par de chips intermedios y un chip inferior. Cada chip del dispositivo tiene disposiciones sustancialmente idénticas de los terminales para señales. Los chips se proporcionan en un apilamiento. Cada chip alterno del apilamiento está invertido en cuanto a orientación con respecto a un chip adyacente. El dispositivo incluye además por lo menos una vía pasante de chips en paralelo, por lo menos una vía pasante de chips en serie, y por lo menos una conexión en serie entre terminales para señales de salida y de entrada de dos de los chips intermedios.

Aún en otra forma de realización, la presente invención proporciona un conjunto encapsulado multi-chip que comprende una pluralidad de chips sustancialmente idénticos que incluyen un chip superior, un número par de chips intermedios y un chip inferior. Los chips se proporcionan en un apilamiento. Cada chip del dispositivo tiene disposiciones sustancialmente idénticas de los terminales para señales. Cada chip alterno del apilamiento está invertido en cuanto a orientación con respecto a un chip adyacente. El dispositivo incluye también por lo menos una vía pasante de chips en paralelo, o por lo menos una vía pasante de chips en serie, y por lo menos una conexión en serie entre terminales para señales de salida y de entrada de dos de los chips intermedios. El dispositivo incluye además conectores de entrada al conjunto encapsulado para la conexión con señales de entrada externas, y conectores de salida del conjunto encapsulado para la conexión con señales de salida externas.

Todavía en otra forma de realización, la presente invención proporciona un método de fabricación de un dispositivo multi-chip que tiene dos pares de chips apilados, que incluye las siguientes etapas: invertir un primer chip de manera que su lado superior portador de transistores quede encarado en una primera dirección para convertirse en un chip inferior; colocar un segundo chip encima del primer chip invertido, siendo el segundo chip sustancialmente idéntico al primer chip en cuanto a disposición y colocación de los terminales; crear orificios de vías pasantes de terminales y de chips para facilitar la conexión de terminales para señales, del chip superior, con terminales correspondientes para señales, del chip inferior, con el fin de crear por lo menos una conexión en serie y por lo menos una conexión en paralelo; disponer una capa de aislamiento en los orificios de las vías; y disponer un conductor en los orificios de las vías para crear conexiones pasantes de vías entre los terminales del chip superior y el chip inferior con el fin de crear un par apilado de chips de circuito integrado.

En la misma forma de realización, el método incluye además: depositar una capa de aislamiento encima del par apilado de chips de circuito integrado; formar orificios de contacto en la capa de aislamiento para permitir la conexión entre ciertos terminales para señales, adyacentes, cuando posteriormente se coloca encima otro chip; depositar un conductor en los orificios de contacto; aplicar por ataque químico una capa conductora para eliminar material conductor en exceso de las partes que están fuera de los orificios de contacto; fijar dos chips previamente combinados encima del par apilado de chips de circuito integrado para crear un circuito multi-chip para un conjunto encapsulado multi-chip, siendo los dos chips previamente combinados sustancialmente idénticos al par apilado de chips de circuito integrado; añadir cables de unión para conectar terminales para señales de entrada del chip superior con un lado de salida del controlador y para conectar terminales para señales de salida desde el chip inferior a un lado de entrada del controlador; y cubrir el conjunto encapsulado o compuesto completo.

Otros aspectos y características de la presente invención se pondrán de manifiesto para aquellos con conocimientos habituales en la técnica tras revisar la siguiente descripción de formas de realización específicas de la invención conjuntamente con las figuras adjuntas.

Breve descripción de los dibujos

A continuación se describirán formas de realización de la presente invención, únicamente a título de ejemplo, y en referencia a las figuras adjuntas, en las que:

5 la figura 1 muestra una vista superior parcial y una vista en sección transversal de un apilamiento convencional multichip;

10 la figura 2 es un dibujo esquemático de un circuito ejemplificativo adecuado para la fabricación de acuerdo con una forma de realización de la presente invención;

15 las figuras 3A a 3C proporcionan, respectivamente, una vista superior parcial, una vista frontal en sección transversal, y una vista inferior parcial de una representación ortográfica simplificada que incluye una forma de realización del circuito mostrado en la figura 2;

la figura 4 es otra vista superior parcial, simplificada, de la forma de realización de la figura 3;

20 las figuras 5A a 5C proporcionan, respectivamente, una vista superior parcial, una vista frontal en sección transversal, y una vista inferior parcial, de una representación ortográfica simplificada que incluye otra forma de realización del circuito mostrado en la figura 2;

las figuras 6A a 6C proporcionan, respectivamente, una vista superior parcial detallada, una vista frontal en sección transversal, y una vista inferior de la forma de realización del circuito de la figura 2;

25 las figuras 7 y 8 muestran etapas de un método de fabricación de la forma de realización mostrada en la figura 6 de acuerdo con la presente técnica;

30 la figura 9 es una vista frontal en sección transversal de otro circuito multichip de acuerdo con una forma de realización de la presente invención; y

la figura 10 es una vista frontal en sección transversal de un conjunto encapsulado multichip de acuerdo con otra forma de realización de la presente invención.

Descripción detallada

35 En general, la presente invención proporciona un dispositivo multichip y un método de apilamiento de una pluralidad de chips sustancialmente idénticos para producir el dispositivo. El dispositivo, o circuito, multichip incluye por lo menos una vía pasante de chips que proporciona una conexión en paralelo entre terminales para señales de por lo menos dos chips, y por lo menos una vía pasante de chips que proporciona una conexión en serie o en cadena entre terminales para señales de por lo menos dos chips. Hay dispuestos simétricamente terminales para señales de conexión común en torno a una línea central del chip con respecto a terminales duplicados para señales comunes. Hay dispuestos simétricamente terminales para señales de entrada en torno a la línea central del chip con respecto a terminales correspondientes para señales de salida. Los chips del apilamiento son versiones invertidas alternas del chip sustancialmente idéntico para proporcionar esta disposición. Se proporciona por lo menos una conexión en serie entre terminales para señales de chips apilados e invertidos cuando se apilan más de dos chips.

50 La corta interconexión de vías de orificios pasantes proporciona una inductancia, capacidad y resistencia menores de manera que la integridad de las señales del MCP es mejor que si se hubiera usado cable de unión. Además de esto, debido al bajo perfil ya que no se usan espaciadores, el tamaño del conjunto encapsulado se puede minimizar en comparación con un conjunto encapsulado equivalente que usa cable de unión.

Una forma de realización de la presente invención proporciona un método para apilar circuitos integrados usando orificios de vías pasantes de chips en lugar de cable de unión.

55 A diferencia del caso de multi-derivación, múltiples componentes conectados en serie en un único conjunto encapsulado proporcionan un planteamiento diferente para la conexión de la salida de un dispositivo previo a la entrada de un dispositivo presente con el fin de realizar una conexión en serie entre puertos de salida y de entrada.

60 Una forma de realización de la presente invención proporciona un método para materializar dispositivos multichip conectados en serie. De forma ventajosa, la presente técnica proporciona un método para realizar conexiones de línea corta usando el método de las vías pasantes de silicio. La expresión "conexión en serie" y variaciones de la misma según se usan en la presente representan cualquier conexión que facilite una conexión de topología en cadena o en anillo. En una topología en anillo de chips conectados en serie, el último chip puede enlazar de nuevo con el controlador.

65 En referencia a continuación en la figura 2, se muestra esquemáticamente un circuito 200 que incluye circuitos

integrados conectados en serie. Este circuito 200 incluye un circuito de memoria *flash* de cuatro chips y se usa como ejemplo con fines descriptivos. La presente técnica es aplicable también a una memoria dinámica de acceso aleatorio (DRAM), una memoria estática de acceso aleatorio (SRAM), un circuito integrado de aplicación específica (ASIC), una unidad de procesamiento central (CPU) o cualquier otro tipo de circuito multichip que presente una topología de conexión en serie similar a la descrita en la presente más adelante.

Cada chip del circuito 200 incluye señales de conexión que se pueden clasificar como uno de tres tipos de señal de conexión de la manera siguiente:

Señales con conexión en común: \overline{RST} , \overline{CE} , VREF, y fuentes de alimentación (VDD, VSS, etcétera).

Señales de entrada en serie: \overline{CK} / CK, D[0:3], CSI, y DSI.

Señales de salida en serie: \overline{CKO} /CKO, Q[0:3], CSO y DSO.

En otras palabras, algunas de las señales en paralelo, o conectadas en común, pueden incluir reloj, reinicialización, y selección de chip. Las señales mostradas en la figura 2 son ejemplos, y aquellos con conocimientos habituales en la materia apreciarán que otras señales se pueden colocar apropiadamente en uno de estos grupos basándose en las propiedades y requisitos de conexión de la señal.

Una forma de realización de la presente invención tiene un reloj conectado en paralelo. No obstante, en otra forma de realización, para el reloj se usa una conexión en serie. La alimentación debe ser en paralelo. Las señales de entrada y de salida, o los terminales para señales, pueden estar en cadena, para cualquier tipo de RAM, cualquier lógica, o incluso una CPU de acuerdo con una forma de realización de la presente invención.

En referencia a las figuras 3A a 3C, se muestra una representación ortográfica simplificada 300 que incluye una vista superior parcial 302 (en la figura 3A), una vista frontal en sección transversal 304 (en la figura 3B), y una vista inferior parcial 306 (en la figura 3C) de una forma de realización del circuito 200 mostrado en la figura 2. Para clarificar, se muestra únicamente un subconjunto de las señales de conexión. En esta forma de realización, se apilan y conectan dos chips sustancialmente idénticos.

Tal como se muestra en la figura 3B, la cual es una sección transversal tomada según la línea A-A de la figura 3A, el par de chips de circuito integrado apilados incluye un chip superior 308 y un chip inferior 310. El chip inferior 310 tiene una disposición de los terminales para señales sustancialmente idéntica al chip superior 308, y su orientación está invertida con respecto al chip superior. Tal como se muestra en las figuras 3A y 3C, cada chip incluye uno o más terminales para señales de entrada A3 a A6 para su conexión con señales de entrada externas. Se proporcionan uno o más terminales para señales de conexión común A1 a A2, estando cada terminal para señales de conexión común dispuesta simétricamente en torno a una línea central 312 del chip superior con respecto a un terminal duplicado para señales comunes B1 a B2. Uno o más terminales para señales de salida B3 a B6 están dispuestos simétricamente en torno a la línea central del chip con respecto a terminales respectivos, o correspondientes, para señales de entrada A3 a A6.

En referencia nuevamente a la figura 3B, una vía pasante de chips, de conexión en paralelo, 314 conecta un terminal para señales de conexión común del chip superior en paralelo con su terminal duplicado para señales de conexión común. Una vía pasante de chips, de conexión en serie, 316 conecta un terminal para señales de salida del chip superior en serie con su terminal respectivo, o correspondiente, para señales de entrada del chip inferior.

Cuando las diferentes vistas 302, 304 y 306 de las figuras 3A a 3C se alinean conjuntamente, las mismas ilustran cómo los terminales de conexión común de los chips superior e inferior se alinean entre sí cuando están en apilamiento, y cómo los terminales para señales de entrada del chip superior se alinean con sus terminales correspondientes para señales de salida del chip inferior. Esto es particularmente evidente cuando se observan los terminales de las vistas 302 y 306 que están alineadas verticalmente entre sí. La disposición de terminales para señales permite el uso de vías pasantes de chips para conexiones tanto en paralelo como en serie, o en cadena, en el mismo conjunto encapsulado multichip.

En una forma de realización, los chips apilados están alineados de manera que no se produce sustancialmente ninguna desviación. Por ejemplo, un borde de un chip superior se alinea verticalmente con un borde correspondiente del chip inferior. En una forma de realización, la totalidad de los bordes de un chip superior se puede alinear verticalmente con la totalidad de los bordes correspondientes del chip inferior. En otra forma de realización, los chips apilados están encarados en la misma dirección entre ellos. Por ejemplo, un lado del primer chip que tiene terminales para señales, seleccionados, está encarado en la misma dirección que un lado del segundo chip que tiene los mismos terminales para señales, seleccionados. Estas relaciones descritas en relación con un chip superior y un chip inferior también pueden describir chips adyacentes en una forma de realización de la presente invención que presenta una pluralidad de chips apilados.

La figura 4 ilustra otra vista superior parcial de la forma de realización mostrada en las figuras 3A a 3C que describe más detalladamente las relaciones geométricas clave entre terminales para señales en un chip. La especificación de la ubicación de los terminales en el chip posibilita las conexiones en cadena y en paralelo con un chip invertido sustancialmente idéntico, usando vías pasantes de chips. Los terminales para señales A3 a A6 son imágenes especulares de los terminales B3 a B6 para señales en torno a la línea central 312 del chip, y viceversa. Los terminales para señales A3 a A6 y B3 a B6 pueden ser, respectivamente, terminales de entrada en serie y terminales de salida en serie. Los terminales de conexión común A1 y A2 son imágenes duplicadas y especulares de sus duplicados respectivos B1 y B2 en torno a la línea central del chip. Los terminales para señales A1 y B1 llevan la misma señal entre ellas, y los terminales para señales A2 y B2 llevan la misma señal entre ellas.

Siguiendo con la descripción de la disposición de los terminales en la forma de realización de la figura 4, el terminal de entrada A6 se proporciona a una distancia L1 con respecto a la línea central del chip. El terminal de salida relacionado, B6 se proporciona a una distancia L2 con respecto a la línea central del chip, con $L1=L2$. De modo similar, los terminales de conexión común A1 y A2 se proporcionan respectivamente a una distancia Lg y Lm con respecto a la línea central, y sus terminales de conexión común duplicadas B1 y B2 se proporcionan, respectivamente, a una distancia Lh y Ln con respecto a la línea central, con $Lg=Lh$ y $Lm=Ln$.

El terminal de entrada A5 está separado con respecto al terminal de entrada A4 por una distancia La. El terminal de salida B5 está separado con respecto al terminal de salida B4 por una distancia Lb, que es igual a La. De modo similar, para otras distancias entre terminales mostrados en la figura 4, $Lc=Ld$ y $Le=Lf$.

Cuando, según una forma de realización de la presente invención, se apilan únicamente dos chips, existe cierta flexibilidad en la colocación o disposición de los terminales. En la forma de realización mostrada en la figura 4, los terminales en un lado de la línea central son todas entradas, y los terminales en el otro lado son todas ellas salidas. En otra forma de realización, se pueden proporcionar puertos de entrada y puertos de salida en cualquiera de los lados o en los dos lados de la línea central del chip. En ese caso, cada puerto de entrada está en el lado opuesto de la línea central con respecto a su puerto de salida correspondiente, y cada puerto de entrada y de salida de un par está separado con respecto a la línea central por la misma distancia. Los terminales de entrada y los terminales de salida se puede agrupar entre sí, pero su colocación y distancia de separación relativas en cada grupo no se gobierna tan estrictamente como cuando hay múltiples chips apilados.

Las figuras 5A a 5C ilustran una representación ortográfica simplificada 500, que incluye una vista superior parcial 502 (en la figura 5A), una vista frontal en sección transversal 504 (en la figura 5B), y una vista inferior parcial (en la figura 5C) de otra forma de realización del circuito 200 mostrada en la figura 2. Tal como resulta evidente a partir de la figura 5B, esta forma de realización muestra una multiplicidad par de chips en el circuito o conjunto encapsulado multichip, tal como una pluralidad de pares de chips apilados. Cada chip alterno de la pila está invertido en cuanto a orientación con respecto a un chip adyacente.

La forma de realización mostrada en la figura 5B tiene una pluralidad de chips sustancialmente idénticos que incluyen un chip superior 508, un chip inferior 510, y un número par de chips intermedios. En este caso, hay un primer chip intermedio 512 y un segundo chip intermedio 514. Cada chip del apilamiento presenta disposiciones sustancialmente idénticas de los terminales para señales y presenta propiedades similares a los chips descritos en relación con la figura 3. En esta forma de realización, el conjunto encapsulado multichip tiene por lo menos una vía pasante de chips en paralelo, por lo menos una vía pasante de chips en serie, y por lo menos una conexión en serie entre terminales de chips apilados e invertidos.

Los terminales para señales de entrada A3 a A6 y los terminales para señales de conexión común A1 a A2 y B1 a B2 (mostradas en la figura 5A) del chip superior 508 están destinadas a la conexión, respectivamente, con señales de entrada externas y señales comunes externas. Uno o más de los terminales para señales de salida del chip superior están conectados a terminales respectivos para señales de entrada de un chip adyacente, tal como se describirá de forma más detallada posteriormente.

Los terminales para señales de salida B3 a B6 y los terminales para señales de conexión común A1 a A2 y B1 a B2 del chip inferior 510 (mostrado en la figura 5C) están destinadas a la conexión con señales de salida externas y señales comunes externas, respectivamente. Una o más de los terminales para señales de entrada del chip inferior están conectados a terminales respectivos para señales de salida de un chip adyacente, tal como se describirá de forma más detallada posteriormente.

Por lo menos uno de los chips intermedios tiene uno o más de sus terminales para señales de salida conectadas a uno o más terminales respectivos para señales de entrada de un chip intermedio adyacente.

En la forma de realización mostrada en la figura 5B, se proporciona un aislador 522 para evitar un cortocircuito entre terminales adyacentes que se supone que no deben hacer contacto entre sí. El aislador se puede disponer entre terminales de chips intermedios adyacentes para evitar el contacto entre terminales adyacentes seleccionados, tales como aquellos entre los cuales no se desea una conexión. Las conexiones respectivas comunes de chip-a-chip se

realizan usando vías colineales pasantes de terminales, chips y aisladores 518. La vía pasante de chips, de conexión en paralelo, se extiende en este caso a través del aislador 522 y a través de los terminales correspondientes para señales de conexión común de los chips intermedios.

5 Las respectivas conexiones en serie entre puertos de salida y puertos de entrada se realizan usando vías pasantes de chips 520 o vías pasantes de terminales 524. Con el fin de garantizar la conexión en presencia de un aislador, una vía pasante de terminales 524 se extiende a través del aislador para conectar el terminal o terminales para señales de salida de los chips intermedios con uno o más terminales respectivos para señales de entrada, de chips adyacentes. Tal como se ha mencionado anteriormente, las conexiones en serie pueden facilitar conexiones de topología en cadena o en bucle.

En una forma de realización (no mostrada) en la que el aislador está ausente, los terminales para la entrada y salida se pueden tocar físicamente entre ellas para realizar conexiones para chips "intermedios" en el apilamiento.

15 En términos de conexiones en serie usando vías pasantes de chips, las entradas y salidas de los primeros dos dispositivos del apilamiento están conectadas entre sí, pero el segundo y el tercer dispositivos no están conectados entre sí usando vías pasantes de chips, y se proporciona entre ellos un aislamiento. A continuación, el tercer y el cuarto dispositivos están conectados entre sí usando vías pasantes de chips. Se proporcionan vías pasantes de terminales que se extienden a través del aislador para realizar las conexiones en serie deseadas entre el segundo y el tercer dispositivos.

Los puertos de entrada y de salida de los chips superior e inferior del apilamiento no se conectan a otros terminales, sino a las conexiones externas apropiadas. La conexión de alimentación provendrá también del exterior, y tendrá una conexión directa en paralelo a través del apilamiento usando una vía pasante de chips.

25 Obsérvese también que las conexiones externas con las conexiones comunes se muestran en los chips tanto superior como inferior del apilamiento. No obstante, dentro de la presente técnica se sitúa cualquier combinación ventajosa de conexiones superiores, inferiores o ambas. Por ejemplo, en otra forma de realización (no mostrada), señales tales como \overline{CE} , \overline{RST} , y VREF tienen una única conexión superior o inferior mientras que fuentes de alimentación tales como VDD, VSS, VDDQ, y VSSQ tienen conexiones tanto superiores como inferiores.

30 En un aspecto, la presente invención proporciona un dispositivo multichip que comprende una pluralidad de chips sustancialmente idénticos. Cada chip incluye uno o más terminales para señales de conexión común, en donde cada terminal para señales está dispuesto simétricamente sobre una línea central del chip o está dispuesta simétricamente en torno a la línea central del chip con respecto a un terminal duplicado para señales comunes. En cada chip se proporcionan también uno o más terminales para señales de entrada, así como uno o más terminales para señales de salida. Los terminales para señales de salida están dispuestos simétricamente en torno a la línea central del chip con respecto a los terminales respectivos para señales de entrada. Cada terminal para señales de conexión común en cada uno de los chips está conectada a terminales respectivos para señales de conexión común de los otros chips mediante vías colineales pasantes de chips.

45 En este aspecto, la pluralidad de chips sustancialmente idénticos incluye un chip superior y un chip inferior. El chip superior dispone del terminal o terminales para señales de entrada para la conexión con señales de entrada externas, de las señales de conexión común para la conexión con señales comunes externas, y del terminal o terminal para señales de salida conectados a terminales respectivos para señales de entrada, de un chip adyacente. El chip inferior dispone del terminal o terminales para señales de salida para la conexión con señales de salida externas, de las señales de conexión común para la conexión con las señales comunes externas y del terminal o terminales para señales de entrada conectadas a terminales respectivos para señales de salida, de un chip adyacente. Un número par de chips centrales tiene el terminal o terminales para señales de salida conectados a terminal o terminales respectivos para señales de entrada, de chips adyacentes.

55 Las figuras 6A a 6C ilustran una representación ortográfica simplificada 500, que incluye una vista superior parcial detallada 602 (en la figura 6A), una vista frontal en sección transversal 604 (en la figura 6B), y una vista inferior parcial 606 (en la figura 6C) de un conjunto encapsulado multichip 600, el cual es una forma de realización del circuito 200 mostrado en la figura 2. Se muestra la totalidad de las señales de conexión. Obsérvese que \overline{CE} está dispuesta simétricamente sobre una línea central del chip, la misma no está duplicada. Se describirá una conexión ejemplificativa en serie o en cadena entre el terminal de entrada CSI (Entrada Estroboscópica Común) del chip superior y el puerto de salida CSO (Salida Estroboscópica Común) del chip inferior. Esto proporciona detalles adicionales sobre conexiones en serie o en cadena en un apilamiento con cuatro chips, o cualquier número par superior de chips.

60 Tal como se observa en la figura 6B, una conexión externa transporta la señal de entrada estroboscópica común al terminal CSI 610 del chip superior. El terminal CSO 612 dentro del chip superior lleva la señal de salida correspondiente. Una vía pasante de chips 614 toma la salida del terminal CSO 612 y la conecta como entrada al terminal CSI 616 del primer chip intermedio. El terminal CSO 618 dentro del primer chip intermedio transporta la

señal de salida.

El terminal CSO 620 del segundo chip intermedio está aislado con respecto al terminal CSI 614 del primer chip intermedio por el aislador 622 para evitar la conexión entre dichas dos terminales adyacentes en el apilamiento. Una vía pasante de terminal 624 toma la salida del terminal CSO 618 del primer chip intermedio y la conecta como entrada al terminal CSI 626 del segundo chip intermedio. El terminal CSO 620 dentro del segundo chip intermedio transporta la señal de salida correspondiente.

Una vía pasante de chips 628 toma la salida del terminal CSO 620 y la conecta como entrada al terminal CSI 630 del chip inferior. El terminal CSO 632 del chip inferior transporta la señal de salida a una conexión externa.

En una forma de realización, los terminales de conexión común incluyen uno o más terminales de alimentación, cuyo número es suficiente para suministrar la suficiente corriente de funcionamiento y un nivel de voltaje estable cuando se ejecutan memorias intermedias simultáneas de entrada y salida.

Las figuras 7 y 8 muestran etapas de un método de fabricación de un dispositivo multichip según una forma de realización de la presente invención. Al invertir chips alternos, los lados superiores de cada chip, el cual es una superficie en la que se han formado transistores, quedan encarados en oposición mutua y los dos terminales se conectan entre sí verticalmente con una vía pasante de chips, tal como una vía pasante de silicio. Después de realizar una primera conexión para dos chips, se deposita una capa de aislamiento para evitar cualesquiera cortocircuitos eléctricos entre terminales de dos multichips combinados (total de 4 chips). La figura 7 ilustra etapas para fabricar un par apilado de chips de circuito integrado, mientras que la figura 8 ilustra otras etapas en la fabricación de un dispositivo multichip que tiene una pluralidad de pares de chips apilados, o pares de chips combinados.

En la figura 7, la etapa 702 muestra que un primer chip está invertido de manera que su lado superior portador de transistores queda encarado en una primera dirección, por ejemplo hacia abajo, para convertirse en un chip inferior. En la etapa 704, un segundo chip se coloca encima del primer chip invertido, siendo el segundo chip sustancialmente idéntico, en cuanto a la disposición y colocación de terminales, al primer chip. En la etapa 706, se crean orificios de vías pasantes de terminales y de chips para facilitar la conexión de terminales para señales, del chip superior, con terminales correspondientes para señales, del chip inferior, con el fin de crear por lo menos una conexión en serie y por lo menos una conexión en paralelo.

Debido a la disposición sustancialmente idéntica de los terminales para señales de los dos chips, la etapa 706 puede incluir la creación de un primer orificio de vía pasante de chips y pasante de terminales para facilitar la conexión entre un terminal para señales de conexión común del chip superior en paralelo con su terminal duplicado para señales de conexión común. La etapa 706 puede incluir además la creación de un segundo orificio de vía pasante de chips y pasante de terminales para facilitar la conexión entre un terminal para señales de salida del chip superior en serie con su terminal respectivo para señales de entrada, en el chip inferior.

En la etapa 708, en los orificios de las vías se dispone una capa de aislamiento. En la etapa 710, en los orificios de las vías se dispone un conductor (por ejemplo, cobre) para crear las conexiones de vías pasantes entre los terminales del chip superior y el chip inferior. En una forma de realización, al final de la etapa 710, se ha fabricado un par de chips apilados, incluyendo el apilamiento por lo menos una vía pasante de chips, de conexión en paralelo, que conecta un terminal para señales de conexión común de chip superior en paralelo con su terminal duplicado para señales de conexión común, y por lo menos una vía pasante de chips, de conexión en serie, que conecta un terminal para señales de salida del chip superior en serie con su terminal respectivo para señales de entrada, del chip inferior.

Volviendo a la figura 8, se muestran otras etapas en un método de fabricación de un dispositivo multichip que tiene dos pares de chips apilados. En la etapa 802, encima del primer par apilado de chips de circuito integrado se deposita una capa de aislamiento. En la etapa 804, se forman orificios de contacto en la capa de aislamiento para permitir la conexión entre ciertos terminales para señales, adyacentes, cuando encima se coloca posteriormente otro chip. En la etapa 806, un conductor llena, o se deposita en, los orificios de contacto formados en la etapa previa. En la etapa 808, se aplica por ataque químico una capa conductora de manera que se elimina material conductor en exceso de las partes que quedan fuera de los orificios de contacto. En la etapa 810, dos chips combinados previamente, fabricados de acuerdo con las etapas 702 a 710 de la figura 7, se fijan encima del primer par apilado de chips de circuito integrado para crear un circuito multichip para un conjunto encapsulado multichip.

En una forma de realización, un método para apilar circuitos integrados conectados en serie comprende las siguientes etapas: invertir un primer chip; colocar un segundo chip sobre el primer chip; realizar orificios de vías pasantes de terminales y de chips en conexiones comunes y el puerto de salida del segundo chip; disponer una capa de aislamiento en los orificios de las vías; disponer un conductor en los orificios de las vías (por ejemplo, cobre); depositar una capa de aislamiento; formar orificios de contacto en la capa de aislamiento; llenar los orificios de contacto con conductor; aplicar por ataque químico una capa conductora; y fijar los dos chips a chips combinados previamente.

La figura 9 es una vista frontal de otro circuito 900 de acuerdo con una forma de realización de la presente invención. En esta forma de realización, hay ocho chips en el apilamiento que forma el circuito multichip. Los chips superior, inferior e intermedios tienen conexiones entre ellos y dentro del apilamiento, similares a las descritas en relación con las figuras 5 y 6. Tal como se muestra en la figura 9, el apilamiento de chips idénticos tiene conexiones externas o bien con la entrada y salida de un conjunto encapsulado, o bien con pines o bolas, tales como una *ball grid array* (BGA). Por ejemplo, el circuito puede llegar al pin, o bastidor de conductores del conjunto encapsulado, con más cables de unión o una rejilla de bolas (*ball grid*). La BGA es bien conocida en la industria de las memorias para proporcionar un alto rendimiento, tal como para conjuntos encapsulados de CPU. La rejilla de bolas es el bus del sistema y se puede usar con conexiones en paralelo o en serie (en cadena). La BGA proporciona una capacidad y una carga menores en comparación con conexiones basadas en pines o de TSOP (*thin small-outline package*). DDR2 y DDR3 y otros dispositivos de alta velocidad usan la BGA. La BGA se usa para comunicarse por interfaz con el exterior, y no para la conexión entre chips.

La figura 10 ilustra una vista frontal en sección transversal de un conjunto encapsulado multichip 1000 de acuerdo con otra forma de realización de la presente invención. Según aspectos de la invención, se proporciona un sistema de memoria que tiene una pluralidad de dispositivos de memoria en cascada. Los dispositivos de memoria pueden estar conectados en serie, y un controlador externo de memorias puede recibir y proporcionar señales de datos y de control al sistema de memorias. En la publicación de solicitud de patente de Estados Unidos, de cesión conjunta, n.º 2007/0076479-A1 titulada "Multiple Independent Serial Link Memory", publicada el 5 de abril de 2007 y presentada el 30 de diciembre de 2005, la cual se incorpora a la presente a título de referencia, se describe una disposición similar.

Cuando se usan formas de realización de la presente invención para ciertos tipos de memoria, tales como Flash NAND, es deseable proporcionar un controlador de memorias en el mismo conjunto encapsulado y apilado con los otros chips de memoria. Para muchos tipos de chips de memoria (por ejemplo, DRAM, SRAM u otra lógica), tales como los mostrados en la figura 9, no se incorporará un controlador junto con los chips apilados.

En la forma de realización de la figura 10, se coloca un controlador 1002 por debajo de los chips apilados 1004. En el lado de entrada del controlador se conectan terminales de señales de salida desde la memoria por medio de conexiones de entrada de controlador 1006. Las conexiones de entrada de controlador 1006 pueden ser de unión por cables, vías, una rejilla de bolas o cualquier otra conexión adecuada. El lado de salida del controlador se conecta, por medio de conexiones de salida de controlador 1008, a los terminales de entrada del chip superior del apilamiento de memorias. Las conexiones de salida de controlador 1008 pueden ser de unión por cable o cualquier otra conexión adecuada. En la figura 10 se muestran solamente algunas conexiones representativas, para ilustrar el tipo y la naturaleza de la conexión.

En otra forma de la realización (no mostrada), el controlador se puede colocar encima para conectar el lado de salida del controlador al lado de entrada de la memoria. Para realizar dichas conexiones se proporcionan conexiones de salida de controlador adecuadas, y, para conectar el lado de salida del apilamiento de memorias a la entrada del controlador, se proporcionan conexiones de entrada de controlador adecuadas. En una forma de realización de este tipo, se puede facilitar una conexión de bucle por medio de las conexiones en serie del apilamiento, donde el último dispositivo realiza un bucle de vuelta al controlador.

En la fabricación del conjunto encapsulado multichip, la creación de vías pasantes de chips, según se ha descrito en relación con las figuras 7 y 8, es alguna de las etapas del proceso de fabricación. Cuando se vea implicado un controlador se pueden incluir etapas adicionales. En una etapa del conjunto encapsulado (o del encapsulamiento), se añaden conexiones de entrada y salida del controlador. Esto puede comprender la adición de cables de unión para conectar las salidas del controlador a las entradas de las memorias, o viceversa. Una etapa adicional incluye cubrir el conjunto encapsulado o compuesto completo.

Los chips ilustrados en las figuras 3 a 10 se fabrican usando tecnología de sustratos de silicio. No obstante, dentro de la presente técnica se incluyen formas de realización fabricadas usando arseniuro de galio, germanio, silicio-germanio o cualesquiera otras tecnologías de sustratos.

Obsérvese que los terminales se disponen a lo largo de un único borde del chip en las formas de realización mostradas en las figuras 3 a 10 por claridad y para simplificar la ilustración. Los terminales se pueden disponer a lo largo de dos, tres, o cuatro bordes del chip y seguir situándose dentro de la presente técnica.

Las dimensiones o proporciones físicas de los chips mostrados en las figuras 2 a 10 no se han dibujado a escala. Algunas dimensiones se han exagerado o reducido por motivos de claridad en la ilustración.

En la descripción anterior, a efectos explicativos, se exponen numerosos detalles para proporcionar una comprensión minuciosa de las formas de realización de la invención. No obstante, se pondrá de manifiesto para aquellos expertos en la materia que estos detalles específicos no son necesarios para llevar a la práctica la invención. En otros casos, circuitos y estructuras eléctricas bien conocidos se muestran en forma de diagrama de

bloques con el fin de no complicar la invención.

5 Las formas de realización antes descritas de la invención están pensadas únicamente como ejemplos. Se pueden efectuar alteraciones, modificaciones y variaciones en las formas de realización particulares, por parte de aquellos expertos en la materia, sin desviarse con respecto al alcance de la invención, el cual queda definido meramente por las reivindicaciones adjuntas a la misma.

REIVINDICACIONES

1. Dispositivo multichip que incluye un par apilado de chips de circuito integrado, comprendiendo el dispositivo:

5 un chip superior (308, 508) que presenta:

uno o más terminales para señales de entrada (A3 a A6) para su conexión con señales de entrada externas;

10 uno o más terminales para señales de conexión común (A1, A2, B1, B2), estando dispuesto cada terminal para señales de conexión común simétricamente en torno a una línea central (312) del chip superior con respecto a un terminal duplicado para señales de conexión común;

15 uno o más terminales para señales de salida (B3 a B6) dispuestos simétricamente en torno a la línea central del chip superior con respecto a unos terminales respectivos para señales de entrada;

un chip inferior (310, 510) que tiene una disposición de terminales para señales sustancialmente idéntica a la del chip superior, estando invertida la orientación del chip inferior con respecto a la del chip superior;

20 una vía pasante de chips de conexión en paralelo (314, 518) que conecta un terminal para señales de conexión común del chip superior en paralelo con su terminal duplicado para señales de conexión común en el chip inferior; y

25 una vía pasante de chips de conexión en serie (316, 520) que conecta un terminal para señales de salida del chip superior en serie con su terminal para señales de entrada respectiva en el chip inferior.

2. Dispositivo según la reivindicación 1, en el que dicho uno o más terminales para señales de entrada, dicho uno o más terminales para señales de conexión común y dicho uno o más terminales para señales de salida están dispuestos a lo largo de un único borde del chip superior.

30 3. Dispositivo según cualquiera de las reivindicaciones 1 o 2, que comprende además una pluralidad de vías pasantes de chips, de conexión en serie, que conectan terminales para señales de salida del chip superior en serie con sus terminales respectivos para señales de entrada del chip inferior.

35 4. Dispositivo según cualquiera de las reivindicaciones 1, 2 o 3, que comprende además una pluralidad de vías pasantes de chips, de conexión en paralelo, que conectan terminales para señales de conexión común del chip superior en paralelo con sus terminales duplicados para señales de conexión común del chip inferior.

40 5. Dispositivo según cualquiera de las reivindicaciones 1 a 4, en el que dicho uno o más terminales para señales de entrada están dispuestos en el mismo lado de la línea central del chip superior.

6. Dispositivo según cualquiera de las reivindicaciones 1 a 5, en el que el chip superior y el chip inferior están alineados de modo que no se produce sustancialmente ninguna desviación.

45 7. Dispositivo según cualquiera de las reivindicaciones 1 a 6, en el que un borde del chip superior está alineado verticalmente con un borde correspondiente del chip inferior.

8. Dispositivo según cualquiera de las reivindicaciones 1 a 7, en el que el chip superior y el chip inferior están encarados en la misma dirección entre ellos.

50 9. Dispositivo según la reivindicación 8, en el que un lado del chip superior que presenta unos terminales para señales seleccionados está encarado en la misma dirección que un lado del chip inferior que tiene los mismos terminales para señales seleccionados.

10. Método para apilar circuitos integrados conectados en serie, que comprende:

55 invertir un primer chip (310, 510) de manera que su lado superior portador de transistores quede encarado en una primera dirección para convertirse en un chip inferior;

60 colocar un segundo chip (308, 508) encima del primer chip invertido, siendo el segundo chip sustancialmente idéntico en cuanto a disposición y colocación de los terminales con respecto al primer chip, estando orientado el segundo chip de manera que su lado superior portador de transistores queda encarado en un segundo sentido opuesto al primer sentido;

65 crear orificios de vías pasantes de terminales y de chips para facilitar la conexión de terminales para señales (A1 a A6, B1 a B6) del chip superior con terminales para señales, correspondientes (A1 a A6, B1 a B6) del chip inferior, con el fin de crear por lo menos una conexión en serie que conecta un terminal para señales de salida

(B3 a B6) del chip superior en serie con su terminal respectivo para señales de entrada (A3 a A6) en el chip inferior, y por lo menos una conexión en paralelo que conecta un terminal para señales de conexión común (A1, A2, B1, B2) del chip superior en paralelo con su terminal duplicado para señales de conexión común (A1, A2, B1, B2) en el chip inferior;

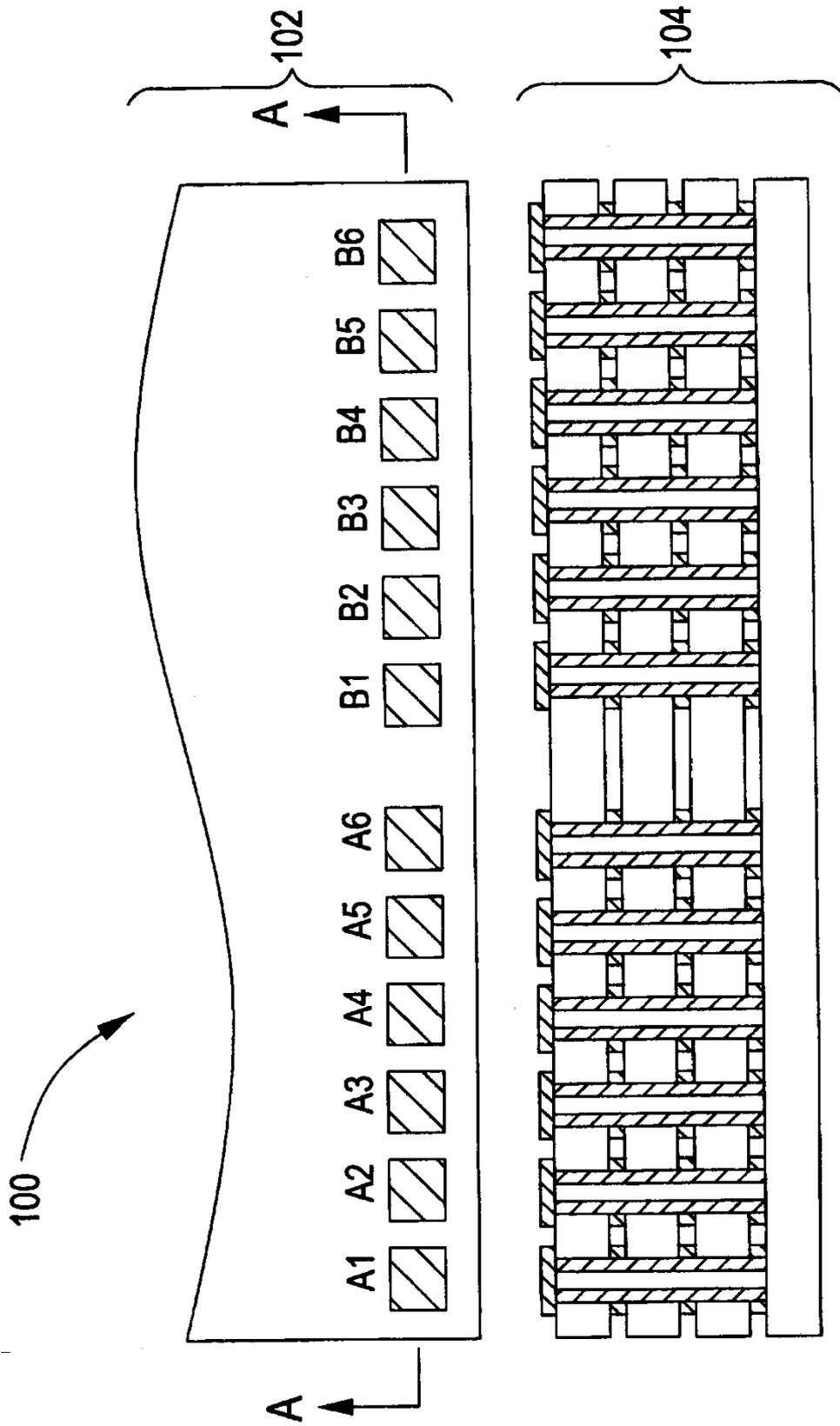
- 5 disponer una capa de aislamiento en los orificios de las vías; y
- 10 disponer un conductor en los orificios de las vías para crear conexiones pasantes de vías (314, 316; 518, 520) entre los terminales del chip superior y el chip inferior con el fin de crear un par apilado de chips de circuitos integrados,
- 15 en el que los terminales para señales de conexión común de cada chip están dispuestos simétricamente en torno a una línea central del chip,
- 15 y en el que los terminales para señales de salida (B3 a B6) de cada chip están dispuestos simétricamente en torno a la línea central del chip con respecto a los terminales para señales de entrada (A3 a A6) del chip.

20 11. Método según la reivindicación 10, en el que la etapa de creación de los orificios de vías pasantes de terminales y de chips comprende crear un primer orificio de vía pasante de chips y pasante de terminales para facilitar la conexión entre un terminal para señales de conexión común del chip superior en paralelo con su terminal duplicado para señales de conexión común.

25 12. Método según cualquiera de las reivindicaciones 10 u 11, en el que la etapa de creación de los orificios de vías pasantes de terminales y de chips comprende crear un segundo orificio de vía pasante de chips y pasante de terminales para facilitar la conexión entre un terminal para señales de salida del chip superior en serie con su terminal respectivo para señales de entrada del chip inferior.

- 30 13. Método según cualquiera de las reivindicaciones 10, 11 o 12, que comprende además:
- 30 depositar una capa de aislamiento encima del par apilado de chips de circuito integrado;
- 35 formar orificios de contacto en la capa de aislamiento para permitir la conexión entre ciertos terminales para señales, adyacentes, cuando posteriormente se coloca encima otro chip;
- 35 depositar un conductor en los orificios de contacto;
- 40 aplicar por ataque químico una capa conductora para eliminar material conductor en exceso de las partes que están fuera de los orificios de contacto; y
- 40 fijar dos chips previamente combinados encima del par apilado de chips de circuito integrado para crear un circuito multichip para un conjunto encapsulado multichip, siendo los dos chips previamente combinados sustancialmente idénticos al par apilado de chips de circuito integrado.

- 45 14. Método según cualquiera de las reivindicaciones 10 a 13, que comprende además:
- 45 proporcionar un controlador de memorias para controlar el acceso a la pluralidad de chips sustancialmente idénticos;
- 50 conectar unos terminales para señales de entrada del chip superior a un lado de salida del controlador; y
- 50 conectar unos terminales para señales de salida desde el chip inferior a un lado de entrada del controlador.



(TÉCNICA ANTERIOR)

FIG. 1

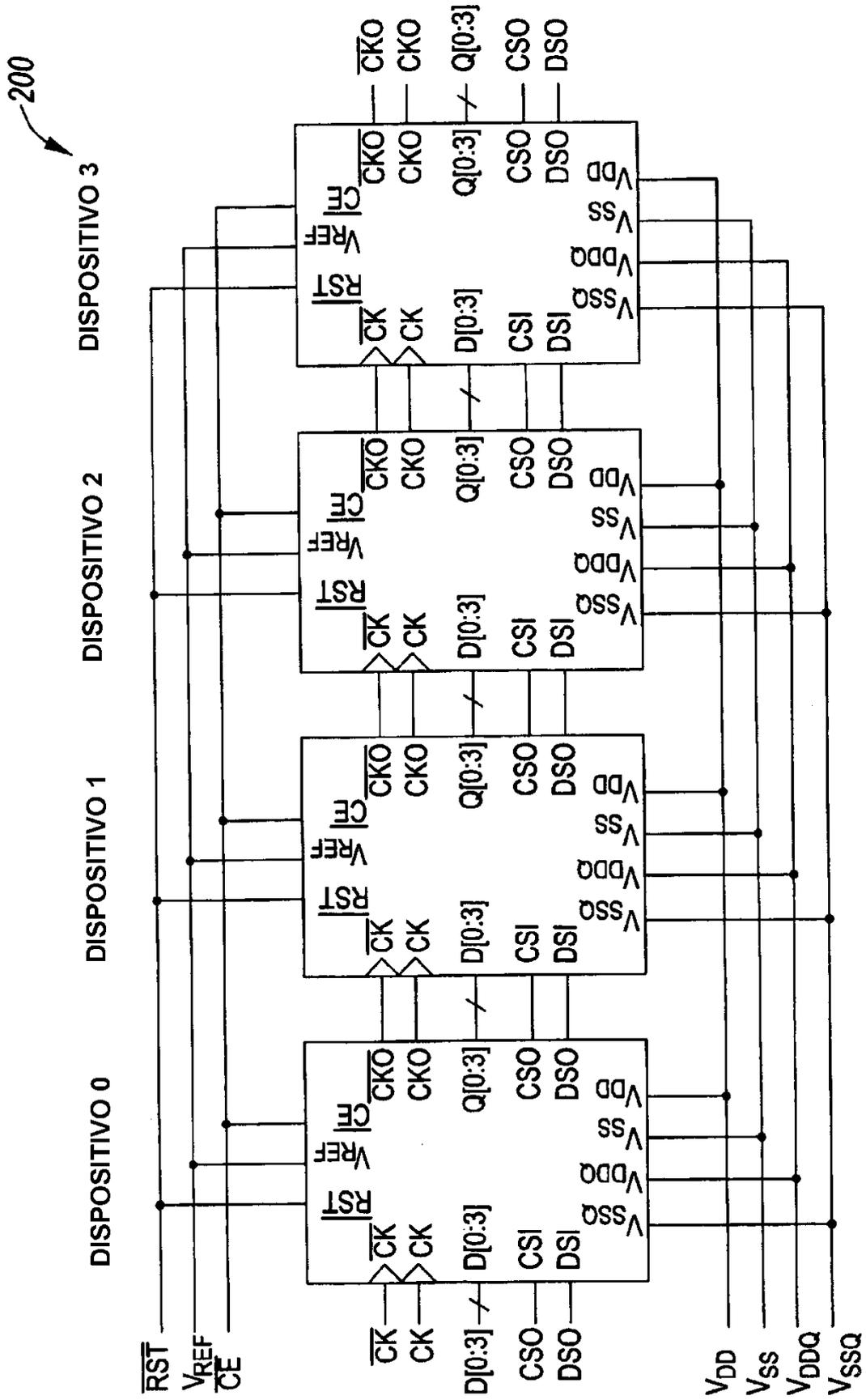


FIG. 2

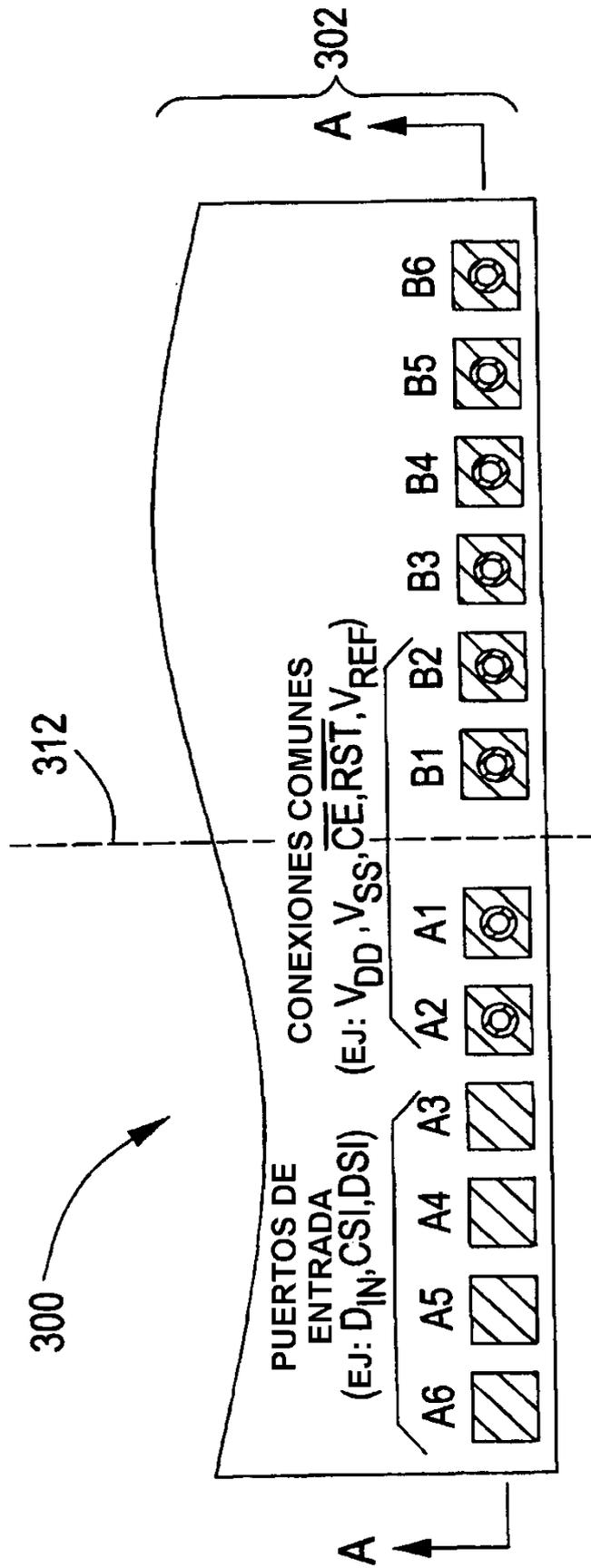


FIG. 3A

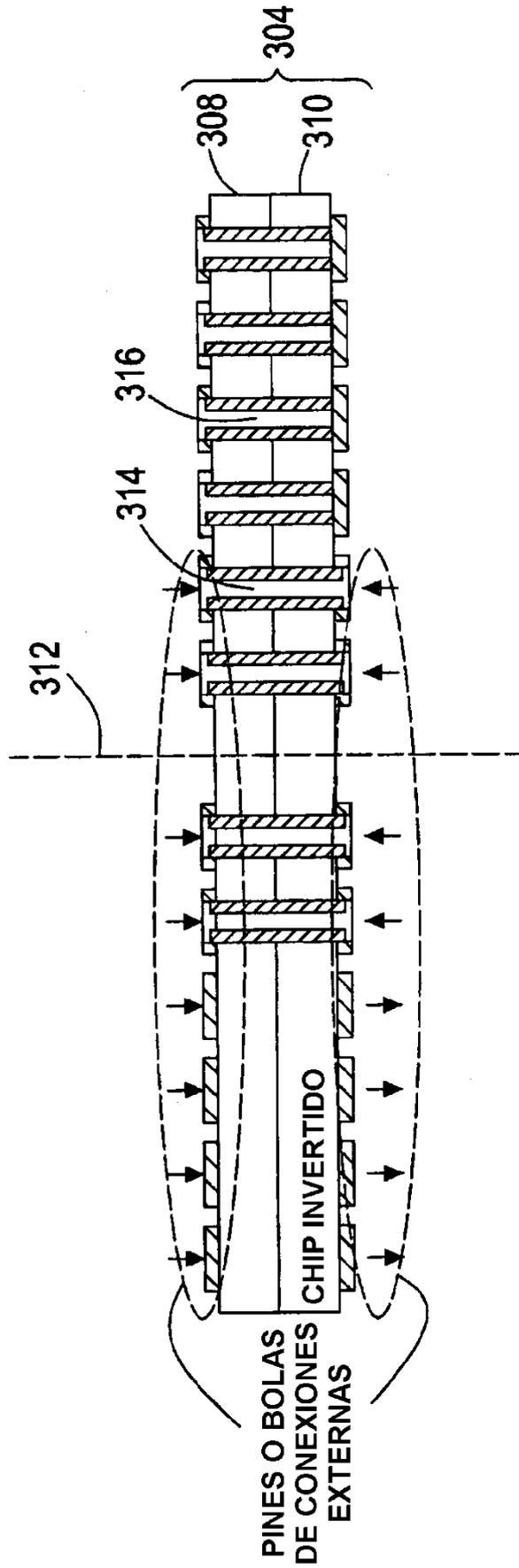


FIG. 3B

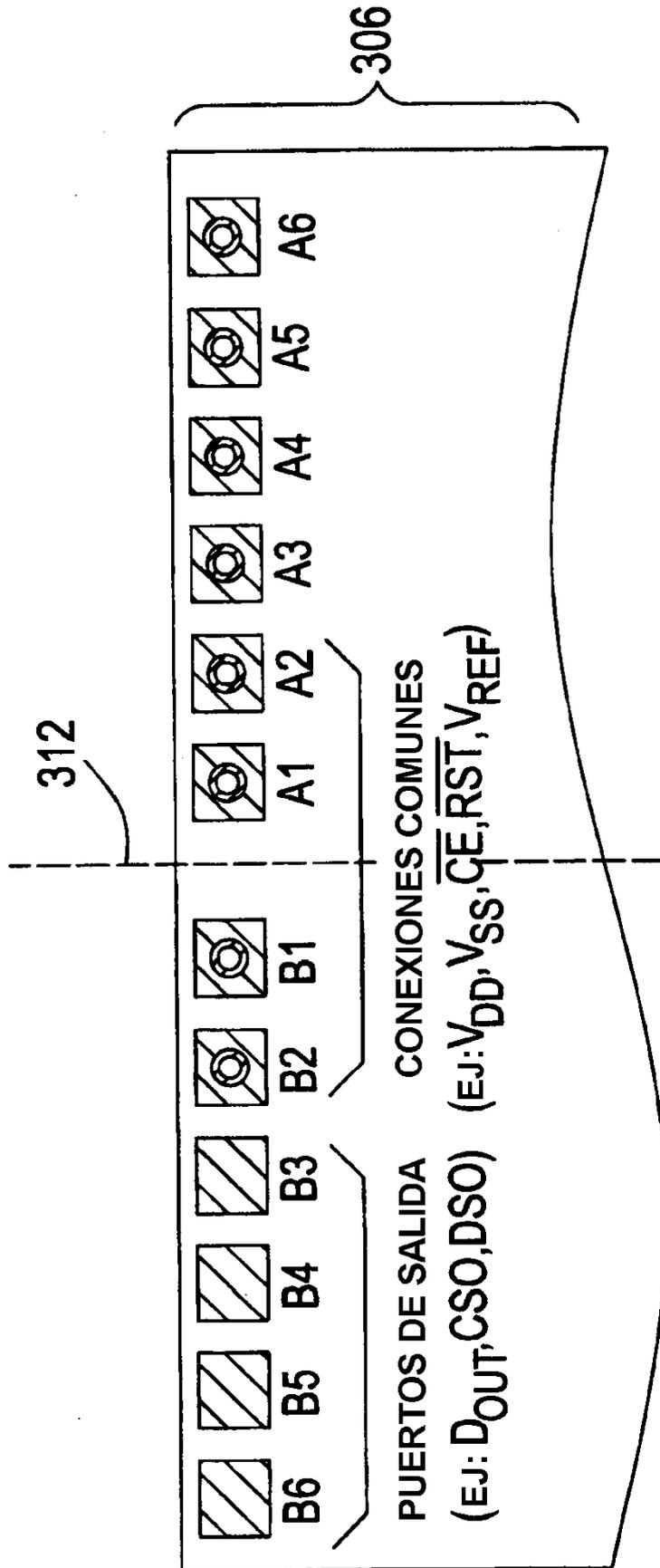


FIG. 3C

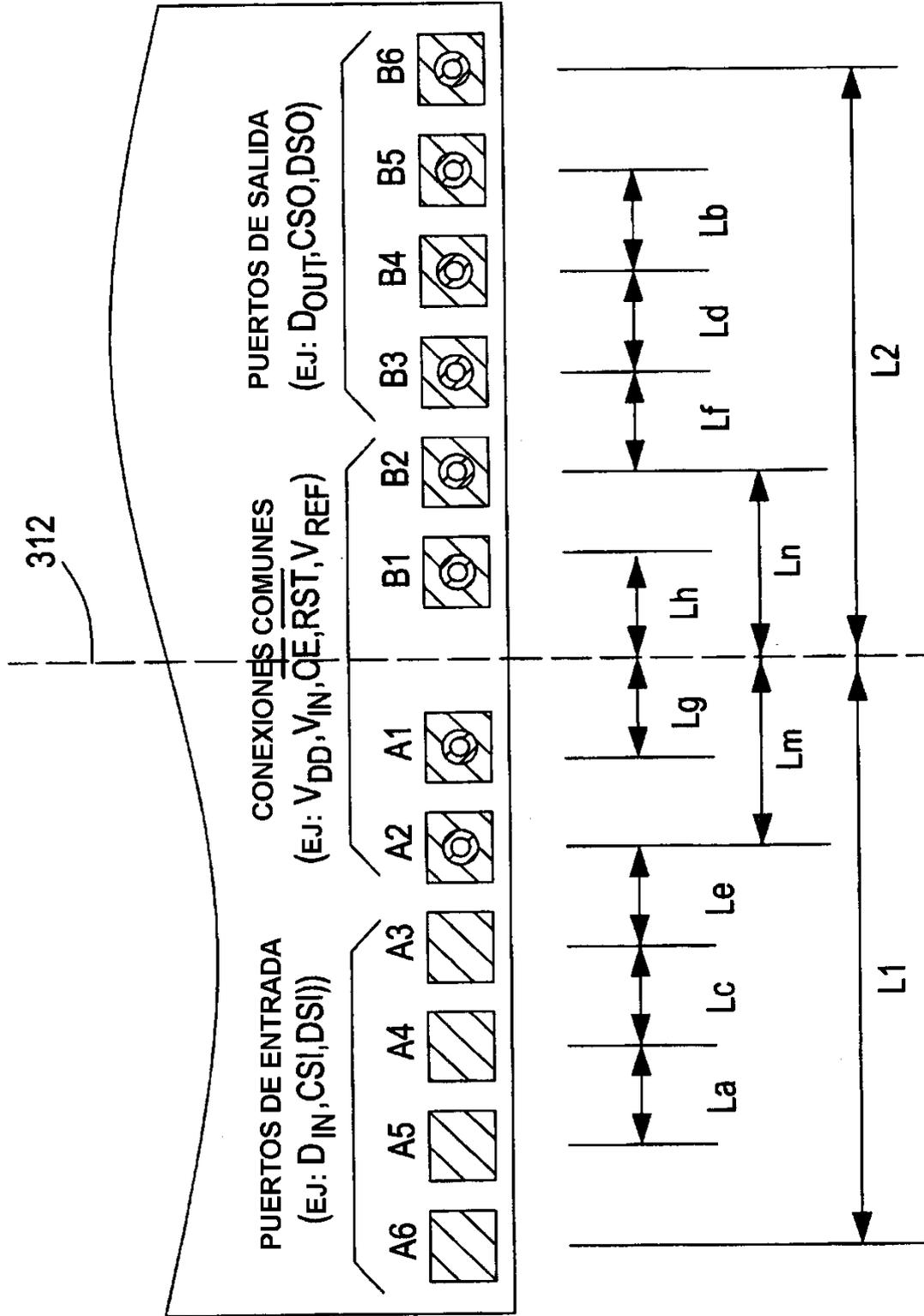


FIG. 4

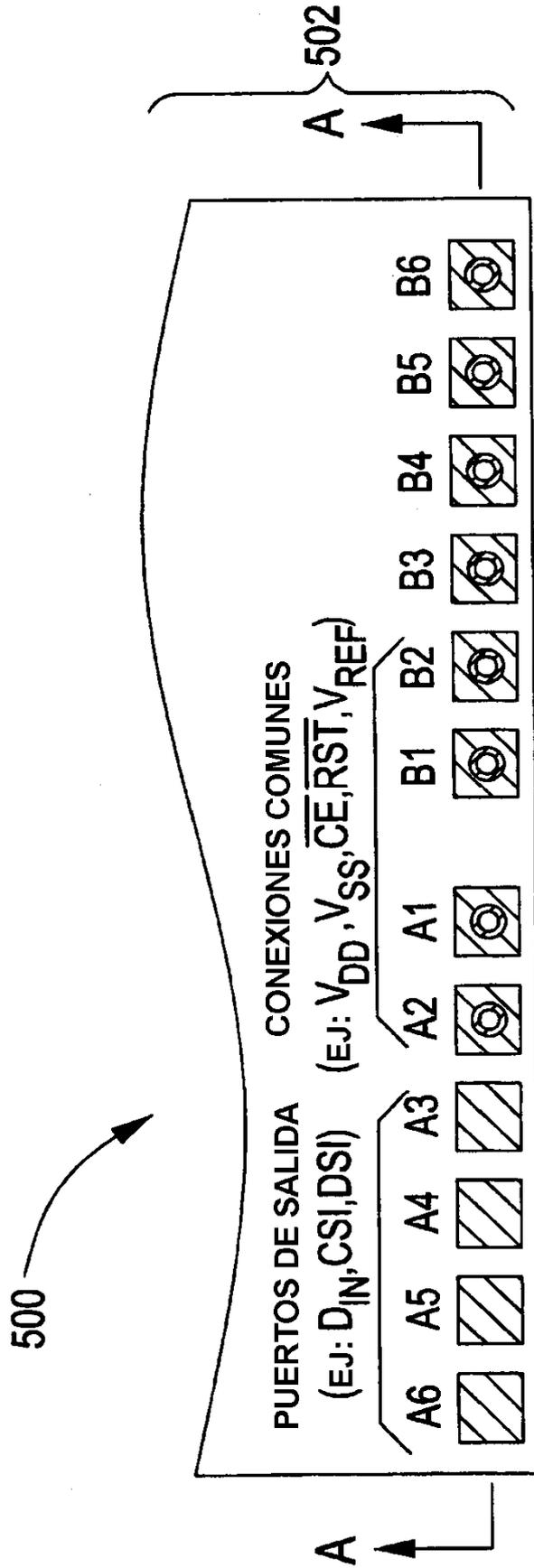


FIG. 5A

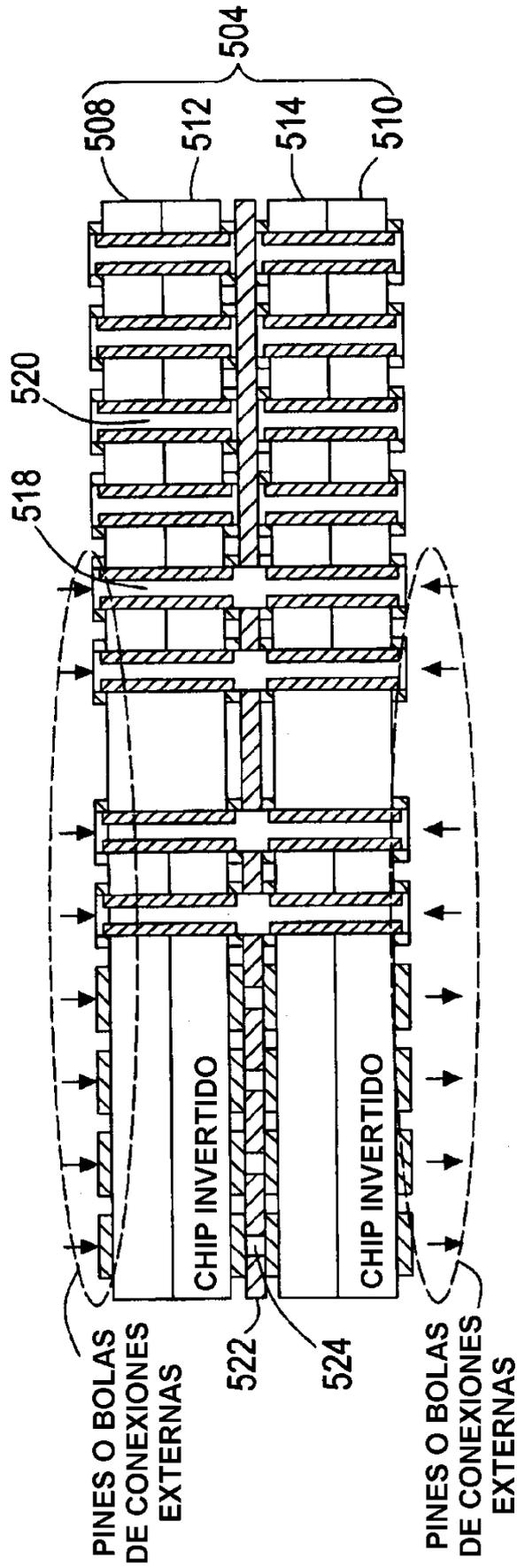


FIG. 5B

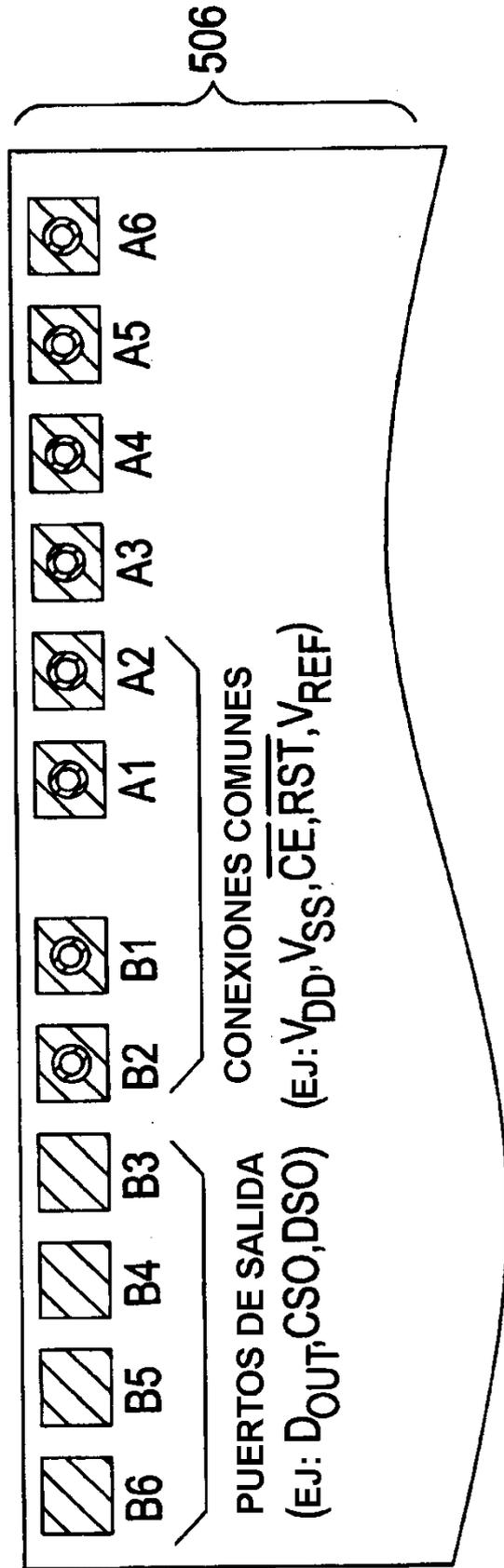


FIG. 5C

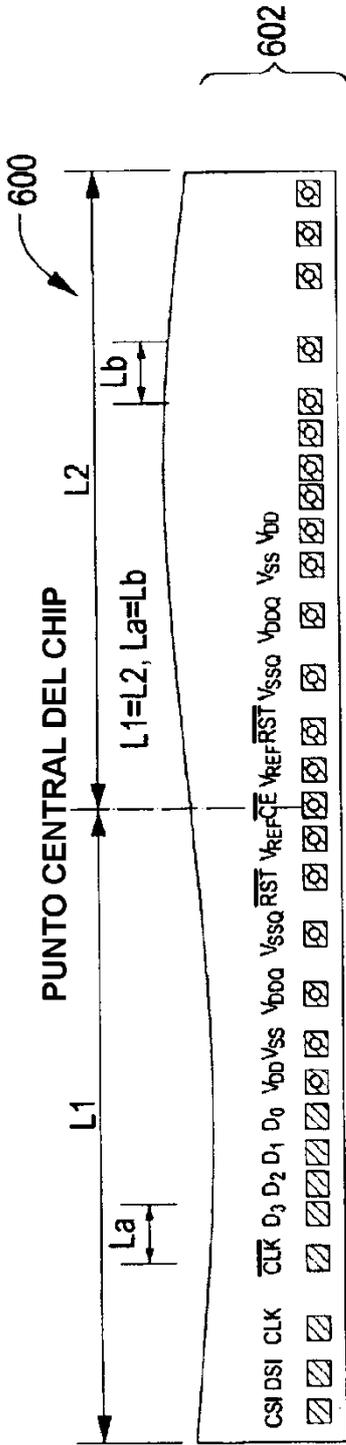


FIG. 6A

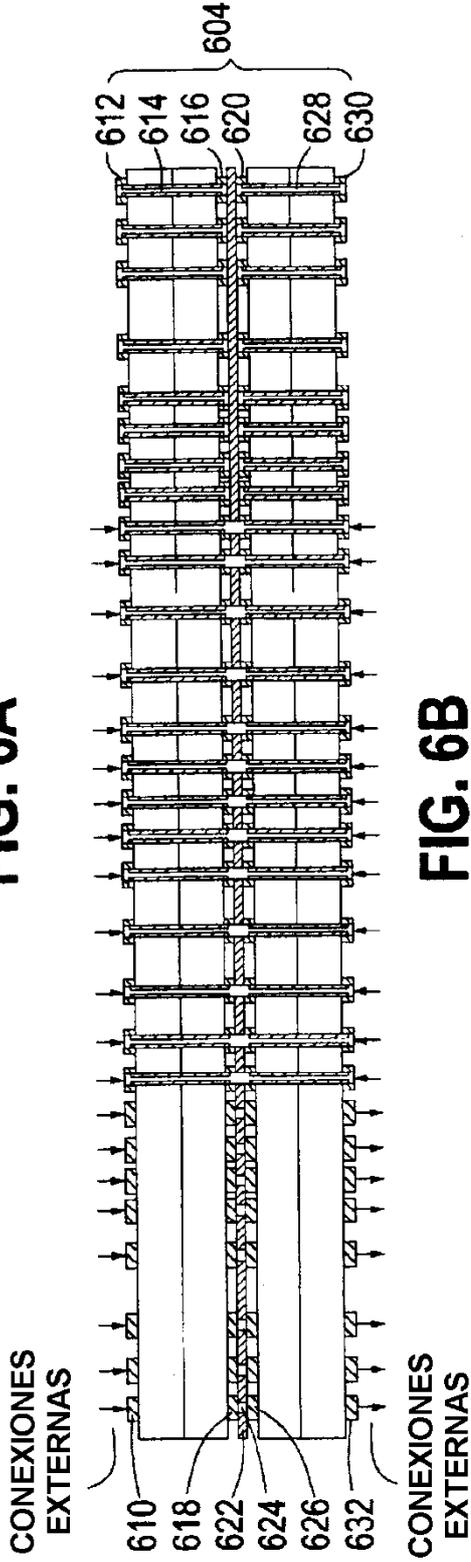


FIG. 6B

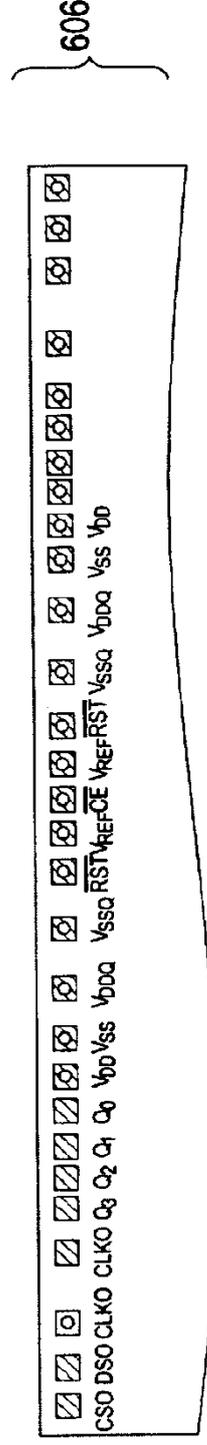


FIG. 6C

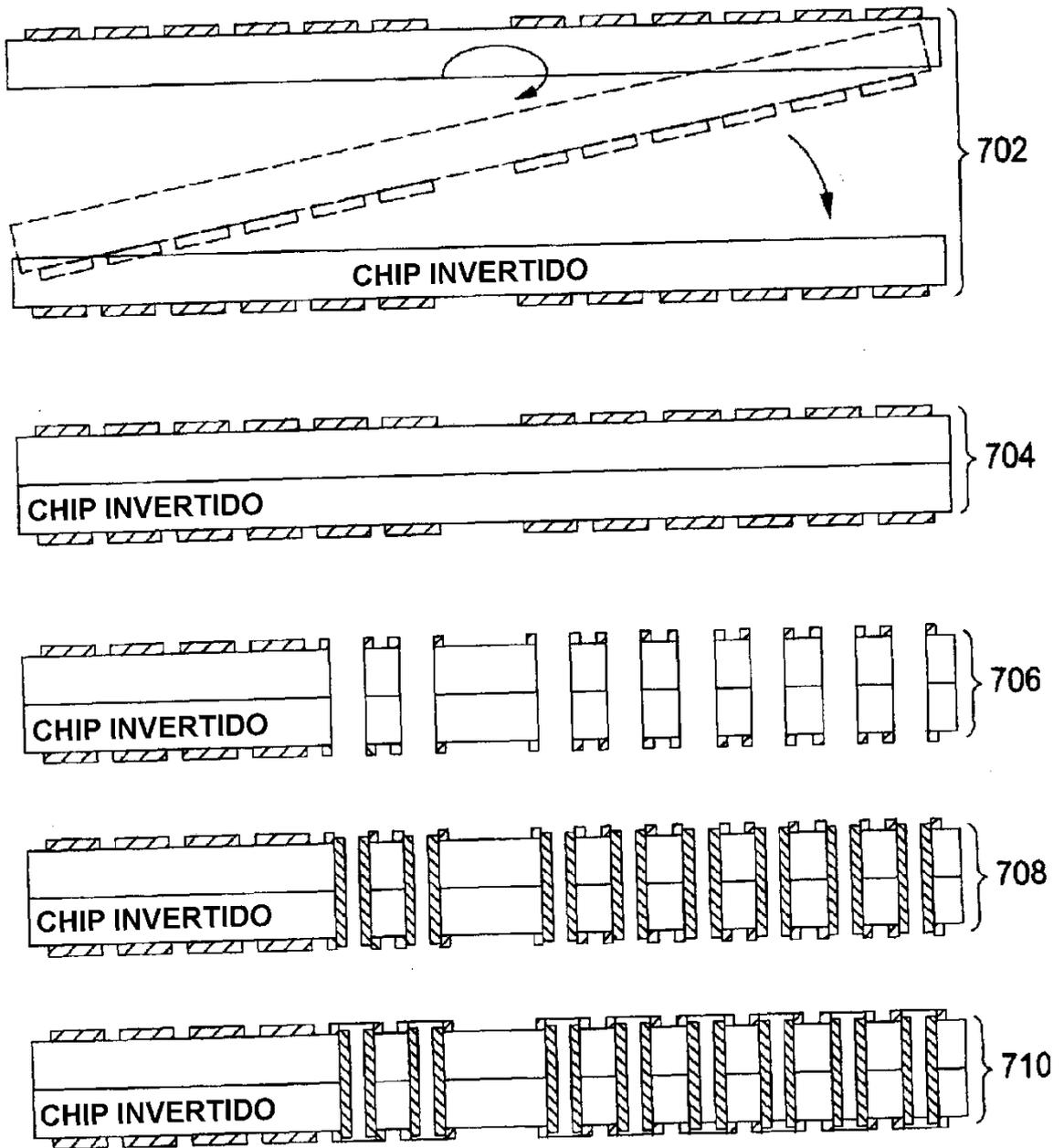


FIG. 7

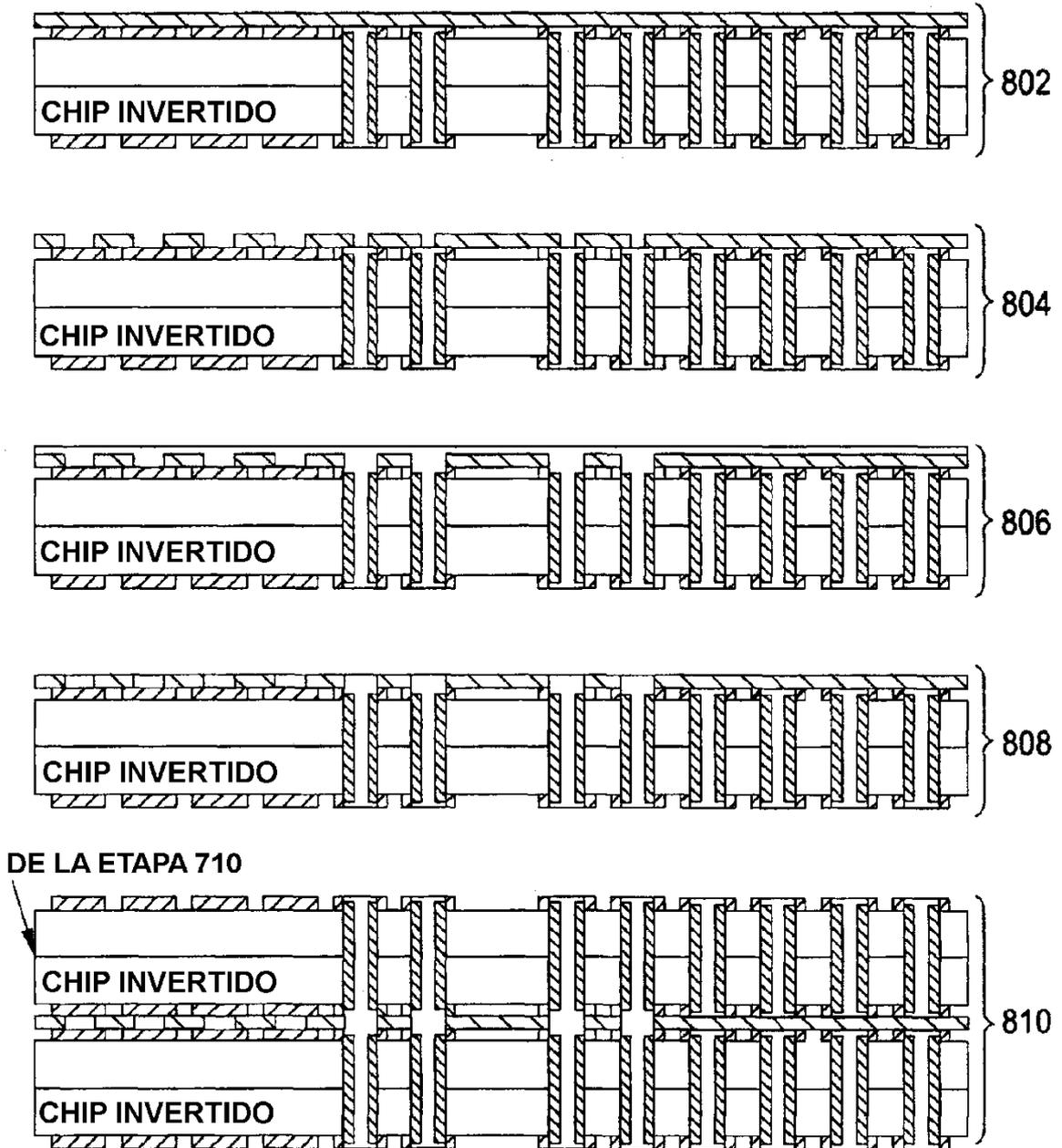


FIG. 8

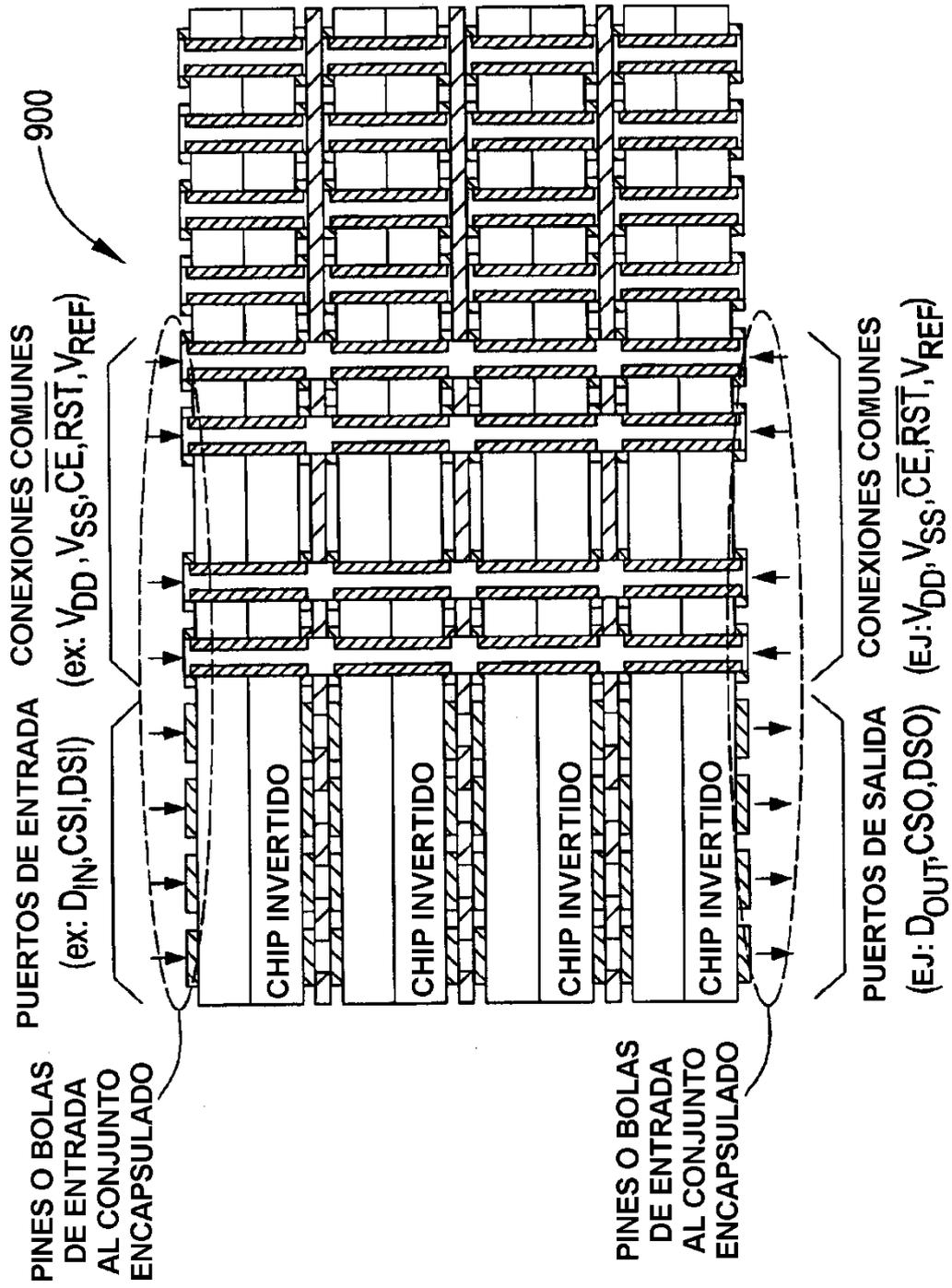


FIG. 9

