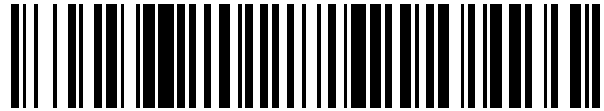


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 500 056**

51 Int. Cl.:

H03M 13/25 (2006.01)

H03M 13/11 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **14.06.2012 E 12797677 (7)**

97 Fecha y número de publicación de la concesión europea: **20.08.2014 EP 2571173**

54 Título: **Modulación codificada de LDPC en combinación con 256QAM**

30 Prioridad:

16.06.2011 EP 11004946

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

29.09.2014

73 Titular/es:

**PANASONIC CORPORATION (100.0%)
1006, Oaza Kadoma, Kadoma-shi
Osaka 571-8501, JP**

72 Inventor/es:

PETROV, MIHAIL

74 Agente/Representante:

UNGRÍA LÓPEZ, Javier

ES 2 500 056 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Modulación codificada de LDPC en combinación con 256QAM

5 **[Campo técnico]**

La presente invención se refiere a un método para procesar una señal digital en un lado de transmisión, y en particular a patrones de permutación de bits aplicados a bits antes de introducirse al mapeador. Adicionalmente, la presente invención se refiere a un método para procesar una señal digital en un lado de recepción, y en particular a patrones de permutación de bits aplicados a bits después de emitirse mediante el desmapeador. Adicionalmente, la presente invención se refiere a un transmisor y un receptor para realizar los métodos.

[Técnica anterior]

15 En los últimos años, los transmisores se proporcionan con un codificador de codificación y modulación de intercalado de bits (BICM) (véase, por ejemplo, bibliografía distinta de patente 1).

Un codificador de BICM, por ejemplo, realiza las siguientes etapas.

20 (1) Codificar bloques de datos, por ejemplo, usando un código de BCH (Bose-Chaudhuri-Hocquenghem) como un código exterior y un código de Comprobación de Paridad de Baja Densidad (LDPC) como un código interior.

(2) Aplicar intercalación de bits, que implica intercalación de paridad e intercalación de columnas-filas, a los bits de palabra de código obtenidos como resultado de la codificación.

25 (3) Demultiplexar la palabra de código de intercalado de bits para obtener palabras de celda. La demultiplexación incluye el procesamiento equivalente a una permutación de las columnas de una matriz de intercalador usada en la intercalación de columnas-filas cuando el tipo de modulación que se está usando es, por ejemplo, 16QAM, 64QAM o 256QAM.

30 (4) Mapear las palabras de celda en constelaciones.

[Lista de citas]

35 [Bibliografía distinta de patente]

[Bibliografía distinta de patente 1]
ETSI EN 302 755 V1.2.1 (norma DVB-T2)

40 [Bibliografía distinta de patente 2]
"New 16k LDPC codes for NGH" por Makiko Kan, con nombre de fichero: "TM-NGH580_NGH_sony_New_16k_Codes.pdf", ID de documento TM-H1115 y publicado en

[Bibliografía distinta de patente 3]
ETSI EN 302 307 V1.2.1 (norma DVB-T2)

45 Organización DVB: "TM-NGH643_20110120_sony_New_16k_codes2.pdf", desvela diferentes códigos de LDPC.

El documento WO 2009 109830 A1 se refiere a métodos para procesamiento de señal digital y a sistemas de transmisión/recepción que utilizan dichos métodos; está basado en el uso de códigos de LDPC, en particular el código de LDPC con una tasa de código de 3/5, en combinación con una modulación 16QAM o 64QAM o 256QAM.

50 **[Sumario de la invención]**

[Problema técnico]

55 El rendimiento de recepción de un receptor puede mejorarse optimizando apropiadamente las reglas de permutaciones (incluyendo la intercalación de bits con número (2) anterior y la permutación llevada a cabo en la demultiplexación con número (3) anterior) aplicadas a los bits de palabras de código de LDPC antes de mapearse para ser adecuados para el código de LDPC y la constelación usada mediante el transmisor y el receptor.

60 La presente invención tiene por objeto proporcionar un método de procesamiento de transmisión y un método de procesamiento de recepción de acuerdo con que las reglas de permutación aplicadas a los bits de palabras de código de LDPC antes de mapearse se optimizan para los códigos y constelaciones de LDPC usados por el transmisor y el receptor, mejorando de esta manera el rendimiento de recepción del receptor. La presente invención tiene por objeto también proporcionar un transmisor y un receptor que ejecuten el método de procesamiento de transmisión y el método de procesamiento de recepción, respectivamente.

[Solución al problema]

Para conseguir los objetivos anteriores, se especifica un método de procesamiento de transmisión de acuerdo con la presente invención en la reivindicación independiente 1.

5

[Sumario de la invención]

De acuerdo con el método de procesamiento de transmisión de la reivindicación 1, las reglas de permutación a aplicarse a los bits de palabras de código de LDPC antes de mapearse se optimizan para los códigos y constelaciones de LDPC usados por el transmisor y el receptor, que es ventajoso para mejorar el rendimiento de recepción del receptor.

10

[Breve descripción de los dibujos]

- 15 La Figura 1 es una vista general de un modulador de DVB-T2.
 La Figura 2 es un diagrama de bloques del codificador de BICM mostrado en la Figura 1.
 La Figura 3 muestra una palabra de código de LDPC, compuesta de una trama de banda base, parte de paridad de BCH y parte de paridad de LDPC.
 20 La Figura 4 ilustra el principio de trabajo del intercalador de columnas-filas con giro, llevado a cabo mediante el intercalador de columnas-filas mostrado en la Figura 2.
 La Figura 5A ilustra un proceso de escritura realizado mediante un intercalador de columnas-filas que tiene 8 columnas para escribir bits de una palabra de código de LDPC con una longitud de palabra de código de 16200 bits, y la Figura 5B ilustra un proceso de lectura realizado mediante el intercalador de columnas-filas para leer los bits de la palabra de código de LDPC escritos en el proceso ilustrado en la Figura 5A.
 25 La Figura 6A ilustra un proceso de escritura realizado mediante un intercalador de columnas-filas que tiene 12 columnas para escribir bits de una palabra de código de LDPC con una longitud de palabra de código de 16200 bits, y la Figura 6B ilustra un proceso de lectura realizado mediante el intercalador de columnas-filas para leer los bits de la palabra de código de LDPC escritos en el proceso ilustrado en la Figura 6A.
 La Figura 7 ilustra la entrada y la salida del demultiplexor de bit-a-celda mostrado en la Figura 2.
 30 La Figura 8 es un diagrama de bloques de un demultiplexor de bit-a-celda para la constelación 16QAM.
 La Figura 9 es un diagrama de bloques de un demultiplexor de bit-a-celda para la constelación 64QAM.
 La Figura 10 es un diagrama de bloques de un demultiplexor de bit-a-celda para la constelación 256QAM.
 La Figura 11 muestra un mapeo de constelación particular para QPSK aplicable en DVB-T2 para transmisión y recepción de datos.
 35 La Figura 12 muestra un mapeo de constelación particular para 16QAM aplicable en DVB-T2 para transmisión y recepción de datos.
 La Figura 13 muestra un mapeo de constelación particular para 64QAM aplicable en DVB-T2 para transmisión y recepción de datos.
 La Figura 14 muestra un mapeo de constelación particular para 256QAM aplicable en DVB-T2 para transmisión y recepción de datos.
 40 La Figura 15 es un diagrama de bloques de un codificador de BICM de acuerdo con una realización de la presente invención.
 La Figura 16 ilustra la entrada y la salida del demultiplexor de bit-a-celda mostrado en la Figura 15.
 La Figura 17 es un diagrama de bloques de un demultiplexor de bit-a-celda para la constelación 16QAM.
 45 La Figura 18 es un diagrama de bloques de un demultiplexor de bit-a-celda para la constelación 64QAM.
 La Figura 19 es un diagrama de bloques de un demultiplexor de bit-a-celda para la constelación 256QAM.
 La Figura 20 es un diagrama de bloques de un decodificador de BICM de acuerdo con una realización de la presente invención.
 La Figura 21 ilustra la entrada y la salida del multiplexor de celda-a-bit mostrado en la Figura 20.
 50 La Figura 22 es un diagrama de bloques de un multiplexor de celda-a-bit para la constelación 16QAM.
 La Figura 23 es un diagrama de bloques de un multiplexor de celda-a-bit para la constelación 64QAM.
 La Figura 24 es un diagrama de bloques de un multiplexor de celda-a-bit para la constelación 256QAM.
 La Figura 25 muestra el código de LDPC para una longitud de palabra de código de 16200 bits y tasa de código de 7/15.
 55 La Figura 26 muestra el código de LDPC para una longitud de palabra de código de 16200 bits y tasa de código de 8/15.

[Descripción de las realizaciones]

60 «Hallazgos por el presente inventor que conducen a la invención»

DBV-T2 (Difusión de Vídeo Digital - Terrestre de Segunda Generación) (ETSI EN 302 755: bibliografía distinta de patente 1) es la mejora de la DVB-T, que es la norma para televisión, y describe un sistema de transmisión de línea de base de segunda generación para televisión digital terrestre. Más específicamente, ETSI EN 302 755 (bibliografía distinta de patente 1) describe los detalles del sistema de codificación/modulación de canal pretendido para servicios de televisión digital y flujos de datos genéricos.

65

La Figura 1 es una vista general de un modulador de DVB-T2 conforme con la arquitectura de sistema de la DVB-T2 (concepto de diseño fundamental). El modulador 1000 de DVB-T2 incluye un procesador 1010 de entrada, un codificador 1020 de codificación y modulación de intercalado de bits (BICM), un creador 1030 de tramas y un generador 1040 de OFDM.

El procesador 1010 de entrada formatea flujos de bits de entrada relacionados con un servicio de difusión en bloques de una longitud predeterminada. El codificador 1020 de BICM aplica codificación de BICM basándose en DVB-T2 para la entrada. El creador 1030 de tramas ensambla tramas de transmisión para transmisión en DVB-T2 desde las entradas recibidas desde el codificador 1020 de BICM y similares. El generador 1040 de OFDM procesa la estructura de trama para transmisión de DVB-T2 añadiendo pilotos, aplicando la Transformada Rápida de Fourier Inversa, insertando intervalos de guarda para emitir señales de transmisión de DVB-T2.

La BICM basándose en la DVB-T2 se describe en el Apartado 6 del ETSI EN 302 755 (bibliografía distinta de patente 1).

Lo siguiente describe los detalles del codificador 1020 de BICM mostrado en la Figura 1, con referencia a la Figura 2.

La Figura 2 es un diagrama de bloques del codificador 1020 de BICM incluido en el modulador 1000 de DVB-T2 mostrado en la Figura 1.

El codificador 1020 de BICM incluye un codificador 1110 de FEC, un intercalador 1120 de bits, un demultiplexor 1130 de bit-a-celda y un mapeador 1140 de QAM. En la Figura 2, se omite la rotación de la constelación, el intercalador de celda y el intercalador de tiempo.

Básicamente, el procedimiento para la codificación de BICM de acuerdo con la DVB-T2 implica la codificación de corrección de errores hacia delante (FEC), intercalar los bits de palabras de código resultantes de la codificación de FEC, demultiplexar los bits intercalados en palabras de celda y mapear las palabras de celda en símbolos (que también se denominan como celdas) de QAM (Modulación de Amplitud en Cuadratura) complejos.

El codificador 1110 de FEC se compone concatenando un codificador 1111 (codificador exterior de BCH sistemático) de BCH (Bose-Chaudhuri-Hocquenghem) y un codificador 1112 (codificador interior de LDPC sistemático) de LDPC (comprobación de paridad de baja densidad).

Como se muestra en la Figura 3, el codificador 1111 de BCH genera bits de paridad de BCH codificando en BCH una trama de banda base y emite, al codificador 1115 de LDPC, una palabra de código de BCH a la que se anexan los bits de paridad de BCH. A continuación, el codificador 1115 de LDPC codifica la palabra de código de BCH con LDPC para generar bits de paridad de LDPC y los emite a la palabra de código de LDPC del intercalador 1120 de bits a los que se anexan los bits de paridad de LDPC, como se muestra en la Figura 3.

La longitud de la palabra de código de la palabra de código de LDPC (es decir, el número de bits de un bloque codificado de LDPC, que puede también denominarse como una trama de FEC) de acuerdo con la norma de DVB-T2 es 64800 bits o 16200 bits. La norma de DVB-T2 especifica códigos de LDPC para ambas longitudes de palabra de código. Sin embargo, únicamente la longitud de palabra de código de 16200 es relevante para la presente invención como se explicará más adelante. El código de LDPC proporciona la mayoría de la capacidad de corrección de errores del sistema, mientras que el código de BCH reduce el suelo del error restante después de la decodificación de LDPC.

El intercalador 1120 de bits incluye un intercalador 1121 de paridad y un intercalador 1125 de columnas-filas.

El intercalador 1121 de paridad intercala los bits de paridad de la palabra de código de LDPC sistemática. A continuación, el intercalador 1125 de columnas-filas intercala los bits de palabra de código de LDPC resultantes de la intercalación de paridad mediante la intercalación de columnas-filas.

Posteriormente, el demultiplexor 1130 de bit-a-celda demultiplexa los bits de palabras de código de LDPC resultantes de la intercalación de bits a palabras de celda antes de mapear a constelaciones de QAM. Obsérvese que la demultiplexación implica el proceso equivalente a una permutación de las columnas de la matriz del intercalador del intercalador 1125 de columnas-filas (un proceso de redistribución del orden de las columnas de la matriz del intercalador).

La rotación de la constelación, la intercalación de celda o la intercalación de tiempo, que se realizará posteriormente al proceso realizado mediante el demultiplexor 1130 de bit-a-celda, no se analizará en detalle, para facilitar la explicación y en vista de no ser de relevancia para el entendimiento de los principios de la presente invención.

El mapeador 1140 de QAM mapea las palabras de celda en las constelaciones de QAM.

5 Los códigos de LDPC son códigos de corrección de errores lineales para transmitir un mensaje a través de un canal de transmisión con ruido. Los códigos de LDPC están encontrando cada vez más uso en aplicaciones donde se desea transferencia de información fiable y altamente eficaz a través de enlaces de ancho de banda o de canal de

10 El codificador 1115 de LDPC de la DVB-T2 trata la salida del codificador 1111 de BCH como un bloque de información y codifica sistemáticamente el bloque de información en una palabra de código de LDPC. La tarea del codificador 1115 de LDPC es calcular los bits de paridad para cada bloque de información, introducido al codificador 1115 de LDPC, es decir para cada palabra de código de BCH. El procesamiento del codificador 1115 de LDPC usa los códigos particulares como se enumeran en las tablas A.1 a A.6 incluidas en el Anexo A de la norma de DVB-T2 302.755 (bibliografía distinta de patente 1).

15 Debería observarse que los bits de una palabra de código de LDPC tienen diferentes niveles de importancia, mientras que los bits de una constelación tienen diferentes niveles de robustez. Un mapeo directo (es decir no intercalado) de los bits de palabras de código de LDPC a los símbolos de constelación conduce a un rendimiento subóptimo. Esta es la razón por la que el intercalador 1120 de bits así como el demultiplexor 1130 de bit-a-celda se usan entre el codificador 1115 de LDPC y el mapeador 1140 de QAM. En otras palabras, el intercalador 1120 de bits y el demultiplexor 1130 de bit-a-celda permiten conseguir una asociación mejorada entre los bits de la palabra de código de LDPC codificada y los bits llevados mediante las constelaciones de QAM.

20 Los diferentes niveles de importancia de los bits de una palabra de código de LDPC resultan del hecho de que no todos esos bits están implicados en el mismo número de comprobaciones de paridad, como se define mediante la matriz de comprobación de paridad. A cuantas más comprobaciones de paridad (es decir, nodos de comprobación) está conectado un bit (es decir, nodo variable), más importante es ese bit en el proceso de decodificación iterativo. Este aspecto es bien entendido en la técnica.

25 Análogamente, los diferentes niveles de importancia de los bits codificados en una constelación de QAM es un hecho bien conocido por el experto en la materia. Por ejemplo, una constelación 16QAM codifica cuatro bits y tiene dos niveles de robustez. Una constelación 64QAM codifica seis bits y tiene tres niveles de robustez. Una constelación 256QAM codifica ocho bits y tiene cuatro niveles de robustez.

30 Además de la norma de DVB-T2, el intercalador 1125 de columnas-filas del intercalador 1120 de bits realiza el proceso de intercalación de columnas-filas, que es equivalente a un proceso de escribir en serie a nivel de columna los bits de datos recibidos desde el intercalador 1121 de paridad en una matriz de intercalador, desplazando cíclicamente (denominado como giro) cada columna mediante un número de bits especificado, y leyendo en serie los bits a nivel de fila. El primer bit de la palabra de código de LDPC (trama de FEC) se escribe y se lee en primer lugar.

35 En la intercalación de columnas-filas, se define una matriz de intercalador con N_c columnas y N_r filas. Estos dos parámetros (N_c y N_r) se enumeran en la Tabla 1 para todos los tamaños de constelación relevantes (denominados como "modulación" en la Tabla 1) y los códigos de LDPC de longitud de palabra de código de 16200 bits. En la DVB-T2 no se usa un intercalador de columnas-filas para constelaciones de QPSK (4QAM).

45

[Tabla 1]

Modulación	Columnas N_c	Filas N_r
16QAM	8(2×4)	2025
64QAM	12(2×6)	1350
256QAM	8(1×8)	2025

50 La posición de inicio de escritura de cada columna se gira (es decir se desplaza cíclicamente) mediante el parámetro de giro t_c de acuerdo con la Tabla 2. En la Tabla 2, el parámetro de giro t_c de todas las columnas de la matriz del intercalador se enumera para todos los tamaños de constelación relevantes (denominados como "modulación" en la Tabla 2) y longitudes de palabras de código de LDPC N_{ldpc} de una palabra de código de LDPC.

[Tabla 2]

Modulación	Columnas N_c	Longitud de palabra de código de LDPC N_{ldpc}	Parámetro de giro t_c																
			Columna 0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
16-QAM	8	64800	0	0	2	4	4	5	7	7	-	-	-	-	-	-	-	-	
		16200	0	0	1	7	20	20	21	-	-	-	-	-	-	-	-	-	-
64-QAM	12	64800	0	0	2	2	3	4	4	5	5	7	8	9	-	-	-	-	-
		16200	0	0	0	2	2	2	2	3	3'	3	3	6	7	-	-	-	-
256-QAM	16	64800	0	2	2	2	2	3	7	15	16	20	22	27	27	27	28	32	
	8	16200	0	0	0	1	7	20	20	21	-	-	-	-	-	-	-	-	

La Figura 4 muestra un proceso realizado mediante el intercalador 1125 de columnas-filas, suponiendo que se genera una trama larga con 64800 bits mediante el codificador 1110 de FEC (que incluye el codificador 1111 de BCH y el codificador 1115 de LDPC) y que se usa una constelación 16QAM como la constelación de QAM. En consecuencia, la matriz del intercalador tiene 8100 filas y 8 columnas.

Como se muestra en la Figura 4, el intercalador 1125 de columnas-filas escribe en serie los bits de datos, que se reciben desde el intercalador 1121 de paridad, a nivel de columna en una matriz de intercalador con giro. En el proceso de giro, la posición de inicio de escritura de cada columna se gira usando el parámetro de giro t_c mostrado en la Tabla 2. Posteriormente, el intercalador 1125 de columnas-filas lee en serie los bits a nivel de fila desde la matriz del intercalador. El MSB (bit más significativo) del encabezamiento de trama de banda base se escribe y se lee en primer lugar. Obsérvese que el “LSB de la Trama de FEC” en la Figura 4 se refiere al LSB (bit menos significativo) de la trama de FEC después de la intercalación de columnas-filas con giro (es decir, intercalación con giro de columna).

Las Figuras 5A, 5B, 6A y 6C muestran un ejemplo de intercalación de columnas-filas para palabras de código de LDPC de longitud de palabra de código de 16200 bits, para un número de columnas igual a 8 y 12 respectivamente.

Más específicamente, las Figuras 5A y 6A son relevantes para la escritura de bits mediante el intercalador 1125 de columnas-filas, mientras que las Figuras 5B y 6B son relevantes para la lectura de bits mediante el intercalador 1125 de columnas-filas. En cada figura, cada cuadrado más pequeño representa un bit de la palabra de código de LDPC, y cada cuadrado negro representa el primer bit de la palabra de código de LDPC. Además, la flecha indica el orden en el que se escriben los bits en o se leen de la matriz de intercalador. Obsérvese que el proceso de giro no se muestra en las Figuras 5A, 5B, 6A y 6B.

Supóngase que la matriz de intercalador tiene 8 columnas, los bits de la palabra de código de LDPC se escriben en el orden de (fila 1, columna 1), (fila 2, columna 1), ... (fila 2025, columna 1), (fila 1, columna 2), ... (fila 2025, columna 8), como se muestra en la Figura 5A, y se leen en el orden de (fila 1, columna 1), (fila 1, columna 2), ... (fila 1, columna 8), (fila 2, columna 1), ... (fila 2025, columna 8), como se muestra en la Figura 5B.

Obsérvese que únicamente son relevantes dos casos para la presente invención, que son (1) palabras de código de LDPC de longitud de palabra de código de 16200, para un número de columnas igual a 8, y (2) palabras de código de LDPC de longitud de palabra de código de 16200, para un número de columnas igual a 12.

Antes del mapeo de QAM, cada palabra de código de LDPC en que se ha realizado intercalación de bits mediante el intercalador 1120 de bits se demultiplexa en primer lugar en palabras de celda paralelas mediante el demultiplexor 1130 de bit-a-celda. Cada palabra de celda demultiplexada contiene tantos bits como se codifican en una constelación de QAM (η_{MOD}), es decir, 2 bits para la constelación de QPSK (4QAM), 4 bits para la constelación 16QAM, 6 bits para la constelación 64QAM y 8 bits para la constelación 256QAM. El número resultante de celdas de datos de QAM por palabra de código de LDPC (bloque de FEC) de longitud de palabra de código de 16200 bits es por lo tanto $16200/\eta_{MOD}$. Es decir, 8100 celdas para QPSK, 4050 celdas para 16QAM, 2700 celdas para 64QAM y 2025 celdas para 256QAM.

Lo siguiente describe el demultiplexor 1130 de bit-a-celda mostrado en la Figura 2, con referencia a las Figuras 7 a 10.

La Figura 7 ilustra la entrada y la salida del demultiplexor 1130 de bit-a-celda mostrado en la Figura 2.

El flujo de bits desde el intercalador 1120 de bits se demultiplexa mediante el demultiplexor 1130 de bit-a-celda en sub-flujos de bits como se muestra en la Figura 7. El número de sub-flujos de bits $N_{subflujos}$ es dos para constelaciones de QPSK (4QAM) e igual con el número de columnas de la matriz de intercalador en el intercalador 1125 de columnas-filas para constelaciones de orden superior (16QAM, 64QAM, 256QAM). En el último caso la demultiplexación también contiene una etapa de permutación de bits (que es conceptualmente equivalente a una permutación de las columnas de la matriz del intercalador en el intercalador de columnas-filas).

La Figura 8 es un diagrama de bloques del demultiplexor de bit-a-celda para la constelación 16QAM. Obsérvese que la Figura 8 se refiere específicamente al caso para el que el número de sub-flujos de bits $N_{subflujos} = 8$, donde cada sub-flujo de bits tiene $16200/8 = 2025$ bits.

El demultiplexor 1130A de bit-a-celda mostrado en la Figura 8 incluye un demultiplexor 1131A sencillo y un permutador 1135A de DEMUX.

El demultiplexor 1131A sencillo recibe un flujo de bits (v_0, v_1, v_2, \dots) desde el intercalador 1120 de bits y demultiplexa el flujo de bits recibido en 8 sub-flujos de bits, en concreto del primer sub-flujo de bits ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) al octavo sub-flujo de bits ($v_{7,0}, v_{7,1}, v_{7,2}, \dots$). El demultiplexor 1131A sencillo a continuación emite los 8 sub-flujos de bits resultantes al permutador 1135A de DEMUX. Obsérvese que los bits de salida $v_{i,j}$ del demultiplexor 1131A sencillo

ES 2 500 056 T3

corresponden a los bits de entrada $v_{i+8 \times j}$ al demultiplexor 1131A sencillo.

El permutador 1135A de DEMUX recibe los 8 sub-flujos de bits desde el demultiplexor 1131A sencillo, permuta los 8 sub-flujos de bits recibidos y emite 8 sub-flujos de bits obtenidos como resultado de la permutación. Como se muestra en la Figura 8, los bits de salida $b_{0,i}$ a $b_{7,i}$ ($i = 0, 1, 2, \dots$) del permutador 1135A de DEMUX incluyen dos palabras de celda ($y_{0,2 \times i}$ a $y_{3,2 \times i}$ e $y_{0,2 \times i+1}$ a $y_{3,2 \times i+1}$) y cada palabra de celda se reenvía al mapeador 1140 de QAM para 16QAM.

La Figura 9 es un diagrama de bloques del demultiplexor de bit-a-celda para la constelación de 64QAM. Obsérvese que la Figura 9 se refiere específicamente al caso donde el número de sub-flujos de bits $N_{\text{subflujos}} = 12$, donde cada sub-flujo de bits tiene $16200/12 = 1350$ bits.

El demultiplexor 1130B de bit-a-celda mostrado en la Figura 9 incluye un demultiplexor 1131B sencillo y un permutador 1135B de DEMUX.

El demultiplexor 1131B sencillo recibe un flujo de bits (v_0, v_1, v_2, \dots) desde el intercalador 1120 de bits y demultiplexa el flujo de bits recibido en 12 sub-flujos de bits, en concreto del primer sub-flujo de bits ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) al duodécimo sub-flujo de bits ($v_{11,0}, v_{11,1}, v_{11,2}, \dots$). El demultiplexor 1131B sencillo a continuación emite los 12 sub-flujos de bits resultantes al permutador 1135B de DEMUX. Obsérvese que los bits de salida $v_{i,j}$ del demultiplexor 1131B sencillo corresponden a los bits de entrada $v_{i+12 \times j}$ al demultiplexor 1131B sencillo.

El permutador 1135B de DEMUX recibe los 12 sub-flujos de bits desde el demultiplexor 1131B sencillo, permuta los 12 sub-flujos de bits recibidos y emite 12 sub-flujos de bits obtenidos como resultado de la permutación. Como se muestra en la Figura 9, los bits de salida $b_{0,i}$ a $b_{11,i}$ ($i = 0, 1, 2, \dots$) del permutador 1135B de DEMUX incluyen dos palabras de celda ($y_{0,2 \times i}$ a $y_{5,2 \times i}$ e $y_{0,2 \times i+1}$ a $y_{5,2 \times i+1}$) y cada palabra de celda se reenvía al mapeador 1140 de QAM para 64QAM.

La Figura 10 es un diagrama de bloques del demultiplexor de bit-a-celda para la constelación 256QAM. Obsérvese que la Figura 10 se refiere específicamente al caso donde el número de sub-flujos de bits $N_{\text{subflujos}} = 8$, donde cada sub-flujo de bits tiene $16200/8 = 2025$ bits.

El demultiplexor 1130C de bit-a-celda mostrado en la Figura 10 incluye un demultiplexor 1131C sencillo y un permutador 1135C de DEMUX.

El demultiplexor 1131C sencillo recibe un flujo de bits (v_0, v_1, v_2, \dots) desde el intercalador 1120 de bits y demultiplexa el flujo de bits recibido en 8 sub-flujos de bits, en concreto del primer sub-flujo de bits ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) al octavo sub-flujo de bits ($v_{7,0}, v_{7,1}, v_{7,2}, \dots$). El demultiplexor 1131C sencillo a continuación emite los 8 sub-flujos de bits resultantes al permutador 1135C de DEMUX. Obsérvese que los bits de salida $v_{i,j}$ del demultiplexor 1131C sencillo corresponden los bits de entrada $v_{i+8 \times j}$ al demultiplexor 1131C sencillo.

El permutador 1135C de DEMUX recibe los 8 sub-flujos de bits desde el demultiplexor 1131C sencillo, permuta los 8 sub-flujos de bits recibidos y emite 8 sub-flujos de bits obtenidos como resultado de la permutación. Como se muestra en la Figura 10, los bits de salida $b_{0,i}$ a $b_{7,i}$ ($i = 0, 1, 2, \dots$) del permutador 1135C de DEMUX incluyen una palabra de celda ($y_{0,i}$ a $y_{7,i}$) y la palabra de celda se reenvía al mapeador 1140 de QAM para 256QAM.

Se define la demultiplexación de bit-a-celda mediante el demultiplexor 1130 de bit-a-celda como un mapeo de los bits de entrada de intercalado de bits b_{d_i} en los bits de salida b_{e,d_o} , donde:

do es $d_i \text{ div } N_{\text{subflujos}}$;

div es una función que devuelve una porción entera del resultado obtenido dividiendo d_i por $N_{\text{subflujos}}$;

e es el número ($0 \leq e < N_{\text{subflujos}}$) del sub-flujo de bits demultiplexado (salida del sub-flujo de bits desde el demultiplexor 1130 de bit-a-celda);

v_{d_i} es la entrada al demultiplexor 1130 de bit-a-celda;

d_i es el número de bits de entrada;

b_{e,d_o} es la salida desde el demultiplexor 1130 de bit-a-celda; y

do es el número de bits de una salida de sub-flujo de bits dada desde el demultiplexor 1130 de bit-a-celda.

En consecuencia, si se supone la configuración de ejemplo de la Figura 4, con la longitud de palabra de código de 16200 bits y la constelación 16QAM, se formarían 8 sub-flujos de bits ($N_{\text{subflujos}} = 8$) de acuerdo con la Tabla 1 anterior. Cada sub-flujo de bits tiene $16200/8 = 2025$ bits ($d_o = d_i \text{ div } N_{\text{subflujos}}$) y constituye una columna de la matriz del intercalador.

La norma de DVB-T2 define procesos de demultiplexación de bit-a-celda para todas las tasas de código de LDPC disponibles en DVBT2 ($1/2, 3/5, 2/3, 3/4, 4/5$ y $5/6$) y modos de constelación (QPSK, 16QAM, 64QAM y 256QAM) (véanse las Tablas 13(a, b, c) en el Apartado 6.2.1 de la bibliografía distinta de patente 1: EN 302.755 v1.2.1). Estos

ES 2 500 056 T3

parámetros mostrados en las Tablas 13(a, b, c) definen permutaciones de los bits de entrada para los bits de salida de un sub-flujo de bits.

5 Por ejemplo, para palabras de código de LDPC de longitud de palabra de código de 16200 bits y la constelación de QAM es una constelación 16QAM, se permuta un bit de entrada v_{di} a un bit de salida b_e de acuerdo con la siguiente regla de permutación (véase la Tabla 13(a) en el Apartado 6.2.1 de la bibliografía distinta de patente 1: EN 302.755 v1.2.1).

10 Es decir, la regla de permutación es $v_0 = b_7, v_1 = b_1, v_2 = b_4, v_3 = b_2, v_4 = b_5, v_5 = b_3, v_6 = b_6, v_7 = b_0$.

Esta regla de permutación está optimizada para tasas de código de 1/2, 3/4, 4/5 y 5/6, de manera que se minimiza la tasa de errores en la salida del decodificador de LDPC en el receptor.

15 Excepto para QPSK (longitud de palabra de código de LDPC $N_{ldpc} = 64800$ o 16200) y 256QAM (únicamente $N_{ldpc}=16200$), las palabras de $N_{subflujos}$ de anchura se dividen en dos palabras de celda de anchura $\eta_{MOD}=N_{subflujos}/2$ en la salida del demultiplexor de bit-a-celda. Los primeros $\eta_{MOD} = N_{subflujos}/2$ bits $[b_{0,do} \dots b_{N_{subflujos}/2-1,do}]$ forman la primera de una pareja de palabras de celda de salida $[y_{0,2do} \dots y_{\eta_{MOD}-1, 2do}]$ y los restantes bits de salida $[b_{N_{subflujos}/2, do} \dots b_{N_{subflujos}-1,do}]$ forman la segunda palabra de celda de salida $[y_{0,2do+1} \dots y_{\eta_{MOD}-1, 2do+1}]$ alimentada al mapeador de QAM.

20 En el caso de QPSK (LDPC de longitud de palabra de código de LDPC $N_{ldpc} = 64800$ o 16200) y 256QAM (únicamente $N_{ldpc} = 16200$), las palabras de $N_{subflujos}$ de anchura desde el demultiplexor de bit-a-celda forman las palabras de celda de salida y se alimentan directamente al mapeador de QAM (entonces: $[y_{0,do} \dots y_{\eta_{MOD}-1,do}] = [b_{0,do} \dots b_{N_{subflujos}-1,do}]$).

25 En particular, el número de palabras de celda implicado en una permutación de DEMUX mediante el permutador de DEMUX es uno (para 256QAM) o dos (para 16QAM y 64QAM).

30 Dicho de otra manera, la permutación de DEMUX es conceptualmente equivalente a una permutación de las columnas en la matriz de intercalador del intercalador de columnas-filas del intercalador de bits.

Posteriormente, cada palabra de celda emitida desde el demultiplexor de bit-a-celda se modula de acuerdo con una constelación de mapeo particular (tal como QPSK, 16QAM, 64QAM o 256QAM). Las constelaciones y los detalles del mapeo de Gray aplicado a los bits de acuerdo con la DVB-T2 se ilustran en las Figuras 11, 12, 13 y 14.

35 Una norma de difusión digital de próxima generación para recepción portátil está actualmente en desarrollo en el cuerpo de normalización de DVB bajo el nombre de DVB-NGH. Esta norma de DVB-NGH usará la misma estructura de BICM como se ha explicado anteriormente, que comprende codificación de FEC, intercalado de bits, demultiplexación y mapeo de constelación de QAM. Además de algunas de las tasas de códigos de LDPC de DVB-T2, se añaden dos tasas de código de LDPC adicionales (en concreto 7/15 y 8/15). Permanecerán las mismas constelaciones de QAM como DVB-T2, es decir la constelación de QPSK (4QAM), la constelación 16QAM, la constelación 64QAM y la constelación 256QAM.

45 Únicamente se usarán palabras de código de LDPC de 16K cortas, es decir con 16200 bits, en DVB-NGH. En DVB-NGH se han propuesto códigos de LDPC para usarse para las recién introducidas tasas de código de 7/15 y 8/15. Se representan los códigos de LDPC particulares que probablemente se usarán para las tasas de código de 7/15 y 8/15 respectivamente en las Figuras 25 y 26, y los contenidos de la bibliografía distinta de patente 2 son también útiles.

50 La descripción de los códigos en las Figuras 25 y 26 es idéntica a la usada en la norma de DVB-S2, más exactamente en el Apartado 5.3.2 y los Anexos B y C de la bibliografía distinta de patente 3 (ETSI EN 302 307, V1.2.1, publicado en abril de 2009). La Figura 25 muestra las direcciones de los acumuladores de bits de paridad para el código de LDPC que tienen una longitud de palabra de código de 16200 bits con la tasa de código de 7/15. La Figura 26 muestra las direcciones de los acumuladores de bits de paridad para el código de LDPC que tienen una longitud de palabra de código de 16200 bits con la tasa de código de 8/15. El factor paralelo o cíclico tiene el mismo valor 360 como en la DVB-S2.

55 Puesto que la divulgación de las Figuras 25 y 26 cumple con los contenidos de la bibliografía distinta de patente 3, naturalmente se supone que los códigos de LDPC son fácilmente entendibles por los expertos en la materia basándose en las Figuras 25 y 26. Además, lo siguiente describe un ejemplo en el que se aplican los contenidos de la bibliografía distinta de patente 3 (Apartado 5.3.2 y Anexos B y C del ETSI EN 302 307 V1.2.1 (abril de 2009)).

60 El codificador de LDPC codifica sistemáticamente un bloque de información i (salida del codificador de BCH) de tamaño K_{ldpc} en una palabra de código c de LDPC de tamaño N_{ldpc} , como en la Ecuación 1 a continuación.

65

[Ecuación 1]

Si $i = (i_0, i_1, \dots, i_{K_{ldpc}-1})$,

$$c = (c_0, c_1, c_2, \dots, c_{N_{ldpc}-1}) = (i_0, i_1, \dots, i_{K_{ldpc}-1}, p_0, p_1, \dots, p_{N_{ldpc}-K_{ldpc}-1})$$

donde $i_0, i_1, \dots, i_{K_{ldpc}-1}$: bits de información $p_0, p_1, \dots, p_{N_{ldpc}-K_{ldpc}-1}$ bits de paridad

Obsérvese que los parámetros (N_{ldpc} y K_{ldpc}) para el código de LDPC con la tasa de código de 7/15 son (16200 y 7560).

5 La tarea del codificador de LDPC es calcular los bits de paridad de $N_{ldpc} - K_{ldpc}$ para cada bloque de bits de información de K_{ldpc} .

10 En primer lugar, los bits de paridad se inicializan como se muestra en la Ecuación 2.

[Ecuación 2]

$$p_0 = p_1 = \dots = p_{N_{ldpc}-K_{ldpc}-1} = 0$$

15 El primer bit de información i_0 se acumula en cada dirección de bit de paridad especificada en la primera fila de la Figura 25. Más específicamente, se realizan las operaciones de la Ecuación 3.

[Ecuación 3]

$$\begin{array}{ll}
p_3 = p_3 \oplus i_0 & p_{6535} = p_{6535} \oplus i_0 \\
p_{137} = p_{137} \oplus i_0 & p_{6560} = p_{6560} \oplus i_0 \\
p_{314} = p_{314} \oplus i_0 & p_{7146} = p_{7146} \oplus i_0 \\
p_{327} = p_{327} \oplus i_0 & p_{7180} = p_{7180} \oplus i_0 \\
p_{983} = p_{983} \oplus i_0 & p_{7408} = p_{7408} \oplus i_0 \\
p_{1597} = p_{1597} \oplus i_0 & p_{7790} = p_{7790} \oplus i_0 \\
p_{2028} = p_{2028} \oplus i_0 & p_{7893} = p_{7893} \oplus i_0 \\
p_{3043} = p_{3043} \oplus i_0 & p_{8123} = p_{8123} \oplus i_0 \\
p_{3217} = p_{3217} \oplus i_0 & p_{8313} = p_{8313} \oplus i_0 \\
p_{4109} = p_{4109} \oplus i_0 & p_{8526} = p_{8526} \oplus i_0 \\
p_{6020} = p_{6020} \oplus i_0 & p_{8616} = p_{8616} \oplus i_0 \\
p_{6178} = p_{6178} \oplus i_0 & p_{8638} = p_{8638} \oplus i_0
\end{array}$$

donde, el símbolo \oplus representa XOR.

- 5 Para los siguientes 359 bits de información i_m ($m = 1, 2, \dots, 359$), i_m se acumula en cada dirección de bit de paridad $\{x + (m \bmod 360) \times q\} \bmod (N_{\text{idpc}} - K_{\text{idpc}})$. Obsérvese que x indica la dirección del acumulador de bit de paridad que corresponde al primer bit i_0 , y q es una constante dependiente de la tasa de código 7/15, que en este caso es 24. El valor de q se proporciona mediante $q = (N_{\text{idpc}} - K_{\text{idpc}})/360$.
- 10 Para el 361º bit de información i_{360} , las direcciones de los acumuladores de bits de paridad se proporcionan en la segunda fila de la Figura 25. De una manera similar, para los siguientes 360 bits de información i_m ($m = 361, 362, \dots, 719$), las direcciones de los acumuladores de bits de paridad se proporcionan mediante $\{x + (m \bmod 360) \times q\} \bmod (N_{\text{idpc}} - K_{\text{idpc}})$. Obsérvese que x indica la dirección del acumulador de bits de paridad para el 360º bit de información i_{360} , es decir las entradas en la segunda fila de la Figura 25.

De una manera similar, para cada grupo de 360 nuevos bits de información, se usa una nueva fila desde la Figura 25 para encontrar las direcciones de los acumuladores de bits de paridad.

- 5 Después de que se agoten todos los bits de información, se obtienen los bits de paridad finales como sigue.

Realizar secuencialmente las operaciones de la Ecuación 4 empezando con $i = 1$.

[Ecuación 4]

$$p_i = p_i \oplus p_{i-1}, i = 1, 2, \dots, N_{ldpc} - K_{ldpc} - 1$$

- 10 donde, el símbolo \oplus representa XOR.
- El contenido final de p_i ($i = 0, 1, \dots, N_{ldpc} - K_{ldpc} - 1$) es igual al bit de paridad p_i .
- 15 Obsérvese que la misma descripción como se ha proporcionado anteriormente en el ejemplo referido a la Figura 25 es aplicable a la Figura 26, sustituyendo simplemente los valores de las entradas en cada fila de la Figura 25 con aquellos de la Figura 26. Además, los parámetros (N_{ldpc} y K_{ldpc}) para el código de LDPC son (16200 y 8640) y el de $q = 21$.

- 20 Aunque la descripción anterior de los códigos de LDPC cumple con la indicación de la DVB-S2, de acuerdo con la indicación de la DVB-T2 o de la DVB-NGH, q mencionada anteriormente se escribe como, por ejemplo, Q_{ldpc} .

- En la norma de DVB-NGH, actualmente no se definen permutaciones mediante el demultiplexor de bit-a-celda para las tasas de código de 7/15 y 8/15 para la respectiva constelación 16QAM, constelación 64QAM y constelación 256QAM. Como en la DVB-T2, la constelación de QPSK (4QAM) no necesita una permutación de este tipo mediante el demultiplexor de bit-a-celda. Es debido a que los dos bits codificados en una constelación de QPSK tienen el mismo nivel de robustez.
- 25

- 30 Para maximizar el rendimiento de los nuevos códigos de LDPC de tasa 7/15 y 8/15 en relación con diversos tamaños de constelación de QAM y bajo diversas condiciones de recepción, se requieren nuevas reglas de permutación optimizadas para la demultiplexación de bit-a-celda.

«Realizaciones de la invención»

- 35 A continuación, se explicarán en detalle varias realizaciones de la invención con referencia a los dibujos. Las explicaciones no deberían entenderse como que limitan la invención, sino como un mero ejemplo de los principios generales de la presente invención. Un experto en la materia debería tener en cuenta que los principios generales de las realizaciones como se establecen en la sección de "Suplemento 2" de esta memoria descriptiva pueden aplicarse a diferentes escenarios y en maneras que no se describen explícitamente en el presente documento.

- 40 La mayoría de las realizaciones de la presente invención explicadas a continuación se refieren al sistema de DVB-NGH. La nueva norma de DVB-NGH actualizará y sustituirá la norma de DVB-H para emisión digital a dispositivos móviles.

- 45 Aunque no se ha decidido finalmente, se supone que el sistema de DVB-NGH adopta una estructura similar a la del subsistema de DVB-T2, como se ha explicado anteriormente en la sección de "Hallazgos por el presente inventor que conducen a la invención" de esta memoria descriptiva. Sin embargo, esto no debería restringir el alcance de protección. Realmente, las realizaciones de la presente invención pueden aplicarse a cualquier sistema que tenga las características estructurales como se explica en la sección de "Suplemento 2" de esta memoria descriptiva.

- 50 Diversas realizaciones de la presente invención proporcionan un sistema para procesar señales de bits para transmitirse antes de que se introduzcan en un mapeador de QAM. Las realizaciones adicionales de la presente invención proporcionan un sistema para procesar señales de bits recibidas desde el desmapeador de QAM (para realizar el proceso inverso del proceso realizado en los bits de transmisión en el lado de transmisión).

- 55 Se supone que una señal digital, que comprende, por ejemplo, una señal de audio y/o de vídeo, se ha de transmitir/difundir desde transmisores y pretende recibirse mediante receptores, tales como terminales móviles.

<Lado de transmisión>

- 60 Lo siguiente describe un codificador de BICM de acuerdo con una realización de la presente invención, con referencia a los dibujos. Obsérvese que el codificador de BICM se proporciona en un transmisor.

ES 2 500 056 T3

La Figura 15 es un diagrama de bloques del codificador de BICM de acuerdo con la realización de la presente invención. El codificador de BICM mostrado en la Figura 15 corresponde básicamente al codificador de BICM de acuerdo con la DVB-T2 y se describe en detalle en la sección de "Hallazgos por el presente inventor que conducen a la invención" con referencia a las Figuras 1 a 14.

El codificador 100 de BICM mostrado en la Figura 15 incluye un codificador 110 de FEC, un intercalador 120 de bits, un demultiplexor 130 de bit-a-celda y un mapeador 140 de QAM.

El codificador 110 de FEC incluye un codificador 111 de BCH y un codificador 115 de LDPC. Los contenidos descritos en la sección de "Suplemento 2" son también aplicables a un sistema en el que se omite o sustituye el codificador 111 de BCH corriente arriba del codificador 115 de LDPC con un codificador para código diferente.

Al codificador 111 de BCH, se introduce una señal digital (señal de banda base), tal como una señal de audio y/o una de vídeo, que consiste en bits de información. El codificador 111 de BCH genera bits de paridad de BCH mediante codificación de BCH de una trama de banda base introducida al mismo y emite una palabra de código de BCH a la que se anexan los bits de paridad de BCH al codificador 115 de LDPC.

El codificador 115 de LDPC codifica la palabra de código de BCH con un código de LDPC específico para generar bits de paridad de LDPC. Obsérvese que el código de LDPC usado en este punto en esta realización es un código de LDPC que tiene una longitud de palabra de código de 16200 bits con la tasa de código de 7/15 de acuerdo con la Figura 25 o un código de LDPC que tiene una longitud de palabra de código de 16200 bits con la tasa de código de 8/15 de acuerdo con la Figura 26.

El codificador 115 de LDPC emite al intercalador 120 de bits una palabra de código de LDPC de $N_{ldpc} = 16200$ bits a la que se anexan los bits de paridad de LDPC obtenidos como resultado de la codificación de LDPC (es decir, un flujo de bits de paquetes de datos que consisten de $N_{ldpc} = 16200$ bits). Debería observarse que la salida de un flujo de bits de paquetes de datos que consisten de $N_{ldpc} = 64800$ bits desde el codificador 115 de LDPC no está prevista para la transmisión/recepción de señales para dispositivos portátiles de acuerdo con la norma de DVB-NGH. Las palabras de código de LDPC de 16200 bits codificadas se introducen al intercalador 120 de bits que realiza intercalación de paridad e intercalación de giro de columna como se ha explicado en la norma de DVB-T2, Apartado 6.1.3.

El intercalador 120 de bits incluye un intercalador 121 de paridad y un intercalador 125 de columnas-filas.

El intercalador 121 de paridad realiza intercalación de paridad para permutar el orden de los bits de paridad de la palabra de código de LDPC de 16200 bits y emite la palabra de código de LDPC resultante al intercalador 125 de columnas-filas.

Más específicamente, si λ indica la entrada al intercalador 121 de paridad y u indica la salida desde el intercalador 121 de paridad, el intercalador 121 de paridad realiza las operaciones de la Ecuación 5.

[Ecuación 5]

$$u_i = \lambda_i : 0 \leq i < K_{ldpc}$$

$$u_{K_{ldpc}+360t+s} = \lambda_{K_{ldpc}+Q_{ldpc}s+t} : 0 \leq s < 360, 0 \leq t < Q_{ldpc}$$

En la Ecuación 5, K_{ldpc} indica el número de bits de información de una palabra de código de LDPC y los bits de información no están intercalados. El factor cíclico de la matriz de comprobación de paridad es 360. Obsérvese que $Q_{ldpc} = 24$ para la tasa de código de 7/15, mientras que $Q_{ldpc} = 21$ para la tasa de código de 8/15.

El intercalador 125 de columnas-filas realiza la intercalación de giro de columna (intercalación de columnas-filas con giro) en la palabra de código de LDPC de 16200 bits de paridad intercalada recibida desde el intercalador 121 de paridad y emite la palabra de código de LDPC de 16200 bits resultante de la intercalación de giro de columna al demultiplexor 130 de bit-a-celda.

La matriz de intercalador usada mediante el intercalador 125 de columnas-filas para la intercalación de giro de columna es una matriz cuyo número de entradas (un valor obtenido multiplicando el número de columnas por el número de filas) es 16200, que es igual al número de bits de palabra de código de LDPC. Es decir, las dimensiones de la matriz del intercalador se diferencian (es decir, el número de columnas así como el número de filas se diferencian) dependiendo del tipo de modulación que se esté usando en el mapeador 140 de QAM. Como se ha

ES 2 500 056 T3

explicado anteriormente, para 16QAM y $N_{ldpc} = 16200$, el número de filas $N_r = 2025$ y el número de columnas $N_c = 8$. Para 64QAM y $N_{ldpc} = 16200$, el número de filas $N_r = 1350$ y el número de columnas $N_c = 12$. Para 256QAM y $N_{ldpc} = 16200$, el número de filas $N_r = 2025$ y el número de columnas $N_c = 8$.

5 Considerando el giro de columna y el número de columnas, 8 o 12, el intercalador 125 de columnas-filas escribe en serie a nivel de columna los 16200 bits de datos (palabra de código de LDPC de paridad intercalada), que se emiten desde el intercalador 121 de paridad con giro. En el proceso de giro, la posición de inicio de escritura de cada columna se gira usando los parámetros de giro de columna t_c mostrados en la Tabla 2. Posteriormente, el intercalador 125 de columnas-filas lee en serie los 16200 bits desde la matriz del intercalador a nivel de fila (véanse las Figuras 4, 5 y 6 para referencia).

Debería observarse, sin embargo, que las realizaciones de la presente invención, en particular las diversas reglas de permutación usadas mediante el demultiplexor de bit-a-celda, pueden aplicarse a parámetros de giro de columna no enumerados en la Tabla 2. Adicionalmente, aunque la intercalación de giro de columna es parte del sistema de DVB-T2, y por lo tanto probablemente será parte del sistema de DVB-NGH, las realizaciones de la presente invención pueden aplicarse también a un proceso de intercalación de columnas-filas sin el giro de columna.

Después del proceso de intercalación de giro de columna mediante el intercalador 125 de columnas-filas, el demultiplexor 130 de bit-a-celda permuta las palabras de código de LDPC de 16200 bits de acuerdo con los diversos ejemplos de la realización de la presente invención. El procesamiento de permutación, y en particular las reglas de permutación que han de aplicarse, dependen de: (1) el código de LDPC usado mediante el codificador 115 de LDPC, caracterizado adicionalmente por su longitud de palabra de código y la tasa de código; y de (2) el tamaño de constelación de QAM usado mediante el mapeador 140.

25 Como se ha explicado anteriormente, el demultiplexor 130 de bit-a-celda demultiplexa los bits de la palabra de código de LDPC de intercalado de bits, que se introduce desde el intercalador 120 de bits, en palabras de celda paralelas. A continuación, el demultiplexor 130 de bit-a-celda realiza la permutación después de que se mapean las palabras de celda permutadas en símbolos de constelación de acuerdo con el mapeo de QAM especificado. El número de celdas de datos de QAM de salida (el número de palabras de celda) y el número efectivo de bits por palabra de celda η_{MOD} es el mismo que para DVB-T2 explicado en la sección de "Hallazgos por el presente inventor que conducen a la invención" de esta memoria descriptiva. Particularmente, hay 8100 celdas para QPSK (4QAM), 4050 celdas para 16QAM, 2700 celdas para 64QAM y 2025 celdas para 256QAM.

Lo siguiente describe el demultiplexor 130 de bit-a-celda mostrado en la Figura 15, con referencia a las Figuras 16 a 19.

La Figura 16 ilustra la entrada y la salida del demultiplexor 130 de bit-a-celda mostrado en la Figura 15.

40 El flujo de bits desde el intercalador 120 de bits se demultiplexa mediante el demultiplexor 130 de bit-a-celda en sub-flujos de bits como se muestra en la Figura 16. El número de sub-flujos de bits $N_{subflujos}$ es el mismo que para DVB-T2. En particular, el número de sub-flujos de bits $N_{subflujos}$ es 2 para constelaciones de QPSK (4QAM), 8 para constelación 16QAM, 12 para constelación 64QAM y 8 para constelación 256QAM.

Después de la demultiplexación de bit-a-celda, se lleva a cabo una permutación mediante una intercalación particular de los bits de entrada b_{di} en los bits de salida $b_{e,do}$. Obsérvese que $do = di \div N_{subflujos}$, y div es una función que devuelve una porción entera del resultado obtenido dividiendo di por $N_{subflujos}$. Adicionalmente, e es el número ($0 \leq e < N_{subflujos}$) de flujo de bits demultiplexado (es decir, el número que identifica el sub-flujo de bits emitido desde el demultiplexor 130 de bit-a-celda). Además todavía, v_{di} son los bits de entrada al demultiplexor 130 de bit-a-celda, y di es el número de bits de entrada. Además todavía, $b_{e,do}$ son los bits de salida desde el demultiplexor 130 de bit-a-celda, y do es el número de bits de una salida de un sub-flujo de bits dada desde el demultiplexor 130 de bit-a-celda.

La Figura 17 es un diagrama de bloques del demultiplexor de bit-a-celda para la constelación 16QAM. Obsérvese que la Figura 17 se refiere específicamente al caso donde el número de sub-flujos de bits $N_{subflujos} = 8$, donde cada sub-flujo de bits tiene $16200/8 = 2025$ bits.

55 El demultiplexor 130A de bit-a-celda mostrado en la Figura 17 incluye un demultiplexor 131A sencillo y un permutador 135A de DEMUX.

60 El demultiplexor 131A sencillo recibe un flujo de bits (v_0, v_1, v_2, \dots) desde el intercalador 120 de bits y demultiplexa el flujo de bits recibido en 8 sub-flujos de bits, en concreto del primer sub-flujo de bits ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) al octavo sub-flujo de bits ($v_{7,0}, v_{7,1}, v_{7,2}, \dots$). El demultiplexor 131A sencillo a continuación emite los 8 sub-flujos de bits resultantes al permutador 135A de DEMUX. Obsérvese que los bits de salida $v_{i,j}$ del demultiplexor 131A sencillo corresponden a los bits de entrada $v_{i+8 \cdot j}$ al demultiplexor 131A sencillo.

65 El permutador 135A de DEMUX recibe los 8 sub-flujos de bits desde el demultiplexor 131A sencillo, permuta los 8 sub-flujos de bits recibidos y emite 8 sub-flujos de bits obtenidos como resultado de la permutación. Como se

ES 2 500 056 T3

muestra en la Figura 17, los bits de salida $b_{0,i}$ a $b_{7,i}$ ($i = 0, 1, 2, \dots$) del permutador ¹³⁵A de DEMUX incluyen dos palabras de celda ($y_{0,2xi}$ a $y_{3,2xi}$ e $y_{0,2xi+1}$ a $y_{3,2xi+1}$), y cada palabra de celda se reenvía al mapeador 140 de QAM para 16QAM.

5 La Figura 18 es un diagrama de bloques del demultiplexor de bit-a-celda para la constelación 64QAM. Obsérvese que la Figura 18 se refiere específicamente al caso para el que el número de sub-flujos de bits $N_{\text{subflujos}} = 12$, donde cada sub-flujo de bits tiene $16200/12 = 1350$ bits.

10 El demultiplexor 130B de bit-a-celda mostrado en la Figura 18 incluye un demultiplexor 131B sencillo y un permutador 135B de DEMUX.

15 El demultiplexor 131B sencillo recibe un flujo de bits (v_0, v_1, v_2, \dots) desde el intercalador 120 de bits y demultiplexa el flujo de bits recibido en 12 sub-flujos de bits, en concreto del primer sub-flujo de bits ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) al duodécimo sub-flujo de bits ($v_{11,0}, v_{11,1}, v_{11,2}, \dots$). El demultiplexor 131B sencillo a continuación emite los 12 sub-flujos de bits resultantes al permutador 135B de DEMUX. Obsérvese que los bits de salida $v_{i,j}$ del demultiplexor 131B sencillo corresponden a los bits de entrada $v_{i+12,j}$ al demultiplexor 131B sencillo.

20 El permutador 135B de DEMUX recibe los 12 sub-flujos de bits desde el demultiplexor 131B sencillo, permuta los 12 sub-flujos de bits recibidos y emite 12 sub-flujos de bits obtenidos como resultado de la permutación. Como se muestra en la Figura 18, los bits de salida $b_{0,i}$ a $b_{11,i}$ ($i = 0, 1, 2, \dots$) del permutador 135B de DEMUX incluyen dos palabras de celda ($y_{0,2xi}$ a $y_{5,2xi}$ e $y_{0,2xi+1}$ a $y_{5,2xi+1}$) y cada palabra de celda se reenvía al mapeador 140 de QAM para 64QAM.

25 La Figura 19 es un diagrama de bloques del demultiplexor de bit-a-celda para la constelación 256QAM. Obsérvese que la Figura 19 se refiere específicamente al caso para el que el número de sub-flujos de bits $N_{\text{subflujos}} = 8$, donde cada sub-flujo de bits tiene $16200/8 = 2025$ bits.

30 El demultiplexor 130C de bit-a-celda mostrado en la Figura 19 incluye un demultiplexor 131C sencillo y un permutador 135C de DEMUX.

35 El demultiplexor 131C sencillo recibe un flujo de bits (v_0, v_1, v_2, \dots) desde el intercalador 120 de bits y demultiplexa el flujo de bits recibido en 8 sub-flujos, en concreto del primer sub-flujo de bits ($v_{0,0}, v_{0,1}, v_{0,2}, \dots$) al octavo sub-flujo de bits ($v_{7,0}, v_{7,1}, v_{7,2}, \dots$). El demultiplexor 131C sencillo a continuación emite los 8 sub-flujos de bits resultantes al permutador 135C de DEMUX. Obsérvese que los bits de salida $v_{i,j}$ del demultiplexor 131C sencillo corresponden a los bits de entrada $v_{i+8,j}$ al demultiplexor 131C sencillo.

40 El permutador 135C de DEMUX recibe los 8 sub-flujos de bits desde el demultiplexor 131C sencillo, permuta los 8 sub-flujos de bits recibidos y emite 8 sub-flujos de bits obtenidos como resultado de la permutación. Como se muestra en la Figura 19, los bits de salida $b_{0,i}$ a $b_{7,i}$ ($i = 0, 1, 2, \dots$) del permutador 135C de DEMUX incluyen una palabra de celda ($y_{0,i}$ a $y_{7,i}$) y la palabra de celda se reenvía al mapeador 140 de QAM para 256QAM.

45 Las palabras de celda obtenidas como resultado del procesamiento mediante el demultiplexor 130 de bit-a-celda (130A a 130C) se emiten en serie al mapeador 140 de QAM mostrado en la Figura 15. El mapeador 140 de QAM mapea las palabras de celda (la salida del demultiplexor de bit-a-celda) a los símbolos de constelación de acuerdo con la una particular de la modulación 16QAM, 64QAM y 256QAM de las Figuras 12, 13 y 14, es decir de acuerdo con el etiquetado de bits usado en la norma de DVB-T2.

50 A continuación, se presentarán parámetros de demultiplexación de acuerdo con diversas realizaciones de la invención para aplicar esquemas de permutación para diferentes códigos de LDPC y diferentes modos de modulación. La siguiente permutación se aplica en el permutador de DEMUX del demultiplexor de bit-a-celda, de acuerdo con las Figuras 17 a 19, como siendo parte de la Figura 15.

55 Lo siguiente describe las reglas de permutación usadas mediante el permutador de DEMUX proporcionado en el demultiplexor de bit-a-celda para los siguientes tres casos:

Caso A: el codificador de LDPC usa un código de LDPC que tiene una longitud de palabra de código de 16200 bits y la tasa de código de 7/15 como se muestra en la Figura 25, y el mapeador de QAM usa una constelación 64QAM;

60 Caso B: el codificador de LDPC usa un código de LDPC que tiene una longitud de palabra de código de 16200 bits y la tasa de código de 7/15 como se muestra en la Figura 25, y el mapeador de QAM usa una constelación 256QAM; y

Caso C: el codificador de LDPC usa un código de LDPC que tiene una longitud de palabra de código de 16200 bits y la tasa de código de 8/15 como se muestra en la Figura 26, y el mapeador de QAM usa una constelación 64QAM.

65 (Caso A)

ES 2 500 056 T3

Lo siguiente describe el procesamiento realizado mediante el demultiplexor 130B de bit-a-celda mostrado en la Figura 18, de acuerdo con un ejemplo de la realización de la presente invención. Este ejemplo se refiere al caso donde el codificador 115 de LDPC usa el código de LDPC que tiene una longitud de palabra de código de 16200 y la tasa de código de 7/15 como se muestra en la Figura 25, y el mapeador 140 de QAM usa una modulación 64QAM como el esquema de modulación.

La permutación en el permutador 135B de DEMUX se realiza como se representa en la Figura 18 en los 12 bits de una fila de la matriz del intercalador que se leen a nivel de fila y a continuación se demultiplexan de acuerdo con la Figura 18.

Después del proceso de demultiplexación, el permutador 135B de DEMUX permuta los 12 bits de entrada v_{di} ($v_{di,do}$) a los 12 bits de salida b_e ($b_{e,do}$) de acuerdo con la siguiente regla de permutación.

La regla de permutación es $v_0 = b_2, v_1 = b_4, v_2 = b_0, v_3 = b_1, v_4 = b_3, v_5 = b_6, v_6 = b_5, v_7 = b_8, v_8 = b_{10}, v_9 = b_7, v_{10} = b_{11}, v_{11} = b_9$.

Después de realizar la permutación anterior, se extraen dos palabras de celda para cada b_e . Las dos palabras de bit-a-celda y_0 - y_5 se emiten al mapeador 140 de QAM del tipo 64QAM para mapearse a dos símbolos de modulación consecutivos.

(Caso B)

Lo siguiente describe el procesamiento realizado mediante el demultiplexor 130C de bit-a-celda mostrado en la Figura 19, de acuerdo con otro ejemplo de la realización de la presente invención. Este ejemplo se refiere al caso donde el codificador 115 de LDPC usa el código de LDPC que tiene una longitud de palabra de código de 16200 y la tasa de código de 7/15 como se muestra en la Figura 25, y el mapeador 140 de QAM usa una modulación 256QAM como el esquema de modulación.

La permutación en el permutador 135C de DEMUX se realiza como se representa en la Figura 19 en los 8 bits de una fila de la matriz del intercalador que se leen a nivel de fila y a continuación se demultiplexan de acuerdo con la Figura 19.

Después del proceso de demultiplexación, el permutador 135C de DEMUX permuta los 8 bits de entrada v_{di} ($v_{di,do}$) a los 8 bits de salida b_e ($b_{e,do}$) de acuerdo con la siguiente regla de permutación.

Es decir, la regla de permutación es $v_0 = b_2, v_1 = b_6, v_2 = b_0, v_3 = b_1, v_4 = b_4, v_5 = b_5, v_6 = b_3, v_7 = b_7$.

Después de realizar la permutación anterior, se extrae una palabra de celda para cada b_e . La palabra de bit-a-celda y_0 - y_7 se emite al mapeador 140 de QAM del tipo 256QAM para mapearse a dos símbolos de modulación consecutivos.

(Caso C)

Lo siguiente describe el procesamiento realizado mediante el demultiplexor 130B de bit-a-celda mostrado en la Figura 18, de acuerdo con otro ejemplo más de la realización de la presente invención. Este ejemplo se refiere al caso donde el codificador 115 de LDPC usa el código de LDPC que tiene una longitud de palabra de código de 16200 y el código 8/15 como se muestra en la Figura 26, y el mapeador 140 de QAM usa una modulación 64QAM como el esquema de modulación.

La permutación en el permutador 135B de DEMUX se realiza como se representa en la Figura 18 en los 12 bits de una fila de la matriz del intercalador que se leen a nivel de fila y a continuación se demultiplexan de acuerdo con la Figura 18.

Después del proceso de demultiplexación, el permutador 135B de DEMUX permuta los 12 bits de entrada v_{di} ($v_{di,do}$) a los 12 bits de salida b_e ($b_{e,do}$) de acuerdo con la siguiente regla de permutación.

La regla de permutación es $v_0 = b_0, v_1 = b_4, v_2 = b_5, v_3 = b_1, v_4 = b_6, v_5 = b_7, v_6 = b_2, v_7 = b_{10}, v_8 = b_3, v_9 = b_8, v_{10} = b_9, v_{11} = b_{11}$.

Después de realizar la permutación anterior, se extraen dos palabras de celda para cada b_e . Las dos palabras de bit-a-celda y_0 - y_5 se emiten al mapeador 140 de QAM del tipo 64QAM para mapearse a dos símbolos de modulación consecutivos.

<Lado de recepción>

ES 2 500 056 T3

Lo siguiente describe un decodificador de BICM de acuerdo con una realización de la presente invención con referencia a los dibujos. Obsérvese que se proporciona el decodificador de BICM en un receptor. Ejemplos de aparatos que tienen el decodificador de BICM de acuerdo con esta realización incluyen dispositivos portátiles, teléfonos móviles, PC de tableta, portátiles, televisiones, etc.

5 El procesamiento mediante el decodificador de BICM proporcionado en el receptor será básicamente el inverso del procesamiento anteriormente explicado realizado mediante el codificador de BICM proporcionado en el transmisor. En resumen, las celdas complejas se demodularán de acuerdo con el mapeo de constelación (QPSK, 16QAM, 64QAM, 256QAM) para determinar las palabras de bit-a-celda transmitidas. Una palabra de celda (en el caso de 10 256QAM) o dos palabras de celda (en los casos de 16QAM y 64QAM) se permutarán en bits de acuerdo con una regla de permutación que es inversa a aquella en el lado de transmisión, y a continuación se multiplexarán en un flujo de bits. El flujo de bits resultante se somete a desintercalación de columnas-filas mediante un desintercalador de columnas-filas, así como a desintercalación de paridad mediante un desintercalador de paridad. Obsérvese que los bits desintercalados mediante el desintercalador de paridad son únicamente bits de paridad. Los bits de salida 15 del desintercalador de paridad se decodifican mediante el decodificador de LDPC, que está en concordancia con la codificación de LDPC del lado de transmisión. A continuación, se emite un flujo de bits resultante de la decodificación.

Lo siguiente describe el decodificador de BICM en detalle.

20 La Figura 20 es un diagrama de bloques del decodificador de BICM de acuerdo con la realización de la presente invención.

El decodificador 300 de BICM mostrado en la Figura 20 incluye un desmapeador 310 de QAM, un multiplexor 320 de 25 celda-a-bit, un desintercalador 330 de bits y un decodificador 340 de FEC.

El desmapeador 310 de QAM demodula celdas complejas de acuerdo con un modo de modulación particular (tal como 16QAM, 64QAM o 256QAM) y emite las palabras de celda resultantes al multiplexor 320 de celda-a-bit. Las palabras de celda que corresponden a 16QAM, 64QAM y 256QAM comprenden 4, 6 y 8 bits, respectivamente.

30 La demodulación de QAM realizada mediante el desmapeador 310 de QAM está de acuerdo con la modulación de QAM realizada mediante el mapeador 140 de QAM proporcionado en el transmisor. Si el mapeador 140 de QAM del transmisor realiza modulación 16QAM de acuerdo con el etiquetado de DVB-T2 de la Figura 12, el desmapeador 310 de QAM realiza la demodulación basándose en la misma 16QAM de la Figura 12, para demodular cada símbolo 35 de modulación (celda compleja) en una palabra de celda de 4 bits. Lo mismo se aplica a todas las modulaciones de QAM de acuerdo con las Figuras 11, 13 y 14.

El multiplexor 320 de celda-a-bit incluye un bloque de permutación y un bloque de multiplexación. En el lado de 40 recepción, el bloque de permutación procesa los bits demodulados de acuerdo con una regla de permutación que depende del modo de modulación y del código de LDPC usados en el lado de transmisión (y a la inversa en el lado de recepción).

Lo siguiente describe el multiplexor 330 de celda-a-bit mostrado en la Figura 20 con referencia a las Figuras 21 a 24.

45 La Figura 21 ilustra la entrada y la salida del multiplexor 320 de celda-a-bit mostrado en la Figura 20.

Las palabras de celda w que consisten de bits de entrada b se introducen al multiplexor 320 de celda-a-bit y se permutan mediante el multiplexor 320 de celda-a-bit para generar palabras de salida v .

50 La Figura 22 es un diagrama de bloques del multiplexor de celda-a-bit para la constelación 16QAM.

El multiplexor 320A de celda-a-bit mostrado en la Figura 22 incluye un permutador 321A de DEMUX inverso y un 55 multiplexor 325A sencillo.

El permutador 321A de DEMUX inverso recibe 8 sub-flujos de bits (8 bits b_0 - b_7 que forman dos palabras de celda de 4 bits y_0 - y_3), que se introducen desde el desmapeador 140 de QAM para 16QAM. El permutador 321A de DEMUX inverso realiza una permutación en los 8 sub-flujos de bits recibidos (es decir, una permutación para restaurar el orden de los sub-flujos de bits que estaba antes de la permutación mediante el permutador 135A de DEMUX en el 60 lado de transmisión) y emite los 8 sub-flujos de bits resultantes al multiplexor 325A sencillo.

El multiplexor 325A sencillo multiplexa los 8 sub-flujos de bits obtenidos como resultado de la permutación a un único flujo de bits de 16200 bits para emitir. Los bits de salida resultantes $v_{i+8 \times j}$ del multiplexor 325A sencillo corresponden a los bits de entrada $v_{i,j}$ del multiplexor 325A sencillo.

65 La Figura 23 es un diagrama de bloques del multiplexor de celda-a-bit para la constelación 64QAM.

ES 2 500 056 T3

El multiplexor 320B de celda-a-bit mostrado en la Figura 23 incluye un permutador 321B de DEMUX inverso y un multiplexor 325B sencillo.

5 El permutador 321B de DEMUX inverso recibe 12 sub-flujos de bits (12 bits b_0 - b_{11} que forman dos palabras de celda de 6 bits y_0 - y_5), que se introducen desde el desmapeador 140 de QAM para 64QAM. El permutador 321B de DEMUX inverso realiza una permutación en los 12 sub-flujos de bits recibidos (es decir, una permutación para restaurar el orden de los sub-flujos de bits que estaba antes de la permutación mediante el permutador 135B de DEMUX en el lado de transmisión) y emite los 12 sub-flujos de bits resultantes al multiplexor 325B sencillo.

10 El multiplexor 325B sencillo multiplexa los 12 sub-flujos de bits obtenidos como resultado de la permutación a un único flujo de bits de 16200 bits para emitir. Los bits de salida resultantes $v_{i+2,j}$ del multiplexor 325B sencillo corresponden a los bits de entrada $v_{i,j}$ del multiplexor 325B sencillo.

La Figura 24 es un diagrama de bloques del multiplexor de celda-a-bit para la constelación 256QAM.

15 El multiplexor 320C de celda-a-bit mostrado en la Figura 24 incluye un permutador 321C de DEMUX inverso y un multiplexor 325C sencillo.

20 El permutador 321C de DEMUX inverso recibe 8 sub-flujos de bits (8 bits b_0 - b_7 que forman una palabra de celda de 8 bits y_0 - y_7), que se introducen desde el desmapeador 140 de QAM para 256QAM. El permutador 321C de DEMUX inverso realiza una permutación en los 8 sub-flujos de bits recibidos (es decir, una permutación para restaurar el orden de los subflujos que estaba antes de la permutación mediante el permutador 135C de DEMUX en el lado de transmisión) y emite los 8 sub-flujos de bits resultantes al multiplexor 325C sencillo.

25 El multiplexor 325C sencillo multiplexa los 8 sub-flujos de bits obtenidos como resultado de la permutación a un único flujo de bits de 16200 bits para emitir. Los bits de salida resultantes $v_{i+8,j}$ del multiplexor 325C sencillo corresponden a los bits de entrada $v_{i,j}$ del multiplexor 325C sencillo.

30 Los detalles de las reglas de permutación usadas mediante el permutador de DEMUX inverso se describirán más adelante.

El desintercalador 330 de bits incluye un desintercalador 331 de columnas-filas y un desintercalador 335 de paridad.

35 El desintercalador 331 de columnas-filas recibe un flujo de bits compuesto de 16200 bits v ($v_0, v_1, v_2 \dots$) desde el multiplexor 320 de celda-a-bit (320A a 320C). El desintercalador 331 de columnas-filas realiza la desintercalación de columnas-filas con giro (desintercalación de giro de columna) en los 16200 bits de entrada recibidos. Más específicamente, el desintercalador 331 de columnas-filas escribe en serie los 16200 bits de entrada a nivel de fila en una matriz de desintercalador, y a continuación lee en serie los 16200 bits a nivel de columna desde la matriz de desintercalador con giro. En el proceso de giro, la posición de inicio de lectura de cada columna se gira usando el parámetro de giro t_c mostrado en la Tabla 2. Las dimensiones de la matriz de desintercalador dependen del tamaño de constelación usado en el proceso de demodulación mediante el desmapeador 310 de QAM y la longitud de palabra de código del código de LDPC usado en la demodulación de LDPC mediante el decodificador 341 de LDPC. En más detalle, en el caso del código de LDPC que tiene una longitud de palabra de código de 16200 bits, el número de columnas de la matriz de desintercalador es 8 para 16QAM, dando como resultado 2025 filas. Para 64QAM el número de columnas es 12, dando como resultado 1350 filas. Para 256QAM el número de columnas es 8, dando como resultado 2025 filas.

50 Obsérvese que los valores del parámetro de giro t_c usado mediante el desintercalador 331 de columnas-filas son los mismos que los valores del parámetro de giro t_c usado mediante el intercalador 125 de columnas-filas. Obsérvese que el intercalador 125 de columnas-filas puede realizar intercalación de columnas-filas sin giro. En un caso de este tipo, el desintercalador 331 de columnas-filas realiza desintercalación de columnas-filas sin giro.

55 El desintercalador 335 de paridad realiza desintercalación de paridad para permutar el orden de los bits de paridad de LDPC de los bits introducidos desde el desintercalador 331 de columnas-filas (es decir, para restaurar el orden de los bits antes de la permutación mediante el intercalador 121 de paridad en el lado de transmisión) (véase la Ecuación 5).

El decodificador 340 de FEC incluye el decodificador 341 de LDPC y un decodificador 345 de BCH.

60 El decodificador 341 de LDPC realiza la demodulación usando el código de LDPC usado mediante el codificador 115 de LDPC del transmisor mostrado en la Figura 15. Más específicamente, se usa en la demodulación un código de LDPC que tiene una longitud de palabra de código de 16200 bits con la tasa de código de 7/15 de acuerdo con la Figura 25 o un código de LDPC que tiene una longitud de palabra de código de 16200 bits con la tasa de código de 8/15 de acuerdo con la Figura 26.

65 El decodificador 345 de BCH realiza un proceso de decodificación de BCH en los datos resultantes de la

ES 2 500 056 T3

demodulación mediante el decodificador 341 de LDPC.

Lo siguiente describe en detalle las reglas de permutación usadas mediante el permutador de MUX proporcionado en el multiplexor de celda-a-bit, para los siguientes tres casos.

5 Caso A: el decodificador de LDPC usa un código de LDPC que tiene una longitud de palabra de código de 16200 bits y la tasa de código de 7/15 como se muestra en la Figura 25, y el desmapeador de QAM realiza una demodulación 64QAM.

10 Caso B: el decodificador de LDPC usa un código de LDPC que tiene una longitud de palabra de código de 16200 bits y la tasa de código de 7/15 como se muestra en la Figura 25, y el desmapeador de QAM realiza una demodulación 256QAM; y

15 Caso C: el decodificador de LDPC usa un código de LDPC que tiene una longitud de palabra de código de 16200 bits y la tasa de código de 8/15 como se muestra en la Figura 26, y el desmapeador de QAM usa una demodulación 64QAM.

(Caso A)

20 Lo siguiente describe el procesamiento realizado mediante el multiplexor 320B de celda-a-bit mostrado en la Figura 23, de acuerdo con un ejemplo de la realización de la presente invención. Obsérvese que este ejemplo se refiere al caso donde el decodificador 341 de LDPC usa el código de LDPC que tiene una longitud de palabra de código de 16200 y la tasa de código de 7/15 como se muestra en la Figura 25, y el desmapeador 310 de QAM realiza demodulación 64QAM.

25 La permutación mediante el permutador 321B de DEMUX inverso se realiza como se ilustra en la Figura 23 en 12 bits que se introducen en serie desde el desmapeador 310 de QAM.

En el proceso de permutación, el permutador 321B de DEMUX inverso permuta dos palabras de celda compuestas de 12 bits de entrada b_e ($b_{e,do}$) a los 12 bits de salida v_{di} ($v_{di,do}$) de acuerdo con la siguiente regla de permutación.

30 La regla de permutación es $v_0 = b_2$, $v_1 = b_4$, $v_2 = b_0$, $v_3 = b_1$, $v_4 = b_3$, $v_5 = b_6$, $v_6 = b_5$, $v_7 = b_8$, $v_8 = b_{10}$, $v_9 = b_7$, $v_{10} = b_{11}$, $v_{11} = b_9$.

Los bits permutados de esta manera v se multiplexan mediante el multiplexor 325B sencillo.

35 (Caso B)

40 Lo siguiente describe el procesamiento realizado mediante el multiplexor 320C de celda-a-bit mostrado en la Figura 24, de acuerdo con otro ejemplo de la realización de la presente invención. Obsérvese que esta realización se refiere al caso donde el decodificador 341 de LDPC usa el código de LDPC que tiene una longitud de palabra de código de 16200 y la tasa de código de 7/15 como se muestra en la Figura 25, y el desmapeador 310 de QAM realiza demodulación 256QAM.

45 La permutación mediante el permutador 321B de DEMUX inverso se realiza como se ilustra en la Figura 24 en 8 bits que se introducen en serie desde el desmapeador 310 de QAM.

En el proceso de permutación, el permutador 321C de DEMUX inverso permuta una palabra de celda compuesta de 8 bits de entrada b_e ($b_{e,do}$) a los 8 bits de salida v_{di} ($v_{di,do}$) de acuerdo con la siguiente regla de permutación.

50 Es decir, la regla de permutación es $v_0 = b_2$, $v_1 = b_6$, $v_2 = b_0$, $v_3 = b_1$, $v_4 = b_4$, $v_5 = b_5$, $v_6 = b_3$, $v_7 = b_7$.

Los bits permutados de esta manera v se multiplexan mediante el multiplexor 325C sencillo.

(Caso C)

55 Lo siguiente describe el procesamiento realizado mediante el multiplexor 320B de celda-a-bit mostrado en la Figura 23, de acuerdo con otro ejemplo más de la realización de la presente invención. Obsérvese que este ejemplo se refiere al caso donde el decodificador 341 de LDPC usa el código de LDPC que tiene una longitud de palabra de código de 16200 y la tasa de código de 8/15 como se muestra en la Figura 26, y el desmapeador 310 de QAM realiza demodulación 64QAM.

60 La permutación mediante el permutador 321B de DEMUX inverso se realiza como se ilustra en la Figura 23 en 12 bits que se introducen en serie desde el desmapeador 310 de QAM.

65 En el proceso de permutación, el permutador 321B de DEMUX inverso permuta dos palabras de celda compuestas de 12 bits de entrada b_e ($b_{e,do}$) a los 12 bits de salida v_{di} ($v_{di,do}$) de acuerdo con la siguiente regla de permutación.

ES 2 500 056 T3

La regla de permutación es $v_0 = b_0, v_1 = b_4, v_2 = b_5, v_3 = b_1, v_4 = b_6, v_5 = b_7, v_6 = b_2, v_7 = b_{10}, v_8 = b_3, v_9 = b_8, v_{10} = b_9, v_{11} = b_{11}$.

Los bits permutados de esta manera v se multiplexan mediante el multiplexor 325B sencillo.

5 Las reglas de permutación usadas mediante los permutadores 135B y 135C de DEMUX mostrados en las Figuras 18 y 19 así como mediante los permutadores 321B y 325C de DEMUX inversos mostrados en las Figuras 23 y 24 se enumeran en la Tabla 3 a continuación.

[Tabla 3]

Esquema de modulación Tasa de Código de LDPC	64QAM	256QAM
Tasa de Código de LDPC 7/15	2 4 0 1 3 6 5 8 10 7 11 9	2 6 0 1 4 5 3 7
Tasa de Código de LDPC 8/15	0 4 5 1 6 7 2 10 3 8 9 11	-

10 Las explicaciones anteriores proporcionadas en la sección de "Hallazgos por el presente inventor que conducen a la invención" no deberían entenderse como que limitan la invención a las implementaciones específicas descritas de procesos y funciones en la red de comunicación móvil. Sin embargo, las mejoras propuestas en las realizaciones pueden aplicarse fácilmente en las arquitecturas/sistemas descritos en la sección de "Hallazgos por el presente inventor que conducen a la invención" y pueden en algunas realizaciones de la invención hacer uso también de procedimientos convencionales y mejorados de estas arquitecturas/sistemas. Se apreciaría por un experto en la materia que pueden realizarse numerosas variaciones y/o modificaciones a la presente invención.

20 «Suplemento 1»

La presente invención no está limitada a las realizaciones específicas anteriormente descritas. Con la condición de que se consigan los objetivos de la presente invención y objetivos adjuntos también son posibles otras variaciones, tales como las siguientes.

(1) Las diversas realizaciones anteriormente descritas pueden referirse a la implementación usando hardware y software. Se reconoce que las diversas realizaciones anteriormente descritas pueden implementarse o realizarse usando dispositivos informáticos (procesadores). Un dispositivo informático o procesador puede, por ejemplo, ser procesadores principales/procesadores de fin general, procesadores de señal digital (DSP), circuitos integrados específicos de la aplicación (ASIC), campos de matrices de puertas programables (FPGA) u otros dispositivos lógicos programables, etc. Las diversas realizaciones de la invención pueden realizarse o llevarse a cabo mediante una combinación de estos dispositivos.

(2) Además, las diversas realizaciones anteriormente descritas pueden implementarse también por medio de módulos de software, que se ejecutan mediante un procesador o directamente en hardware. También puede ser posible una combinación de módulos de software y una implementación de hardware. Los módulos de software pueden almacenarse en cualquier tipo de medio de almacenamiento legible por ordenador, por ejemplo RAM, EPROM, EEPROM, memoria flash, registros, discos duros, CD-ROM, DVD, etc.

[Aplicabilidad industrial]

La presente invención es aplicable a un demultiplexor de bit-a-celda en un sistema de codificación y modulación de intercalado de bits usado para códigos de paridad de baja densidad, y también a un demultiplexor de bit-a-celda que corresponde a un multiplexor de celda-a-bit de este tipo.

[Lista de signos de referencia]

- 100 codificador de BICM
- 110 codificador de FEC
- 111 codificador de BCH
- 50 115 codificador de LDPC
- 120 intercalador de bits
- 121 intercalador de paridad
- 125 intercalador de columnas-filas

ES 2 500 056 T3

	130	demultiplexor de bit-a-celda
	130A-130C	demultiplexor de bit-a-celda
	131	demultiplexor sencillo
	131A-131C	demultiplexor sencillo
5	135	permutador de DEMUX
	135A-135C	permutador de DEMUX
	140	mapeador de QAM
	300	decodificador de BICM
	310	desmapeador de QAM
10	320	multiplexor de celda-a-bit
	320A-320C	multiplexor de celda-a-bit
	321	permutador de DEMUX inverso
	321A-321C	permutador de DEMUX inverso
	325	multiplexor sencillo
15	325A-325C	multiplexor sencillo
	330	desintercalador de bits
	331	desintercalador de columnas-filas
	335	desintercalador de paridad
	340	decodificador de BICM
20	341	decodificador de LDPC
	345	decodificador de BCH

ES 2 500 056 T3

REIVINDICACIONES

1. Un método de procesamiento de transmisión que comprende:

- 5 una etapa de codificación para codificar bits de información en una palabra de código de acuerdo con un código de comprobación de paridad de baja densidad con tasa de código de 7/15 y una longitud de palabra de código de 16200, el código de comprobación de paridad de baja densidad se muestra en la Tabla 1-1:

[Tabla 1-1]

Direcciones de acumuladores de bits de paridad para el código de LDPC con la tasa de código de 7/15 y la longitud de palabra de código de 16200

3	137	314	327	983	1597	2028	3043	3217	4109	6020	6178	6535	6560	7146	7180	7408	7790	7893	8123	8313	8526	8616	8638	
356	1197	1208	1839	1903	2712	3088	3537	4091	4301	4919	5068	6025	6195	6324	6378	6686	6829	7558	7745	8042	8382	8587	8602	
18	187	1115	1417	1463	2300	2328	3502	3805	4677	4827	5551	5968	6394	6412	6753	7169	7524	7695	7976	8069	8118	8522	8582	
714	2713	2726	2964	3055	3220	3334	3459	5557	5765	5841	6290	6419	6573	6856	7786	7937	8156	8286	8327	8384	8448	8539	8559	
3452	7935	8092	8623																					
56	1955	3000	8242																					
1809	4094	7991	8489																					
2220	6455	7849	8548																					
1006	2576	3247	6976																					
2177	6048	7795	8295																					
1413	2595	7446	8594																					
2101	3714	7541	8531																					
10	5961	7484																						
3144	4636	5282																						
5708	5875	8390																						
3322	5223	7975																						
197	4653	8283																						
598	5393	8624																						
906	7249	7542																						
1223	2148	8195																						
976	2001	5005																						

- 10 una etapa de intercalación de bits para realizar intercalación de paridad e intercalación de columnas-filas en bits de la palabra de código obtenida en la etapa de codificación, realizándose la intercalación de columnas-filas con o sin giro;
- 15 una etapa de demultiplexación de bit-a-celda para demultiplexar una secuencia de bits intercalados en la etapa de intercalación de bits en 8 secuencias de bits $V_{i,j}$, donde i indica una de las ocho secuencias y el bit $v_{i,j}$ corresponde al bit v_{i+8*j} de dicha secuencia de bits intercalados y realizar una permutación en las 8 secuencias de bits de acuerdo con una regla de permutación predeterminada para permutar cada conjunto de 8 bits ($v_{0,q}, v_{1,q}, v_{2,q}, v_{3,q}, v_{4,q}, v_{5,q}, v_{6,q}, v_{7,q}$) a un conjunto de 8 bits ($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) para obtener 8 secuencias de bits permutados, donde q es un índice;
- 20 una etapa de mapeo para mapear cada una de las palabras de celda de 8 bits ($y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q}$) cada una compuesta de un conjunto de 8 bits ($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) de las 8 secuencias de bits permutados obtenidos en la etapa de demultiplexación de bit-a-celda, en una celda compleja ($Re(Z_q), Im(Z_q)$) de acuerdo con la constelación 256QAM (Modulación de Amplitud en Cuadratura) mostrada en las Tablas 1-2 y 1-3:

[Tabla 1-2]

$y_{0,q}$	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0
$y_{2,q}$	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0
$y_{4,q}$	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0
$y_{6,q}$	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
$Re(z_q)$	-15	-13	-11	-9	-7	-5	-3	-1	1	3	5	7	9	11	13

[Tabla 1-3]

$y_{1,q}$	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0
$y_{3,q}$	0	0	0	0	1	1	1	0	1	1	1	1	0	0	0
$y_{5,q}$	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0
$y_{7,q}$	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
$Im(z_q)$	-15	-13	-11	-9	-7	-5	-3	-1	1	3	5	7	9	11	13

donde

5 $(b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}) = (y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q}), y$

la regla de permutación predeterminada es:

$v_{0,q} = b_{2,q}, v_{1,q} = b_{6,q}, v_{2,q} = b_{0,q}, v_{3,q} = b_{1,q}, v_{4,q} = b_{4,q}, v_{5,q} = b_{5,q}, v_{6,q} = b_{3,q}, v_{7,q} = b_{7,q}.$

10 2. Un transmisor (100) que comprende:

un codificador (110) adaptado para codificar bits de información en una palabra de código de acuerdo con un código de comprobación de paridad de baja densidad con tasa de código de 7/15 y una longitud de palabra de código de 16200, el código de comprobación de paridad de baja densidad se muestra en la Tabla 2-1:

15

[Tabla 2-1]

Direcciones de acumuladores de bits de paridad para el código de LDPC con la tasa de código de 7/15 y la longitud de palabra de código de 16200

3	137	314	327	983	1597	2028	3043	3217	4109	6020	6178	6535	6560	7146	7180	7408	7790	7893	8123	8313	8526	8616	8638
356	1197	1208	1839	1903	2712	3088	3537	4091	4301	4919	5068	6025	6195	6324	6378	6686	6829	7558	7745	8042	8382	8587	8602
18	187	1115	1417	1463	2300	2328	3502	3805	4677	4827	5551	5968	6394	6412	6753	7169	7524	7695	7976	8069	8118	8522	8582
714	2713	2726	2964	3055	3220	3334	3459	5557	5765	5841	6290	6419	6573	6856	7786	7937	8156	8286	8327	8384	8448	8539	8559
3452	7935	8092	8623																				
56	1955	3000	8242																				
1809	4094	7991	8489																				
2220	6455	7849	8548																				
1006	2576	3247	6976																				
2177	6048	7795	8295																				
1413	2595	7446	8594																				
2101	3714	7541	8531																				
10	5961	7484																					
3144	4636	5282																					
5708	5875	8390																					
3322	5223	7975																					
197	4653	8283																					
598	5393	8624																					
906	7249	7542																					
1223	2148	8195																					
976	2001	5005																					

20

un intercaldador (120) de bits adaptado para realizar intercalación de paridad e intercalación de columnas-filas en bits de la palabra de código obtenida mediante el codificador, realizándose la intercalación de columnas-filas con o sin giro;

25

un demultiplexor (130) adaptado para demultiplexar una secuencia de bits intercalados mediante el intercaldador de bits en 8 secuencias de bits $V_{i,j}$, donde i indica una de las ocho secuencias y el bit $v_{i,j}$ corresponde al bit v_{i+8xj} de dicha secuencia de bits intercalados y realizar una permutación en las 8 secuencias de bits de acuerdo con una regla de permutación predeterminada para permutar cada conjunto de 8 bits ($v_{0,q}, v_{1,q}, v_{2,q}, v_{3,q}, v_{4,q}, v_{5,q}, v_{6,q}, v_{7,q}$) a un conjunto de 8 bits ($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) para obtener 8 secuencias de bits permutados, donde q es un índice;

30

un mapeador (140) adaptado para mapear cada una de las palabras de celda de 8 bits ($y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q}$) cada una compuesta de un conjunto de 8 bits ($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) de las 8 secuencias de bits permutados obtenidos mediante el demultiplexor de bit-a-celda, en una celda compleja ($Re(Z_q), Im(Z_q)$) de acuerdo con la constelación 256QAM (Modulación de Amplitud en Cuadratura) mostrada en las Tablas 2-2 y 2-3:

ES 2 500 056 T3

[Tabla 2-2]

$y_{0,q}$	1	1	1	1	1	1	1	1	0	0	0	0	1	0	0	0
$y_{2,q}$	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0
$y_{4,q}$	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0
$y_{6,q}$	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
$Re(z_q)$	-15	-13	-11	-9	-7	-5	-3	-1	1	3	5	7	9	11	13	15

[Tabla 2-3]

$y_{1,q}$	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
$y_{3,q}$	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0
$y_{6,q}$	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0
$y_{7,q}$	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
$Im(z_q)$	-15	-13	-11	-9	-7	-5	-3	-1	1	3	5	7	9	11	13	15

5 donde

$$(b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}) = (y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q}), y$$

la regla de permutación predeterminada es:

10

$$v_{0,q} = b_{2,q}, v_{1,q} = b_{6,q}, v_{2,q} = b_{0,q}, v_{3,q} = b_{1,q}, v_{4,q} = b_{4,q}, v_{5,q} = b_{5,q}, v_{6,q} = b_{3,q}, v_{7,q} = b_{7,q}.$$

3. Un método de procesamiento de recepción que comprende:

15

una etapa de desmapeo para desmapear celdas complejas ($Re(Z_q)$, $Im(Z_q)$) de acuerdo con la constelación 256QAM (Modulación de Amplitud en Cuadratura) mostrada en las Tablas 3-1 y 3-2:

[Tabla 3-1]

$y_{0,q}$	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
$y_{2,q}$	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0
$y_{4,q}$	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0
$y_{6,q}$	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
$Re(z_q)$	-15	-13	-11	-9	-7	-5	-3	-1	1	3	5	7	9	11	13	15

20

[Tabla 3-2]

$y_{1,q}$	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
$y_{3,q}$	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0
$y_{5,q}$	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0
$y_{7,q}$	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
$Im(z_q)$	-15	-13	-11	-9	-7	-5	-3	-1	1	3	5	7	9	11	13	15

una etapa de multiplexación de celda-a-bit para realizar una permutación en 8 secuencias de bits obtenidas como palabras de celda de 8 bits ($y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q}$) en la etapa de desmapeo, de acuerdo con una regla de permutación predeterminada para permutar cada conjunto de 8 bits ($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) de las 8 secuencias de bits a un conjunto de 8 bits ($v_{0,q}, v_{1,q}, v_{2,q}, v_{3,q}, v_{4,q}, v_{5,q}, v_{6,q}, v_{7,q}$) para obtener 8 secuencias de bits permutados $v_{i,j}$, donde i indica una de las 8 secuencias y q y j son índices, y multiplexar las 8 secuencias de bits permutados obtenidos como resultado de la permutación en una secuencia de bits de manera que el bit v_{i+8xj} de dicha una secuencia corresponde al bit $v_{i,j}$;

25

30

una etapa de desintercalación de bits para realizar desintercalación de columnas-filas y desintercalación de paridad en la una secuencia de bits obtenida como resultado de la multiplexación, realizándose la desintercalación de columnas-filas con o sin giro;

una etapa de decodificación para decodificar bits desintercalados en la etapa de desintercalación de bits, de acuerdo con un código de comprobación de paridad de baja densidad con tasa de código de 7/15 y una longitud de palabra de código de 16200, el código de comprobación de paridad de baja densidad se muestra en la Tabla 3-3:

35

[Tabla 3-3]

Direcciones de acumuladores de bits de paridad para el código de LDPC con la tasa de código de 7/15 y la longitud de palabra de código de 16200

3	137	314	327	983	1597	2028	3043	3217	4109	6020	6178	6535	6560	7146	7180	7408	7790	7893	8123	8313	8526	8616	8638
356	1197	1208	1839	1903	2712	3088	3537	4091	4301	4919	5068	6025	6195	6324	6378	6686	6829	7558	7745	8042	8382	8587	8602
18	187	1115	1417	1463	2300	2328	3502	3805	4677	4827	5551	5968	6394	6412	6753	7169	7524	7695	7976	8069	8118	8522	8582
714	2713	2726	2964	3055	3220	3334	3459	5557	5765	5841	6290	6419	6573	6856	7786	7937	8156	8286	8327	8384	8448	8539	8559
3452	7935	8092	8623																				
56	1955	3000	8242																				
1809	4094	7991	8489																				
2220	6455	7849	8548																				
1006	2576	3247	6976																				
2177	6048	7795	8295																				
1413	2595	7446	8594																				
2101	3714	7541	8531																				
10	5961	7484																					
3144	4636	5282																					
5708	5875	8390																					
3322	5223	7975																					
197	4653	8283																					
598	5393	8624																					
906	7249	7542																					
1223	2148	8195																					
976	2001	5005																					

donde

5 $(b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}) = (y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q}), y$

la regla de permutación predeterminada es:

10 $v_{0,q} = b_{2,q}, v_{1,q} = b_{6,q}, v_{2,q} = b_{0,q}, v_{3,q} = b_{1,q}, v_{4,q} = b_{4,q}, v_{5,q} = b_{5,q}, v_{6,q} = b_{3,q}, v_{7,q} = b_{7,q}.$

4. Un receptor (300) que comprende:

15 un desmapeador (310) adaptado para desmapear celdas complejas ($Re(Z_q), Im(Z_q)$) de acuerdo con la constelación 256QAM (Modulación de Amplitud en Cuadratura) mostrada en las Tablas 4-1 y 4-2;

[Tabla 4-1]

$y_{0,q}$	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0
$y_{2,q}$	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0
$y_{4,q}$	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0
$y_{6,q}$	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
$Re(z_q)$	-15	-13	-11	-9	-7	-5	-3	-1	1	3	5	7	9	11	13

[Tabla 4-2]

$y_{1,q}$	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0
$y_{3,q}$	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0
$y_{5,q}$	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0
$y_{7,q}$	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
$Im(z_q)$	-15	-13	-11	-9	-7	-5	-3	-1	1	3	5	7	9	11	13

20 un multiplexor (320) de celda-a-bit adaptado para realizar una permutación en 8 secuencias de bits obtenidas como las palabras de celda de 8 bits ($y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q}$) mediante el desmapeador, de acuerdo con una regla de permutación predeterminada para permutar cada conjunto de 8 bits ($b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}$) a un conjunto de 8 bits ($v_{0,q}, v_{1,q}, v_{2,q}, v_{3,q}, v_{4,q}, v_{5,q}, v_{6,q}, v_{7,q}$) de las 8 secuencias de bits para obtener 8 secuencias de bits permutados $v_{i,j}$, donde i indica una de las 8 secuencias y q y j son índices, y multiplexar las 8 secuencias de bits permutados obtenidos como resultado de la permutación en una secuencia de bits de manera que el bit v_{i+8j} de dicha una secuencia corresponde al bit $v_{i,j}$;

25 un desintercalador (330) de bits adaptado para realizar desintercalación de columnas-filas y desintercalación de paridad en la una secuencia de bits obtenida como resultado de la multiplexación, realizándose la

ES 2 500 056 T3

desintercalación de columnas-filas con o sin giro;
 un decodificador (340) adaptado para decodificar bits desintercalados mediante el desintercalador de bits, de acuerdo con un código de comprobación de baja densidad con tasa de código de 7/15 y una longitud de palabra de código de 16200, el código de comprobación de paridad de baja densidad se muestra en la Tabla 4-3;

5

[Tabla 4-3]

Direcciones de acumuladores de bits de paridad para el código de LDPC con la tasa de código de 7/15 y la longitud de palabra de código de 16200

3	137	314	327	983	1597	2028	3043	3217	4109	6020	6178	6535	6560	7146	7180	7408	7790	7893	8123	8313	8526	8616	8638
356	1197	1208	1839	1903	2712	3088	3537	4091	4301	4919	5068	6025	6195	6324	6378	6686	6829	7558	7745	8042	8382	8587	8602
18	187	1115	1417	1463	2300	2328	3502	3805	4677	4827	5551	5968	6394	6412	6753	7169	7524	7695	7976	8069	8118	8522	8582
714	2713	2726	2964	3055	3220	3334	3459	5557	5765	5841	6290	6419	6573	6856	7786	7937	8156	8286	8327	8384	8448	8539	8559
3452	7935	8092	8623																				
56	1955	3000	8242																				
1809	4094	7991	8489																				
2220	6455	7849	8548																				
1006	2576	3247	6976																				
2177	6048	7795	8295																				
1413	2595	7446	8594																				
2101	3714	7541	8531																				
10	5961	7484																					
3144	4636	5282																					
5708	5875	8390																					
3322	5223	7975																					
197	4653	8283																					
598	5393	8624																					
906	7249	7542																					
1223	2148	8195																					
976	2001	5005																					

donde

10 $(b_{0,q}, b_{1,q}, b_{2,q}, b_{3,q}, b_{4,q}, b_{5,q}, b_{6,q}, b_{7,q}) = (y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}, y_{6,q}, y_{7,q}), y$

la regla de permutación predeterminada es:

15 $v_{0,q} = b_{2,q}, v_{1,q} = b_{6,q}, v_{2,q} = b_{0,q}, v_{3,q} = b_{1,q}, v_{4,q} = b_{4,q}, v_{5,q} = b_{5,q}, v_{6,q} = b_{3,q}, v_{7,q} = b_{7,q}.$

FIG. 1

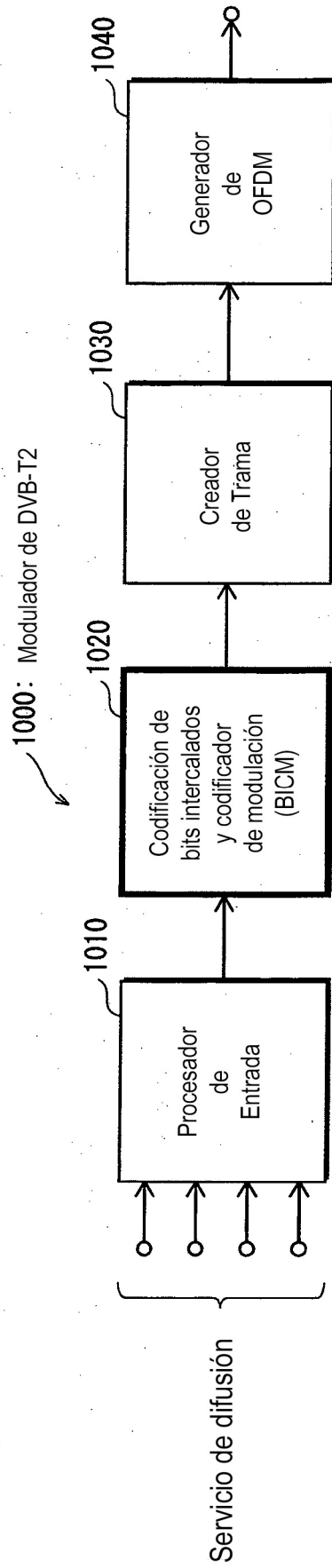


FIG. 2

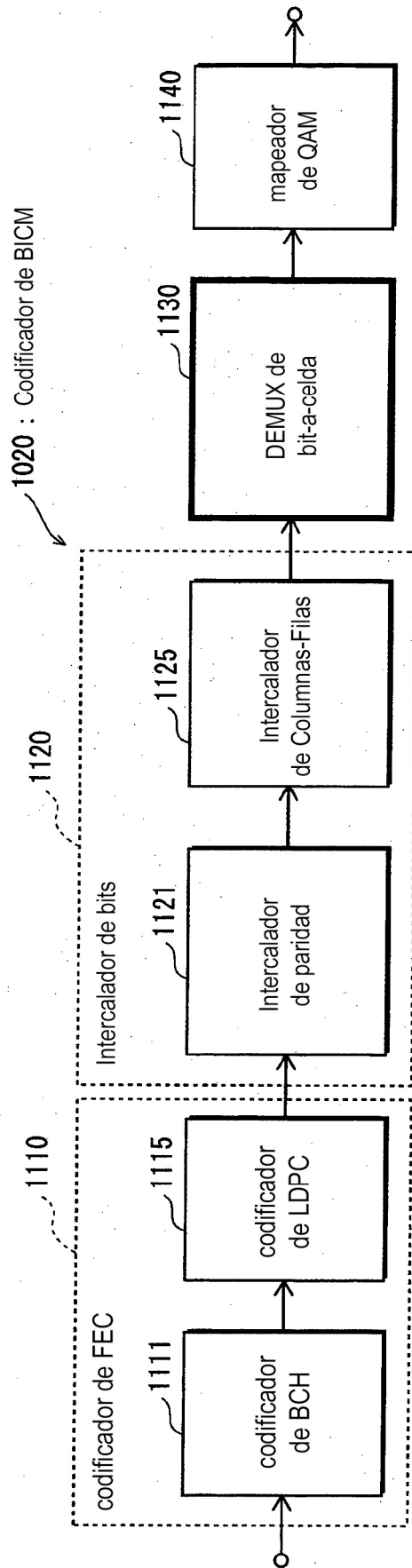


FIG. 3

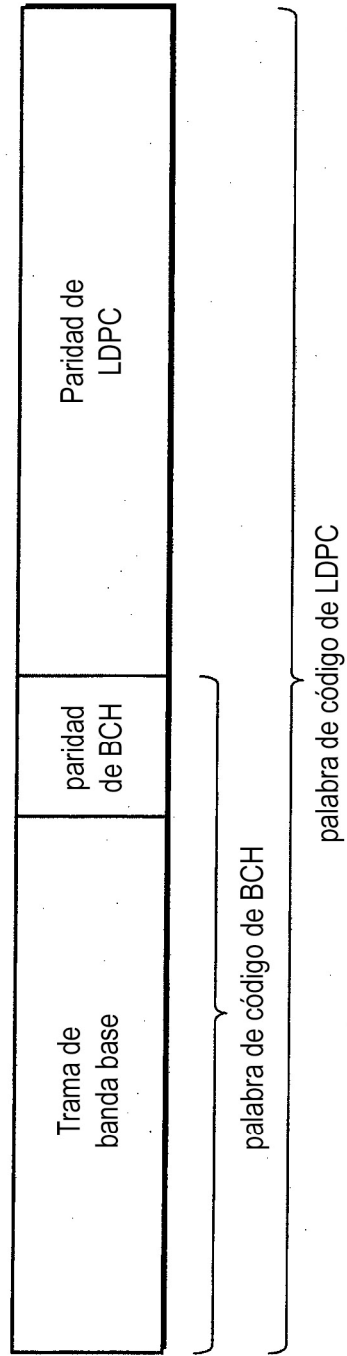


FIG. 4

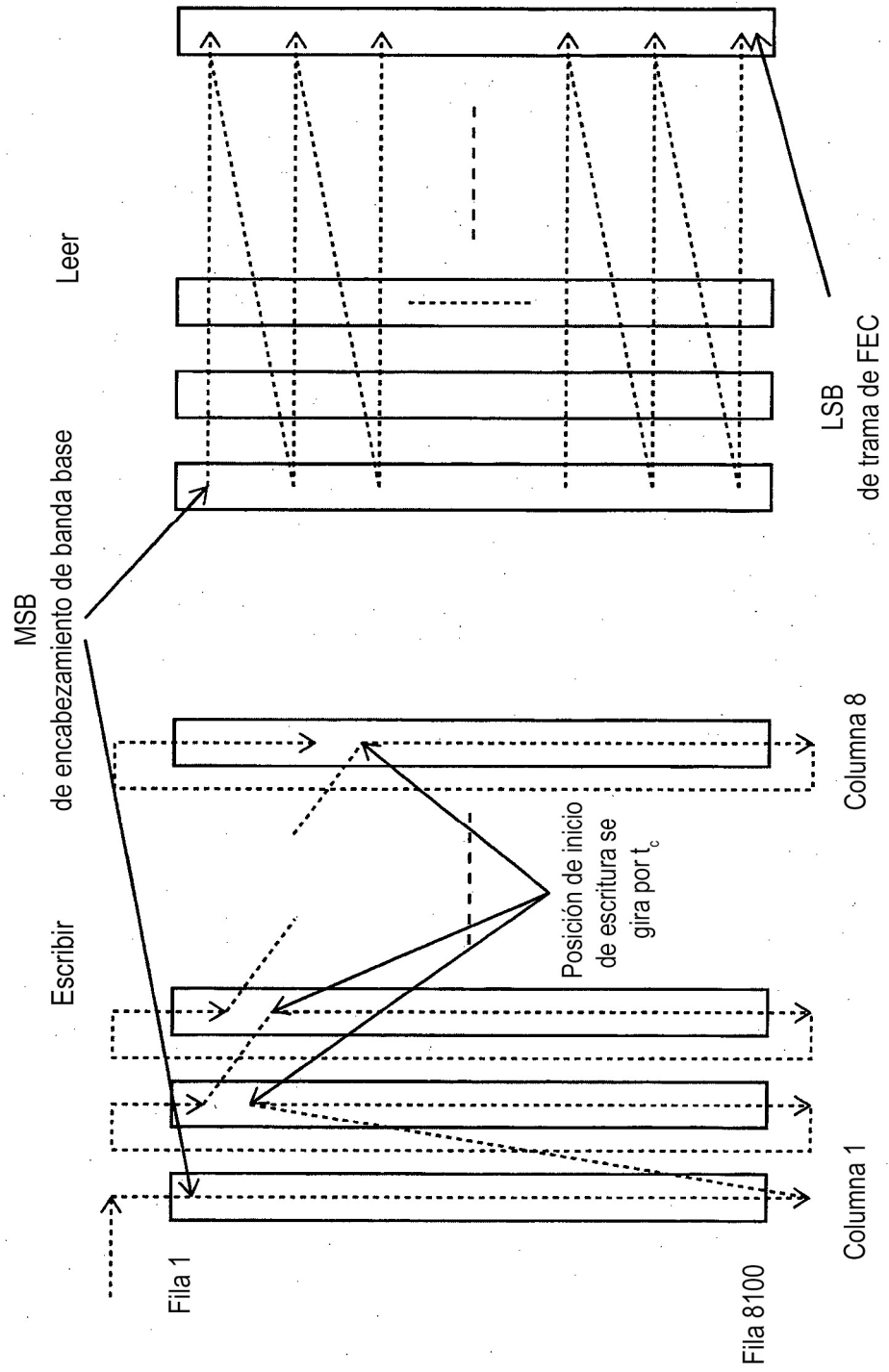


FIG. 5B

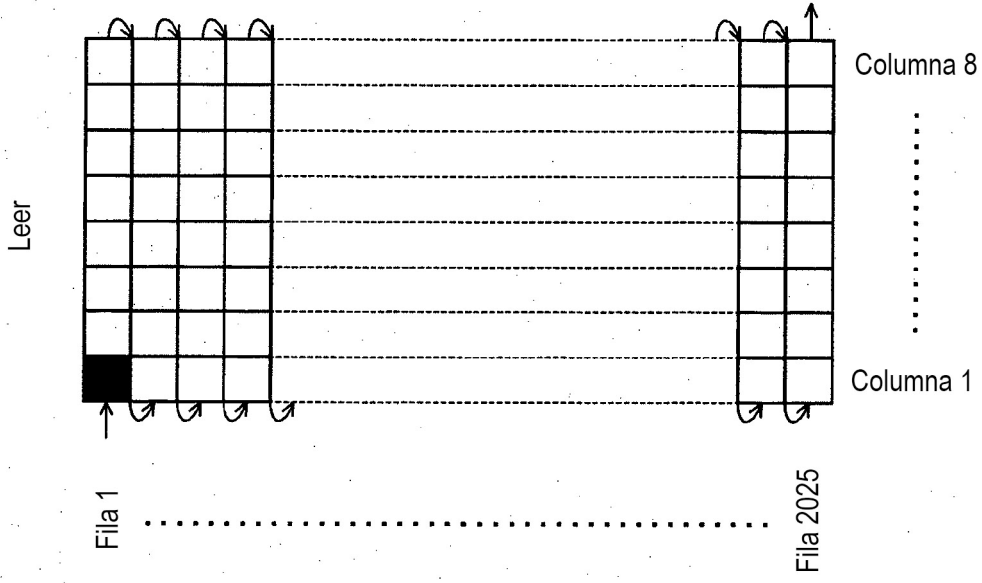
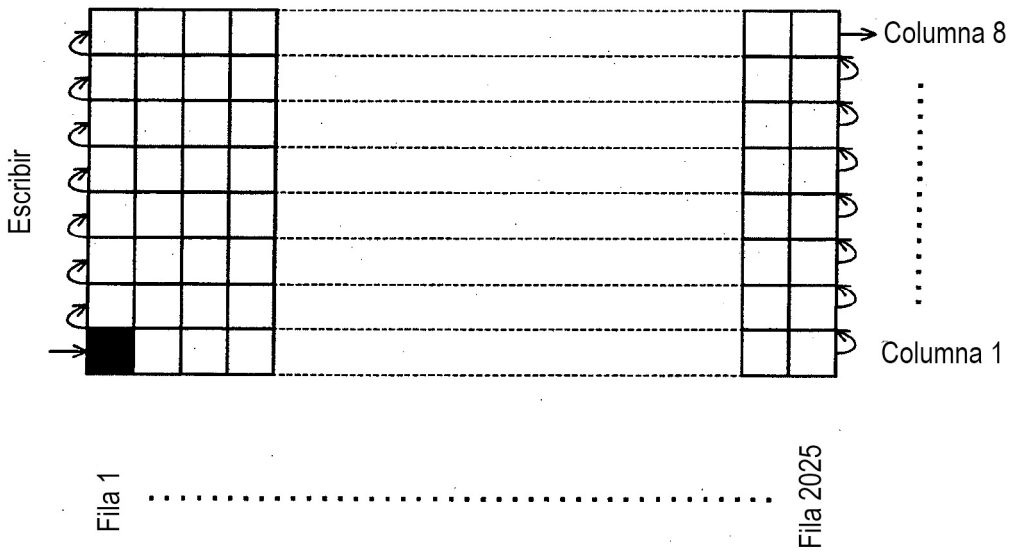


FIG. 5A



■ = Primer bit de la palabra de código de LDPC (trama de FEC)

FIG. 6A

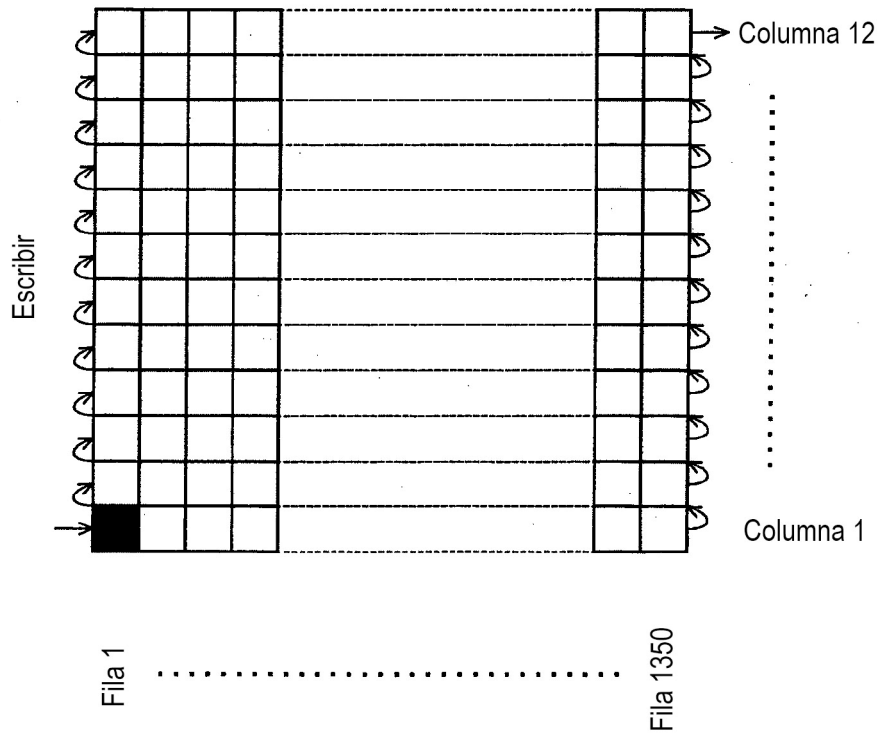
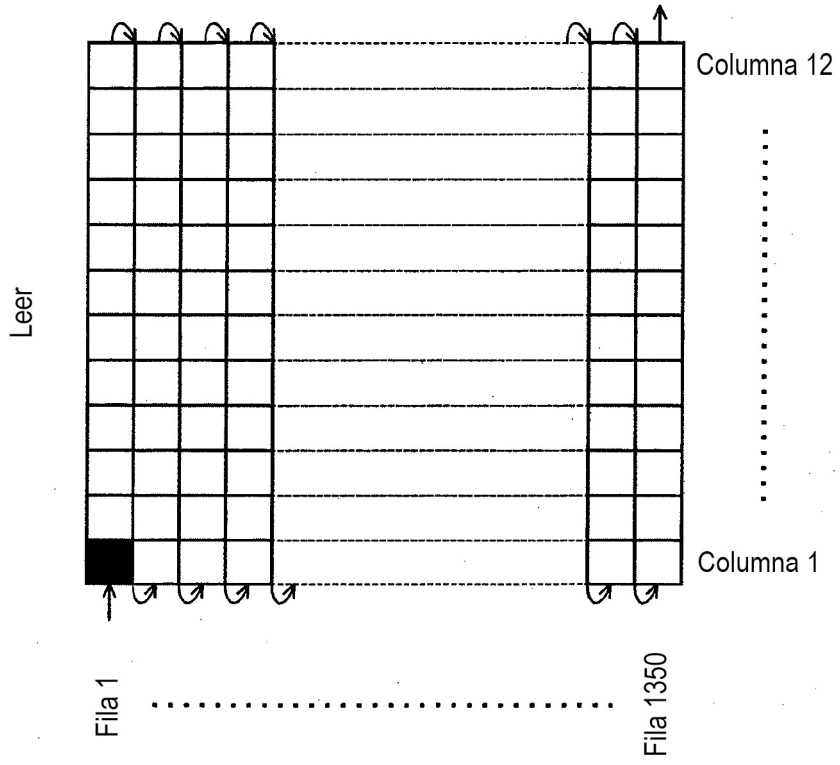


FIG. 6B



■ = Primer bit de la palabra de código de LDPC (trama de FEC)

FIG. 7

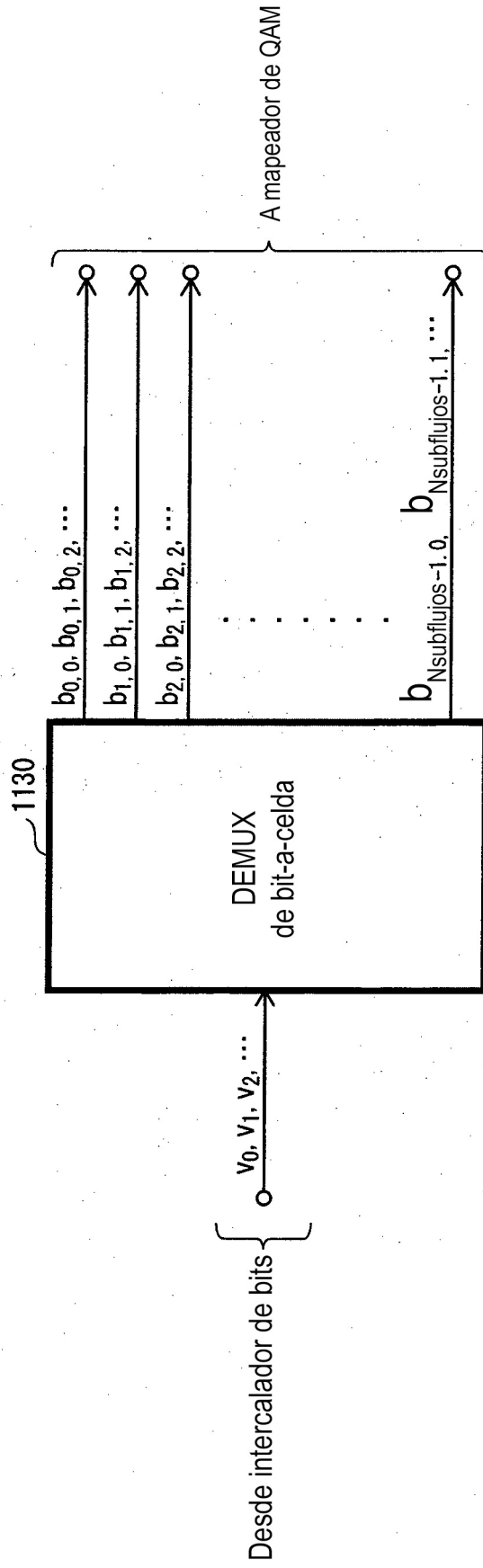


FIG. 8

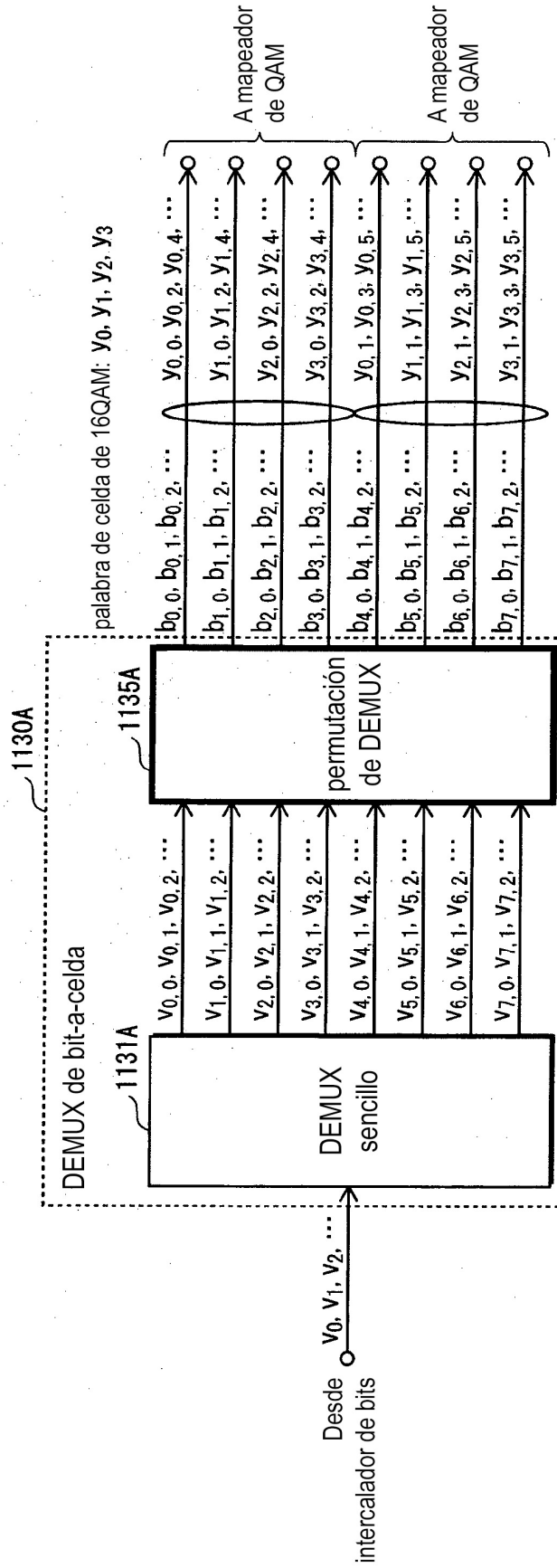


FIG. 9

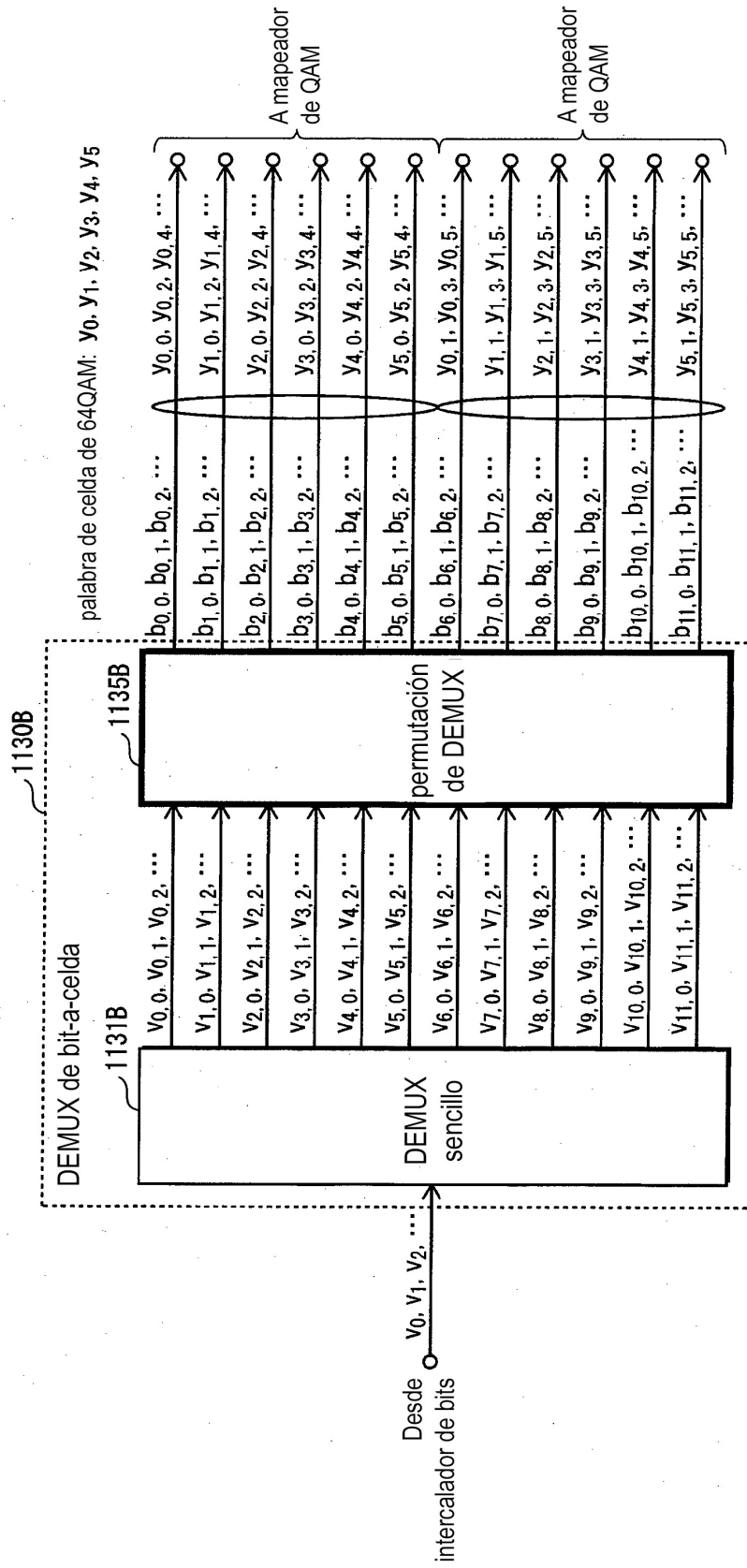


FIG. 10

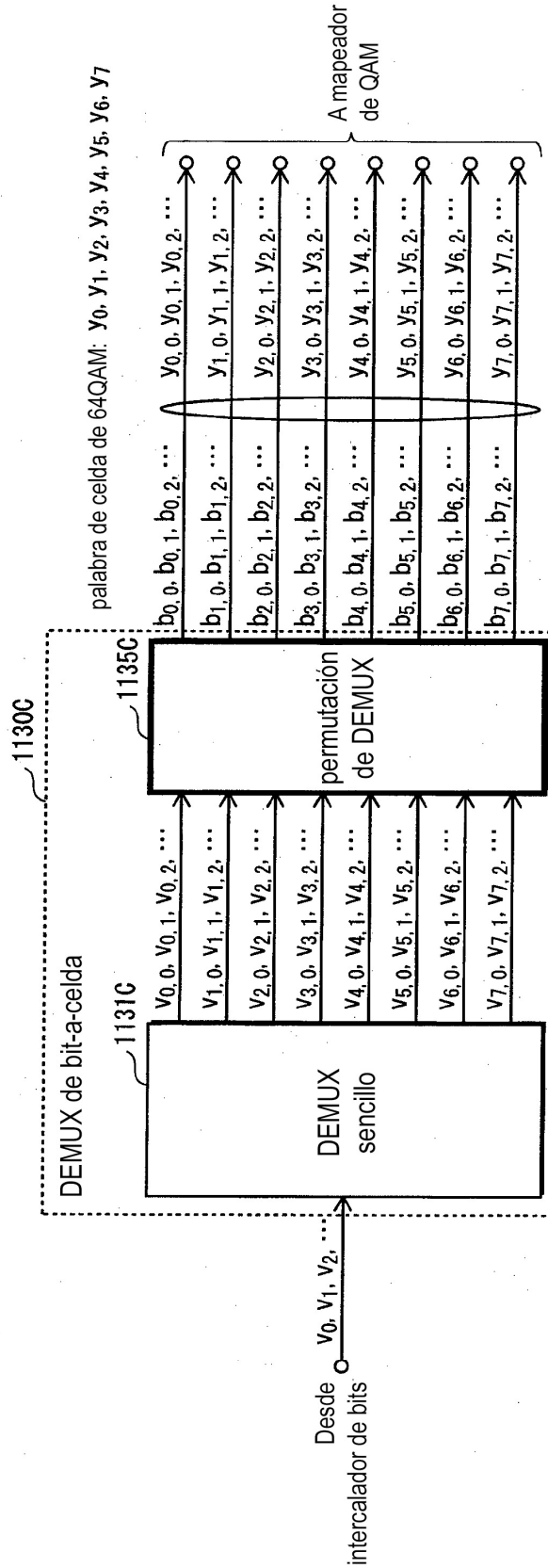


FIG. 11

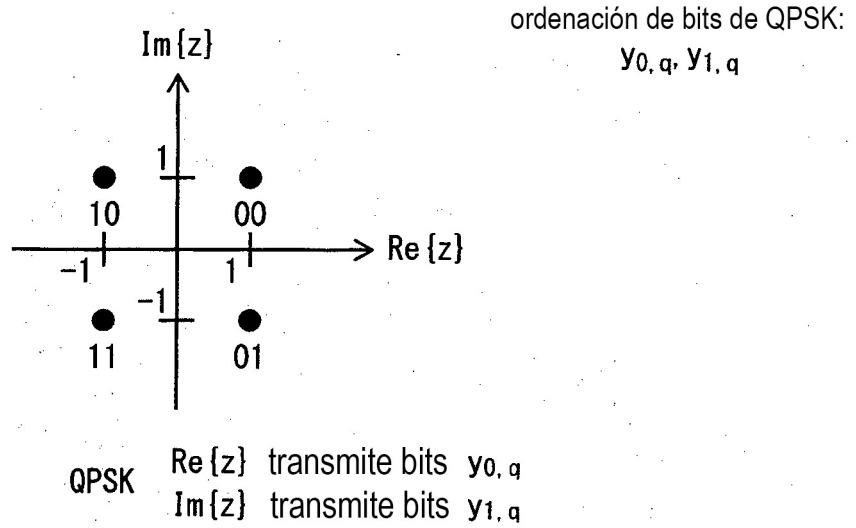


FIG. 12

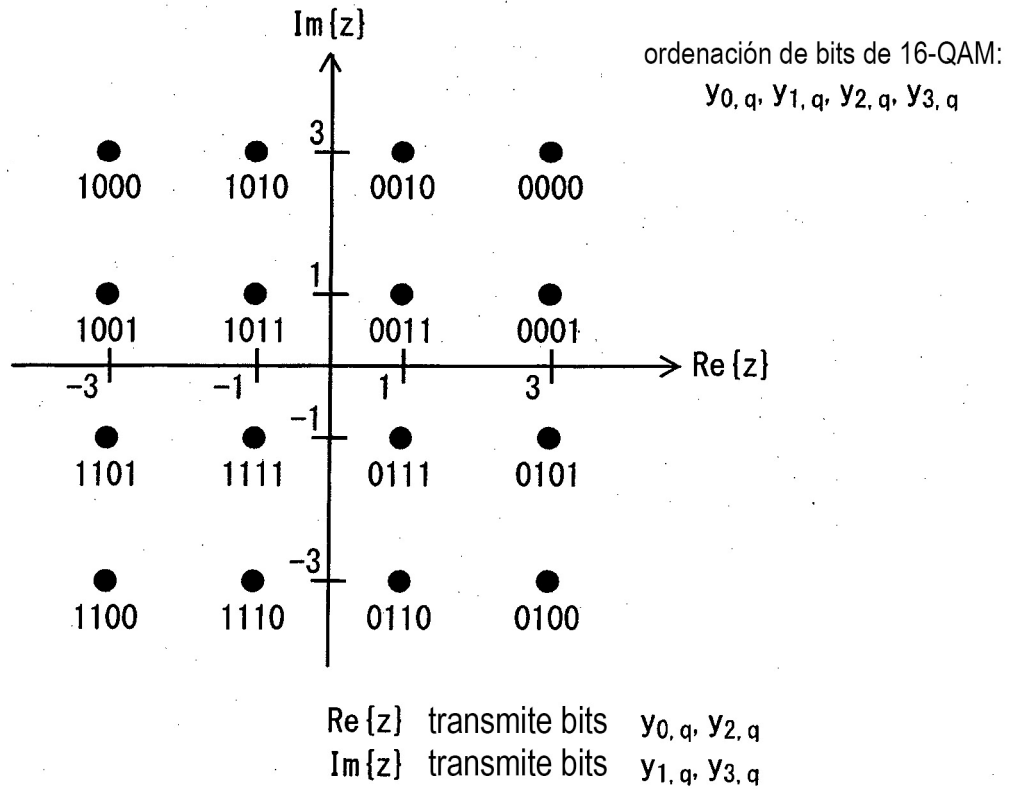
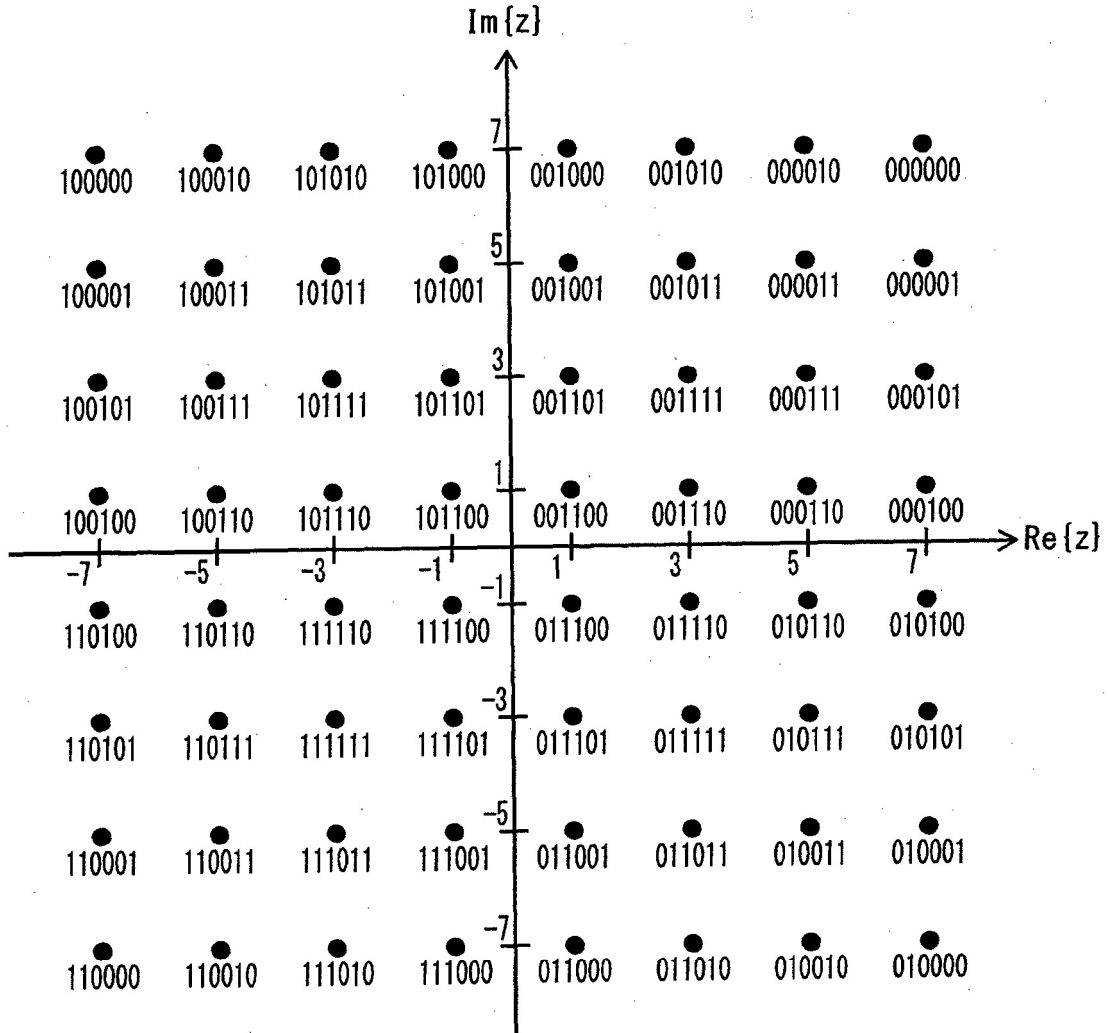


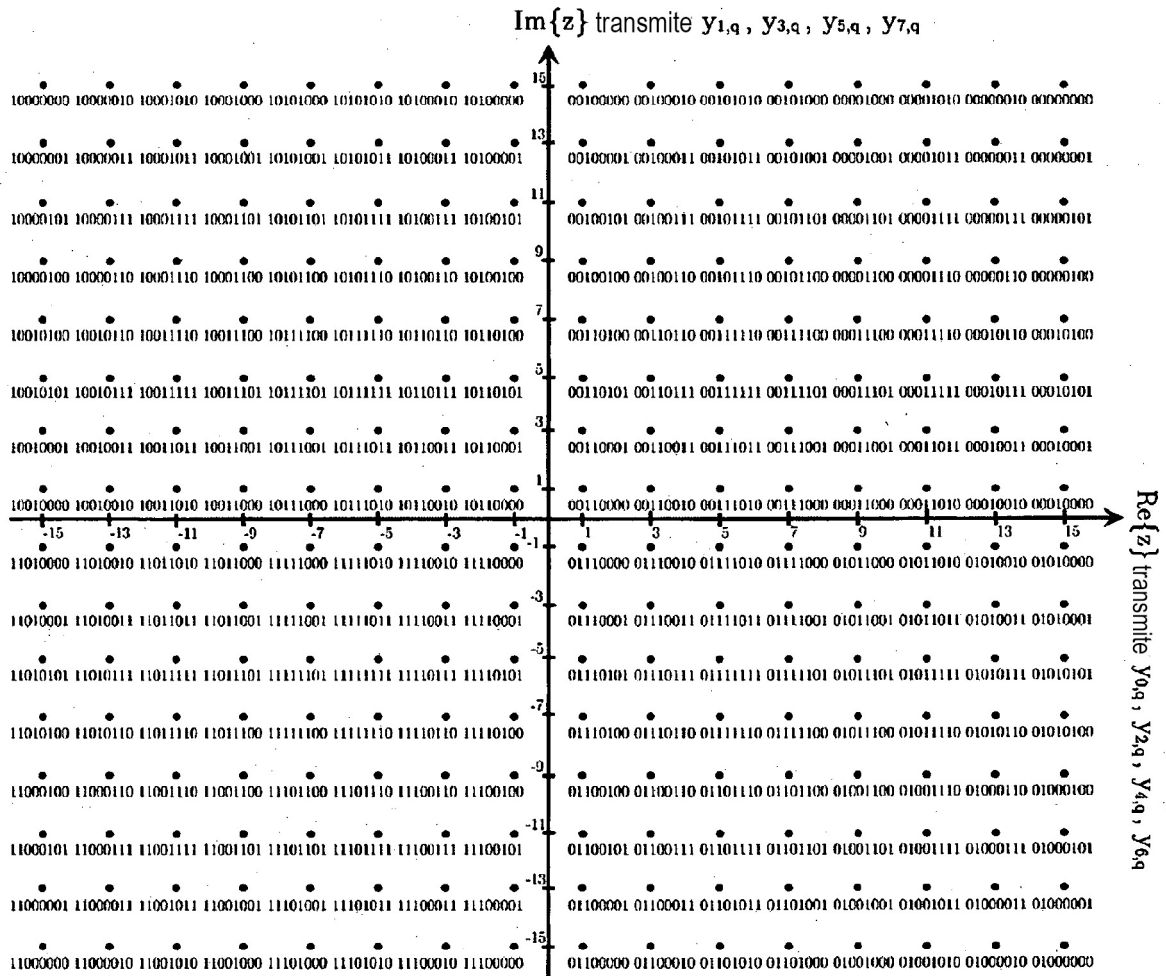
FIG. 13

ordenación de bits de 64-QAM:
 $y_{0,q}, y_{1,q}, y_{2,q}, y_{3,q}, y_{4,q}, y_{5,q}$



Re{z} transmite bits $y_{0,q}, y_{2,q}, y_{4,q}$
 Im{z} transmite bits $y_{1,q}, y_{3,q}, y_{5,q}$

Fig. 14



ordenación de bits de 256-QAM:

$$y_{0,q} y_{1,q} y_{2,q} y_{3,q} y_{4,q} y_{5,q} y_{6,q} y_{7,q}$$

FIG. 15

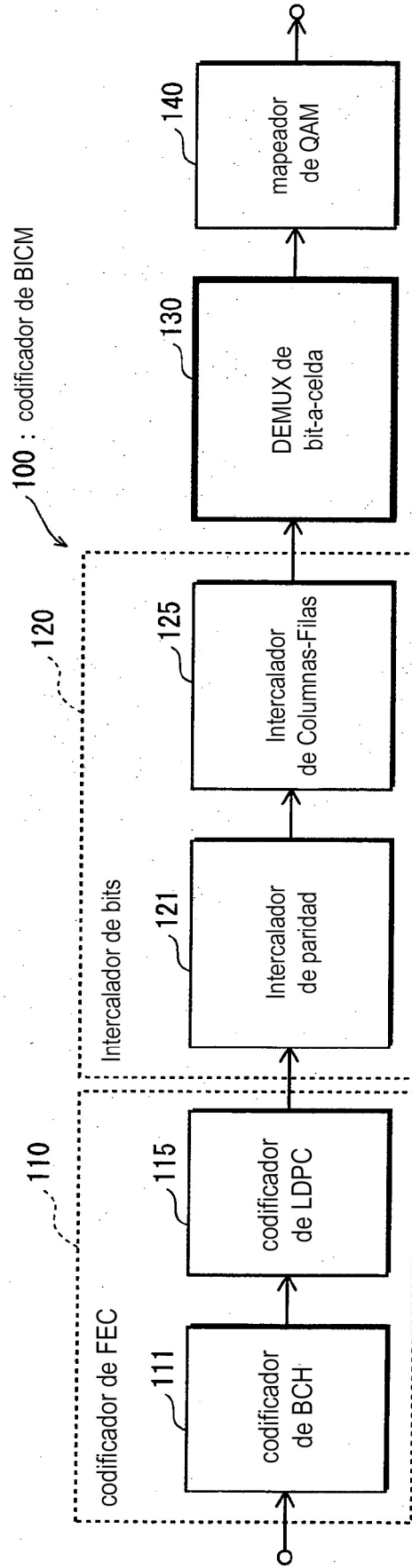


FIG. 16

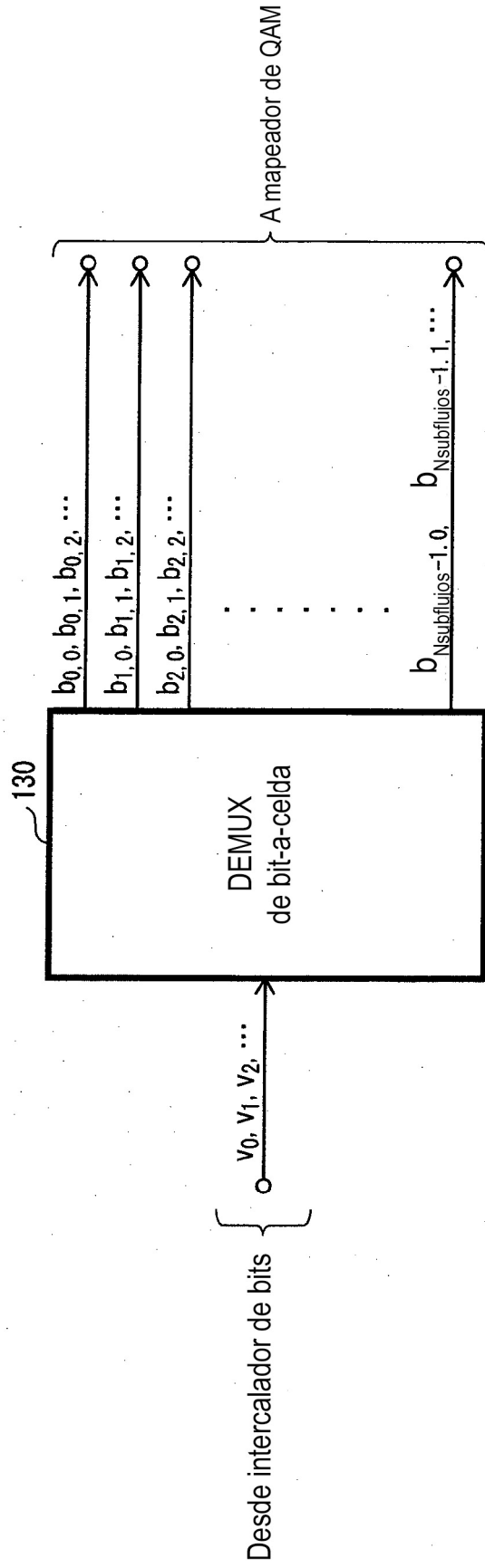


FIG. 17

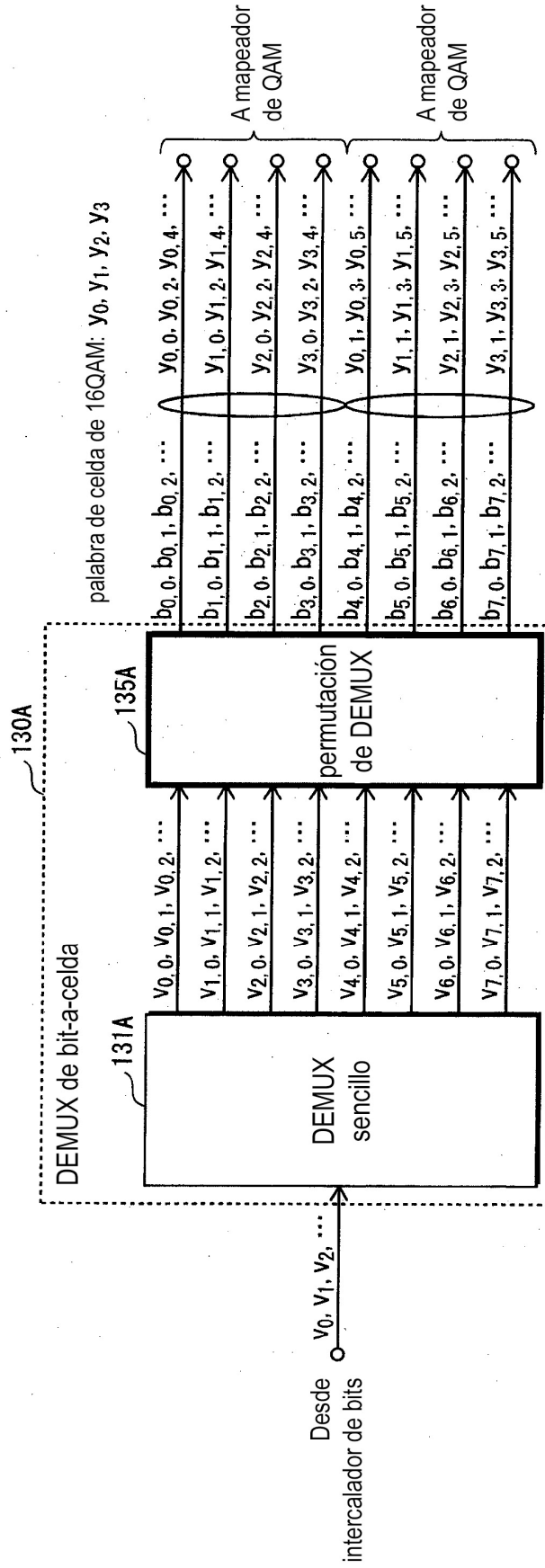


FIG. 18

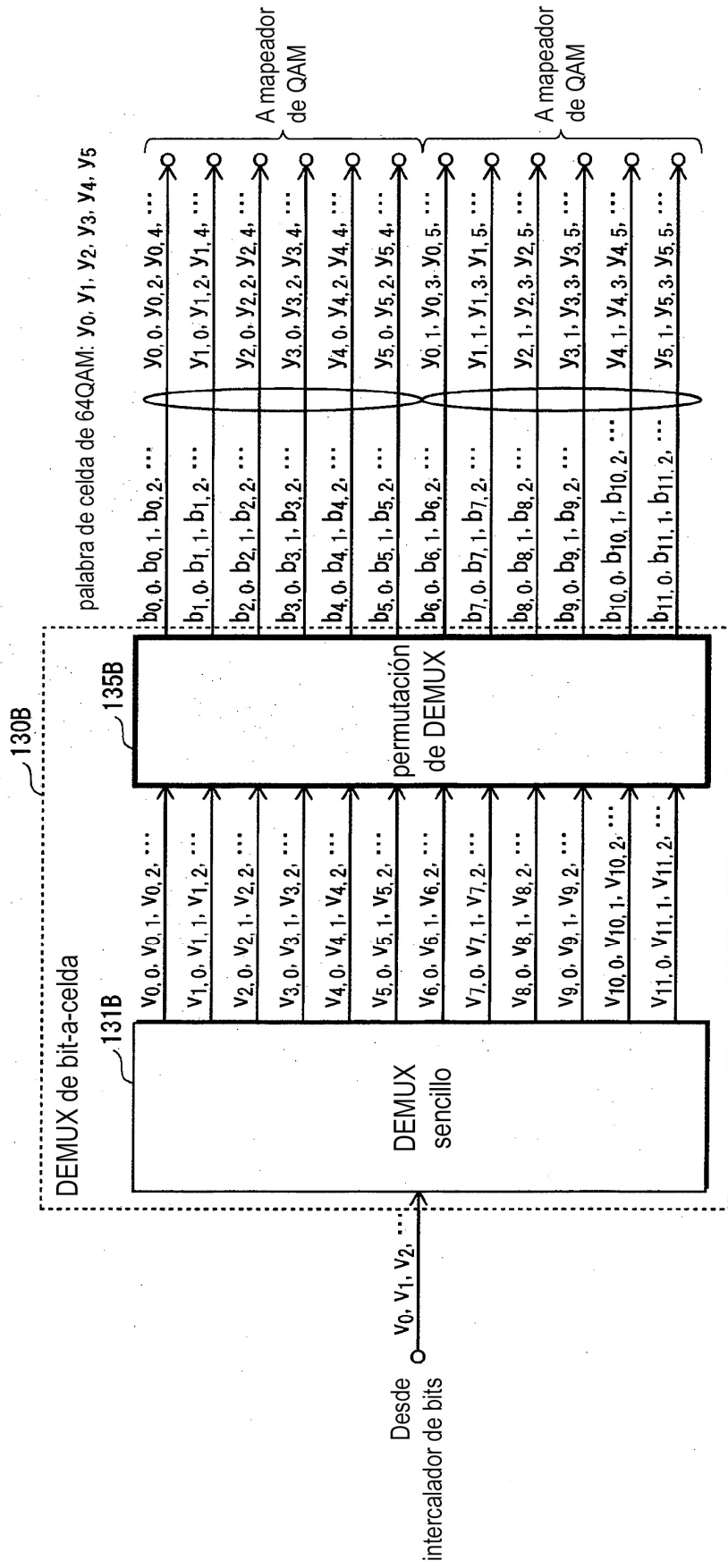


FIG. 19

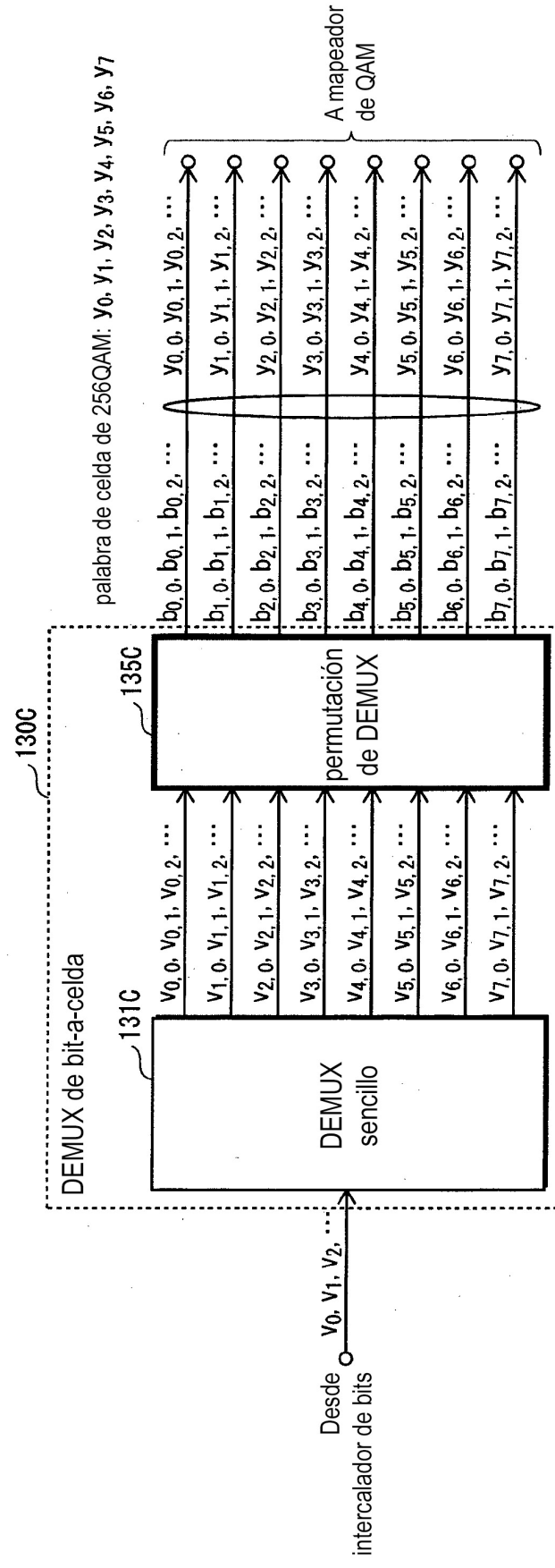


FIG. 20

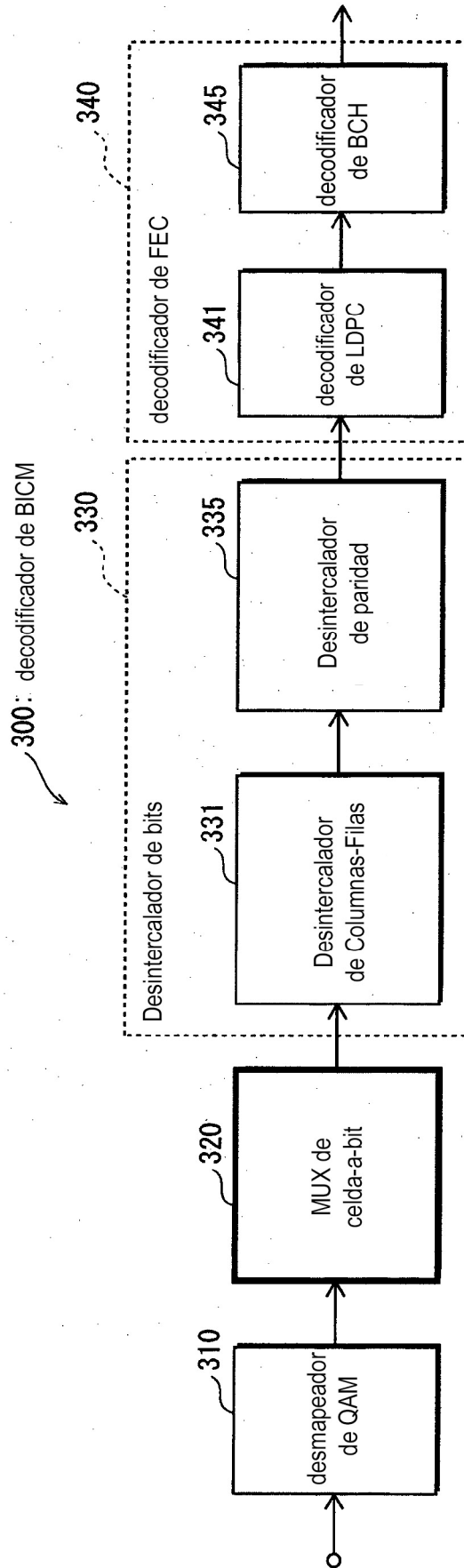


FIG. 21

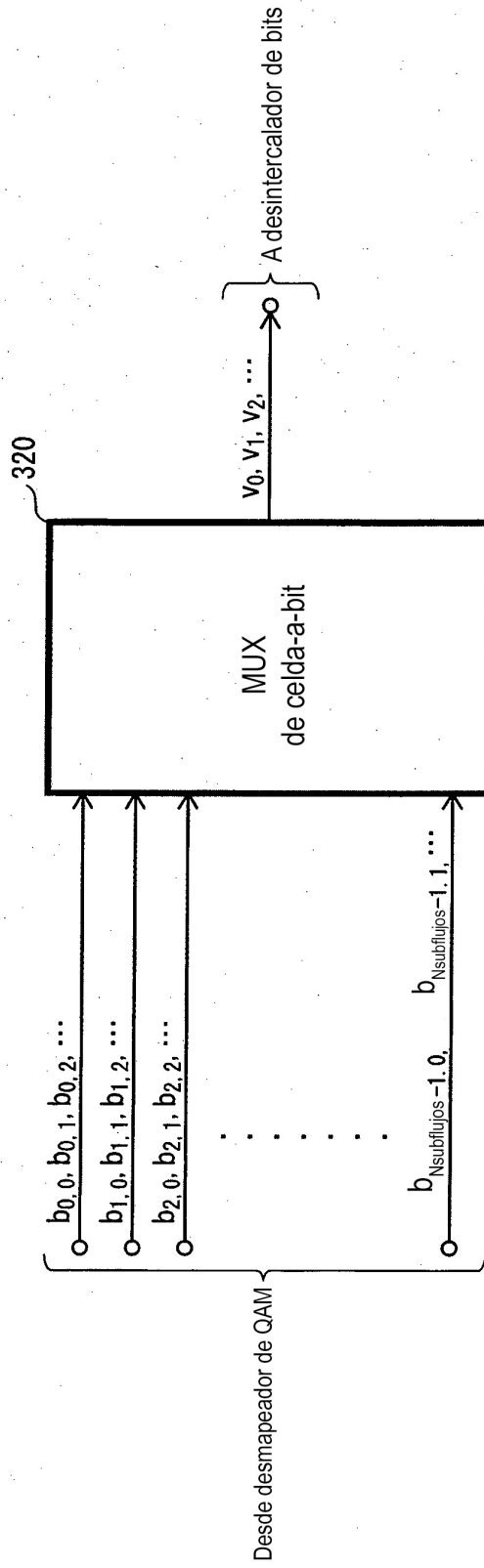


FIG. 22

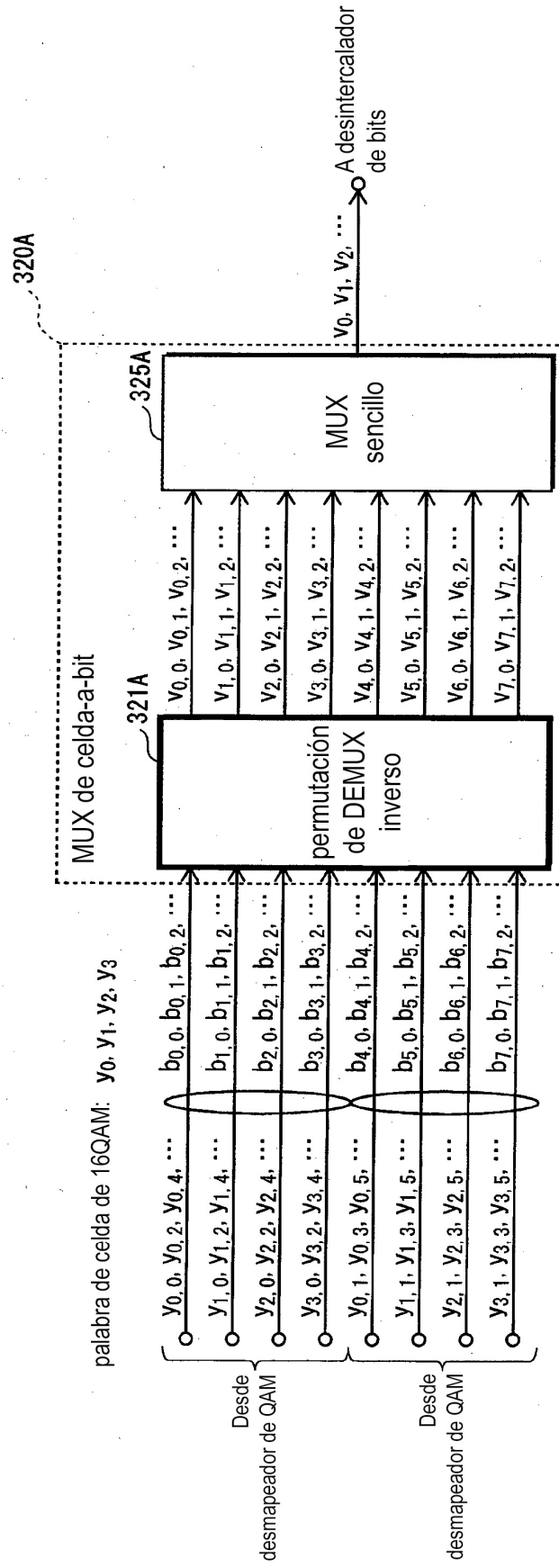


FIG. 23

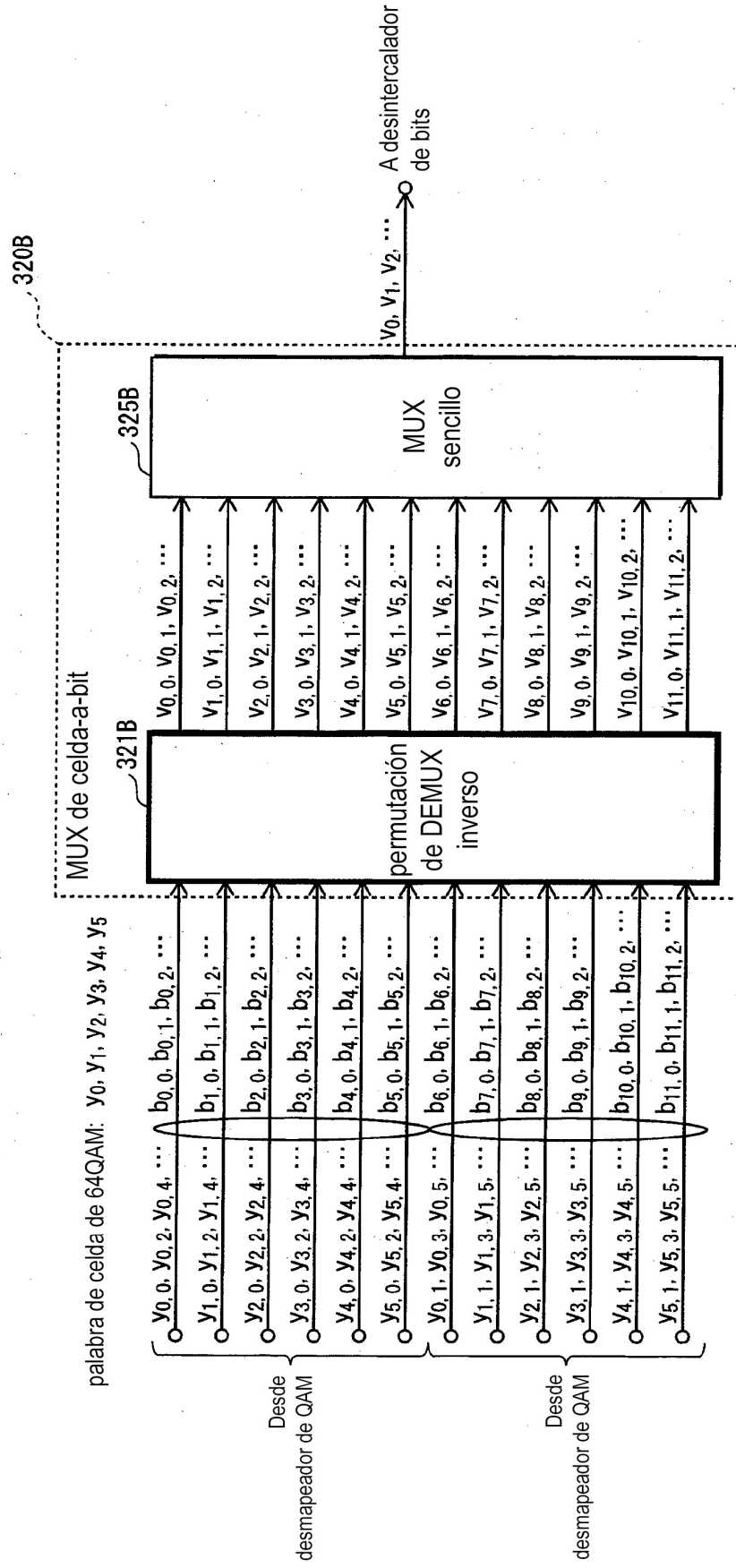


FIG. 24

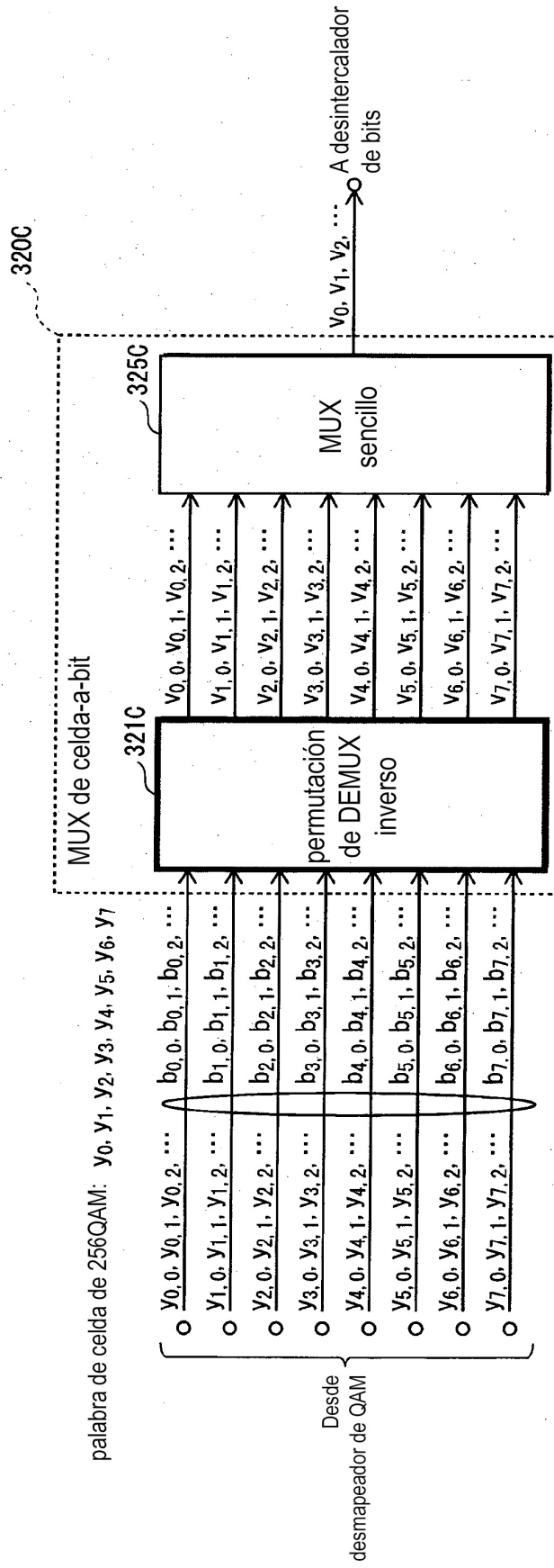


FIG. 25

Direcciones de los acumuladores de bits de paridad para el código de LDPC de tasa de código de 7/15 y longitud de palabra de código de 16200

3	137	314	327	983	1597	2028	3043	3217	4109	6020	6178	6535	6560	7146	7180	7408	7790	7893	8123	8313	8526	8616	8638
356	1197	1208	1839	1903	2712	3088	3537	4091	4301	4919	5068	6025	6195	6324	6378	6686	6829	7558	7745	8042	8382	8587	8602
18	187	1115	1417	1463	2300	2328	3502	3805	4677	4827	5551	5968	6394	6412	6753	7169	7524	7695	7976	8069	8118	8522	8582
714	2713	2726	2964	3055	3220	3334	3459	5557	5765	5841	6290	6419	6573	6856	7786	7937	8156	8286	8327	8384	8448	8539	8559
3452	7935	8092	8623																				
56	1955	3000	8242																				
1809	4094	7991	8489																				
2220	6455	7849	8548																				
1006	2576	3247	6976																				
2177	6048	7795	8295																				
1413	2595	7446	8594																				
2101	3714	7541	8531																				
10	5961	7484																					
3144	4636	5282																					
5708	5875	8390																					
3322	5223	7975																					
197	4653	8283																					
598	5393	8624																					
906	7249	7542																					
1223	2148	8195																					
976	2001	5005																					

FIG. 26

Direcciones de los acumuladores de bits de paridad para el código de LDPC de tasa de código de 8/15 y longitud de palabra de código de 16200

32	384	430	591	1296	1976	1999	2137	2175	3638	4214	4304	4486	4662	4999	5174	5700	6969	7115	7138	7189
1788	1881	1910	2724	4504	4928	4973	5616	5686	5718	5846	6523	6893	6994	7074	7100	7277	7399	7476	7480	7537
2791	2824	2927	4196	4298	4800	4948	5361	5401	5688	5818	5862	5969	6029	6244	6645	6962	7203	7302	7454	7534
574	1461	1826	2056	2069	2387	2794	3349	3366	4951	5826	5834	5903	6640	6762	6786	6859	7043	7418	7431	7554
14	178	675	823	890	930	1209	1311	2898	4339	4600	5203	6485	6549	6970	7208	7218	7298	7454	7457	7462
4075	4188	7313	7553																	
5145	6018	7148	7507																	
3198	4858	6983	7033																	
3170	5126	5625	6901																	
2839	6093	7071	7450																	
11	3735	5413																		
2497	5400	7238																		
2067	5172	5714																		
1889	7173	7329																		
1795	2773	3499																		
2695	2944	6735																		
3221	4625	5897																		
1690	6122	6816																		
5013	6839	7358																		
1601	6849	7415																		
2180	7389	7543																		
2121	6838	7054																		
1948	3109	5046																		
272	1015	7464																		