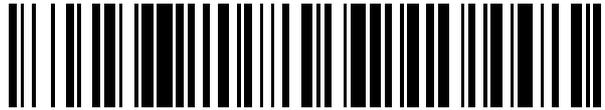


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 503 543**

51 Int. Cl.:

G01R 31/3185 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **23.01.2009 E 09706465 (3)**

97 Fecha y número de publicación de la concesión europea: **16.07.2014 EP 2240791**

54 Título: **Aparato y procedimiento de control de la modificación dinámica de una trayectoria de exploración**

30 Prioridad:

30.01.2008 US 22523

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

07.10.2014

73 Titular/es:

**ALCATEL LUCENT (100.0%)
148/152 route de la Reine
92100 Boulogne-Billancourt, FR**

72 Inventor/es:

**CHAKRABORTY, TAPAN JYOTI;
CHIANG, CHEN-HUAN;
GOYAL, SURESH;
PORTOLAN, MICHELE y
VAN TREUREN, BRADFORD GENE**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 503 543 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato y procedimiento de control de la modificación dinámica de una trayectoria de exploración

Campo de la invención

5 La invención se refiere al campo de la electrónica y, más específicamente, a pruebas de placas de circuito impreso, sistemas en chips, y sistemas.

Antecedentes de la invención

10 El Grupo de Acción de Prueba Conjunta (JTAG) se refiere a la norma IEEE 1149 para probar puertos de acceso para probar placas de circuito impreso con exploración de límites. El JTAG es utilizado mediante herramientas de Generación de Pruebas Automáticas (ATG) para probar placas de circuito impreso. El instrumento JTAG (IJTAG) está siendo estandarizado (referido como el estándar IEEE P1687) para superar las limitaciones del JTAG existentes asociadas con el paso del JTAG a nivel de placa al JTAG a nivel de chip. El IJTAG propone la inclusión de trayectorias jerárquicas dinámicas dentro de los registros de datos utilizando células jerárquicas dinámicas, tales como la célula conocida como la célula de Bits de Instrumento de Selección (SIB). El uso de trayectorias jerárquicas dinámicas permite que porciones de la trayectoria de exploración se activen y desactiven según sea necesario. Por 15 lo tanto, las trayectorias jerárquicas dinámicas que están habilitadas mediante el uso de células como SIB son un recurso de prueba valioso porque, como el número de elementos en la trayectoria de exploración es importante para determinar el tiempo de prueba, el uso cuidadoso de la jerarquía se puede utilizar para reducir el tiempo de prueba.

20 Como se describe en el estándar IEEE P1687 propuesto, la cadena de exploración es una cadena de exploración lineal y cada célula SIB que se inserta en la cadena de exploración se inserta para introducir jerarquía en la cadena de exploración. Por lo tanto, como la cadena de exploración es lineal, y a cada célula SIB incluida en la cadena de exploración lineal se debe acceder linealmente a través de la cadena de exploración para activar la jerarquía en la cadena de exploración, la longitud de la cadena de exploración determina directamente la cantidad de tiempo de acceso necesario para modificar y ejercer la jerarquía activa. Aunque esta limitación puede parecer insignificante en ejemplos en los que la cadena de exploración incluye sólo unas pocas células, esto puede ser una limitación 25 importante en sistemas de la vida real, donde la cadena de exploración puede incluir cientos o incluso miles de células. Aunque el impacto de este problema puede reducirse mediante el uso de una programación precisa de procedimientos de prueba, este problema simplemente no puede evitarse por completo mediante el uso de la programación de procedimientos de prueba.

30 El documento US 4.872.169 describe un procedimiento para circuitería de pruebas. La circuitería de pruebas consiste en una serie de registros de desplazamiento o pestillos que forman una trayectoria de exploración en serie a través de un circuito lógico.

El documento JP 62093672 A describe un aparato lógico de tipo jerárquico. El aparato hace que sea posible realizar de manera eficiente el diagnóstico del problema de LSI sobre una base de jerarquía sin entrar en un circuito interno.

35 El documento US 6.587.981 B1 describe estructuras de trayectoria de exploración para circuitos integrados que contienen uno o más núcleos o niveles de sub-núcleos integrados dentro de los núcleos.

El documento US 2003/0131327 A1 describe un sistema y un procedimiento para probar un circuito integrado que tiene bloques de circuitos internos. Cada uno de los bloques de circuitos internos puede tener su propio bloque de circuito de prueba.

Sumario de la invención

40 Se proporcionan aparatos, procedimientos y un programa de ordenador de sistema en chip de acuerdo con las reivindicaciones independientes.

Varias deficiencias en la técnica anterior se abordan mediante aparatos y procedimientos asociados para el control de una trayectoria de exploración de prueba de un sistema en chip usando una trayectoria de exploración de control separada del sistema en chip.

45 En una realización, un aparato incluye una trayectoria de exploración de prueba que tiene una pluralidad de componentes de prueba incluyendo al menos un componente de prueba de habilitación de jerarquía, y una trayectoria de exploración de control que incluye al menos un componente de control acoplado a al menos un componente de prueba de habilitación de jerarquía de la trayectoria de exploración de prueba, en el que el al menos un componente de control está adaptado para controlar el al menos un componente de prueba de habilitación de jerarquía de una manera para modificar dinámicamente la trayectoria de exploración de prueba. 50

En una realización, un aparato incluye una trayectoria de exploración de prueba que tiene una pluralidad de componentes de prueba de habilitación no de jerarquía y al menos un componente de habilitación de jerarquía, y una trayectoria de exploración de control que incluye el al menos un componente de habilitación de jerarquía, en el que el al menos un componente de habilitación de jerarquía está adaptado para modificar dinámicamente la

trayectoria de exploración de prueba utilizando la trayectoria de exploración de control.

- 5 En una realización, un procedimiento incluye la aplicación de un flujo de bits de prueba a una trayectoria de exploración de prueba del sistema en chip, en el que la trayectoria de exploración de prueba soporta la jerarquía y aplica un flujo de bits de control a una trayectoria de exploración de control del sistema en chip, en el que el flujo de bits de control está adaptado para modificar dinámicamente la jerarquía de la trayectoria de exploración de prueba.

Breve descripción de los dibujos

Las enseñanzas de la presente invención se pueden entender fácilmente considerando la siguiente descripción detallada en conjunción con los dibujos adjuntos, en los cuales:

- 10 La figura 1 representa un diagrama de bloques de alto nivel de un entorno de prueba;
- La figura 2 representa un diagrama de bloques de alto nivel de un sistema en chip ejemplar adaptado para utilizarse en el entorno de prueba de la figura 1;
- La figura 3 representa un diagrama de bloques de alto nivel de un sistema en chip ejemplar con una trayectoria de exploración jerárquica que incluye dos niveles jerárquicos controlados por un componente de habilitación de jerarquía;
- 15 La figura 4 representa un diagrama de bloques de alto nivel de un sistema en chip que incluye un componente de habilitación de jerarquía adaptado para modificar dinámicamente una trayectoria de exploración de un sistema en chip;
- La figura 5 representa un diagrama de bloques de alto nivel de un sistema en chip jerárquico que incluye un controlador de pruebas y una trayectoria de exploración de prueba jerárquica;
- 20 La figura 6 representa un diagrama de bloques de alto nivel de un sistema en chip que incluye una trayectoria de exploración de prueba y una trayectoria de exploración de control realizada usando componentes físicos separados;
- La figura 7 representa un diagrama de bloques de alto nivel de un componente de prueba de habilitación de jerarquía y un componente de control de jerarquía adaptado para su uso en la trayectoria de exploración de prueba y la trayectoria de exploración de control del sistema en chip de la figura 6;
- 25 La figura 8 representa un diagrama de bloques de alto nivel de un sistema en chip que incluye una trayectoria de exploración de prueba y una trayectoria de exploración de control realizada usando componentes físicos combinados;
- La figura 9 representa un diagrama de bloques de alto nivel de un componente de habilitación de jerarquía adaptado para soportar la trayectoria de exploración de prueba y la trayectoria de exploración de control del sistema en chip de la figura 8;
- 30 La figura 10 representa una realización de un procedimiento para probar un sistema en chip usando trayectorias de exploración de prueba y de control separadas;
- La figura 11 representa un procedimiento ejemplar para probar un sistema en chip usando trayectorias de exploración de prueba y de control separadas;
- 35 La figura 12 representa un diagrama de bloques de alto nivel de un entorno de prueba en el que un sistema de prueba se utiliza para probar dos sistemas en chip;
- La figura 13 representa un diagrama de bloques de alto nivel de un entorno de prueba en el que un sistema de prueba se utiliza para probar un sistema en chip que tiene integrado en el mismo un sistema en chip;
- 40 La figura 14 representa un diagrama de bloques de alto nivel de un entorno de prueba en el que un sistema de prueba se utiliza para probar un sistema en chip que tiene integrado en el mismo un sistema en chip que también incluye un sistema en chip integrado;
- La figura 15 representa un diagrama de bloques de alto nivel del sistema en chip de la figura 5, en el que está integrado un sistema en chip en uno de los niveles jerárquicos; y
- 45 La figura 16 representa un diagrama de bloques de alto nivel de un ordenador de propósito general adecuado para su uso en la realización de las funciones descritas en el presente documento.

Para facilitar la comprensión, se han utilizado números de referencia idénticos, cuando es posible, para designar elementos idénticos que son comunes a las figuras.

Descripción detallada de la invención

Se proporcionan aparatos y procedimientos que permiten el control de una trayectoria de exploración de prueba de un sistema en chip usando una trayectoria de exploración de control separada del sistema en chip, reduciendo así el tiempo de acceso (y, por lo tanto, el tiempo de prueba) para trayectorias de exploración jerárquicas. La trayectoria de exploración de control permite el control de la trayectoria de exploración de prueba de una manera para modificar dinámicamente la trayectoria de exploración de prueba (por ejemplo, modificando la jerarquía de la trayectoria de exploración de prueba, permitiendo la activación/desactivación dinámica de uno o más niveles jerárquicos de la trayectoria de exploración de prueba, según se desee/sea necesario). Aunque se representa y se describe principalmente en este documento respecto a una trayectoria de exploración de control lineal, la trayectoria de exploración de control puede incluir múltiples niveles jerárquicos para el control de la trayectoria de exploración de prueba.

La figura 1 representa un diagrama de bloques de alto nivel de un entorno de prueba. Específicamente, el entorno de prueba 100 incluye un sistema en chip (SoC) 110 y un sistema de prueba (TS) 120. El TS 120 prueba el SoC 110 (por ejemplo, prueba de los componentes individuales del SoC 110 (incluyendo funciones de los componentes), las interconexiones entre los componentes en el SoC 110, las funciones de nivel del sistema del SoC 110, y similares, así como diversas combinaciones de los mismos). Como se muestra en la figura 1, el TS 120 interactúa con el SoC 110 utilizando una interfaz de acceso de prueba 115 que incluye un puerto de entrada 115_i (indicado como TDI) y un puerto de salida 115_o (indicado como TDO).

En una realización, en un entorno de acuerdo con el estándar IEEE P1687 propuesto, la interfaz de acceso de prueba 115 puede implementarse como un puerto de acceso de prueba (TAP) tal como se define por el estándar IEEE 1149.1. En una de tales realizaciones, aunque se representa y se describe principalmente en este documento usando los puertos TDI/TDO, la interfaz 115 puede incluir otros puertos de control, tales como puertos TCK, puertos TMS, puertos TRST, y similares, así como otras interfaces de control nuevas, que puedan ser necesarias (todas las cuales se han omitido para mayor claridad). Aunque se representa y describe principalmente respecto a una interfaz implementada utilizando el TAP definido por el estándar IEEE 1149.1, la interfaz 115 puede implementarse de varias otras maneras.

El SoC 110 soporta una trayectoria de exploración de prueba y una trayectoria de exploración de control. La trayectoria de exploración de prueba soporta la propagación de flujos de bits de prueba. La trayectoria de exploración de control soporta la propagación de flujos de bits de control. La trayectoria de exploración de prueba es una trayectoria de exploración jerárquica que incluye un primer nivel jerárquico y un segundo nivel jerárquico. La trayectoria de exploración de control puede o puede no ser una trayectoria de exploración jerárquica. El TS 120 accede a la trayectoria de exploración de prueba a través del puerto de entrada 115_i y del puerto de salida 115_o (es decir, a través de TDI/TDO). El TS 120 accede a la trayectoria de exploración de control a través del puerto de entrada 115_i y del puerto de salida 115_o (es decir, a través de TDI/TDO). El SoC 110 incluye un controlador de prueba (TC) 111.

El TC 111 recibe flujos de bits de entrada del TC 120 a través del puerto de entrada 115_i. El TC 111 controla la aplicación de flujos de bits de entrada a la trayectoria de exploración de prueba del SoC 110 (a través de una interfaz interna de entrada de pruebas ITDI) y a la trayectoria de exploración de control del SoC 110 (a través de una interfaz interna de entrada de control HTDI). El TC 111 transmite flujos de bits de salida del TC 120 a través del puerto de salida 115_o. El TC 111 controla la selección de flujos de bits de salida desde la trayectoria de exploración de prueba del SoC 110 (a través de una interfaz interna de salida de pruebas ITDO) y desde la trayectoria de exploración de control del SoC 110 (a través de una interfaz interna de salida de control HTDO) para la propagación del TS 120. El uso de trayectorias de exploración de prueba y de control separadas se puede entender mejor respecto a las figuras 6 a 10.

El TS 120 permite probar el SoC 110 utilizando procedimientos de prueba. El TS 120 puede realizar una o más pruebas utilizando uno o más procedimientos de prueba. Un procedimiento de prueba puede ser utilizado para probar una porción de un componente (por ejemplo, una función de un componente, un conjunto de funciones de un componente, dependencias, y similares), un componente, un grupo de componentes (por ejemplo, interconexiones entre componentes, dependencias entre componentes, y similares), una o más funciones a nivel de sistema, y similares, así como diversas combinaciones de los mismos. Un(os) procedimiento(s) de prueba puede(n) utilizarse para realizar cualquier otro tipo de pruebas que se puede realizar en un sistema en chip.

El TS 120 genera un procedimiento de prueba para probar el SoC 110. El procedimiento de prueba especifica la información necesaria para probar el SoC 110. Un procedimiento de prueba para el SoC 110 puede especificar una descripción del SoC 110 (incluida la descripción de cada uno de los componentes individuales del SoC 110, así como una descripción del nivel del sistema del SoC 110). Un procedimiento de prueba puede especificar un vector de entrada de prueba (para ser aplicado a la trayectoria de exploración) y un vector de salida de prueba esperado (que se espera que se reciba desde la trayectoria de exploración de prueba). Un procedimiento de prueba también puede especificar una señal o señales de control (que se aplica al sistema en chip). Un procedimiento de prueba puede incluir cualquier otra información asociada con una prueba (por ejemplo, un tiempo estimado requerido para la prueba, datos de salida de manipulación para la prueba, similares, así como diversas combinaciones de los

mismos).

5 El TS 120 prueba el SoC 110 mediante la ejecución de uno o más procedimientos de prueba en el SoC 110. El TS 120 genera flujos de bits de entrada de prueba y espera los resultados de las pruebas (por ejemplo, valores de bits de salida esperados o flujos de bits) para cada prueba a realizar. El TS también genera señales de control. El TS 120 aplica los flujos de bits de prueba de entrada (es decir, los vectores de prueba de entrada) al puerto de entrada TDI 115_I. El TS 120 recibe flujos de bits de prueba de salida correspondientes (denominados vectores de prueba de salida) desde el puerto de salida TDO 115_O. El TS 120 compara los flujos de bits de prueba de salida con los resultados de las pruebas esperados para determinar los resultados de la prueba.

10 El TS 120 puede manejar los resultados de las pruebas de los procedimientos de prueba ejecutados en cualquier forma. En diversas realizaciones, por ejemplo, el TS 120 puede presentar los resultados de las pruebas a través de una interfaz de visualización, almacenar los resultados de las pruebas en la memoria, propagar los resultados de las pruebas a uno o más de otros sistemas, y similares, así como combinaciones surtidas de los mismos. El TS 120 puede manejar los resultados de las pruebas de los procedimientos de prueba ejecutados en cualquier otra forma. El TS 120 también puede manejar algunos o la totalidad de las entradas a la prueba de una manera similar (por ejemplo, presentar, almacenar, propagar, y similares, así como diversas combinaciones de los mismos).

15 El TS 120 puede ejecutar uno o más procedimientos de prueba para probar el SoC 110. El TS 120 puede organizar la ejecución de múltiples procedimientos de prueba de una manera que tiende a minimizar un tiempo de prueba total requerido para realizar una prueba (ya que diferentes decisiones de planificación resultarán en diferentes tiempos de finalización de la prueba para el mismo conjunto de procedimientos de prueba). El TS 120 puede especificar una programación de las pruebas (es decir, una programación que especifica un orden según el cual se deben ejecutar los diferentes procedimientos de prueba). El TS 120 puede realizar otras funciones asociadas con las pruebas de un sistema en chip.

20 La figura 2 representa un diagrama de bloques de alto nivel de un sistema en chip ejemplar adaptado para utilizarse en el entorno de prueba de la figura 1. Como se muestra en la figura 2, el SoC 110 incluye una pluralidad de componentes 210_A-210_E (colectivamente, componentes 210) que están interconectados por una pluralidad de interconexiones de componentes 220 (colectivamente, interconexiones de componentes 220). Se entenderá que el SoC 110 representado y descrito respecto a la figura 2 constituye simplemente un ejemplo de un sistema en chip (es decir, el SoC 110 puede incluir otros diversos componentes que se pueden configurar de varias otras maneras).

25 Como se muestra en la figura 2, cada componente 210 incluye una pluralidad de registros internos. Específicamente, el componente 210_A incluye tres registros (A₀, A₁, A₂), el componente 210_B incluye seis registros (B₀, B₁, B₂, B₃, B₄, B₅), El componente 210_C incluye cinco registros (C₀, C₁, C₂, C₃, C₄), El componente 210_D incluye tres registros (D₀, D₁, D₂), y el componente 210_E incluye cuatro registros (E₀, E₁, E₂, E₃). Los registros de cada componente 210 forman una trayectoria de exploración interna para ese componente 210.

30 Como se muestra en la figura 2, cada componente 210 soporta al menos una función. Específicamente, el componente 210_A soporta tres funciones, el componente 210_B soporta cuatro funciones, el componente 210_C soporta tres funciones, el componente 210_D soporta dos funciones, y el componente 210_E soporta una función. Las funciones soportadas por cada uno de los componentes 210 hacen uso de los registros (es decir, las trayectorias de exploración internas) de cada uno de los componentes 210, respectivamente.

35 Como se muestra en la figura 2, los componentes 210 del SoC 110 están conectados a través de las interconexiones de componentes 220 del SoC 110. Los componentes 210 (es decir, las trayectorias de exploración interna de los componentes 210) y las interconexiones de componentes 220 de los componentes 210 forman una trayectoria de exploración de prueba desde el puerto de prueba de entrada (TDI) del SoC 110 al puerto de prueba de salida (TDO) del SoC 110. El SoC 110 soporta una trayectoria de exploración de control además de la trayectoria de exploración de prueba. Como implementación de las trayectorias de exploración de prueba y de control separadas pueden proporcionarse de muchas maneras, los detalles de la trayectoria de exploración de control se omiten en la figura 2 por motivos de claridad (y puede entenderse mejor respecto a las figura 6 a 9).

40 Los componentes 210 incluyen cualesquiera componentes que pueden incluirse en un sistema de sistema en chip. En una realización, en un sistema implementado de acuerdo con el estándar IEEE P1687 propuesto, los componentes 210 pueden incluir dispositivos de propiedad intelectual (IP) y/o instrumentos. Esos IPs/instrumentos pueden ser muy similares, y los dos términos se pueden usar indistintamente en el presente documento. Además, como los IP y los instrumentos pueden ser utilizados como componentes de un sistema en chip, los IP y los instrumentos pueden denominarse de una forma más general en el presente documento como componentes. En otras realizaciones, en los sistemas de acuerdo con otros estándares, los componentes 210 pueden incluir otros tipos de componentes.

45 Los componentes 210 pueden incluir uno o más componentes de habilitación de jerarquía. Un componente de habilitación de jerarquía es un componente que soporta la modificación dinámica de la trayectoria de exploración del sistema en chip (por ejemplo, mediante la activación/desactivación dinámica de uno o más niveles jerárquicos de los componentes de la trayectoria de exploración de prueba del sistema en chip). En general, la jerarquía mejora la

prueba de los componentes de un sistema en chip. Por ejemplo, la jerarquía permite la minimización de la trayectoria de exploración del sistema activo y el aislamiento de los componentes durante la prueba, reduciendo así el tiempo de acceso a los componentes de un sistema en chip). El uso de componentes de habilitación de jerarquía en un sistema en chip se puede entender mejor respecto a la figura 3.

5 La figura 3 representa un diagrama de bloques de alto nivel de un sistema en chip ejemplar con una trayectoria de exploración jerárquica que incluye dos niveles jerárquicos controlados por un componente de habilitación de jerarquía. Específicamente, el sistema en chip 300 de la figura 3 incluye un primer componente de prueba 310₁ (indicado como componente A0) y un segundo componente de pruebas 310₂ (indicado como componente A1) interconectados a través de un componente de habilitación de jerarquía 320 que controla dinámicamente el acceso a un tercer componente de prueba 310₃ (indicado como componente B0) y un cuarto componente de prueba 310₄ (indicado como componente B1). El primer y segundo componentes de prueba 310₁ y 310₂, y el componente de habilitación de jerarquía 320, forman un primer nivel jerárquico de la trayectoria de exploración de prueba. El tercer y cuarto componentes de prueba 310₃ y 310₄ forman un segundo nivel jerárquico de la trayectoria de exploración de prueba.

15 El componente de habilitación de jerarquía 320 puede seleccionarse para activar el segundo nivel jerárquico de la trayectoria de exploración de prueba activa (es decir, para añadir el segundo nivel jerárquico a la trayectoria de exploración de prueba activa) y cancelar la selección para desactivar el segundo nivel jerárquico de la trayectoria de exploración de prueba activa (es decir, para eliminar el segundo nivel jerárquico de la trayectoria de exploración de prueba activa). Por ejemplo, cuando se deselecciona el componente de habilitación de jerarquía 320, el componente de habilitación de jerarquía 320 funciona como un componente de paso a través, de tal manera que la trayectoria de exploración de prueba incluye: TDI → A0 → HC → A1 → TDO. Por ejemplo, cuando se activa el componente de habilitación de jerarquía 320, el componente de habilitación de jerarquía 320 añade el segundo nivel jerárquico a la trayectoria de exploración de prueba activa, de tal manera que la trayectoria de exploración de prueba incluye la siguiente secuencia: TDI, A0, HC, B0 B1, HC, A1, TDO. El componente de habilitación de jerarquía 320 puede implementarse de cualquier forma adaptada para modificar dinámicamente una jerarquía de una trayectoria de exploración de prueba de un sistema en chip.

El componente de habilitación de jerarquía 320 es cualquier componente adaptado para soportar la modificación dinámica de una trayectoria de exploración. En una realización, por ejemplo, el componente de habilitación de jerarquía 320 puede incluir una versión modificada del bit de instrumento de selección (SIB) del estándar IEEE P1687 propuesto. El componente de habilitación de jerarquía 320 también puede incluir un componente de habilitación de jerarquía más complejo (denominado en este documento como dispositivo de cruce). Por motivos de claridad en la descripción del uso de las trayectorias de exploración de prueba y de control separadas, las trayectorias de exploración y de control separadas se representan principalmente y se describen en este documento en el contexto de una realización en la que los componentes de habilitación de jerarquía se implementan como versiones modificadas de la célula SIB del estándar IEEE P1687 propuesto (sin embargo, la implementación de trayectorias de exploración de prueba y de control separadas no se limita al uso de SIB modificados).

Como se muestra en la figura 3, además de soportar la trayectoria de exploración de prueba (incluyendo A0, HC, A1, B0 y B1), el sistema en chip 300 también soporta una trayectoria de exploración de control (omitida en la figura 3 por motivos de claridad en la descripción de la trayectoria de exploración de prueba). Como se describe en la presente memoria, el sistema en chip 300 recibe flujos de bits de prueba y flujos de bits de control (desde el sistema de prueba) a través de la entrada TDI y devuelve los flujos de bits de prueba y los flujos de bits de control (al sistema de prueba) a través de la salida TDO. El sistema en chip 300 utiliza un controlador de prueba (omitido por motivos de claridad) para controlar el las trayectorias de exploración de prueba y control separadas. La implementación de la trayectoria de exploración de control en un sistema en chip, y el uso de la trayectoria de exploración de control para controlar dinámicamente la modificación de la trayectoria de exploración de prueba puede entenderse mejor respecto a las figuras 5 a 9.

La figura 4 representa un diagrama de bloques de alto nivel de un sistema en chip, que incluye un componente de habilitación de jerarquía adaptado para modificar dinámicamente una trayectoria de exploración de un sistema en chip. Específicamente, el sistema en chip 400 representa una implementación del sistema en chip 300 de la figura 3, en el que el componente de habilitación de jerarquía 320 se implementa como una célula de bit de instrumento de selección (SIB) como se define en el estándar IEEE P1687 propuesto. En concreto, el sistema en chip 400 de la figura 4 incluye una célula SIB 420 operativa como un componente de habilitación de jerarquía.

Como se muestra en la figura 4, la célula SIB 420 soporta un primer nivel jerárquico de la trayectoria de exploración de prueba (a través de una entrada TDI y una salida TDO) y un segundo nivel jerárquico de la trayectoria de exploración de prueba (a través de un puerto WSlo que está acoplado a la entrada TDI de la célula de exploración de límites B0 y un puerto WSOi que está acoplado a la salida TDO de la célula de exploración de límites B1). La célula SIB 420 incluye un registro 422 del bit de instrumento de selección (SIB), un registro 424 de actualización del SIB (UpSIB), y un MUX de salida 426. El registro SIB 422 tiene un MUX de entrada 421 de SIB asociado que controla las entradas al registro SIB 422. El registro UpSIB 424 tiene un MUX de entrada 423 UpSIB asociado que controla las entradas al registro UpSIB 424.

El MUX de entrada SIB 421 asociado al registro SIB 422 controla la entrada al registro SIB 422. El MUX de entrada SIB 421 incluye dos puertos de entrada. El MUX de entrada SIB 421 acepta como entradas la entrada TDI (por ejemplo, desde un componente anterior de la trayectoria de exploración) y la salida del registro SIB 422. El MUX de entrada SIB 421 es controlado por una señal de control DR de desplazamiento (SHDR), que se aplica a un puerto de control del MUX de entrada SIB 421. Cuando la señal de control SHDR es "1", el MUX de entrada SIB 421 pasa la señal desde la entrada TDI al registro SIB 422. Cuando la señal de control SHDR es "0", el MUX de entrada SIB 421 pasa la señal desde la salida del registro SIB 422 al registro SIB 422.

El registro SIB 422 acepta la entrada desde la salida del MUX de entrada SIB 421. El registro SIB 422 es controlado por una señal de reloj (indicada como TCK) aplicada a un puerto de control del registro SIB 422. La salida del registro SIB 422 está acoplada a cada uno de los siguientes: una entrada al MUX de entrada SIB 421, una entrada al MUX de entrada UpSIB 423, una entrada al MUX de salida 426, y el puerto WSlo (que proporciona acceso a los componentes de un segundo (o inferior) nivel jerárquico para la propagación de señales al segundo nivel jerárquico cuando se selecciona el segundo nivel jerárquico a activar).

El MUX de entrada UpSIB 423 asociado con el registro UpSIB 424 controla la entrada al registro UpSIB 424. El MUX de entrada UpSIB 423 incluye dos puertos de entrada. El MUX de entrada UpSIB 423 acepta como entradas la salida del registro SIB 422 y la salida del registro UpSIB 424. El MUX de entrada UpSIB 423 es controlado por una señal de control de DR de actualización (UpDR) aplicada a un puerto de control del MUX de entrada UpSIB 423. Cuando la señal de control UpDR es "1", el MUX de entrada UpSIB 423 pasa la señal desde la salida del registro SIB 422 en el registro UpSIB 424. Cuando la señal de control UpDR es "0", el MUX de entrada UpSIB 423 pasa la señal desde la salida del registro UpSIB 424 al registro UpSIB 424.

El registro UpSIB 424 acepta la entrada desde la salida del MUX de entrada UpSIB 423. El registro UpSIB 424 es controlado por una señal de reloj (indicada como TCK) aplicada a un puerto de control del registro UpSIB 424. La salida del registro UpSIB 424 está acoplada a cada uno de los siguientes: una entrada al MUX de entrada UpSIB 423, un puerto de control del MUX de salida 426, y una trayectoria de señalización Select_Instr. La aplicación de la salida del registro UpSIB 424 al puerto de control del MUX de salida 426 permite el control de la jerarquía de la trayectoria de exploración de prueba (es decir, permite la selección/cancelar la selección dinámica de la segundo (o inferior) nivel jerárquico, tal que el segundo nivel jerárquico se activa/desactivada dinámicamente).

El MUX de salida 426 incluye dos puertos de entrada. El MUX de salida 426 acepta como entradas la salida del registro SIB 422 y la entrada desde el nivel jerárquico inferior a través del puerto WSOi (que, en este ejemplo, es la salida TDO de la célula de exploración de límites B1). La salida del MUX de salida 426 está acoplada a la salida TDO de la célula SIB 420 (para la propagación a un componente posterior en el primer nivel jerárquico de la trayectoria de exploración que, en este ejemplo, es la célula de exploración de límites A1). La salida del MUX de salida 426 está determinada por una señal de control aplicada a un puerto de control del MUX de salida 426. La salida del registro UpSIB 424 está acoplada al puerto de control del MUX de salida 416.

Como se muestra en la figura 4, el valor de registro UpSIB 424 determina si se ha seleccionado el segundo nivel jerárquico (es decir, parte de la trayectoria de exploración) o se ha deseleccionado (es decir, no parte de la trayectoria de exploración). Cuando se deselecciona el segundo nivel jerárquico (es decir, el valor de registro UpSIB 424 es "0") el MUX de salida 426 pasa la salida del registro SIB 422 a la salida TDO de la célula SIB 420, y el valor del puerto WSOi se ignora. Cuando se selecciona el segundo nivel jerárquico (es decir, el valor de registro UpSIB 424 es "1"), el MUX de salida 426 pasa la señal desde el nivel jerárquico inferior (es decir, desde el puerto WSOi) a la salida TDO de la célula SIB 420.

Como se describe en la presente memoria, además de soportar la trayectoria de exploración de prueba (incluyendo A0, SIB, A1, B0, y B1), el sistema en chip 400 también soporta una trayectoria de exploración de control (omitida de la figura 4 por motivos de claridad al describir la trayectoria de exploración de prueba). El sistema en chip 400 utiliza un controlador de prueba (omitido por motivos de claridad) para controlar las trayectorias de exploración de prueba y control separadas. La implementación de la trayectoria de exploración de control en un sistema en chip, y el uso de la trayectoria de exploración de control para controlar dinámicamente la modificación de la trayectoria de exploración de prueba, puede entenderse mejor respecto a las figuras 5 a 9.

La figura 5 representa un diagrama de bloques de alto nivel de un sistema en chip jerárquico que incluye un controlador de prueba y una trayectoria de exploración de prueba jerárquica. El controlador de prueba 511 controla la prueba del sistema en chip 500. El sistema en chip 500 soporta una trayectoria de exploración de prueba jerárquica (indicada como trayectoria de exploración de prueba 521) y una trayectoria de exploración de control (que se indica como la trayectoria de exploración de control 526, pero se omiten en la figura 5 por motivos de claridad, que como se describe en la presente memoria, la trayectoria de exploración de control separada puede implementarse en una serie de maneras diferentes, como se ha representado y descrito en este documento respecto a las figuras 6 a 9).

Como se muestra en la figura 5, en una realización el controlador de prueba 511 es un controlador de prueba TAP 1149.1 JTAG que soporta TCK, XTRST, TMS, y señales de entrada/salida. El controlador de prueba 511 soporta

una entrada externa (TDI) que está acoplada a una salida de un sistema de prueba (tal como TS 120 de la figura 1) y una salida externa (TDO) que está acoplada a una entrada a un sistema de prueba (tal como TS 120 de la figura 1). El controlador de prueba 511 soporta una entrada interna que se acopla a la lógica de control adaptada para controlar la aplicación de flujos de bits de entrada desde la entrada TDI externa a la trayectoria de exploración de prueba 521 y la trayectoria de exploración de control 526. El controlador de prueba 511 soporta una salida interna que se acopla a la lógica de control adaptada para controlar la selección de flujos de bits de salida de la trayectoria de exploración de prueba 521 y la trayectoria de exploración de control 526 (que se proporciona a la salida TDO externa).

Como se muestra en la figura 5, como el sistema en chip 500 soporta dos trayectorias de exploración a las que los flujos de bits deben aplicarse para probar el sistema en chip 500 (es decir, la trayectoria de exploración de prueba 521 y la trayectoria de exploración de control 526), el sistema en chip 500 soporta dos entradas internas y dos salidas internas dentro del sistema en chip 500. El sistema en chip 500 soporta una primera entrada interna (ITDI) que está acoplada a una entrada de la trayectoria de exploración de prueba 521 y una primera salida interna (ITDO) que está acoplada a una salida de la trayectoria de exploración de prueba 521. El sistema en chip 500 soporta una segunda entrada interna (HTDI) que está acoplada a una entrada a la trayectoria de exploración de control 526 y una segunda salida interna (OVS) que está acoplada a una salida de la trayectoria de exploración de control 526.

El sistema en chip 500 incluye un DEMUX de control de entrada 513. El DEMUX de control de entrada 513 incluye un puerto de entrada acoplado al puerto TDI del controlador de prueba 511. El DEMUX de control de entrada incluye dos puertos de salida: un primer puerto de salida acoplado a la entrada a la trayectoria de exploración de prueba 521 (indicada como ITDI) y un segundo puerto de salida acoplado a la entrada a la trayectoria de exploración de control 526 (indicada como HTDI). El controlador de prueba 511 aplica un flujo de bits de entrada que se recibe en la entrada TDI de sistema en chip 500 a un puerto de entrada del DEMUX 513 de control de entrada. El DEMUX de control de entrada 513 está adaptado para acoplar el flujo de bits de entrada recibido a través de la entrada TDI a la trayectoria de exploración de prueba 521 o para la trayectoria de exploración de control 526 como se desee/sea necesario.

El sistema en chip 500 incluye un MUX de control de salida 514. El MUX de control de salida 514 incluye dos puertos de entrada: un primer puerto de entrada acoplado a la salida de la trayectoria de exploración de prueba 521 (indicada como ITDO) y un segundo puerto de entrada acoplado a la salida de la trayectoria de exploración de control 526 (indicada como OVS). El MUX de control de salida 514 incluye un puerto de salida acoplado al puerto TDO del controlador de prueba 511. El MUX de control de salida 514 está adaptado para acoplarse al flujo de bits de salida de la trayectoria de exploración de prueba 521 o al flujo de bits de salida de la trayectoria de exploración de control 526 a la salida TDO (a través del controlador de prueba 511) como se desee/sea necesario.

El DEMUX de control de entrada 513 y el MUX de control de salida 514 están cada uno controlado por un registro interno (IR) 515. El IR 515 se carga con los valores de control, según se desee/sea necesario, para controlar el DEMUX de control de entrada 513 y el MUX de control de salida 514. Los valores de control pueden cargarse en el IR 515 mediante el controlador de prueba 511 (por ejemplo, utilizando las señales de control recibidas desde un sistema de prueba asociado, como TS 120 de la figura 1). Aunque el IR 515 se representa y se describe como incluido dentro del controlador de prueba 511, en otras realizaciones el IR 515 puede implementarse fuera del controlador de prueba 511. Aunque se representa y se describe respecto a un IR, en otras realizaciones dos (o más) IRs pueden utilizarse (por ejemplo, uno que controla el DEMUX de control de entrada 513 y otro que controla el MUX de control de salida 514).

La salida del registro interno 515 está acoplada a un puerto de control del DEMUX de control de entrada 513 para controlar la aplicación de flujos de bits de entrada a la trayectoria de exploración de prueba 521 y a la trayectoria de exploración de control 526 (es decir, para decidir, para cada valor de bits de entrada, si se aplica ese valor de bit de entrada a la trayectoria de exploración de prueba 521, a la trayectoria de exploración de control 526, o a ambas trayectorias de exploración de prueba 521 y trayectoria de exploración de control 526. La salida del registro interno 515 está acoplada a un puerto de control del MUX de control de salida 514 para controlar la selección de flujos de bits de salida de la trayectoria de exploración de prueba 521 y de la trayectoria de exploración de control 526 (es decir, para decidir, para cada ranura de bits de salida, seleccionar el valor del bit de salida disponible de la trayectoria de exploración de prueba 521 o seleccionar el valor del bit de salida disponible de la trayectoria de exploración de control 526).

El DEMUX de control de entrada 513, el MUX de control de salida 514, y el IR 515 pueden indicarse colectivamente en la presente memoria como lógica de control 512.

Aunque se ha representado y descrito en la presente memoria principalmente respecto a una realización en la que un DEMUX de control de entrada se utiliza para controlar la aplicación de flujos de bits de entrada en la trayectoria de exploración de prueba 521 y en la trayectoria de exploración de control 526, en otras realizaciones el DEMUX de control de entrada se puede omitir. En una realización, por ejemplo, el flujo de bits de prueba de entrada puede simplemente aplicarse tanto a la trayectoria de exploración de prueba 521 y a la trayectoria de exploración de control 526. En esta realización, la salida del IR 515 sólo está acoplada al puerto de control del MUX de control de salida 514. Aunque se ha representado y descrito en el presente documento principalmente respecto a la utilización de

DEMUXs de control y a MUXs de control, pueden implementarse trayectorias de exploración de prueba y de control separadas utilizando otros tipos de lógica de control.

Como se muestra en la figura 5, la trayectoria de exploración de prueba 521 incluye sesenta y tres componentes. La trayectoria de exploración de prueba 521 incluye cincuenta y siete componentes de prueba de no habilitación de jerarquía 522 (indicados mediante números enteros) y seis componentes de habilitación de jerarquía 523 (indicados como componentes de habilitación de jerarquía HC00, HC01, HC10, HC11, HC20, y HC21). Como se muestra en la figura 5, los sesenta y tres componentes de la trayectoria de exploración de prueba 521 están colocados en serie e incluyen cuatro niveles jerárquicos. Los componentes de habilitación de jerarquía HC00 y HC01 proporcionan acceso desde un primer nivel jerárquico a un segundo nivel jerárquico. Los componentes de habilitación de jerarquía HC10 y HC11 proporcionan acceso desde el segundo nivel jerárquico a un tercer nivel jerárquico. Los componentes de jerarquía HC20 y HC21 permiten proporcionar acceso desde el tercer nivel jerárquico a un cuarto nivel jerárquico.

Los componentes de habilitación de jerarquía se pueden controlar de forma dinámica según se desee/sea necesario modificar la trayectoria de exploración de prueba 521 (es decir, añadir/eliminar niveles jerárquicos a/de la trayectoria de exploración de prueba activa 521). Por ejemplo, cuando se deseleccionan los componentes de habilitación de jerarquía HC00 y HC01, la trayectoria de exploración de prueba activa 521 es: TDI, 1, HC00, 2, 3, 4, HC01, 5, 6, TDO. Por ejemplo, cuando se selecciona HC00 (mientras HC10, HC11 y HC01 permanecen deseleccionadas), la trayectoria de exploración de prueba activa 521 es: TDI, 1, HC00, 1, 2, 3, 4, 5, HC10, 6, 7, 8, 9, 10, 11, 12, HC11, 13, 14, 15, 16, HC00, 2, 3, 4, HC01, 5, 6, TDO. De esta manera, los diferentes niveles jerárquicos de la trayectoria de exploración de prueba 521 se pueden activar o desactivar para añadirse o eliminarse de la trayectoria de exploración de prueba activa 521 seleccionando o deseleccionando dinámicamente los diferentes componentes de habilitación de jerarquía de forma dinámica.

El control de uno o más componentes de habilitación de jerarquía se implementa de una manera para modificar dinámicamente la trayectoria de exploración de prueba utilizando una trayectoria de exploración de control que está separada de la trayectoria de exploración de prueba. Las trayectorias de exploración de prueba y de control separadas pueden implementarse de cualquier manera.

En una realización, la trayectoria de exploración de prueba y la trayectoria de exploración de control se pueden implementar usando componentes físicos separados. En una realización, por ejemplo, la trayectoria de exploración de prueba incluye una pluralidad de componentes de prueba no jerárquicas y al menos un componente de prueba jerárquico, y la trayectoria de exploración de control incluye al menos un componente de control jerárquico. En esta realización, el por lo menos un componente de control jerárquico que forma la trayectoria de exploración de control interactúa con el al menos un componente de prueba jerárquico que forma parte de la trayectoria de exploración de prueba para controlar dinámicamente la modificación de la trayectoria de exploración de prueba. Esta realización se puede entender mejor respecto al ejemplo representado y descrito respecto a la figuras 6 y 7.

En una realización, la trayectoria de exploración de prueba y la trayectoria de exploración de control se pueden implementar usando componentes físicos combinados. En una realización, por ejemplo, el sistema en chip incluye una pluralidad de componentes de prueba no jerárquicos y al menos un componente de habilitación de jerarquía. Los componentes de prueba de no habilitación de jerarquía y el al menos un componente de habilitación de jerarquía (es decir, una primera porción de cada uno del al menos un componente de habilitación de jerarquía) forman una trayectoria de exploración de prueba. El al menos un componente de habilitación de jerarquía (es decir, una segunda porción de cada uno de los al menos un componente de habilitación de jerarquía) forman una trayectoria de exploración de control. Las respectivas primera y segunda porciones de cada uno del al menos un componente de habilitación de jerarquía interactúan para controlar dinámicamente la modificación de la trayectoria de exploración de prueba. Esta realización se puede entender mejor respecto al ejemplo representado y descrito respecto a las figuras 8 y 9.

La figura 6 representa un diagrama de bloques de alto nivel de un sistema en chip que incluye una trayectoria de exploración de prueba y una trayectoria de exploración de control realizada usando componentes físicos separados. El sistema en chip 600 comprende una implementación del sistema en chip 500 representado y descrito respecto a la figura 5. El sistema en chip 600 de la figura 6 incluye un controlador de prueba 611, que opera de una manera similar al controlador de prueba 511 de la figura 5. El sistema en chip incluye además una lógica de control 612 que opera de una manera similar a la lógica de control 512 de la figura 5. El sistema en chip 600 incluye una trayectoria de exploración de prueba 621 y una trayectoria de exploración de control 626, cada una de las cuales se puede acceder de forma independiente mediante el controlador 611 para propósitos de prueba del sistema en chip 600.

La trayectoria de exploración de prueba 621 se utiliza para realizar pruebas en el sistema en chip 600. La trayectoria de exploración de prueba 621 se compone de una pluralidad de componentes de prueba de no habilitación de jerarquía 622 (colectivamente, componentes de prueba de no habilitación de jerarquía 622, que también pueden indicarse como componentes de no habilitación de jerarquía) y una pluralidad de componentes de prueba de habilitación de jerarquía 623 (colectivamente, componentes de prueba de habilitación de jerarquía 623, que también se pueden indicar como componentes de habilitación de jerarquía). Un componente de prueba de no habilitación de jerarquía 622 es un componente que no soporta una capacidad de modificar dinámicamente la trayectoria de exploración de prueba 621 del sistema en chip 600. Un componente de prueba de habilitación de jerarquía 623 es

un componente que soporta una capacidad de modificar dinámicamente la trayectoria de exploración de prueba 621 del sistema en chip 600.

Como se muestra en la figura 6, la trayectoria de exploración de prueba 621 incluye sesenta y tres componentes, incluyendo cincuenta y siete componentes de prueba de no habilitación de jerarquía (indicados usando números enteros) y seis componentes de prueba de habilitación de jerarquía (indicados como componentes de prueba de habilitación de jerarquía TC00, TC01, TC10, TC11, TC 20, y TC21). Los sesenta y tres componentes de la trayectoria de exploración de prueba 621 están dispuestos en serie, e incluyen cuatro niveles jerárquicos. Los componentes de prueba de habilitación de jerarquía TC00 y TC01 proporcionan acceso desde un primer nivel jerárquico a un segundo nivel jerárquico. Los componentes de prueba de habilitación de jerarquía TC10 y TC11 proporcionan acceso desde el segundo nivel jerárquico a un tercer nivel jerárquico. Los componentes de prueba de habilitación de jerarquía TC 20 y TC21 proporcionan acceso desde el tercer nivel jerárquico a un cuarto nivel jerárquico.

La trayectoria de exploración de control 626 es una trayectoria de exploración adicional añadida al sistema en chip 600 (además de una trayectoria de exploración del sistema típicamente disponible en un sistema en chip que ahora se utiliza como trayectoria de exploración de prueba 621). La trayectoria de exploración de control 626 está adaptada para controlar dinámicamente la trayectoria de exploración de prueba 621 del sistema en chip 600. La trayectoria de exploración de control 626 incluye una pluralidad de componentes de control de jerarquía 627 (en conjunto, los componentes de control de jerarquía 627). Un componente de control de jerarquía 627 es un componente que está adaptado para controlar al menos un componente de prueba de habilitación de jerarquía 623 para modificar dinámicamente la trayectoria de exploración de prueba 621 del sistema en chip 600.

Como se muestra en la figura 6, la trayectoria de exploración de control 626 incluye seis componentes de control de jerarquía (indicados como componentes de control de jerarquía CC00, CC01, CC10, CC11, CC20, y CC21). Los seis componentes de control de jerarquía de la trayectoria de exploración de control 626 están dispuestos en serie. Los seis componentes de control de jerarquía que forman la trayectoria de exploración de control 626 (ilustrativamente, CC00, CC01, CC10, CC11, CC20, y CC21) están acoplados a los seis componentes de prueba de habilitación de jerarquía que forman parte de la trayectoria de exploración de prueba 621 (ilustrativamente, TC00, TC01, TC10, TC11, TC 20, y TC21) utilizando seis trayectorias de acoplamiento 624 (que pueden indicarse colectivamente como trayectorias de acoplamiento 624), respectivamente, para el control de los seis componentes de prueba de habilitación de jerarquía de una manera que permite la modificación dinámica de la trayectoria de exploración de prueba 621 del sistema en chip 600.

El controlador de prueba 611 interactúa con la trayectoria de exploración de prueba 621 y la trayectoria de exploración de control 626 utilizando lógica de control 612 (de una manera similar a la representada y descrita respecto a la figura 5). Un sistema de prueba (omitido por motivos de claridad) puede realizar pruebas en el sistema en chip 600 usando vectores de prueba de entrada y vectores de control de entrada. Un vector de prueba de entrada es un flujo de bits que se aplica a la trayectoria de exploración de prueba 621. Un vector de control de entrada es un flujo de bits de control que se aplica a la trayectoria de exploración de control 626 para controlar la jerarquía de la trayectoria de exploración de prueba (es decir, para controlar dinámicamente los componentes de prueba de la trayectoria de exploración de prueba 621 a través del cual se propaga el vector de entrada de prueba). La aplicación del vector de prueba de entrada a la trayectoria de exploración de prueba 621 resulta en un vector de prueba de salida que se recibe mediante el controlador de prueba 611 de la trayectoria de exploración de prueba 621 a través de la salida ITDO interna acoplada a la salida de la trayectoria de exploración de prueba 621. El controlador de prueba 611 propaga el vector de prueba de salida al sistema de prueba, que procesa el vector de prueba de salida para determinar los resultados de las pruebas.

Como se describe en la presente memoria, en una realización en la que la trayectoria de exploración de prueba y la trayectoria de exploración de control se realizan utilizando componentes físicos separados (tal como se representa y se describe en este documento respecto a la figura 6), los componentes de prueba de habilitación de jerarquía y los componentes de control de jerarquía asociados pueden implementarse utilizando cualesquiera componentes de habilitación de jerarquía (por ejemplo, utilizando una versión modificada de la célula SIB definida en el estándar IEEE P1687 propuesto, utilizando otros componentes de habilitación de jerarquía (por ejemplo, dispositivos de cruce), y similares, así como varias combinaciones de los mismos). Una realización ejemplar en la que los componentes de prueba de habilitación de jerarquía y los componentes de control de jerarquía asociados se implementan utilizando una versión modificada de la célula SIB del estándar IEEE P1687 propuesto se representan y describen respecto a la figura 7.

La figura 7 representa un diagrama de bloques de alto nivel de un componente de prueba de habilitación de jerarquía y un componente de control de jerarquía adaptado para su uso en la trayectoria de exploración de prueba y la trayectoria de exploración de control del sistema en chip de la figura 6. Como se muestra en la figura 7, un componente de las pruebas de habilitación de jerarquía 710 y un componente de control de jerarquía 720 cooperan para soportar la modificación dinámica de una trayectoria de exploración de prueba de un sistema en chip (por ejemplo, tales como la trayectoria de exploración de prueba 621 representada y descrita respecto a la figura 6).

Como se representa y describe respecto a la figura 6, el componente de prueba de habilitación de jerarquía 710

forma parte de una trayectoria de exploración de prueba (ilustrativamente, la trayectoria de exploración de prueba 621) y el componente de control de jerarquía 720 forma parte de una trayectoria de exploración de control (ilustrativamente, la trayectoria de exploración de control 626). Por ejemplo, el componente de prueba de habilitación de jerarquía 710 puede ser uno de los componentes de prueba de habilitación de jerarquía 623 de la figura 6 (por ejemplo, el componente de prueba de habilitación de jerarquía TC00) y el componente de control de jerarquía 720 puede ser uno de los componentes de control de jerarquía 627 de la figura 6 (por ejemplo, el componente de control de jerarquía CC00 que controla el componente de prueba de habilitación de jerarquía TC00).

Como se describe en el presente documento, el componente de prueba de habilitación de jerarquía 710 y el componente de control de jerarquía 720 pueden implementarse de cualquier manera para soportar la modificación dinámica de una trayectoria de exploración usando trayectorias de exploración de prueba y de control distintas. Como se muestra en la figura 7, en una realización, el componente de prueba de habilitación de jerarquía 710 y el componente de control de jerarquía 720 pueden implementarse mediante la reutilización de una porción del diseño de una célula SIB como se define en el estándar IEEE P1687 propuesto (aunque debe indicarse que este ejemplo de implementación se proporciona por motivos de claridad y el componente de prueba de habilitación de jerarquía 710 y el componente de control de jerarquía 720 se pueden implementar usando cualquier componente(s) de habilitación de jerarquía). El componente de prueba de habilitación de jerarquía 710 y el componente de control de jerarquía 720 están acoplados a través de una trayectoria de señalización 730 (indicada como la trayectoria de señalización Sel_Instr). La trayectoria de señalización Sel_Instr 730 corresponde a una de las trayectorias de acoplamiento 624 de la figura 6.

Como se muestra en la figura 7, el componente de prueba de habilitación de jerarquía 710 incluye una entrada TDI 711, una entrada WSlo 712_i, una salida WSOi 712_o, un MUX 713, y una salida TDO 714. La entrada TDI 711 está acoplada a una salida del componente anterior en la trayectoria de exploración de prueba (omitida por motivos de claridad) y la salida TDO 714 está acoplada a una entrada del componente posterior en la trayectoria de exploración de prueba (omitida por motivos de claridad). La entrada TDI 711 está acoplada a un primer puerto de entrada del MUX 713 y a la entrada WSlo 712_i. La salida WSOi 712_o está acoplada a un segundo puerto de entrada del MUX 713. La selección entre las señales desde la entrada TDI 711 y las señales desde la salida WSOi 712_o al MUX 713 se controla mediante señales de selección aplicadas a un puerto de control del MUX 713 desde el componente de control de jerarquía 720.

Como se muestra en la figura 7, el componente de control de jerarquía 720 es similar a la célula SIB 420 de la figura 4, sin embargo, la entrada TDI y la salida TDO (que, como se ha descrito respecto al componente de prueba de habilitación de jerarquía 710, están reservados para la trayectoria de exploración de prueba) han sido sustituidas por una entrada HTDI 721 y una salida HTDO 722 (para la trayectoria de exploración de prueba). La entrada HTDI 721 está acoplada a una salida de un componente anterior en la trayectoria de exploración de control (omitida por motivos de claridad) y la salida HTDO 722 está acoplada a una entrada de un componente posterior en la trayectoria de exploración de control (omitida por motivos de claridad).

Como se muestra en la figura 7, el componente de control de jerarquía 720 incluye un MUX de entrada SIB 725, un registro SIB 726, un MUX de entrada UpSIB 727, y un registro UpSIB 728.

El MUX de entrada SIB 725 y el registro SIB 726 funcionan de una manera similar al MUX de entrada SIB 421 y al registro SIB 422 de la figura 4, con algunas diferencias. La primera diferencia es que la entrada TDI al MUX de entrada SIB 421 se sustituye por la entrada HTDI 721 al MUX de entrada SIB 725. La segunda diferencia es que la salida del registro SIB 726 está conectada a la salida HTDO 722 (en lugar de a la célula SIB 420, en el que la salida del registro SIB 422 está acoplada a una entrada a la salida MUX 426).

El MUX de entrada UpSIB 727 y el registro UpSIB 728 funcionan de una manera similar al MUX de entrada UpSIB 423 y al registro UpSIB 424 de la figura 4, con una diferencia. La diferencia es que, mientras que la salida del registro UpSIB 728 todavía se acopla a la trayectoria de señalización Sel_Instr, la salida del registro UpSIB 728 no está acoplada como una señal de control a un MUX de salida (ya que el MUX de salida 426 no está presente en el componente de control de jerarquía 720).

Como se muestra en la figura 7, la salida del registro UpSIB 728 está acoplada a la trayectoria de señalización Sel_Instr 730. La trayectoria de señalización Sel_Instr 730 de la salida del registro UpSIB 728 está acoplada al puerto de control del MUX 713 del componente de prueba de habilitación de jerarquía 710. La trayectoria de señalización Sel_Instr 730 desde el componente de control de jerarquía 720 al componente de prueba de habilitación de jerarquía 710 permite que el componente de control de jerarquía 720 controle la selección entre las señales de entrada TDI 711 y las señales de salida WSOi 712_o que pasen a la salida TDO 714 (es decir, controlando dinámicamente la adición/eliminación de los componentes de prueba de la trayectoria de exploración de prueba activa).

Como se muestra en la figura 7, cuando el registro UpSIB 728 del componente de control de jerarquía 720 se activa (por ejemplo, ajustado en "1"), la señal se propaga desde el registro UpSIB 728 del componente de control de jerarquía 720 al puerto de control del MUX 713 componentes de prueba de habilitación de jerarquía 710 a través de la trayectoria de señalización Sel_Instr 730. Al recibir la señal de activación, el MUX 713 del componente de prueba

de habilitación de jerarquía 710 conmuta seleccionando la señal desde la entrada TDI 711 para seleccionar la señal desde la salida WSOi 712_o. De esta manera, el componente de prueba de habilitación de jerarquía 710 ya no actúa como un paso a través de señales desde la entrada TDI 711. Más bien, cualquier componente(s) conectado(s) a la entrada WSlo 712_i y la salida WSOi 712_o se añaden dinámicamente a la trayectoria de exploración de prueba activa (es decir, la trayectoria de exploración de prueba se modifica dinámicamente usando una combinación del componente de control de jerarquía 720 y el componente de prueba de habilitación de jerarquía 710).

Por ejemplo, refiriéndose de nuevo a la figura 6, se supone que el componente de prueba de habilitación de jerarquía 710 es el componente de prueba de habilitación de jerarquía TC00 y que el componente de control de jerarquía 720 es el componente de control de jerarquía CC00. En este ejemplo, cuando el componente de prueba de habilitación de jerarquía TC00 se deselecciona, el TC00 pasa bits de prueba del componente de prueba de no habilitación de jerarquía 1 al componente de prueba de no habilitación de jerarquía 2 (es decir, opera como un paso a través). En este ejemplo, cuando el componente de prueba de habilitación de jerarquía TC00 es activado por señales de control desde el componente de control de jerarquía CC00 (por ejemplo, a través del registro UpSIB 728 y la trayectoria de señalización Sel_Instr 730), un siguiente nivel de la jerarquía se agrega dinámicamente a la trayectoria de exploración de prueba activa, tal que el TC00 pasa bits de prueba del componente de prueba de no habilitación de jerarquía 1 al componente de prueba de no habilitación de jerarquía 1 (a través de TDlo de TC00), a través de los componentes de no habilitación de jerarquía 2 a 16 y los componentes de prueba de habilitación de jerarquía TC10 y TC11, y luego al componente de prueba de habilitación de jerarquía 2 (a través TDOi de TC00).

La figura 8 representa un diagrama de bloques de alto nivel de un sistema en chip que incluye una trayectoria de exploración de prueba y una trayectoria de exploración de control realizada utilizando un componente físico combinado. El sistema en chip 800 comprende una implementación del sistema en chip 500 representado y descrito respecto a la figura 5. El sistema en chip 800 de la figura 8 incluye un controlador de prueba 811, que opera de una manera similar al controlador de prueba 511 de la figura 5. El sistema en chip incluye además una lógica de control 812 que opera de una manera similar a la lógica de control 512 de la figura 5. El sistema en chip 800 incluye una trayectoria de exploración de prueba 821 y una trayectoria de exploración de control 823, cada una de las cuales se puede acceder de forma independiente mediante el controlador de prueba 811 para fines de pruebas del sistema en chip 600.

La trayectoria de exploración de prueba 821 se utiliza para realizar pruebas en el sistema en chip 800. La trayectoria de exploración de prueba 821 se compone de una pluralidad de componentes de prueba de no habilitación de jerarquía 822 (colectivamente, componentes de prueba de no habilitación de jerarquía-822, y que también pueden denominarse en este documento como componentes de no habilitación de jerarquía) y una pluralidad de componentes de habilitación de jerarquía 825 (colectivamente, componentes de habilitación de jerarquía 825). La trayectoria de exploración de control 823 se compone de la pluralidad de componentes de habilitación de jerarquía 825 (es decir, los componentes de habilitación de jerarquía 825 que también forman parte de una trayectoria de exploración de prueba 821). En otras palabras, cada componente de habilitación de jerarquía 825 está adaptado para soportar la trayectoria de exploración de prueba 821 y la trayectoria de exploración de control 823 de una manera que habilita la trayectoria de exploración de prueba 821 o la trayectoria de exploración de control 823 para controlar dinámicamente la trayectoria de exploración de prueba 821).

Un componente de prueba de no habilitación de jerarquía 822 es un componente que no soporta una capacidad para modificar dinámicamente la trayectoria de exploración de prueba 821 del sistema en chip 800. Un componente de habilitación de jerarquía 825 es un componente que soporta una capacidad de modificar dinámicamente la trayectoria de exploración de prueba 821 del sistema en chip 800. Los componentes de habilitación de jerarquía 825 pueden implementarse de cualquier manera. En una realización, por ejemplo, cada componente de habilitación de jerarquía 825 incluye una primera porción que forma parte de la trayectoria de exploración de prueba 821 y una segunda porción que forma parte de la trayectoria de exploración de control 823 (es decir, la trayectoria de exploración de prueba 821 y la trayectoria de exploración de control 823 se soportan usando un grupo común de componentes físicos).

La trayectoria de exploración de prueba 821 incluye sesenta y tres componentes, incluyendo cincuenta y siete componentes de prueba de no habilitación de jerarquía (indicados usando números enteros) y seis componentes de habilitación de jerarquía (indicados como HC00, HC01, HC10, HC11, HC20, y HC21). Los sesenta y tres componentes de la trayectoria de exploración de prueba 621 incluyen cuatro niveles jerárquicos. Los componentes de habilitación de jerarquía HC00 y HC01 proporcionan acceso desde un primer nivel jerárquico a un segundo nivel jerárquico. Los componentes de habilitación de jerarquía HC10 y HC11 proporcionan acceso desde el segundo nivel jerárquico a un tercer nivel jerárquico. Los componentes de habilitación de jerarquía HC20 y HC21 proporcionan acceso desde el tercer nivel jerárquico a un cuarto nivel jerárquico. La trayectoria de exploración de prueba 821 puede utilizarse para controlar dinámicamente la trayectoria de exploración de prueba 821 (es decir, controlar la adición/eliminación de niveles jerárquicos a/de la trayectoria de exploración de prueba activa 821).

La trayectoria de exploración de control 823 es una trayectoria de exploración adicional añadida al sistema en chip 800 (además de un sistema de trayectoria de exploración típicamente disponible en un sistema en chip, que, debido a la adición de la trayectoria de exploración de control 823, se utiliza como trayectoria de exploración de prueba 821). La trayectoria de exploración de control 823 puede utilizarse para controlar dinámicamente la trayectoria de

exploración de prueba 821 (es decir, controlando la adición/eliminación de niveles jerárquicos a/de la trayectoria de exploración de prueba activa 821). La trayectoria de exploración de control 823 atraviesa los componentes de habilitación de jerarquía 825 (es decir, la trayectoria de exploración de prueba 821 y la trayectoria de exploración de control 823 comparten cada una los componentes de habilitación de jerarquía 825). Las porciones de control de los componentes de habilitación de jerarquía 825 controlan las respectivas porciones de prueba de los componentes de habilitación de jerarquía 825 (internamente) de una manera que permite la modificación dinámica de la trayectoria de exploración de prueba 821 del sistema en chip 800.

Como se muestra en la figura 8, la trayectoria de exploración de control 823 se forma usando la siguiente secuencia de componentes: HCO0 → HCO1 → HC10 → HC20 → HC21 → HC11. La secuencia de componentes de la trayectoria de exploración de control 823 es simplemente un ejemplo de una secuencia de componentes de habilitación de jerarquía 825 que se puede usar (es decir, como el controlador de prueba 811 puede aplicar bits de control a la trayectoria de exploración de control 823 en cualquier orden, los componentes de habilitación de jerarquía 825 pueden conectarse en cualquier secuencia para formar la trayectoria de exploración de control 823). Por ejemplo, una secuencia alternativa de HTDI, HC20, HC21, HC11, HC10, HCO0, HCO1, HTDI se puede utilizar para la trayectoria de exploración de control 823. Del mismo modo, por ejemplo, una secuencia alternativa de HTDI, HC21, HC10, HCO0, HC11, HC20, HCO1, HTDI se puede utilizar para la trayectoria de exploración de control 823.

El controlador de prueba 811 interactúa con la trayectoria de exploración de prueba 821 y la trayectoria de exploración de control 823 utilizando la lógica de control 812 (de una manera similar a la representada y descrita respecto a la figura 5). Un sistema de prueba (omitido por motivos de claridad) puede realizar pruebas en el sistema en chip 800 usando vectores de prueba de entrada y vectores de control de entrada. Un vector de prueba de entrada es un flujo de bits de prueba que se aplica a la trayectoria de exploración de prueba 821 para realizar una o más pruebas (y, opcionalmente, para controlar la jerarquía de la trayectoria de exploración de prueba 821). Un vector de control de entrada es un flujo de bits de control que se aplica a la trayectoria de exploración de control 823 para controlar la jerarquía de la trayectoria de exploración de prueba (es decir, para controlar dinámicamente los componentes de prueba de la trayectoria de exploración de prueba 821 a través de los cuales el vector de prueba de entrada se propaga). La aplicación del vector de prueba de entrada a la trayectoria de exploración de prueba 821 resulta en un vector de prueba de salida que se reciben mediante el controlador de prueba 811 de la trayectoria de exploración de prueba 821 a través de la salida ITDO interna acoplada a la salida de la trayectoria de exploración de prueba 821. El controlador de prueba 811 propaga el vector de prueba de salida al sistema de prueba, que procesa el vector de salida de prueba para determinar los resultados de prueba.

Como se ha representado y descrito respecto a la figura 8, el intercambio de componentes físicos mediante la trayectoria de exploración de prueba 821 y la trayectoria de exploración de control 823 proporciona dos medios mediante los que la jerarquía de la trayectoria de exploración de prueba 821 puede modificarse (es decir, mediante el acceso a los componentes de habilitación de jerarquía 825 a través de la trayectoria de exploración de prueba 821 o accediendo a los componentes de habilitación de jerarquía 825 a través de la trayectoria de exploración de control 823). Esto permite que el sistema de prueba decida cuál de los dos medios de acceso a los componentes de habilitación de jerarquía 825 es más ventajoso en cualquier momento dado en el tiempo, y para controlar la jerarquía de la trayectoria de exploración de prueba 821 utilizando los medios de acceso más ventajosos.

Como se describe en este documento, en una realización en la que la trayectoria de exploración de prueba y la trayectoria de exploración de control se realizan mediante el intercambio de componentes físicos (tales como se representa y se describe en este documento respecto a la figura 8), los componentes de habilitación de jerarquía se pueden implementar usando cualquier componente de habilitación de jerarquía (por ejemplo, utilizando una versión modificada de la célula SIB definida en el estándar IEEE P1687 propuesto, utilizando otros componentes de habilitación de jerarquía (por ejemplo, dispositivos de cruce), y similares, así como diversas combinaciones de los mismos). Una realización ejemplar en la que los componentes de habilitación de jerarquía se implementan utilizando una versión modificada de la célula SIB definida en el estándar IEEE P1687 propuesto se representa y se describe respecto a la figura 9.

La figura 9 representa un diagrama de bloques de alto nivel de un componente de habilitación de jerarquía adaptado para soportar la trayectoria de exploración de prueba y la trayectoria de exploración de control del sistema en chip de la figura 8. Como se muestra en la figura 9, el componente de habilitación de jerarquía 910 está adaptado para formar parte de una trayectoria de exploración de prueba y forma parte de una trayectoria de exploración de control de tal manera que la porción de la trayectoria de exploración de prueba o la porción de la trayectoria de exploración de control puede controlar la porción de la trayectoria de exploración de prueba en un forma para modificar dinámicamente la trayectoria de exploración de prueba de un sistema en chip (por ejemplo, modificando dinámicamente la jerarquía del sistema en chip).

Como se ha representado y descrito respecto a la figura 8, el componente de habilitación de jerarquía 910 forma parte de una trayectoria de exploración de prueba (ilustrativamente, la trayectoria de exploración de prueba 821) y forma parte de una trayectoria de exploración de control (ilustrativamente, la trayectoria de exploración de control 823). Por ejemplo, el componente de habilitación de jerarquía 910 puede ser uno cualquiera de los componentes de habilitación de jerarquía 825 de la figura 8 (por ejemplo, el componente de habilitación de jerarquía HCO0, el componente de habilitación de jerarquía HCO1, y similares). El componente de habilitación de jerarquía 910 puede

ser implementado de cualquier forma para soportar las trayectorias de exploración de prueba y control separadas.

Como se muestra en la figura 9, en una realización, el componente de habilitación de jerarquía 910 puede ser implementado utilizando una versión modificada de una célula SIB como se define en el estándar IEEE P1687 propuesto (aunque debe tenerse en cuenta que en este ejemplo se proporciona la implementación por motivos de claridad y el componente de habilitación de jerarquía 910 se puede implementar usando cualquier componente(s) de habilitación de jerarquía). En esta realización, una célula SIB estándar se modifica para incluir: (1) interfaces adicionales de entrada/salida (es decir, interfaces de entrada/salida HTDI/HTDO) para la trayectoria de exploración de control y (2) lógica para soportar las trayectorias de exploración de prueba y de control separadas.

Como se muestra en la figura 9, el componente de habilitación de jerarquía 910 es una versión modificada de una célula SIB (por ejemplo, tal como la célula SIB 420 representada y descrita en la presente memoria respecto a la figura 4). En la célula SIB 910 modificada de la figura 9, la célula SIB 420 de la figura 4 se ha modificado para incluir dos señales de entrada adicionales (indicadas como HDTI y Seleccionar), una señal de salida adicional (indicada como HTDO), y un componente lógico de selección de señales adicional (ilustrativamente, un MUX de control de entrada 915). La célula SIB 910 incluye un MUX de entrada SIB 911, un registro SIB 912, un MUX de entrada UpSIB 913, un registro UpSIB 914 y un MUX de salida 916, que opera de una manera similar al MUX de entrada SIB 421, el registro SIB 422, el MUX de entrada UpSIB 423, el registro UpSIB 424, y el MUX de salida 426 de la célula SIB 420, respectivamente (excepto por alguna diferencia que se describe a continuación).

En la célula SIB 420 de la figura 4, la entrada TDI está acoplada a uno de los puertos de entrada del MUX de entrada SIB 421. En la célula SIB 910 modificada de la figura 9, la entrada TDI (asociada con la trayectoria de exploración de prueba) está acoplada a una de las entradas de un MUX de control de entrada 915 y una nueva entrada HTDI (asociada con la trayectoria de exploración de control) está acoplada a otra de las entradas del MUX de control de entrada 915. La selección entre la entrada TDI y la salida HTDI mediante el MUX de control de entrada 915 se controla mediante una nueva señal SELECCIONAR que se aplica a un puerto de control del MUX de control de entrada 915. En una realización, la señal SELECCIONAR aplicada a la célula SIB 910 modificada es la misma señal que se aplica a los puertos de control del DEMUX de control de entrada 513 y el MUX de control de salida 514 de la lógica de control 812 de la figura 8.

En la célula SIB 420 de la figura 4, la entrada TDI está acoplada a uno de los puertos de entrada del MUX de entrada SIB 421 que controla que la señal pase a través de la célula SIB. En la célula SIB 910 modificada de la figura 9, se aplica la salida del MUX de control de entrada 915 (en lugar de la entrada TDI) al puerto de entrada del MUX de entrada SIB 911. Por lo tanto, en lugar de aplicar la entrada TDI al registro SIB 912, la entrada TDI y la entrada HTDI pueden aplicarse alternativamente al registro SIB 912, según se desee/sea necesario, controlando el MUX de control de entrada 915 y el MUX de entrada SIB 911 que controla en última instancia, cuya señal se transmite al registro SIB 912.

En la célula SIB 420 de la figura 4, la salida del registro SIB 422 está acoplada a una entrada del MUX de entrada SIB 421, una entrada al MUX de entrada UpSIB 423, la entrada WSlo (a la segunda capa jerárquica), y una de las entradas al MUX de salida 426 que controla la selección entre la salida del registro SIB 422 y la salida WSOi (desde la segunda capa jerárquica). En la célula SIB 910 modificada de la figura 9, la salida del registro SIB 912 está acoplada a una entrada del MUX de entrada SIB 911, una entrada al MUX de entrada UpSIB 913, la entrada WSlo (a la segunda capa jerárquica), una de las entradas al MUX de salida 916 que controla la selección entre la salida del registro SIB 912 y la salida WSOi (desde la segunda capa jerárquica) y, adicionalmente, a la salida HTDO.

Como se muestra en la figura 9, la célula SIB 910 modificada está adaptada para soportar la trayectoria de exploración de prueba (utilizando las interfaces de entrada/salida TDI/TDO, y que incluye la capacidad de modificar dinámicamente la exploración de prueba añadiendo/quitando WSlo y WSOi a/de la trayectoria de exploración de prueba activa utilizando el registro UpSIB como un controlador) y la trayectoria de exploración de control (usando las interfaces de entrada/salida HTDI/HTDO). La entrada TDI y la salida TDO se acoplan al componente anterior y al componente posterior de la trayectoria de exploración de prueba, respectivamente. La entrada HTDI y HTDO se acoplan al componente anterior y al componente posterior en la trayectoria de exploración de control, respectivamente.

Por ejemplo, refiriéndose de nuevo a la figura 8, se asume que el componente de habilitación de jerarquía 910 es el componente de habilitación de jerarquía HC00. En este ejemplo, la entrada de prueba TDI está acoplada al componente de prueba de no habilitación de jerarquía 1 y la salida de prueba TDO está acoplada al componente de prueba de no habilitación de jerarquía 2. En este ejemplo, la entrada de control HTDI está acoplada al puerto HTDI del controlador de prueba 910 y la salida de control HTDO está acoplada a la entrada HTDI del componente de habilitación de jerarquía HC00 (es decir, los puertos de control de cada componente de habilitación de jerarquía están conectados directamente para controlar los puertos de componentes de habilitación de jerarquía adyacentes en la trayectoria de exploración de control, de tal manera que los bits de control pueden pasar directamente entre los componentes de habilitación de jerarquía y no necesitan pasar a través de los componentes de prueba de no habilitación de jerarquía que se pueden disponer entre componentes de habilitación de jerarquía).

La figura 10 representa un procedimiento de acuerdo con una realización. Específicamente, el procedimiento 1000

de la figura 10 incluye un procedimiento para probar un sistema en chip usando trayectorias de exploración de prueba y de control separadas, donde las trayectorias de exploración de prueba y control se implementan utilizando componentes físicos separados (por ejemplo, como se ha representado y descrito respecto a la figura 6 y a la figura 7). La prueba se realiza mediante un sistema de prueba y facilitado mediante un controlador de prueba. Aunque se muestra y se describe como realizado en serie, al menos una porción de las etapas del procedimiento 1000 de la figura 10 pueden realizarse simultáneamente, o en un orden diferente al representado y descrito respecto a la figura 10. El procedimiento 1000 comienza en la etapa 1002 y avanza hasta la etapa 1004.

En la etapa 1004, un flujo de bits de prueba de entrada se aplica a una trayectoria de exploración de prueba del sistema en chip. En la etapa 1006, un flujo de bits de control de entrada se aplica a una trayectoria de exploración de control del sistema en chip. El flujo de bits de prueba de entrada está adaptado para su uso en la realización de una o más pruebas en el sistema en chip. El flujo de bits de control de entrada está adaptado para modificar dinámicamente la jerarquía de la trayectoria de exploración de prueba (modificando así la trayectoria tomada por al menos una porción del flujo de bits de entrada de prueba). Los flujos de bits de entrada se aplican al sistema en chip mediante el controlador de prueba.

En la etapa 1008, el procedimiento 1000 finaliza. Aunque se muestra y se describe como el final, como se describe en el presente documento, un primer flujo de bits de salida (asociado con el flujo de bits de entrada) será capturado desde el sistema en chip y un segundo flujo de bits de salida (asociado con el flujo de bits de control) será capturado desde el sistema en chip. Los flujos de bits de salida son capturados desde el sistema en chip mediante el controlador de prueba. Los flujos de bits de salida pueden ser procesados por el controlador de prueba para determinar los resultados de las pruebas.

La figura 11 representa un procedimiento de acuerdo con una realización. Específicamente, el procedimiento ejemplar 1100 de la figura 11 incluye un procedimiento para probar un sistema en chip usando trayectorias de exploración de prueba y de control separadas, donde las trayectorias de exploración de prueba y control se implementan utilizando componentes físicos combinados (por ejemplo, como se ha representado y descrito respecto a la figura 8 y a la figura 9). La prueba se realiza mediante un sistema de prueba y facilitado por un controlador de prueba. Aunque se muestra y se describe como que se realiza en serie, al menos una porción de las etapas del procedimiento 1100 de la figura 11 pueden realizarse simultáneamente, o en un orden diferente al representado y descrito respecto a la figura 11. El procedimiento 1100 comienza en la etapa 1102 y avanza hasta la etapa 1104.

En la etapa 1104, un flujo de bits de entrada de prueba se aplica a una trayectoria de exploración de prueba del sistema en chip.

En la etapa 1106, se realiza una determinación para acceder al componente(s) de habilitación de jerarquía a través de la trayectoria de exploración de prueba o de la trayectoria de exploración de control. Esta determinación puede hacerse en base a uno o más factores (por ejemplo, basada en una o más pruebas que se realizan actualmente, el tiempo requerido para acceder al componente(s) de habilitación de jerarquía, y similares, así como diversas combinaciones de los mismos).

Si se hace una determinación de que el(los) componente(s) de habilitación de jerarquía se debe(n) acceder a través de la trayectoria de exploración de prueba, el procedimiento 1100 pasa a la etapa 1108_T, momento en el que se aplica un flujo de bits de control de entrada a la trayectoria de exploración de prueba. Si se hace una determinación de que el(los) componente(s) de habilitación de jerarquía se debe(n) acceder a través de la trayectoria de exploración de control, el procedimiento 1100 pasa a la etapa 1108_C, momento en el que se aplica un flujo de bits de control de entrada a la trayectoria de exploración de control.

El flujo de bits de prueba de entrada está adaptado para su uso en la realización de una o más pruebas en el sistema en chip. El flujo de bits de control de entrada está adaptado para acceder a uno o más componentes de habilitación de jerarquía para modificar dinámicamente la jerarquía de la trayectoria de exploración de prueba (modificando así la trayectoria tomada por lo menos una porción del flujo de bits de entrada de prueba). Los flujos de bits de entrada se aplican al sistema en chip mediante el controlador de prueba a través del controlador de prueba del sistema en chip.

En la etapa 1110, el procedimiento 1100 termina. Aunque se muestra y se describe como final, como se describe en el presente documento, un primer flujo de bits de salida (asociado con el flujo de bits de entrada) será capturado desde el sistema en chip y un segundo flujo de bits de salida (asociado con el flujo de bits de control) será capturado desde el sistema en chip. Los flujos de bits de salida son capturados desde el sistema en chip mediante el controlador de prueba. Los flujos de bits de salida pueden ser procesados mediante el controlador de prueba para determinar los resultados de las pruebas.

Aunque se ha representado y descrito principalmente en este documento respecto al uso de un componente específico de habilitación de jerarquía para implementar trayectorias de exploración de prueba y de control separadas en un sistema en chip (a saber, la célula SIB como se define mediante el estándar IEEE P1687 propuesto), cualquier componente de habilitación de jerarquía puede utilizarse para implementar trayectorias de exploración de prueba y de control separadas en un sistema en chip.

En una realización, por ejemplo, un componente de habilitación de jerarquía que se utiliza para soportar trayectorias de exploración de prueba y de control separadas puede ser cualquier componente que soporta una arquitectura de conmutación que puede ser utilizada para soportar al menos dos niveles jerárquicos. Por ejemplo, un componente de habilitación de jerarquía que soporta una arquitectura de conmutación puede ser un componente que tiene al menos dos entradas y al menos dos salidas adaptadas para conectarse para formar diferentes trayectorias de control.

En otra realización, por ejemplo, un componente de habilitación de jerarquía que se utiliza para soportar trayectorias de exploración de prueba y de control separadas puede ser un componente de soporte de una arquitectura de bus que puede ser utilizada para soportar al menos dos niveles jerárquicos. Por ejemplo, un componente de habilitación de jerarquía de soporte de una arquitectura de bus puede incluir un componente de puerta de enlace conectado a al menos un componente esclavo (por ejemplo, proporcionando jerarquía transaccional por medio de transacciones entre el componente de puerta de enlace y el al menos un componente esclavo).

El(los) componente(s) de habilitación de jerarquía utilizado(s) para implementar trayectorias de exploración de prueba y de control separadas se puede(n) implementar de varias otras maneras.

Aunque se muestra en primer lugar y se describe en este documento respecto a entornos de prueba en los que un sistema en chip que soporta trayectorias de exploración de prueba y de control separadas se prueba mediante un sistema de prueba y el control de las trayectorias de exploración separadas se proporciona desde un nivel superior de la jerarquía, en otras realizaciones múltiples componentes de sistema en chip (cada uno soportando trayectorias de exploración de prueba y de control separadas) pueden ser probados mediante un sistema de prueba. En tales realizaciones, el control de las trayectorias de exploración separadas del respectivo sistema en chip puede proporcionarse desde el nivel de jerarquía superior y/o desde otros niveles de la jerarquía (por ejemplo, donde uno o más sistemas en chip están integrados dentro de la cadena de exploración). Algunas realizaciones ejemplares se representan y describen respecto a las figuras 12 a 15.

La figura 12 representa un diagrama de bloques de alto nivel de un entorno de prueba en el que un sistema de prueba se usa para probar dos sistemas en chip. Específicamente, en el entorno de prueba 1200, un sistema de prueba 1220 se utiliza para probar dos sistemas en chip 1210₁ y 1210₂ (colectivamente, sistemas en chip 1210). Como se muestra en la figura 12, los sistemas en chip 1210₁ y 1210₂ incluyen controladores de prueba 1211₁ y 1211₂, respectivamente, y cada sistema en chip 1210 soporta una trayectoria de exploración de prueba y una trayectoria de exploración de control separadas. Por ejemplo, cada uno del sistema en chip 1210 opera de una manera similar al sistema en chip 500 de la figura 5. En el sistema de prueba 1200, cada controlador de prueba 1211₁ y 1211₂ está adaptado para controlar las señales TDI/TDO del sistema de prueba 1220 para soportar las trayectorias de exploración de prueba y de control separadas (ITDI/ITDO y HTDI/HTDO) para los respectivos sistemas en chip 1210₁ y 1210₂.

La figura 13 representa un diagrama de bloques de alto nivel de un entorno de prueba en el que un sistema de prueba se utiliza para probar un sistema en chip que tiene integrado en el mismo un sistema en chip. Específicamente, en el entorno de prueba 1300, un sistema de prueba 1320 se utiliza para probar un sistema en chip 1310 que tiene integrado en el mismo un sistema en chip 1330 integrado. El sistema en chip 1310 incluye un controlador de prueba 1311. El sistema en chip 1310 soporta trayectorias de exploración de prueba y de control separadas. Como se muestra en la figura 13, el sistema en chip 1330 integrado incluye una puerta de enlace 1331 y se accede a través de la trayectoria de exploración de prueba (a través de ITDI/ITDO) desde el controlador de prueba 1311 del sistema en chip 1310. El ITDI del sistema en chip 1310 es la entrada TDI del sistema en chip 1330 integrado y el ITDO del sistema en chip 1310 es la salida TDO del sistema en chip 1310 integrado. Las señales de las trayectorias de exploración ITDI/ITDO desde/al controlador de prueba 1311 del sistema en chip 1310 son las señales de entrada/salida a/desde la puerta de enlace 1331 del sistema en chip 1330 integrado. El sistema en chip 1330 integrado soporta las trayectorias de exploración de prueba y de control separadas. Así, el sistema en chip 1310 y el sistema en chip 1330 integrado, funcionan cada uno de una manera similar al sistema en chip 500 de la figura 5.

La figura 14 representa un diagrama de bloques de alto nivel de un entorno de prueba en el que un sistema de prueba se utiliza para probar un sistema en chip que tiene integrado en el mismo un sistema en chip que también incluye un sistema en chip integrado. Como se muestra en la figura 14, el entorno de prueba 1400 de la figura 14 es similar al entorno de prueba 1300 de la figura 13, en la que el sistema en chip 1330 integrado incluye, además, un sistema en chip 1430 integrado. El sistema en chip 1430 integrado incluye una puerta de enlace 1431. La trayectoria de exploración de prueba del sistema en chip 1330 incorporado se utiliza como la entrada TDI a la puerta de enlace 1431 y como la salida TDO de la puerta de enlace 1431. En otras palabras, el ITDI del sistema en chip 1330 incorporado es la entrada TDI del sistema en chip 1430 incorporado y la salida ITDO del sistema en chip 1330 incorporado es la salida TDO del sistema en chip 1430 incorporado. El sistema en chip 1430 incorporado también soporta las trayectorias de exploración de prueba y de control separadas. Así, el sistema en chip 1310 y los sistemas en chip 1330 y 1430 operan cada uno de una manera similar al sistema en chip 500 de la figura 5.

La figura 15 representa un diagrama de bloques de alto nivel del sistema en chip de la figura 5, en el que un sistema en chip está integrado en uno de los niveles jerárquicos. En concreto, el sistema en chip 1500 de la figura 15 es el

sistema en chip 500 de la figura 5, en el que se sustituye la cadena de células de exploración de límites previamente accesible a través del componente de habilitación de jerarquía HC20 con un sistema en chip 1510 integrado que proporciona acceso al sistema en chip 1510 integrado. El sistema en chip 1510 integrado incluye una puerta de enlace 1511. Como se muestra en la figura 15, el acceso al sistema en chip 1510 integrado no se proporciona desde el controlador de prueba 511 (es decir, el nivel superior de la jerarquía); más bien, el acceso al sistema en chip 1510 integrado se proporciona desde un nivel más bajo de la jerarquía (ilustrativamente, a través de HC20 y la puerta de enlace 1511). La trayectoria de exploración de prueba (ITDI/ITDO) del sistema en chip 1500 proporciona la entrada/salida del sistema en chip 1510 incorporado. En otras palabras, el ITDI de la trayectoria de exploración de prueba del sistema en chip 1500 es la entrada TDI a la puerta de enlace 1511 (por ejemplo, a través de WSi de HC20) y la salida ITDO de la trayectoria de exploración de prueba del sistema en chip 1500 es la salida TDO de la puerta de enlace 1511 (por ejemplo, a través de WSOi de HC20).

Como se muestra en la figura 13, la figura 14, y la figura 15, las puertas de enlace de los sistemas en chip integrados (ilustrativamente, las puertas de enlace 1331, 1431, y 1511 de los sistemas en chip 1330, 1430 y 1510 integrados) pueden implementarse de una pluralidad de maneras. En una realización, una puerta de enlace puede implementarse como lógica de control que está adaptada para dividir un flujo de bits de entrada a través de las entradas de las trayectorias de exploración de prueba y de control como se desee/se necesario y seleccionando de un flujo de bits de salida de las salidas de las trayectorias de exploración de prueba y de control como se desee/sea necesario. En una de tales realizaciones, por ejemplo, una puerta de enlace puede implementarse de una manera similar a la lógica de control 512 de la figura 5. En una realización, una puerta de enlace puede implementarse como un controlador de prueba (por ejemplo, tal como el controlador de prueba 511 representado y descrito respecto a la figura 5). En una realización, una puerta de enlace puede implementarse como un componente de habilitación de jerarquía (por ejemplo, como un SIB, como un dispositivo de cruce, y similares). Una puerta de enlace puede implementarse de varias otras maneras.

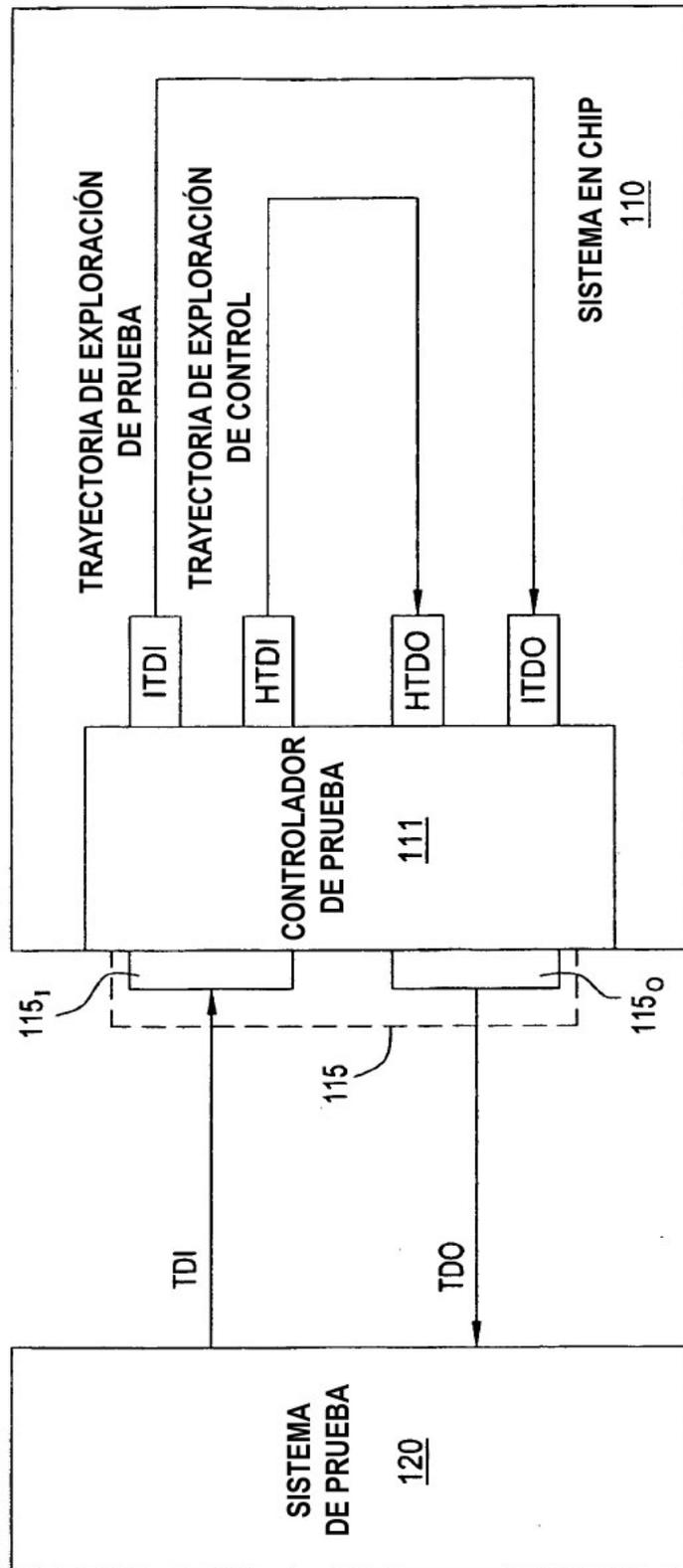
Como se muestra en las realizaciones ejemplares de las figuras 12 a 15, la modularidad puede estar soportada utilizando cualquier número de niveles de jerarquía. Esto permite que cualquier número de dispositivos de sistema-en chip sean implementados en cualquier número de niveles de una jerarquía y, además, para ser controlados desde cualquier nivel de la jerarquía. Esto permite una trayectoria de exploración de prueba (por ejemplo, separación de una trayectoria de exploración en un nivel de una jerarquía) para dividirse también para formar las trayectorias de exploración de prueba y de control separadas en otro nivel de la jerarquía. Por lo tanto, cualquier nivel de modularidad, que soporte cualquier número de niveles jerárquicos y cualquier número de niveles de las trayectorias de exploración de prueba y de control, se pueden soportar.

La figura 16 representa un diagrama de bloques de alto nivel de un ordenador de propósito general adecuado para su uso en la realización de las funciones descritas en el presente documento. Como se muestra en la figura 16, el sistema 1600 comprende un elemento de procesador 1602 (por ejemplo, una CPU), una memoria 1604, por ejemplo, una memoria de acceso aleatorio (RAM) y/o una memoria de sólo lectura (ROM), un módulo de prueba 1605, y varios dispositivos de entrada/salida 1606 (por ejemplo, dispositivos de almacenamiento, incluyendo pero no limitado a, una unidad de cinta, una unidad de disquete, una unidad de disco duro o una unidad de disco compacto, un receptor, un transmisor, un altavoz, una pantalla, un puerto de salida, y un dispositivo de entrada de usuario (tal como un teclado, una almohadilla táctil, un ratón, y similares)).

Debe indicarse que la presente invención puede implementarse en software y/o en una combinación de software y hardware, por ejemplo, usando circuitos integrados de aplicación específica (ASIC), un ordenador de propósito general o cualquier otro equivalentes de hardware. En una realización, el presente procedimiento de prueba 1605 se puede cargar en la memoria 1604 y ejecutarse mediante el procesador 1602 para implementar las funciones como se describieron anteriormente. Como tal, el procedimiento de prueba 1605 (incluyendo estructuras de datos asociadas) de la presente invención puede almacenarse en un medio o portador legible por ordenador, por ejemplo, una memoria RAM, una unidad o disquete magnético u óptico, y similares.

REIVINDICACIONES

1. Un aparato de sistema en chip (110, 500, 600, 800), que comprende:
 - 5 una trayectoria de exploración de prueba (521, 621, 821) que comprende una pluralidad de componentes de prueba (522) que incluyen al menos un componente de prueba de habilitación de jerarquía (523, 623, 825); y
 - una trayectoria de exploración de control (526, 626, 823) que comprende al menos un componente de control (627, 825), estando acoplado el al menos un componente de control a dicho al menos un componente de prueba de habilitación de jerarquía de la trayectoria de exploración de prueba;
 - 10 en el que el al menos un componente de control está adaptado para controlar el al menos un componente de prueba de habilitación de jerarquía de una manera para modificar dinámicamente la trayectoria de exploración de prueba,
 - caracterizado porque** la trayectoria de exploración de control es independiente de la trayectoria de exploración de prueba.
2. El aparato de la reivindicación 1, en el que la trayectoria de exploración de prueba incluye una jerarquía que tiene un primer nivel jerárquico y un segundo nivel jerárquico, en el que la modificación dinámica de la trayectoria de exploración de prueba comprende modificar dinámicamente la jerarquía de la trayectoria de exploración de prueba.
3. El aparato de la reivindicación 2, en el que la modificación dinámica de la jerarquía de la trayectoria de exploración de prueba comprende uno de seleccionar el segundo nivel jerárquico para activar el segundo nivel jerárquico y cancelar la selección del segundo nivel jerárquico para desactivar el segundo nivel jerárquico.
- 20 4. El aparato de la reivindicación 1, en el que la trayectoria de exploración de prueba está adaptada para la propagación de un flujo de bits de prueba, en el que la trayectoria de exploración de control está adaptada para la propagación de un flujo de bits de control.
5. El aparato de la reivindicación 1, en el que el componente de control está adaptado para proporcionar una señal de control para controlar un elemento lógico del componente de prueba de habilitación de jerarquía.
- 25 6. El aparato de la reivindicación 1, en el que la trayectoria de exploración de control comprende el al menos un componente de habilitación de jerarquía,
- en el que el al menos un componente de habilitación de jerarquía está adaptado para modificar dinámicamente la trayectoria de exploración de prueba utilizando la trayectoria de exploración de control.
7. El aparato de la reivindicación 6, en el que la trayectoria de exploración de prueba incluye una jerarquía que tiene un primer nivel jerárquico y un segundo nivel jerárquico, en el que la modificación dinámica de la trayectoria de exploración de prueba comprende modificar dinámicamente la jerarquía de la trayectoria de exploración de prueba.
- 30 8. El aparato de la reivindicación 6, en el que la trayectoria de exploración de prueba está adaptada para la propagación de un flujo de bits de prueba y la trayectoria de exploración de control está adaptada para la propagación de un flujo de bits de control.
- 35 9. El aparato de la reivindicación 6, en el que cada uno del al menos un componente de habilitación de jerarquía comprende un elemento de selección adaptado para seleccionar entre un flujo de bits de prueba y un flujo de bits de control.
10. Un procedimiento de prueba de un sistema en chip (110, 500, 600, 800), que comprende:
 - 40 aplicar un flujo de bits de prueba a una trayectoria de exploración de prueba (521, 621, 821) de dicho sistema en chip, comprendiendo dicha trayectoria de exploración de prueba una pluralidad de componentes de prueba (522) que incluyen al menos un componente de prueba de habilitación de jerarquía (523, 623, 825); y
 - aplicar de un flujo de bits de control a una trayectoria de exploración de control (526, 626, 823) de dicho sistema en chip, comprendiendo dicha trayectoria de exploración de control al menos un componente de control (627, 825), estando el al menos un componente de control acoplado a dicho al menos un componente de prueba de habilitación de jerarquía de la trayectoria de exploración de prueba,
 - 45 en el que el flujo de bits de control está adaptado para modificar dinámicamente la jerarquía de la trayectoria de exploración de prueba,
 - caracterizado porque** la trayectoria de exploración de control es independiente de la trayectoria de exploración de prueba.
 - 50
11. Un programa informático que tiene un código de programa para realizar el procedimiento de la reivindicación 10, cuando el programa informático se ejecuta en un ordenador o procesador.
- 55 12. Un medio de almacenamiento legible por ordenador que comprende instrucciones, cuando se ejecutan, para hacer que una máquina realice el procedimiento de la reivindicación 10.



100

FIG. 1

110

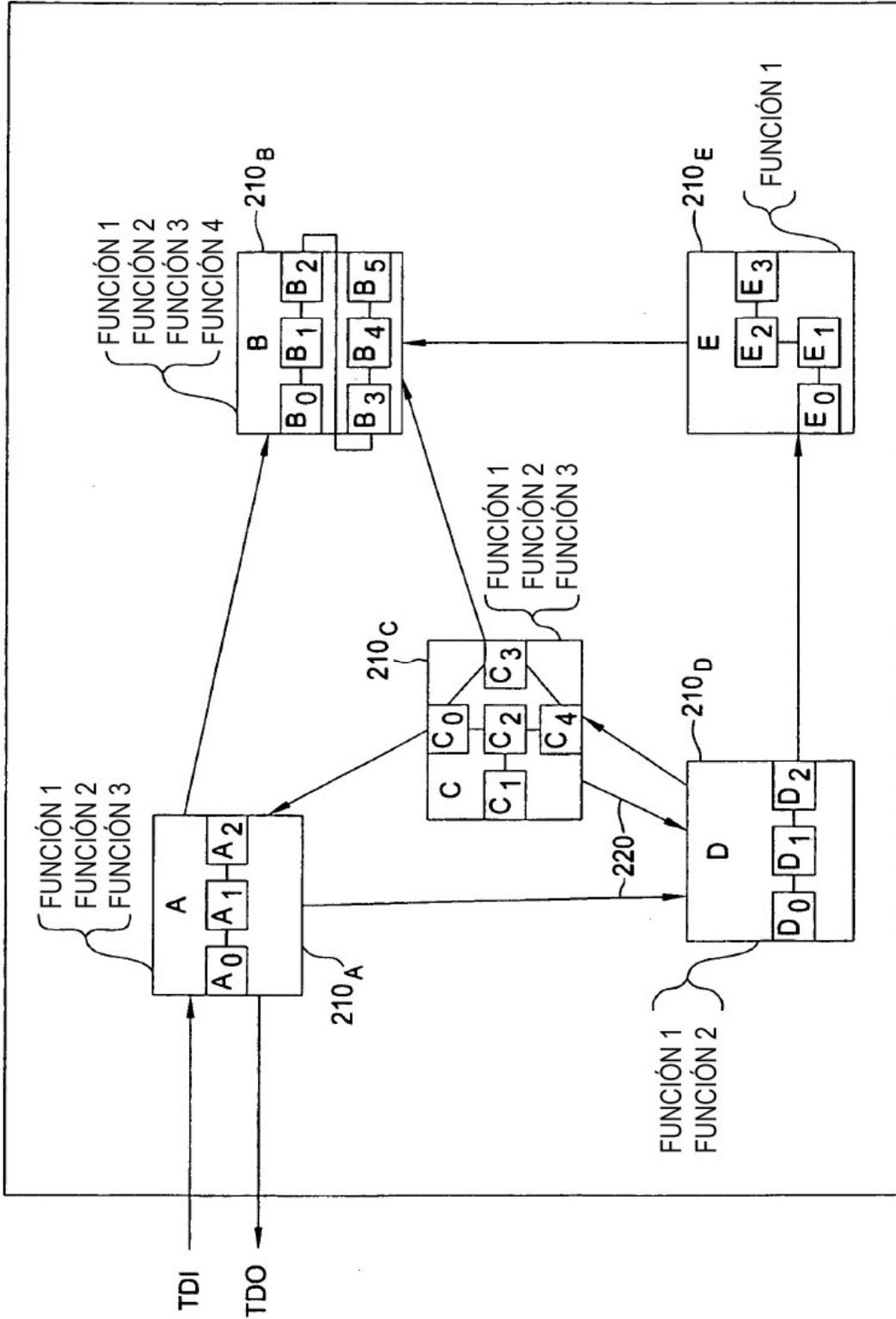


FIG. 2

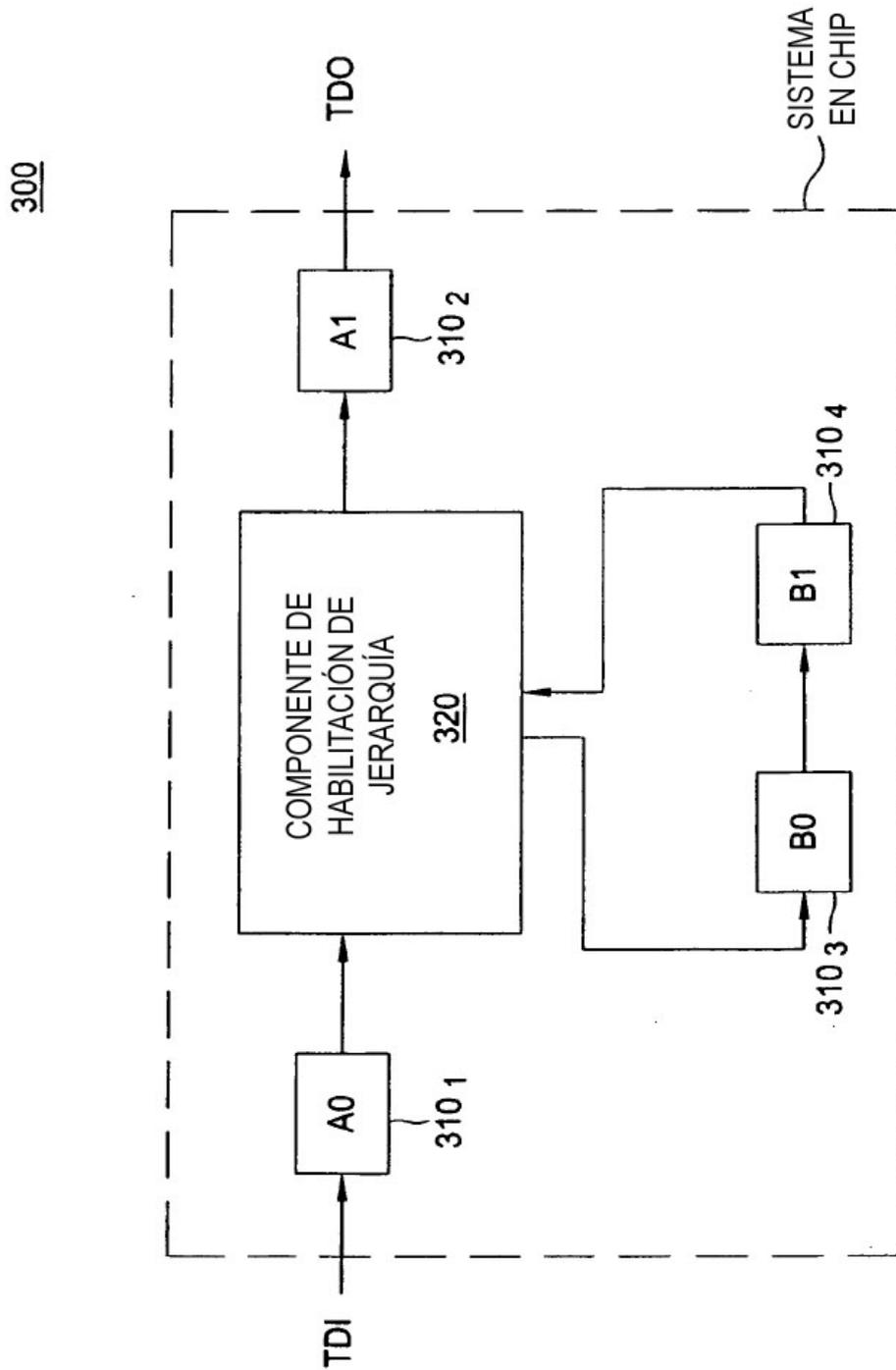
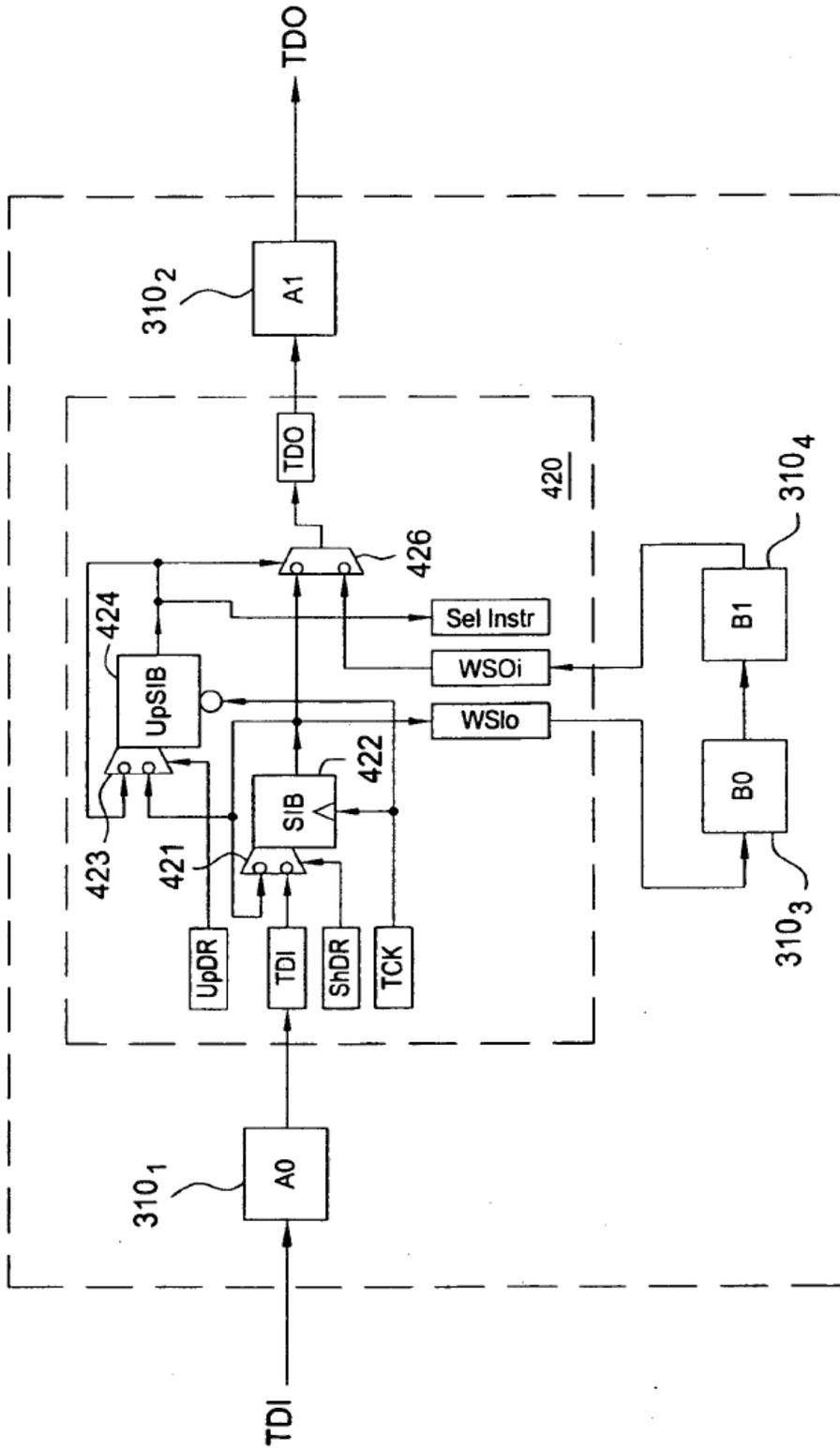
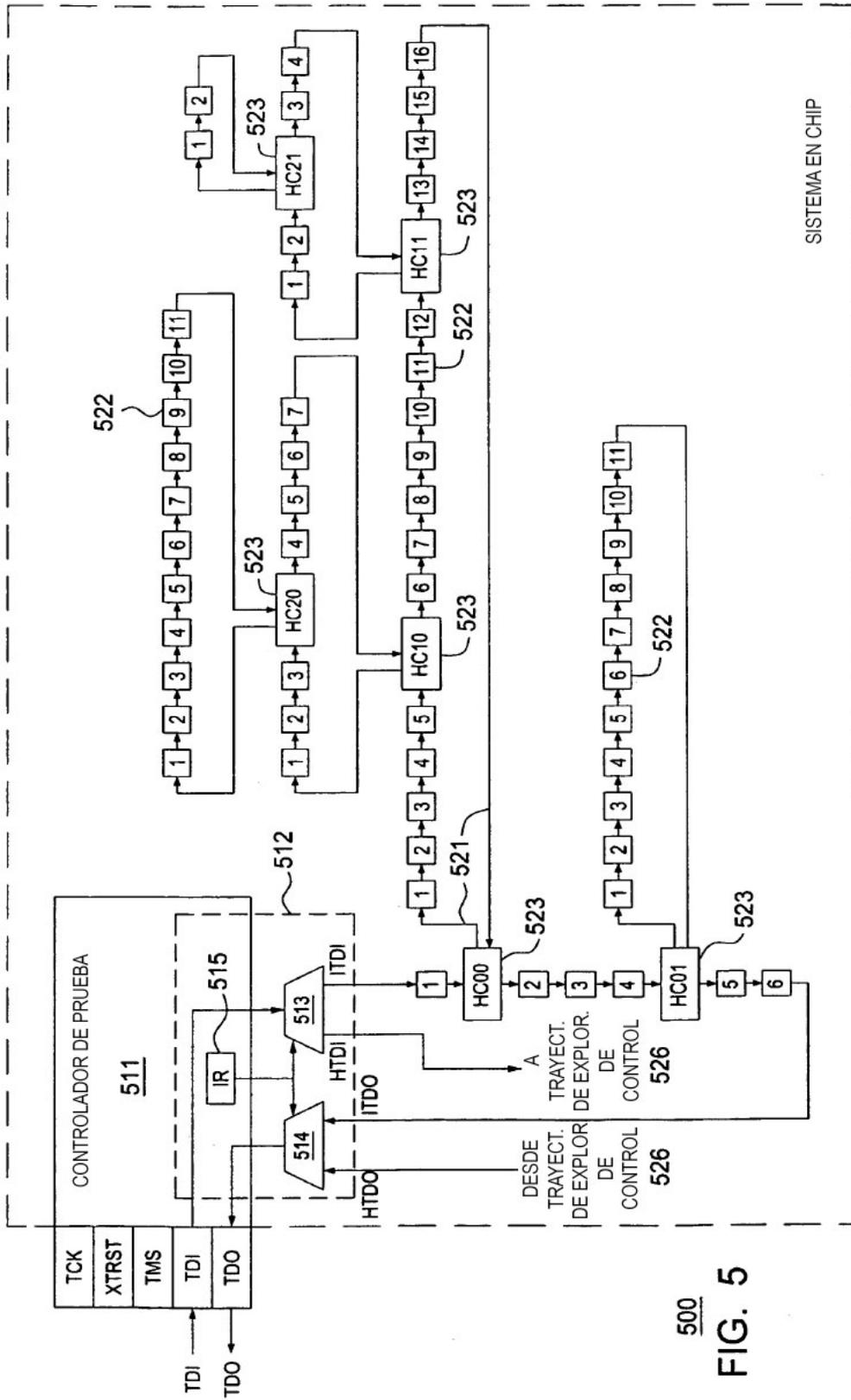


FIG. 3

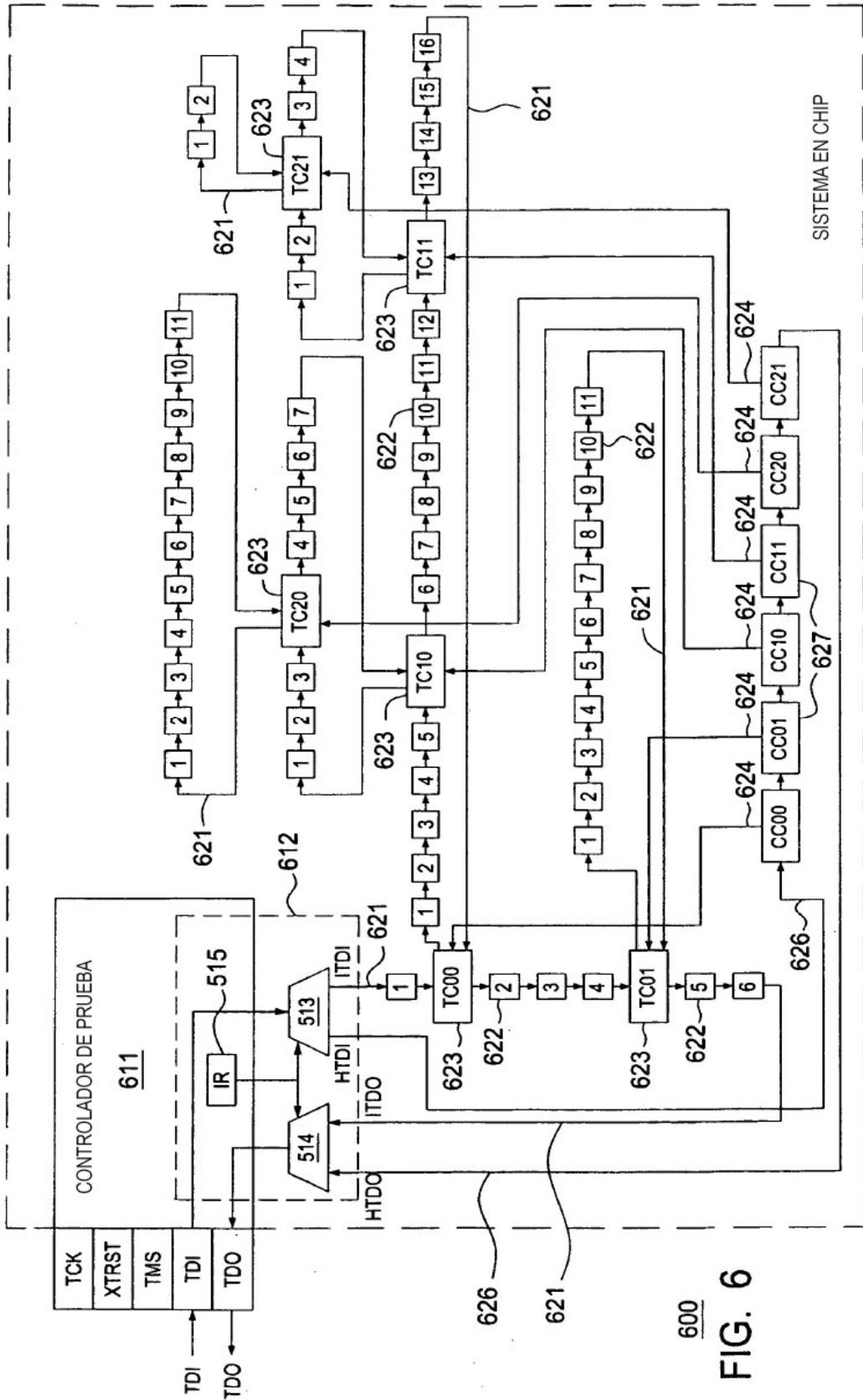


400

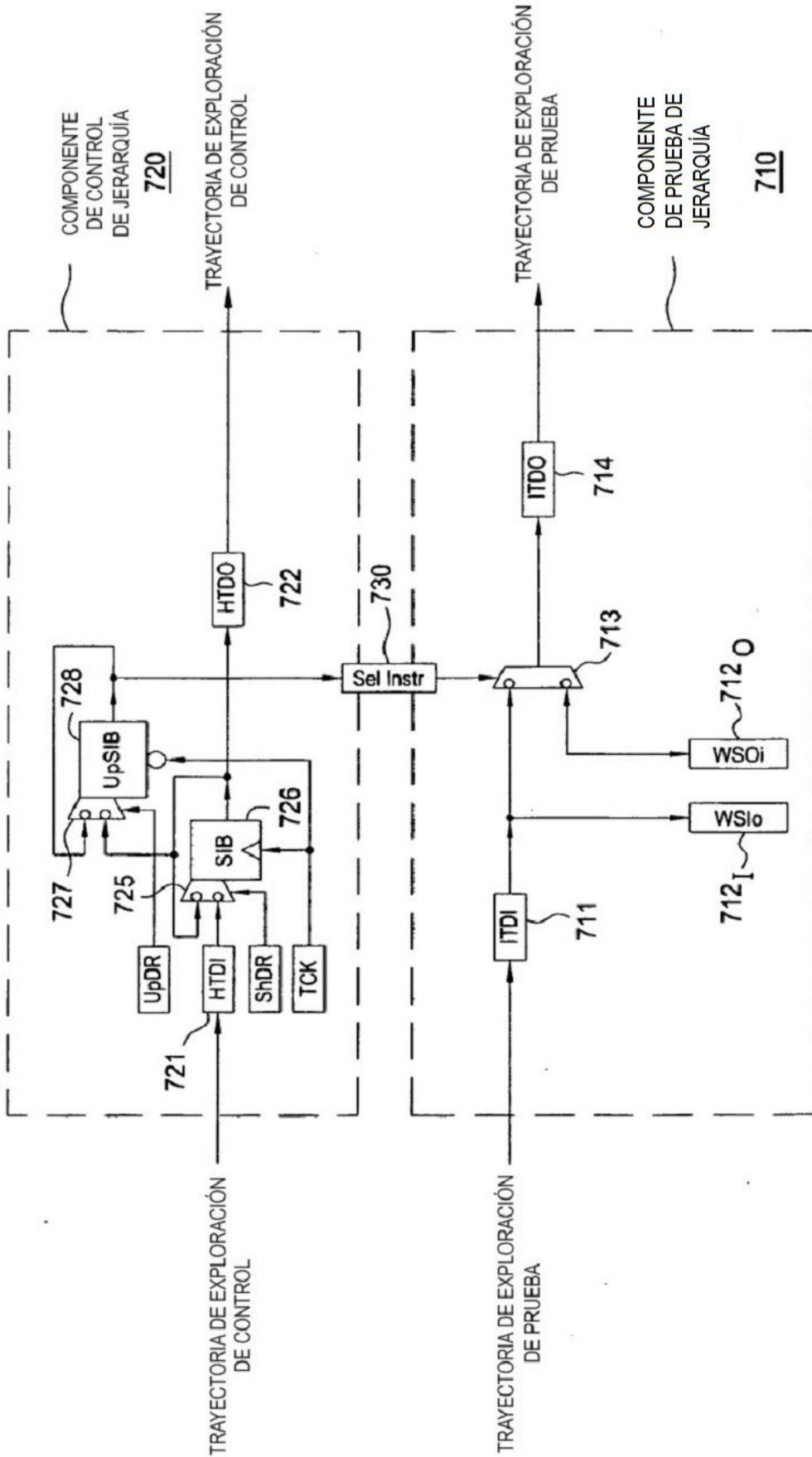
FIG. 4



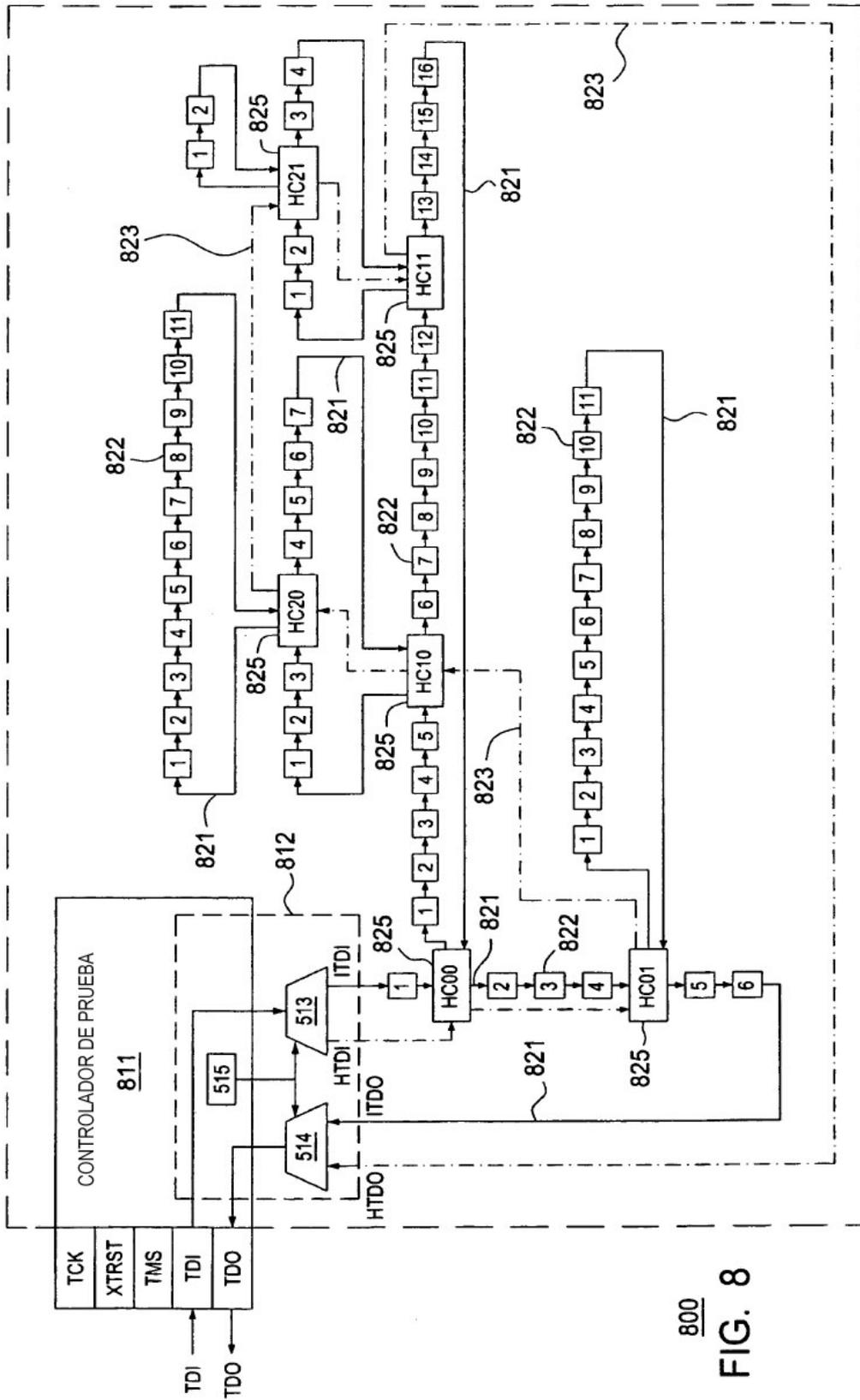
500
FIG. 5



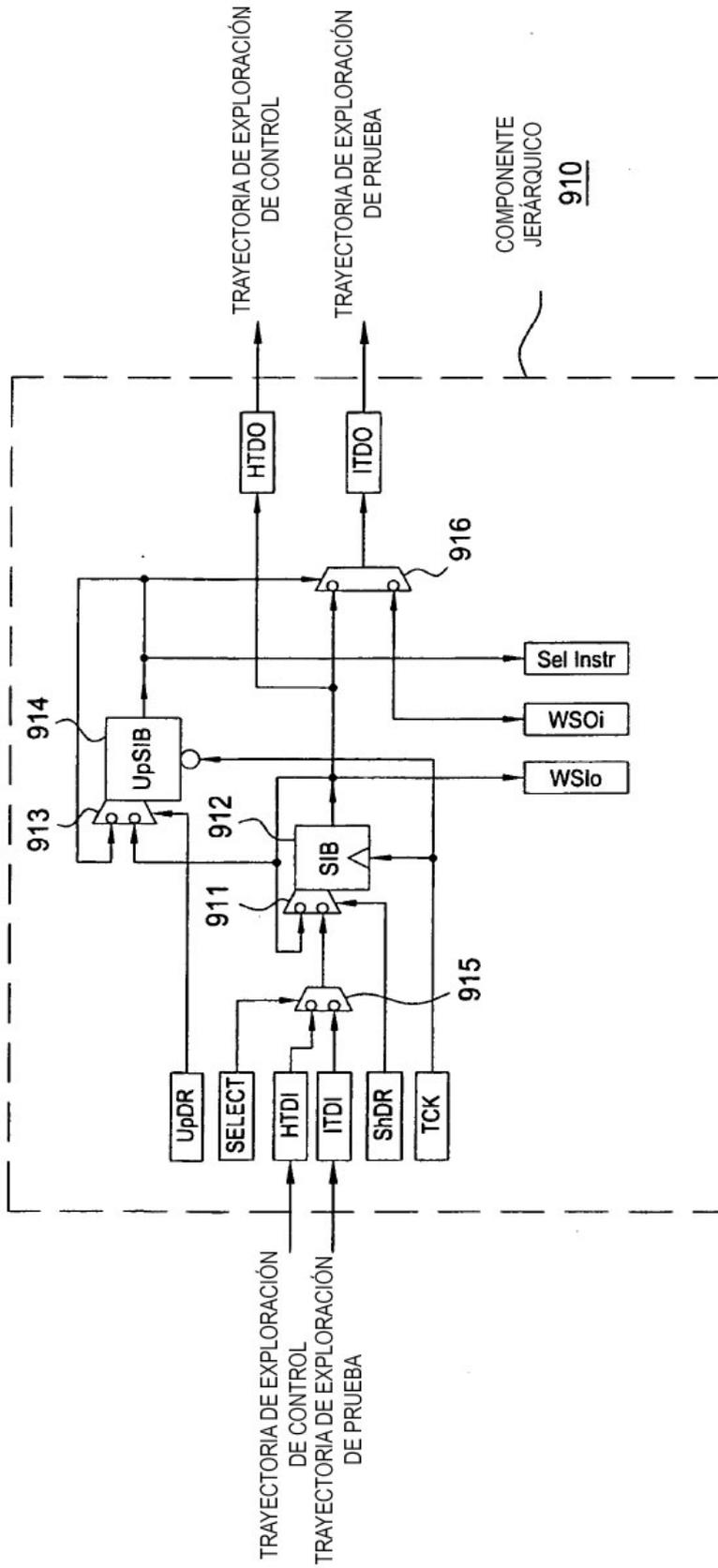
600
FIG. 6



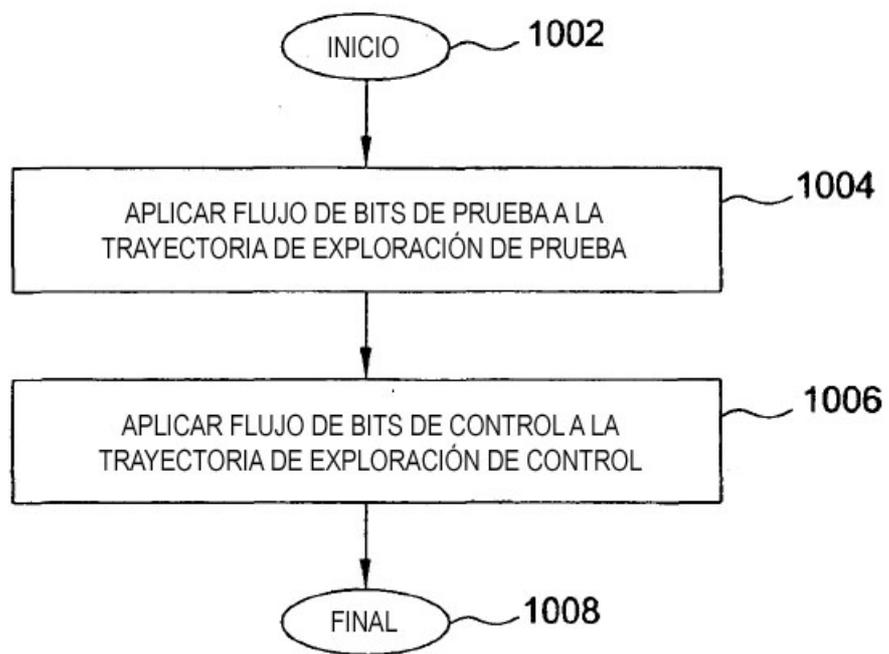
700
FIG. 7



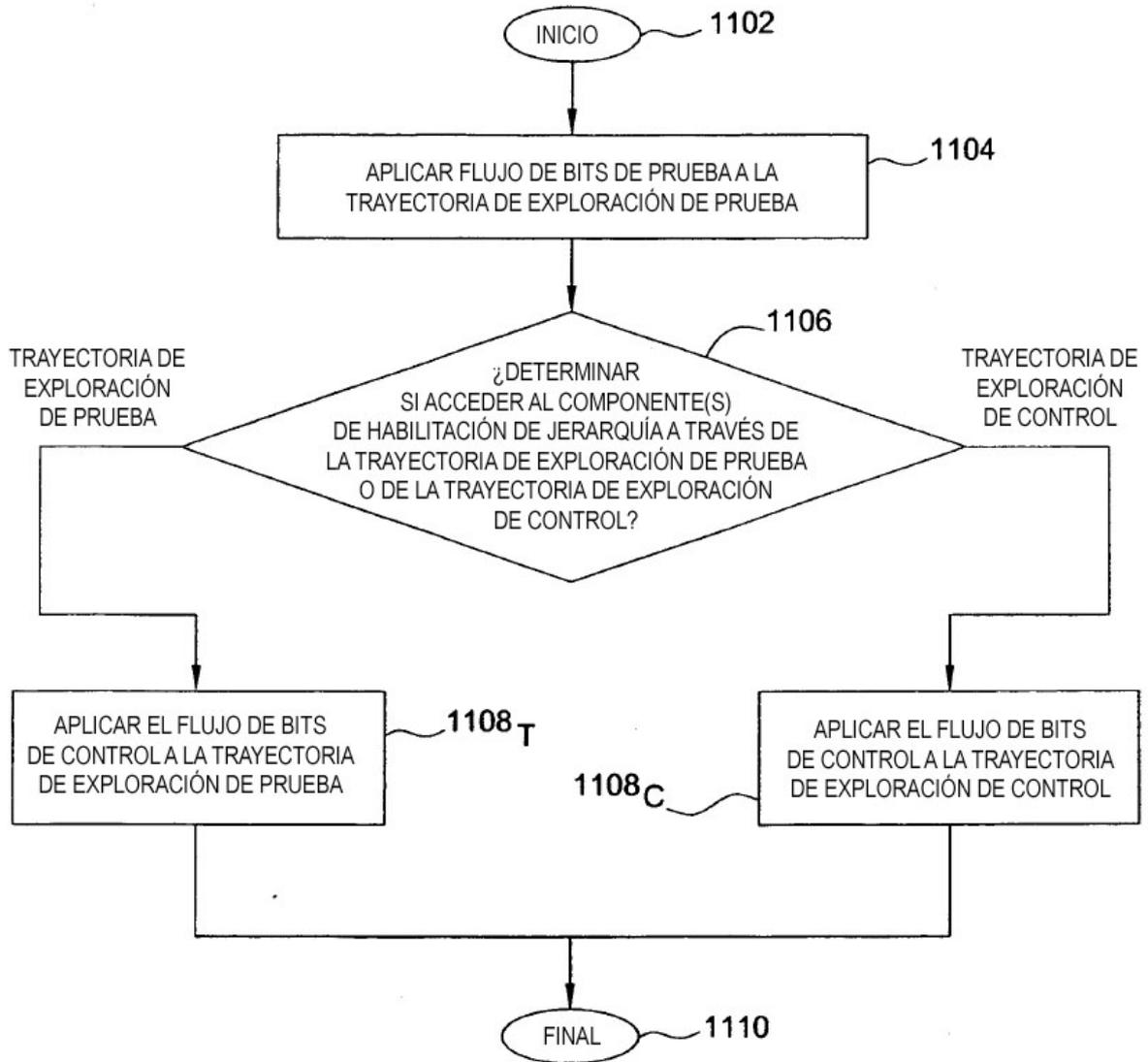
800
FIG. 8



900
FIG. 9



1000
FIG. 10



1100
FIG. 11

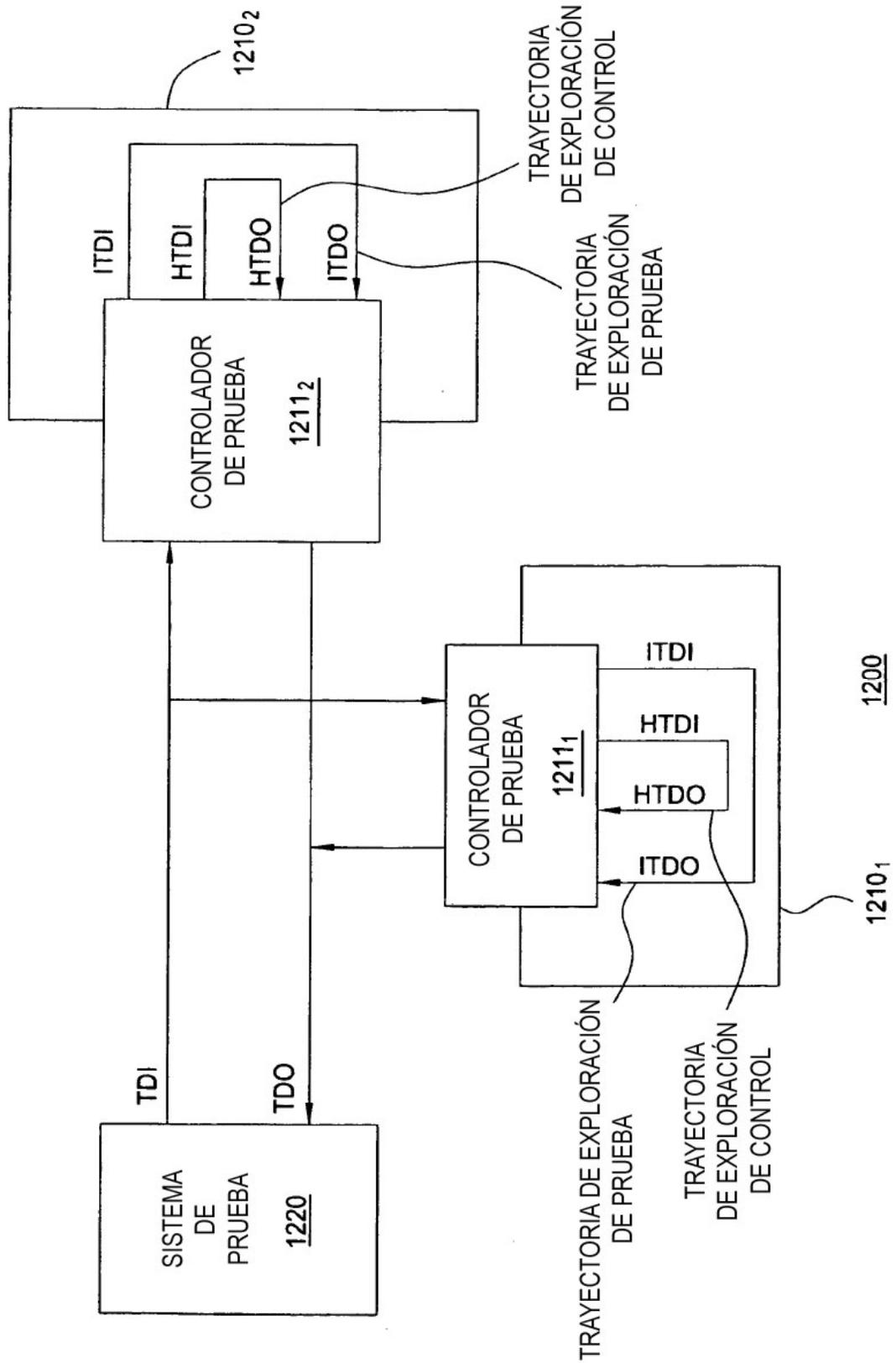
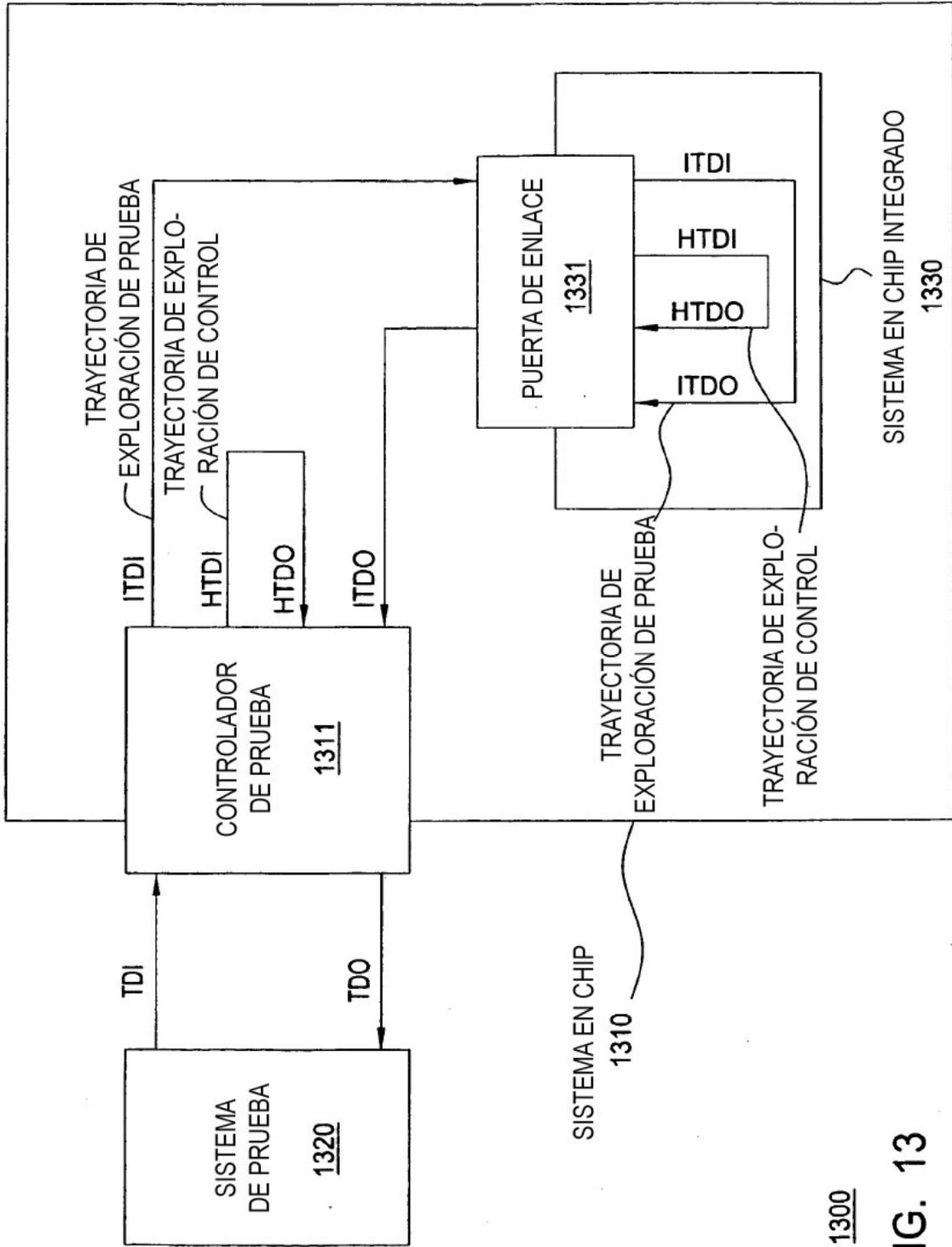
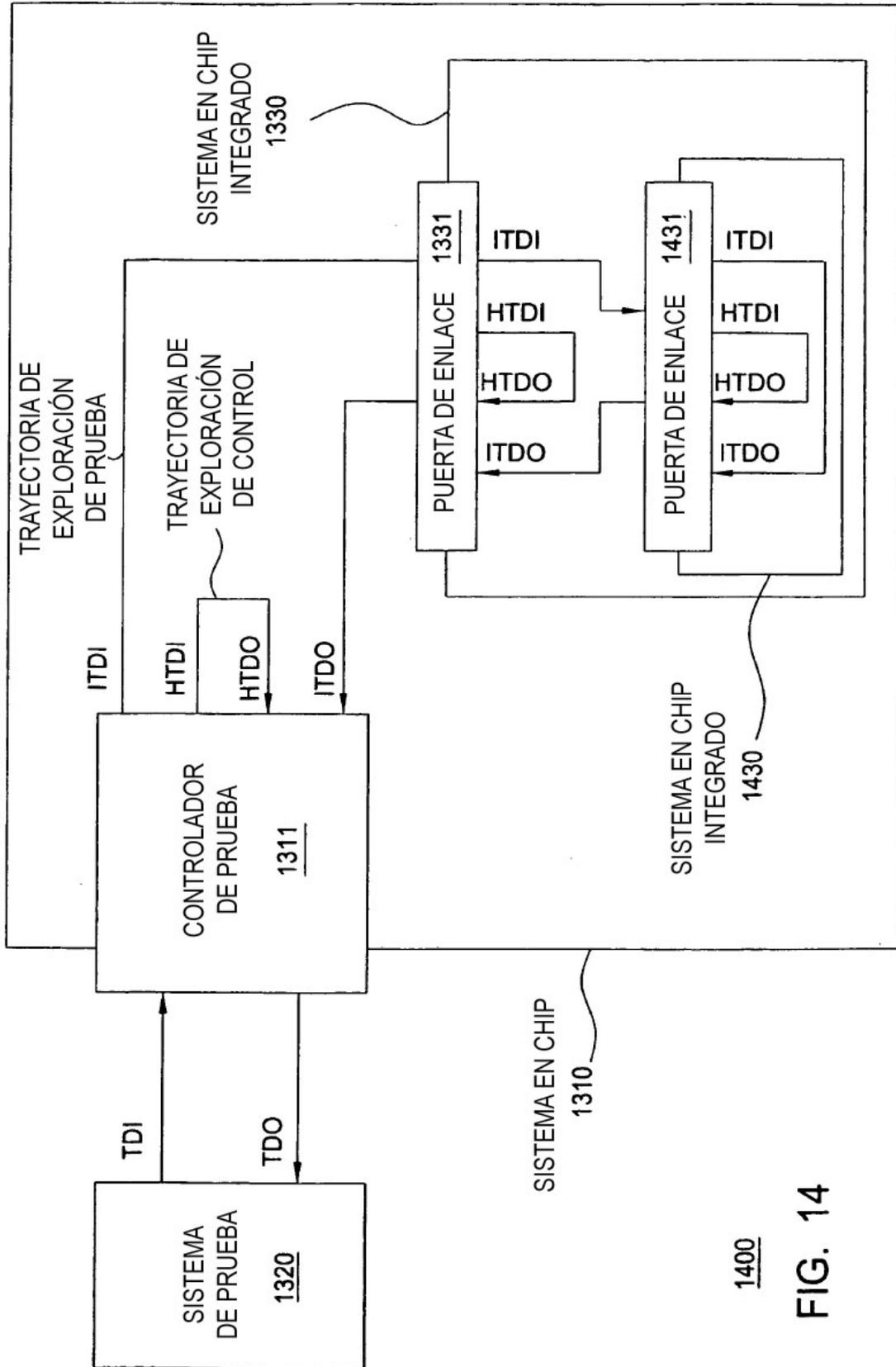


FIG. 12

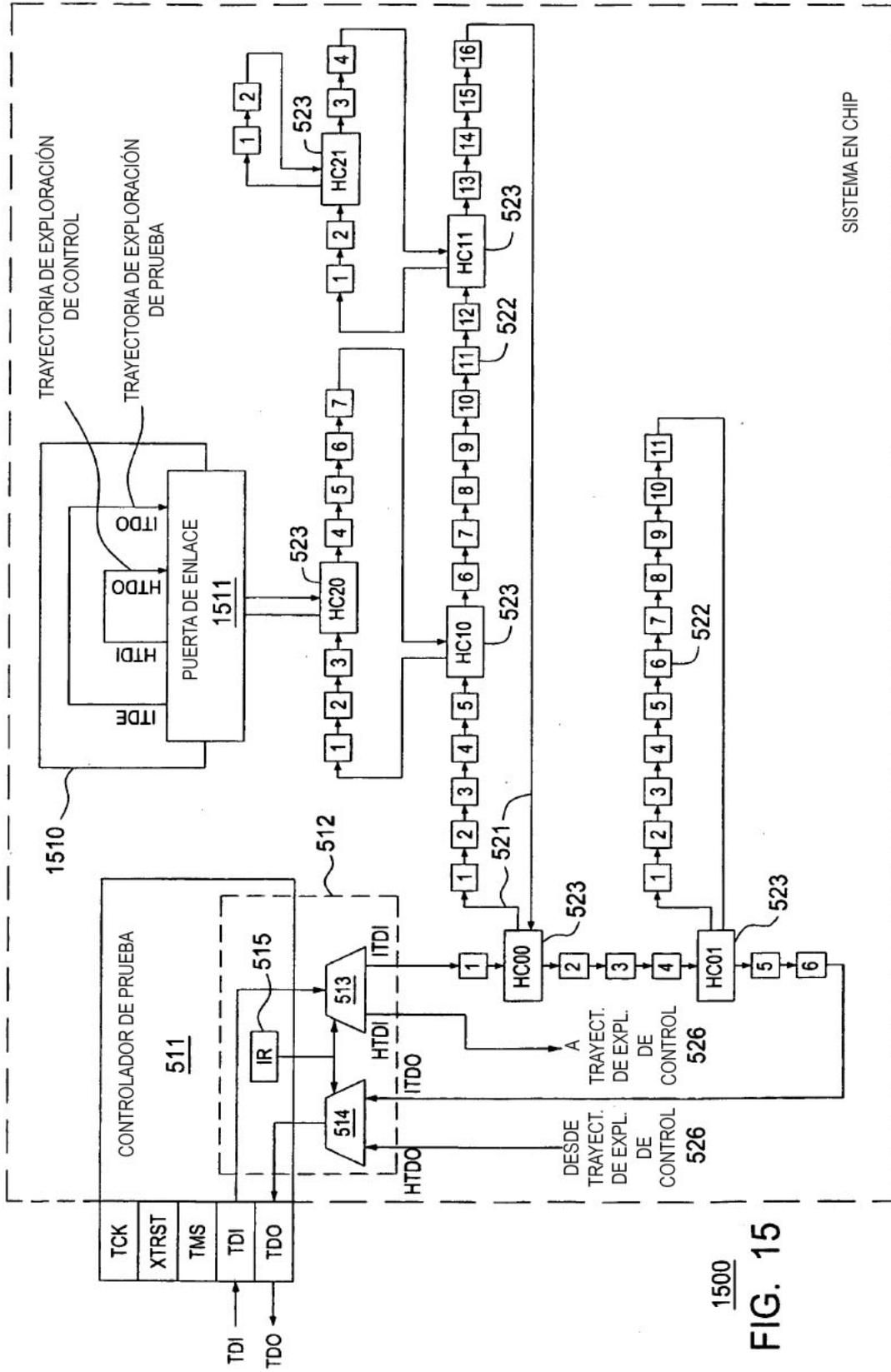


1300

FIG. 13



1400
FIG. 14



1500
FIG. 15

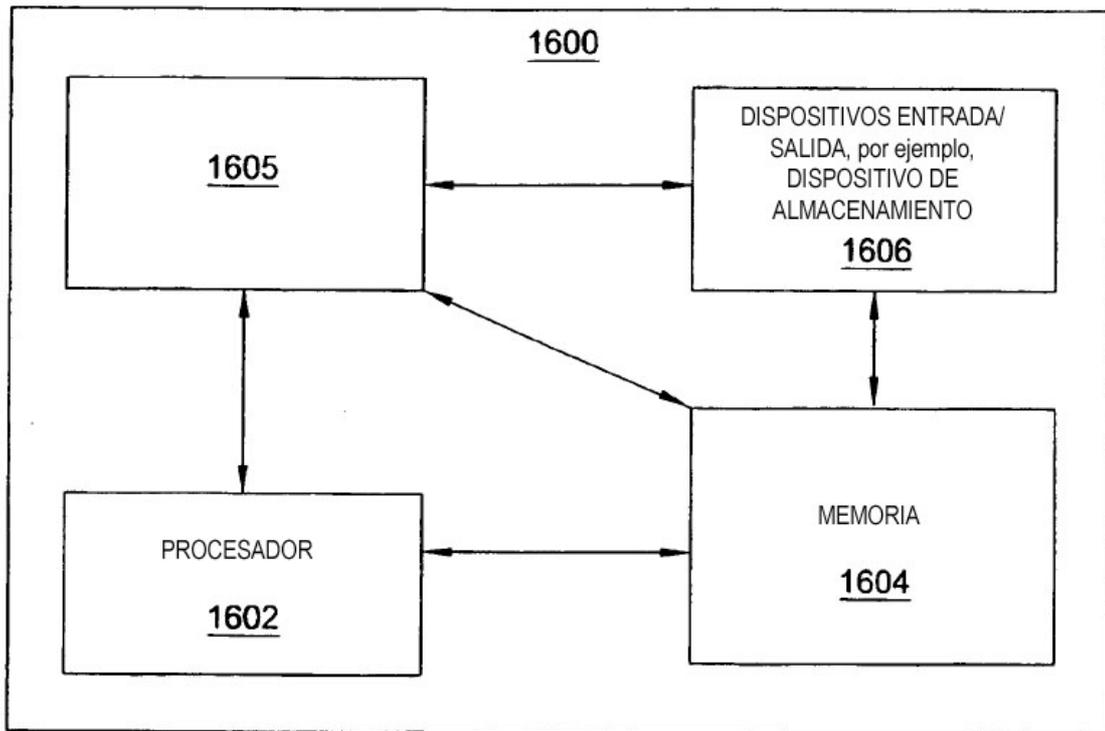


FIG. 16