

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 503 590**

51 Int. Cl.:

G06F 1/32 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **19.01.2011 E 11703752 (3)**

97 Fecha y número de publicación de la concesión europea: **16.07.2014 EP 2526466**

54 Título: **Control de energía de un dispositivo externo durante el modo de dormir de baja potencia sin intervención de la unidad de procesamiento central**

30 Prioridad:

18.06.2010 US 818547
21.01.2010 US 296947 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
07.10.2014

73 Titular/es:

MICROCHIP TECHNOLOGY INCORPORATED
(100.0%)
2355 West Chandler Boulevard
Chandler, AZ 85224-6199, US

72 Inventor/es:

SIMMONS, MICHAEL y
CATHERWOOD, MICHAEL

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 503 590 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Control de energía de un dispositivo externo durante el modo de dormir de baja potencia sin intervención de la unidad de procesamiento central

5 La presente divulgación se refiere a dispositivos de circuitos integrados y, más concretamente, a los ahorros de energía de los dispositivos de circuito integrado en modos dormir de baja potencia.

10 En los actuales modos de baja potencia (Dormir, Sueño Profundo, *etc.*), existen diversas formas de despertar un dispositivo de circuito integrado partiendo de un modo de baja potencia. Una de dichas formas consiste en el empleo de una señal de “despertar” externa (a menudo una entrada de interrumpir con cambio de propósito). Sin embargo, esto requiere que la fuente de la señal de despertar esté activa mientras el dispositivo de circuito integrado está en su modo de baja potencia, lo que se traduce en un consumo de energía global del sistema mayor del requerido.

Un procedimiento y un sistema para reducir el consumo de energía según lo descrito con anterioridad se conoce, por ejemplo, a partir de la Publicación de Solicitud de Patente estadounidense US 2009/0077404.

15 Los problemas mencionados con anterioridad pueden ser resueltos, y pueden conseguirse beneficios adicionales, mediante un dispositivo de circuito integrado, un sistema y un procedimiento según lo definido en las reivindicaciones independientes. Otras mejoras se incluyen en las reivindicaciones dependientes. De acuerdo con diversas formas de realización, un(os) dispositivo(s) externo(s) es (son) despertado(s) sin la intervención de circuitos lógicos principales, por ejemplo, un procesador, que puedan estar en un modo de sueño profundo, de baja potencia. Esta posibilidad puede conseguirse con, por ejemplo, sin que ello constituya una limitación, los existentes temporizadores de modo de baja potencia, por ejemplo, un reloj y calendario en tiempo real (RTCC), un temporizador de vigilancia (WDT), un WDT de Sueño Profundo, un temporizador de propósito general, *etc.*) utilizando una función a modo de modulación simplificada de impulsos de dos canales. Dicha energización (despertar) periódica puede incorporarse en un dispositivo externo, por ejemplo un sensor de la temperatura, esperar a que se ponga en marcha y que se estabilice, muestree su señal de salida de “despertar” y, a continuación, desenergizarlo, todo ello sin que en ningún momento se requiera que la lógica de circuito principal de un dispositivo digital abandone un modo de baja potencia.

20

25

De acuerdo con una forma de realización ejemplar específica de la presente divulgación, un dispositivo digital de circuito integrado determina el control y la determinación de un estado de un dispositivo externo con independencia del momento en el que el dispositivo digital está en un modo de dormir de baja potencia, comprende: un procesador digital que incorpora una entrada de despertar, la entrada de despertar despierta el procesador digital desde un modo de dormir hasta un modo operativo cuando, en un primer nivel lógico, se aplica a aquél y no despierta el procesador digital cuando se aplica a aquél un segundo nivel lógico; un temporizador de energización acoplado a un dispositivo externo, en el que el temporizador de energización provoca que el dispositivo externo lleve a cabo un modo operativo durante un primer periodo de tiempo; un temporizador de muestras, en el que el temporizador de muestras provoca que una salida procedente del dispositivo externo sea aplicada a la entrada de despertar del temporizador durante un segundo periodo de tiempo, en el que durante el segundo periodo de tiempo, si la salida del dispositivo externo está en el primer nivel lógico, entonces el procesador se despierta al modo operativo; y si la salida del dispositivo externo está en el segundo nivel lógico, entonces el procesador permanece en el modo de dormir.

30

35

De acuerdo con otra forma de realización ejemplar específica de la presente divulgación, un dispositivo de señal mixta de circuito integrado determina el control y el estado de un dispositivo externo con independencia del momento en el que el dispositivo de señal mixta en un estado de dormir de baja potencia comprende: un procesador digital que incorpora una entrada de despertar, la entrada de despertar despierta el procesador digital desde un modo de dormir a un modo operativo cuando un primer nivel lógico es aplicado a aquél y no despierta el procesador digital cuando un segundo nivel lógico es aplicado a aquél; un comparador que incorpora una primera entrada acoplada a una salida analógica a un dispositivo externo; una referencia de tensión que incorpora una salida de tensión de referencia conectada a una segunda entrada del comparador; un temporizador de energización acoplado al dispositivo externo, en el que el temporizador de energización provoca que el dispositivo externo lleve a cabo un modo operativo durante un primer periodo de tiempo; un temporizador de muestras, en el que el temporizador de muestras provoca que una salida procedente del comparador sea aplicada a la entrada de despertar del procesador durante un segundo periodo de tiempo, en el que durante el segundo periodo de tiempo, si la salida analógica del dispositivo externo es mayor que la salida de la tensión de referencia, entonces el procesador se despierta al modo operativo; y si la salida analógica del dispositivo externo es igual o inferior a la salida de la tensión de referencia, entonces el procesador permanece en el modo de dormir.

40

45

50

De acuerdo con otra forma de realización ejemplar específica adicional de la presente divulgación, un procedimiento para conservar energía y verificar el estado de un dispositivo externo sin tener que despertar circuitos digitales de un dispositivo de circuito integrado a partir de un modo de dormir de baja potencia comprende las etapas de: la aplicación de energía a un dispositivo externo durante un primer periodo de tiempo a partir de un temporizador de energización; la comparación de una salida procedente del dispositivo externo con un valor de referencia durante un segundo periodo de tiempo a partir de un temporizador de muestreo, comenzando el segundo periodo de tiempo

55

después de que el primer periodo de tiempo haya comenzado; en el que durante el segundo periodo de tiempo, si la salida del dispositivo externo es mayor que el valor de referencia, entonces los circuitos digitales de un dispositivo de circuito integrado se despiertan a un modo operativo; y si la salida del dispositivo externo es igual o inferior al valor de referencia, entonces los circuitos digitales de un circuito integrado aparecen en un modo de dormir.

5 Una más completa comprensión de la presente divulgación se puede obtener con referencia a la descripción subsecuente tomada en combinación con los dibujos que se acompañan, en los que:

La Figura 1 ilustra un diagrama de bloques esquemático de un dispositivo digital de la técnica anterior que presenta un modo de dormir y un dispositivo externo acoplado a y adaptado para despertar el dispositivo digital, y un diagrama de temporización de la operación del dispositivo externo;

10 la Figura 2 ilustra un diagrama de bloques esquemático de un dispositivo digital de circuito integrado que incorpora un modo de dormir, unos temporizadores de energización y muestreo, y un dispositivo externo cuya vigilancia de los tiempos de trabajo operativos y de los sucesos es controlada por el dispositivo digital, y un diagrama de temporización de la operación de aquél, de acuerdo con una forma de realización ejemplar específica de la presente divulgación;

15 la Figura 3 ilustra un diagrama de bloques esquemático de un dispositivo de señal mixta de circuito integrado que incorpora un modo de dormir, unos temporizadores de energización y muestreo, y un dispositivo externo cuya vigilancia de los tiempos de trabajo operativos y de los sucesos es controlada por el dispositivo de señal mixta, y un diagrama de temporización de la operación de aquél de acuerdo con otra forma de realización específica de la presente divulgación;

20 la Figura 4 ilustra un diagrama de bloques esquemático de los circuitos de las Figuras 2 y 3 que incorpora un relé de potencia interpuesto controlado por el dispositivo de circuito integrado y que suministra energía al dispositivo externo de acuerdo con las formas de realización ejemplares específicas de la presente divulgación.

25 Con referencia ahora a los dibujos, se ilustran, de manera esquemática, los detalles de una forma de realización ejemplar. Los mismos elementos de los dibujos se representarán mediante los mismos números, y elementos similares serán representados mediante los mismos números con un sufijo en letras minúsculas diferente.

30 Con referencia a la Figura 1, en ella se representa un diagrama de bloques esquemático de un dispositivo digital de la técnica anterior que incorpora un modo de dormir, y un dispositivo externo acoplado a y adaptado para despertar el dispositivo digital, y un diagrama de la operación del dispositivo externo. Un dispositivo 102 digital comprende un procesador 104, una memoria 106 acoplada al procesador 104, y un temporizador 108 de baja potencia, por ejemplo un temporizador de vigilancia (WDT) un reloj y calendario en tiempo real (RTCC), etc. Un dispositivo 112 externo está acoplado al dispositivo 102 digital por medio de un nodo 110 de entrada externo, o de un paquete de circuito integrado (no mostrado).

35 El dispositivo 102 puede ser retornado a un modo operativo desde un modo de dormir por el temporizador 108 de baja potencia y / o un cambio de nivel lógico existente en el nodo 110 de entrada a partir del dispositivo 112 externo. De una u otra forma, el dispositivo 102 digital volverá al modo operativo de utilización de una energía más alta. Cuando el temporizador 108 de baja potencia es utilizado para despertar el procesador 104 y otra lógica necesaria (por ejemplo, la memoria 106), el procesador 104 muestreará el estado lógico del nodo 110 para ver si se ha detectado o producido un suceso procedente del estado lógico de salida del dispositivo externo, por ejemplo, un sensor de la temperatura, la presión, la humedad, el pH, la corriente, la tensión, etc. Como alternativa, el procesador 104, *et al.*, puede permanecer en un modo de baja potencia hasta que sea directamente despertado por un cambio de estado lógico en el nodo 110 procedente de la salida del dispositivo 112 externo, como se muestra en el diagrama de temporización (b) de la Figura 1.

45 Sin embargo, la utilización de una u otra forma de despertar el procesador 104 sigue exigiendo que el dispositivo 112 externo se mantenga continuamente en un estado operativo de consumo de energía. Algunos dispositivos 112 externos que pueden ser utilizados como sensores solo necesitan indicar los datos y / o el estado verificados de forma periódica, por ejemplo una vez cada minuto o más, etc. Por tanto, el mantenimiento del estado operativo del dispositivo 112 externo de manera continua, representa el máximo gasto de consumo de energía. En aplicaciones de alimentación eléctrica por batería, el consumo de energía es fundamental.

50 Con referencia a la Figura 2, en ella se representa un diagrama de bloques esquemático de un dispositivo digital de circuito integrado que incorpora un modo de dormir, unos temporizadores de energización y muestreo, y un dispositivo externo cuya vigilancia de los tiempos de trabajo operativos y de sucesos es controlada por el dispositivo digital, y un diagrama de temporización de la operación de aquél, de acuerdo con una forma de realización ejemplar específica de la presente divulgación. Un modo mejor de conservar energía mediante el dispositivo 112 consiste en situarlo en un modo de dormir o desactivar completamente su operación, por ejemplo, suprimir la energía procedente del dispositivo y a continuación únicamente activar de forma periódica el dispositivo 112 externo cuando sea conveniente y, a continuación, determinar si se ha producido un suceso vigilado por el dispositivo 112 externo. Esta forma concreta se consigue mediante el dispositivo 102 digital mostrado en la Figura 2.

El dispositivo 202 digital comprende un procesador 204 digital, una memoria 206 acoplada al procesador 204 digital, un temporizador 224 de energización, un temporizador 214 de muestras y una puerta AND 220. Operativamente, el temporizador 224 de energización activará (encenderá) el dispositivo 112 externo descargando el nodo 216 en una baja lógica (V_{SS}) para que se aplique energía al dispositivo 112 externo. Sería igualmente eficaz aplicar energía (V_{DD}) directamente desde el nodo 216 hacia el nodo V_{DD} del dispositivo 112 externo.

Una vez que el dispositivo 112 externo ha sido energizado, desarrollará la finalidad prevista, por ejemplo, la medición de una variable del proceso: la temperatura, la presión, la vibración, etc. A continuación, puede tomarse una muestra del estado de salida del dispositivo 112 externo con el temporizador 214 de muestras una vez que el dispositivo 112 externo es completamente operativo (por ejemplo, después de la estabilización, el autocalibrado, etc.). Cuando se ha tomado esta muestra, si la salida del dispositivo 112 externo requiere que el procesador 204 digital retorne a un modo operativo, entonces se aplicará una señal 212 de despertar procedente de la puerta AND 220 sobre la entrada de despertar del procesador, por ejemplo, una entrada de interrumpir. El temporizador 224 de energización, el temporizador 214 de muestras y la puerta AND 220 pueden operar de manera independiente respecto de cualquier otro circuito del dispositivo 202 digital que esté en el modo de dormir. Así mismo, el temporizador 224 de energización, el temporizador 214 de muestras y la puerta AND 220 pueden ser circuitos de energía ultrabaja adaptados para operar con una mínima cantidad de energía. El dispositivo 202 digital puede ser un microcontrolador, un microprocesador, un procesador digital de la señal, un circuito integrado específico de la aplicación (ASIC), una lógica programable o una matriz de puertas, etc.

Un diagrama de temporización (b) mostrado en la Figura 2 representa la secuencia de sucesos mencionada con anterioridad utilizada tanto para la conservación de la energía del dispositivo 112 externo como para provocar un despertar del dispositivo 202 digital cuando sea oportuno. La energía 216 es aplicada al dispositivo 112 externo. A continuación, si se produce un suceso 210 durante el tiempo de la muestra 214, se aplica una señal 212 de despertar sobre una entrada del procesador 204 digital, y el suceso así detectado es procesado de acuerdo con el programa software / firmware de la memoria 206.

Se prevé y se incluye en el alcance de la presente divulgación, que el temporizador 214 de muestras pueda de forma simultánea activarse cuando la energía 216 sea aplicada al dispositivo 112 externo. Si no hay ningún tiempo de asentamiento o estabilización requerido por el dispositivo 112 externo, por ejemplo, una conmutación de contacto seco (límite, presión, etc.) entonces puede no ser necesario el retardo del temporizador 214 de muestras. Así mismo, puede haber una integración o múltiples muestras tomadas por el procesador 204 de forma que no sea necesaria la aserción retardada del temporizador 214 de muestras después de la activación inicial del dispositivo 212 externo.

Con referencia a la Figura 3, en ella se representa un diagrama de bloques esquemático de un dispositivo de señal mixta de circuito integrado que incorpora un modo de dormir, unos temporizadores de energización y muestras, y un dispositivo externo cuya vigilancia de los tiempos de trabajo operativos y de los sucesos es controlada por el dispositivo de señal mixta, y un diagrama de temporización de la operación de aquél, de acuerdo con otra forma de realización específica de la presente divulgación. Un modo mejor de conservar energía mediante el dispositivo, 312 externo es introducir un modo de dormir o apagar completamente la operación del dispositivo, por ejemplo, retirando la energía de aquél, activando entonces solo de forma periódica el dispositivo 312 externo cuando sea conveniente y, a continuación, determinar si se ha producido un suceso vigilado por el dispositivo 312 externo. Esta forma concreta se consigue mediante el dispositivo 302 de señal mixta mostrado en la Figura 3.

El dispositivo 302 de señal mixta comprende un procesador 204 digital, una memoria 206 acoplada al procesador 204 digital, un temporizador 224 de control de energización, un temporizador 214 de muestras, un comparador 320 y una referencia 322 de la tensión. Operativamente, el temporizador 224 de energización aplicará energía (V_{DD}) directamente desde el nodo 316 sobre el nodo V_{DD} del dispositivo 312 externo. De modo opcional, el temporizador 224 de energización puede aplicar una tensión operativa al comparador 320 y / o a la referencia 322 de la tensión para obtener mayores ahorros en la utilización de energía. La salida analógica del dispositivo 312 externo puede incorporar un número indeterminado de valores analógicos representativos de lo que está siendo medido. El comparador 320 comparará el valor analógico (por ejemplo, la tensión) procedente del dispositivo 312 externo con una tensión procedente de la referencia 322 de la tensión. La tensión de referencia procedente de la referencia 322 de la tensión puede ser programable (no mostrada) por medio del procesador 204 digital.

Una vez que el dispositivo 312 externo ha sido energizado llevará a cabo cualquier actividad a la que se le destine, por ejemplo, medir un proceso variable: la temperatura, la presión, la vibración, etc. A continuación, una muestra de la salida analógica del dispositivo 312 externo puede ser comparada con la tensión de referencia procedente de la referencia 322 de la tensión con el comparador 320. Una salida del comparador 320 es, a continuación, habilitada por el temporizador 214 de muestras una vez que el dispositivo 312 externo está completamente operativo (por ejemplo, después de la estabilización, es autocalibrado, etc.). Cuando se tome esta muestra, si el valor analógico muestreado procedente del dispositivo 312 externo es mayor que la tensión de referencia procedente de la referencia 322 de la tensión, entonces el procesador 204 digital puede volver a un modo operativo. Una señal 212 de despertar procedente del comparador 320 será aplicada a la entrada de despertar del procesador, por ejemplo, una entrada de interrumpir. El temporizador 224 de energización y el temporizador 214 de muestras pueden operar de manera independiente de cualquier otro circuito del dispositivo 302 de señal mixta que esté en el modo de dormir.

Así mismo, el temporizador 224 de energización, el temporizador 214 de muestras, la referencia 322 de la tensión y / o el comparador 320 pueden ser circuitos de energía ultrabajos adaptados para operar con una mínima cantidad de energía.

5 El dispositivo 302 de señal mixta puede ser un microcontrolador, un microprocesador, un procesador digital de la señal, un circuito integrado específico de la aplicación (ASIC), una lógica programable o una matriz de puertas, un procesador digital de la señal (DSP), etc., que incorporen tanto circuitos digitales como analógicos.

10 Un diagrama de temporización (b) mostrado en la Figura 3 representa la secuencia de sucesos mencionada con anterioridad utilizada tanto para la conservación de energía del dispositivo externo como para provocar el despertar del dispositivo digital cuando sea apropiado. La energía 216 es primeramente aplicada al dispositivo 312 externo. A continuación puede producirse un suceso 210 en la salida del dispositivo 312 externo durante un tiempo de la muestra 214. Si se produce un suceso 210 durante el tiempo de la muestra 214, entonces se aplica una señal 212 de despertar a una entrada del procesador 204 digital y el suceso así detectado es procesado de acuerdo con el programa software / firmware de la memoria 206.

15 Se prevé y se incluye en el alcance de la presente divulgación que el temporizador 214 de muestras pueda activarse de manera simultánea con la energía 316 aplicada al dispositivo 312 externo. Por ejemplo, unas muestras integradas o múltiples tomadas por el procesador 204 no requerirían la aserción retardada del temporizador 214 de muestras después de la activación del dispositivo 312 externo.

20 Con referencia a la Figura 4 en ella se representa un diagrama de bloques esquemático de los circuitos de las Figuras 2 y 3 que incorpora un relé de potencia interpuesto controlado por el dispositivo de circuito integrado y que suministra energía al dispositivo externo, de acuerdo con las formas de realización específicas ejemplares de la presente divulgación. Cuando el dispositivo 312 externo requiera una extracción de energía que sobrepase la capacidad de manipulación de energía del dispositivo 302 (202) entonces puede utilizarse un relé 422 de potencia interpuesto para suministrar energía V_{DD} , al dispositivo 312 externo. El relé 422 de potencia interpuesto puede ser un conmutador electromecánico o electrónico, por ejemplo un transistor de potencia.

25 En resumen, de acuerdo con diversas formas de realización, un dispositivo digital de circuito integrado determina el control y el estado de un dispositivo externo con independencia del momento en el que el dispositivo digital está en un modo de dormir de baja potencia, y comprende: un procesador digital que incorpora una entrada de despertar, la entrada de despertar despierta el procesador digital de un modo de dormir a un modo operativo cuando en un primer nivel lógico es aplicado a aquél y no despierta el procesador digital cuando un segundo nivel lógico es aplicado a aquél; un temporizador de energización acoplado a un dispositivo externo, en el que el temporizador de energización provoca que el dispositivo externo lleve a cabo un modo operativo durante un primer periodo de tiempo; un temporizador de muestras, en el que el temporizador de muestras provoca que una salida procedente del dispositivo externo sea aplicada a la entrada de despertar del procesador durante un segundo periodo de tiempo, en el que durante el segundo periodo de tiempo, si la salida del dispositivo externo está en el primer nivel lógico, entonces el procesador se despierta al modo operativo; y si la salida del dispositivo externo está en el segundo nivel lógico, entonces el procesador permanece en el modo de dormir.

30 De acuerdo con una forma de realización adicional, el segundo periodo de tiempo puede comenzar de manera simultánea con el inicio del primer periodo de tiempo. De acuerdo con una forma de realización adicional, el segundo periodo de tiempo puede empezar después de que el primer periodo de tiempo haya comenzado. De acuerdo con una forma de realización adicional, el primer nivel lógico puede ser una lógica alta y el segundo nivel lógico puede ser una lógica baja o viceversa. De acuerdo con una forma de realización adicional, procedente del dispositivo externo y una salida procedente del temporizador de muestras durante el segundo periodo de tiempo pueden ser sometidas conjuntamente a una operación booleana AND luego aplicada a la entrada de despertar del procesador digital. De acuerdo con una forma de realización adicional, el temporizador de energización puede ser seleccionado entre el grupo compuesto por un temporizador de propósito general, un reloj y calendario en tiempo real (RTCC), un temporizador de vigilancia (WDT), y un WDT de sueño profundo. De acuerdo con una forma de realización adicional, el temporizador de muestras puede ser seleccionado entre el grupo compuesto por un reloj y calendario en tiempo real (RTCC), un temporizador de vigilancia (WDT), y un WDT de sueño profundo. De acuerdo con una forma de realización adicional, el dispositivo externo puede ser seleccionado entre el grupo compuesto por un sensor de la temperatura, un sensor de la presión, un sensor de la humedad, un sensor del pH, un sensor de la corriente, y un sensor de la tensión. De acuerdo con una forma de realización adicional, el dispositivo digital puede ser seleccionado entre el grupo compuesto por un microcontrolador, un microprocesador, un procesador digital de la señal (DSP), un circuito integrado específico de la aplicación (ASIC), una matriz de lógica programable (PLA), una matriz de puertas programable (PGA). De acuerdo con un aspecto adicional, el dispositivo digital de circuito integrado puede además comprender un relé de potencia interpuesto controlado por el temporizador de energización y que suministre energía al dispositivo externo. De acuerdo con una forma de realización adicional, el relé de potencia interpuesto puede ser un transistor de potencia.

60 De acuerdo con otra forma de realización, un dispositivo de señal mixta de circuito integrado determina el control y el estado de un dispositivo externo con independencia del momento en el que el dispositivo de señal mixta está en un modo de dormir de baja potencia, comprende: un procesador digital que incorpora una entrada de despertar, la

5 entrada de despertar despierta el procesador digital de un modo de dormir a un modo operativo cuando en un primer nivel lógico es aplicado a aquél y no despierta el procesador digital cuando un segundo nivel lógico es aplicado a aquél; un comparador que incorpora una primera entrada acoplada a una salida analógica de un dispositivo externo; una referencia de la tensión que incorpora una salida de la tensión de referencia conectada a una segunda entrada del comparador; un temporizador de energización acoplado al dispositivo externo, en el que el temporizador de energización provoca que el dispositivo externo lleve a cabo un modo operativo durante un primer periodo de tiempo; un temporizador de muestras en el que el temporizador de muestras provoca que una salida procedente del comparador sea aplicada a la entrada de despertar del procesador durante un segundo periodo de tiempo, en el que durante el segundo periodo de tiempo si la salida analógica del dispositivo externo es mayor que la salida de la tensión de referencia, entonces el procesador se despierta al modo operativo; y si la salida analógica del dispositivo externo es igual o inferior a la salida de la tensión de referencia, entonces el procesador permanece en el modo de dormir.

15 De acuerdo con una forma de realización adicional del dispositivo de circuito integrado expuesto, el segundo periodo de tiempo puede comenzar de manera simultánea con el inicio del primer periodo de tiempo. De acuerdo con una forma de realización adicional del dispositivo de circuito integrado expuesto, el segundo periodo de tiempo puede comenzar después de que el primer periodo de tiempo haya comenzado. De acuerdo con una forma de realización adicional del dispositivo de circuito integrado expuesto, el comparador puede ser solo operativo durante el primer periodo de tiempo. De acuerdo con una forma de realización adicional del dispositivo de circuito integrado expuesto, la referencia de la tensión puede ser solo operativa durante el primer periodo de tiempo. De acuerdo con una forma de realización adicional del dispositivo de circuito integrado expuesto, el comparador puede ser solo operativo durante el segundo periodo de tiempo. De acuerdo con una forma de realización adicional del dispositivo de circuito integrado expuesto, la referencia de la tensión puede ser solo operativa durante el segundo periodo de tiempo. De acuerdo con una forma de realización adicional del dispositivo de circuito integrado expuesto, el temporizador de energización puede ser seleccionado entre el grupo compuesto por un temporizador de propósito general, un reloj y calendario en tiempo real (RTCC), un temporizador de vigilancia (WDT), y un WDT de sueño profundo. De acuerdo con una forma de realización adicional del dispositivo de circuito integrado expuesto, el temporizador de muestras puede ser seleccionado entre el grupo compuesto por un temporizador de propósito general, un reloj y calendario en tiempo real (RTCC), un temporizador de vigilancia (WDT), y un WDT de sueño profundo. De acuerdo con una forma de realización adicional del dispositivo de circuito integrado expuesto, el dispositivo externo puede ser seleccionado entre el grupo compuesto por un sensor de la temperatura, un sensor de la presión, un sensor de la humedad, un sensor del pH, un sensor de la corriente, y un sensor de la tensión. De acuerdo con una forma de realización adicional del dispositivo de circuito integrado expuesto, el dispositivo de señal mixta puede ser seleccionado entre el grupo compuesto por un microcontrolador, un microprocesador, un procesador digital de la señal (DSP), un circuito integrado específico de la aplicación (ASIC), una matriz lógica programable (PLA), una matriz de puertas programable (PGA). De acuerdo con una forma de realización adicional del dispositivo de circuito integrado, la referencia de la tensión puede incorporar una tensión de referencia programable. De acuerdo con una forma de realización adicional del dispositivo de circuito integrado expuesto, el dispositivo de señal mixta de circuito integrado puede comprender además un relé de potencia interpuesto controlado por el temporizador de energización y que suministre energía al dispositivo externo. De acuerdo con una forma de realización adicional del dispositivo de circuito integrado expuesto, el relé de potencia interpuesto puede ser un transistor de potencia.

45 De acuerdo con otra forma de realización adicional, un procedimiento de conservación de energía y de vigilancia del estado de un dispositivo externo sin tener que despertar los circuitos digitales de un dispositivo de circuito integrado de un modo de dormir de potencia baja comprende las etapas de: la aplicación de energía a un dispositivo externo durante un primer periodo de tiempo a partir de un temporizador de energización; la comparación de una salida procedente del dispositivo externo con un valor de referencia durante un segundo periodo de tiempo a partir de un temporizador de muestras, comenzando el segundo periodo de tiempo después de que el primer periodo de tiempo haya comenzado; en el que durante el segundo periodo de tiempo si la salida del dispositivo externo es mayor que el valor de referencia, entonces los circuitos digitales de un dispositivo de circuito integrado se despiertan a un modo operativo; y si la salida del dispositivo externo es igual o inferior al valor de referencia, entonces los circuitos digitales de un dispositivo de circuito integrado permanecen en un modo de dormir.

55 De acuerdo con una forma de realización adicional del procedimiento, la salida del dispositivo externo puede estar en un primer nivel lógico o en un segundo nivel lógico, el primer lógico es mayor que el segundo nivel lógico. De acuerdo con una forma de realización adicional del procedimiento, el valor de referencia puede estar en el primer nivel lógico. De acuerdo con una forma de realización adicional del procedimiento, el valor de referencia puede estar en el segundo nivel lógico. De acuerdo con una forma de realización adicional del procedimiento, la salida del dispositivo externo puede ser un valor analógico. De acuerdo con una forma de realización adicional del procedimiento, el valor de referencia puede estar en un segundo valor analógico, el segundo valor analógico es igual o inferior al valor de salida analógico del dispositivo externo. De acuerdo con una forma de realización adicional del procedimiento, el temporizador de energización puede ser seleccionado entre el grupo compuesto por un temporizador de propósito general, un reloj y calendario en tiempo real (RTC), un temporizador de vigilancia (WDT), y un WDT de sueño profundo. De acuerdo con una forma de realización adicional del procedimiento, el temporizador de muestras puede ser seleccionado entre el grupo compuesto por un temporizador de propósito general, un reloj y calendario en tiempo real (RTCC), un temporizador de vigilancia (WDT), y un WDT de sueño profundo. De acuerdo

con una forma de realización adicional del procedimiento, el dispositivo externo puede ser seleccionado entre el grupo compuesto por un sensor de la temperatura, un sensor de la presión, un sensor de la humedad, un sensor del pH, un sensor de la corriente y un sensor de la tensión. De acuerdo con una forma de realización adicional del procedimiento, el valor de referencia puede ser programable.

- 5 Aunque se han representado, descrito y definido formas de realización de la presente divulgación con referencia a formas de realización ejemplares de la divulgación, dichas referencias no implican una limitación de la divulgación, y ninguna limitación de este tipo puede inferirse. Las formas de realización representadas y descritas en la presente invención son solo ejemplos y no son exhaustivos respecto del alcance de la divulgación.

REIVINDICACIONES

- 1.- Un dispositivo digital de circuito integrado operable para determinar el control y el estado de un dispositivo externo con independencia del momento en el que el dispositivo (202) digital está en un modo de dormir de baja potencia, que comprende:
- 5 un procesador (204) digital que incorpora una entrada de despertar, la entrada de despertar despierta el procesador (204) digital de un modo de dormir a un modo operativo cuando un primer nivel lógico es aplicado a aquél y no despierta el procesador (204) digital cuando un segundo nivel lógico es aplicado a aquél;
- 10 un temporizador (224) de energización acoplado con un primer nodo (216), en el que el temporizador (224) de energización proporciona una señal de energización del dispositivo externo en el primer nodo (216) durante un primer periodo de tiempo;
- 15 un temporizador (214) de muestras, en el que el temporizador (214) de muestras provoca que una señal de salida del dispositivo externo recibida en un segundo nodo sea aplicada a la entrada de despertar del procesador (204) durante un segundo periodo de tiempo, en el que durante el segundo periodo de tiempo, la señal de salida del dispositivo externo define si el procesador (204) se despierta al modo operativo o permanece en el modo de dormir.
- 2.- El dispositivo digital de circuito integrado de acuerdo con la reivindicación 1, en el que el segundo periodo de tiempo comienza de forma simultánea con el inicio del primer periodo de tiempo.
- 3.- El dispositivo digital de circuito integrado de acuerdo con la reivindicación 1, en el que el segundo periodo de tiempo comienza después de que el primer periodo de tiempo haya comenzado.
- 4.- El dispositivo digital de circuito integrado de acuerdo con la reivindicación 1, en el que la señal de salida del dispositivo externo recibida en el segundo nodo y una salida procedente del temporizador de muestras son conjuntamente sometidas a una operación booleana AND lógica aplicada a la entrada de despertar del procesador (204) digital.
- 25 5.- El dispositivo digital de circuito integrado de acuerdo con la reivindicación 1, que comprende además:
- un comparador (320) que incorpora una primera entrada acoplada al segundo nodo y una salida acoplada a la entrada de despertar, en el que la salida es habilitada por el temporizador (222) de muestras;
- una referencia (322) de la tensión que incorpora una salida de la tensión de referencia conectada a una segunda entrada del comparador (320).
- 30 6.- El dispositivo digital de circuito integrado de acuerdo con la reivindicación 5, en el que el temporizador (224) de energización está configurado para activar la referencia (322) de voltaje y / o el comparador (320).
- 7.- El dispositivo digital de circuito integrado de acuerdo con la reivindicación 1, en el que el temporizador (224) de energización y el temporizador (222) de muestras y, de manera opcional, el comparador (320) y / o la referencia (322) de la tensión, operan con una cantidad mínima de energía y, en particular, en el que el temporizador (224) de energización y / o el temporizador (222) de muestras puede ser un temporizador de propósito general, un reloj y calendario en tiempo real (RTCC), un temporizador de vigilancia (WDT), o un WDT de sueño profundo.
- 35 8.- El dispositivo digital de circuito integrado de acuerdo con la reivindicación 1, en el que la señal de salida del dispositivo externo puede ser una señal analógica o digital, en particular una señal de salida generada por un sensor de la temperatura, un sensor de la presión, un sensor de la humedad, un sensor del pH, un sensor de la corriente, o un sensor de la tensión.
- 40 9.- Un sistema que comprende un dispositivo de circuito integrado de acuerdo con una de las reivindicaciones precedentes, que comprende además:
- un dispositivo (112, 312) externo, el cual, de modo preferente, puede ser un sensor de temperatura, un sensor de la presión, un sensor de la humedad, un sensor del pH, un sensor de la corriente o un sensor de la tensión, que incorpora una entrada de energía acoplada con el primer nodo (216) y una salida digital o analógica acoplada con el segundo nodo.
- 45 10.- El sistema de acuerdo con la reivindicación 9, que comprende además un relé (422) de potencia interpuesto, en particular un transistor de potencia, controlado por el temporizador (224) de energización y que suministra energía al dispositivo (112, 312) externo.
- 50 11.- Un procedimiento de conservación de energía y de vigilancia del estado de un dispositivo externo sin tener que despertar los circuitos digitales de un dispositivo de circuito integrado, a partir de un modo de dormir de baja potencia, comprendiendo dicho procedimiento las etapas de:

la regulación de un procesador (204) digital del dispositivo (202) de circuito integrado en un modo de dormir;

la aplicación de energía a un dispositivo (112, 312) externo, durante un primer periodo de tiempo por medio de un temporizador (224) de energización del dispositivo (202) de circuito integrado;

5 la aplicación de una señal de salida procedente del dispositivo (112, 312) externo, durante un segundo periodo de tiempo definido por un temporizador (222) de muestras del dispositivo (202) de circuito integrado a una entrada de despertar de un procesador (204) digital del dispositivo (202) de circuito integrado,

en el que la señal de salida define si el procesador (204) se despierta en un modo operativo o permanece en el modo de dormir.

10 12.- El procedimiento de acuerdo con la reivindicación 11, en el que el segundo periodo de tiempo comienza de manera simultánea con el inicio del primer periodo de tiempo.

13.- El procedimiento de acuerdo con la reivindicación 11, en el que el segundo periodo de tiempo comienza después de que el primer periodo de tiempo haya comenzado.

15 14.- El procedimiento de acuerdo con una de las reivindicaciones precedentes 11 a 13, que comprende además la puesta en práctica de una operación booleana lógica AND sobre la señal de salida con una salida procedente del temporizador de muestras y la aplicación de la señal resultante a la entrada de despertar del procesador (204) digital.

20 15.- El procedimiento de acuerdo con una de las reivindicaciones precedentes 11 a 13, en el que la señal de salida del dispositivo (112, 312) externo es un valor analógico y el procedimiento comprende la etapa de comparación del valor analógico con un valor de referencia, que puede ser programable, en el que un resultado lógico de la comparación es alimentado a la entrada de despertar del procesador (204) digital.

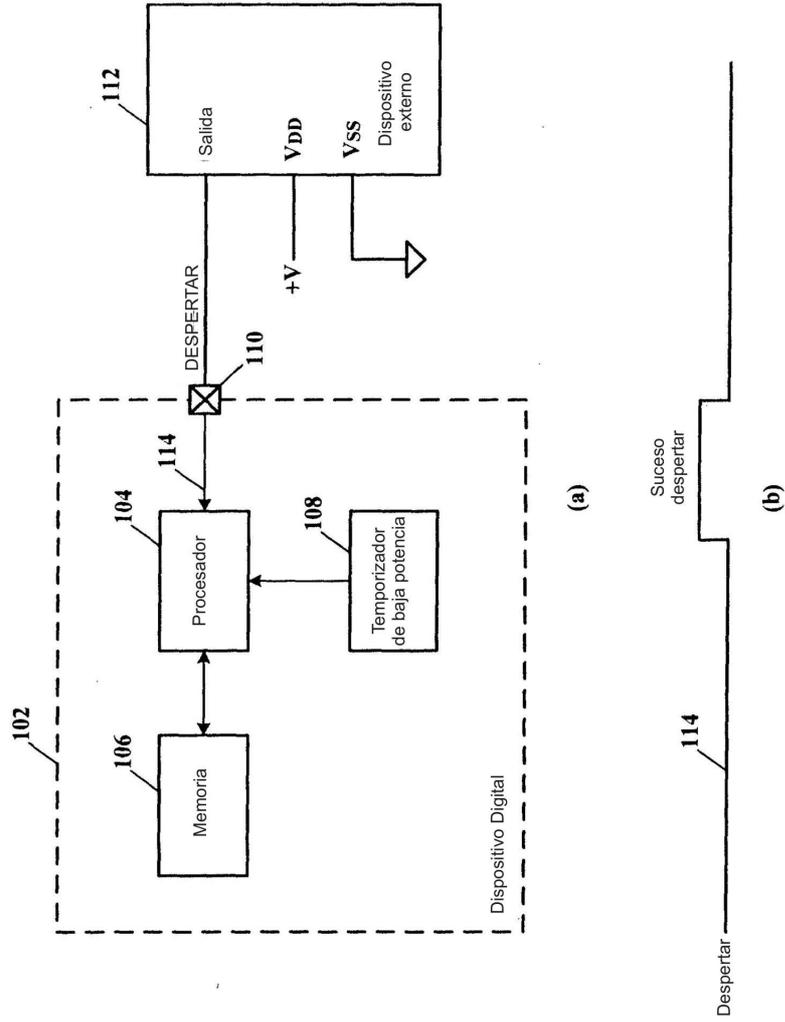


FIGURA 1
(Tecnica Anterior)

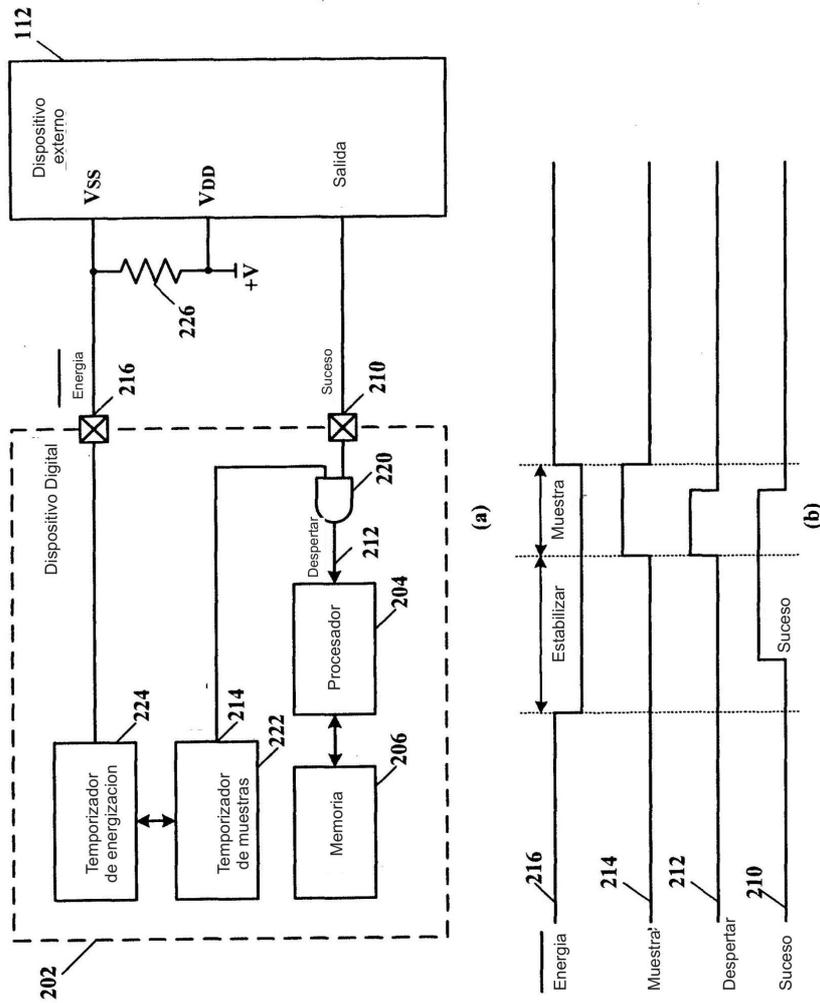


FIGURA 2

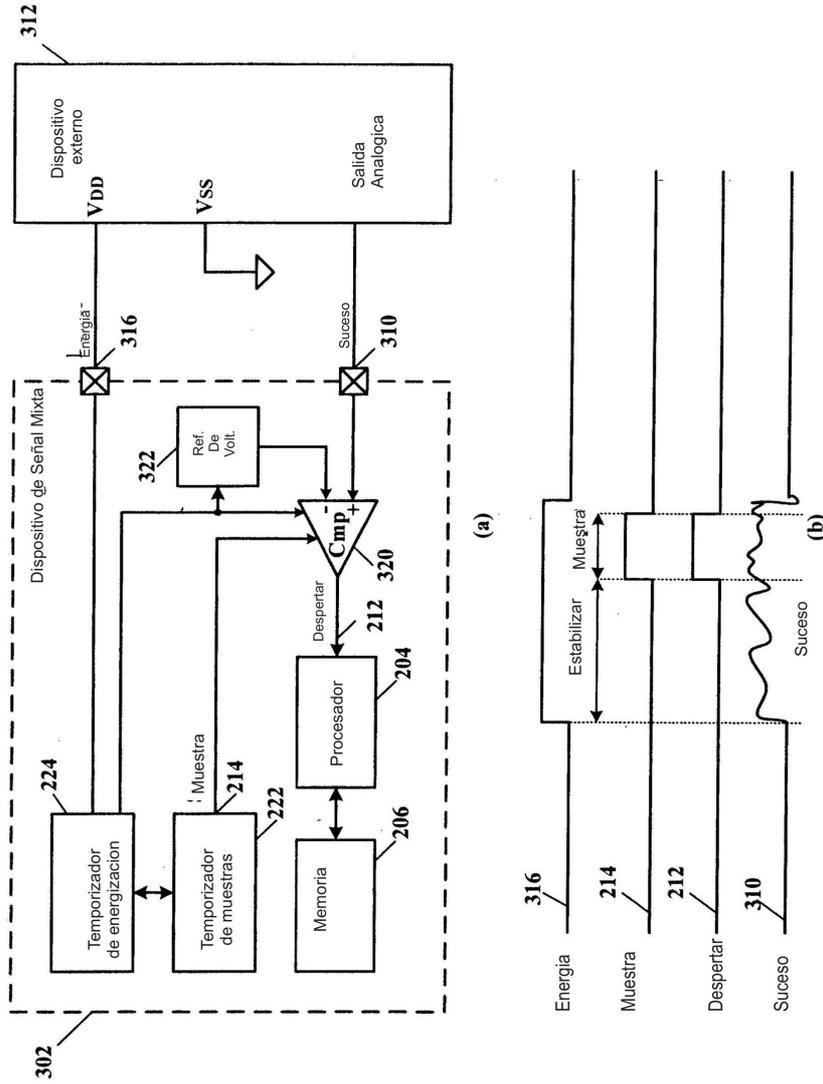


FIGURA 3

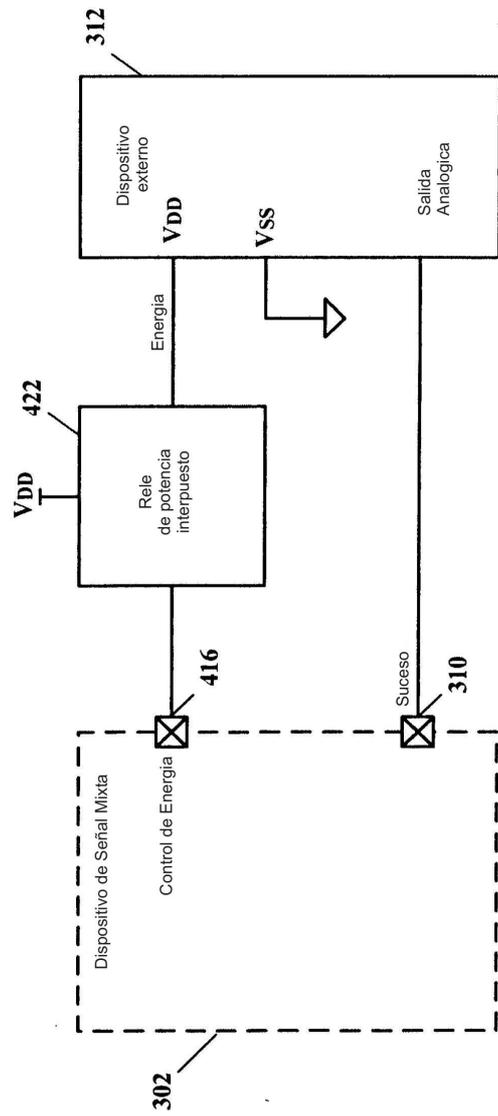


FIGURA 4