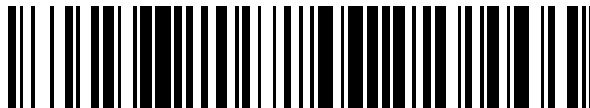


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 505 815**

51 Int. Cl.:

H04L 27/26 (2006.01)

H04J 11/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **05.09.2008** **E 12197487 (7)**

97 Fecha y número de publicación de la concesión europea: **30.07.2014** **EP 2575312**

54 Título: **Método y sistema para transmitir y recibir señales**

30 Prioridad:

06.09.2007 US 970523 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

10.10.2014

73 Titular/es:

**LG ELECTRONICS, INC. (100.0%)
20, Yeouido-dong Yeoungdeungpo-gu
Seoul, 150-721, KR**

72 Inventor/es:

**KO, WOO SUK y
MOON, SANG CHUL**

74 Agente/Representante:

DE ELZABURU MÁRQUEZ, Alberto

ES 2 505 815 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Método y sistema para transmitir y recibir señales

Ámbito técnico

5 La presente invención está relacionada con un método para transmitir y recibir eficazmente señales y con un transmisor y receptor eficientes para un sistema OFDM (del inglés *Orthogonal Frequency Division Multiplexing*: multiplexación por división de frecuencia ortogonal) que incluye una TFS (del inglés *Time-Frequency Slicing*: segmentación por tiempo-frecuencia). El documento, de López Arranz. et al, "Design of a simulation platform to test next generation of terrestrial DVB" (Upcommons - Universitat Politècnica de Catalunya, 19 de julio de 2007, XP002694807) está relacionado con el diseño y el desarrollo de un simulador de capa física del estándar completo DVB-T, que incluye los procedimientos completos tanto de transmisión como de recepción.

Antecedentes de la técnica

La técnica de TFS (*Time Frequency Slicing*) se ha introducido para la difusión. Cuando se utiliza una TFS, un único servicio puede transmitirse a través de múltiples canales de RF (radiofrecuencia) en un espacio tiempo-frecuencia de dos dimensiones.

15 OFDM (*Orthogonal Frequency Division Multiplexing*) es el esquema de multiplexación por división de frecuencia (FDM) utilizado como un método de modulación digital multi-portadora. Para llevar datos se utiliza un gran número de subportadoras ortogonales espaciadas de cerca. Los datos se dividen en varios flujos o canales de datos paralelos, uno para cada subportadora. Cada subportadora se modula con un esquema de modulación convencional (tal como modulación de amplitud en cuadratura o modulación de desplazamiento de fase) a baja velocidad de símbolos, manteniendo tasas totales de datos similares a los esquemas convencionales de modulación de una sola portadora en el mismo ancho de banda.

OFDM se ha convertido en un esquema popular para la comunicación digital de banda ancha, ya sea inalámbrica o por hilos de cobre, utilizado en aplicaciones tales como la televisión digital y la difusión de audio, redes inalámbricas y de acceso a internet de banda ancha.

25 Cuando se combina TFS, que utiliza múltiples bandas de radiofrecuencia para cada transmisor, con OFDM, puede obtenerse ganancia de diversidad de frecuencias y ganancia de multiplexación estadística, de este modo se pueden utilizar eficazmente los recursos.

Descripción de la invención

Problema técnico

30 Por lo tanto, un objetivo de la presente invención es proporcionar un método para transmitir y recibir eficazmente señales y un transmisor y receptor eficaces para un sistema OFDM que incluye TFS.

Solución técnica

Según un aspecto de la presente invención, se proporciona un método para la transmisión de señales según la reivindicación 1.

35 Según otro aspecto de la presente invención, se proporciona un aparato para la transmisión de señales de difusión según la reivindicación 5.

Según incluso otro aspecto de la presente invención, se proporciona un método para la recepción de señales según la reivindicación 9.

40 Se ha de entender que tanto la descripción general precedente como la siguiente descripción detallada de la presente invención son ejemplos y explicaciones y se pretende que proporcionen una explicación adicional de la invención, tal como se reivindica.

45 Las ventajas, objetos y características adicionales de la invención se expondrán en parte en la descripción que sigue y en parte resultarán evidentes para los expertos en la técnica tras el examen de lo siguiente o pueden aprenderse al poner en práctica la invención. Los objetivos y otras ventajas de la invención pueden realizarse y conseguirse mediante la estructura indicada en particular en la descripción escrita y en las reivindicaciones de la misma así como en los dibujos adjuntos.

Efectos ventajosos

Según la presente invención, es posible proporcionar un método para transmitir y recibir eficazmente señales y un transmisor y receptor eficaces para un sistema OFDM que incluye TFS.

Breve descripción de los dibujos

Los dibujos adjuntos, que se incluyen para proporcionar una comprensión adicional de la invención y se incorporan en esta solicitud y constituyen parte de la misma, ilustran una realización o realizaciones de la invención y junto con la descripción sirven para explicar el principio de la invención. En los dibujos:

- 5 La Fig. 1 es un diagrama de bloques de un ejemplo de un transmisor de TFS (segmentación en tiempo-frecuencia) - OFDM (multiplexación por división de frecuencia ortogonal).
La Fig. 2 es un diagrama de bloques de un ejemplo del procesador de entrada mostrado en la Fig. 1.
La Fig. 3 es un diagrama de bloques de un ejemplo de la BICM (Bit-Interleaved Coding and Modulation: Codificación y modulación por entrelazado de bits) mostrada en la Fig. 1.
 - 10 La Fig. 4 es un diagrama de bloques de un ejemplo del Formador de Tramas mostrado en la Fig. 1.
La Fig. 5 es una tabla de un ejemplo de relación de modulación híbrida cuando la longitud de bloque LDPC es de 64800 bits.
La Fig. 6 es una tabla de un ejemplo de relación de modulación híbrida cuando la longitud de bloque LDPC es de 16200 bits.
 - 15 La Fig. 7 es un diagrama de bloques de un ejemplo del mapeador de QAM mostrado en la Fig. 1.
La Fig. 8 es un diagrama de bloques de un ejemplo de mapeador de QAM combinado con un codificador interno y un entrelazador interno.
La Fig. 9 es un ejemplo de entrelazador de bits.
La Fig. 10 es una tabla de un ejemplo de entrelazador de bits cuando la longitud de bloque LDPC es de 64800 bits.
 - 20 La Fig. 11 es una tabla de un ejemplo de entrelazador de bits cuando la longitud de bloque LDPC es de 16200 bits.
La Fig. 12 es un ejemplo del demultiplexador mostrado en la Fig. 1.
La Fig. 13 es otro ejemplo del demultiplexador mostrado en la Fig. 1.
La Fig. 14 es una relación entre un flujo de bits de entrada del entrelazador de bits y un flujo de bits de salida del demultiplexador.
 - 25 La Fig. 15 es un ejemplo de un mapeado de símbolos QAM.
La Fig. 16 es un diagrama de bloques de un ejemplo del descodificador MIMO/MISO mostrado en la Fig. 1.
La Fig. 17 es un diagrama de bloques de un ejemplo del modulador, específicamente un ejemplo de un modulador OFDM.
La Fig. 18 es un diagrama de bloques de un ejemplo del procesador analógico mostrado en la Fig. 1.
 - 30 La Fig. 19 es un diagrama de bloques de un ejemplo de un receptor TFS-OFDM.
La Fig. 20 es un diagrama de bloques de un ejemplo del AFE (Analog Front End: extremo frontal analógico) mostrado en la Fig. 19.
La Fig. 21 es un diagrama de bloques de un ejemplo del demodulador, específicamente un demodulador OFDM.
La Fig. 22 es un diagrama de bloques de un ejemplo del descodificador MIMO/MISO mostrado en la Fig. 19.
 - 35 La Fig. 23 es un diagrama de bloques de un ejemplo del analizador sintáctico de tramas mostrado en la Fig. 19.
La Fig. 24 es un diagrama de bloques de un ejemplo del demapeador de QAM mostrado en la Fig. 23.
La Fig. 25 es un diagrama de bloques de un ejemplo del demapeador de QAM combinado con un desentrelazador interno.
La Fig. 26 es un diagrama de bloques de un ejemplo del descodificador BICM mostrado en la Fig. 19.
 - 40 La Fig. 27 es un diagrama de bloques de un ejemplo del procesador de salida mostrado en la Fig. 19.
- Mejor manera de llevar a cabo la invención

Ahora se hará referencia con detalle a las realizaciones preferidas de la presente invención, cuyos ejemplos se ilustran en los dibujos adjuntos. Siempre que sea posible, se usarán los mismos números de referencia por todos los dibujos para referirse a partes iguales o similares.

5 La Fig. 1 es un ejemplo de transmisor de TFS (segmentación en tiempo-frecuencia)-OFDM (multiplexación por división de frecuencia ortogonal) propuesto. Un múltiple MPEG2-TS (flujo de transporte) y un flujo genérico múltiple se pueden introducir en un transmisor TFS. El procesador de entrada (101) puede dividir los flujos introducidos en múltiples señales de salida para una múltiple PLP (conexión de capa física). La BICM (modulación y codificación por entrelazado de bits) (102) puede codificar y entrelazar la PLP individualmente. El formador (103) de tramas puede transformar la PLP en un total R de bandas de RF. La técnica de MIMO (Multiple-Input Multiple-Output: múltiple entrada múltiple salida)/MISO (Multiple-Input Single-Output: múltiple entrada única salida) (104) puede aplicarse para cada banda de radiofrecuencia. Cada banda de RF para cada antena puede ser modulada individualmente por el modulador (105a, b) y puede ser transmitida a las antenas tras ser convertida en una señal analógica por el procesador analógico (106a, b).

Modo de la invención

15 La Fig. 2 es un ejemplo del procesador de entrada. MPEG-TS (flujo de transporte) se puede multiplexar en una sola salida, a través TS-MUX (201a) y los flujos genéricos (protocolo de Internet) pueden ser transformados en una sola salida por GSE (encapsulamiento de flujo general) (201b). Cada salida de TS-MUX y GSE se puede dividir para múltiples servicios mediante el divisor de servicio (202a, b). La PLP es un procesamiento de cada servicio. Cada PLP puede ser transformada en una trama por la trama de BB (banda base) (103a~d).

20 La Fig. 3 es un ejemplo de BICM. El codificador externo (301) y el codificador interno (303) pueden añadir redundancia para la corrección de errores en un canal de transmisión. Un entrelazador externo (302) y un entrelazador interno (304) pueden entrelazar datos aleatoriamente para mitigar errores en ráfaga.

La Fig. 4 es un ejemplo de formador de tramas. El mapeador de QAM (401a, b) puede transformar bits introducidos en símbolos QAM. Se puede utilizar QAM híbrida. El entrelazador en dominio de tiempo (402a, b) pueda entrelazar datos en el dominio de tiempo para que los datos sean robustos contra errores en ráfaga. En este punto, un efecto del entrelazado es que se pueden obtener muchas bandas de RF en un canal físico debido a que los datos se van a transmitir a múltiples bandas de RF. El formador (403) de tramas TFS puede dividir los datos introducidos para formar tramas TFS y enviar las tramas TFS a un total R de bandas de RF de acuerdo con un esquema TFS. Cada banda de RF puede ser entrelazada individualmente en el dominio de frecuencia por el entrelazador en dominio de frecuencia (404a, b) y puede volverse robusta contra desvanecimiento selectivo en frecuencia. Puede insertarse señalización Ref (señales de referencia), PL (capa física) y pilotos cuando se forma la trama TFS (405).

Por hibridación de dos QAM-pares, que transmite el número par de bits por símbolo QAM, un QAM-impar, que transmite el número impar de bits por símbolo QAM puede ser formado por un mapeador híbrido QAM. Por ejemplo, puede obtenerse 128-QAM híbrida por hibridación de 256-QAM y 64-QAM, 32-QAM híbrida puede obtenerse por hibridación de 64-QAM y 16-QAM, y 8-QAM híbrida puede obtenerse por hibridación de 16-QAM y 4-QAM.

La Fig. 5 y la Fig. 6 muestran ejemplos de una proporción híbrida cuando se utiliza código DVB-S2 LDPC (Low Density Parity Check: comprobación de paridad de baja densidad) como un código interno. La primera columna de la tabla representa el tipo de constelación. La proporción HOQ (QAM de orden superior) representa una proporción para QAM de orden superior entre dos tipos de QAM. La proporción LDC (QAM de orden inferior) es la proporción 1-HOQ. QAM híbrida puede obtenerse por dos QAM-pares adyacentes. Por ejemplo, 128-QAM híbrido (bit/celda= 7) se obtiene por hibridación de 256-QAM y 64-QAM. Bits HOQ y bits LOQ representan el número de bits utilizados para el mapeado en símbolo HOQ y símbolo LOQ respectivamente en un bloque LDPC. Los símbolos HOQ y los símbolos LOQ representan el número de símbolos después del mapeado de símbolos. El símbolo total es la suma de los símbolos HOQ y los símbolos LOQ. La última columna de la tabla representa el número efectivo de bits transmitidos por símbolo QAM. Tal como se ve en la tabla, sólo 128-QAM híbrida muestra una ligera diferencia de 7 bits/celda.

La Fig. 6 muestra un caso en el que la longitud de bloque LDPC es de 16200 bits. Cuando se realiza esquema para distribuir uniformemente símbolos QAM, que son generados por el formador de tramas, en bandas de RF del sistema TFS, el valor de los símbolos totales debe ser divisible por un mínimo común múltiplo de cada número de índice de banda de RF. Por ejemplo, si se permiten seis bandas de RF, entonces el valor de símbolos totales de la tabla debe ser divisible por un mínimo común múltiplo de 1 a 6, es decir, 60. Para el caso que se muestra en la Fig. 5, es divisible. Sin embargo, para el caso que se muestra en la Fig. 6, no es divisible. Si la longitud de bloque LDPC es de 16200 bits como se muestra en la Fig. 6, los símbolos totales de la tabla pueden ser divisibles por 60 mediante la combinación de cuatro de los bloques LDPC en un solo bloque LDPC de una longitud de 64800 como en la Fig. 5.

La Fig. 7 muestra un ejemplo de mapeador de QAM que utiliza modulación híbrida. El analizador sintáctico (c-401) de flujo de bits puede analizar los flujos de bits introducidos en el mapeador HOQ (c-402a) y el mapeador LOQ (c-402b). El fusionador (c-403) de símbolos puede fusionar los dos flujos de símbolos introducidos en un solo flujo de

símbolos. El fusionador FEC (Forward Error Correction) (c-404), por ejemplo, puede combinar cuatro bloques de símbolos de bits que tienen una longitud de 16200 en un único bloque con una longitud de 64800.

5 La Fig. 8 muestra un ejemplo de mapeador de QAM combinado con entrelazadores internos. Los flujos de bits pueden ser divididos por el analizador sintáctico (d-402) de flujos de bits para los mapeadores HOQ y LOQ. Cada flujo de bits pasa por los procesos de entrelazador de bits (d-403a, d-403b) y el demultiplexador (d-404a, d-406). A lo largo de estos procesos, se pueden combinar las características de palabra de código LDPC y fiabilidad de constelación. Cada salida puede ser convertida en flujos de símbolos por los mapeadores HOQ y LDC (d-405a, d-405b), y luego ser fusionados en un solo flujo de símbolos por el fusionador (d-406) de símbolos.

10 La Fig. 9 muestra un ejemplo de entrelazado de bits. Los bits pueden guardarse en una memoria de tipo matriz que tiene columnas y filas en la dirección de la columna o en la dirección de la flecha azul. Luego los bits guardados se pueden leer en la dirección de la fila o en la dirección de la flecha roja. Las Figs. 10 y 11 muestran números de columnas y filas del entrelazador de bits HOQ (d-403a) y entrelazador de bits LOQ (d-403b) según el tipo de modulación QAM. Como se ve en las tablas, cuando se utiliza una QAM-par típica pero no se utiliza una modulación híbrida, sólo se utiliza entrelazado HOQ.

15 La Fig. 12 muestra un ejemplo de demultiplexador. Esto demuestra que las salidas entrelazadas según QPSK, 16-QAM, 64-QAM y 256-QAM pueden ser desmultiplexadas y mapeadas. También muestra que el número de flujos de bits de salida desde los demultiplexadores son 2, 4, 6 y 8, respectivamente.

20 El detalle del funcionamiento del demultiplexador se muestra en la Fig. 13. Como se observa en la figura, el orden de salida de entrelazador puede ser cambiado por el demultiplexador. Por ejemplo, para el caso de 16-QAM, los flujos de bits pueden sacarse como flujo de bits de salida j -ésima de cada demultiplexador según un valor resultante de realizar una operación de módulo-4 en el índice de flujo de bits de entrada b . La Fig. 13 muestra una relación entre un valor resultante de una operación de módulo y el índice j de rama de salida de demultiplexador.

25 La Fig. 14 muestra una relación entre un flujo de bits de entrada del entrelazador de bits y un flujo de bits de salida del demultiplexador. Como se ve en las ecuaciones, dividir el índice de flujo de bits de entrada por 2, 4, 6 y 8 es un resultado del entrelazado y mapear cada índice con el índice de flujo de bits de salida es el resultado del demultiplexador.

La Fig. 15 muestra un ejemplo de mapeado de símbolos QAM. El flujo de bits de salida del demultiplexador se puede convertir en flujo de símbolos utilizando la regla de mapeado de Gray. Incluso si no se muestra, puede ser ampliado a la constelación de 256-QAM o más.

30 La Fig. 16 muestra un ejemplo de codificador MIMO/MISO. El codificador MIMO o MISO (501) aplica el método MIMO/MISO para obtener una ganancia de diversidad adicional o ganancia de carga útil. El codificador MIMO o MISO puede sacar señales para un total A de antenas. La codificación MIMO puede realizarse de forma individualizada en el total A de señales de antena para cada banda de RF entre el total R de bandas de RF. A es igual o superior a 1.

35 La Fig. 17 muestra un ejemplo de modulador, específicamente un ejemplo de un modulador OFDM. La reducción PAPR (Peak-to-Average Power Ratio: relación de potencia pico a promedio) 1 (601) se puede realizar en las señales de antena (m) de las bandas de RF (n). Se puede realizar IFFT (602) en demodulación OFDM. Tras la IFFT se puede realizar reducción PAPR 2 (603). Se puede utilizar ACE (Active Constellation Extension: ampliación activa de constelación) y una reserva de tono para la reducción PAPR 2 (603). Por último, se puede insertar intervalo de guarda (604).

La Fig. 18 muestra un ejemplo de un procesador analógico. La salida de cada modulador se puede convertir en una señal de dominio analógico mediante DAC (conversión de digital a analógico) (701), y a continuación puede ser transmitida a la antena después de las conversión ascendente (702). Se puede realizar filtrado analógico (703).

45 La Fig. 19 muestra un ejemplo de un receptor TFS-OFDM. Cuando se utiliza el total R de bandas de RF para sistema TFS, las señales recibidas por AFE (extremo frontal analógico) (801a,b) pueden ser demoduladas por los demoduladores (802a,b), a continuación pueden ser decodificadas por el Decodificador MIMO/MISO (803) para obtener ganancia de diversidad. El analizador sintáctico (804) de tramas puede restaurar múltiples señales de PLP de la trama TFS recibida. El decodificador BICM (805) puede corregir errores en un canal de transmisión. Finalmente, el procesador de salida (806) puede restaurar las señales de acuerdo al formato necesario.

50 La Fig. 20 muestra un ejemplo de un AFE (extremo frontal analógico). El sintonizador FH (Frequency Hopping: salto de frecuencia) (901) puede realizar un salto de frecuencia y sintonizar señales según la frecuencia central de RF introducida. Después de la conversión descendente (902), las señales pueden ser convertidas en señales digitales por el ADC (Conversión de analógico a digital) (903).

55 La Fig. 21 muestra un ejemplo de demodulador, específicamente un ejemplo de un demodulador OFDM. El detector TFS (1001) puede detectar señales TFS en una señal digital recibida. El sincronizador TFS (1002) puede sincronizar en el dominio del tiempo y de la frecuencia. Después de que se retira GI (Intervalo de guarda) (1003), los símbolos

en el dominio de la frecuencia pueden obtenerse realizando FFT (1004) para demodulación OFDM. La estimación de canales (1005) puede estimar la distorsión en un canal de transmisión sobre la base de señales piloto. Sobre la base de la distorsión estimada, la ecualización de canal (1006) puede compensar la distorsión en el canal de transmisión. Por último, se puede extraer información de señalización PL (capa física) de los datos ecualizador y puede ser transmitida a un controlador de sistema.

5

La Fig. 22 muestra un ejemplo de decodificador MIMO/MISO. Puede obtenerse ganancia de diversidad y de multiplexación a partir de los datos recibidos del total B de antenas. Para MIMO, B es mayor que 1. Para MISO, B es 1.

La Fig. 23 muestra un ejemplo de un analizador sintáctico de tramas. El total R de los datos de bandas de RF introducidos pueden someterse a desentrelazado de frecuencia (1201a, b), a continuación pueden ser reconstruidos en flujo de datos por el analizador sintáctico TFS de tramas para cada PLP (conexión de capa física) de acuerdo con una esquema TFS. Para cada PLP, los datos de entrada del decodificador BICM pueden obtenerse utilizando el desentrelazador de dominio en el tiempo (1203a, b) y el demapeador de QAM (1204a, b). En este punto, el demapeador de QAM híbrida puede utilizarse como el demapeador de QAM.

10

La Fig. 24 muestra un ejemplo de cómo realizar un demapeador de QAM, que es un homólogo de la Fig. 7 del transmisor. El divisor de bloques FEC puede dividir la unidad introducida de bloque de símbolos que tiene 64800 bits en cuatro bloques de símbolos de 16200 bits cuando se utilizan modo DVB-S2 LDPC corto. El divisor (a-1202) de símbolos puede dividir los flujos de símbolos introducidos en dos flujos de símbolos para el demapeador HOQ y LOQ. El demapeador HOQ (a-1203a) y el demapeador LOQ (a-1203b) pueden realizar demapeado HOQ y LOQ respectivamente. El fusionador (a-1204) de flujos de bits puede fusionar dos flujos de bits introducidos en un solo flujo de bits de salida.

15

20

La Fig. 25 muestra un ejemplo de un demapeador de QAM combinado con desentrelazadores internos que son homólogos de la Fig. 8 del transmisor. Para cada PLP, el divisor (b-1201) de símbolos puede dividir la salida del desentrelazador en el dominio de tiempo en dos flujos de símbolos para los demapeadores HOQ y LOQ. El demapeador HOQ y el LOQ (b-1202a, b-1202b) pueden convertir flujos de símbolos en flujos de bits. Cada flujo de bits puede ser reorganizado por el multiplexor (b-1203a, b-1203b), que es un homólogo del demultiplexador de la Fig. 8 del transmisor. Dos desentrelazadores de bits (b-1204a, b-1206) pueden desentrelazar flujos de bits según el tipo de constelación. Por último, el fusionador (b-1205) de flujos de bits puede fusionar flujos de bits en un solo flujo de bits, luego el decodificador LDPC (b-1206) puede corregir errores en un canal de transmisión.

25

La Fig. 26 muestra un ejemplo de un decodificador BICM. El desentrelazador interno (1301) y el desentrelazador externo (1303) pueden convertir errores en ráfaga en un canal de transmisión en errores aleatorios. El decodificador interno (1302) y el decodificador externo (1304) pueden corregir errores en el canal de transmisión.

30

La Fig. 27 muestra un ejemplo de un procesador de salida. El analizador sintáctico de BB (banda base) (1401a~d) de tramas puede reconstruir datos de entrada en un total P del datos de PLP. Los fusionadores de servicio (1402a, b) pueden fusionar los datos en un único TS (flujo de transporte) y un solo flujo GSE. Para TS, el demultiplexador TS (1403a) puede reconstruir el TS original. Para el flujo GSE, el desencapsulamiento GSE (1403b) puede reconstruir un flujo genérico.

35

Para los expertos en la técnica será evidente que pueden realizarse diversas modificaciones y variaciones en la presente invención. De este modo, se pretende que la presente invención abarque las modificaciones y variaciones de esta invención, siempre que entren dentro del alcance de las reivindicaciones adjuntas.

40

REIVINDICACIONES

1. Un método para transmitir señales de difusión, el método comprende:
introducir flujos de entrada de procesamiento para sacar tramas de banda base, BB, para múltiples conexiones de capa física, PLP;
5 codificación exterior de datos en cada una de las tramas de BB por cada una de las múltiples PLP;
codificación interior de los datos codificados en el exterior mediante un esquema de comprobación de paridad de baja densidad, LDPC;
dividir los datos codificados en el interior en un primer flujo de bits para un método de mapeado por modulación de amplitud en cuadratura de orden alto, HOQ, y en un segundo flujo de bits para un método de mapeado por modulación de amplitud en cuadratura de orden bajo, LOQ;
10 mapear por modulación de amplitud en cuadratura, QAM, los datos divididos utilizando el método de mapeado HOQ y el método de mapeado LOQ;
codificar los datos mapeados utilizando un esquema de múltiple entrada múltiple salida, MIMO; y
modular los datos codificados MIMO por multiplexación por división de frecuencia ortogonal, OFDM.
- 15 2. El método de la reivindicación 1, en donde el método incluye además;
demultiplexar el primer y el segundo flujo de bits hasta unos flujos de bits para el método de mapeo HOQ y el método de mapeo LOQ.
3. El método de la reivindicación 2, en donde la desmultiplexación comprende además;
20 cambiar un orden de los bits de datos en el primer flujo de bits de los dos flujos de bits divididos según el método de mapeo HOQ; y
cambiar un orden de los bits de datos en el segundo flujo de bits de los dos flujos de bits divididos según el método de mapeo LOQ.
4. El método de la reivindicación 3, en donde el mapeado QAM comprende además:
mapear los datos en el primer flujo de bits con símbolos respectivos utilizando el método de mapeo HOQ; y
25 mapear los datos en el segundo flujo de bits con símbolos respectivos utilizando el método de mapeo LOQ.
5. Un aparato para transmitir señales de difusión, el aparato comprende:
un procesador de entrada (101) configurado para introducir flujos de entrada de proceso para sacar tramas de banda base, BB, para múltiples conexiones de capa física, PLP;
un codificador exterior (301) configurado para la codificación exterior de los datos en cada una de las tramas de BB por cada una de las múltiples PLP;
30 un codificador interior (401) configurado para la codificación interior de los datos codificados en el exterior mediante un esquema de comprobación de paridad de baja densidad, LDPC;
un analizador sintáctico (d402) de flujos de bits configurado para dividir los datos codificados en el interior hasta un primer flujo de bits para un método de mapeado por modulación de amplitud en cuadratura de orden alto, HOQ, y hasta un segundo flujo de bits para un método de mapeado por modulación de amplitud en cuadratura de orden bajo, LOQ;
35 un mapeador (d-405a, d-405b) de modulación de amplitud en cuadratura, QAM, configurado para mapear los datos divididos utilizando el método de mapeado HOQ y el método de mapeado LOQ;
un codificador (104) configurado para codificar los datos mapeados utilizando un esquema de múltiple entrada múltiple salida, MIMO; y
40 un modulador (105a, 105b) de multiplexación por división de frecuencia ortogonal, OFDM, configurado para modular los datos codificados con MIMO.
6. El aparato de la reivindicación 5, en donde el método incluye además;

un demultiplexador (d-404a, d-404b) configurado para demultiplexar el primer y el segundo flujo de bits hasta los flujos de bits para el método de mapeo HOQ y el método de mapeo LOQ.

5 7. El aparato de la reivindicación 6, en donde el demultiplexador (d-404a, d-404b) se adapta además para cambiar un orden de los bits de datos en el primer flujo de bits de los dos flujos de bits divididos según el método de mapeo HOQ y para cambiar un orden de los bits de datos en el segundo flujo de bits de los dos flujos de bits divididos según el método de mapeo LOQ.

8. El aparato de la reivindicación 7, en donde el mapeador QAM (d-405a, d-405b) se adapta además para mapear los datos en el primer flujo de bits con respectivos símbolos utilizando el método de mapeo HOQ y para mapear los datos en el segundo flujo de bits con respectivos símbolos utilizando el método de mapeo LOQ.

10 9. Un método para recibir una señal de difusión, el método comprende:

recibir las señales de difusión y demodular por multiplexación por división de frecuencia, OFDM, los datos en las señales recibidas de difusión;

decodificar los datos demodulados utilizando un esquema de múltiple entrada múltiple salida, MIMO;

15 demapear por modulación de amplitud en cuadratura, QAM, los datos decodificados utilizando un método de demapeado por modulación de amplitud en cuadratura de orden alto, HOQ, y un método de demapeado por modulación de amplitud en cuadratura de orden bajo, LOQ;

la decodificación interior de los datos demapeados por QAM por una sola conexión de capa física, PLP, mediante un esquema de comprobación de paridad de baja densidad, LDPC;

la decodificación exterior de los datos decodificados en el interior; y

20 procesar para sacar los datos decodificados en el exterior.

10. El método de la reivindicación 9, en donde el método incluye además;

dividir los datos decodificados en dos flujos de símbolos.

11. El método de la reivindicación 10, en donde el demapeado QAM comprende además;

25 demapear el primer flujo de símbolos de los dos flujos de símbolos hasta un primer flujo de bits utilizando el método de demapeado HOQ; y

demapear el segundo flujo de símbolo de los dos flujos de símbolos hasta un segundo flujo de bits utilizando el método de demapeado LOQ.

12. El método de la reivindicación 11, en donde el método comprende además:

cambiar un orden de los bits en el primer flujo de bits según el método de demapeado HOQ;

30 cambiar un orden de los bits en el segundo flujo de bits según el método de demapeado LOQ; y

fusionar el primer y el segundo flujo de bits multiplexados en un datos por la única PLP.

13. Un aparato para recibir señales de difusión, el aparato comprende:

un demodulador (802a, 802b) de multiplexación por división de frecuencia, OFDM, configurado para recibir las señales de difusión y demodular por OFDM los datos en las señales recibidas de difusión;

35 un descodificador (803) configurado para decodificar los datos demodulados utilizando un esquema de múltiple entrada múltiple salida, MIMO;

un demapeador (1202a, 1202b) de modulación de amplitud en cuadratura, QAM, configurado para demapear los datos decodificados utilizando un método de demapeado por modulación de amplitud en cuadratura de orden alto, HOQ, y un método de demapeado por modulación de amplitud en cuadratura de orden bajo, LOQ;

40 un descodificador interior (b-1206) configurado para la decodificación interior de los datos demapeados por QAM por una sola conexión de capa física, PLP, mediante un esquema de comprobación de paridad de baja densidad, LDPC;

un descodificador exterior (1304) configurado para la decodificación exterior de los datos decodificados en el interior; y

un procesador de salida (806) configurado para procesar en salida los datos decodificados en el exterior.

14. El aparato de la reivindicación 13, en donde el aparato incluye además;

un divisor (b-1201) de símbolos configurado para dividir los datos decodificados en dos flujos de símbolos.

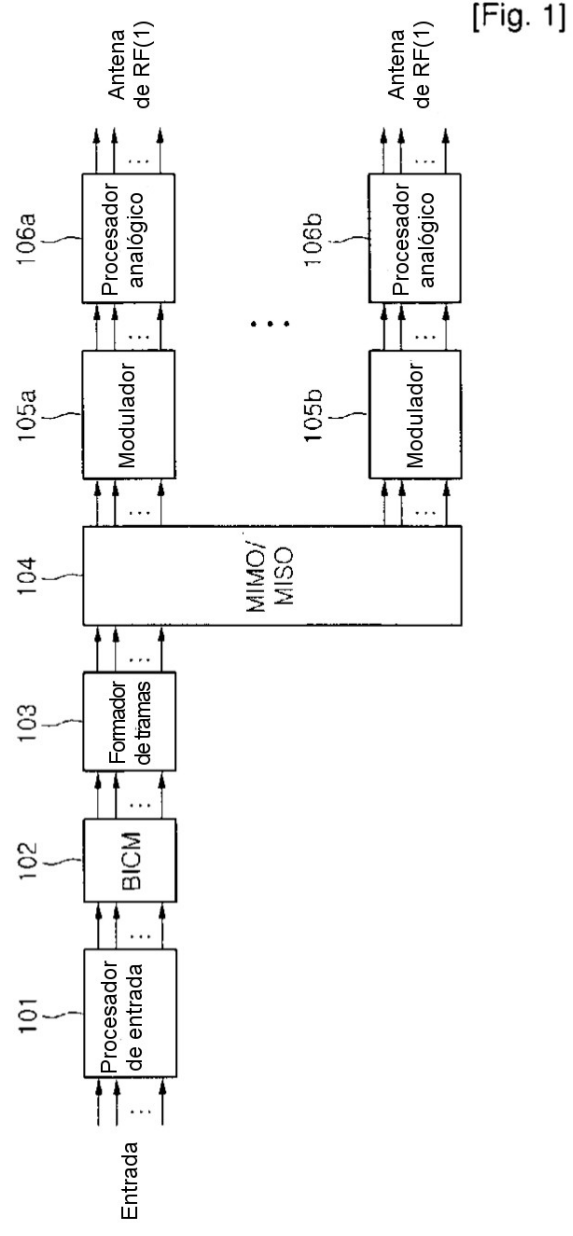
5 15. El aparato de la reivindicación 14, en donde el demapeador QAM (1202a, 1202b) se configura además para demapear el primer flujo de símbolos de los dos flujos de símbolos hasta un primer flujo de bits utilizando el método de demapeado HOQ y para demapear el segundo flujo de símbolos de los dos flujos de símbolos hasta un segundo flujo de bits utilizando el método de demapeado LOQ.

16. El aparato de la reivindicación 15, en donde el aparato comprende además:

un primer multiplexor (b-1203a) configurado para cambiar un orden de los bits en el primer flujo de bits según el método de demapeado HOQ;

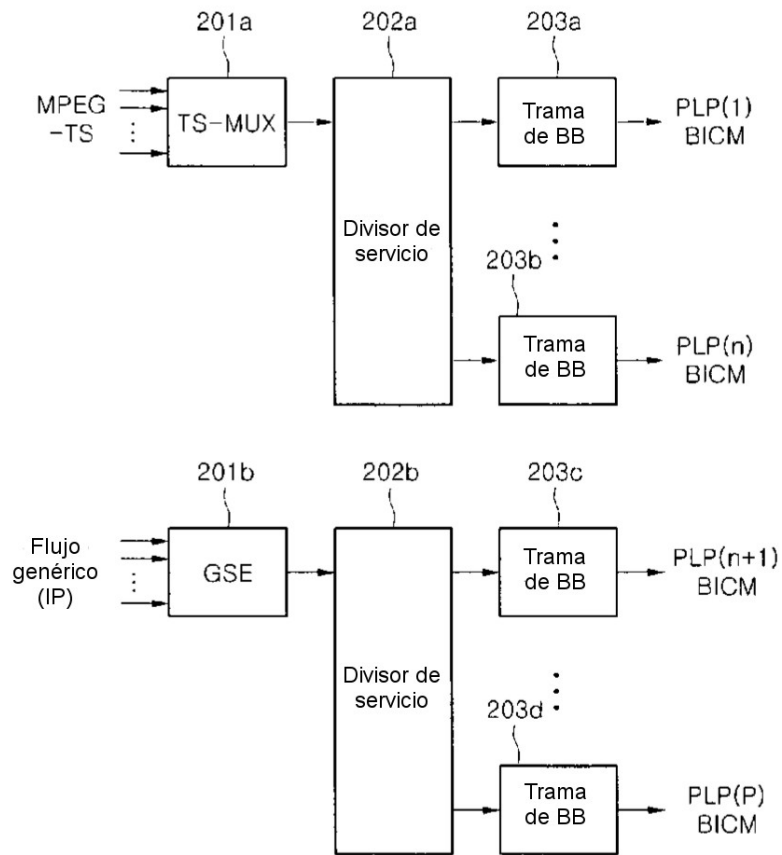
10 un segundo multiplexor (b-1203b) configurado para cambiar un orden de los bits en el segundo flujo de bits según el método de demapeado LOQ; y

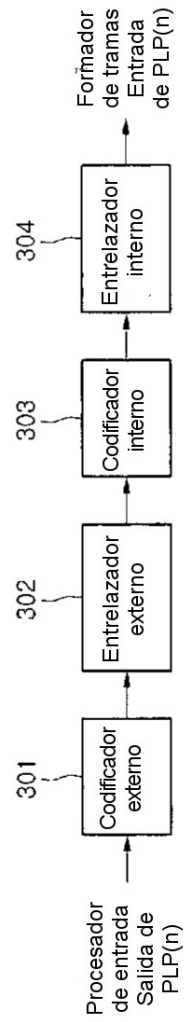
un fusionador (b-1205) configurado para fusionar el primer y el segundo flujo de bits multiplexados por la única PLP.



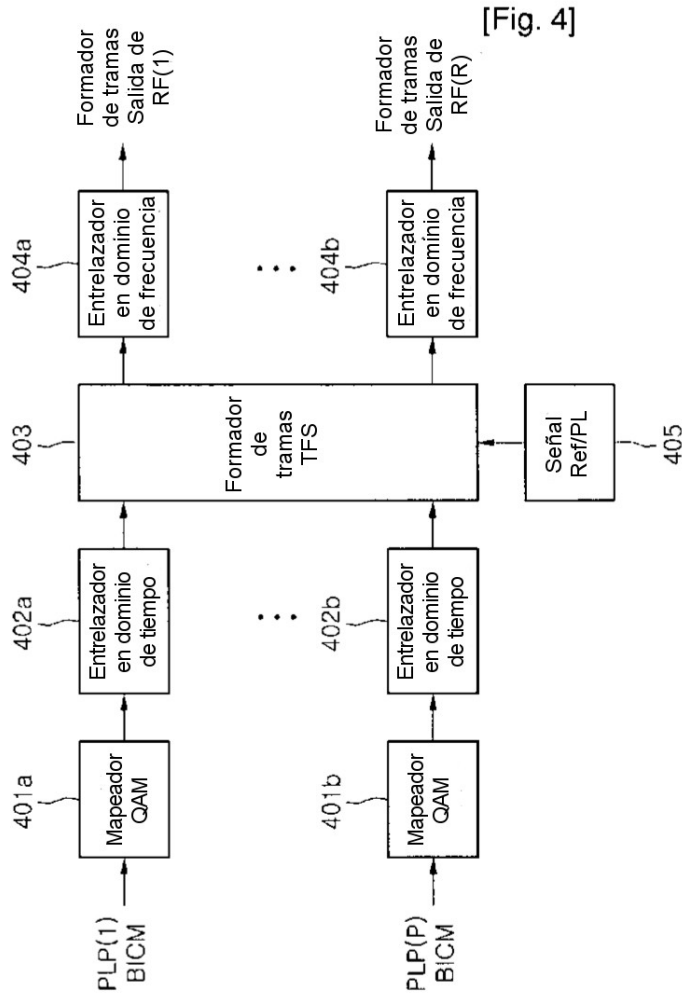
[Fig. 1]

[Fig. 2]





[Fig. 3]



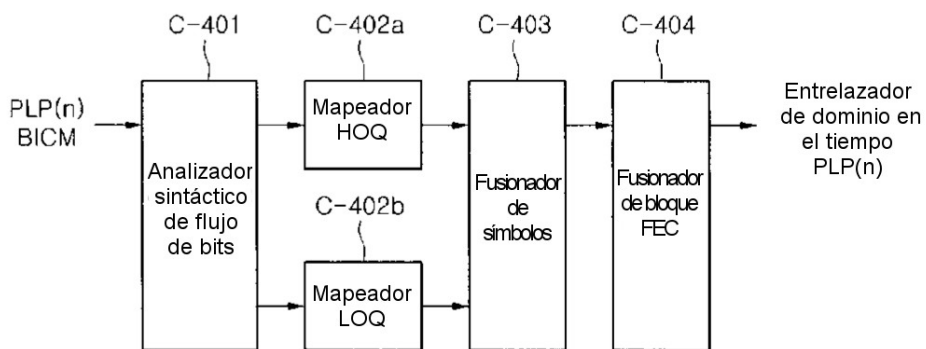
[Fig. 5]

Tipo de constelación	proporc. HOQ	bits HOQ	bits LOQ	simbolos HOQ	simbolos LOQ	Simbolos totales	bit/celda
256-QAM	1	64800	0	8100	0	8100	8
128-QAM híbrida	3/5	38880	25920	4860	4320	9180	7,0588
64-QAM	1	64800	0	10800	0	10800	6
32-QAM híbrida	3/5	38880	25920	6480	6480	12960	5
16-QAM	1	64800	0	16200	0	16200	4
8-QAM híbrida	2/3	43200	21600	10800	10800	21600	3
QPSK	1	64800	0	32400	0	32400	2

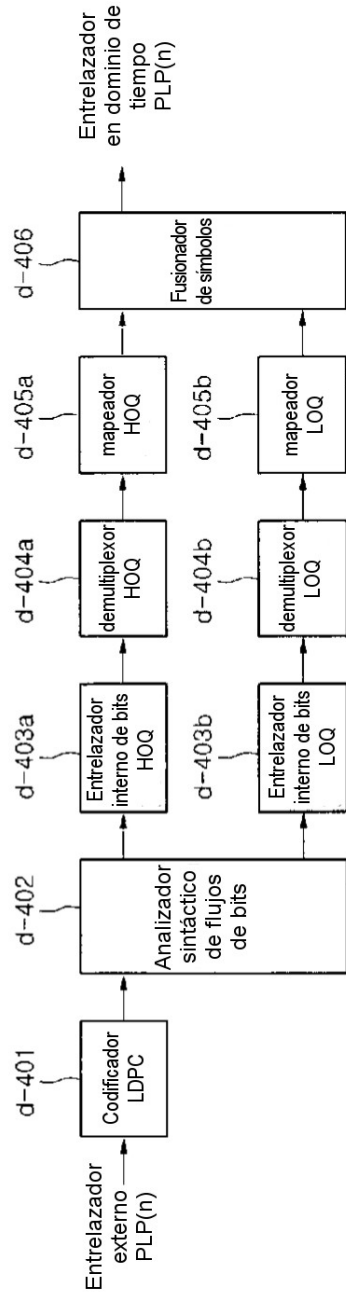
[Fig. 6]

Tipo de constelación	propor. HOQ	bits HOQ	bits LOQ	símbolos HOQ	símbolos LOQ	Símbolos totales	bit/celda
256-QAM	1	16200	0	2025	0	2025	8
128-QAM híbrida	3/5	9720	6480	1215	1080	2295	7,0588
64-QAM	1	16200	0	2700	0	2700	6
32-QAM híbrida	3/5	9720	6480	1620	1620	3240	5
16-QAM	1	16200	0	4050	0	4050	4
8-QAM híbrida	2/3	10800	5400	2700	2700	5400	3
QPSK	1	16200	0	8100	0	8100	2

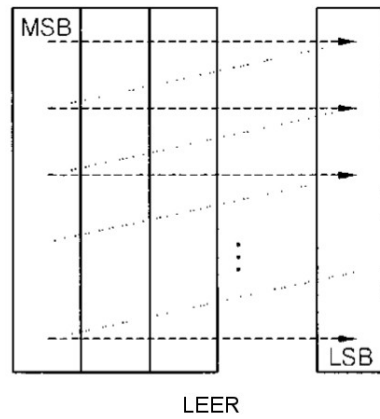
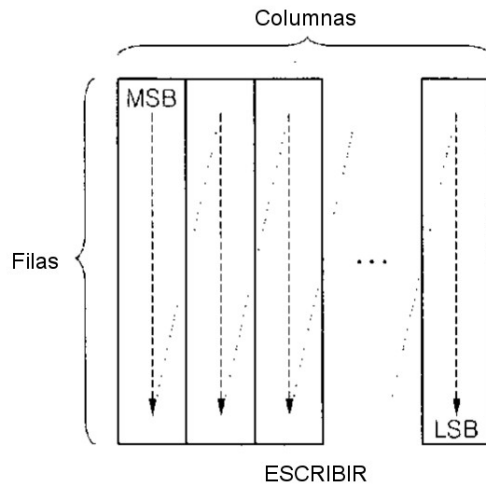
[Fig. 7]



[Fig. 8]



[Fig. 9]



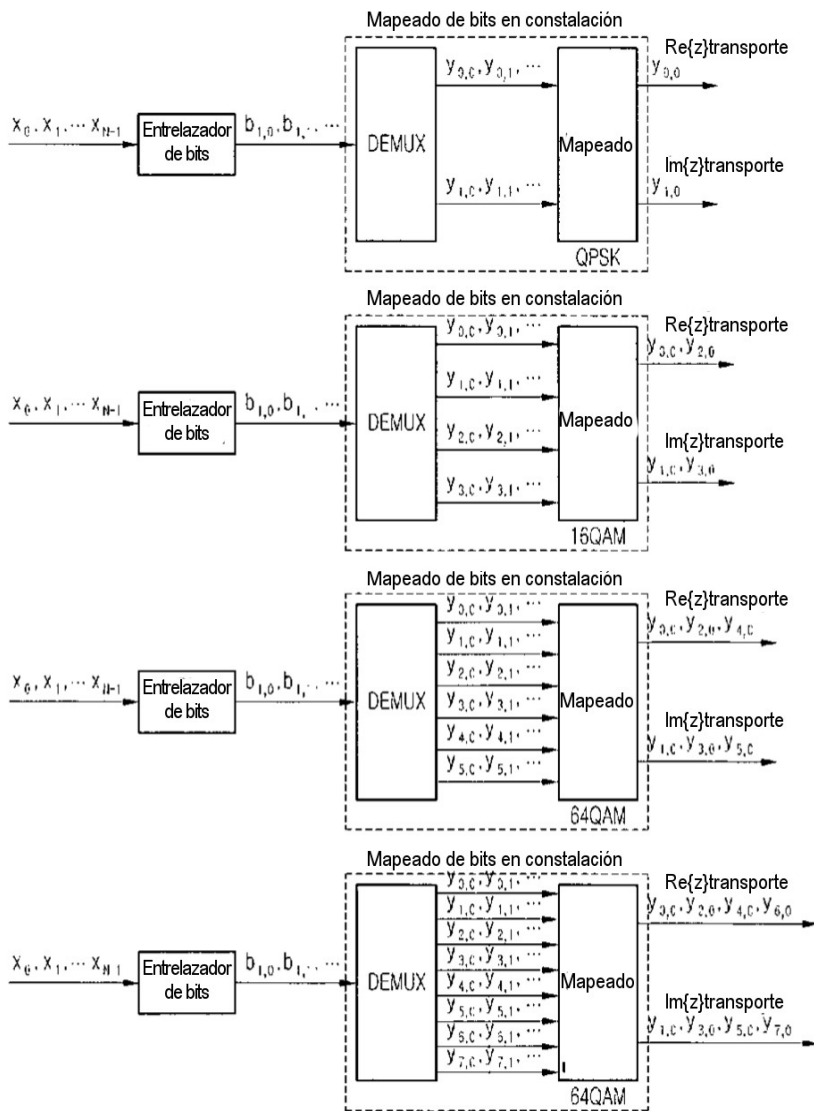
[Fig. 10]

Tipo de QAM	Filas HOQ	Columnas HOQ	Filas LOQ	Columnas LOQ
256-QAM	8100	8		
128-QAM híbrida	4860	8	4320	6
64-QAM	10800	6		
32-QAM híbrida	6480	6	6480	4
16-QAM	16200	4		
8-QAM híbrida	10800	4	10800	2
4-QAM	32400	2		

[Fig. 11]

Tipo de QAM	Filas HOQ	Columnas HOQ	Filas LOQ	Columnas LOQ
256-QAM	2025	8		
128-QAM híbrida	1215	8	1080	6
64-QAM	2700	6		
32-QAM híbrida	1620	6	1620	4
16-QAM	4050	4		
8-QAM híbrida	2700	4	2700	2
4-QAM	8100	2		

[Fig. 12]



[Fig. 13]

QPSK
b 0 mapea a y0.0 b 1 mapea a y1.0
16-QAM
b 0 mapea a y2.0 b 1 mapea a y3.0 b 2 mapea a y0.0 b 3 mapea a y1.0
64-QAM
b 0 mapea a y4.0 b 1 mapea a y5.0 b 2 mapea a y2.0 b 3 mapea a y3.0 b 4 mapea a y0.0 b 5 mapea a y1.0
256-QAM
b 0 mapea a y6.0 b 1 mapea a y7.0 b 2 mapea a y4.0 b 3 mapea a y5.0 b 4 mapea a y2.0 b 5 mapea a y3.0 b 6 mapea a y0.0 b 7 mapea a y1.0

[Fig. 14]

QPSK: $i = 0, 1, 2, \dots, \frac{N}{2} - 1,$

$$(y_{0,i}, y_{1,i}) = (x_i, x_{N/2+i}),$$

16-QAM: $i = 0, 1, 2, \dots, \frac{N}{4} - 1,$

$$(y_{0,i}, y_{1,i}, y_{2,i}, y_{3,i}) = \left(\frac{x_{2N/4+i}}{4}, \frac{x_{3N/4+i}}{4}, x_i, \frac{x_{N/4+i}}{4} \right)$$

64-QAM: $i = 0, 1, 2, \dots, \frac{N}{6} - 1,$

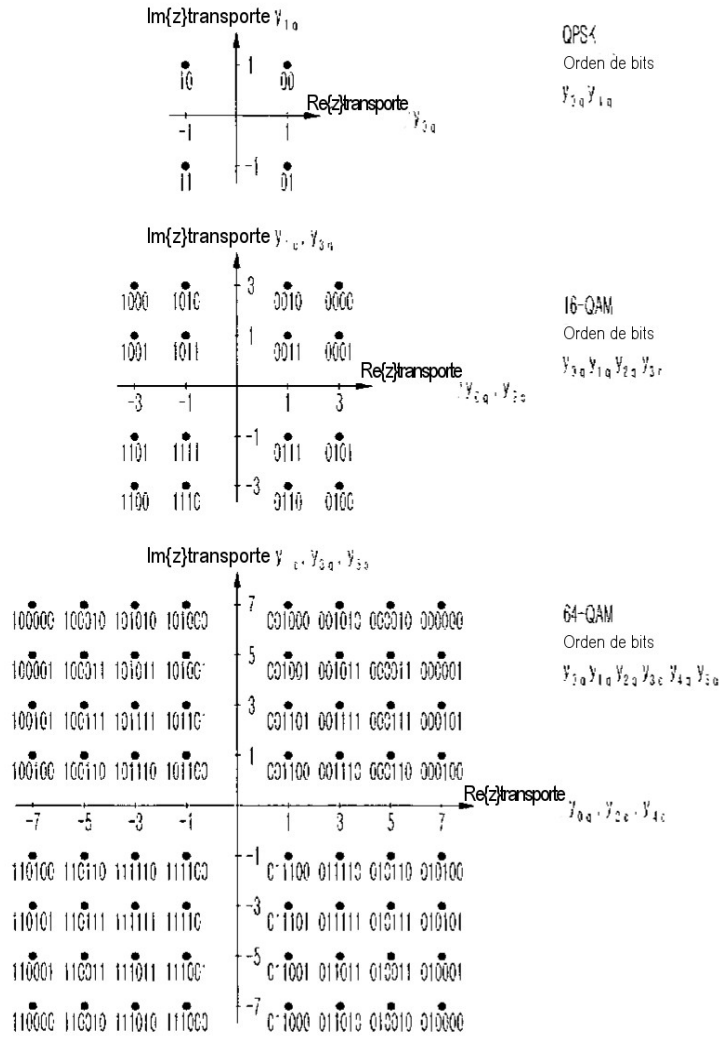
$$(y_{0,i}, y_{1,i}, y_{2,i}, y_{3,i}, y_{4,i}, y_{5,i}) = \left(\frac{x_{4N/6+i}}{6}, \frac{x_{5N/6+i}}{6}, \frac{x_{2N/6+i}}{6}, \frac{x_{3N/6+i}}{6}, x_i, \frac{x_{N/6+i}}{6} \right)$$

256-QAM: $i = 0, 1, 2, \dots, \frac{N}{8} - 1,$

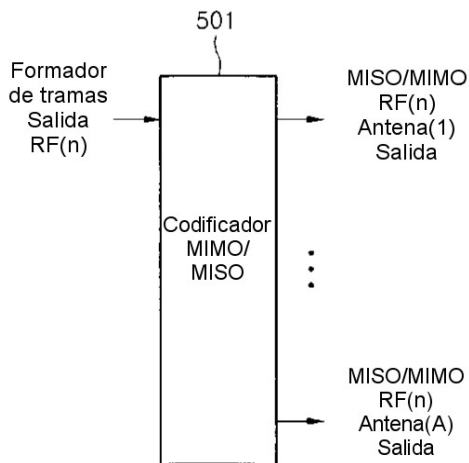
$$(y_{0,i}, y_{1,i}, y_{2,i}, y_{3,i}, y_{4,i}, y_{5,i}, y_{6,i}, y_{7,i}) = \left(\frac{x_{6N/8+i}}{8}, \frac{x_{7N/8+i}}{8}, \frac{x_{4N/8+i}}{8}, \frac{x_{5N/8+i}}{8}, \frac{x_{2N/8+i}}{8}, \frac{x_{3N/8+i}}{8}, x_i, \frac{x_{N/8+i}}{8} \right)$$

N = número de bits HOQ/LOQ para entrada de entrelazador de bits
x_i = bit *i*-ésimo del bloque de bits HOQ/LOQ para entrada de entrelazador de bits
y_{ji} = bit *i*-ésimo de la salida de flujo de bits demultiplexada *j*-ésima

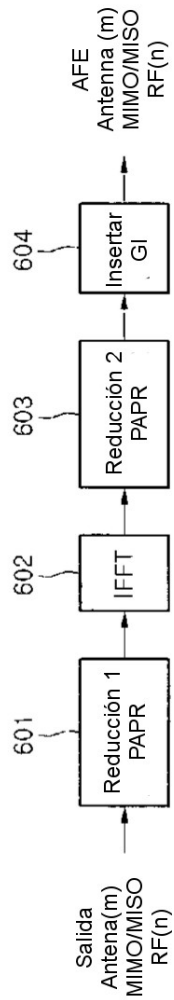
[Fig. 15]



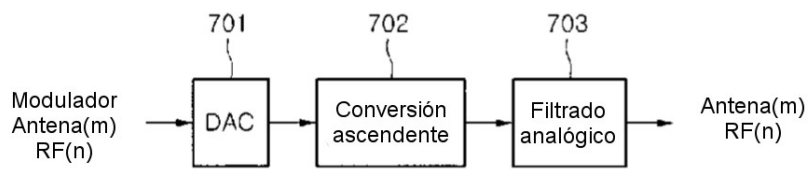
[Fig. 16]



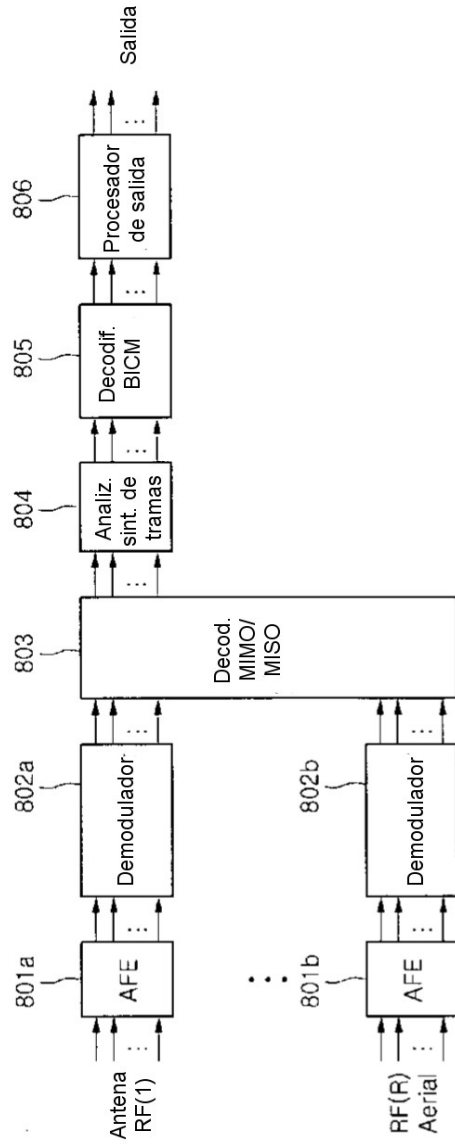
[Fig. 17]



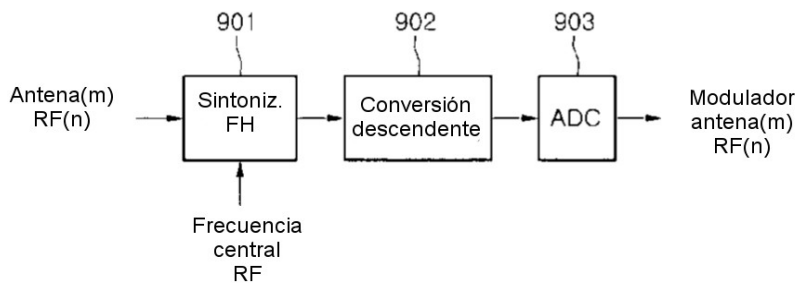
[Fig. 18]

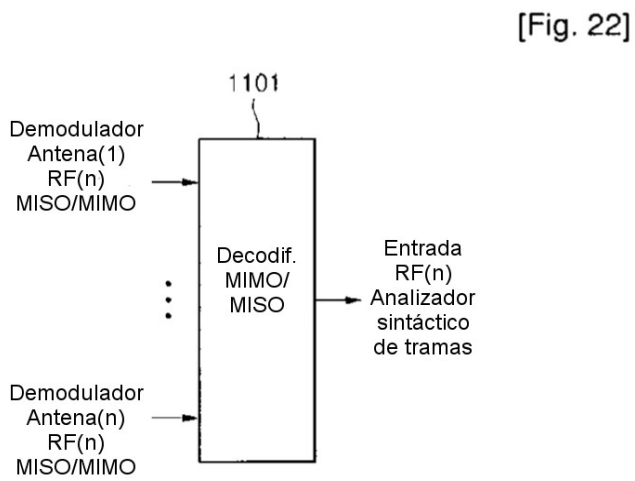
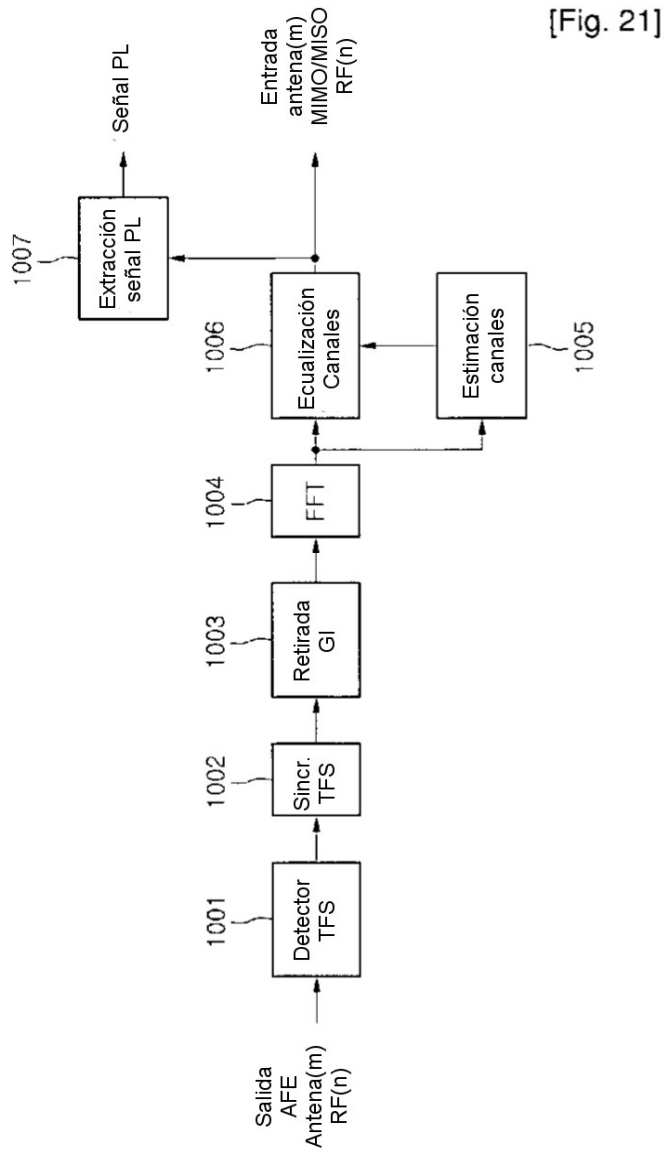


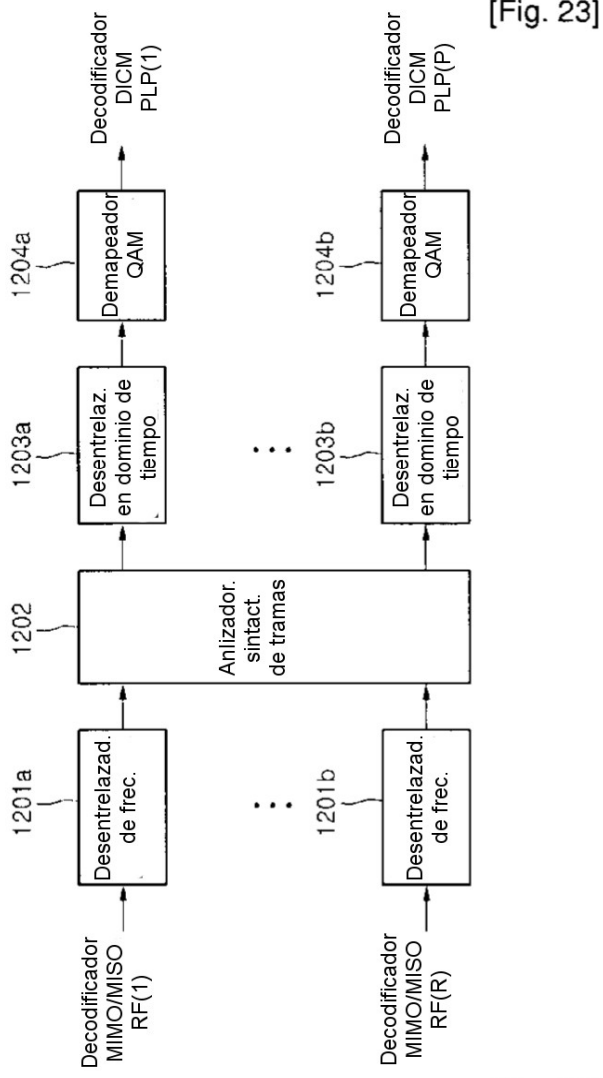
[Fig. 19]



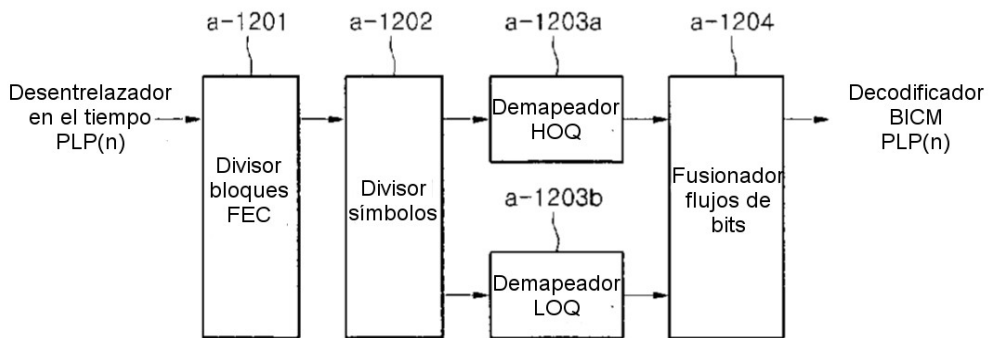
[Fig. 20]

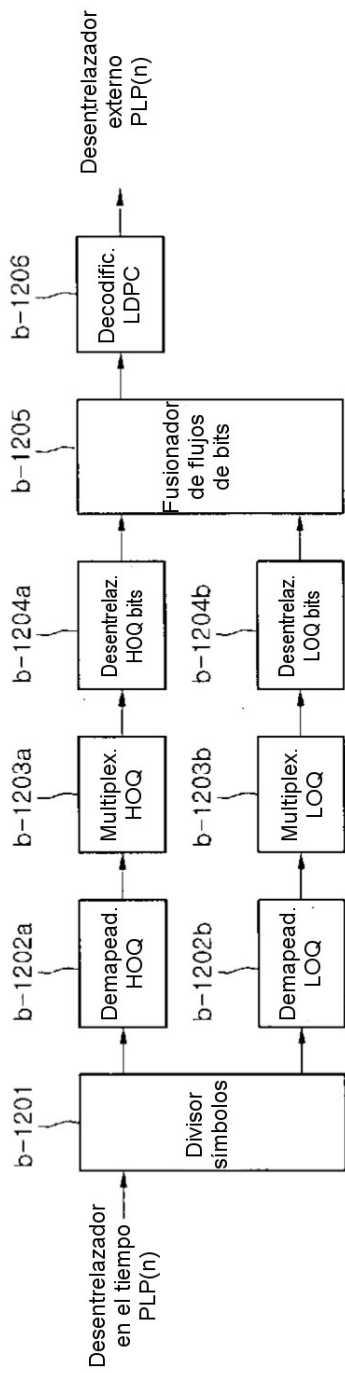






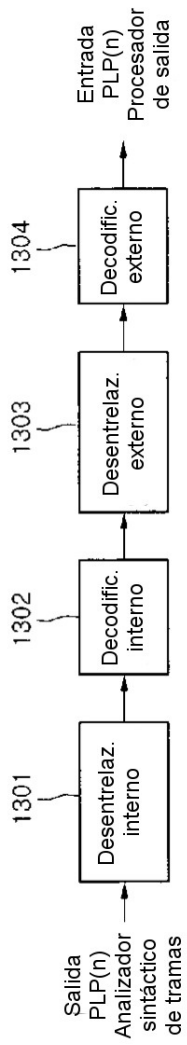
[Fig. 24]





[Fig. 25]

[Fig. 26]



[Fig. 27]

