

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 523 426**

51 Int. Cl.:

G06F 11/07 (2006.01)

G06F 11/16 (2006.01)

G06F 11/18 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **11.03.2013 E 13158613 (3)**

97 Fecha y número de publicación de la concesión europea: **22.10.2014 EP 2639697**

54 Título: **Sistema de vigilancia de valores de medida y desconexión cuando se presentan desviaciones de valores de medida**

30 Prioridad:

13.03.2012 DE 102012004844

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

25.11.2014

73 Titular/es:

**PHOENIX CONTACT GMBH & CO. KG (100.0%)
Flachsmarktstrasse 8
32825 Blomberg, DE**

72 Inventor/es:

**TEUTENBERG, JÜRGEN;
DONBOU KENFOUET, CELARIE MARCER AUS y
ROHS, MARKUS**

74 Agente/Representante:

PÉREZ BARQUÍN, Eliana

ES 2 523 426 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

SISTEMA DE VIGILANCIA DE VALORES DE MEDIDA Y DESCONEXIÓN CUANDO SE PRESENTAN DESVIACIONES DE VALORES DE MEDIDA

DESCRIPCIÓN

- 5 En la técnica de la seguridad existe el problema de la desconexión segura, basándose en mediciones realizadas. Usualmente se construyen estructuras de dos canales, para realizar las medidas por partida doble. Cuando falla un canal, asume el otro canal la desconexión segura. Se conoce la utilización de dos microcontroladores para realizar estas tareas.
- 10 Por el documento US 2010/0270987 A1 se conoce un sistema para la emisión de una señal de salida Vital (módulo de seguridad Vital) para un procesador en el que están previstos dos circuitos independientes entre el procesador y dos o más interruptores, que conectan y desconectan una serie de salidas Vital a elegir. Ambos circuitos independientes cooperan entre sí y realizan procesos locales de diagnóstico relativos al estado de salida Vital deseado independientemente del procesador.
- 15 Por el documento EP 1 962 193 A1 se conoce un dispositivo de conexión para controlar una carga, que incluye una unidad central, tres registros y dos sistemas lógicos de comparación. El primer sistema lógico de comparación compara el contenido del segundo registro con el del tercer registro y envía un interrupt (orden de interrupción) a la unidad central cuando ambos contenidos no son iguales. El segundo sistema lógico compara el contenido del primer registro con el del segundo registro y libera un dispositivo de transmisión cuando los contenidos de ambos registros son iguales y bloquea el dispositivo de transmisión caso contrario.
- 20 La invención tiene como tarea básica proponer una solución alternativa para utilizar dos microcomputadores.
- 25 El sistema correspondiente a la invención de vigilancia de valores de medida y desconexión cuando se presentan desviaciones del valor de medida, incluye un microcontrolador y un FPGA (field programable gate array, circuito integrado configurable), que presenta una primera parte del circuito FPGA y una segunda parte del circuito FPGA, que presentan respectivas SPIs (serial peripheral interface, interfaz de periféricos serie) con un registro deslizante para alojar valores de medida, intercambiándose cíclicamente los valores de medida entre el microcontrolador, primera parte del circuito FPGA y segunda parte del circuito FPGA, así como comparándose entre sí en cuanto a desviaciones de los valores de medida, todo ello iniciado por una de las SPI. En esta comparación deben ser los valores de medida de ambas partes del circuito FPGA completamente idénticos, mientras que los resultados de medida del microcontrolador pueden desviarse ligeramente cuando los procedimientos de medida entre microcontrolador y las partes del circuito FPGA no son idénticos.
- 30 La expresión "valor de medida" ha de entenderse aquí con carácter totalmente general y debe incluir todos aquellos datos relacionados con el estado de instalaciones a vigilar.
- 35 La realización de la comparación de los valores de medida puede realizarse como sigue. El primer valor de medida obtenido en el microcontrolador se envía en un SPI-Shift (de desplazamiento) "normal" y en un segundo SPI-Shift "invers" a una primera parte del circuito FPGA y a continuación a una segunda parte del circuito FPGA. A la vez se conducen los resultados de medida de las partes del circuito FPGA al microcontrolador, para compararlos con los valores de medida allí existentes. Cuando el valor de medida obtenido en el microcontrolador coincide con los valores de medida obtenidos en las partes del circuito FPGA o sólo se desvían ligeramente, no se ve afectada la función de seguridad, siempre que las desviaciones relativas a la primera y segunda parte del circuito FPA sean similares. Cuando se presentan diferencias y no coinciden los valores de medida de ambas partes del circuito FPGA, entonces se presenta la situación de seguridad y se origina la desconexión de la instalación vigilada.
- 40 Para comprobar la coincidencia de los valores de medida, pueden intercambiarse valores de medida también directamente entre las partes del circuito FPGA y compararse para comprobar su coincidencia.
- 45 La invención se describirá en base a un ejemplo de ejecución. Éste muestra una cascada para ajustar una estructura diversificada de tres canales en la técnica de seguridad.
- 50 Un microcontrolador MC está conectado en serie con un FPGA (field programmable gate array), que contiene una primera parte del circuito FPGA, FPGA 1, y una segunda parte del circuito FPGA, FPGA 2. Tanto el microcontrolador MC como también ambas partes del circuito FPGA contienen respectivas SPI (serial peripheral interface). Cada SPI contiene un registro deslizante para alojar valores de medida, asociados a la correspondiente parte de los circuitos MC, FPGA1 ó FPGA2. El procedimiento de medida en el microcontrolador MC puede ser diferente de los procedimientos de medida en las partes del circuito FPGA, pero debe conducir a resultados de medidas similares. Los procedimientos de medida de ambas partes del circuito FPGA son idénticos, con lo que cuando la medición está libre de errores, se obtienen en cada caso los mismos valores de medida. Estos valores de medida se introducen en los registros
- 60
- 65

deslizantes de las partes del circuito FPGA, FPGA 1 y FPGA 2. Igualmente el resultado de medida en el microcontrolador, en un caso "normal" y en el otro caso "inverso".

5 El ajuste de los resultados de medida se realiza con una etapa de emisión del microcontrolador MC. El valor de medida del microcontrolador MC se conduce a través del registro deslizante del SPI sucesivamente en forma normal y en forma inversa a través de la línea MOSI (master out slave in, salida de datos del master y entrada de datos del slave) al SPI de la parte del circuito FPGA, FPGA 1 y SPI de la FPGA 2, con lo que los mismos quedan disponibles para la comparación con los resultados de medida en las partes del circuito FPGA, FPGA 1 y FPGA 2. Simultáneamente se conducen los resultados de medida en las partes del circuito FPGA, FPGA 1 y FPGA 2, a través de la línea MISO (master in slave out, entrada de datos del master y salida de datos del slave) al microcontrolador MC. Los controles se realizan a través de las líneas SS (Slave select, seleccionar slave) y SPLK (serial clock, reloj serie).

15 Al realizarse la recepción, inicia el microcontrolador MC un desplazamiento de valores de medida doble. En el primer desplazamiento de valores de medida, llega el valor de medida de la parte del circuito FPGA, FPGA 2 al SPI y puede compararse con el valor de medida allí existente en el microcontrolador MC. En la segunda etapa de desplazamiento llega el valor de medida de la parte del circuito FPGA FPGA 1 al microcontrolador MC y debe coincidir con el valor primeramente recibido de la parte del circuito FPGA FPGA 2.

20 El procedimiento de comparación puede discurrir tal que los datos de ambas partes del circuito FPGA, FPGA 1 y FPGA 2 se suman y se comprueban en cuanto a constancia. Entonces puede realizarse una transformación de la representación de los valores de medida existentes en forma digital. "Inverso" significa en este contexto que cada bit se invierte en un byte. Por ejemplo si el valor decimal 0x56 se encuentra en la forma de escritura binaria 01010110, de ello resulta invirtiendo cada bit 10101001, lo cual da como resultado a su vez el valor 0xA9 en la forma de escritura hexadecimal. Si se suman dos bytes que están invertidos entre sí, entonces el resultado es siempre 0xFF = 11111111. Otro ejemplo da como resultado

30
$$0x8C + 0x73 \text{ (invers } 0x8c) = 0xFF.$$

La comparación de valores de medida puede realizarse por lo tanto de forma extraordinariamente sencilla.

35 Es posible también que los valores de medida obtenidos en las partes del circuito FPGA, FPGA 1 y FPGA 2 se intercambien entre estas dos partes del circuito, para comprobar directamente la coincidencia. También entonces puede utilizarse con el procedimiento de comparación descrito.

40 Finalmente es posible también utilizar en lugar de dos partes del circuito FPGA, FPGAs separados, lo cual está incluido en las reivindicaciones.

REIVINDICACIONES

- 5
1. Sistema de vigilancia de valores de medida y desconexión cuando se presentan desviaciones de los valores de medida, que incluye:
- un microcontrolador (MC) que contiene una primera SPI (serial peripheral interface, interfaz de periféricos serie) con un registro deslizante para alojar primeros valores de medida, y
 - 10 - un FPGA (field programable gate array, circuito integrado configurable) que incluye una primera parte del circuito FPGA (FPGA 1) y una segunda SPI (serial peripheral interface) con un registro deslizante para alojar segundos valores de medida,
 - una segunda parte del circuito FPGA (FPGA 2) y una tercera SPI con un registro deslizante para alojar terceros valores de medida,
 - 15 - en el que, por iniciativa de una de las SPI, se intercambian cíclicamente los valores de medida entre microcontrolador, primera parte del circuito FPGA y segunda parte del circuito FPGA y se comparan entre sí en cuanto a desviaciones de los valores de medida.
2. Sistema según la reivindicación 1, en el que partiendo del microcontrolador, el primer valor de medida se envía en un SPI-Shift (desplazamiento) "normal" y en otro SPI-Shift "invers" a la primera y segunda parte del circuito FPGA, para compararse con el segundo valor de medida y/o el tercer valor de medida.
- 20
3. Sistema según la reivindicación 1 ó 2, en el que el microcontrolador inicia un desplazamiento doble y recibe entonces el valor de medida enviado como tercer valor de medida y lo compara con el primer valor de medida, a continuación recibe el segundo valor de medida y compara su coincidencia con el tercer valor de medida.
- 25
4. Sistema según la reivindicación 2 ó 3, en el que los datos de ambas partes del circuito FPGA se suman en el microcontrolador y se comprueban en cuanto a constancia.
- 30
5. Sistema según una de las reivindicaciones 1 a 4, en el que entre la primera y la segunda parte del FPGA se intercambian valores de medida directamente y se comprueba su coincidencia.

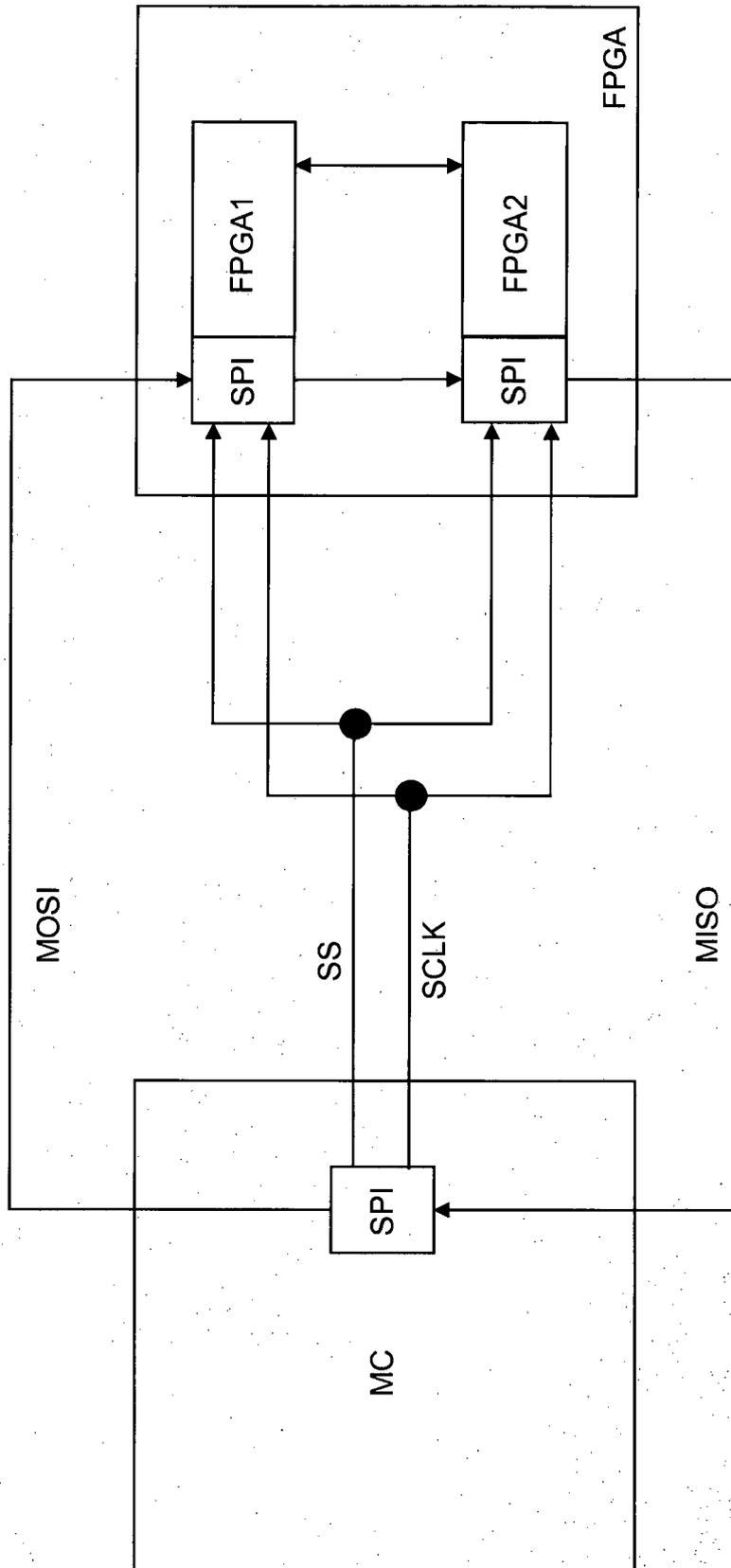


Fig. 1