

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 523 445**

51 Int. Cl.:

H03F 3/00 (2006.01)

G05F 3/26 (2006.01)

H03H 19/00 (2006.01)

H03F 3/45 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **24.09.2009 E 09783384 (2)**

97 Fecha y número de publicación de la concesión europea: **13.08.2014 EP 2342818**

54 Título: **Un sistema y un método para generar un voltaje de error**

30 Prioridad:

25.09.2008 EP 08165068

26.09.2008 US 136708 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

26.11.2014

73 Titular/es:

MOSCAD DESIGN & AUTOMATION SÀRL

(100.0%)

Chemin des Curtils

1261 Le Vaud, CH

72 Inventor/es:

BALLENEGGER, FLORIAN

74 Agente/Representante:

TOMAS GIL, Tesifonte Enrique

ES 2 523 445 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Un sistema y un método para generar un voltaje de error

5 INTRODUCCIÓN

[0001] La presente invención se refiere al dominio de circuitos y técnicas de condensador conmutados y más particularmente al uso de tales circuitos en la realización de generadores de corriente de precisión y osciladores de precisión.

10 ANTECEDENTES DE LA INVENCION

[0002] Redes de condensador conmutado son ampliamente usadas en el diseño de circuitos electrónicos en vista de su capacidad para simular una carga resistente en un circuito.

Usando un condensador conmutado C_{sw} , accionado a una frecuencia f_{sw} , se puede realizar una resistencia equivalente de R_{eq} donde $R_{eq} = 1/(f_{sw} \times C_{sw})$.

Es bien conocido que en la fabricación de circuitos integrados semiconductores, no es fácilmente alcanzable una precisión absoluta de valores de resistencia mientras que una precisión absoluta de valores de capacitancia está bien en el control de la mayoría de procesos de fabricación de semiconductor.

Por esta razón, el uso de circuitos de condensador conmutados en el diseño de circuito semiconductor analógico, en situaciones donde son requeridos valores de resistencia precisos, es de particular importancia.

[0003] Circuitos de referencia de voltaje preciso conocidos como "circuitos de referencia de intervalo de banda" son hoy en día bien conocidos y están ampliamente disponibles.

Un ejemplo de tal circuito de referencia de intervalo de banda de precisión es descrito por D. Susak en la Patente Estadounidense Número 5,900,773.

No obstante, la generación de una referencia de corriente precisa y estable es una tarea más difícil.

La disponibilidad de generadores de referencia de corriente de precisión es necesaria para conseguir exactitud en los sensores que requieren aplicaciones (por ejemplo polarización del elemento Hall), convertidores de datos (por ejemplo conducción de corriente DAC), etc.

[0004] Tales circuitos de referencia de corriente se pueden realizar utilizando un condensador conmutado, un comparador, una referencia de voltaje y un reloj de referencia en un circuito de bucle cerrado de señal mixta como es descrito en la Publicación de Solicitud de la Patente Estadounidense 2006/0119422A1, Dispositivo Semiconductor que Incluye Circuito de Control de Corriente de Fuente de Corriente de Referencia, Sakurai et al., Jun. 8, 2006.

Este circuito tiene un inconveniente debido a que es sensible al retraso en el comparador, conduciendo así a defectos de exactitud significativos debido a variaciones en el proceso de fabricación, variación de suministro de energía y variaciones de temperatura.

[0005] Mientras un circuito de protección análogo basado en condensadores accionados es descrito por Cheol-Min et al. en la Publicación de Solicitud de la Patente Estadounidense n° 2005/0258997 A1, este circuito proporciona una copia de un voltaje de entrada con una ganancia fija de 1 mientras que un amplificador capaz de amplificar e integrar una señal de error diferencial sería requerido resolver el problema de proporcionar un generador de referencia de corriente de precisión.

[0006] En la Publicación de Solicitud de la Patente Europea n° 1,712,973 A2, Moro et al. se describe un circuito de generación de corriente de polarización constante gm tradicional donde el elemento resistente es directamente sustituido por su red equivalente de condensador conmutado junto con un condensador de protección.

El objetivo principal de este circuito no es tanto proporcionar una referencia de corriente absoluta precisa, sino más bien polarizar circuitos análogos para un rendimiento significativamente constante (que depende del gm/C) adaptando la corriente de polarización a variaciones de proceso y de temperatura.

Este circuito tiene varias inexactitudes que se describirán a continuación, evitando que este circuito ser útil como un generador de referencia de corriente de precisión alta.

[0007] Otro bloque de construcción importante en el diseño de circuito de señal análoga y mixta es un oscilador.

Normalmente, para construir un oscilador preciso, se usaría un resonador de cristal o cerámico.

Esto lleva a soluciones pesadas y costosas que no son muy flexibles debido al hecho de que estas normalmente tienen frecuencias programadas que corresponden a la frecuencia de cristales o cerámicas disponibles.

Usando una red de condensador conmutado con un oscilador controlable y un separador en una configuración de bucle cerrado puede ser realizado un oscilador muy preciso y flexible.

Un ejemplo de tal circuito es descrito por T.R. Viswanathan, S. Murtuza, V.H. Syed y M. Staszczel, en "Switched-Capacitor Frequency Control Loop", IEEE Journal of Solid State circuits, Vol. 17, Edición n° 4, agosto 1982, págs. 774-778.

[0008] La FIG.1a ilustra la manera en la que un condensador conmutado (CSW) y un amplificador (AMP) se usan

generalmente en circuitos inspirados por el trabajo de Viswanathan et al. para obtener un voltaje deseado a través del condensador conmutado (CSW), y así fluye la corriente deseada.

En este circuito, un condensador conmutado (CSW) se usa en un circuito de realimentación con un amplificador operativo (AMP) configurado para responder a la diferencia entre un voltaje de referencia (VR) y el voltaje a través de la red de condensador conmutado en el punto NB.

La diferencia así detectada se utiliza para controlar la cantidad de corriente en el condensador conmutado.

[0009] El diseño anterior tiene algunas inexactitudes, las cuales serán ahora descritas con referencia a la onda en la Fig.1b.

En una primera fase (ph1), el condensador conmutado se conecta al amplificador operativo (AMP).

Debido a que la entrada del amplificador operativo (NB) tiene un condensador de protección (CB) conectado en paralelo con el condensador conmutado (CSW), en el momento en el que el condensador conmutado (CSW) se conecta al amplificador operativo (AMP), el voltaje en la entrada del amplificador operativo (NB) cae debido a la combinación paralela del condensador conmutado (CSW) y el condensador de protección (CB).

La fuente de corriente (IB) carga el par de condensadores (CSW y CB) hasta el final de la primera fase (ph1).

En una segunda fase (ph2), el condensador conmutado (CSW) es desvinculado del amplificador operativo (AMP) y es descargado.

El resultado es que la entrada de amplificador operativo (NB) está sujeta a una onda de diente de sierra cuya pendiente durante la primera fase (ph1) es ligeramente menor que la pendiente durante la segunda fase (ph2) debido a la capacitancia extra del condensador conmutado (CSW) en la primera fase.

[0010] Se puede mostrar que para una operación correcta del circuito anterior, un bucle de regulación que incluye el amplificador operativo (AMP) debe tener un ancho de banda que es significativamente inferior a la frecuencia de conmutación.

Bajo estas condiciones, el bucle responde aproximadamente al promedio de tiempo del voltaje diferencial en la entrada del amplificador.

Así el voltaje medio de tiempo en el nodo NSW se regula a través del bucle de retroalimentación para servir al voltaje de referencia (VR).

[0011] Cabe observar que el condensador conmutado (CSW) se carga hasta el voltaje alcanzado al final de la primera fase (ph1), al que nosotros nos referiremos como Vcharge, y luego descargado durante la segunda fase (ph2).

No obstante, debido a que la onda de diente de sierra en el nodo NSW no es perfectamente simétrica, debido a las inclinaciones diferentes durante la primera y segunda fase, el promedio de tiempo real del voltaje en el nodo NSW es mayor que el voltaje alcanzado al final de la primera fase (ph1) por una cantidad positiva no puesta a cero a la que nosotros nos referiremos como un voltaje de offset (Voffset).

Además, la caída de voltaje a través del interruptor (S1) debido a su resistencia parásita contribuye además al voltaje de offset (Voffset).

Además, cualquier discrepancia de coordinación de tiempo entre la primera y la segunda fase llevará a un ciclo de funcionamiento desequilibrado y contribuirá además al voltaje de offset (Voffset).

[0012] La carga transferida durante un periodo es igual al Vcharge x CSW, la cual corresponde a una corriente equivalente de $I = V_{\text{charge}} \times CSW \times f_{\text{sw}}$ donde f_{sw} es la frecuencia de conmutación.

Hemos mostrado antes que, una vez se ha conseguido la estabilización del bucle de retroalimentación, Vcharge no es exactamente igual al voltaje de referencia (VR).

Más específicamente $V_{\text{charge}} = VR - V_{\text{offset}}$.

Así el flujo de corriente equivalente es $I = (VR - V_{\text{offset}}) \times CSW \times f_{\text{sw}}$ en vez del valor deseado de $VR \times CSW \times f_{\text{sw}}$.

La cantidad de offset (Voffset) depende de las características del interruptor y op-amp, que cambian con proceso, voltaje de suministro de energía y temperatura, conduciendo a un flujo de corriente impreciso e inestable.

[0013] Una manera de minimizar el offset (Voffset) sería aumentar el valor del condensador de protección (CB), de manera que la onda de diente de sierra en el nodo (NB) sería minimizada.

Esta solución simple, no obstante, consumiría un área de chip grande si el circuito tuviera que ser integrado sobre un chip semiconductor.

Además, un polo resultante en el nodo (NB) sería movido a una frecuencia inferior, entrando en conflicto con el polo dominante principal del bucle de regulación y conduciendo a dificultades para alcanzar la estabilidad del bucle.

[0014] Otro amplificador dinámico es descrito por Vittoz en la Solicitud de la Patente del Reino Unido con el Número 2,095,946 A. Este circuito es muy conocido y es generalmente bien utilizado en la industria.

No obstante, el circuito amplificador descrito en la presente invención está polarizado por sí mismo de manera que el voltaje de salida en una fase de amplificación (cf ph1) es nominalmente igual al voltaje alcanzado en una fase de preparación (cf ph2), eliminando así el offset de entrada residual incluso cuando se usan dispositivos de ganancia baja típicamente disponibles en las tecnologías semiconductoras avanzadas de canal corto.

RESUMEN DE LA INVENCION

[0015] La presente invención proporciona un método para generar un voltaje de error (Verr) a través de un condensador de acoplamiento (CC) en un dispositivo de circuito de conmutación y para amplificar e integrar dicho voltaje de error (Verr), siendo usado dicho método en un sistema que comprende el dispositivo de circuito de conmutación y un generador de reloj (CGEN) para controlar el dispositivo de circuito de conmutación, comprendiendo dicho dispositivo de circuito de conmutación además un voltaje de referencia (VR), un condensador conmutado (CSW), una corriente de polarización (IBB) para cargar el condensador conmutado (CSW), un amplificador (AMP) para recibir el voltaje de error (Verr) a través del condensador de acoplamiento (CC) y un condensador de integración (CINT) en el que integrar el voltaje de error amplificado (Verr), dicho método caracterizado por el hecho de que este comprende la ejecución de tres fases sin superposición, es decir, una fase de carga (ph1), una fase de agarre (ph2) y una fase de descarga (ph3), donde:

durante la fase de carga (ph1) son realizados los siguientes pasos:

- cargar el condensador conmutado (CSW),
- poner a cero automáticamente el amplificador (AMP) por el cual su entrada está hecha para permanecer en su punto operativo inerte,

durante la fase de agarre (ph2) son realizados los siguientes pasos:

- retener el condensador conmutado (CSW) en un voltaje cargado alcanzado al final de la fase de carga (ph1),
- conectar el condensador conmutado (CSW) al condensador de acoplamiento (CC),
- mantener la configuración de puesta a cero automática del amplificador (AMP),

durante la fase de descarga (ph3) son realizados los siguientes pasos:

- descargar el condensador conmutado (CSW),
- desconectar el condensador conmutado (CSW) del condensador de acoplamiento (CC) y conectar el voltaje de referencia (VR) al condensador de acoplamiento (CC) almacenando así el voltaje de error (Verr) a través del condensador de acoplamiento (CC), siendo dicho voltaje de error (Verr) la diferencia entre el voltaje de referencia (VR) y el voltaje cargado,
- amplificar el voltaje de error (Verr) utilizando el amplificador (AMP) y integrar el voltaje de error amplificado sobre el condensador de integración (CINT) para obtener un voltaje de error amplificado integrado (VINT),

siendo dichas tres fases en ciclos consecutivamente en una base continua.

[0016] La presente invención además proporciona un sistema para generar un voltaje de error (Verr) a través de un condensador de acoplamiento (CC) en un dispositivo de circuito de conmutación que comprende un voltaje de referencia (VR), un condensador conmutado (CSW), una corriente de polarización (IBB), un amplificador (AMP) para recibir el voltaje de error (Verr) a través del condensador de acoplamiento (CC), un condensador de integración (CINT) sobre el que integrar el voltaje de error amplificado, y una pluralidad de interruptores configurados para permitir:

- al condensador conmutado (CSW) ser cargado por la corriente de polarización (IBB) o sujetado a una presente carga o descargado,
- al condensador conmutado (CSW) o al voltaje de referencia ser conectado al condensador de acoplamiento (CC),
- al amplificador (AMP) ser puesto a cero automáticamente, por lo cual su entrada está hecha para permanecer en su punto operativo inerte, o para amplificar el voltaje de error (Verr),
- y a la salida del amplificador (AMP) ser conectada o desconectada del condensador de integración (CINT),

dicho sistema comprende además un generador de reloj (CGEN), dicho sistema caracterizado por el hecho de que dicho generador de reloj se configura para controlar dicho circuito accionado mediante ciclos a través de tres fases sin superposición, es decir una fase de carga (ph1), una fase de agarre (ph2) y una fase de descarga (ph3), donde:

- durante la fase de carga (ph1) el condensador conmutado (CSW) se carga a través de la corriente de polarización (IBB) y el amplificador (AMP) se pone a cero automáticamente por lo cual su entrada está hecha para permanecer en su punto operativo inerte,
- durante la fase de agarre (ph2) la carga del condensador conmutado (CSW) es cesada reteniendo así el condensador conmutado en un voltaje cargado, el condensador conmutado (CSW) se acciona en el condensador de acoplamiento (CC) y la condición de la puesta a cero automática del amplificador (AMP) es mantenida,
- durante la fase de descarga (ph3) el condensador conmutado (CSW) es descargado, el voltaje de referencia (VR) se acciona sobre el condensador de acoplamiento (CC), almacenando así el voltaje de error (Verr) a través del condensador de acoplamiento (CC), siendo dicho voltaje de error (Verr) la diferencia entre el voltaje de referencia (VR) y el voltaje cargado, el voltaje de error (Verr) se amplifica mediante el amplificador (AMP) y el voltaje de error amplificado se integra en el condensador de integración (CINT) para dar un voltaje de error

amplificado integrado (VINT).

[0017] Usando este sistema según el método mencionado anteriormente, donde el generador de reloj es controlado por un oscilador y el voltaje de referencia se genera por un generador de voltaje de referencia de intervalo de banda y utilizando una configuración de retroalimentación donde el voltaje de error amplificado integrado se utiliza para controlar la corriente de polarización, puede hacerse una referencia de corriente precisa y estable.

[0018] Por otro lado, si el sistema se usa según el método anteriormente descrito, donde el voltaje de referencia se genera atravesando una versión reflejada de la corriente de polarización a través de una resistencia de referencia y donde el circuito de conmutación comprende además un conductor de salida para convertir el voltaje de error amplificado integrado en una corriente de salida y el sistema comprende además un oscilador controlado de corriente manejado por la corriente de salida y un divisor de frecuencia manejado por la salida del oscilador de corriente controlado, luego mediante transmisión del generador de reloj que utiliza la salida del divisor de frecuencia, puede hacerse un oscilador sin cristal estable y preciso.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0019] La siguiente descripción detallada de una forma de realización preferida de la presente invención será entendida mejor cuando se lea conjuntamente con los dibujos anexos, donde:

FIG.1a es un diagrama esquemático de un circuito de generador de corriente de condensador conmutado convencional.

FIG.1b es una onda que resulta de un circuito de generador de corriente de condensador conmutado convencional tal como se muestra en la FIG.1a.

FIG.2 es un diagrama esquemático de la solución propuesto en la presente invención.

FIG.3 muestra las operaciones realizadas durante tres fases según una forma de realización de la presente invención.

FIG.4 muestra un diagrama cronológico de tres fases y un conjunto de operaciones realizado durante aquellas fases según una forma de realización de la presente invención.

FIG.5 es un diagrama cronológico relativo al diagrama esquemático de la FIG.2.

FIG.6 es un diagrama esquemático de una forma de realización de la presente invención en un circuito de bucle cerrado, donde dicho circuito de bucle cerrado se diseña para proporcionar una corriente de salida sustancialmente constante y precisa, superando así ciertas deficiencias en el circuito convencional de la FIG.1.

FIG.7 es un diagrama esquemático de una forma de realización de la presente invención en un circuito de bucle cerrado, donde dicho circuito de bucle cerrado se diseña para proporcionar un reloj de salida sustancialmente constante y preciso.

FIG.8 muestra un método que utiliza interruptores programables para modificar la corriente en una bifurcación de un grupo de bifurcaciones de transistor en una topología de espejo de corriente, usada para compensar variaciones en características de funcionamiento del dispositivo de circuito de conmutación debido a variaciones provocadas por el proceso de fabricación.

FIG.9 muestra un esquema de una solución usada en el dispositivo de circuito de conmutación para compensar variaciones en características de funcionamiento debidas a variaciones en la temperatura.

DESCRIPCIÓN DETALLADA DE UNA FORMA DE REALIZACIÓN PREFERIDA

[0020] La presente invención implica un método para generar un voltaje de error a través de un condensador de acoplamiento que utiliza un dispositivo de circuito de conmutación que comprende el condensador de acoplamiento, un condensador conmutado, un voltaje de referencia, un amplificador para amplificar el voltaje de error y un condensador de integración sobre el que integrar una corriente de error que resulta del voltaje de error amplificado.

El método se realiza según un régimen cronológico cíclico trifásico que comprende una fase de carga, una fase de agarre y una fase de descarga.

El voltaje de error es la diferencia entre el voltaje de referencia y un voltaje generado a través del condensador conmutado al final de la fase de carga durante el cual el condensador conmutado se carga a través de una fuente de corriente.

La invención también se refiere a un sistema diseñado para implementar el método anterior.

[0021] Usando el voltaje en el condensador de integración producido por el dispositivo de circuito de conmutación, manejado según el método de la presente invención, en un bucle de retroalimentación para controlar la fuente de corriente, la invención además proporciona un sistema que comprende un generador de reloj manejado por un oscilador para generar señales de control para manejar el dispositivo de circuito de conmutación según el método de arriba para minimizar el voltaje de error así generado.

Usando un oscilador preciso para manejar el generador de reloj y un generador de intervalo de banda para suministrar el voltaje de referencia en el dispositivo de circuito de conmutación, el dispositivo de circuito de conmutación genera idealmente un voltaje de error cerca de cero en la configuración así descrita, y una salida de corriente estable y precisa se genera para usar como una referencia de corriente por ejemplo.

[0022] Usando el voltaje en el condensador de integración producido por el dispositivo de circuito de conmutación, manejado según el método de la presente invención, para controlar una fuente de corriente de salida, la presente invención además proporciona un sistema que comprende un generador de reloj, un oscilador de corriente controlado para generar una frecuencia de salida dependiente de la corriente de salida generada y un divisor de frecuencia manejado por la frecuencia de salida y usado en un bucle de retroalimentación para manejar el generador de reloj, para proporcionar un oscilador preciso sin cristal.

[0023] La presente invención además permite a este tipo de generador de corriente de referencia o tal oscilador ser calibrado respecto a las variaciones en las características del dispositivo debido a variaciones de proceso durante la fabricación del dispositivo de circuito de conmutación.

La provisión además es hecha para permitir que se consiga compensación de temperatura en el caso que cualquier resistor o condensador usado en el dispositivo de circuito de conmutación tenga una variación significativa con temperatura.

Por naturaleza del uso de un amplificador monoentrada y el método de conmutación usado, la presente invención es insensible a efectos como compensación amplificadora, mientras es atenuado el efecto de ruido de oscilación en el amplificador.

[0024] Cabe observar que en virtud del diseño de la presente invención, sistemas donde la invención es implementada mostrarán sensibilidad reducida ante problemas tales como resistividad de interruptor, características no simétricas de la onda de diente de sierra anteriormente descrita y el ciclo de funcionamiento de la onda en el condensador conmutado.

[0025] Una forma de realización ejemplar de la presente invención se ilustra en la FIG.2.

Un condensador conmutado (CSW) se carga mediante una fuente de corriente de polarización de protección controlada (IBB) tan cerca como sea posible de un voltaje deseado, siendo el voltaje deseado igual al voltaje de referencia (VR).

Controlando apropiadamente un conjunto de interruptores controlados para conectar sucesivamente el voltaje de condensador conmutado (NSW) luego el voltaje de referencia (VR) a un nodo de sentido (NSENSE), la diferencia (Verr) entre el voltaje en el condensador conmutado al final de su periodo de carga y el voltaje de referencia (VR) se puede amplificar (AMP) para dar una corriente de error (IERR).

La corriente de error (IERR) se puede integrar por encima del tiempo sobre un condensador de integración (CINT) para dar un voltaje de error integrado (VINT).

El voltaje de error integrado (VINT) se puede utilizar como parte de un bucle de retroalimentación para controlar la corriente de polarización de protección (IBB) que carga el condensador conmutado o para controlar un oscilador controlado de corriente, cuya salida puede utilizarse para controlar la conmutación del condensador conmutado y los interruptores controlados asociados del dispositivo de circuito de conmutación.

[0026] El amplificador comprende al menos un elemento de amplificación.

Según una forma de realización de la presente invención, ilustrado en la FIG.2 el elemento de amplificación es un MOSFET tipo N (NMOS) polarizado por un MOSFET tipo P (PMOS).

La entrada del elemento de amplificación es acoplado capacitivamente al nodo de sentido (NSENSE).

El amplificador tiene un interruptor de retroalimentación (SEQ) y un interruptor de salida (SINT), siendo realizados ambos como interruptores controlados.

Los interruptores controlados se realizan como transistores MOS.

Un condensador de protección (CB) se carga mediante la corriente de polarización de protección (IBB).

El condensador conmutado (CSW) es conectado entre un nodo accionado (NSW) y un primer plano de referencia DC común (V00), que en este caso es suelo, y el nodo accionado puede ser conectado al condensador de protección (CB) en un nodo de protección (NB) y cargado así en paralelo con el condensador de protección, o se puede descargar en el primer plano de referencia DC común (V00), o se puede aislar permitiendo así al condensador conmutado sostener la carga del condensador conmutado (CSW) en el nodo accionado (NSW).

Un conjunto de interruptores controlados (S2; SREF) está dispuesto a través del cual el nodo de sentido (NSENSE) se conecta bien al voltaje de referencia (VR) o al nodo accionado (NSW).

Todo el circuito se potencia mediante un suministro de energía conectado entre el primer plano de referencia DC común (V00) y un segundo plano de referencia DC común (V11), el voltaje suministrado por el suministro de energía siendo superior al voltaje de referencia (VR).

[0027] En otras formas de realización de la presente invención el elemento de amplificación podría ser un PMOS polarizado mediante un NMOS o el conductor de salida podría comprender una fuente de corriente opuesta en polaridad a lo descrito en la FIG.2 y la polaridad de la polarización de protección podría ser invertida respecto a la mostrada en la FIG.2.

[0028] El circuito de conmutación de la presente invención funciona en tres fases.

Según una forma de realización, en una primera fase, el nodo accionado (NSW) y el voltaje de referencia (VR) son desinsertados del nodo de sentido (NSENSE), mientras el condensador de protección (CB) se conecta en paralelo con el condensador conmutado (CSW) en el nodo de protección (NB), permitiendo a la corriente de polarización de protección (IBB) actuar sobre el condensador conmutado (CSW) en paralelo con el condensador de protección (CB).

En una segunda fase, cuando idealmente, el nodo accionado (NSW) ha alcanzado el mismo potencial que el voltaje de referencia (VR), el condensador conmutado (CSW) es desconectado de la corriente de polarización de protección (IBB), permitiendo por lo tanto a la corriente de polarización de protección (IBB) a continuar actuando en el condensador de protección (CB) solo, mientras el nodo accionado (NSW) es conectado al nodo de sentido (NSENSE).

Durante la primera y segunda fase la salida del elemento de amplificación (MAMP) se conecta a su entrada es decir el amplificador (AMP) es "puesto a cero automáticamente".

Una tercera fase luego sigue, durante la cual el condensador conmutado (CSW) es restablecido conectándolo a un primer plano de referencia DC, en este caso V00, el voltaje de referencia (VR) se conecta al nodo de sentido (NSENSE) (es decir, el voltaje de referencia es "sentido"), y la salida del amplificador (AMP) se conecta al condensador de integración (CINT) integrando así una corriente de error (IERR) resultante de la diferencia (Verr) entre el voltaje de referencia (VR) y el voltaje en el condensador conmutado durante la segunda fase, sobre el condensador de integración (CINT), dando así VINT.

FIG.3 muestra una tabla que ilustra qué pasos se consiguen durante las tres fases anteriormente descritas.

FIG.4 muestra la misma información en forma de un diagrama cronológico.

[0029] Son posibles formas de realización diferentes del circuito de conmutación así descritas.

Por ejemplo se puede utilizar un transistor PMOS como el elemento de amplificación (MAMP), o la polaridad de las corrientes de polarización podrían ser invertidas.

La tabla 1 de abajo resume las relaciones entre las diferentes operaciones que ocurren en la presente invención y la fase donde pueden realizarse para cuatro formas de realización diferentes de la presente invención.

Como se puede observar de la tabla, las operaciones donde el condensador conmutado es cargado, sentido y descargado, ocurren durante la primera fase, segunda fase y tercera fase respectivamente, independientemente de la forma de realización que se use.

La otra operación de puesta a cero automática del amplificador, sintiendo el voltaje de referencia e integrando la corriente de error puede realizarse durante fases diferentes dependiendo de la forma de realización usada.

Operación	Cambio	Fase 1	Fase 2	Fase 3
Carga CSW	S1	ENCENDIDO		
Sentido NSW	S2		ENCENDIDO	
Descarga CSW	S3			ENCENDIDO
Forma de realización 1, gm x (VR-NSW), negativo				
Puesta a cero automática	SEQ	opcional	ENCENDIDO	
Integrar	SINT			ENCENDIDO
Sentido VR	SREF		NA	ENCENDIDO
Forma de realización 2, gm x (VR-NSW) negativo				
Puesta a cero automática	SEQ		ENCENDIDO	
Integrar	SINT	ENCENDIDO		opcional
Sentido VR	SREF	ENCENDIDO	NA	opcional
Forma de realización 3, gm x (NSW-VR), positivo				
Puesta a cero automática	SEQ	opcional		ENCENDIDO
Integrar	SINT		ENCENDIDO	
Sentido VR	SREF	opcional		ENCENDIDO
Forma de realización 4, gm x (NSW-VR), positivo				
Puesta a cero automática	SEQ	ENCENDIDO		opcional
Integrar	SINT		ENCENDIDO	
Sentido VR	SREF	ENCENDIDO	NA	opcional

Tabla 1

[0030] Según una forma de realización preferida de la presente invención, el elemento de amplificación (MAMP) es hecho a partir de un NMOS, el nodo accionado (NSW) se recarga con respecto al suministro de energía positivo y se descarga conectando el nodo accionado (NSW) al suelo (el primer plano de referencia DC común (V00)).

El voltaje de referencia (VR) se cambia al nodo de sentido (NSENSE) durante la tercera fase y el voltaje de error (Verr) almacenado en el condensador de acoplamiento (CC) como resultado de conmutación desde el nodo accionado (NSW) hasta el voltaje de referencia (VR), es amplificado.

El amplificador (AMP) es puesto a cero automáticamente durante la primera y segunda fase.

[0031] FIG.5 muestra un ejemplo cronológico para el circuito en la FIG.2 en el caso donde el elemento de amplificación (MAMP) es un NMOS y el primer plano DC de referencia común (V00) es suelo.

La figura muestra el condensador de protección (CB) y el condensador conmutado (CSW) siendo cargados juntos durante la primera fase.

El propósito del condensador de protección (CB) es limitar la oscilación de voltaje en el nodo de protección (NB).

La carga del condensador conmutado (CSW) se detiene (S1) en la segunda fase, abandonando el condensador de protección (CB) para continuar siendo cargado solo, momento en el que el voltaje en el nodo accionado (NSW) está

cerca del voltaje de referencia (VR).

En este ejemplo el amplificador (AMP) se pone a cero automáticamente durante las primeras y segundas fases.

Durante este tiempo, el voltaje en la entrada (NAMPIN) del amplificador puesto a cero automáticamente se determina solamente por la corriente de polarización del amplificador.

5 El establecimiento del estado en reposo del amplificador conseguido así será independiente del estado del nodo de sentido (NSENSE) debido a que la entrada del amplificador es solo capacitivamente acoplada (CC) al nodo de sentido.

En la segunda fase, con el amplificador todavía siendo sujetado en el estado de puesta a cero automática, el nodo accionado es conectado (S2) al nodo de sentido.

10 En la tercera fase, el condensador conmutado es restablecido descargándolo hasta el suelo (S3) y el nodo accionado es desconectado del nodo de sentido (S2).

Además, la puesta a cero automática del amplificador es discontinua (SEQ), el voltaje de referencia (VR) es conectado (SREF) al nodo de sentido y la entrada de los cambios de amplificador mediante un voltaje proporcional a la diferencia entre el voltaje de referencia y el voltaje en el que la carga del nodo accionado fue detenida (VNSW-VR=Verr).

15 La diferencia (Verr) es amplificada, y la corriente de error, $g_m \times V_{err}$, donde g_m es la transconductancia del amplificador, se integra sobre el condensador de integración (CINT).

Si no hay diferencia entre el voltaje de referencia (VR) y el voltaje en el que la carga del nodo accionado fue detenida, entonces el voltaje en el condensador de integración permanece constante.

20 [0032] FIG.6 muestra una representación esquemática de un generador de referencia de corriente de precisión ejemplar dentro del cual puede ser desplegada una forma de realización preferida de la presente invención.

En esta forma de realización, un oscilador de cristal preciso (XOSC) operando a una frecuencia fSW se utiliza para manejar el generador de reloj (CGEN) y una referencia de voltaje precisa tal como un generador de referencia de voltaje de intervalo de banda se utiliza para proporcionar el voltaje de referencia (VR).

25 Un conductor de salida se usa en esta forma de realización para proporcionar la corriente de salida, dicho conductor de salida comprendiendo un PMOS, por lo tanto el condensador de integración se acopla al suministro positivo (un segundo plano de referencia DC común (V11)) para conseguir mejor rechazo de suministro de energía.

30 El amplificador en este caso comprende además una disposición cascode plegable (FCASC) de transistores NMOS de modo que los cambios en el voltaje a la salida del elemento de amplificación están aislados del nodo de integración (NINT), representando así la salida de corriente del circuito de conmutación menos propenso a onda de suministro de energía.

La disposición cascode plegable (FCASC) proporciona así una vía conveniente para permitir cambios en corriente producida por el elemento de amplificación NMOS para ser reflejado sobre el lado PMOS y el condensador de integración mientras permite a los voltajes en las compuertas de los PMOS ser alcanzados independientemente del voltaje en la salida del amplificador.

35 La fase cascode plegable (FCASC) se circunda en la FIG.6.

Durante la primera y segunda fase, mientras el amplificador está en el modo de puesta a cero automática, un condensador de retención (CH) almacena el voltaje que corresponde al estado en reposo de la fase cascode plegable (FCASC).

40 Durante la tercera fase, cuando el elemento de amplificación da un cambio en corriente debido a la diferencia de voltaje entre el voltaje de referencia y el voltaje en el condensador conmutado, la compuerta de MPH es mantenida por el condensador de retención (CH) y el drenaje se conecta al condensador de integración (CINT).

El cambio en corriente proporcionado por el elemento de amplificación se refleja e integra sobre CINT.

45 Debido a que el nodo de integración (NINT) es aislado de la salida del amplificador gracias a la disposición cascode plegable (FCASC), el cambio de voltaje en el nodo de integración (NINT) es independiente de la variación de tensión en la salida del amplificador.

La corriente de salida es generada aplicando el voltaje al nodo de integración en la compuerta de un PMOS (MPO).

50 La corriente así conseguida se puede reflejar a través de dispositivos PMOS, para usar los dos para inclinar el elemento de amplificación y para proporcionar la corriente de polarización para el condensador de protección, cerrando así el bucle de retroalimentación para proporcionar una referencia de corriente precisa y estable determinada por $CSW \times VR \times f_{SW} \times N$, donde N es la proporción $[[n]]$ de la anchura de la salida PMOS (MPO) a la anchura de la fuente de corriente PMOS en el condensador conmutado (MPBB), suponiendo que tienen la misma longitud.

55 [0033] Para garantizar la precisión del generador de referencia de corriente así descrito, tiene que haber una coincidencia extremadamente buena entre los tamaños y características de los dispositivos PMOS MPO y MPBB.

Una de las consecuencias de esto es que estos dos transistores necesitan ser muy grandes.

60 El hecho de que estos transistores sean grandes significa que la mayor parte del valor capacitivo del condensador de integración (CINT) se compone de la capacitancia parásita de las compuertas de MPO y MPBB.

[0034] Al igual que el modo deseado de operación anteriormente descrito, el circuito de conmutación en la FIG.6 también tiene un modo estable de operación donde la corriente en la salida (IOUT) es cero y la corriente de polarización en el amplificador (IBA) al igual que la corriente de polarización (IBB) para el condensador de protección son cero.

Para evitar que el circuito entre en este modo inútil, un circuito de puesta en marcha se incluye por el cual cuando el

circuito es inicialmente encendido, el voltaje en el nodo de integración (NINT) es temporalmente cerrado para asegurar que la corriente comienza a fluir y que el circuito comienza y alcanza el modo deseado de operación.

[0035] FIG.7 muestra otro circuito dentro del cual puede ser implementada una forma de realización preferida de la presente invención.

En este circuito el voltaje de error integrado (VINT) se convierte a una corriente mediante un circuito conductor para manejar un oscilador controlado dando así un reloj de salida (CKOUT) de frecuencia (FOUT).

La frecuencia (FOUT) del reloj de salida (CKOUT) se puede dividir (DIV) y la señal así producida (FDIV) usada para manejar el generador de reloj (CGEN) para proporcionar las señales para controlar la conmutación del condensador conmutado (CSW) y los otros interruptores controlados que definen las tres fases anteriormente descritas.

La corriente de salida del circuito de control (IOUT) es también reflejada de nuevo para ser usada para polarizar el elemento de amplificación (MAMP), asegurando así que la entrada del amplificador (NAMPIN) esté siempre en su voltaje óptimo.

En esta forma de realización, el voltaje de referencia (VR), que no necesita ser preciso, se genera forzando una corriente de polarización de referencia (IBR) a través de un resistor de referencia (RREF).

La corriente de polarización de referencia (IBR) se puede generar reflejando una fuente de corriente de polarización (IBIAS).

La misma fuente de corriente de polarización (IBIAS) se puede reflejar para ser usada como una corriente de polarización de protección (IBB).

La forma de realización así descrita forma un bucle bloqueado de frecuencia muy eficaz y se puede usar como un oscilador sin cristal de precisión cuya frecuencia de salida en CKOUT está determinada por $D \times M / (RREF \times CSW)$, donde D es la proporción por la que el separador reduce la frecuencia del reloj de salida y M es la proporción de la anchura de la fuente de corriente PMOS (MPBB) en el condensador conmutado (CSW) a la anchura de la fuente de corriente PMOS (MPBR) en el resistor de referencia (RREF), suponiendo que tienen la misma longitud.

[0036] Al igual que el modo deseado de operación anteriormente descrito, el circuito de conmutación en la FIG.7 también tiene un modo estable de operación donde la corriente en IOUT es cero y por lo tanto no hay señal de reloj en CKOUT.

Para evitar que el circuito entre en este modo inútil, un circuito de puesta en marcha se incluye por el cual cuando el circuito es inicialmente encendido, una corriente pequeña es temporalmente inyectada en el nodo de integración (NINT) para iniciar el oscilador controlado y para iniciar el amplificador y así asegurar que la corriente comience a fluir y que el circuito se ponga en marcha y alcance el modo deseado de operación.

[0037] Es bien conocido que en la fabricación de circuitos integrados semiconductores, la precisión absoluta de valores de resistencia no es fácilmente alcanzable.

Por lo tanto, en el caso de que el circuito anteriormente descrito se fabrique en un circuito integrado semiconductor, se hace provisión para compensar los efectos de variaciones en el valor de las resistencias en el chip en el rendimiento del circuito.

Esta provisión es hecha interviniendo en el valor del resistor de referencia (RREF) o interviniendo en el valor de la corriente de polarización de referencia (IBR) o interviniendo en el valor de la corriente de polarización de protección (IBB) o interviniendo en el valor del condensador conmutado (CSW) o por una combinación de cualquiera de estas intervenciones.

[0038] Para permitir una intervención en el valor de resistor de referencia (RREF), dicho resistor es construido a partir de varias secciones de resistencias que se pueden combinar en una manera adecuada, usando interruptores programables, para dar una resistencia final deseada para cada circuito individual.

Para intervenir en la corriente de polarización de protección (IBB), la proporción de la corriente en el resistor de referencia respecto a la corriente de polarización de protección (IBB), que se utiliza para cargar el condensador conmutado (CSW), se puede modificar mediante la construcción al menos de uno de los transistores implicados en la configuración de espejo de corriente relacionada con estas corrientes, a partir de varias secciones paralelas de transistor, cada una de las cuales puede ser incluida o excluida del espejo usando interruptores programables.

Podría estar dispuesto para las secciones paralelas de transistor ser de anchuras variables de modo que la granularidad de la adición/exclusión de secciones de transistor podría ser optimizada (FIG.8).

Para permitir una intervención en el valor del condensador conmutado (CSW), dicho condensador se construye en varias secciones que se pueden combinar de manera adecuada usando interruptores programables para dar la capacitancia final total.

[0039] Cualquiera de los circuitos anteriormente descritos pueden ser sensibles a cambios de temperatura.

Este es el caso por ejemplo en la forma de realización descrita en la FIG.7 debido a que la resistencia de referencia (RREF) variará con la temperatura.

De hecho el valor del voltaje de referencia es proporcional a la temperatura absoluta y pueden ser descritos como $IBIAS \times RREF_0 (1 + TCR \times T)$, donde TCR es el coeficiente de temperatura de RREF, T es la temperatura absoluta y RREF₀ es el valor de RREF a 0K.

Esto significa que, asumiendo que TCR tiene un valor negativo, el voltaje de referencia disminuirá conforme la temperatura aumenta.

La compensación debe ser hecha por lo tanto aumentando la corriente de polarización de referencia conforme la

temperatura aumenta.

Por otro lado, un circuito de referencia de voltaje de intervalo de banda generalmente comprende un generador de corriente, la corriente donde (IPTAT) es definido por diseño y es proporcional a la temperatura absoluta.

Es suficiente por lo tanto reflejar parte de la corriente del generador de intervalo de banda y añadirla al espejo de polarización de referencia que utiliza un espejo de corriente de compensación de temperatura.

La cantidad de corriente a reflejar se da por la relación $X \times \text{IPTAT}/T = \text{IBIAS} \times \text{TCR}$ donde X es la proporción de tamaños de transistores usada en el espejo de corriente de compensación de temperatura.

Un ejemplo de un circuito con compensación de temperatura se muestra en la FIG.9.

En la práctica resulta que la corriente de compensación es generalmente una fracción pequeña de la corriente en el generador de intervalo de banda, por lo tanto $X \ll 1$.

[0040] Esta misma técnica anteriormente descrita puede utilizarse para compensar variaciones en el valor de la capacitancia (CSW) con temperatura.

La cantidad total de corriente reflejada desde el generador de intervalo de banda a adicionar a la corriente de polarización de protección es luego dada por $X \times \text{IPTAT}/T = \text{IBIAS} \times (\text{TCR} + \text{TCC})$ donde TCC es el coeficiente de temperatura del condensador conmutado (CSW).

[0041] La presente invención por lo tanto pretende remediar los problemas encontrados mencionados arriba en la técnica anterior cargando primero el condensador conmutado a un valor cerca del voltaje de referencia, reteniendo dicho voltaje y luego conectando el condensador conmutado al amplificador.

La presente invención no pretende regular el voltaje de promedio de tiempo en el nodo de protección (NB), pero en cambio regula directamente la carga en el condensador conmutado representada por el voltaje de nodo (NSW) al final de la fase de carga.

Un método trifásico se utiliza para conseguir este objetivo, donde, en una forma de realización ejemplar, una fase se utiliza para cargar el condensador conmutado, otra fase se utiliza para sentir el voltaje en el condensador conmutado y otra fase se usa para amplificar el voltaje de error mientras el voltaje de referencia está siendo sentido y el voltaje que cruza (NSW) es mantenido constante.

El diseño de amplificador es también específicamente diseñado para trabajar sincrónicamente al régimen cronológico de control trifásico de condensador conmutado nuevo y para minimizar errores debidos al amplificador mismo.

[0042] El problema experimentado en el estado de la técnica debido a la onda de diente de sierra en el condensador conmutado no es por lo tanto ya pertinente en la presente invención debido a que solo se toma en consideración el voltaje al final del periodo de carga.

Circuitos en la técnica anterior generalmente hacen un promedio de tiempo del voltaje de condensador conmutado, mientras que el condensador conmutado en la presente invención también funciona como un dispositivo de agarre en una configuración muestreo y retención (sample and hold) usada en la presente invención.

Además, la presente invención usa un amplificador monoentrada con un condensador de acoplamiento para sostener el voltaje de error (Verr), eliminando así errores de compensación asociados a amplificadores de entrada diferenciales.

[0043] Cabe observar que una vez en equilibrio, los sistemas basados en las técnicas descritas en la presente invención muestran la característica de que ninguna corriente es extraída de la fuente de voltaje de referencia (VR), permitiendo así que una fuente de voltaje de referencia de impedancia alta sea usada directamente, sin requerir el uso de un búfer de interfaz.

[0044] Usando este bloque de construcción en diferentes formas de realización de la presente invención, es mostrado así como diseñar un circuito de referencia de corriente constante de precisión basado en una capacitancia, un valor de voltaje y una frecuencia de conmutación o un generador de frecuencia de precisión o un oscilador de precisión basado en una resistencia y una capacitancia.

REIVINDICACIONES

1. Método para generar un voltaje de error (Verr) a través de un condensador de acoplamiento (CC) en un dispositivo de circuito de conmutación y para amplificar e integrar dicho voltaje de error (Verr), siendo usado dicho método en un sistema que comprende el dispositivo de circuito de conmutación y un generador de reloj (CGEN) para controlar el dispositivo de circuito de conmutación, dicho dispositivo de circuito de conmutación comprende además un voltaje de referencia (VR), un condensador conmutado (CSW), una corriente de polarización (IBB) para cargar el condensador conmutado (CSW), un amplificador (AMP) para recibir el voltaje de error (Verr) a través del condensador de acoplamiento (CC) y un condensador de integración (CINT) sobre el que integrar el voltaje de error amplificado (Verr), dicho método **caracterizado por el hecho de que** comprende la ejecución de tres fases sin superposición, es decir una fase de carga (ph1), una fase de agarre (ph2) y una fase de descarga (ph3), donde:

durante la fase de carga (ph1) son realizados los siguientes pasos:

- cargar el condensador conmutado (CSW),
- poner a cero automáticamente el amplificador (AMP) por lo cual su entrada está hecha para permanecer en su punto operativo inerte,

durante la fase de agarre (ph2) son realizados los siguientes pasos:

- retener el condensador conmutado (CSW) en un voltaje cargado alcanzado al final de la fase de carga (ph1),
- conectar el condensador conmutado (CSW) al condensador de acoplamiento (CC),
- mantener la configuración de puesta a cero automática del amplificador (AMP),

durante la fase de descarga (ph3) son realizados los siguientes pasos:

- descargar el condensador conmutado (CSW),
- desconectar el condensador conmutado (CSW) del condensador de acoplamiento (CC) y conectar el voltaje de referencia (VR) al condensador de acoplamiento (CC) almacenando así el voltaje de error (Verr) a través del condensador de acoplamiento (CC), siendo dicho voltaje de error (Verr) la diferencia entre el voltaje de referencia (VR) y el voltaje cargado,
- amplificar el voltaje de error (Verr) utilizando el amplificador (AMP) e integrar el voltaje de error amplificado sobre el condensador de integración (CINT) para obtener un voltaje de error amplificado integrado (VINT),

siendo dichas tres fases en ciclos consecutivamente en una base continua.

2. Método según la reivindicación 1, donde dicho sistema comprende además un oscilador (XOSC) para manejar el generador de reloj (CGEN), dicho método comprende además los siguientes pasos:

- controlar la corriente de polarización (IBB) utilizando el voltaje de error amplificado integrado (VINT).

3. Método según la reivindicación 1, donde dicho circuito de conmutación comprende además un resistor de referencia (RREF) y dicho sistema comprende además un oscilador controlado (ICO) y un divisor de frecuencia (DIV), comprendiendo dicho método los pasos siguientes:

- forzar una corriente de polarización de referencia (IBR) a través del resistor de referencia (RREF) para generar el voltaje de referencia (VR),
- manejar el oscilador controlado que utiliza el voltaje de error amplificado integrado (VINT) para dar un reloj de salida (CKOUT),
- dividir el reloj de salida (CKOUT) por al menos uno, usando el divisor de frecuencia,
- manejar el generador de reloj (CGEN) utilizando el reloj de salida dividido.

4. Sistema para generar un voltaje de error (Verr) a través de un condensador de acoplamiento (CC) en un dispositivo de circuito de conmutación que comprende un voltaje de referencia (VR), un condensador conmutado (CSW), una corriente de polarización (IBB), un amplificador (AMP) para recibir el voltaje de error (Verr) a través del condensador de acoplamiento (CC), un condensador de integración (CINT) sobre el que integrar el voltaje de error amplificado, y una pluralidad de interruptores configurados para permitir:

- que el condensador conmutado (CSW) sea cargado por la corriente de polarización (IBB) o sujetado en una presente carga o descargado,
- que el condensador conmutado (CSW) o el voltaje de referencia sea conectado al condensador de acoplamiento (CC),
- que el amplificador (AMP) sea puesto a cero automáticamente, por el cual su entrada está hecha para permanecer en su punto operativo inerte, o para amplificar el voltaje de error (Verr),
- y que la salida del amplificador (AMP) sea conectada o desconectada del condensador de integración (CINT),

comprendiendo dicho sistema además un generador de reloj (CGEN), dicho sistema **caracterizado por el hecho de que** dicho generador de reloj se configura para controlar dicho circuito cíclicamente a través de tres fases sin superposición, es decir una fase de carga (ph1), una fase de agarre (ph2) y una fase de descarga (ph3), donde:

- 5 - durante la fase de carga (ph1) el condensador conmutado (CSW) se carga a través de la corriente de polarización (IBB) y el amplificador (AMP) es puesto a cero automáticamente por lo cual su entrada está hecha para permanecer en su punto operativo inerte,
- durante la fase de agarre (ph2) la carga del condensador conmutado (CSW) es cesada, reteniendo así el condensador conmutado a un voltaje cargado, el condensador conmutado (CSW) se conmuta en el condensador de acoplamiento (CC) y la condición de puesta a cero del amplificador (AMP) es mantenida,
- 10 - durante la fase de descarga (ph3) el condensador conmutado (CSW) es descargado, el voltaje de referencia (VR) se acciona sobre el condensador de acoplamiento (CC), almacenando así el voltaje de error (Verr) a través del condensador de acoplamiento (CC), dicho voltaje de error (Verr) siendo la diferencia entre el voltaje de referencia (VR) y el voltaje cargado, el voltaje de error (Verr) se amplifica por el amplificador (AMP) y el voltaje de error amplificado se integra sobre el condensador de integración (CINT) para dar un voltaje de error amplificado integrado (VINT).

5. Sistema según la reivindicación 4, donde el circuito de conmutación comprende además un condensador de protección (CB) desviado por la corriente de polarización (IBB) en una manera continua.

6. Sistema según cualquiera de las reivindicaciones 4 o 5, donde dicho amplificador (AMP) comprende un elemento de amplificación (MAMP), dicho elemento de amplificación (MAMP) siendo un transistor MOS tipo N polarizado por una corriente de polarización amplificadora (IBA), dicha puesta a cero automática siendo conseguida conectando la salida del amplificador a su entrada.

7. Sistema según cualquiera de las reivindicaciones de 4 a 6, donde dicho dispositivo de circuito de conmutación comprende además un conductor de salida para convertir el voltaje de error amplificado integrado (VINT) a una corriente de salida (IOUT), un generador de voltaje de referencia de intervalo de banda (BG) para generar dicho voltaje de referencia (VR) y un oscilador (XOSC) para manejar el generador de reloj (CGEN), dicha corriente de salida (IOUT) siendo usada en una configuración de espejo de corriente para controlar la corriente de polarización (IBB) y la corriente de polarización amplificadora (IBA).

8. Sistema según cualquiera de las reivindicaciones de 4 a 7, donde el dispositivo de circuito de conmutación comprende además una fase cascode plegable (FASC) conectada entre la salida del amplificador y el condensador de integración (CINT) para reducir la sensibilidad de la corriente de salida (IOUT) a la onda de suministro de energía.

9. Sistema según la reivindicación 6, donde el voltaje de referencia (VR) se genera forzando una corriente de polarización de referencia (IBR) a través de una resistencia de referencia (RREF), dicha corriente de polarización de referencia (IBR) siendo relacionada con la corriente de polarización (IBB) a través de una configuración de espejo de corriente, y donde dicho dispositivo de circuito de conmutación comprende además un conductor de salida para convertir el voltaje de error amplificado integrado (VINT) en una corriente de salida (IOUT) y para generar la corriente de polarización del amplificador (IBA) proporcional a la corriente de salida (IOUT) utilizando una configuración de espejo de corriente, dicho sistema comprende además un oscilador de corriente controlado (ICO) y un separador de reloj (DIV), dicho oscilador de corriente controlado (ICO) siendo manejado por la corriente de salida (IOUT) para dar un reloj de salida (CKOUT), comprendiendo dicha configuración de retroalimentación el uso de la salida de separador de reloj para controlar el generador de reloj (CGEN).

10. Sistema según cualquiera de las reivindicaciones de 4 a 9, donde dicho circuito de conmutación comprende además un circuito de puesta en marcha (START) para asegurar que dicha corriente de salida (IOUT) no es puesta a cero por inyección de una corriente de puesta en marcha sobre el condensador de integración (CINT).

11. Sistema según cualquiera de las reivindicaciones de 4 a 10, donde al menos uno de los condensadores en el circuito de conmutación está al menos parcialmente hecho de una capacitancia parásita.

12. Sistema según cualquiera de las reivindicaciones de 9 a 11, donde dicho dispositivo de circuito de conmutación comprende un sistema para compensar por variaciones en resistividad de la resistencia de referencia (RREF), dicho sistema de compensación comprendiendo al menos una de las siguientes provisiones:

- la resistencia de referencia (RREF) comprende una pluralidad de secciones resistentes cada una asociada al menos con un interruptor programable para permitir que dicha sección resistente participe en o sea excluida de la resistencia total de dicha resistencia de referencia (RREF),
- el condensador conmutado (CSW) comprende una pluralidad de secciones capacitivas cada una asociada al menos con un interruptor programable para permitir que dicha sección capacitiva participe en o sea excluida de la capacitancia total de dicho condensador conmutado (CSW),
- 65 - al menos una derivación de cualquiera de las configuraciones de espejo de corriente comprende al menos un transistor y una pluralidad de secciones paralelas de transistor, cada una de dichas secciones de transistor

siendo conectada a través de un interruptor programable a dicha derivación para permitir que dicha sección sea incluida en o sea excluida de dicha derivación.

- 5 13. Sistema según la reivindicación 4, donde dicho dispositivo de circuito de conmutación comprende además un sistema para compensar por variaciones en el valor de la resistencia de referencia (RREF) y/o por variaciones en el valor del condensador conmutado (CSW) debido a variaciones en la temperatura, dicho sistema comprendiendo un espejo de corriente de compensación de temperatura para reflejar una proporción de una corriente cuyo valor es proporcional a la temperatura, dicha proporción de corriente siendo usada para ajustar la corriente de polarización (IBB) o la corriente de polarización de referencia (IBR).

10

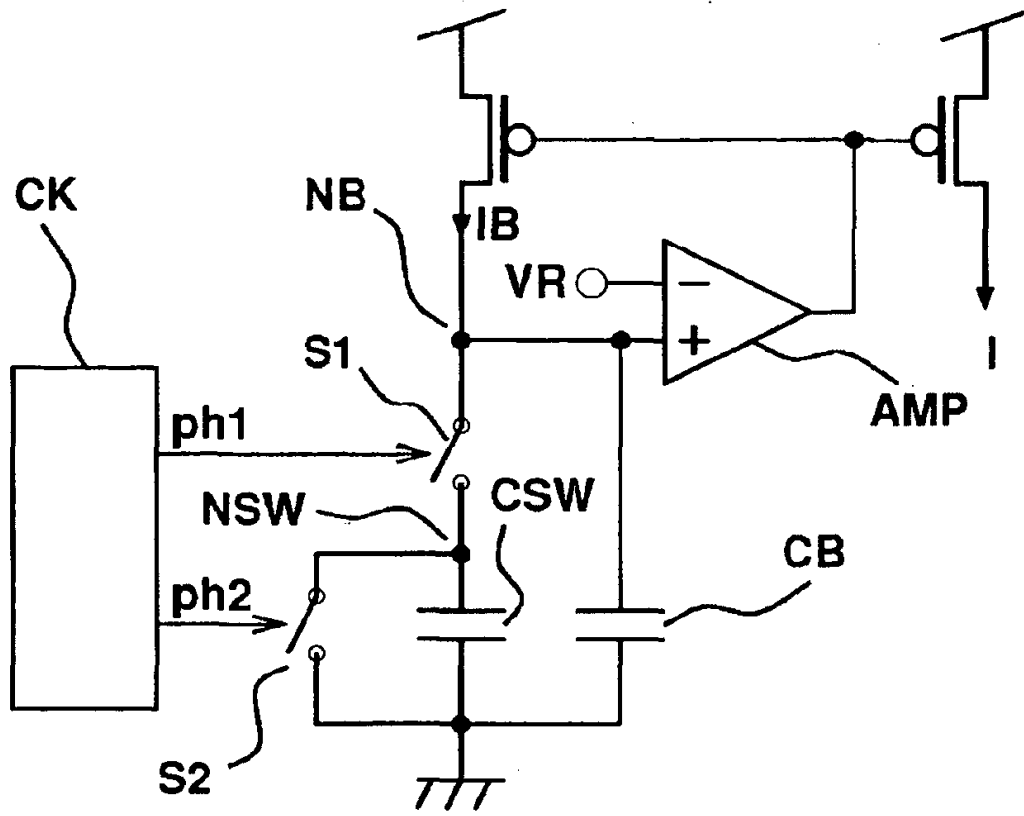


FIG.1a

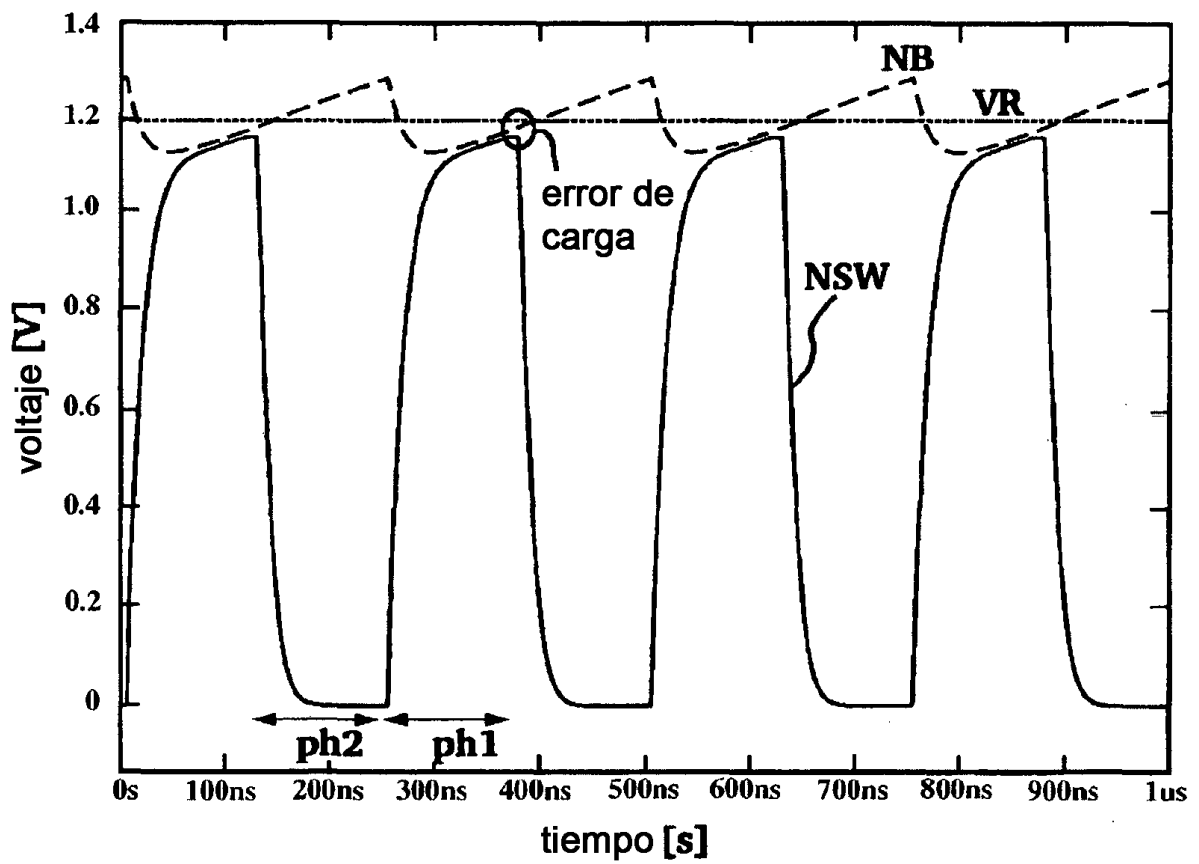


FIG.1b

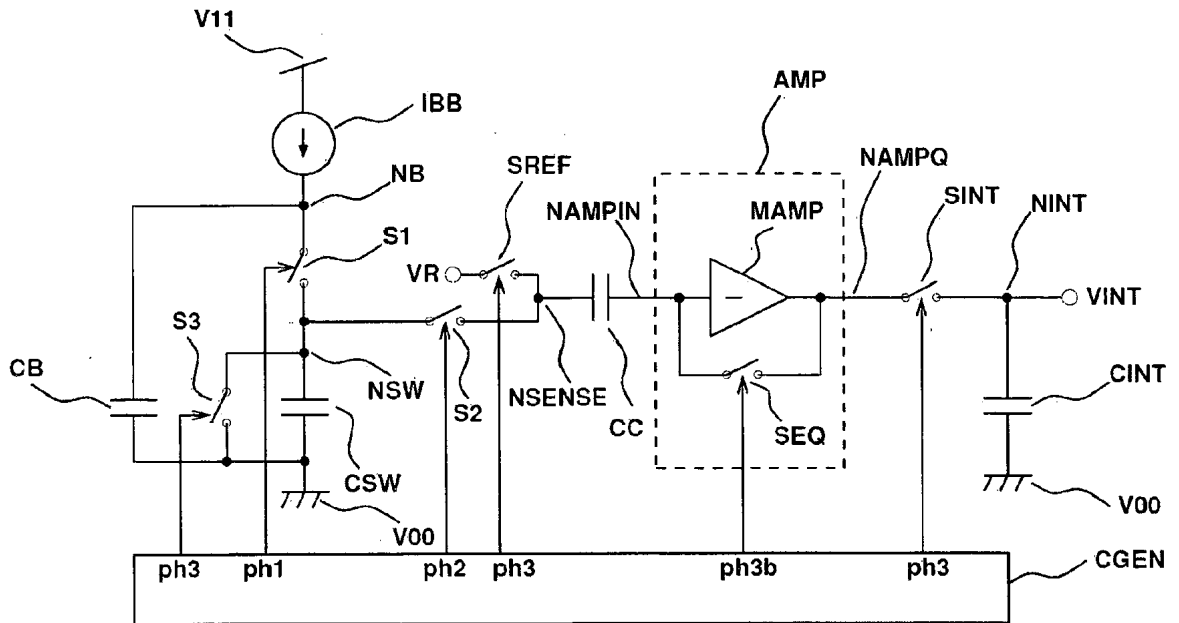


FIG.2

PH #	OP
PH1	CB->CSW
	CHGE CB/CSW
PH2	HLD CSW
	SNSE NSW
PH3	RST CSW
	SNSE VR
	INT ERR

FIG.3

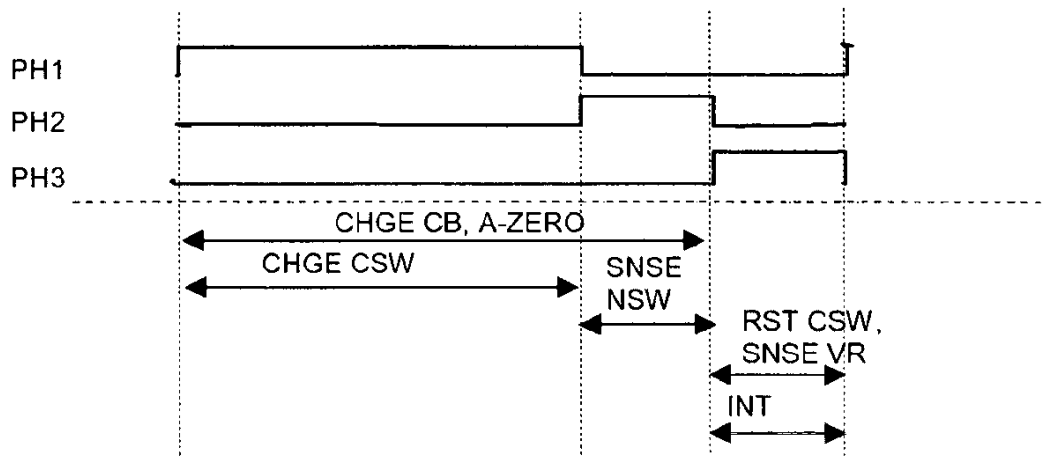


FIG.4

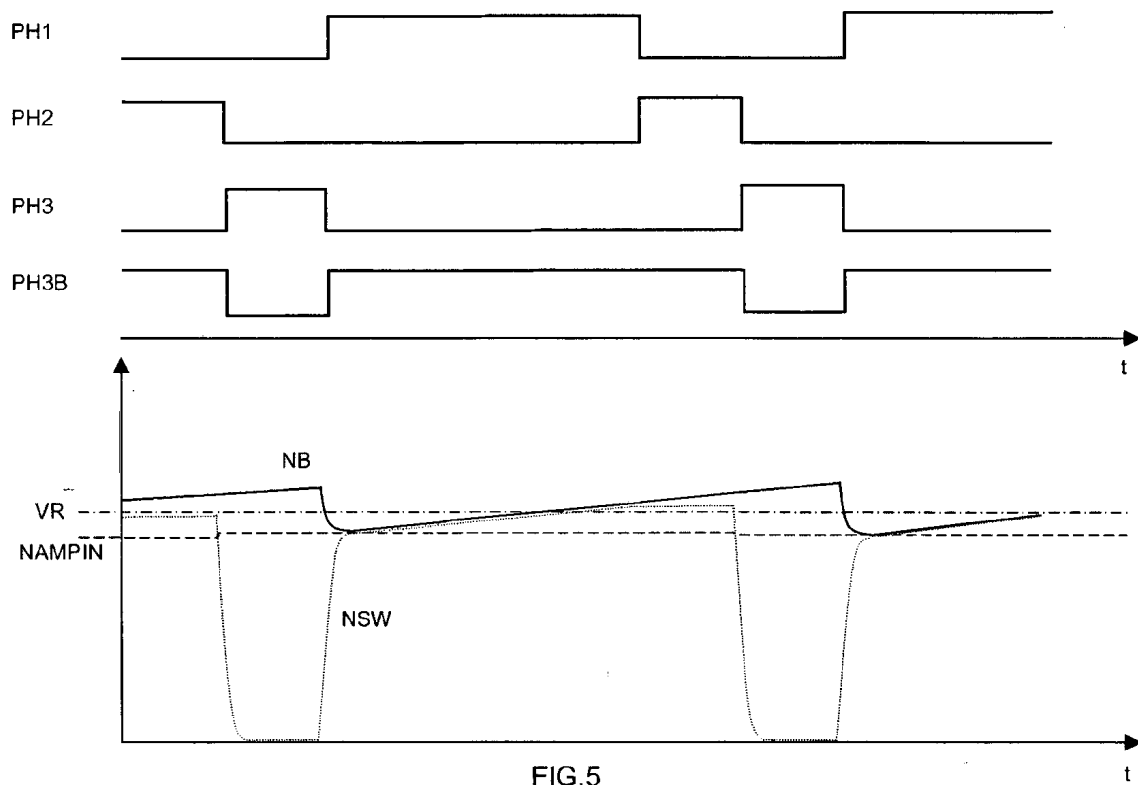


FIG.5

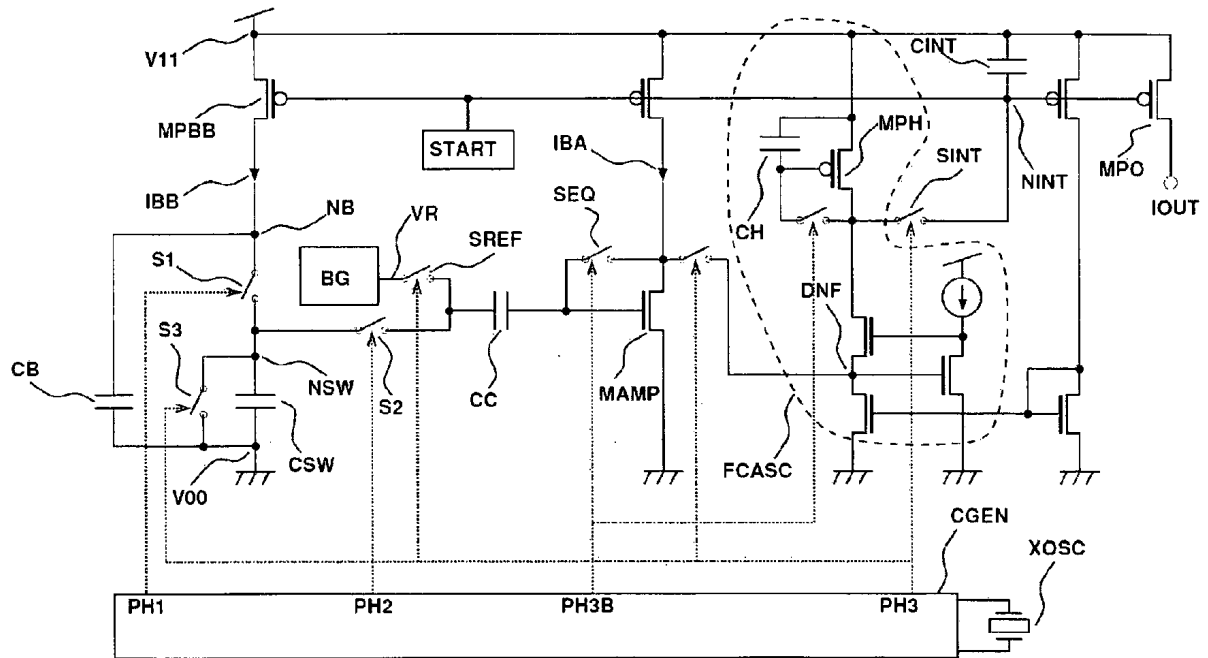


FIG.6

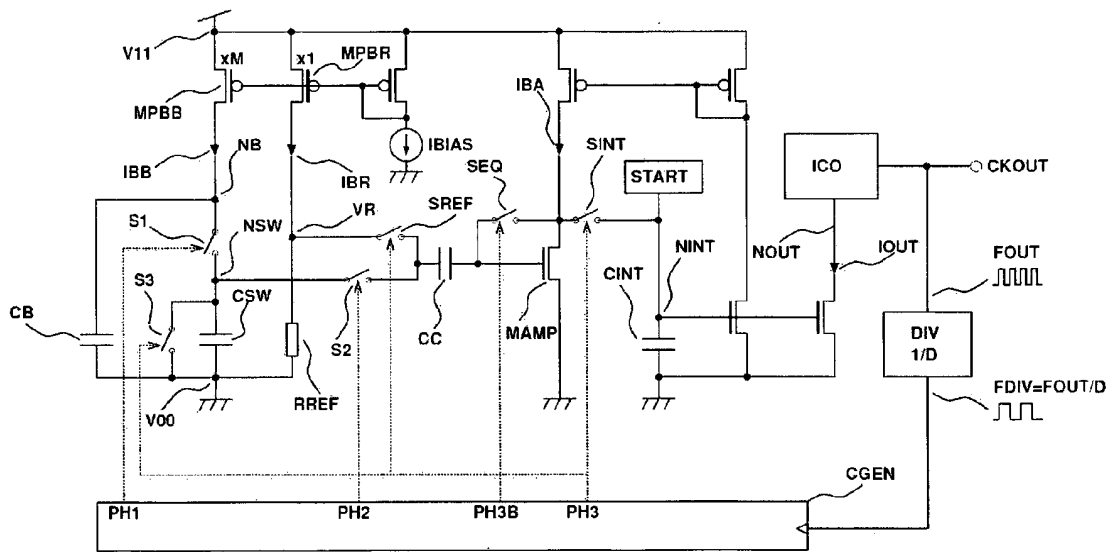


FIG.7

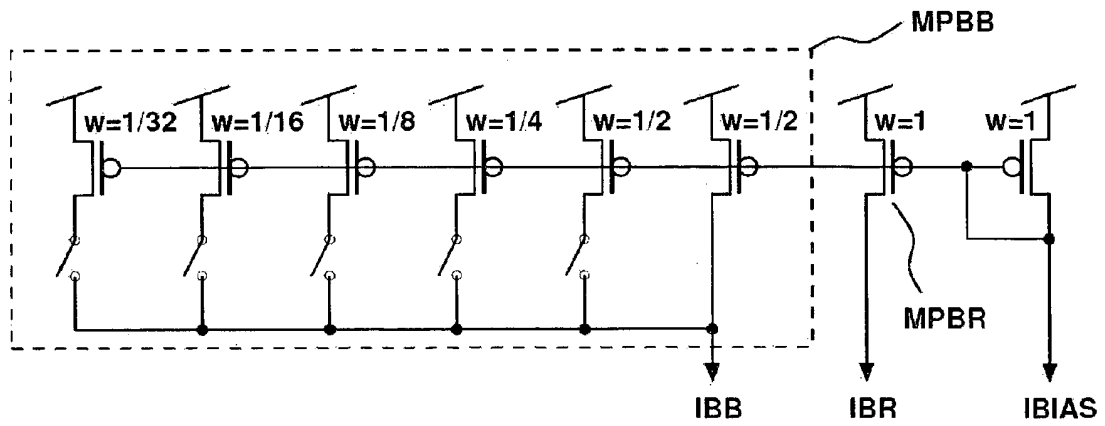


FIG. 8

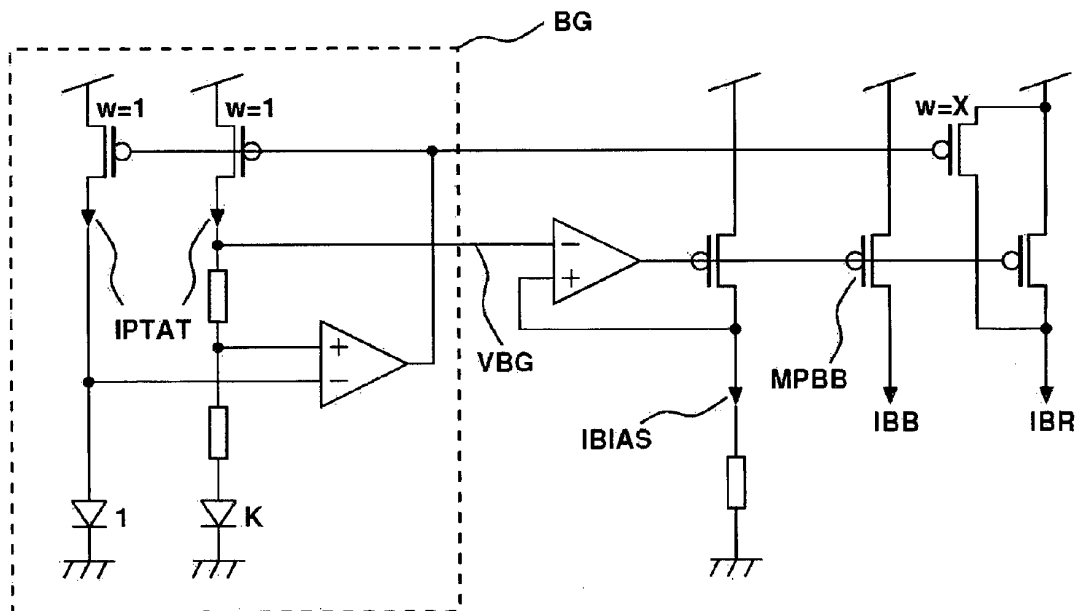


FIG. 9