

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 524 613**

51 Int. Cl.:

G11C 5/02 (2006.01)

G11C 7/12 (2006.01)

G11C 16/10 (2006.01)

G11C 16/16 (2006.01)

G11C 16/24 (2006.01)

G11C 7/10 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **26.11.2007 E 07845589 (6)**

97 Fecha y número de publicación de la concesión europea: **03.09.2014 EP 2097903**

54 Título: **Arquitectura central en serie de memoria no volátil**

30 Prioridad:

27.11.2006 US 867269 P

23.11.2007 US 944535

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

10.12.2014

73 Titular/es:

**CONVERSANT INTELLECTUAL PROPERTY
MANAGEMENT INC. (100.0%)**

**11 Hines Road, Suite 203
Ottawa, ON K2K 2X1, CA**

72 Inventor/es:

KIM, JIN-KI

74 Agente/Representante:

TOMAS GIL, Tesifonte Enrique

ES 2 524 613 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Arquitectura central en serie de memoria no volátil.

5 Referencia cruzada a aplicaciones relacionadas

[0001] Esta solicitud reivindica el beneficio de prioridad de Solicitud Provisional de Patente en los EE.UU. nº 60/867,269, presentado el 27 de noviembre de 2006.

10 Antecedentes

[0002] US 2006/0152979 A1 describe un dispositivo de memoria semiconductor con una matriz de celdas de memoria y una unidad de control. La matriz de celdas de memoria incluye una pluralidad de celdas de memoria colocadas en filas y columnas que se pueden abordar para operaciones de lectura y escritura de datos. Además, el dispositivo de memoria incluye una sección de registro en serie, una sección de control de transferencia de datos y una sección I/O de datos. Una operación de transferencia de datos entre la sección de registro en serie y la sección I/O de datos se realiza basándose en el periodo de una señal de reloj externa y se controla mediante la sección de control de transferencia de datos.

20 [0003] US 2006/0023549 A1 divulga un dispositivo de memoria en la comunicación en serie con un controlador. El dispositivo de memoria incluye una lógica de inicio-parada, lógica de control en serie, y una lógica de salida. El controlador inicia una transferencia de datos mediante la generación de una condición de inicio en un bus de datos seguida de la transmisión de un bit de comando que contiene la dirección del dispositivo de memoria destinatario. El dispositivo de memoria receptor (dispositivo servidor) admite el reconocimiento de la dirección del dispositivo al controlador, que luego continúa con la transferencia de datos. El dispositivo servidor usa la lógica de inicio-parada en combinación con la lógica de control en serie para reconocer la dirección del dispositivo transmitida e inician la preparación de circuitos auxiliares necesarios para sostener una operación de escritura o lectura de memoria. En este documento, el dispositivo servidor tiene que admitir el reconocimiento de la dirección del dispositivo, antes de la transmisión de datos mediante el controlador maestro.

30 [0004] US 4,800,530 divulga un sistema de memoria de acceso aleatorio dinámico que comprende primeros y segundos bancos de memoria. Una pluralidad de celdas de memoria conectadas a una línea de palabras se agrupan en primeros y segundos grupos. El primer grupo se organiza en el primer banco de memoria y el segundo grupo se organiza en el segundo banco de memoria. Los medios de lectura/escritura figuran en cada n bit desde y para el primer grupo y cada n bit de y para el segundo grupo es leído y escrito alternativamente. Cada bit es leído y escrito sincronizadamente con los conmutadores de una señal estroboscópica de dirección de columna.

40 [0005] US 7,073,022 B2 describe una interfaz en serie para unir un número de controladores del dispositivo a una colección de almacenamiento de datos para la transferencia de datos. Este documento enseña un método y sistema para suministrar una conexión en serie para cada dispositivo en la colección de almacenamiento y transferir datos desde la pluralidad de controladores de almacenamiento de datos hacia los dispositivos en la colección de almacenamiento de datos. US 7,073,022 B2 usa un sistema de circuitos serializador/deserializador para operaciones de transferencia de datos.

45 [0006] Dispositivos electrónicos móviles, como por ejemplo, cámaras digitales, asistentes digitales personales, reproductores de audio y video portátiles y terminales móviles continúan requiriendo almacenamiento en masa de memoria, preferiblemente memoria no volátil, con capacidades siempre en aumento y capacidades de velocidad. Por ejemplo, reproductores de audio actualmente disponibles pueden tener entre 256 Mbytes a 40 Gigabytes de memoria para almacenar datos de audio/video. Se prefiere un memoria no volátil, por ejemplo, como la memoria flash y unidades de disco duro, ya que los datos se retienen en ausencia de energía, extendiendo así la vida de la batería.

55 [0007] Actualmente, las unidades de disco duro tienen altas densidades y pueden almacenar entre 40 a 160 Gigabytes de datos, pero son relativamente pesados. No obstante, la memoria flash, también conocida como unidad de estado sólido, es popular debido a su densidad alta, sin volatilidad, y tamaño pequeño con respecto a las unidades de disco duro. El descubrimiento de celdas multinivel (MLC) aumenta más la densidad de la memoria flash para una área dada en relación con las celdas de nivel único. Los expertos en la técnica entenderán que la memoria flash se puede configurar como NOR Flash, NAND Flash o cualquier otro tipo de configuración de memoria flash. NAND Flash tiene una densidad más alta por área dada debido a su estructura de matriz de memoria más compacta. Para los fines de mayor discusión, las referencias a la memoria flash deberían ser entendidas como si fueran cualquier tipo de dispositivo flash, como por ejemplo, memoria flash tipo NOR y NAND.

65 [0008] Mientras existen módulos de memoria flash que operan a velocidad suficiente para muchos dispositivos electrónicos de consumo corriente, tales módulos de memoria probablemente no serán adecuados para usar en dispositivos futuros donde se desean altos índices de datos. Por ejemplo, un dispositivo de multimedia móvil que registra imágenes en movimiento en alta definición es probable que requiera un módulo de memoria con un

rendimiento de programación de al menos 10 MB/s, lo cual no es obtenible con tecnología de memoria flash corriente con los típicos índices de datos de programación de 7 MB/s. La celda flash multinivel tiene un índice mucho más lento de 1.5 MB/s debido a la secuencia de programación multifase requerida para programar las celdas.

[0009] El problema con muchos de los dispositivos de memoria estándar se encuentra en su uso de una interfaz de datos paralelos para recibir y proporcionar datos. Por ejemplo, algunos dispositivos de memoria proporcionan 8,16 o 32 bits de datos en paralelo a una frecuencia operativa de hasta 30 MHz. Las interfaces estándares de datos paralelos que proporcionan múltiples bits de datos en paralelo se sabe que sufren efectos de degradación de la comunicación muy conocidos, como la interferencia, la distorsión de la señal y la atenuación de la señal, por ejemplo, que degradan la calidad de la señal cuando operan más allá de su frecuencia operativa estimada. Para aumentar el rendimiento de datos, un dispositivo de memoria con una interfaz de datos en serie ha sido descrita en la propiedad común de la Publicación de Patentes de los EE.UU. nº 20070076479, que recibe y proporciona datos en serie a una frecuencia, por ejemplo, de 200 MHz. El dispositivo de memoria descrito en la Publicación de Patente de los EE.UU. nº 20070076479 se puede usar en un sistema de dispositivos de memoria que están conectados en serie entre sí, tal y como se describe en la Solicitud de Patente Provisional de los EE.UU. de propiedad común nº 60/902,003 presentada el 16 de Febrero de 2007.

[0010] La Figura 1A muestra un sistema de una pluralidad de dispositivos de memoria que están conectados en serie entre sí, como se describe en la Publicación de Patente de los EE.UU. nº 20070076479. En referencia a la figura 1A, una interconexión en serie 5 incluye una pluralidad de dispositivos de memoria que se conectan en serie con un controlador de memoria. El controlador de memoria incluye una interfaz del sistema para recibir comandos y datos del sistema desde el sistema donde la interconexión en serie está integrada, y proporciona lectura de datos al sistema. En particular, el dispositivo 0 está compuesto por una pluralidad de aberturas de entrada de datos (SIP0; SIP1), una pluralidad de aberturas de salida de datos (SOP0; SOP1), una pluralidad de aberturas de entrada de control (IPE0; IPE1), y una pluralidad de aberturas de salida de control (OPE0, OPE1). Estos datos y señales de control se envían al dispositivo de memoria 5 desde el controlador de memoria. Un segundo dispositivo de memoria (dispositivo 1) está compuesto por los mismos tipos de aberturas que el dispositivo 0. El dispositivo 1 está interconectado con el dispositivo 0. Por ejemplo, el dispositivo 1 puede recibir datos y señales de control del dispositivo 0. Uno o varios dispositivos adicionales también se pueden interconectar a lo largo del dispositivo 0 y el dispositivo 1 de una forma similar. Un último dispositivo (por ejemplo, el dispositivo 3) en la conexión en serie proporciona datos y señales de control de nuevo al controlador de memoria después de un estado latente predeterminado. Cada dispositivo de memoria (por ejemplo, dispositivo 0, 1, 2, 3) emite un eco (IPEQ0, IPEQ1, OPEQ0; OPEQ1) de IPE0, IPE1, OPE0, y OPE1 (es decir, aberturas de salida de control) al dispositivo posterior. Las señales se pueden pasar de un dispositivo a un dispositivo posterior conectado en serie. Una única señal de reloj sirve para cada uno de la pluralidad de dispositivos de memoria conectados en serie.

[0011] La Figura 1B es un diagrama de bloques que ilustra la arquitectura básica de uno de los dispositivos de memoria mostrados en la figura 1A. El dispositivo de memoria 10 incluye una pluralidad de bancos de memoria idénticos con sus datos, control y circuitos de direccionamiento respectivos, así como el banco de memoria A 12 y el banco de memoria B 14, una dirección y ruta de datos del circuito del interruptor 16 conectados a ambos bancos de memoria 12 y 14, y circuitos de interfaz idéntica 18 y 20, asociados a cada banco de memoria para suministrar datos a y para recibir datos del circuito del interruptor 16. Los bancos de memoria 12 y 14 son memoria preferiblemente no volátil, como la memoria flash, por ejemplo. Lógicamente, las señales recibidas y proporcionadas por el banco de memoria 12 se designan con la letra "A", mientras las señales recibidas y proporcionadas por el banco de memoria 14 se designan con la letra "B". De forma similar, las señales recibidas y proporcionadas por el circuito de interfaz 18 se designan con el número "0", mientras las señales recibidas y proporcionadas por el circuito de interfaz 20 se designan con el número "1". Cada uno de los circuitos de interfaz 18 y 20 recibe datos de acceso en un flujo de datos en serie, donde los datos de acceso puede incluir un comando, información de dirección y datos de entrada para operaciones de programación, por ejemplo. En una operación de lectura, cada uno de los circuitos de interfaz proporciona datos de salida como un flujo de datos en serie en respuesta a un comando de lectura y datos de dirección. El dispositivo de memoria 10 incluye además circuitos globales, como una interfaz de control 22 y un circuito de registro de estado/ID 24, que proporcionan señales globales como la señal de reloj sciki y vuelven a los circuitos de ambos bancos de memoria 12 y 14 y a los circuitos de interfaz respectivos 18 y 20. Ahora sigue otra discusión sobre los circuitos ya mencionados.

[0012] El banco de memoria 12 incluye circuitos periféricos de memoria bien conocidos como el amplificador de detección y el bloque de circuito de búfer de página 26 para suministrar datos de salida DOUT_A y para recibir datos del programa de entrada DIN_A y el bloque decodificador de fila 28. Los expertos en la técnica entenderán que el bloque 26 también incluye circuitos de decodificación de columna. Un bloque de circuito de control y predecodificación 30 recibe señales de dirección y señales de control mediante líneas de señales ADDR_A, y proporciona señales de dirección predecodificada a los decodificadores de fila 28 y el amplificador de detección y el bloque de circuito de búfer de página 26.

[0013] Los circuitos periféricos para el banco de memoria 14 son idénticos a los previamente descritos para el banco de memoria 12. Los circuitos del banco de memoria B incluyen un amplificador de detección y un bloque de circuito de búfer de página 32 para suministrar datos de salida DOUT_B y para recibir datos de programa de entrada DIN_B,

un bloque decodificador de fila 34, y un bloque de circuito de control y predecodificación 36. El bloque de circuito de control y predecodificación 36 recibe señales de dirección y señales de control a través de la línea de señales ADDR_B, y proporciona señales de dirección predecodificada a los decodificadores de fila 34 y el amplificador de detección y el bloque de circuito de búfer de página 36. Cada banco de memoria y sus circuitos periféricos correspondientes se pueden configurar con arquitecturas bien conocidas.

[0014] En la operación general, cada banco de memoria responde a un comando y una dirección específicos y, si es necesario, a unos datos de entrada. Por ejemplo, el banco de memoria 12 proporciona datos de salida DOUT_A en respuesta a un comando de lectura y una dirección de lectura, y puede programar datos de entrada en respuesta a un comando de programa y una dirección de programa. Cada banco de memoria puede responder a otros comandos como un comando de borrado, por ejemplo.

[0015] En el ejemplo mostrado en la Figura 1B, el interruptor de ruta 16 es un circuito de puerto doble que puede operar en una de las dos vías para señales de paso entre los bancos de memoria 12 y 14, y los circuitos de interfaz 18 y 20. Primero es un modo de transferencia directa donde las señales del banco de memoria 12 y el circuito de interfaz 18 se pasan del uno al otro. Al mismo tiempo, las señales del banco de memoria 14 y el circuito de interfaz 20 se pasan del uno al otro en el modo de transferencia directa. En segundo lugar, hay un modo de transferencia de cruce donde las señales del banco de memoria 12 y el circuito de interfaz 20 se pasan del uno al otro. Al mismo tiempo, las señales del banco de memoria 14 y el circuito de interfaz 18 son pasados entre sí. Una configuración de puerto único de interruptor de ruta 16 será discutida más tarde.

[0016] Como se ha mencionado previamente, los circuitos de interfaz 18 y 20 reciben y proporcionan datos como flujos de datos en serie. Esto es para reducir los requisitos de pinout del chip, al igual que para aumentar el rendimiento de señal total en altas frecuencias operativas. Debido a que los circuitos de los bancos de memoria 12 y 14 son típicamente configurados para dirección y datos paralelos, se requieren circuitos de conversión.

[0017] El circuito de interfaz 18 incluye un enlace de datos en serie 40, entrada en serie al registro paralelo 42, y salida en paralelo al registro en serie 44. El enlace de datos en serie 40 recibe datos de entrada en serie SIP0, una señal de entrada permitida IPE0 y una señal de salida permitida OPE0, y proporciona datos de salida en serie SOP0, eco de señal de entrada permitida IPEQ0 y eco de señal de salida permitida OPEQ0. La señal SIP0 (y SIP1) es un flujo de datos en serie que pueden incluir dirección, comando y datos de entrada. El enlace de datos en serie 40 proporciona datos de entrada en serie de memoria intermedia SER_IN0 que corresponden con SIP0 y recibe datos de salida en serie SER_OUT0 desde la salida paralela al registro en serie 44. El registro serie-paralelo de entrada 42 recibe SER_IN0 y lo convierte en un conjunto paralelo de señales PAR_IN0. El registro paralelo-serie de salida 44 recibe un conjunto paralelo de datos de salida PAR_OUT0 y lo convierte en los datos de salida en serie SER_OUT0, que es posteriormente proporcionado como flujo de datos SOP0. El registro paralelo-serie de salida 44 puede también recibir datos del registro de estado/ID 24 para emitir los datos almacenados en este, en vez de los datos PAR_OUT0. Los detalles adicionales de esta característica particular serán discutidos más adelante. Además, el enlace de datos en serie 40 se configura para alojar la cadena en serie extendiendo las señales de control y las señales de datos con otro dispositivo de memoria 10.

[0018] El circuito de interfaz en serie 20 está idénticamente configurado como el circuito de interfaz 18, e incluye un enlace de datos en serie 46, el registro serie-paralelo de entrada 48, y el registro paralelo-serie de salida 50. El enlace de datos en serie 46 recibe datos de entrada en serie SIP1, una señal de entrada permitida IPE1 y una señal de salida permitida OPE1, y proporciona datos de salida en serie SOP1, eco de señal de entrada permitida IPEQ1 y eco de señal salida permitida OPEQ1. El enlace de datos en serie 46 proporciona datos de entrada en serie de memoria intermedia SER_IN1 que corresponden con SIP1 y recibe datos de salida en serie SER_OUT1 del registro paralelo-serie de salida 50. El registro serie-paralelo de entrada 50 recibe SER_IN1 y lo convierte en un conjunto paralelo de señales PAR_IN1. El registro paralelo-serie de salida 48 recibe un conjunto paralelo de datos de salida PAR_OUT1 y lo convierte en los datos de salida en serie SER_OUT1, los cuales son posteriormente proporcionados como flujo de datos SOP1. El registro paralelo-serie de salida 48 puede también recibir datos del registro de estado/ID 24 para la emisión de los datos almacenados en este, en lugar de los datos PAR_OUT1. Como con el enlace de datos en serie 40, el enlace de datos en serie 46 se configura para alojar la cadena en serie extendiendo las señales de control y las señales de datos con otro dispositivo de memoria 10.

[0019] La interfaz de control 22 incluye circuitos de búfer de entrada estándar, y genera la señal interna de selección de chip chip_sel, la señal de reloj interna sclki, y el restablecimiento de señal de restablecimiento interno, que corresponden con la selección de chip (CS#), reloj en serie (SCLK) y restablecimiento (RST#), respectivamente. Mientras la señal chip_sel es usada principalmente por los enlaces de datos en serie 40 y 46, el restablecimiento y sclki son usados por muchos de los circuitos en todo el dispositivo de memoria 10.

[0020] Mientras la interfaz de datos en serie proporciona ventajas de rendimiento sobre las arquitecturas de interfaz de datos paralelos, estas ventajas pueden ser compensadas por las degradaciones de rendimiento en los bancos de memoria 12 y 14. Más específicamente, el impulso del aumento de la densidad de memoria afectará contrariamente la forma en qué los datos pueden ser rápidamente percibidos por las celdas de memoria, especialmente las celdas de memoria flash configuradas NAND. Para ilustrar este problema, una parte de la matriz de memoria flash

configurada NAND de la Figura 1B se muestra en la Figura 2.

[0021] En referencia a las figuras 1B y 2, el banco de memoria 12 incluye i conjuntos de líneas de bits, donde i es un número entero mayor que 0, y cada conjunto incluye una línea de bits par y una línea de bits impar. Por ejemplo, el conjunto de líneas de bits 1 incluye la línea de bits par BL1_e y la línea de bits impar BL1_o. Cada línea de bits se conecta por lo menos a una fila de celdas NAND, donde cada fila de celdas NAND incluye una pluralidad de celdas de memoria no volátil y transistores de acceso conectados en serie entre la línea de bits respectiva y una línea de fuente común CSL. Los transistores de acceso incluyen un transistor de selección de fuente para recibir una señal del conducto de selección de fuente SSL, y un transistor de selección de tierra para recibir una señal del conducto de selección de tierra GSL. Conectados en serie entre estos dos transistores de acceso están una pluralidad de celdas de memoria no volátil, como las celdas de memoria flash. En el presente ejemplo, hay 32 celdas de memoria flash conectadas en serie, que tienen las terminales de puerta unidas a las respectivas líneas de palabras desde WL1 hasta WL32.

[0022] El bloque de circuito amplificador de detección y de búfer de página 26 incluye i unidades de búfer de página 60, o uno para cada conjunto de líneas de bits. Debido a que el campo de la línea de bits es estrecho, una unidad de búfer de página 60 es compartida entre la línea de bits par e impar de un conjunto de líneas de bits. Por lo tanto se requieren transistores de selección que reciban señales de selección pares e impares BSL_e y BLS_o para que seleccionen una línea de bits del conjunto para que se una a la unidad de búfer de página 60. Cada unidad de búfer de página 60 percibe y atrapa datos de las líneas de bits, y aquellos expertos en la técnica entenderán que el búfer de página retiene datos de escritura para ser programados. Cada fila de celdas NAND que comparten las líneas de palabras comunes WL1-WL32, SSL, y GSL se denomina bloque de memoria; mientras que las celdas de memoria conectadas a una misma línea de palabras se denomina página. Los expertos en la técnica deberían entender como son ejecutadas las operaciones de flash de lectura, programación y cancelación.

[0023] La Figura 3 es un circuito esquemático de circuitos de selección de columna del amplificador de detección y del bloque del circuito de búfer de página 26 para unir datos en las unidades de búfer de página 60 de la Figura 2 a las líneas de datos. El presente ejemplo de la Figura 3 ilustra un posible esquema de descodificación lógica, donde un número programado de búfers de página se asocian con cada una de las 16 líneas de datos DL1 hasta DL16. En el presente ejemplo, hay 16 circuitos decodificadores de líneas de datos 70 idénticamente configurados, y uno es unido a cada una de las líneas de datos DL1 hasta DL16. La siguiente descripción se refiere al circuito decodificador de línea de datos 70 acoplada a DL1. El circuito decodificador de línea de datos 70 incluye 16 agrupamientos de 32 unidades de búfers de página 60. En cada agrupamiento, la terminal de entrada/salida de una unidad de búfer de página se acopla a un transistor de paso 72 de la correspondiente primera fase del canal-n. Todos los transistores de paso de canal-n de primera fase se conectan en paralelo y son controlados por señales de selección de primera fase YA1 hasta YA32 para acoplar de forma selectiva una unidad de búfer de página 60 a un transistor de paso de canal-n 74 de segunda fase. Ya que hay un transistor de paso de canal-n 74 de segunda fase para cada agrupamiento, hay un total de 16 transistores de paso de canal-n 74 de segunda fase conectados en paralelo a DL1, cada uno controlado por las respectivas señales de selección de segunda fase YB1 hasta YB16. Debido a que las señales YA1 para YA32 y YB1 a YB16 se comparten a través de todos los circuitos decodificadores de líneas de datos 70, mediante la activación de una señal de selección de primera fase y una señal de selección de segunda fase se acopla una unidad de búfer de página 60 de cada circuito decodificador de línea de datos 70 a una línea de datos correspondiente.

[0024] En una operación de lectura, verificación de programación y verificación de cancelación, los datos de la celda en la página seleccionada deberían ser detectados y atrapados en sus unidades de búfer de página 60 correspondientes. La descodificación de columna luego selecciona cuales son las unidades de búfer de página para acoplar a las líneas de datos. La detección depende de las celdas generadas en el momento por la celda de memoria seleccionada, y la presente celda depende del número de celdas en la línea de celdas NAND. En el ejemplo de la Figura 2, la celda actual es típicamente menor que 1 (μ A) para una línea de celdas NAND 32 fabricada mediante una tecnología de proceso de 90nm. Desafortunadamente, el impulso para aumentar la densidad del conjunto de memorias para bajar el coste de producción del dispositivo da como resultado la adición de más celdas de memoria por cada fila de celdas NAND. Como resultado, esta celda actual además disminuirá, requiriendo de este modo circuitos de detección más sensibles y/o más tiempo de detección. El retraso de la línea de bits RC debido a longitud física de la línea de bits está agravando aún más el problema, y la capacidad de unión de la fila de celdas NAND así como el número de celdas por cada fila de celdas NAND es aumentada. Estos cambios físicos en combinación con el proceso de fabricación avanzado para reducir el tamaño de la característica agrava más el problema de la celda en cuestión. Este problema con la celda actual es bien conocido, como demostró June Lee et al., "A 90-nm CMOS 1.8-V 2-Gb NAND Flash Memory for Mass Storage" Applications," IEEE J. Solid-State Circuits, vol. 38, págs. 1934-1942, Nov. 2003. Otro problema relacionado con el uso de procesos de fabricación avanzada es el rendimiento, donde largas líneas de bits introducen la cuestión de uniformidad del proceso a través de pasos del proceso, reduciendo así el rendimiento por oblea a la vez que el potencial para defectos aumenta.

[0025] Una posible solución para este problema puede ser limitar el número de celdas de memoria por cada fila de celdas NAND y dividir las series de memoria grande en bancos de memoria múltiple. Una ventaja de tener bancos de memoria múltiple es la capacidad de transferir datos directamente entre los bancos de memoria sin tener que

transferir datos fuera del dispositivo de memoria. La desventaja del uso de bancos de memoria múltiple es que cada banco requiere su propio conjunto de amplificador de detección y el bloque de circuito de búfer de página 26, aumentando así el circuito adicional superior y la área de chip. El circuito complejo y la área superior requeridos para implementar el banco directo para la transferencia de datos del banco también consume una área de chip adicional.

Resumen

[0026] La presente invención proporciona un sistema de memoria tal y como se define en la reivindicación 1 y un método tal y como se define en la reivindicación 15. Diferentes formas de realización se definen en reivindicaciones dependientes.

[0027] En un primer aspecto, la presente descripción proporciona un sistema de memoria. El sistema de memoria incluye un banco de memoria y una ruta de datos en serie. El banco de memoria proporciona datos de lectura de un flujo de bits en serie en respuesta a una operación de lectura y recibe datos de escritura de un flujo de bits en serie en respuesta a una operación de escritura. La ruta de datos en serie une los datos de lectura del flujo de bits en serie y los datos de escritura del flujo de datos en serie al banco de memoria y a una interfaz de entrada/salida. Según una forma de realización, la ruta de datos en serie incluye un mediador de datos para recibir datos de acceso en serie desde la interfaz de entrada/salida, los datos de acceso que incluyen un comando y una dirección. El mediador de datos convierte el comando y la dirección en un formato paralelo y pasa los datos de lectura del flujo de bits en serie a la interfaz de entrada/salida durante la operación de lectura. Según otra forma de realización, el banco de memoria incluye una primera mitad del banco, una segunda mitad del banco y un convertidor de datos paralelo/en serie. La primera mitad del banco se une a las primeras n líneas de datos paralelas, donde n es un valor entero mayor que 0. La segunda mitad del banco se une a las segundas n líneas de datos paralelas. El convertidor de datos paralelo/serie convierte selectivamente una de las primeras y las segundas n líneas de datos paralelas en datos de lectura del flujo de datos en serie y convierte selectivamente los datos de escritura del flujo de datos en serie en datos paralelos para una de las primeras y las segundas n líneas de datos paralelas.

[0028] En un aspecto de la presente forma de realización, la primera mitad del banco incluye un primer sector, un segundo sector y un primer búfer de página. El primer sector tiene las líneas de palabras y la líneas de bits unidas a las celdas de memoria. El segundo sector tiene las líneas de palabras y líneas de bits unidas a las celdas de memoria. El primer búfer de página es selectivamente unido a líneas de bits de uno del primer sector y el segundo sector, y se une a las primeras n líneas de datos paralelas. La segunda mitad del banco incluye un tercer sector, un cuarto sector y un segundo búfer de página. El tercer sector tiene líneas de palabras y líneas de bits unidas a las celdas de memoria. El cuarto sector tiene líneas de palabras y líneas de bits unidas a las celdas de memoria. El segundo búfer de página se une selectivamente a las líneas de bits de uno del tercer sector y el cuarto sector, y se une a las segundas n líneas de datos paralelas. En el presente aspecto, las líneas de bits del primer sector y el segundo sector se agrupan en conjuntos de líneas de bits, donde cada una de los conjuntos de líneas de bits se unen a una línea de bits común, y la línea de bits común se une al primer búfer de página. De forma similar, la línea de bits del tercer sector y el cuarto sector se agrupan en conjuntos de líneas de bits, donde cada una de los conjuntos de líneas de bits se une a una línea de bits común, y la línea de bits común se une al segundo búfer de página.

[0029] En otro aspecto de la presente forma de realización, el convertidor de datos paralelo/serie incluye un primer convertidor de datos paralelo/serie, un segundo convertidor de datos paralelo/serie y un selector de ruta de datos. El primer convertidor de datos paralelo/serie une consecutivamente cada una de las primeras n líneas de datos paralelas a una primera terminal. El segundo convertidor de datos paralelo/serie une consecutivamente cada una de las segundas n líneas de datos paralelas a una segunda terminal. El selector de ruta de datos une selectivamente una de la primera terminal y la segunda terminal a una línea de datos en serie bidireccional. El sistema de memoria puede además incluir una lógica de control para recibir un comando y una dirección para manejar el banco de memoria, el convertidor paralelo/serie y la ruta de datos en serie durante la operación de lectura.

[0030] En otra forma de realización del presente aspecto, el sistema de memoria además incluye otro banco de memoria para suministrar los datos de lectura del flujo de datos en serie en respuesta a la operación de lectura y para recibir los datos de escritura del flujo de bits en serie en respuesta a la operación de escritura. En la presente forma de realización, la ruta de datos en serie incluye un conmutador de datos para unir selectivamente los datos de escritura del flujo de datos en serie a uno del banco de memoria y el otro banco de memoria. Además, la ruta de datos en serie une selectivamente los datos de lectura del flujo de bits en serie de uno del banco de memoria y el otro banco de memoria al mediador de datos de la ruta de datos en serie. En una forma de realización alterna, el sistema de memoria además incluye otra ruta de datos en serie para unir los datos de lectura del flujo de bits en serie de uno del banco de memoria y el otro banco de memoria a otra interfaz de entrada/salida. La otra ruta de datos en serie también une los datos de escritura del flujo de bits en serie a uno del banco de memoria y el otro banco de memoria. La otra ruta de datos en serie puede incluir un segundo conmutador de datos para unir selectivamente los datos de escritura del flujo de bits en serie a uno del otro banco de memoria y el conmutador de datos, y para unir selectivamente los datos de lectura del flujo de bits en serie a un conmutador de datos y otro mediador de datos. Se proporciona una línea de datos de transferencia en serie para unir el conmutador de datos al segundo conmutador de datos. El sistema de memoria puede además incluir un conmutador de transferencia en

serie para unir selectivamente los datos de lectura del flujo de bits en serie de uno del banco de memoria y el otro banco de memoria a la ruta de datos en serie.

[0031] La presente descripción proporciona un método para usar en un sistema de memoria. El método incluye: provisión de datos de lectura del flujo de bits en serie en respuesta a la operación de lectura y recepción de datos de escritura del flujo de bits en serie en respuesta a una operación de escritura; y acoplamiento de los datos de lectura del flujo de bits en serie y los datos de escritura del flujo de bits en serie con el banco de memoria y una interfaz de entrada/salida.

[0032] En un segundo aspecto, la presente descripción proporciona un banco de memoria. El banco de memoria incluye una matriz de memoria, un búfer de página y un acoplador secuencial. La matriz de memoria tiene celdas de memoria conectadas a líneas de bits y líneas de palabras. El búfer de página retiene los datos de las líneas de bits durante la operación de lectura, y une los datos retenidos a un número predeterminado de líneas de datos en paralelo. El acoplador secuencial une consecutivamente cada uno del número predeterminado de líneas de datos a una línea de datos en serie bidireccional. El acoplador secuencial puede incluir un convertidor de datos paralelo/serie con terminales unidas a cada uno del número predeterminado de líneas de datos. El convertidor de datos paralelo/serie es controlable para unir consecutivamente cada una de las terminales a la línea de datos en serie bidireccional. El banco de memoria puede además incluir un contador sensible a una señal de reloj para controlar el primer convertidor de datos paralelo/serie y el segundo convertidor de datos paralelo/serie. El selector de ruta de datos se controla por un bit más significativo del contador no usado por el primer convertidor de datos paralelo/serie y el segundo convertidor de datos paralelo/serie.

[0033] En una forma de realización alterna, el acoplador secuencial puede incluir un primer convertidor de datos paralelo/serie, un segundo convertidor de datos paralelo/serie y un selector de ruta de datos. El primer convertidor de datos paralelo/serie tiene las primeras terminales unidas a cada una del número predeterminado de líneas de datos, y el primer convertidor de datos paralelo/serie es controlable para unir consecutivamente cada una de las primeras terminales a una primera línea de datos en serie local bidireccional. El segundo convertidor de datos paralelo/serie tiene segundas terminales unidas a cada una del número predeterminado de la segunda línea de datos, y el segundo convertidor de datos paralelo/serie es controlable para unir consecutivamente cada una de las segundas terminales a la segunda línea de datos en serie local bidireccional. El selector de ruta de datos une selectivamente una de la primera línea de datos en serie local bidireccional y la segunda línea de datos en serie local bidireccional a una línea de datos en serie global bidireccional.

[0034] La presente descripción proporciona un método para usar una matriz de memoria con celdas de memoria conectadas a líneas de bits y líneas de palabras. El método incluye: datos de retención de las líneas de bits durante la operación de lectura, y para el acoplamiento de los datos enganchados a un número predeterminado de líneas de datos en paralelo; y consecutivamente acoplar cada uno del número predeterminado de líneas de datos a una línea de datos en serie bidireccional.

[0035] En un tercer aspecto, la presente descripción proporciona un banco de memoria. El banco de memoria incluye un primer sector de memoria, un segundo sector de memoria y un búfer de página. El primer sector de memoria tiene celdas de memoria conectadas a las primeras líneas de bits y las primeras líneas de palabras, donde las primeras líneas de bits se organizan como segmentos m donde m es un valor entero mayor que 0. El segundo sector de memoria tiene celdas de memoria conectadas a las segundas líneas de bits y las segundas líneas de palabras, donde la segunda línea de bits se organiza como segmentos m.

[0036] El búfer de página une selectivamente uno de la primera línea de bits y la segunda línea de bits de cada segmento m a un número predeterminado de líneas de datos. En una forma de realización del presente aspecto, se ejecuta una operación de lectura para activar una línea de palabras de una de las primeras líneas de palabras en el primer sector de memoria y las segundas líneas de palabras en el segundo sector de memoria en respuesta a una dirección de la fila, donde al menos dos celdas de memoria se unen a la primera línea de bits cuando la línea de palabras es una de las primeras líneas de palabras, y al menos dos celdas de memoria se unen a la segunda línea de bits cuando la línea de palabras es uno de las segundas líneas de palabras; uniendo selectivamente una línea de bits de las primeras líneas de bits y las segundas líneas de bits a una línea de bits común en respuesta a una dirección de columna; se percibe la línea de bits común con el búfer de página; y se proporcionan los datos correspondientes a la segunda línea de bits detectada sobre uno del número predeterminado de líneas de datos.

[0037] La presente descripción proporciona un método para usar en un banco de memoria con celdas de memoria conectadas a primeras líneas de bits y primeras líneas de palabras, las primeras líneas de bits se disponen como segmentos m donde m es un valor entero mayor de 0. El método incluye: acoplamiento selectivo de una de las primeras líneas de bits y las segundas líneas de bits de cada segmento m a un número predeterminado de líneas de datos.

[0038] En un cuarto aspecto, la presente descripción proporciona un búfer de página para un banco de memoria. El búfer de página incluye una primera fase de búfer de página de autodescodificación y una segunda fase de búfer de página de autodescodificación. La primera fase de búfer de página de autodescodificación percibe los datos de

un primer conjunto de líneas de bits comunes, y proporciona los datos percibidos. Los datos percibidos corresponden a cada una de las líneas de bits comunes del primer conjunto de líneas de bits comunes, que se proporcionan en las líneas de datos correspondientes en respuesta a una columna activa, seleccionan el bit enganchado en un estado de señal de reloj. La segunda fase de búfer de página de autodescodificación percibe los datos de un segundo conjunto de líneas de bits comunes, y proporciona los datos percibidos. Los datos de detección corresponden a cada una de las líneas de bits comunes del segundo conjunto de líneas de bits comunes, que se proporcionan en las líneas de datos correspondientes en respuesta al bit exclusivo de la columna activa enganchado en un estado de señal de reloj posterior. En una forma de realización del presente aspecto, una operación de autodescodificación se ejecuta mediante la retención del bit exclusivo de la columna activa en la primera fase de búfer de página de autodescodificación en respuesta a un estado de señal de reloj opuesta; proporcionando los datos percibidos desde la primera fase de búfer de página de autodescodificación y pasando el bit exclusivo de la columna activa en respuesta al estado de señal de reloj; y se retiene el bit exclusivo de la columna activa en la segunda fase de búfer de página de autodescodificación en respuesta a un estado de señal de reloj opuesta posterior; y proporcionando los datos percibidos de la segunda fase de búfer de página de autodescodificación en respuesta al estado de señal de reloj posterior.

[0039] La presente descripción proporciona un método para usar en un búfer de página para un banco de memoria. El método incluye: datos de detección de un primer conjunto de líneas de bits comunes, y para suministrar datos percibidos que corresponden a cada línea de bits común del primer conjunto de líneas de bits común en líneas de datos correspondientes en respuesta a un bit exclusivo de la columna activa enganchado en un estado de señal de reloj; y datos de detección de un segundo conjunto de líneas de bits comunes, y para suministrar datos percibidos que corresponden a cada una de las líneas de bits comunes del segundo conjunto de líneas de bits comunes en las líneas de datos correspondientes en respuesta al bit exclusivo de la columna activa enganchado en un estado de señal de reloj posterior.

[0040] En un quinto aspecto, la presente descripción proporciona un sistema. El sistema incluye un controlador de memoria para suministrar datos de acceso y una interconexión en serie de una pluralidad de dispositivos de memoria. Cada uno de los dispositivos de memoria incluye un controlador, un banco de memoria y una ruta de datos en serie. El controlador recibe el comando de acceso y una dirección que figura en los datos de acceso, para ejecutar una operación que corresponde al comando de acceso. El banco de memoria ejecuta la operación de acuerdo con el comando de acceso a los datos de acceso almacenados en una ubicación de memoria direccionada por la dirección. La ruta de datos en serie une los datos en el formato en serie con el banco de memoria y una interfaz de entrada/salida.

[0041] Por ejemplo, la pluralidad de dispositivos de memoria se conectan en serie y el controlador de memoria manda el comando de acceso de una instrucción, como por ejemplo, leer y escribir comandos. En una operación de lectura, el dispositivo de memoria ejecuta una operación de lectura de datos y remite los datos de lectura al siguiente dispositivo de memoria o al controlador de memoria. En una operación de escritura, el dispositivo de memoria ejecuta una operación de escritura de datos basada en datos proporcionados por el controlador de memoria o un dispositivo de memoria anterior. El sistema, el controlador de memoria y los dispositivos pueden desempeñar métodos como el accionamiento del controlador y los dispositivos.

[0042] Otros aspectos y características de la presente invención se harán evidentes a los comúnmente expertos en la técnica durante la revisión de la siguiente descripción de formas de realización específicas de la invención conjuntamente con las figuras que la acompañan.

Breve descripción de los dibujos

[0043] Ahora se describirán las formas de realización de la presente invención, solo a manera de ejemplo, con referencia a las figuras anexas, donde:

La Figura 1A muestra un sistema de una pluralidad de dispositivos de memoria conectados en serie entre sí;

Fig. 1B es un diagrama de bloques de un dispositivo de memoria con una interfaz de datos en serie;

Fig. 2 es un circuito esquemático que muestra cuerdas de celdas NAND unidas a un amplificador de detección y un bloque de circuito de búfer de página de la Figura 1B;

Fig. 3 es un circuito esquemático que muestra un esquema de descodificación de columna usado con el amplificador y el bloque de circuito de búfer de página mostrados en la Figura 2;

Fig. 4A es un diagrama de bloques de un sistema de núcleo en serie de memoria no volátil según una forma de realización de la presente invención;

Fig. 4B es un diagrama de bloques de ilustración de detalles de una ruta de datos en serie mostrada en la Figura 4A;

Fig. 5 es un diagrama de bloques de un banco de memoria de la Figura 4A, según una forma de realización de la presente invención;

Fig. 6 es una forma de realización esquemática del circuito del convertidor de datos paralelo/serie mostrado en la Figura 5;

Fig. 7A es un diagrama de bloques que muestra los detalles de dos sectores del banco de memoria de la Figura 5;

Fig. 7B es una forma de realización esquemática del circuito que muestra la disposición de la línea de bits de los

sectores mostrados en la Figura 5;

Fig. 8 es una forma de realización esquemática del circuito de un circuito decodificador para controlar el circuito de selección de la línea de bits de la Figura 7;

Fig. 9 es un circuito esquemático de la bomba de carga mostrada en la Figura 8;

5 Fig. 10 es un diagrama de bloques que muestra un circuito de selección de columna de autodescodificación, según una forma de realización de la presente invención;

Fig. 11 es un diagrama de bloques que muestra los detalles de una celda de búfer de página de autodescodificación, según una forma de realización de la presente invención;

10 Fig. 12 es un circuito esquemático de un activador secuencial en la celda de búfer de página de autodescodificación de la Figura 11, según una forma de realización de la presente invención;

Fig. 13 es un circuito esquemático de una unidad de búfer de página en la celda de búfer de página de autodescodificación de la Figura 11, según una forma de realización de la presente invención;

Fig. 14 es un diagrama de secuencia que ilustra la operación del circuito de selección de la columna de autodescodificación de la Figura 10;

15 Fig. 15 es un diagrama de bloques que ilustra la configuración de dos bancos con una arquitectura de núcleo en serie, según una forma de realización de la presente invención;

Fig. 16 es un circuito esquemático del conmutador de transferencia en serie que se muestra en la Figura 15, según una forma de realización de la presente invención; y,

20 Fig. 17 es un diagrama de bloques del sistema de memoria principal en serie multibanco que tiene dos rutas de datos en serie independientes, según una forma de realización de la presente invención;

Descripción detallada

25 [0044] Generalmente, la presente invención proporciona un sistema de memoria con una interfaz de datos en serie y un núcleo de ruta de datos en serie para recibir datos de y para suministrar datos a, por lo menos, un banco de memoria como un flujo de bits en serie. El banco de memoria se divide en dos mitades, donde cada mitad se divide en sectores superiores e inferiores. Cada sector proporciona datos en paralelo a un búfer de página bidimensional compartido con un circuito integrado autodescodificador de columna. Un convertidor de datos paralelos-en serie dentro del banco de memoria une los datos paralelos de cada mitad con la ruta de datos principal en serie. El búfer de página bidimensional compartido con el circuito integrado decodificador de columna minimiza el circuito y la área de chip general de cada banco, y el núcleo de ruta de datos en serie reduce la área de chip típicamente usada para enviar buses de datos anchos. Por lo tanto, se aplica un sistema de banco de memoria múltiple sin un aumento de área de chip correspondiente significativo si se compara con un único sistema de banco de memoria con la misma densidad.

35 [0045] La Figura 4A es un diagrama de bloques de un sistema de núcleo en serie de memoria no volátil según una forma de realización de la presente invención. El sistema de memoria de núcleos en serie 100 incluye una ruta de datos en serie 102 para unir un flujo de bits en serie de datos con los pines de la interfaz de entrada/salida externa llamada DATA/CMD_IN y pines DATA/CMD_OUT y al menos un banco de memoria 104. Un banco de memoria se entiende para incluir circuitos limitados de separación, tales como decodificadores de fila, amplificadores de detección, búfers de página, circuitos de descodificación de columna, y cualquiera de los demás circuitos que se forman cerca de las filas y columnas de celdas de memoria que componen la matriz de memoria. Tales circuitos se forman cerca de la matriz de memoria para maximizar la densidad de registro de los circuitos mientras se minimiza la ruta de transmisión de señales eléctricas, tal como corrientes de líneas de bits y voltaje de las líneas de palabras. Otros bloques funcionales del sistema de memoria de núcleos en serie 100 incluyen un bloque de control 106 y un generador de alta tensión 108 para proveer los niveles de voltaje necesarios para programar y cancelar las celdas de memoria no volátil del banco de memoria 104. El bloque de control 106 incluye un decodificador de comando, registros, y otros circuitos de control relacionados (no mostrados) que se usan para dirigir la operación del sistema de memoria de núcleos en serie 100.

50 [0046] Según la presente forma de realización, el banco de memoria 104 se configura para proporcionar datos de lectura y recibir datos de escritura (para programación), en un flujo de bits. En el ejemplo mostrado en la figura 4A, los datos de lectura y los datos de escritura comparten una línea de datos en serie bidireccional 110, no obstante formas de realización alternas pueden tener líneas de datos unidireccionales especializadas de entrada y salida. En la forma de realización de la figura 4A, la ruta de datos en serie 102 recibe los datos de lectura en serie y los pasa al pin DATA/CMD_OUT en el formato en serie, y pasa los datos de escritura en serie al banco de memoria 104 recibidos desde el pin DATA/CMD_IN. Por lo tanto, en ambas operaciones de lectura y escritura, los datos se mantienen en el formato en serie entre el banco de memoria y los pines I/O de datos. Ahora se describirán detalles adicionales de la ruta de datos en serie 102.

60 [0047] La ruta de datos en serie 102 es principalmente responsable de unir los datos de lectura y escritura en un formato en serie con el banco de memoria 104 y cualquiera de los pines DATA/CMD_IN y DATA/CMD_OUT. Opcionalmente, la ruta de datos en serie 102 puede unir selectivamente datos de lectura y escritura con dos o más bancos de memoria y cualquiera de los pines DATA/CMD_IN y DATA/CMD_OUT. En otra forma de realización alterna, la ruta de datos en serie 102 puede unir datos de lectura directamente con dos bancos de memoria diferentes. La ruta de datos en serie 102 incluye una interfaz I/O en serie 112, un mediador de datos 114, y un

conmutador de datos 116.

[0048] La Figura 4B muestra detalles de la ruta de datos en serie 102 mostrada en la figura 4A. En referencia a las figuras 4A y 4B, la interfaz I/O en serie 112 se conecta directamente a los pines DATA/CMD_IN y DATA/CMD_OUT. La interfaz I/O en serie 112 puede ser configurada de forma similar al enlace de datos en serie 40 de la figura 1B e incluir el mismo circuito descrito para ello en la Publicación de Patente de EE.UU. nº 20070076479. En el presente ejemplo, las señales de control de control adicional mostradas en el enlace de datos en serie 40 de la figura 1B no se muestran para así simplificar el esquema. Generalmente, la interfaz I/O en serie 112 recibe y protege las señales de datos de entrada recibidos externamente, y puede incluir un paso a través de circuitos para unir directamente datos del pin DATA/CMD_IN con DATA/CMD_OUT. Esta característica se utiliza para pasar cualquier comando con datos opcionales a otro dispositivo de memoria, en el caso que el comando no sea destinado al dispositivo de memoria actual. La interfaz I/O en serie 112 incluye búfers de entrada 120 para recibir datos de entrada en serie de su pin DATA/CMD_IN, y búfers de salida o conductores de salida 122 para suministrar datos de lectura y pasar datos a través de su pin DATA/CMD_OUT. Los búfers de entrada 120 y los conductores de salida 122 son controlados por una o más señales de control de búfer recibidas del bloque de control 106, referidas como B_CTRL en la figura 4A.

[0049] El mediador de datos 114 recibe los datos en serie de la interfaz I/O en serie 112. El mediador de datos 114 incluye un convertidor de datos de comando 124 y un interruptor de ruta 126. El convertidor de datos de comando 124 convierte solo los datos de comando del formato en serie a un formato paralelo, que son luego enviados al bloque de control 106 como una señal paralela de comando COMMAND. El interruptor de ruta 126 conecta selectivamente la interfaz I/O en serie 112 ya sea al convertidor de datos de comando 124 o al conmutador de datos 116 en respuesta a una señal del interruptor del bloque de control 106 (no mostrado). El convertidor de datos de comando 124 puede incluir un registro de desplazamiento serie/paralelo que recibe en serie los datos de comando en transición activa del reloj, y tiene salidas paralelas de cada fase del registro de desplazamiento para suministrar el comando paralelo. Los registros de desplazamiento serie/paralelos son conocidos en la técnica. Esto se debe a que la estructura de los datos de los datos de acceso es predeterminada, por ejemplo los datos de comando pueden ser los primeros dos bites seguidos de datos de escritura, el bloque de control 106 sabrá cuando todos los bits de datos de comando han sido cargados en el convertidor de datos de comando 124 contando el número de señales de reloj que han pasado. Cualquier dato de escritura que se recibe permanece en el formato en serie, y se pasa en serie al conmutador de datos 116. Por consiguiente, el convertidor de datos de comando 124 solo recibirá los datos de comando, mientras el conmutador de datos solo recibirá los datos de escritura.

[0050] El conmutador de datos 116 incluye otro interruptor de ruta 128 que se controla mediante señal SWTCH del bloque de control 106, para unir datos en serie con el banco de memoria y el mediador de datos 114, o para unir datos en serie con dos bancos de memoria diferentes a través de líneas de datos de transferencia en serie correspondientes 118. Si no hay otros bancos de memoria en el chip, entonces no se requiere el conmutador de datos 116 y los datos en serie se proporcionan directamente al banco de memoria 104 desde el mediador de datos 114.

[0051] Se describe ahora la operación del sistema de memoria de núcleos en serie 100 en una operación de programación/escritura. En una operación de lectura, se supone que el pin DATA/CMD_IN recibe un comando de lectura en serie que luego es convertido al formato paralelo y enviado al controlador 106 a través del mediador de datos 114. El controlador 106 luego activa las filas y columnas apropiadas en el banco de memoria 104 para acceder a los datos deseados. El banco de memoria 104 es luego controlado para proporcionar los datos de lectura en un flujo de bits en serie al conmutador de datos 116. Si los datos de lectura salen por el pin DATA/CMD_OUT, luego el conmutador de datos 116 será controlado para pasar los datos de lectura al mediador de datos 114, que simplemente pasa los datos de lectura a la interfaz I/O en serie 112 para sacarlos a través del pin DATA/CMD_OUT.

[0052] En una operación de escritura o programación, los datos en serie recibidos en el pin DATA/CMD_IN incluyen un comando y datos de escritura. Los datos de comando incluyen datos de dirección a los que los datos de escritura deben ser programados. Los datos de comando se convierten al formato paralelo mediante el mediador de datos 114 y son pasados al bloque de control 106. Se observa que el comando se recibe antes que los datos de escritura en el flujo de bits en serie, de modo que la decodificación del comando se puede ejecutar para iniciar circuitos para la operación de programación mientras los datos de escritura se pasan al banco de memoria 104. Debido a que el bloque de control 106 ha recibido un comando de programación, los algoritmos de programación apropiada se ejecutan y el voltaje de programación apropiado es aplicado, para asegurar que los datos de escritura se programan en la dirección de destino. Los algoritmos adicionales tal como verifica el programa también serán ejecutados para repetir la programación, si es necesario.

[0053] Tal y como se describe anteriormente en la figura 4A, el banco de memoria 104 proporciona y recibe datos en serie. No obstante, como las personas expertas en la técnica entenderán, las matrices de memoria como la memoria flash son intrínsecamente paralelas por naturaleza. Esto significa que más de un bit de datos es accedido desde la matriz de memoria y es escrito en la matriz de memoria en cualquier operación de lectura y escritura única, respectivamente. Según la presente forma de realización del banco de memoria 104, se proporciona un convertidor paralelo/serie de intervalo para convertir datos en serie a un formato paralelo, y viceversa. Más específicamente, se

proporcionan datos de lectura en paralelo desde las líneas de bits de la matriz de memoria, y los datos de escritura en serie se convierten al formato paralelo para la aplicación simultánea en las líneas de bits de la matriz de memoria. Además, el banco de memoria 104 se configura para maximizar el rendimiento del bus de control y la línea de bits mediante la segmentación de la matriz de memoria en secciones a lo largo de las direcciones tanto de las líneas de palabras como de las líneas de bits.

[0054] La Figura 5 es un diagrama de bloques que ilustra un ejemplo de forma de realización del banco de memoria 104 de la Figura 4A, según una forma de realización de la presente invención. El banco de memoria 200 se divide en cuatro partes de memoria, mostradas como sectores (sector 1, sector 2, sector 3 y sector 4) 202, 204, 206 y 208. En la orientación física del banco de memoria 200 de la Figura 5, cada sector incluye líneas de bits que se extienden en la dirección vertical y líneas de palabras que se extienden en la dirección horizontal. Por ejemplo, las celdas de memoria se pueden organizar como cuerdas de celdas flash NAND similares a las que se muestran en la Figura 2. Para manejar las líneas de palabras, cada sector incluye un bloque de accionamiento de línea de palabras 210, que puede incluir lógica de descodificación asociada para activar una línea de palabras seleccionada durante operaciones de lectura y programación. En la presente forma de realización, los bloques de accionamiento de la línea de palabras 210 correspondientes a los sectores 202 y 204 activan la misma línea de palabras lógica de una fila en respuesta a una dirección de fila dentro de un primer rango de direcciones, mientras el bloque de accionamiento de la línea de palabras 210 correspondiente a los sectores 206 y 208 activan la misma línea de palabras lógica de una fila en respuesta a una dirección de fila dentro de un segundo rango de direcciones. En otras palabras, las filas del banco de memoria 200 son accedidos de la misma manera que una matriz de memoria tradicional consistente en un único sector grande con el mismo número de filas. No obstante, el rendimiento de la línea de palabras es mejorado debido a que cada fila de línea de palabras se divide en segmentos más cortos que se conducen mediante sus propios bloques de accionamiento de las líneas de palabras 210. Por consiguiente, la ubicación central de los bloques de accionamiento de las líneas de palabras 210 dividen el banco de memoria en la mitad izquierda y derecha del banco, donde los sectores 202 y 206 forman la mitad izquierda y los sectores 204 y 208 forman la mitad derecha.

[0055] Para detectar los datos de la línea de bits y retener los datos de programación, los sectores 202 y 206 tienen sus líneas de bits unidas al búfer de página compartido 212, mientras los sectores 204 y 208 tienen sus líneas de bits unidas al búfer de página compartido 214. Por consiguiente, los sectores 202 y 204 se pueden referir como sectores inferiores mientras los sectores 206 y 208 se pueden referir como sectores superiores. Los búfers de página 212 y 214 se configuran para ser selectivamente unidos a uno del sector superior y el sector inferior, así superan la necesidad de tener conjuntos separados de búfers de página para cada sector. Esto contribuye a la minimización de área de la área del banco de memoria 200. Más adelante se describen los detalles adicionales de los búfers de página compartidos 212 y 214. Los búfers de página 212 y 214 detectan y retienen en paralelo datos de línea de bits en respuesta a una línea de palabras activada durante una operación de lectura. Los datos asociados a las celdas de memoria conectadas a una única línea de palabras son comúnmente referidos como una página de datos. En la configuración actualmente descrita de la Figura 5, donde las líneas de palabras en ambas mitades del banco de memoria son lógicamente las mismas, el búfer de página 212 detecta y retiene una primera media hoja de datos y el búfer de página 214 detecta y retiene una segunda media hoja de datos. Como los expertos en la técnica deberían entender, los búfers de página 212 y 214 detectan y retienen los datos de línea de bits en paralelo en la activación de la línea de palabras seleccionada. Una vez retenidos, estos datos de lectura serán finalmente sacados como un flujo de bits en serie.

[0056] Como será mostrado más tarde, un primer conjunto de líneas de datos entrada/salida se une al búfer de página 212, y un segundo conjunto de líneas de datos entrada/salida se une al búfer de página 214. La anchura de los conjuntos de líneas de datos será de n bits de ancho, donde n es un valor entero mayor que 1. Localizado entre las dos mitades, hay un selector de conversión de datos paralelo/serie (P/SCS) 216, que funciona como un acoplador secuencial, que se une a los conjuntos de líneas de datos unidos a los búfers de página 212 y 214. El selector de conversión de datos paralelo/serie 216 es colocado de manera que ambos conjuntos de líneas de datos tienen la misma longitud física, y preferiblemente una longitud física mínima para minimizar la capacitancia de carga. En la presente forma de realización, el selector de conversión paralelo/serie 216 convierte datos paralelos del búfer compartido 212 al formato en serie sobre la línea de datos 110 o convierte datos paralelos del búfer compartido 214 al formato en serie sobre la línea de datos en serie bidireccional 110. Más específicamente, cada una de las n líneas de datos es consecutivamente unida a la línea de datos en serie bidireccional única 110 como una señal llamada GLOB_DATA. El selector de conversión paralelo/serie 216 convierte datos en serie en líneas de datos en serie bidireccional 110 al formato paralelo para las n líneas de datos unidas al búfer de página compartido 212 o al búfer de página compartido 214. Por ejemplo, el selector de conversión paralelo/serie 216 es controlado para unir cada una de las n líneas de datos correspondientes al búfer de página 212 a las líneas de datos en serie bidireccionales 110, seguidos de cada una de las n líneas de datos correspondientes al búfer de página 214.

[0057] El siguiente es un ejemplo para ilustrar la relación del número de líneas de datos y el tamaño de media hoja de datos almacenado en cualquiera de los búfers de página 212 y 214. Por ejemplo, si el búfer de página 212 retiene media hoja de bits 1024, y la línea de bits es de 16 bits de ancho, entonces el selector de conversión paralelo/serie 216 recorrerá datos $1024/16=64$ de conjuntos de 16 bits de ancho. Una vez todos los 1024 bits son sacados en serie sobre la línea de datos 110, luego se proporcionan los siguientes 1024 bits del búfer de página 214. Los detalles de

esta implementación serán mostrados más tarde. Una operación de programación es el proceso inverso de la operación de lectura, donde los datos de escritura en serie se proporciona en la línea de datos en serie 110. En el presente ejemplo, 16 bits se aplican en paralelo al búfer de página 212 a través de 16 líneas de datos en cada ciclo.

[0058] La forma de realización de la Figura 5 muestra un banco de memoria 200 que tiene mitad izquierda y derecha. En una configuración alterna, la matriz de memoria incluye solo dos sectores, por ejemplo sectores 202 y 206. El sector 206 puede así ser del tamaño de la suma de los sectores 206 y 208, y el sector 202 puede ser del tamaño de la suma de los sectores 202 y 204. En tal configuración, una página completa de datos sería retenida por el búfer de página 212.

[0059] La Figura 6 es un circuito esquemático del convertidor de datos paralelo/serie 216 según una forma de realización de la presente invención. En referencia a la Figura 6, el selector de conversión de datos P/S 216 incluye un primer convertidor de datos paralelo/serie (P/SDC) 300, un segundo P/SDC 302, y un selector de ruta de datos 304. P/SDC 300 y P/SDC 302 se pueden implementar como conmutadores bidireccionales idénticos n a 1 multiplexor/demultiplexor, y el selector de ruta de datos 304 se puede implementar como un conmutador bidireccional 2 a 1 multiplexor/demultiplexor. P/SDC 300 une selectivamente cada una de las líneas de datos del lado izquierdo de L_DL1 a L_DLn con la terminal L_DATA de la línea de datos en serie bidireccional, mientras P/SDC302 une selectivamente cada una de las líneas de datos del lado derecho de R_DL1 a R_DLn con la terminal R_DATA de la línea de datos en serie bidireccional. El selector de ruta de datos 304 une selectivamente ya sea L_DATA o R_DATA a la línea de datos en serie bidireccional global 110 como GLOB_DATA. Para unir consecutivamente cada una de las líneas de datos a la salida, un contador 306 puede utilizarse para proporcionar salidas que se decodifican dentro de P/SDC 300 y P/SDC 302 en respuesta a una señal cronometrada CLK. Tales esquemas de descodificación del contador deberían ser bien conocidos por aquellos expertos en la materia. Por consiguiente, L_DATA y R_DATA miden n bits de longitud para un ciclo del contador. El selector de ruta de datos 304 se controla mediante una señal de control de selección HALF_SEL para permitir que todos los n bits de L_DATA pasen en un estado lógico, y para permitir que todos los n bits de R_DATA pasen en el estado de lógica opuesto. La señal HALF_SEL puede ser generada por el bloque de control 106 de la Figura 4A en relación a una dirección de columna que puede seleccionar qué mitad del banco de memoria 200 debe ser accedida. En la forma de realización de la Figura 6, el contador 306 se comparte con P/SDC 300 y P/SDC 302 para minimizar el circuito superior debido a que los contadores especializados consumirían innecesariamente la área de chip.

[0060] Una transición constante entre los bits L_DATA y R_DATA se consigue mediante la unión de la señal HALF_SEL con un bit más significativo (MSB) que no es usado por P/SDC 300 o P/SDC 302, y alternará los estados después de que la última línea de datos (L_DLn o R_DLn) se una a la terminal L_DATA o R_DATA. Cuando se usa P/SDC 300 por ejemplo, si n=4, habrá un total de cuatro líneas de datos (L_DL1 a L_DL3), y se requiere una señal de dos bits para unir selectivamente cada uno de las cuatro líneas de datos a L_DATA. Debido a que las salidas del contador 306 se unen a P/SDC 300 y P/SDC 302, estas cambiarán al mismo tiempo. No obstante, el estado de HALF_SEL dictará si L_DATA o R_DATA se pasa a GLOB_DATA. Por lo tanto, un tercer y más significativo bit puede utilizarse para controlar HALF_SEL, que cambiará los estados solo después de que la cuarta y última línea de datos L_DL4 se una a L_DATA.

La Tabla 1 aquí abajo pasa a través de una secuencia que utiliza el ejemplo n=4.

Tabla 1

Estado	Bit 2 HALF_SEL	Bit 1	Bit 0
1	0	0	0
2	0	0	1
3	0	1	0
4	0	1	1
5	1	0	0
6	1	0	1
7	1	1	0
8	1	1	1

[0061] En los estados de 1 a 4, el Bit 2 permanece en el estado de lógica baja, mientras el Bit 1 y el Bit 2 son usados por P/SDC 300 para unir L_DL1 a L_DL4 a L_DATA. Si empezamos en el estado 5, el Bit 2 cambia al estado de

lógica alta así como los incrementos del contador, y permanece en el estado de lógica alta hasta el estado 8. El Bit 1 y el Bit 2 "vuelven a empezar" en el estado 5 y gradualmente se incrementan como en los estados de 1 a 4. Por consiguiente, el Bit 2 es adecuado como la señal de control HALF_SEL, ya que éste controla intrínsecamente cuando el selector de ruta de datos 304 cambia L_DATA por R_DATA.

[0062] Ahora que el selector de conversión de datos paralelo/serie (P/SCS) 216 ha sido discutido, los detalles de los sectores del banco de memoria y los búfers de página de la Figura 5 se describen haciendo referencias a las figuras de 7A a 11. La Figura 7A es un esquema aumentado de los sectores 202 y 206 con búfer de página compartida 212. Más específicamente, la Figura 7A ilustra las subdivisiones de los sectores 202 y 206, referidos como segmentos. En el presente ejemplo, el sector 202 se divide en cuatro segmentos igualmente dimensionados e idénticamente configurados 402 mientras que el sector 206 se divide en cuatro segmentos igualmente dimensionados e idénticamente configurados 400. La selección de cuatro segmentos por cada sector es solo a modo de ejemplo, igual que los expertos en la técnica entenderán que el número de segmentos por sector es un parámetro de diseño para el banco de memoria. Como será mostrado con más detalle en la figura 7B, cada segmento 400 y 402 incluye el mismo número de líneas de bits. La Figura 7B es un esquema que muestra un segmento 400, un segmento 402, y su interconexión con el búfer de página 212 mostrado en la Figura 7A. Los segmentos 400 y 402 pueden proporcionar n bits de datos a través de líneas de datos L_DL[1:n] en cualquier operación de lectura única.

[0063] La línea de bits de cada segmento 400 y 402 está dispuesta como conjuntos de líneas de bits, y en el presente ejemplo de la Figura 7B, cada conjunto incluye líneas de bits pares e impares BL1_eBL1_o hasta BLn_eBLn_o. Cada conjunto de líneas de bits pares e impares se une selectivamente a líneas de bits comunes respectivas CBL_S1_1 hasta CBL_S1_n, y cada línea de bits común se une al búfer de página 212. El término "S1" indica que la línea de bits común CBL pertenece al primer segmento (400 o 402) del sector, y el último dígito indica la línea de bits común específica del primer segmento. Las líneas de bits del segmento 400 son idénticamente configurados a los del segmento 402. En la presente forma de realización, la línea de bits BL1_e del segmento 402 es lógicamente la misma que la línea de bits BL1_e del segmento 400, igual que las otras líneas de bits que tienen etiquetas comunes. En otras palabras, la línea de bits de los segmentos 402 y 400 en la presente configuración son equivalentes a una única línea de bits del banco de memoria 12 de la Figura 2. La ventaja de dividir las líneas de bits en dos secciones físicas es que las líneas de bits de cada sector son la mitad siempre y cuando la línea de bits del banco de memoria 12. Si se reduce la longitud de la línea de bits como se ha visto por cada cuerda de celdas NAND conectada a ésta, la carga capacitiva de la línea de bits se ve significativamente reducida. Por lo tanto, cada cuerda de celdas NAND se puede configurar para tener más celdas, aumentando así la densidad de la matriz de memoria.

[0064] Además de las celdas de memoria flash, el transistor de selección de fuente y el transistor de selección de tierra, cada conjunto de líneas de bits pares e impares de los segmentos 400 y 402 también incluyen un circuito de desactivación del programa y un circuito de selección de la línea de bits par/impar unido a éste. A continuación, la descripción de estos dos circuitos unidos a BL1_e y BL1_o del segmento 400. El circuito de selección de línea de bits 405 incluye transistores de canal-n de alta tensión 404 y 406, donde el transistor 404 une selectivamente BL1_e a una línea de bits común CBL_S1_1 y el transistor 406 une selectivamente BL1_o a una línea de bits común CBL_S1_1. La línea de bits común CBL_S1_1 se conecta al búfer de página 212, y al circuito de selección de línea de bits del segmento 402. Los transistores de canal-n 404 y 406 se controlan mediante señales pares e impares de selección decodificadas A_SELe y A_SELo respectivamente. El prefijo "A" denota señales asociadas al segmento 400, mientras que el prefijo "B" denota señales asociadas al segmento 402. Por lo tanto, durante una operación de lectura o programación para el segmento 400, solo una de las líneas de bits BL1_e y BL1_o será unida al búfer de página 212. Cabe señalar que las señales de selección A_SELe y A_SELo son compartidas con los otros circuitos de selección de línea de bits en el segmento 402.

[0065] El circuito de desactivación del programa 407 incluye transistores de protección de canal-n de alta tensión 408 y 410 conectados en serie con las líneas de bits BL1_e y BL1_o. La terminal común de transistores 408 y 410 se conecta a un programa inhibidor del nivel de voltaje PWRBL, que es selectivamente unido o bien a BL1_e o BL1_o durante bien una operación de lectura o una operación de programación mediante la activación de señales de protección A_SHLDe o A_SHLDo respectivamente. Por ejemplo, cuando BL1_e es seleccionado para una operación de programación, luego BL1_o será polarizado a VCC, o cualquier otro voltaje suficiente para inhibir la programación, a través de PWRBL para inhibir la programación para cualquier celda de memoria unida a BL1_o. Durante operaciones de lectura, por otro lado, PWRBL será establecido en VSS para polarizar la línea de bits no seleccionada a VSS. El circuito de desactivación de programación correspondiente y el circuito de selección de la línea de bits par/impar para BL1_e y BL1_o está idénticamente configurado como los circuitos previamente descritos, excepto que ellos son controlados mediante un conjunto diferente de señales, es decir B_SHLDe, B_SHLDo, B_SELe y B_SELo. PWRBL puede ser conducido por un circuito inversor suministrado por VCC y VSS, o el voltaje de inhibición de programación y VSS, y controlado por una señal de programación relacionada. Como será mostrado en la Figura 8, una dirección de fila se utiliza para generar las señales de selección y las señales de protección para segmentos o bien 400 o 402, mientras una dirección de columna se utiliza para generar las señales par e impar de selección y protección.

[0066] La Figura 8 es un ejemplo de circuito decodificador que se puede usar para generar las señales de selección y las señales de protección para el circuito de selección de línea de bits 405 y el circuito de desactivación de

programación 407 en ambos segmentos 400 y 402 mostradas en la Figura 7B. Aquellos expertos en la técnica entenderán que el ejemplo de forma de realización de la Figura 8 es una configuración de descodificación, y que otras configuraciones de descodificación se pueden usar para conseguir el mismo resultado.

[0067] En referencia a la Figura 8, el circuito descodificador 500 incluye cuatro subdescodificadores idénticamente configurados 502, 504, 506 y 508. La descripción de cada subdescodificador será hecha con referencia a los circuitos lógicos del subdescodificador 502, debido a que todos los subdescodificadores están idénticamente configurados. Cada subdescodificador, tal como el subdescodificador 502, incluye una puerta de dirección de descodificación NAND 510, una puerta de activación de protección NAND 512, inversores 514 y 516, y bombas de carga local 515 y 517. La puerta de descodificación de dirección NAND 510 recibe una dirección de fila R_ADDR y una dirección de columna C_ADDR, y proporciona una salida que es proporcionada a una terminal de entrada de la puerta de activación de protección NAND 512 y al inversor 516. La salida del inversor 516 es potenciada mediante la bomba de carga local 517 para proporcionar la señal par A_SELe, que es recibida por todos los circuitos de selección de líneas de bits en el segmento 400. Por lo tanto, A_SELe es una señal de dirección descodificada conducida al nivel de lógica activa en respuesta a una combinación particular de R_ADDR y C_ADDR. En el presente ejemplo, esto ocurre cuando ambos R_ADDR y C_ADDR están en el nivel de lógica alta. La segunda terminal de entrada de la puerta de activación de protección NAND 512 recibe una señal de estado de programación PGM, que se decodifica con la salida de la puerta de descodificación de dirección NAND 510. La puerta de salida de NAND 512 es conducida por el inversor 514 y empujada por la bomba de carga local 515 para proporcionar la señal A_SHLDe.

[0068] El propósito de las bombas de carga local es conducir el nivel de lógica alta de las señales por encima del voltaje de suministro VCC. Como previamente se ha mencionado, durante una operación de lectura, las líneas de bits no seleccionadas se polarizan a VSS mediante PWRBL en VSS. Por ejemplo, uno de A_SHLDe o A_SHLDo será conducido a VCC, el cual es suficiente para descargar la línea de bits no seleccionada a VSS. No obstante, durante una operación de programación donde las líneas de bits no seleccionadas se deben polarizar a VCC a través de PWRBL, las señales A_SHLDe o A_SHLDo en VCC serán insuficientes para pasar el nivel VCC completo a las líneas de bits. Por lo tanto, las bombas de carga local asegurarán que las puertas de terminales de los transistores de protección, tales como los transistores de protección 408 y 410, se pueden conducir por encima de VCC. Este mismo principio se aplica a los transistores de selección de línea de bits, tales como los transistores 404 y 406. Durante la operación de programación, el búfer de página conducirá las líneas de bits comunes hacia VCC o bien VSS, dependiendo de los datos que tengan que ser programados. Para pasar completamente el VCC a las líneas de bits seleccionadas, las señales A_SELe y A_SELo son conducidas a un nivel de voltaje por encima de VCC.

[0069] Por ejemplo, la señal A_SHLDe es una señal que es conducida al nivel de lógica activa cuando la combinación particular de R_ADDR y C_ADDR está presente, es decir, ambos están en el nivel de lógica alta. Aunque C_ADDR es una señal de un único bit en la presente forma de realización para unir una de las dos líneas de bits comunes (CBL_S1_1 por ejemplo), aquellos expertos en la técnica entenderán que el circuito descodificador de la Figura 8 puede ser configurada para recibir C_ADDR de cualquier número de bits. Por lo tanto, una de las muchas líneas de bits puede ser unida selectivamente a la línea de bits común, con tal de que los circuitos de desactivación de programación y los circuitos de selección de línea de bits sean expandidos para incluir más transistores n-canal correspondientes a los transistores 404, 406, 408 y 410.

[0070] El subdescodificador 504 está idénticamente configurado que el subdescodificador 502, excepto que su puerta de dirección de descodificación NAND 510 recibe el nivel de lógica opuesta a C_ADDR a través del inversor 518 para conducir A_SELo al nivel de lógica activa y A_SHLDo al nivel de lógica activa cuando PGM está en el nivel de lógica activa. Los subdescodificadores 502 y 504 conducen señales para el segmento 400 ya que se usa la misma dirección de fila R_ADDR. Por lo tanto, los subdescodificadores 506 y 508 conducirán las señales B_SELe, B_SHLDe; y B_SELo, B_SHLDo para el segmento 402 ya que estos reciben el estado opuesto de R_ADDR a través del inversor 520. Ya que el subdescodificador 506 recibe C_ADDR y el subdescodificador 508 recibe el estado opuesto de C_ADDR a través del inversor 518, se proporcionan las señales pares e impares de selección y protección.

[0071] La señal de estado de programación PGM es compartida por todas las puertas de activación de protección NAND 512 de los subdescodificadores 502, 504, 506 y 508, para activar o desactivar globalmente la producción de sus señales de protección respectivas. En la presente forma de realización, PGM está en el nivel de lógica alta activa durante una operación de programación para asegurar que la señal de protección apropiada es activada de modo que la línea de bits no seleccionada adyacente a la línea de bits seleccionada se une a PWRBL para inhibir la programación de las celdas de memoria conectadas a ésta. En un método alternativo de esta operación, PWRBL puede estar exento de ser aplicado a todas las líneas de bits durante una operación de lectura, debido a que la línea de bits no seleccionada puede ser seleccionada posteriormente cambiando la dirección de columna C_ADDR mientras la línea de palabras seleccionada permanece activa, para leer más datos de la matriz de memoria.

[0072] Con esta comprensión del esquema de descodificación mostrada en las formas de realización de la Figura 7 y la Figura 8, una operación de lectura y una operación de escritura de los circuitos mostrados en la Figura 7 pueden

ser fácilmente entendidas. En una operación de lectura, PGM está en el nivel de lógica baja y una línea de palabras se activa en todos los segmentos, incluyendo los segmentos 400 y 402, del sector 202 o 206 de la Figura 5. Una corriente que corresponde con un estado de datos almacenados en las celdas de memoria correspondientes es luego proporcionada a una respectiva línea de bits. Si la dirección de fila activa una línea de palabras en el segmento 400, entonces se desactivan las señales de selección B_SELe, B_SELo, B_SHLDe y B_SHLDo para el segmento 402. En respuesta a una dirección de columna específica C_ADDR, una de las líneas de bits pares o impares de cada conjunto de líneas de bits se une a una línea de bits común correspondiente. El búfer de página 212 detectará y retendrá los datos de todas las líneas de bits comunes del sector, pero proporcionará solo los datos de un segmento en paralelo en las líneas de datos L_DL[1:n]. Las líneas de datos comunes L_DL[1:n] son compartidas por todos los segmentos en los sectores 200 y 206, y como se describe más adelante, los datos de exactamente un segmento se unen a la línea de datos L_DL[1:n]. Más específicamente, todos los datos del segmento 400 o bien 402 son extraídos activando consecutivamente los segmentos de búfer de página 212 para unir los datos a la línea de datos L_DL[1:n].

[0073] Una operación de programación es el proceso inverso, excepto que ahora PGM está en el nivel de lógica alta. Los datos de escritura serán proporcionados en líneas de datos L_DL[1:n] para ser retenidos por el búfer de página 212 y conducidos a las respectivas líneas de bits comunes. Si una línea de palabras en el segmento 400 es seleccionado para la programación, luego las señales de selección A_SELe, A_SELo, A_SHLDe y A_SHLDo son desactivadas. Cabe señalar que, puesto que ninguna línea de palabras en el segmento 402 es seleccionada, no hay necesidad de aplicar el voltaje de inhibición de programación PWRBL a la línea de bits, reduciendo así el consumo de energía. Se proporciona una dirección de columna C_ADDR y las líneas de bits comunes serán unidas a las líneas de bits seleccionadas de las líneas de bits pares e impares, mientras que el voltaje PWRBL es aplicado a las líneas de bits no seleccionadas.

[0074] La Figura 9 es un circuito esquemático que ilustra un ejemplo de bomba de carga local usada en los subdescodificadores de la Figura 8. La bomba de carga local 550 incluye un transistor de paso de canal-n de modo de disminución 552, un transistor de impulsos original de canal-n conectado a diodo 554, un transistor de desacoplamiento de canal-n de alto voltaje de ruptura 556, un transistor de fijación de canal-n de alto voltaje de ruptura 558, una puerta lógica NAND 560, y un condensador 562. La puerta lógica NAND 560 tiene una terminal de entrada para recibir la terminal de entrada IN y otra terminal de entrada para recibir la señal controlada $\bar{p}$, para conducir una terminal del condensador 562. El transistor de paso 552 es controlado por el complemento de señal PGM de la Figura 8, referido como PGMB. Las terminales comunes del transistor de desacoplamiento 556 y el transistor de fijación 558 se unen al alto voltaje VH.

[0075] Se describe ahora la operación de bomba de carga local 550. Durante una operación de lectura, PGMB está en el nivel de lógica alta y $\bar{p}$ se mantiene en el nivel de lógica baja. Por lo tanto, los elementos del circuito 562, 554, 556 y 558 están inactivos, y la terminal de salida OUT refleja el nivel lógico que aparece en la terminal de entrada IN. Durante una operación de programación, PGMB está al nivel de lógica baja, y se le permite a $\bar{p}$ que oscile entre los niveles de lógica altos y bajos con una frecuencia predeterminada. Si la terminal de entrada IN está en el nivel de lógica alta, luego el condensador 562 reiteradamente acumulará carga en su otra terminal y descargará la carga acumulada a través del transistor de impulsos 554. El transistor de desacoplamiento 556 aísla VH del voltaje elevado en la puerta del transistor de impulsos 554. El transistor de fijación 558 mantiene el nivel de voltaje de la terminal de salida OUT alrededor de $VH + V_{tn}$, donde V_{tn} es el voltaje umbral del transistor de fijación 558. La bomba de carga local 550 mostrada en la Figura 9 es un ejemplo de circuito que se puede usar para conducir señales a unos niveles de voltaje más altos que el voltaje de alimentación VCC, pero personas expertas en la técnica entenderán que otros circuitos de bomba de carga se pueden usar con la misma eficacia. La tabla 2 muestra más abajo ejemplos de condiciones de polarización para la bomba de carga local 550 durante operaciones de lectura y programación.

Tabla 2

	Lectura		Programación	
	Seleccionado	No seleccionado	Seleccionado	No seleccionado
IN	Vcc	Vss	Vcc	Vss
PGMB	Vcc	Vcc	Vss	Vss
$\bar{p}$	Vss	Vss	Oscilación	Oscilación
VH	Vcc	Vcc	< 5V	< 5V
OUT	Vcc	Vss	5V + V_{tn}	Vss

[0076] Como previamente se ha mencionado, el consumo de la área del circuito minimizado de los circuitos de separación limitados supondrá una área reducida del banco de memoria. En las presentes formas de realización, esto se consigue compartiendo un búfer de página con ambos sectores adyacentes 202 y 206, y minimizando la cantidad de sistemas de circuitos de selección de columnas usada para unir el búfer de página 212 a las líneas de datos L_DL[1:n]. Mientras el esquema de descodificación de columna previamente propuesto que se muestra en la Figura 3 puede utilizarse para unir los datos del búfer de página 212 de la Figura 5 o 7A a las líneas de datos L_DL[1:n], la pluralidad de transistores de paso de primeras y segundas fases requerirán una área de circuito valioso. Para minimizar más la área de circuito, se usa un circuito de selección de columna de autodescodificación para unir los datos de cada segmento de página de los sectores 202 y 206 a las líneas de datos L_DL[1: n].

[0077] La Figura 10 es un diagrama de bloques que muestra una implementación funcional de un circuito de selección de columna de autodescodificación integrado en un circuito de búfer de página, según una forma de realización de la presente invención. El búfer de página de autodescodificación 600 se puede usar en el lugar de ambos búfers de página 212 y 214 en la Figura 5 y el búfer de página 212 en la Figura 7. El búfer de página de autodescodificación 600 unirá consecutivamente los datos cada segmento almacenado en el búfer de página 212 a las líneas de datos L_DL[1:n], en respuesta a un único bit de selección de columna COL_BIT que se desplaza a través del búfer de página de autodescodificación 600. El búfer de página de autodescodificación 600 incluye diferentes estadios de búfer de página 614, 616 y 618, de los cuales solo tres se muestran en la Figura 10. Como se muestra en la Figura 10, los estadios de búfer de página 614, 616 y 618 incluyen activadores secuenciales 602, 604 y 606, y búfers de página de segmento 608, 610 y 612. Por consiguiente, cada activador secuencial se une a un búfer de página de segmento para controlar el búfer de página del segmento. Por ejemplo, el activador secuencial 602 se une al búfer de página del segmento 608. En la forma de realización de la Figura 10, se supone que hay hasta m segmentos de página (400 y 402) en los sectores 202 y 206 de la Figura 7A, y por lo tanto hay m estadios de búfer de página de autodescodificación correspondientes, de los cuales solo se muestran el primero, el segundo y el último estadio de búfer de página de autodescodificación del búfer de página de autodescodificación 600. La variable m puede ser cualquier valor entero mayor que 0, y es seleccionada basándose en la arquitectura de la matriz de memoria.

[0078] Cada fase del búfer de página de autodescodificación es responsable de unir sus líneas de bits comunes a las líneas de datos L_DL[1:n]. Por consiguiente, el búfer de página del segmento 608 une las líneas de bits comunes CBL_S1 [1:n] del primer segmento con L_DL[1:n], el búfer de página del segmento 610 une las líneas de bits comunes CBL_S2 [1:n] del segundo segmento con L_DL[1:n], y el búfer de página del segmento 612 une las líneas de bits comunes CBL_Sm [1:n] del mth (último) segmento con L_DL[1:n]. Cada búfer de página del segmento es controlado por su activador secuencial respectivo, y cada activador secuencial será habilitado para unir sus líneas de bits comunes con L_DL[1:n] cuando el único bit de selección de columna COL_BIT sea recibido.

[0079] En la presente forma de realización, cada activador secuencial recibe señales de control tales como señales de restablecimiento complementario RST y RSTb, señales de activación de descodificación YENb, y señales de reloj complementario ϕ y ϕ b. En sus estados activos, las señales RST, RSTb y YENb habilitan el activador secuencial.

En la primera fase del búfer de página de autodescodificación 614, la terminal de entrada IN recibe COL_BIT, que será proporcionado a través de la terminal de salida OUT en respuesta a las señales de reloj ϕ y ϕ b. Ya que cada activador secuencial es conectado en series a un activador secuencial precedente conectando su terminal de entrada IN a la terminal de salida OUT del activador secuencial precedente, el bit de selección de columna COL_BIT es finalmente desplazado desde el primer activador secuencial 602 hasta el último facilitador secuencial 606.

Por lo tanto, cada búfer de página de segmento unirá sus líneas de bits comunes con L_DL[1:n] en orden, en respuesta a COL_BIT. En la presente forma de realización, COL_BIT es un bit de nivel de lógica alta, pero puede ser un bit de nivel de lógica baja también.

[0080] La Figura 11 es un diagrama de bloques que muestra los detalles de una fase de búfer de página de autodescodificación, tal como por ejemplo la fase de búfer de página de autodescodificación 614. Las fases de los búfers de página de autodescodificación restantes son idénticamente configuradas. La fase de búfer de página de autodescodificación 614 incluye el activador secuencial 602 mostrado en la Figura 10, y las unidades de búfer de página 650, 652, 654 y 660. En el presente ejemplo, la unidad de búfer de página 660 es la última unidad de búfer de página en la fase de búfer de página 614. El activador secuencial 602 es un diagrama de bloques simplificado que omite las señales de control para simplificar el diagrama. Hay un total de n unidades de búfer de página, donde cada una une una línea de bits común con una línea de datos. Por ejemplo, la unidad de búfer de página 650 une CBL_S1_1 con L_DL1. Todas las unidades de búfer de página se habilitan para unir eléctricamente sus líneas de bits comunes con una línea de datos respectiva en respuesta a una señal activa de activación de columna Y-SEL. Y-SEL es conducida al nivel de lógica activa mediante el activador secuencial 602 en respuesta a COL_BIT, que será posteriormente transmitido al activador secuencial siguiente en respuesta a las señales de reloj ϕ y ϕ b (no mostradas).

[0081] La Figura 12 es un circuito esquemático del activador secuencial 602 de las Figuras 10 y 11. En la presente forma de realización, todos los activadores secuenciales son idénticos en cuanto a configuración. Cada activador secuencial se implementa como un circuito basculante maestro/esclavo 700. El circuito basculante maestro/esclavo 700 incluye una primera puerta de transmisión 702, un par de inversores de acoplamiento cruzado 704 y 706, una

segunda puerta de transmisión 708, un segundo par de inversores de acoplamiento cruzado 710 y 712, primeros y segundos dispositivos de restablecimiento 714 y 716, y una puerta lógica NOR 718. El circuito basculante maestro/esclavo 700 se habilita cuando las señales de control RST, RSTb y YENb están en altos, bajos y bajos niveles de lógica, respectivamente. Cuando no están capacitados, OUT y Y-sel estarán al nivel de lógica baja ya que los dispositivos de restablecimiento 714 y 716 serán activados y al menos una entrada a la puerta lógica NOR 718 estará en el nivel de lógica alta. Estas señales de control pueden ser controladas mediante el comando decodificador u otra lógica similar, y sincronizados para asegurar que los datos de lectura son debidamente aplicados a las líneas de datos y que los datos de programación son debidamente aplicados a las líneas de bits comunes.

[0082] La primera puerta de transmisión 702 pasa una señal recibida, tal como COL_BIT, a la terminal de entrada IN cuando las señales de reloj ϕ y ϕ_b están en los niveles de lógica alta y baja respectivamente. Los inversores de acoplamiento cruzado 704 y 706 retendrán la señal y la pasarán al segundo par de inversores de acoplamiento cruzado 710 y 712 a través de la segunda puerta de transmisión 708 cuando ϕ y ϕ_b hayan cambiado a los niveles de lógica baja y alta respectivamente. El estado invertido de la señal de entrada (COL_BIT) es recibida por la puerta lógica NOR 718, que es luego invertida nuevamente por la puerta lógica activada NOR 718 para conducir Y-sel al nivel de lógica alta. La terminal de salida OUT pasará COL_BIT al siguiente circuito basculante maestro/esclavo sustancialmente al mismo tiempo que Y-sel es conducido al nivel de lógica alta activa. Se observa, no obstante, que el siguiente circuito basculante maestro/esclavo retendrá COL_BIT cuando la señal de reloj ϕ esté en el nivel de lógica alta.

[0083] La Figura 13 es un circuito esquemático de una unidad de búfer de página, tal como la unidad de búfer de página 650 mostrada en la Figura 11. En referencia a las Figuras de 11 a 13, todas las unidades de búfer de página están idénticamente configuradas. La unidad de búfer de página 750 incluye un circuito de precarga, un circuito de detección y un circuito de acoplamiento de líneas de datos. El circuito de precarga incluye un dispositivo de precarga 752 para precargar la línea de bits común CBL_S[1:m]_[1:n] a VDD en respuesta a la señal de precarga PREb. El circuito de detección incluye un dispositivo de restablecimiento de retención 754, un dispositivo de activación de detección y retención 756, y un dispositivo de activación de retención 758 conectado en serie entre VDD y VSS, e inversores de acoplamiento cruzado 760 y 762. El dispositivo de restablecimiento de retención 754 es controlado por la señal de restablecimiento de retención RSTPB para restablecer el estado de retención de los inversores de acoplamiento cruzado 760 y 762. El dispositivo de activación de retención 758 es controlado por una señal de activación de retención LCHD para permitir la detección de la corriente en la línea de bits común CBL_S[1:m]_[1:n]. Los inversores de acoplamiento cruzado 760 y 762 tienen un primer nodo común "a" conectado a las terminales compartidas del dispositivo de restablecimiento de retención 754 y el dispositivo de activación de detección y retención 756; y un segundo nodo común "b" unido al circuito de acoplamiento de líneas de datos. El circuito de acoplamiento de líneas de datos incluye un dispositivo de aislamiento de líneas de bits 764 y un dispositivo de selección de columna 766 conectado en series entre la línea de bits común CBL_S[1:m]_[1:n] y la línea de datos L_DL[1:n], teniendo un nodo común "b" en las terminales compartidas de los dispositivos 764 y 766. El dispositivo de aislamiento de líneas de bits 764 es controlado por la señal ISOPB mientras el dispositivo de selección de columna 766 es controlado por la señal de selección de columna Y-sel. Las señales PREb, RSTPB, ISOPB y LCHD pueden ser generadas desde el bloque de control 106 de la Figura 4A.

[0084] Se describe ahora la operación de la unidad de búfer de página 650 durante una operación de lectura. Mientras la señal de activación de retención LCHD está al nivel de lógica baja inactiva, la señal RSTPB es conducida al nivel de lógica baja para restablecer los inversores de acoplamiento cruzado 760 y 762 de manera que el nodo "b" se fija al nivel de lógica baja. Por consiguiente, el nodo "a" está al nivel de lógica alta durante este estado de restablecimiento. La línea de bits común CBL_S[1:m]_[1:n] se precarga a VDD mediante la transmisión de PREb al nivel de lógica baja, encendiendo así el dispositivo de precarga 752. Después de que una línea de palabras se active y la línea de bits seleccionada se una a CBL_S[1:m]_[1:n], ISOPB es conducido al nivel de lógica alta y la señal LCHD será conducida al nivel de lógica alta para activar la detección del voltaje en CBL_S[1:m]_[1:n]. Si la celda de memoria seleccionada está desprogramada, luego el nivel de precarga VDD de CBL_S[1:m]_[1:n] girará el nodo "b". Por otro lado, si la celda de memoria seleccionada está programada, luego el nivel de precarga VDD de CBL_S[1:m]_[1:n] se descargará hacia VSS. Cuando el periodo de detección termina, LCHD retorna al nivel de lógica baja, y Y-sel es finalmente conducido al nivel de lógica alta para unir los datos retenidos con L_DL[1:n].

[0085] Ahora se describe la operación de la unidad de búfer de página 650 durante una operación de programación. En una operación de programación, la señal de activación de retención LCHD no se usa y permanece en el nivel de lógica baja inactiva, mientras que la señal RSTPB es conducida al nivel de lógica baja para restablecer los inversores de acoplamiento cruzado 760 y 762 de manera que el nodo "b" se fija en el nivel de lógica baja. La línea de bits común CBL_S[1:m]_[1:n] se precarga a VDD mediante la transmisión de PREb al nivel de lógica baja, encendiendo así el dispositivo de precarga 752. Los datos de programación entran en L_DL[1:n], y son retenidos por los inversores de acoplamiento cruzado 760 y 762 cuando Y-sel es conducido al nivel de lógica alta. La señal ISOPB es conducida al nivel de lógica alta para unir el nodo "b" con CBL_S[1:m]_[1:n]. El estado programado de las celdas de memoria unidas a la línea de palabras seleccionada luego dependerá del nivel lógico del nodo "b".

[0086] Una característica única de la unidad de búfer de página 750 es el dispositivo único de selección de columna

766 que directamente une los inversores de acoplamiento cruzado 760 y 762 con L_DL[1:n]. El dispositivo único de selección de columna es más simple y ocupa una área de circuito menor que los dispositivos de selección de columna 72 y 74 de la Figura 3. Por consiguiente, una única señal Y-sel correspondiente, generada por un activador secuencial correspondiente tal como el activador secuencial 602, es cuanto se necesita para unir L_DL[1:n] al nodo "b". La descripción precedente de la operación de la unidad de búfer de página 650 durante operaciones de lectura y programación son operaciones de ejemplo, y aquellos expertos en la técnica entenderán que el mismo circuito se pueden accionar con variaciones en las secuencias de activación de la señal. La unidad de búfer de página 650 se puede implementar con configuraciones de circuito alternas que desempeñan la función de detección y retención para datos de lectura, y la función de retención para datos de programación.

[0087] A continuación, hay una discusión sobre la operación de búfer de página de autodescodificación 600 de la Figura 10, que usa las formas de realización del circuito mostradas en las Figuras de 11 a 13. Se hace referencia al diagrama de secuencia mostrado en la Figura 14, que muestra rastros de señal para las señales de control usadas por el activador secuencial, y rastros de señal del bit de selección de columna COL_BIT tal cual es pasada, o desplazada, desde un activador secuencial hasta un activador secuencial posterior. Los rastros de señal de control mostrados incluyen señales de reloj complementarias comunes ϕ y ϕ_b , señales de restablecimiento complementarias comunes RST y RSTb, y señales de activación de descodificación comunes YENb. Se muestran los rastros de señal para la terminal de entrada "In", la terminal de salida "Out" y la salida Y-sel de un primer activador secuencial, así como también los rastros de señal para la terminal de salida "Out" y la salida Y-sel para activadores secuenciales posteriores. En la Figura 14, las señales asociadas al primer, segundo y tercer activador secuencial están anexos con los números 1, 2 y 3 respectivamente, mientras el último (mth) activador secuencial tiene sus señales asociadas anexas con la letra m.

[0088] Desde este momento, la señal de restablecimiento RST es impulsada al nivel de lógica alta mientras la señal complementaria RSTb es impulsada al nivel de lógica baja para restablecer todos los activadores secuenciales. En la presente forma de realización, RST y RSTb se impulsan al creciente borde de la señal del reloj ϕ . Como se muestra en el ejemplo de la implementación del circuito del activador secuencial de la Figura 12, la retención compuesta por los inversores 704 y 706 tiene su lado de entrada unido a VSS mientras que la retención compuesta por los inversores 710 y 712 tiene su lado de entrada unido a VDD, en respuesta a los impulsos de señal de restablecimiento complementario. Aunque los impulsos de señal de restablecimiento son cortos en cuanto a duración, la puerta de transmisión 708 está abierta mientras la señal de reloj ϕ está al nivel de lógica alta. Por lo tanto los dos circuitos de retención se conducen el uno al otro a los estados de restablecimiento. La señal de activación de descodificación YENb permanece al nivel de lógica alta inactiva para mantener Y-sel al nivel de lógica baja.

[0089] Siguiendo al tiempo t_1 , la terminal de entrada In_1 del primer activador secuencial 1 es impulsada al nivel de lógica alta, que corresponde a la aplicación del bit de selección de columna COL_BIT. COL_BIT es retenido por los inversores 704 y 706 cuando ϕ está al nivel de lógica alta. Al tiempo t_2 , ϕ pasa al nivel de lógica baja para desviar COL_BIT a los inversores 710 y 712 para conducir la terminal de salida "Out" al nivel de lógica alta. Al tiempo t_3 , la señal del reloj ϕ pasa al nivel de lógica baja y COL_BIT que aparece en Out_1 será retenido por el activador secuencial 2, debido a que su terminal de entrada In_2 está conectada con Out_0. El rastro de señal para In_2 y los activadores secuenciales posteriores no se muestran para simplificar el diagrama de secuencia. Cabe señalar que al tiempo t_3 , la terminal de entrada "In_1" se sujeta en el nivel de lógica baja debido a que cada activador secuencial recibirá COL_BIT solo una vez por cada ciclo de descodificación, donde un ciclo de descodificación acaba después de que la última línea de bits se una a la línea de datos. En el ejemplo de la Figura 10 esto puede ser CBL_Sm_n. Esto significa que para transiciones posteriores de señal de reloj ϕ , una señal de lógica baja será retenida por ambos circuitos de retención del activador secuencial. En otras palabras, un COL_BIT de nivel de lógica baja inactiva es recibido por el activador secuencial 2.

[0090] Volviendo al primer facilitador secuencial 1, YENb es impulsado al nivel de lógica baja al tiempo t_4 para activar la puerta lógica NOR 718, que luego conduce Y-Sel_1 al nivel de lógica alta con la misma duración aproximada que YENb está en el nivel de lógica baja. Cuando Y-Sel_1 está en el nivel de lógica alta, el dispositivo de selección de columna 766 de la unidad de búfer de página 750 es encendida para unir su línea de bits común correspondiente a una línea de datos. Al tiempo t_5 , la señal de reloj ϕ pasa al nivel de lógica baja, causando que la terminal de salida Out_2 del activador secuencial 2 sea conducida al nivel de lógica alta. Como previamente se ha constatado, el activador secuencial 2 había recibido COL_BIT al tiempo t_3 . Sustancialmente al mismo tiempo, la terminal de salida Out_1 del activador secuencial 1 cae al nivel de lógica baja ya que ésta había retenido la señal COL_BIT inactiva. Posteriormente, Y-Sel_2 será impulsada al nivel de lógica alta en respuesta al impulso de nivel de lógica baja de YENb. Este proceso se repite hasta que los últimos impulsos del activador secuencial impulsan Y-Sel_m al nivel de lógica alta.

[0091] En la forma de realización mostrada en la Figura 5, Y-Sel_m es la última señal de selección de columna del búfer de página 212 para ser activada. Si la misma línea de palabras lógica es conducida en el sector 208, luego la terminal de salida Out_m se puede unir al primer activador secuencial en el búfer de página 214, donde la activación secuencial de las señales de selección de columna continuaría. Aquellos expertos en la técnica entenderán que el

selector de conversión de datos paralelo/serie 216 se controla para serializar los datos de R_DL[1:n] en lugar de L_DL[1:n]. Por lo tanto, activando las señales de activación de columna (Y-Sel_[1:m]) por orden, todos los bits de datos asociados a una línea de palabras seleccionada pueden bien ser leídos desde éste o programados para esto. Más específicamente, como cada señal Y-sel está activada, conjuntos de n bits de datos son sistemáticamente proporcionados sobre las líneas de datos L_DL[1:n], y luego posteriormente serializados por el selector de conversión de datos paralelo/serie 216 como GLOB_DATA. Aquellos expertos en la técnica entenderán que el contador 306 de la Figura 6 debería completar la serialización de la línea de datos L_DL[1:n] (o R_DL[1:n]) dentro de un periodo de señal de reloj ϕ , por lo tanto la selección de frecuencias que gobiernan la operación de estos circuitos será seleccionada para asegurar la operación apropiada de los circuitos.

[0092] Mientras los ejemplos de formas de realización del búfer de página mostrado en las Figuras de 7A a 13 muestran sus aplicaciones en la arquitectura de núcleo de ruta de datos en serie, cabe señalar que se pueden usar en arquitecturas de memoria flash ilustrada que no emplean una arquitectura de núcleo de ruta de datos en serie. Por ejemplo, la matriz de memoria flash estándar se puede diseñar para ser dividida en las mitades de parte superior e inferior, análogas a los sectores mostrados en las figuras, y el búfer de página de las formas de realización presentadas situados entremedias. Los dispositivos de selección de columna y el sistema de circuitos de decodificación para el multiplexado de las líneas de bits superior e inferior a una línea de bits común se pueden implementar de la manera mostrada y descrita en las presentes formas de realización. Mientras cada celda de búfer de página de autodescodificación del búfer de página 2D mostrado en las Figuras 10 y 11 incluyen un activador secuencial para suministrar una señal Y-sel para la unidad de búfer de página, cualquier señal de decodificación de dirección se puede usar en su lugar. La configuración de decodificación específica dependerá de la arquitectura de la salida de datos seleccionada para que se implemente. Por ejemplo, un agrupamiento de unidades de búfer de página sucesivos pueden recibir la misma señal de decodificación de dirección Y-sel, o cada unidad de búfer de página de un agrupamiento recibe una señal de decodificación de dirección Y-sel diferente.

[0093] La discusión precedente ilustra el banco directo para la operación de la ruta de datos en serie, tal como el banco de memoria 104 y la ruta de datos en serie 102 de la Figura 4A. Según otra forma de realización de la presente invención, el sistema de memoria en núcleos en serie 100 incluye dos bancos de memoria, ambos accesibles por la ruta de datos en serie 102. Con referencia a la Figura 5 por ejemplo, el único banco de memoria 200 sería sustituido por dos bancos de memoria idénticamente configurados. Naturalmente, dos bancos de memoria aumentarán la densidad del dispositivo de memoria, y según otra forma de realización de la presente invención, ambos bancos de memoria se pueden unir uno al otro para realizar transferencias de datos interbancarios directos. Las transferencias interbancarias son idealmente adecuadas para operaciones avanzadas tal como control de nivelado de desgaste, donde los datos pueden ser copiados al otro banco de memoria si los ciclos de programación/cancelación finito para una parte del banco de memoria actual están cerca de ser alcanzados. De otra manera, en el peor de los casos, los datos tendrían que ser leídos por un banco mediante la ruta de datos en serie 102 y de nuevo al controlador de memoria, que luego manda los datos de nuevo al otro banco del mismo dispositivo de memoria. Aquellos expertos en la técnica entenderán que esta secuencia de operaciones afectarán al rendimiento del sistema de memoria. El control de nivelado de desgaste es solo un ejemplo de una operación que puede aprovechar transferencias de banco de memoria directas, pero cualquier operativo donde los datos se mueven o copian de un banco a otro beneficiará desde un banco directo hasta la arquitectura de transferencia bancaria.

[0094] La Figura 15 es un diagrama de bloques que muestra una arquitectura de transferencia directa de un banco a otro según una forma de realización de la invención. La presente forma de realización incluye dos bancos de memoria idénticamente configurados 800 y 802, y un interruptor de transferencia en serie 804. En el ejemplo de la Figura 15, los bancos de memoria 800 y 802 son idénticos en cuanto a configuración al banco de memoria 200 de la Figura 5, y como tal, incluye las mismas características que han sido previamente descritas.

[0095] El banco de memoria 800 proporciona y recibe datos en serie a través de una señal de datos en serie llamada BANK1_DATA mientras el banco de memoria 802 proporciona y recibe datos en serie a través de una señal de datos en serie llamada BANK2_DATA. BANK1_DATA y BANK2_DATA se unen al interruptor de transferencia en serie 804, que selectivamente une uno de los dos a GLOB_DATA dependiendo de qué banco de memoria está siendo accedido para una operación de lectura o programación. GLOB_DATA es análoga a la misma señal nombrada en la Figura 5, que se une a una ruta de datos en serie, tal como la ruta de datos en serie 102 de la Figura 5. Mientras la señal GLOB_DATA se considera una señal de datos global en serie que se une a la ruta de datos en serie de un dispositivo de memoria, tal como la ruta de datos en serie 102 de la Figura 4A, las señales de datos en serie BANK1_DATA y BANK2_DATA son consideradas señales de datos en serie locales.

[0096] La operación del interruptor de transferencia en serie 804 anteriormente descrita se llama un modo normal de operación. En un modo de transferencia directa de operación, BANK1_DATA y BANK2_DATA son directamente unidos el uno al otro. Por consiguiente, en el modo de transferencia directa de operación, los búfers de página del banco de memoria 800 y 802 serán sincronizados de manera que los datos provenientes de los búfers de página de un banco de memoria son retenidos en los búfers de página del otro banco de memoria. Por ejemplo, las mismas señales de reloj usadas para el activador secuencial 700 de la Figura 12 se pueden compartir entre los bancos de memoria 800 y 802, y la señal CLK usada en selector de conversión de datos paralelo/en serie 216 de la Figura 6 se

puede compartir entre los bancos de memoria 800 y 802.

[0097] La Figura 16 es un circuito esquemático del interruptor de transferencia en serie 804 de la Figura 15, según una forma de realización. El interruptor de transferencia en serie 804 incluye un selector de banco de datos 810, y puertas de transmisión 812, 814 y 816. La puerta de transmisión 812 une BANK1_DATA a una primera terminal del selector de banco de datos 810, mientras que la puerta de transmisión 814 une BANK2_DATA a una segunda terminal del selector de banco de datos 810. Ambas puertas de transmisión 812 y 814 se encienden cuando las señales complementarias DIR y DIRb están en los niveles de lógica baja inactiva y alta respectivamente. La puerta de transmisión 816 une BANK1_DATA y BANK2_DATA directamente entre sí cuando DIR y DIRb están en los niveles de lógica activa alta y baja respectivamente. El selector de banco de datos 810 es controlado por la señal de selección BANK_SEL, para unir o bien BANK1_DATA o BANK2_DATA a GLOB_DATA. El circuito del interruptor de transferencia en serie 804 es un ejemplo de una implementación de circuito, y otros circuitos conocidos pueden utilizarse para conseguir la misma funcionalidad. Por ejemplo, el selector de banco de datos 810 se puede aplicar en un circuito multiplexor/demultiplexor que es bien conocido en la técnica. Las señales DIR y DIRb se pueden generar mediante el bloque de control 106 del dispositivo de memoria de la Figura 4A en respuesta a un comando específico.

[0098] El banco directo a la arquitectura de transferencia bancaria es redimensionable para incluir más de dos bancos de memoria. Por ejemplo, los pares de bancos de memoria como los configurados en la Figura 15 se pueden enlazar junto con otro interruptor de transferencia en serie situado entre los dos pares para unir la señal final GLOB_DATA a la ruta de datos en serie. Por consiguiente, la configuración del banco de memoria mostrada en la Figura 15 puede reemplazar el banco de memoria único 104 de la Figura 4A.

[0099] El sistema de memoria en núcleos en serie 100 de la Figura 4A es un ejemplo de un dispositivo de memoria con una ruta de datos en serie única para interconectarse con otros dispositivos de memoria. La Publicación de Patente de EE.UU. nº 20070076479 describe un sistema de memoria de alto rendimiento que puede ejecutar operaciones sustancialmente concurrentes ya que esta incluye unos circuitos con dos interfaces en serie separados. Este principio se puede aplicar al sistema de memoria en núcleos en serie 100 de la Figura 4A para realizar un sistema de memoria de alto rendimiento y una densidad alta con un banco directo a la arquitectura de transferencia bancaria.

[0100] La Figura 17 es un diagrama de bloques de un sistema de memoria en núcleos en serie de multibanco con dos rutas de datos en serie independientes. El sistema de memoria 900 incluye una primera ruta de datos en serie 902, una segunda ruta de datos en serie 904, bloques de control 906 y 908, y bancos de memoria 910, 912, 914 y 916. Localizado entre los bancos de memoria 910 y 912 hay un primer interruptor de transferencia en serie 918. Localizado entre los bancos de memoria 914 y 916 hay un segundo interruptor de transferencia en serie 920. Las primeras y segundas rutas de datos en serie 902 y 904 corresponden a la ruta de datos en serie 10 mostrada en la Figura 4A, mientras los bloques de control 906 y 908 corresponden al bloque de control 106 mostrado en la Figura 4A. El generador de alta tensión mostrado en la Figura 4A se omite para simplificar el esquema, no obstante, aquellos expertos en la técnica entenderán que un generador de alta tensión y otros circuitos serán requeridos para permitir la funcionalidad apropiada del sistema. La primera ruta de datos en serie 902 recibe DATA/CMD_IN_1 y proporciona DATA/CMD_OUT_1 mientras la segunda ruta de datos en serie 904 recibe DATA/CMD_IN_2 y proporciona DATA/CMD_OUT_2. Cada una de las primeras y segundas rutas de datos en serie 902 y 904 incluyen una interfaz I/O en serie 922, un mediador de datos 924, y un conmutador de datos 926. Todos estos circuitos han sido previamente descritos, igual que sus funciones.

[0101] Generalmente, los bloques de circuito 902, 906, 910, 912 y 918 operan como una única unidad, mientras los bloques de circuito 904, 908, 914, 916 y 920 operan como otra unidad única. Esto significa que las operaciones se pueden ejecutar en cualquier unidad independientemente de la otra, y al mismo tiempo entre sí. La presencia de los conmutadores de datos 926 en ambas rutas de datos en serie 902 y 904 ahora permite a las rutas de datos en serie acceder a cada banco de memoria. Como se muestra en la Figura 17, hay una única línea de transferencia directa de bits 928 unida entre los conmutadores de datos 926. Por lo tanto, los bancos de memoria 910 y 912 se pueden unir a la ruta de datos en serie 904 mientras los bancos de memoria 914 y 916 se pueden unir a la ruta de datos en serie 902. Además, los datos de los bancos de memoria 910 y 912 pueden ser directamente transferidos a los bancos de memoria 914 y 916, y viceversa, a través de la línea de transferencia directa 928.

[0102] Las operaciones de transferencia de memoria directa son ventajosas, ya que los datos no necesitan ser leídos por el dispositivo de memoria antes de ser reprogramados a un banco diferente del mismo dispositivo de memoria. Por ejemplo, la copia de página u operaciones de copia de bloque pueden ser eficazmente ejecutadas porque como los datos que corresponden a una página son leídos por un banco fuente, los datos se cargan en el banco de destino sustancialmente al mismo tiempo.

[0103] Por lo tanto, hay diferentes circuitos del sistema de memoria en núcleos en serie que minimizarán el consumo de la área de circuito mientras mejoran el rendimiento con respecto a dispositivos de memoria que utilizan un núcleo de ruta de datos paralela tradicional. Primero es el circuito de selección de columna de autodescodificación para transferir rápidamente los datos de las líneas de bits a las líneas de datos. Segundo es el búfer de página

compartido que se une a dos sectores de una matriz de memoria. Tercero es la ruta de datos en serie para unir un flujo de bits en serie de datos entre pins de interfaz de entrada/salida externa y al menos un banco de memoria 104 de la Figura 4A. Cuarto son los interruptores de transferencia en serie y los conmutadores de datos que unen los bancos de memoria entre sí o con diferentes rutas de datos en serie. Puesto que los datos son transferidos entre los pins de entrada/salida externa y los sectores de memoria en el formato en serie, y solo convertido a formato paralelo en el banco de memoria, se conserva una significativa área de circuito. Esto es porque solo líneas únicas de datos en serie bidireccionales, tal como la línea de transferencia directa 928, las líneas de datos en serie bidireccional 110 y las rutas de datos en serie 902 y 904 se usan para transportar los datos en serie en vez de con una pluralidad de líneas de datos paralelas.

[0104] Las formas de realización previamente descritas del sistema de memoria en núcleos en serie se pueden implementar en los dispositivos de memoria separados, o se pueden introducir en un sistema en chip (SOC) o un dispositivo de sistema en el embalaje (SIP). En una implementación del dispositivo de memoria separado, los dispositivos de memoria múltiple con las formas de realización del sistema de memoria en núcleos en serie descrita anteriormente se pueden usar en la interconexión en serie 5 de la Figura 1A. Un único dispositivo de empaquetado aplicado como un SOC puede tener múltiples copias del sistema de memoria conectado en serie con la misma configuración mostrada en la Figura 1A. Un único dispositivo empaquetado aplicado como un SIP puede tener chips múltiples en serie conectados con la misma configuración mostrada en la Figura 1A.

[0105] En la descripción precedente, para fines de explicación, se muestran numerosos detalles para proporcionar una comprensión profunda de las formas de realización de la invención. No obstante, será aparente para un experto en la materia que estos detalles específicos no se requieren para poner en práctica la invención. En otros casos, estructuras y circuitos eléctricos bien conocidos se muestran en la forma de diagrama de bloques para no complicar la invención. Por ejemplo, no se proporcionan detalles específicos en cuanto a si las formas de realización de la invención descritos aquí se implementan como una rutina de software, circuito de hardware, microprograma, o una combinación de lo mismo.

[0106] En las formas de realización descritas anteriormente, la operación ha sido descrita basada en las señales activas "altas" con el fin de simplificar. Ellos han sido diseñados para ejecutar la operación basada en las señales activas "bajas", conforme con una preferencia de diseño.

[0107] En las formas de realización anteriormente descritas, los elementos y circuitos del dispositivo son unidos o conectados entre sí como se muestra en las figuras, para garantizar la simplicidad. En aplicaciones prácticas de la presente invención para equipos, dispositivos, elementos, circuitos, etc. se pueden unir o conectar directamente entre sí. De la misma forma, dispositivos, elementos, circuitos etc. se pueden unir o conectar indirectamente entre sí a través de otros dispositivos, elementos, circuitos, interfaces, etc., necesarios para la operación del equipo. Así, en la configuración real, los elementos y dispositivos de circuito son directa o indirectamente unidos o conectados entre sí.

[0108] Las formas de realización de la invención descritas anteriormente solo pretenden ser ejemplos. Alteraciones, modificaciones y variaciones pueden ser efectuadas en las formas de realización particulares por aquellos expertos en la técnica sin apartarse del ámbito de la invención, que se define solamente por las reivindicaciones anexas aquí.

REIVINDICACIONES

1. Sistema de memoria (100) que comprende:

banco de memoria (104) para suministrar datos de lectura de flujo de bits en serie en respuesta a una operación de lectura y para recibir datos de escritura de flujo de bits en serie en respuesta a una operación de escritura; y ruta de datos en serie (102) para unir los datos de lectura del flujo de bits en serie y los datos de escritura del flujo de bits en serie entre el banco de memoria y una interfaz de entrada/salida (112);
donde la ruta de datos en serie incluye un mediador de datos (114) para recibir datos de acceso en serie desde la interfaz de entrada/salida, donde los datos de acceso incluyen un comando y una dirección,
donde el mediador de datos incluye
convertidor de datos de comando (124) para convertir el comando y la dirección en un formato paralelo, e interruptor de ruta (126) para conectar selectivamente la interfaz de entrada/salida (112) al convertidor de datos de comando (124) o el banco de memoria (104) para recibir los datos de lectura del flujo de datos en serie de parte desde el banco de memoria (104) durante la operación de lectura.

2. Sistema de memoria según la reivindicación 1, donde el banco de memoria incluye una primera mitad de banco unida a las primeras n líneas de datos paralelas, donde n es un valor entero mayor que 0,
segunda mitad del banco unida a las segundas n líneas de datos paralelas, y
convertidor de datos paralelo/en serie para convertir selectivamente una de las primeras y las segundas n líneas de datos paralelas en datos de lectura del flujo de bits en serie y para convertir selectivamente los datos de escritura del flujo de bits en serie en datos paralelos para una de las primeras y las segundas n líneas de datos paralelas.

3. Sistema de memoria de la reivindicación 2, donde la primera mitad del banco incluye
un primer sector con líneas de palabras y líneas de bits unidas a celdas de memoria,
un segundo sector con líneas de palabras y líneas de bits unidas a celdas de memoria, y
un primer búfer de página selectivamente unido a líneas de bits de una del primer sector y el segundo sector, donde el primer búfer de página es unido a las primeras n líneas de datos paralelas.

4. Sistema de memoria de la reivindicación 3, donde la segunda mitad del banco incluye
un tercer sector con líneas de palabras y líneas de bits unidas a celdas de memoria,
un cuarto sector con líneas de palabras y líneas de bits unidas a celdas de memoria, y
un segundo búfer de página selectivamente unido a las líneas de bits de uno del tercer sector y el cuarto sector, el segundo búfer de página es unido a las segundas n líneas de datos paralelas.

5. Sistema de memoria de la reivindicación 4, donde
las líneas de bits del primer sector y el segundo sector se agrupan en conjuntos de líneas de bits, cada uno de los conjuntos de líneas de bits son unidos a una línea de bits común, la línea de bits común se une al primer búfer de página; y la línea de bits del tercer sector y el cuarto sector se agrupan en conjuntos de líneas de bits, cada uno de los conjuntos de líneas de bits es unido a una línea de bits común, la línea de bits común se une al segundo búfer de página.

6. Sistema de memoria de la reivindicación 2, donde el convertidor de datos paralelo/en serie incluye
un primer convertidor de datos paralelo/en serie para unir consecutivamente cada una de las primeras n líneas de datos paralelas a una primera terminal,
segundo convertidor de datos paralelo/en serie para unir consecutivamente cada una de las segundas n líneas de datos paralelas a una segunda terminal,
selector de ruta de datos para unir selectivamente una de la primera terminal y la segunda terminal a una línea de datos en serie bidireccional.

7. Sistema de memoria de la reivindicación 6, que comprende además lógica de control para recibir un comando y una dirección para manejar el banco de memoria, el convertidor paralelo/en serie y la ruta de datos en serie durante la operación de lectura.

8. Sistema de memoria de la reivindicación 1, que incluye además otro banco de memoria para suministrar los datos de lectura del flujo de bits en serie en respuesta a la operación de lectura y para recibir datos de escritura del flujo de bits en serie en respuesta a la operación de escritura.

9. Sistema de memoria de la reivindicación 8, donde la ruta de datos en serie incluye un conmutador de datos para unir selectivamente los datos de escritura del flujo de bits en serie a un banco de memoria y el otro banco de memoria, y para unir selectivamente los datos de lectura del flujo de bits en serie de un banco de memoria y el otro banco de memoria al mediador de datos de la ruta de datos en serie.

10. Sistema de memoria de la reivindicación 8 que incluye además otra ruta de datos en serie para unir los datos de lectura del flujo de bits en serie de un banco de memoria y el otro banco de memoria a otra interfaz de

entrada/salida, y para unir los datos de escritura del flujo de bits en serie a un banco de memoria y el otro banco de memoria.

5 11. Sistema de memoria de la reivindicación 10, donde la otra ruta de datos en serie incluye un segundo conmutador de datos para unir selectivamente los datos de escritura del flujo de bits en serie a uno de los otros bancos de memoria y el conmutador de datos, y para unir selectivamente los datos de lectura del flujo de datos en serie a uno del conmutador de datos y otro mediador de datos.

10 12. Sistema de memoria de la reivindicación 11, que incluye además una línea de datos de transferencia en serie para unir el conmutador de datos al segundo conmutador de datos.

15 13. Sistema de memoria de la reivindicación 8, que incluye además un interruptor de transferencia en serie para unir selectivamente los datos de lectura del flujo de bits en serie de un banco de memoria y el otro banco de memoria a la ruta de datos en serie.

14. Sistema que comprende:

20 controlador de memoria para suministrar datos de acceso; e
interconexión en serie de una pluralidad de dispositivos de memoria, cada uno de los dispositivos de memoria incluye:
un controlador para recibir el comando de acceso y una dirección contenida en los datos de acceso, para ejecutar una operación que corresponde con el comando de acceso; y
sistema de memoria de cualquiera de las reivindicaciones anteriores.

25 15. Método que comprende:

30 provisión de datos de lectura del flujo de bits en serie en respuesta a una operación de lectura;
recepción de datos de escritura del flujo de bits en serie en respuesta a una operación de escritura;
unión de los datos de lectura del flujo de bits en serie y los datos de escritura del flujo de bits en serie entre un banco de memoria y una interfaz de entrada/salida,
donde la unión incluye
recepción, en un mediador de datos, de datos de acceso en serie de la interfaz de entrada/salida, donde los datos de acceso incluyen un comando y una dirección, el mediador de datos incluye un convertidor de datos de comando y un interruptor de ruta; conexión selectiva, uso del interruptor de ruta, la interfaz de entrada/salida para o bien el
35 convertidor de datos de comando o bien el banco de memoria; conversión, utilizando el convertidor de datos de comando, del comando y la dirección a un formato paralelo, y traspaso, usando el interruptor de ruta, de los datos de lectura del flujo de bits en serie del banco de memoria a la interfaz de entrada/salida durante una operación de lectura.

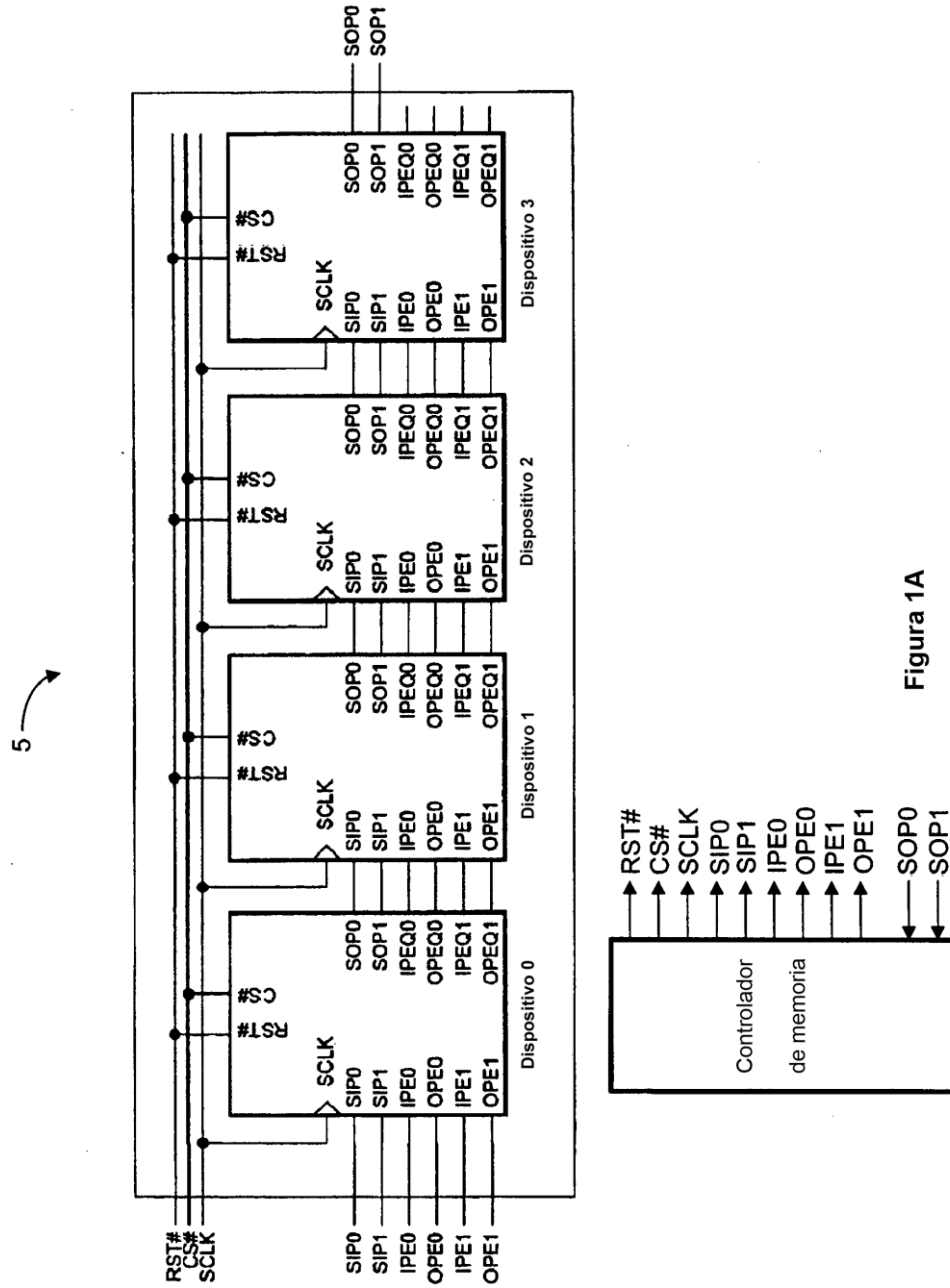


Figura 1A

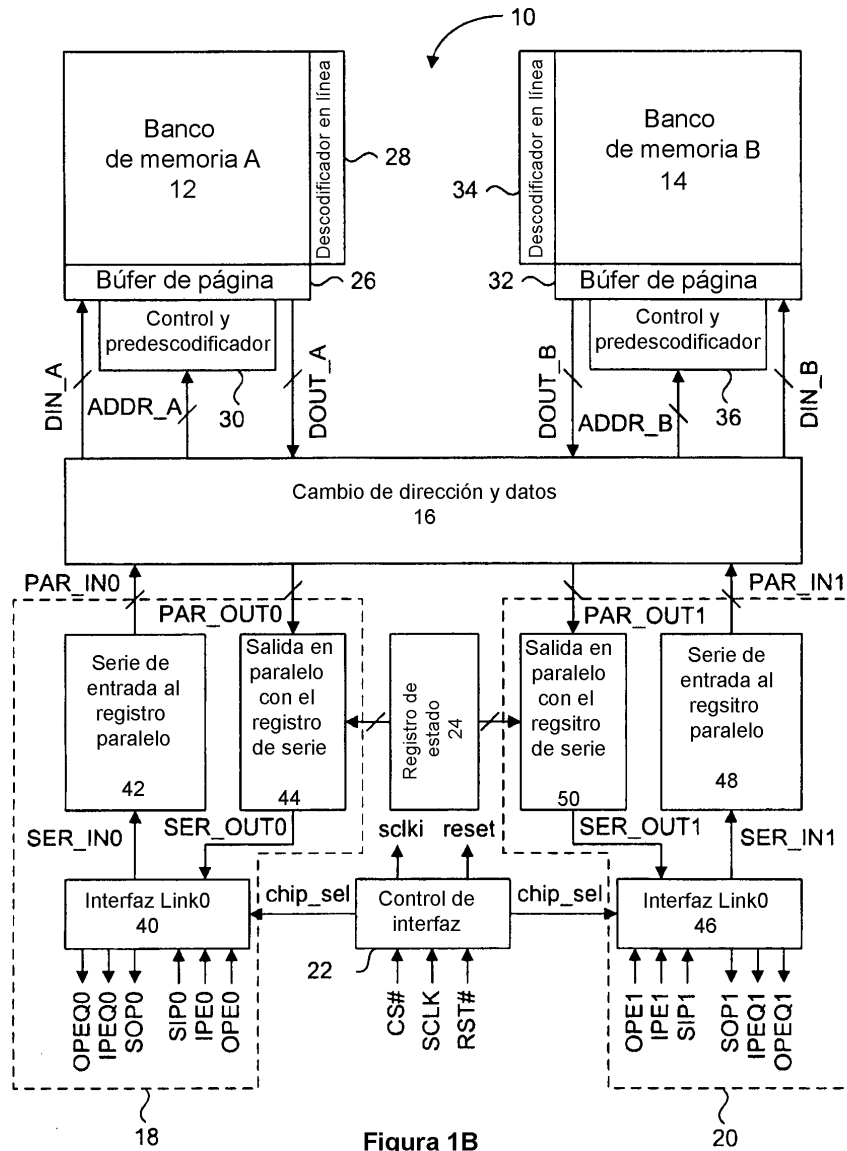


Figura 1B
(Técnica anterior)

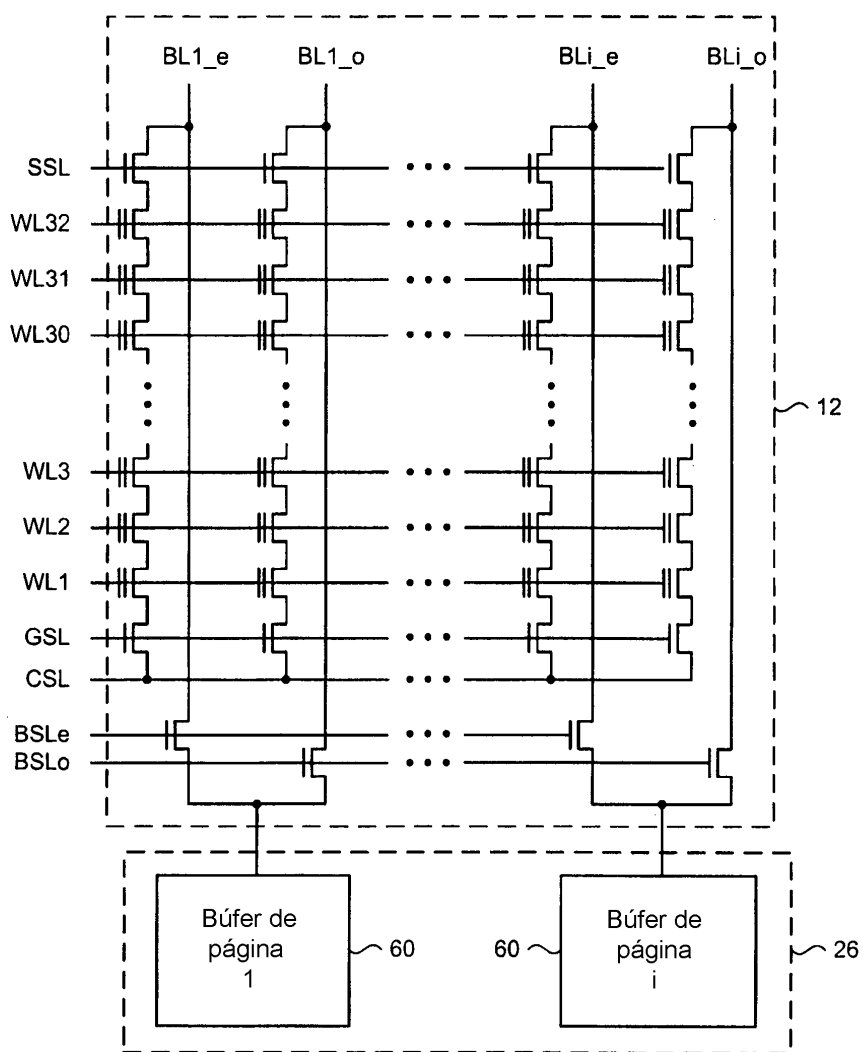


Figura 2
(Técnica anterior)

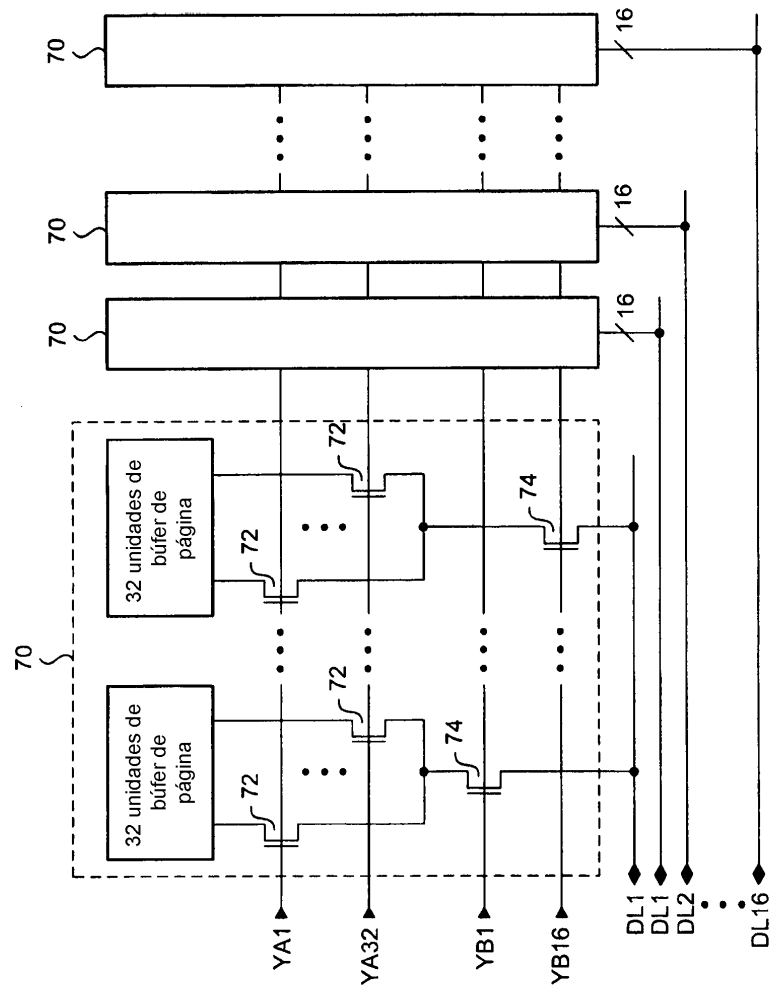


Figura 3
(Técnica anterior)

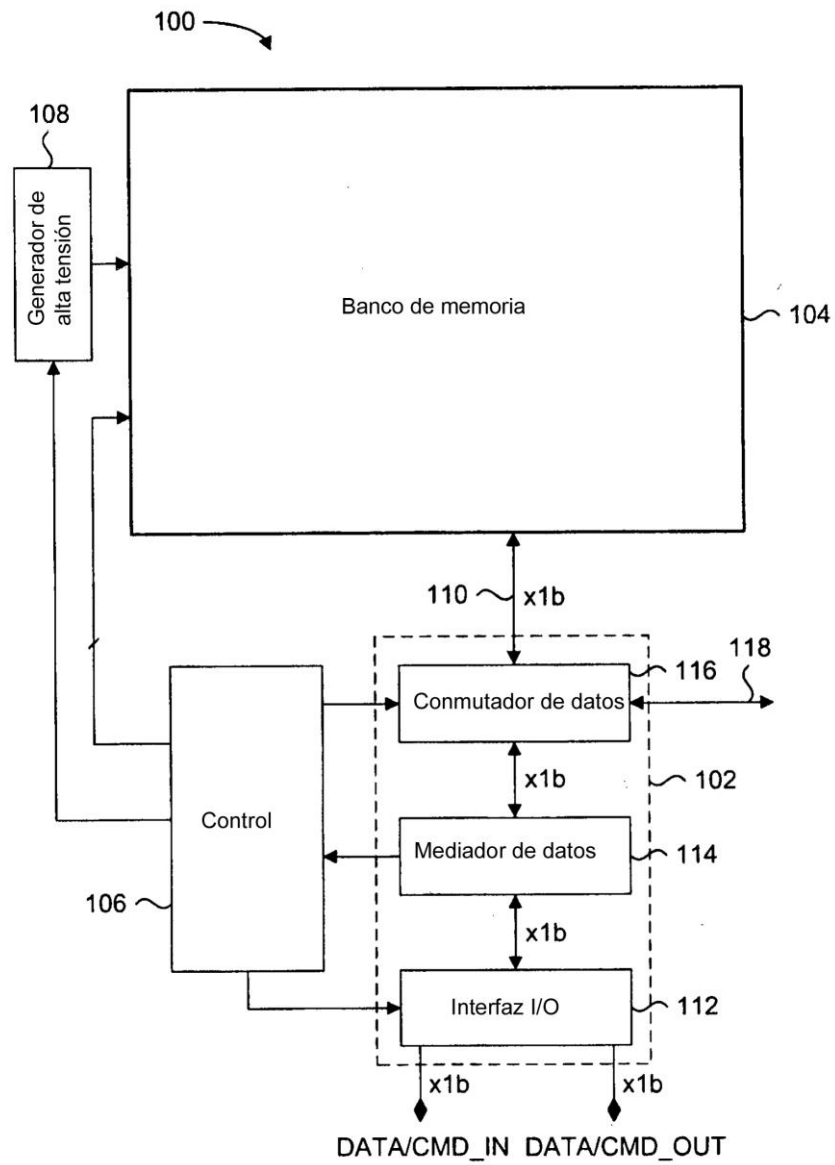


Figura 4A

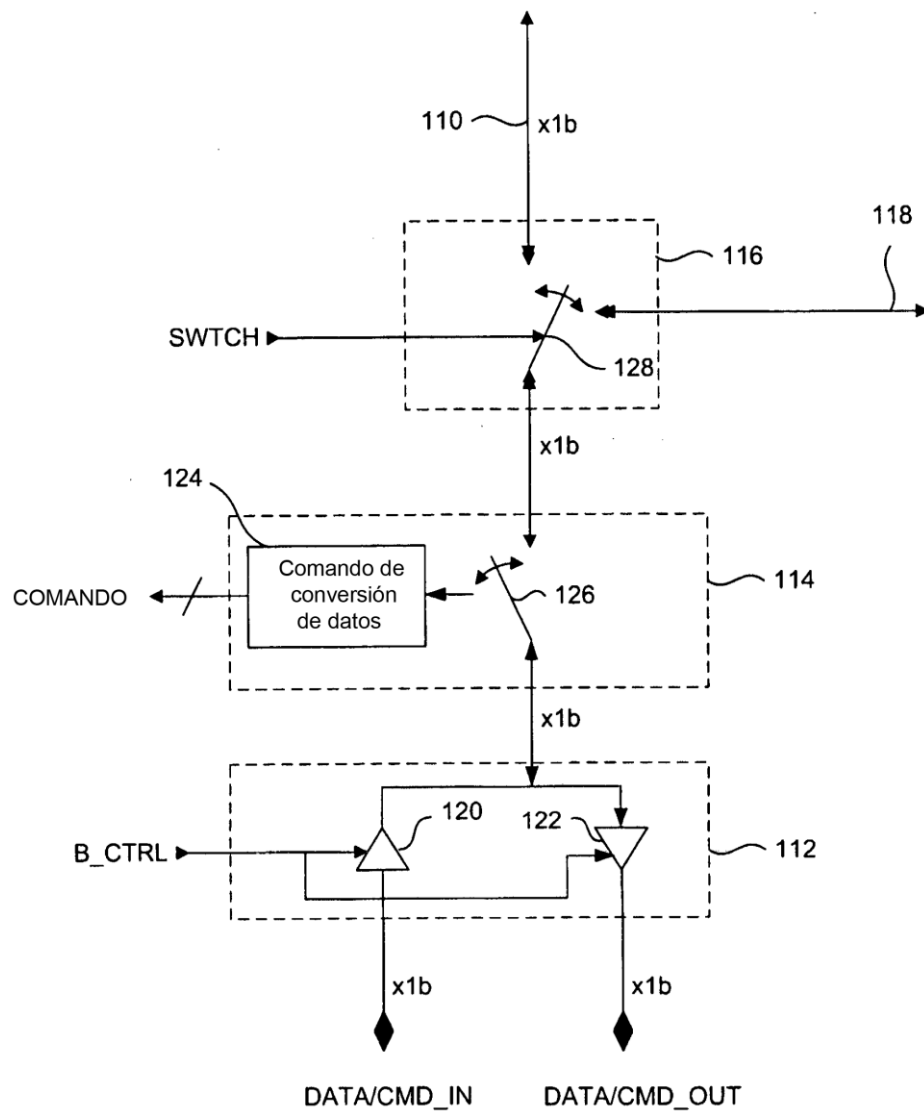


Figura 4B

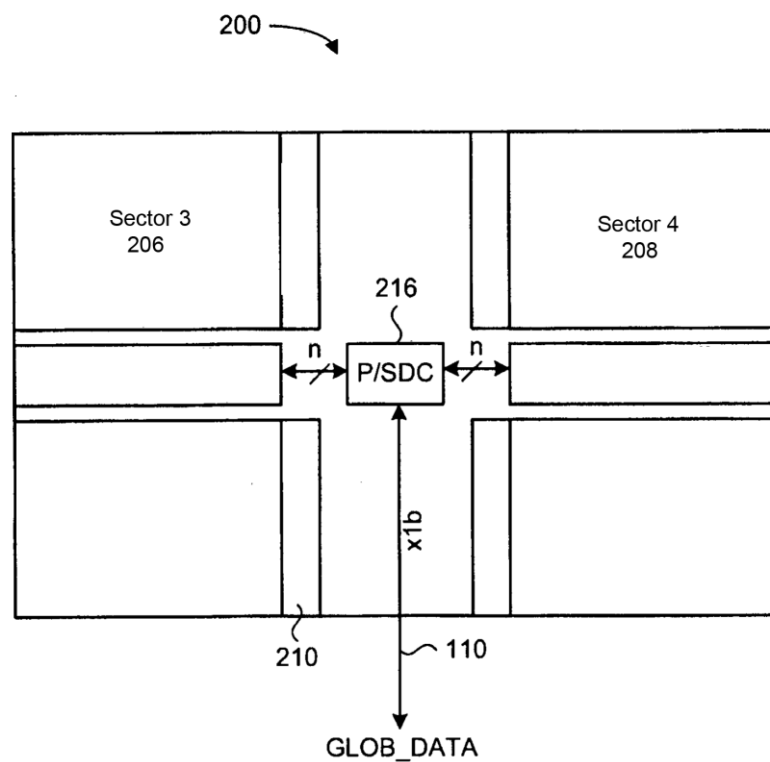


Figura 5

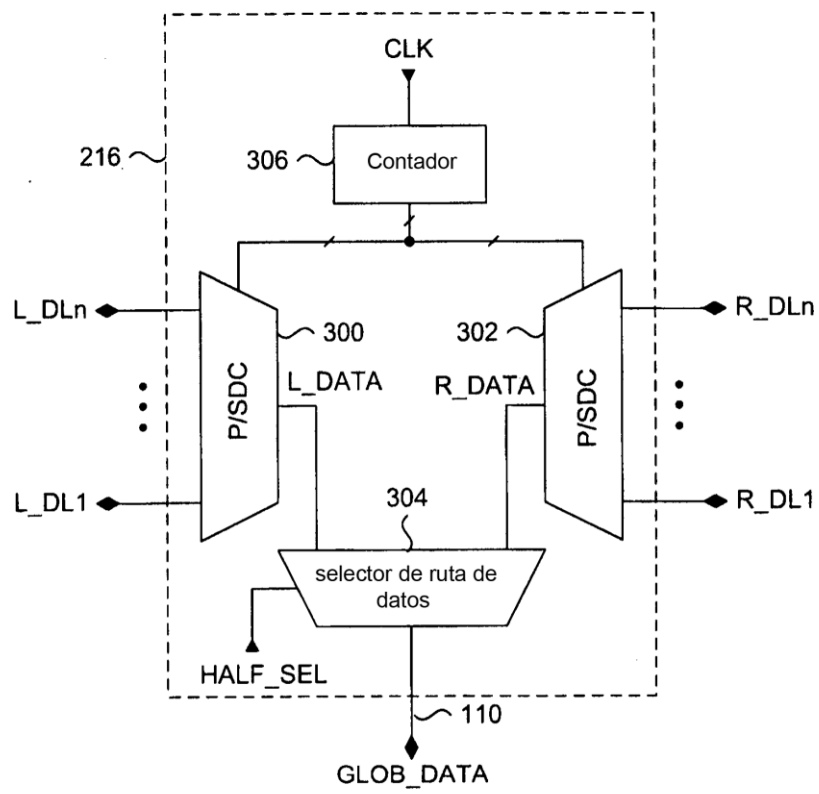


Figura 6

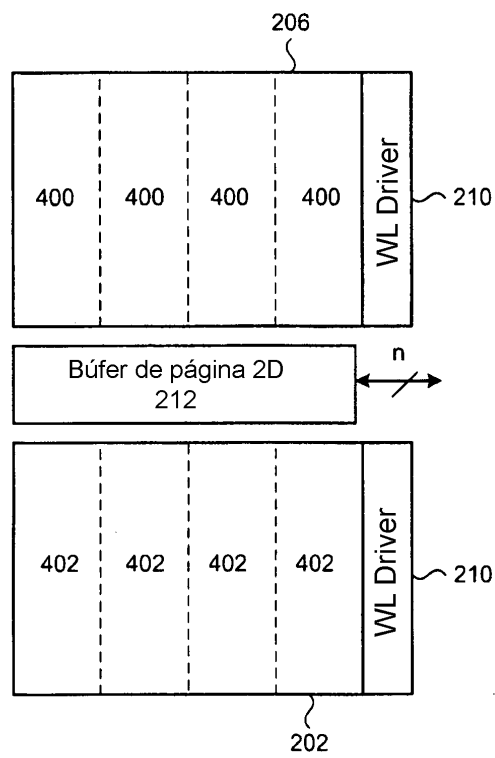


Figura 7A

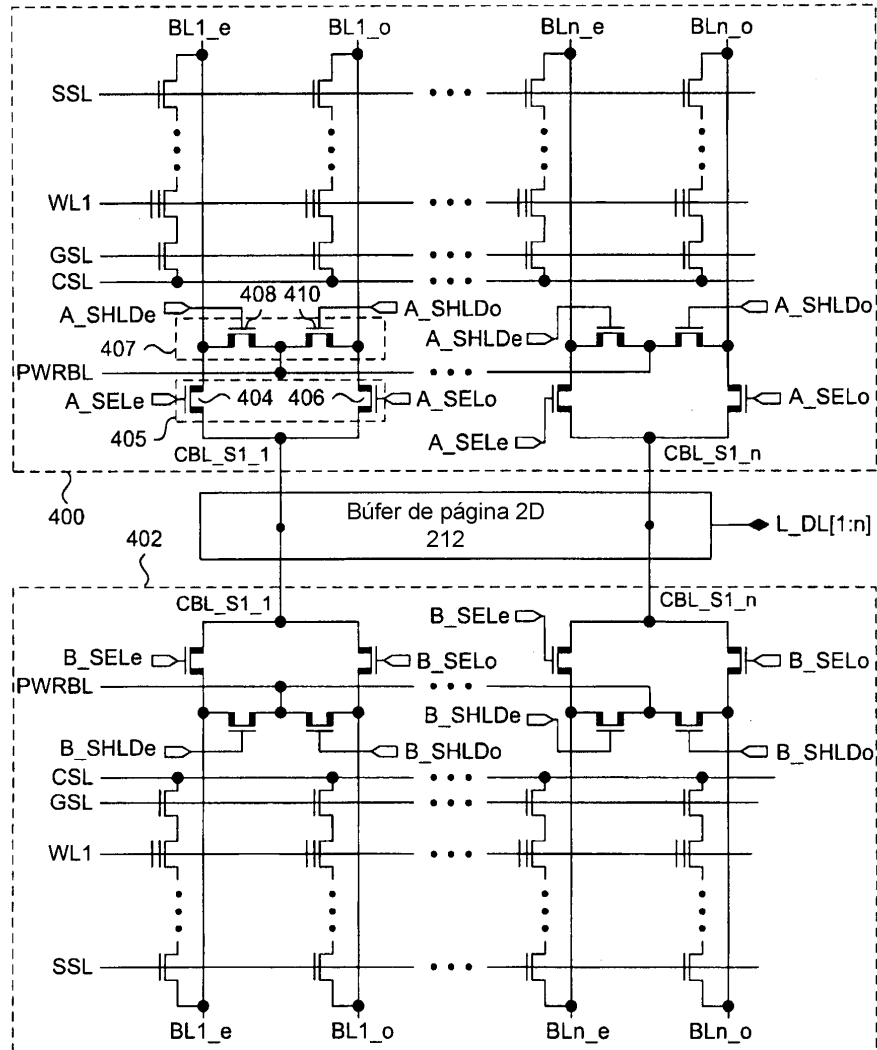


Figura 7B

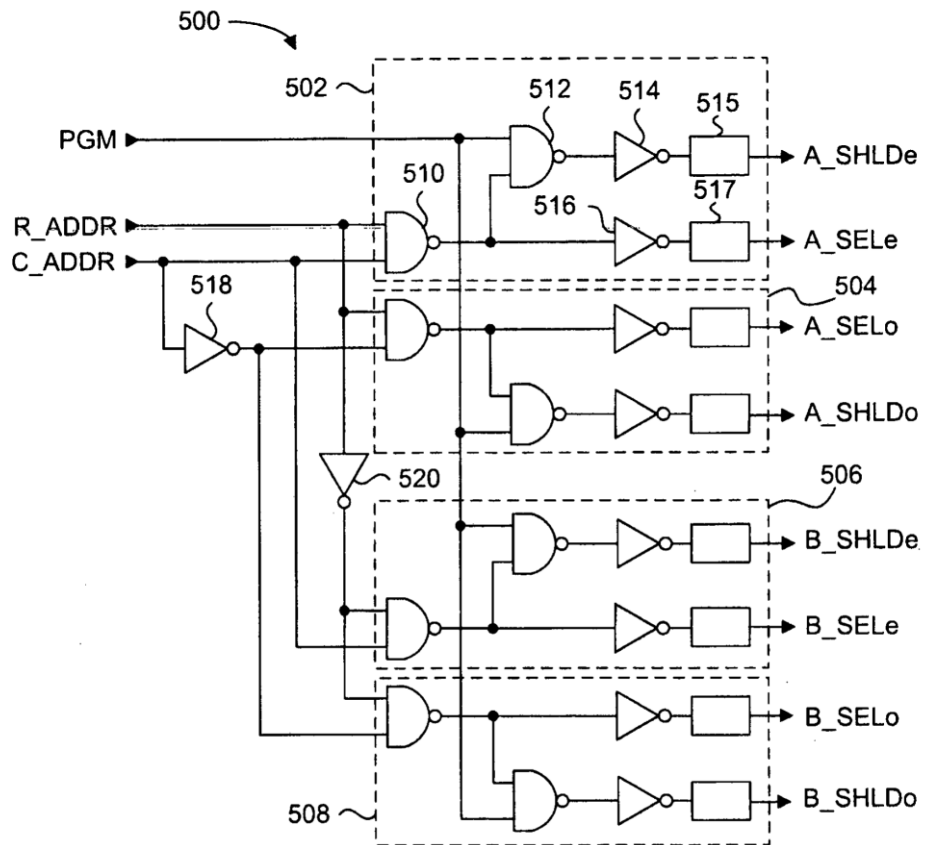
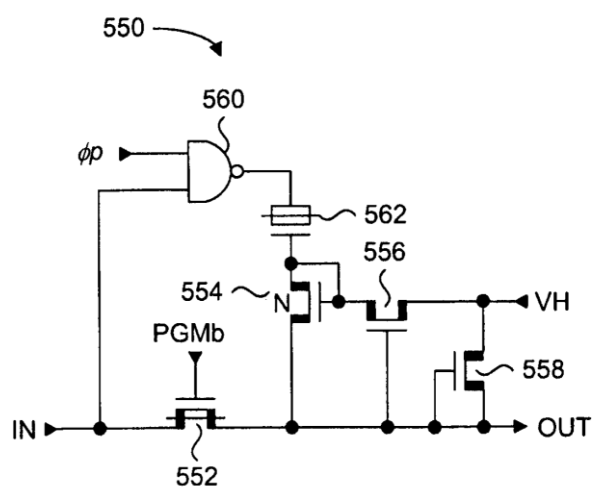


Figura 8

**Figura 9**

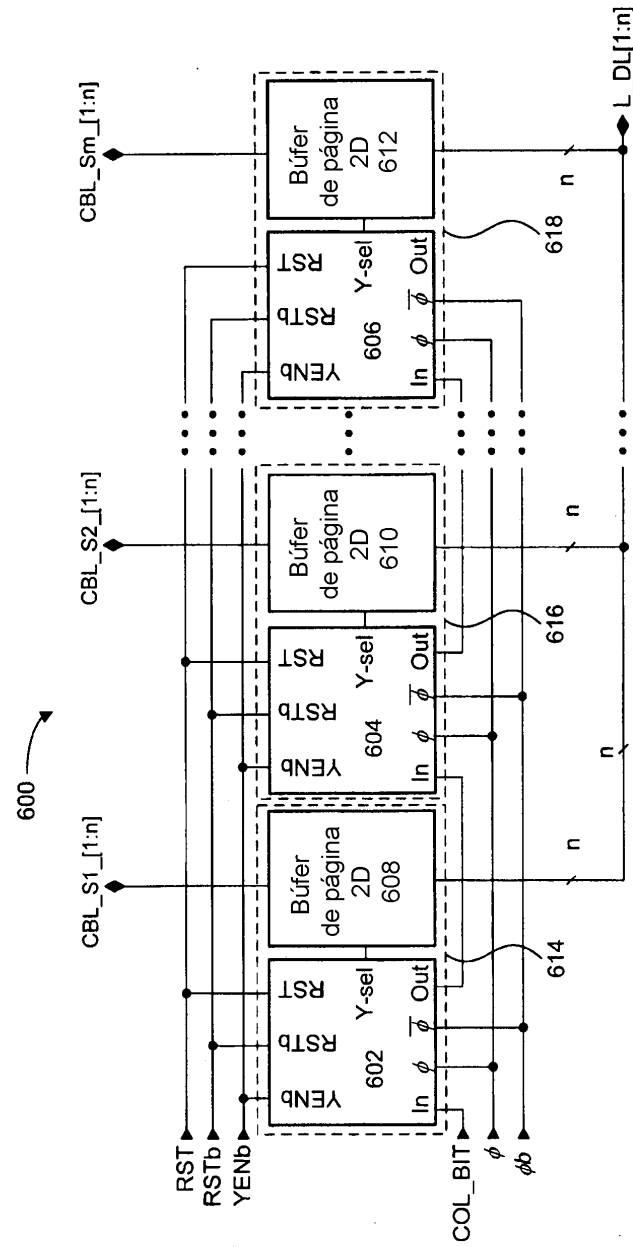


Figura 10

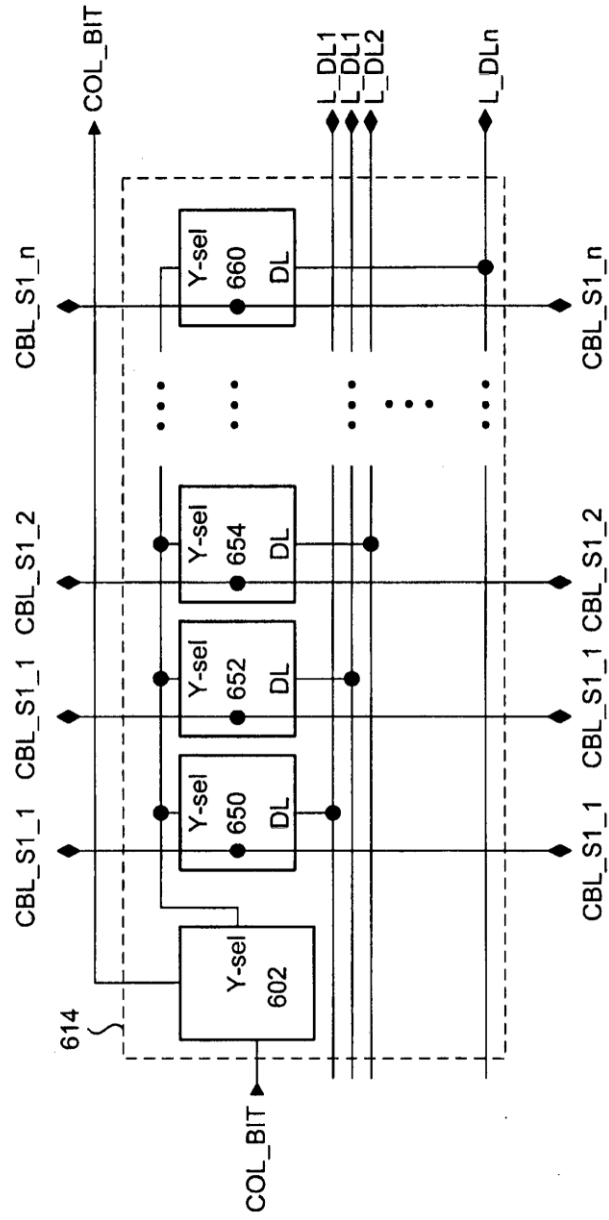


Figura 11

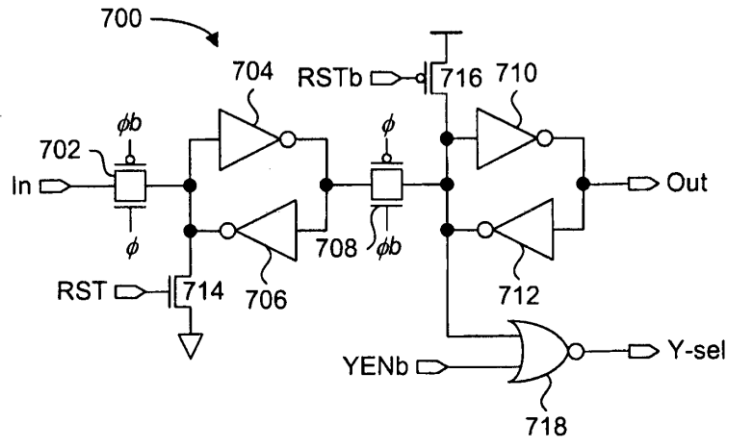


Figura 12

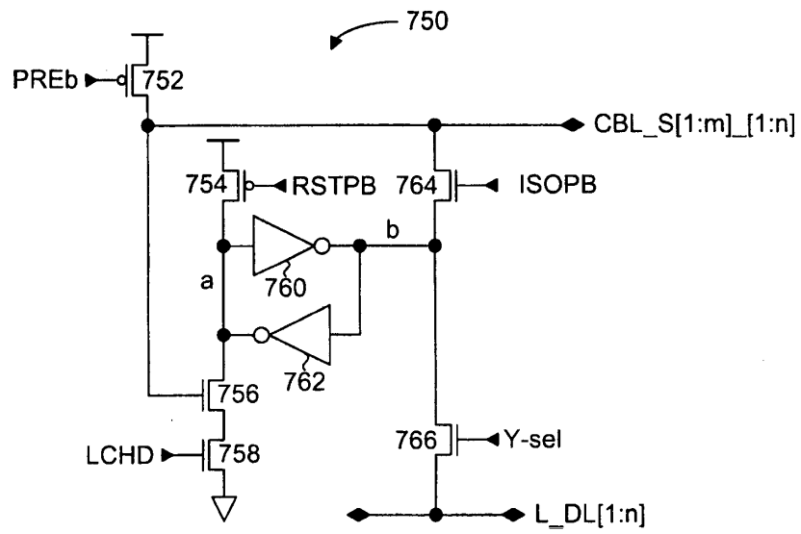


Figura 13

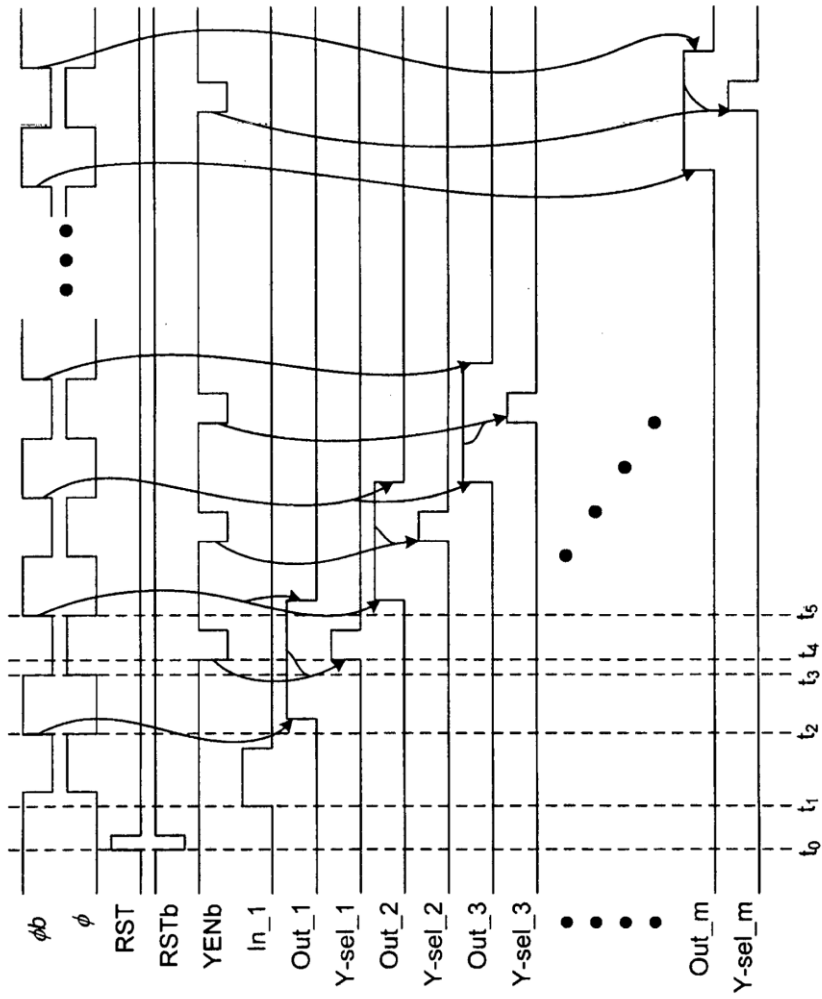


Figura 14

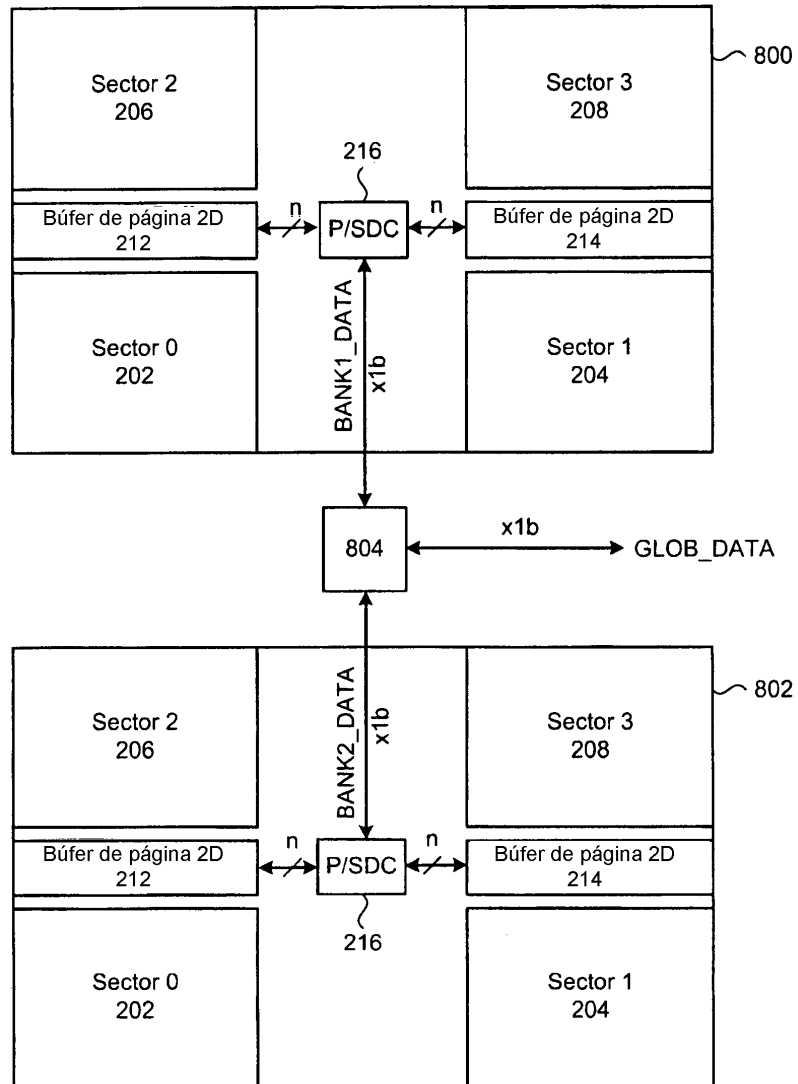


Figura 15

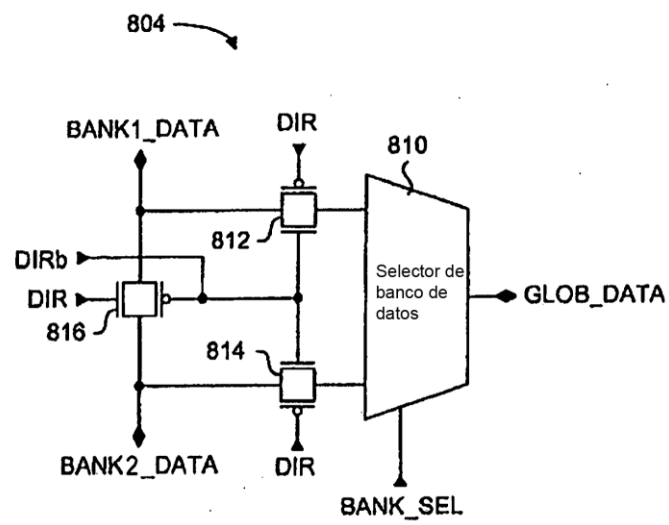


Figura 16

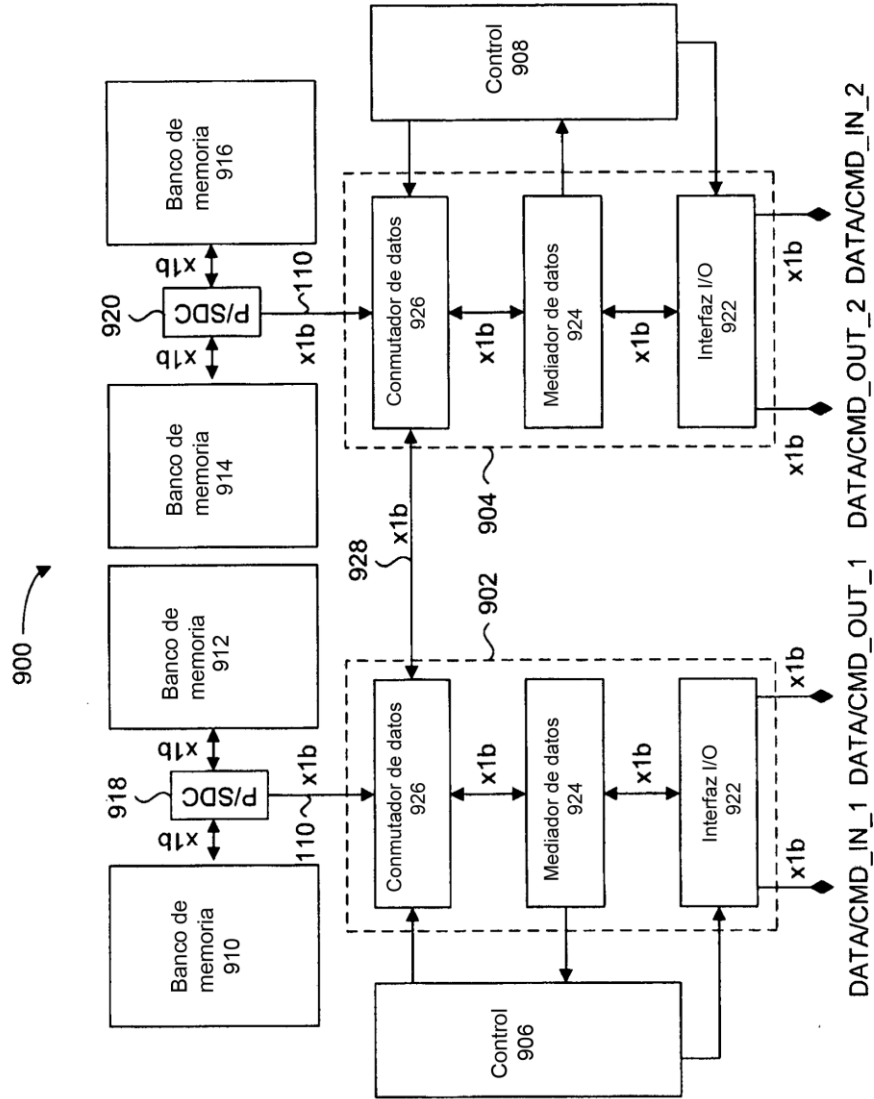


Figura 17