

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 526 530**

51 Int. Cl.:

H01L 21/335 (2006.01)
H01L 29/76 (2006.01)
H01L 29/06 (2006.01)
H01L 27/108 (2006.01)
H01L 21/266 (2006.01)
B82Y 10/00 (2011.01)
H01L 29/788 (2006.01)
H01L 27/12 (2006.01)
G11C 16/02 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **01.02.2002 E 02709237 (8)**

97 Fecha y número de publicación de la concesión europea: **03.12.2014 EP 1358669**

54 Título: **Memoria dinámica basada en un almacenamiento de un solo electrón**

30 Prioridad:

09.02.2001 US 779547

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

13.01.2015

73 Titular/es:

**CONVERSANT INTELLECTUAL PROPERTY
MANAGEMENT INC. (100.0%)
390 March Road, Suite 100
Ottawa, ON K2K 0G7, CA**

72 Inventor/es:

**FORBES, LEONARD y
AHN, KIE Y.**

74 Agente/Representante:

CURELL AGUILÁ, Mireia

ES 2 526 530 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Memoria dinámica basada en un almacenamiento de un solo electrón.

5 Campo de la invención

La presente invención se refiere al campo de los dispositivos de semiconductores y, en particular, a estructuras de almacenamiento de carga de dispositivos de memoria.

10 Antecedentes de la invención

Una celda de una memoria dinámica de acceso aleatorio (DRAM) comprende típicamente un condensador de almacenamiento de carga (o condensador para celdas) acoplado a un dispositivo de acceso, tal como un Transistor de Efecto de Campo Metal-Óxido-Semiconductor (MOSFET). El MOSFET aplica o elimina carga en el condensador, lo cual influye en el estado lógico definido por la carga almacenada. En general, las condiciones de las operaciones de la DRAM, tales como voltaje de funcionamiento, tasa de fuga y frecuencia de refresco, exigirán que el condensador almacene una cierta carga mínima. En la tendencia continuada hacia una capacidad de memoria mayor, la densidad de compactación de las celdas de almacenamiento se debe incrementar, aunque cada una de ellas debe mantener niveles de capacidad requeridos para un área respectiva de celdas de memoria. Por consiguiente, está resultando extremadamente difícil producir un condensador con una capacidad de almacenamiento relativamente alta en el área disponible de celdas de memoria.

Con vistas a una miniaturización adicional de los dispositivos electrónicos, se han introducido componentes de un solo electrón, en los cuales los procesos de conmutación se efectúan con electrones individuales. De esta manera, se han dado a conocer técnicas para sistemas de memoria en tecnología de silicio basada en (1) atrapar electrones individuales en inclusiones de silicio en el óxido de puerta de los transistores; (2) atrapar electrones en trampas o defectos puntuales en el óxido de puerta; (3) atrapar electrones en los granos de polisilicio en transistores de película fina; o (4) atrapar electrones individuales en regiones de potencial mínimo en una película ultra-fina de silicio dotado de rugosidad en material aislante. No obstante, la mayoría de estas técnicas conlleva la tunelización de electrones a través de óxidos finos, lo cual a su vez requiere campos eléctricos elevados en dichos óxidos. Estos campos eléctricos tan elevados deterioran los óxidos y otorgan solamente un número limitado de tiempos de ciclos de memoria, típicamente del orden de 10^3 veces. Otras técnicas de un solo electrón conllevan el atrapamiento de electrones en granos de polisilicio formados en dispositivos de película fina, aunque este proceso resulta difícil de controlar puesto que la aparición de rugosidad de polisilicio para formar los granos se produce de manera aleatoria.

Por consiguiente, existe una necesidad de un método mejorado de formación de dispositivos de un solo electrón usados en la fabricación de IC. Existe también una necesidad de dispositivos de memoria de un solo electrón de alta densidad con canales de conducción y áreas de almacenamiento que sean reproducibles fácilmente y que no se produzcan de una manera aleatoria, así como un método para fabricar dichos dispositivos de memoria.

Park, G. *et al.*, "A Nano-Structure Memory with Silicon on Insulator Edge Channel and a Nano Dot", *Jpn. J. Appl. Phys.* Vol. 37 (1998) págs. 7.190 a 7.192, describe una memoria con nano-estructura que usa canales de bordes y no puntos de silicio sobre aislante (SOI). La anchura del canal de borde se determinó por el grosor de la capa rebajada de silicio superior de la oblea de SOI, y el tamaño del nanopunto de la pared lateral se determinó mediante ataque químico con iones reactivos (RIE) y litografía por haz de electrones.

Shi, Y. *et al.*, "Characteristics of Narrow Channel MOSFET Memory Based on Silicon Nanocrystals", *Extended Abstracts of the 1998 International Conference on Solid State Devices and Materials, Hiroshima, 1998*, págs. 172 a 173, describe una memoria MOSFET con puerta flotante basada en nanocristales de silicio en un canal muy estrecho.

Breve resumen de la invención

Según un primer aspecto de la presente invención, se proporciona una celda de memoria tal como se expone en la reivindicación 1.

De acuerdo con un segundo aspecto de la presente invención, se proporciona un método de formación de un dispositivo de semiconductor según se expone en la reivindicación 9.

En las reivindicaciones dependientes se definen formas de realización preferidas.

Ventajas adicionales de la presente invención se pondrán más claramente de manifiesto a partir de la descripción detallada y de los dibujos adjuntos, que ilustran formas de realización ejemplificativas de la invención.

Breve descripción de los dibujos

- 5 La Figura 1 ilustra una vista en sección transversal de una parte de un dispositivo de semiconductor en el cual está formada una estructura sublitográfica con bordes delimitados.
- La Figura 2 ilustra una vista en sección transversal del dispositivo de la Figura 1 en una fase de procesado subsiguiente a la mostrada en la Figura 1.
- 10 La Figura 3 ilustra una vista en sección transversal del dispositivo de la Figura 1 en una fase de procesado subsiguiente a la mostrada en la Figura 2.
- La Figura 4 ilustra una vista tri-dimensional superior del dispositivo de la Figura 3.
- 15 La Figura 5 ilustra una vista en sección transversal del dispositivo de la Figura 1 en una fase de procesado subsiguiente a la mostrada en la Figura 4.
- La Figura 6 ilustra una vista en sección transversal del dispositivo de la Figura 1 en una fase de procesado subsiguiente a la mostrada en la Figura 5.
- 20 La Figura 7 ilustra una vista en sección transversal del dispositivo de la Figura 1 en una fase de procesado subsiguiente a la mostrada en la Figura 6.
- La Figura 8 ilustra una vista en sección transversal del dispositivo de la Figura 1 en una fase de procesado subsiguiente a la mostrada en la Figura 7.
- 25 La Figura 9 ilustra una vista en sección transversal de una parte de un dispositivo de DRAM de un solo electrón, en el cual se han formado estructuras con bordes delimitados, según un método de la presente invención.
- La Figura 10 ilustra una vista en sección transversal del dispositivo de la Figura 9 en una fase de procesado subsiguiente a la mostrada en la Figura 9.
- 30 La Figura 11 ilustra una vista en sección transversal del dispositivo de la Figura 9 en una fase de procesado subsiguiente a la mostrada en la Figura 10.
- 35 La Figura 12 ilustra una vista en sección transversal del dispositivo de la Figura 9 en una fase de procesado subsiguiente a la mostrada en la Figura 11.
- La Figura 13 ilustra una vista en sección transversal del dispositivo de la Figura 9 en una fase de procesado subsiguiente a la mostrada en la Figura 12.
- 40 La Figura 14 ilustra una vista en sección transversal del dispositivo de la Figura 9 en una fase de procesado subsiguiente a la mostrada en la Figura 13.
- 45 La Figura 15 ilustra una vista superior del dispositivo de la Figura 14.
- La Figura 16 ilustra una vista superior del dispositivo de la Figura 15 en una fase de procesado subsiguiente a la mostrada en la Figura 15.
- 50 La Figura 17 ilustra una vista en sección transversal del dispositivo de la Figura 16, tomada según la línea 17-17'.
- La Figura 18 ilustra una vista en sección transversal del dispositivo de la Figura 9 en una fase de procesado subsiguiente a la mostrada en la Figura 17.
- 55 La Figura 19 ilustra una vista en sección transversal del dispositivo de la Figura 9 en una fase de procesado subsiguiente a la mostrada en la Figura 18.
- La Figura 20 ilustra una vista parcial en sección transversal del dispositivo de la Figura 19.
- 60 La Figura 21 ilustra una vista en sección transversal del dispositivo de la Figura 9 en una fase de procesado subsiguiente a la mostrada en la Figura 19.
- La Figura 22 ilustra una vista superior del dispositivo de la Figura 21.
- 65 La Figura 23 ilustra una vista superior a 90 grados del dispositivo de la Figura 22.

La Figura 24 ilustra una vista superior del dispositivo de la Figura 21 en una fase de procesado subsiguiente a la mostrada en la Figura 23.

5 La Figura 25 ilustra una vista superior del dispositivo de la Figura 21 en una fase de procesado subsiguiente a la mostrada en la Figura 24.

La Figura 26 ilustra una vista en sección transversal del dispositivo de la Figura 25, tomada según la línea 26-26'.

10 La Figura 27 una vista en sección transversal del dispositivo de la Figura 25 en una fase de procesado subsiguiente a la mostrada en la Figura 26.

La Figura 28 ilustra una vista en sección transversal del dispositivo de la Figura 25, tomada según la línea 28-28'.

15 La Figura 29 ilustra las variaciones de potencial en la superficie y la barrera de energía en la dirección del eje y para un electrón almacenado en un punto de potencial mínimo formado según un método de la presente invención.

La Figura 30 ilustra las variaciones de potencial en la superficie y la barrera de energía en la dirección del eje x para un electrón almacenado en un punto de potencial mínimo formado según un método de la presente invención.

20 La Figura 31 ilustra un modelo de dispositivo basado en elementos capacitivos para el canal de conducción y los puntos de potencial mínimo del dispositivo de DRAM de un solo electrón formado según un método de la presente invención.

25 La Figura 32 ilustra otro modelo de dispositivo basado en elementos capacitivos para el canal de conducción y los puntos de potencial mínimo del dispositivo de DRAM de un solo electrón formado según un método de la presente invención.

La Figura 33 ilustra una matriz de DRAM de un solo electrón que incluye transistores con canales de conducción y los puntos de potencial mínimo formado según un método de la presente invención.

30 La Figura 34 es una ilustración de un sistema de ordenador que tiene un dispositivo de memoria de un solo electrón que utiliza la presente invención.

35 Descripción detallada de la invención

En la siguiente descripción detallada, se hace referencia a varias formas de realización ejemplificativas específicas en las cuales se puede llevar a la práctica la invención. Estas formas de realización se describen con detalle suficiente para permitir que aquellos versados en la técnica lleven a la práctica la invención, y debe entenderse que se pueden utilizar otras formas de realización, y que se pueden realizar cambios estructurales, lógicos y eléctricos.

40 Los términos "oblea" o "sustrato" usados en la siguiente descripción pueden incluir cualquier estructura basada en semiconductores que tenga una superficie de semiconductor expuesta. Debe entenderse que oblea y estructura incluyen silicio-sobre-aislante (SOI), silicio-sobre-zafiro (SOS), semiconductores dopados y no dopados, capas epitaxiales de silicio sustentadas por unos cimientos de semiconductor de base, y otras estructuras de semiconductores. No es necesario que el semiconductor se base en silicio. El semiconductor podría ser silicio-germanio, germanio, o arseniuro de galio.

50 En referencia a continuación a los dibujos, en donde los elementos similares se designan mediante numerales de referencia semejantes, las Figuras 1 a 8 ilustran un método no reivindicado útil para entender la presente invención. El método comprende formar estructuras con bordes delimitados, con dimensiones sub-litográficas en tecnologías CMOS de 0,1 μ , que se pueden usar para formar adicionalmente estructuras de canales y/o almacenamiento en dispositivos de memoria. Las Figuras 9 a 27 ilustran una forma de realización ejemplificativa de una parte de un dispositivo de memoria de un solo electrón y de alta densidad para su uso en tecnologías de almacenamiento de carga, que utiliza las estructuras con bordes delimitados formadas de acuerdo con un método de la presente invención.

55 La Figura 1 representa una formación de una estructura con bordes delimitados, para un dispositivo de memoria en una fase intermedia de procesado y de acuerdo con un método descrito en la presente. La estructura de la Figura 1 incluye un sustrato 10 y una capa de óxido 12 formada sobre el sustrato 10 mediante técnicas convencionales de procesado de semiconductores. A continuación se dispone una capa fina de nitruro de silicio 14 (Figura 1) de aproximadamente 50 nm (500 Å) (1 Å=0,1 nm) a aproximadamente 100 nm (1.000 Å) sobre el sustrato 10 y la capa de óxido 12. La capa de nitruro de silicio 14 es una capa sacrificial que, tal como se explica de forma más detallada posteriormente, se eliminará más adelante.

65 Según un método ejemplificativo, la capa de nitruro de silicio 14 (Figura 1) se forma utilizando un proceso de deposición de baja temperatura. Por ejemplo, se han depositado nitruros de silicio a baja temperatura mediante

deposición química de vapor mejorada con plasma de resonancia ciclotrónica de electrones (ECR PE CVD) para aplicaciones en micromecanización, según describen Panepucci, R. R. *et al.* en *Silicon Nitride Deposited by Electron Cyclotron Resonance Plasma Enhanced Chemical Vapor Deposition for Micromachining Applications*, Proc. of SPIE, vol. 3512, págs. 146-51 (1998), que, durante el proceso de deposición, usaron como reactivo para ataque químico una solución mixta de KOH:isopropilo:H₂.

La capa de nitruro de silicio 14 (Figura 1) también se puede depositar a una baja temperatura y una baja potencia de microondas usando silano puro como gas precursor en un plasma de nitrógeno. Lapeyrade, M. *et al.* en *Silicon Nitride Films Deposited by Electron Cyclotron Resonance Plasma-Enhanced Chemical Vapor Deposition*, Journal of Vacuum Science and Technology A, vol. 17, n.º 2, págs. 433-44 (1999), exponen detalles de este proceso de deposición a baja temperatura. De esta manera, se pueden obtener películas de nitruro de silicio con una alta resistividad (aproximadamente 10¹⁵ ohmios/cm y superiores) y con un campo de ruptura de aproximadamente 3 MV/cm, a una temperatura del sustrato de aproximadamente 300°C.

Seguidamente, tal como se ilustra en la Figura 2, a la capa de nitruro de silicio 14 se le dota de un diseño usando una capa fotorresistente 15 formada sobre la capa de nitruro de silicio 14 hasta un grosor de aproximadamente 5.000 Å a aproximadamente 10.000 Å. A continuación, a la capa fotorresistente 15 se le dota de un diseño con una máscara (no mostrada) usada como máscara de ataque químico durante una etapa de ataque químico con el fin de obtener una estructura de nitruro de silicio 20, tal como se muestra en la Figura 3. Para dimensiones mínimas, la estructura de nitruro de silicio 20 puede tener la topografía de un islote cuadrado, por ejemplo de aproximadamente 1.000 Å x 1.000 Å. Aunque la Figura 3 ilustra solamente una estructura de nitruro de silicio 20, debe entenderse, sin embargo, que, sobre la capa de óxido 12, se puede formar una pluralidad de dichas estructuras o islotes de nitruro de silicio. En la Figura 4 se ilustra, en una vista tridimensional, dicha pluralidad de estructuras de nitruro de silicio 20.

El ataque químico de la capa fotorresistente 15 (Figura 2) para obtener la estructura de nitruro de silicio 20 (Figura 3) se puede lograr usando una técnica de ataque químico de alta resolución, tal como la descrita por Mescher, M.J. *et al.* en *AS dry etch fabrication process for microelectromechanical devices using silicon nitride sacrificial layers*, Proc. of InterPACK 97, vol. 1, págs. 435-38 (1997), donde revelaron una velocidad de ataque químico con nitruro de aproximadamente 3 µm/min, en comparación con los 20 nm/min para óxido, usando un sistema comercial denominado Poly-Etch.

El ataque químico de la capa fotorresistente 15 (Figura 2) para obtener la estructura de nitruro de silicio 20 (Figura 3) se puede lograr además mediante un proceso altamente uniforme y selectivo de ataque químico para separadores de nitruro en tecnología avanzada sub-0,35 µm. Dicho proceso es descrito detalladamente por Regis, J.M. *et al.* en *Reactive ion etch of silicon nitride spacer with high selectivity to oxide*, Proceeding of 1997 IEEE/SEMI Advanced Semiconductor Manufacturing Conference and Workshop, págs. 252-56 (1997), de acuerdo con el cual los autores usaron un sistema comercial denominado *electric Etch M*P+MERIE chamber*. Un proceso de ataque químico principal basado en CF₃/Ar proporcionaba una velocidad controlable de ataque químico de nitruro de entre 80 y 170 nm/min con una buena uniformidad, al mismo tiempo que proporcionando un perfil apropiado y manteniendo la anchura del separador.

Alternativamente, el ataque químico de la capa fotorresistente 15 (Figura 2) para obtener la estructura de nitruro de silicio 20 (Figura 3) también se puede lograr usando un sistema de plasma de acoplamiento inductivo (ICP). Recientemente, en *High selectivity silicon nitride etch process*, Semiconductor Int., vol. 21, n.º 8, págs 235-40 (1998), Wang, Y. *et al.* han expuesto un proceso de ataque químico de nitruro de alta selectividad usando un plasma de acoplamiento inductivo, donde se logró una relación de selectividad del ataque químico de nitruro por LPCVD con respecto a óxido térmico mayor que 40:1, a una velocidad de ataque químico de nitruro de 50 nm/min.

Después de la formación de las estructuras de silicio 20, se forma una capa de polisilicio 22 (Figura 5) sobre la estructura de nitruro de silicio 20 y la capa de óxido 12, tal como se representa en la Figura 5. Para simplificar, la Figura 5 ilustra una vista en sección transversal de la estructura de la Figura 4 y representa solamente una estructura de nitruro de silicio 20. No obstante, debe entenderse que la capa de polisilicio 22 se forma sobre la pluralidad de estructuras de nitruro de silicio 20 de la Figura 4.

En un método ejemplificativo, la capa de polisilicio 22 (Figura 5) se deposita mediante deposición química de vapor (CVD) usando precursor de silano hasta un grosor de entre aproximadamente 1.500 Å y aproximadamente 1.800 Å. Un ejemplo de dicho proceso de deposición viene dado por Boswell, E. C. *et al.* en *Polysilicon field emitters*, Journal of Vacuum Science and Tech. B, vol. 14, n.º 3, págs. 1910-13 (1996), de acuerdo con el cual se depositaron películas de polisilicio a 645°C sobre sustratos grandes mediante CVD, seguida por un ataque químico en húmedo usando un ataque químico de HF:HNO₃ ácido acético para formar las estructuras deseadas. La oxidación de las estructuras se llevó a cabo en un horno de oxígeno húmedo a 950°C durante aproximadamente 90 minutos. Subsiguientemente, a este óxido se le aplicó un ataque químico en HF tamponado. Esta combinación de procesos de deposición, ataque químico y oxidación produjo estructuras de polisilicio más definidas para obtener una emisión de campo eficiente.

Posteriormente a la formación de la capa de polisilicio 22 (Figura 5), se forman estructuras de polisilicio con bordes delimitados 24 (Figura 6) mediante ataque químico direccional de la capa de polisilicio 22 por RIE, tal como se muestra en la Figura 6. Las dimensiones de las estructuras de polisilicio con bordes delimitados 24 son aproximadamente 100 Å de anchura y aproximadamente 1.000 Å de longitud. El ataque químico direccional de la capa de polisilicio 22 se puede lograr mediante una variedad de métodos, tales como el descrito por Horioka, K. *et al.* en *Highly selective and directional etching of phosphorus doped polycrystalline silicon with tri-level resist mask employing magnetron plasma*, 1998 Symposium on VLSI Technology, Digest of Technical Papers, págs. 81-82 (1998). Horioka, K. *et al.* dieron a conocer un ataque químico tanto altamente selectivo como direccional de polisilicio n+ mediante el uso de un plasma magnetrónico de Cl₂SiCl₄ utilizando una máscara protectora de tres niveles a una temperatura del sustrato por debajo de 0°C.

Alternativamente, la formación de las estructuras de polisilicio con bordes delimitados 24 (Figura 6) se puede lograr usando un aparato de ataque químico con plasma por resonancia ciclotrónica de electrones (ECR) ultra-limpio, tal como el descrito por Matsuura *et al.* en *Directional etching of Si with perfect selectivity to SiO₂ using an ultraclean electron cyclotron resonance plasma*, Appl. Phys. Letters, vol. 56, n.º 14, págs. 1.339-41 (1990). Se usaron un plasma de cloro a una presión de entre 0,6 y 4,0 Torr con una potencia de microondas de entre 300 y 700 vatios para atacar químicamente de manera selectiva películas de silicio. Bajo las condiciones altamente selectivas, se obtuvieron diseños submicrónicos inferiores anisótropos de polisilicio con un rebaje en exceso mínimo.

Todavía adicionalmente, las estructuras de polisilicio con bordes delimitados 24 (Figura 6) también se pueden obtener mediante ataque químico profundo direccional de la capa de polisilicio 22 realizando un ataque químico criogénico por iones reactivos con el uso de gas de SF₆ de acuerdo con un método expuesto por Esashi, M. *et al.* en *High-rate directional deep dry etching for bulk silicon micromachining*, Journal of Micromechanics and Microengineering, vol. 5, n.º 1, págs. 5 a 10 (1995). El sistema desarrollado por Esashi, M. *et al.* se podría usar para un ataque químico a través de una oblea de silicio de un grosor de 200 µm a una velocidad típica de ataque químico de 0,8 µm/min con paredes verticales tan finas como 20 µm.

En cualquier caso, el polisilicio de la capa de polisilicio 22 (Figura 5) se elimina de la parte superior de la estructura de nitruro de silicio 20 y en las áreas del óxido de campo, para obtener las estructuras de polisilicio con bordes delimitados 24 (Figura 6) a lo largo de las paredes laterales de la estructura de nitruro de silicio 20. Puesto que cada una de las estructuras de nitruro de silicio 20 (Figura 4) tiene cuatro paredes laterales, cada estructura de nitruro de silicio 20 tendrá cuatro estructuras de polisilicio con bordes delimitados 24 respectivas, formada cada una de ellas en una pared lateral respectiva. Típicamente, las dimensiones de las estructuras de polisilicio con bordes delimitados 24 son aproximadamente una décima parte del tamaño característico mínimo, o aproximadamente 100 Å de anchura y aproximadamente 1.000 Å de longitud, y las mismas se puede hacer variar cambiando los grosores relativos de la estructura de nitruro de silicio 20 y los correspondientes de la capa de polisilicio 22.

Una vez que se ha completado el ataque químico direccional de la capa de polisilicio 22, la estructura de nitruro de silicio 20 se elimina mediante un ataque químico en húmedo, por ejemplo, para obtener la estructura de la Figura 7 conservando las cuatro estructuras de polisilicio con bordes delimitados 24. Un ejemplo de ataque químico en húmedo de nitruro de silicio es descrito por Alkaisi, M. M. *et al.* en *Nanolithography using wet etched nitride phase mask*, Journal of Vacuum Science and Tech., B, vol. 16, n.º 6, págs. 3.929-33 (1998), donde se aplica un ataque químico a nitruro de silicio usando HF o H₃PO₄ caliente.

En caso de que sea necesaria una estructura de polisilicio con bordes delimitados 24 (como en el ejemplo que se describe posteriormente), se utiliza una etapa adicional de aplicación de máscaras para eliminar las otras tres estructuras de polisilicio con bordes delimitados 24 y obtener la estructura de la Figura 8. La estructura de polisilicio con bordes delimitados 24 de la Figura 8 tiene un tamaño característico de un valor tan pequeño como 100 Å, o según se ha explicado anteriormente, aproximadamente una décima parte del tamaño característico mínimo, es decir el grosor de la estructura de nitruro de silicio 20.

La estructura de polisilicio con bordes delimitados 24 de la Figura 8 se puede diseñar de manera que presente varias geometrías, por ejemplo tiras y/o puntos, que se pueden usar adicionalmente para una máscara para una implantación de voltaje de umbral que ajuste el voltaje de umbral de un dispositivo de memoria (por ejemplo, un dispositivo NMOS) en un proceso CMOS convencional. La expresión "punto de polisilicio" usada en esta solicitud se refiere a cualquier estructura de polisilicio que tenga una estructura geométrica definida, incluyendo, aunque sin carácter limitativo, estructuras circulares o esféricas, estructuras semiesféricas, o estructuras rectangulares, entre otras.

En un método ejemplificativo de formación de estructuras de polisilicio con bordes delimitados, tales como la estructura de polisilicio con bordes delimitados 24 de la Figura 8, se utiliza para formar tiras de polisilicio y puntos de polisilicio adyacentes en el área de la puerta de óxido fino de un dispositivo CMOS normal de canal n. Tal como se explicará de forma detallada posteriormente, la tira de polisilicio se usará para formar un canal de conducción con un bajo voltaje de umbral entre la región de fuente y de drenaje y los puntos de polisilicio adyacentes se usarán para formar regiones de potencial mínimo con el fin de almacenar electrones. La presencia o ausencia de electrones en estas regiones de potencial mínimo se utiliza como una función de memoria en una DRAM de un solo electrón de

muy alta densidad. A continuación se describe, en referencia a las Figuras 9 a 32, la formación de un dispositivo CMOS de canal n para DRAMs de un solo electrón y de alta densidad con tiras y puntos de polisilicio como regiones de canal y almacenamiento formadas de acuerdo con un método de la presente invención.

5 La Figura 9 ilustra una vista en sección transversal del área de un dispositivo CMOS de canal n en la cual se forman regiones de óxido de campo 53 sobre el sustrato 50 mediante técnicas convencionales de procesado de semiconductores. A efectos de la presente invención, se supone implícitamente que las regiones de fuente/drenador (no mostradas) de un transistor convencional ya se han formado y que también ya se ha formado el apilamiento de puerta para dopar las regiones de fuente y drenador y que se ha eliminado. Las regiones de óxido de campo 53 rodean y aíslan completamente un área de dispositivo de óxido de puerta fino 51, en cuyo centro se formarán una tira de polisilicio fina 65 (Figura 13) y dos puntos de polisilicio adyacentes 85 (Figura 21), tal como se ha explicará de forma más detallada posteriormente.

15 Seguidamente, mediante los métodos de deposición a baja temperatura antes descritos en referencia a la formación de la capa de nitruro de silicio 14 (Figura 2), se deposita una primera capa de nitruro de silicio 54 (Figura 9). A la primera capa de nitruro de silicio 54 se le aplica un diseño y un ataque químico mediante litografía óptica para obtener un primer islote de nitruro de silicio 60 que tiene el extremo proximal en el centro del área de dispositivo de óxido de puerta fino 51, tal como se muestra en la Figura 10. Seguidamente, sobre el primer islote de nitruro de silicio 60 y el área de dispositivo de óxido de puerta fino 51, se forma una primera capa de polisilicio 62 (Figura 11) mediante cualquiera de los procesos de deposición expuestos anteriormente con respecto a la formación de la capa de polisilicio 22 (Figura 5). Subsiguientemente, a la primera capa de polisilicio 62 se le aplica un ataque químico direccional mediante RIE para formar cuatro tiras de polisilicio con bordes delimitados 63 (Figura 12) de una manera similar a la formación de las estructuras de polisilicio con bordes delimitados 24 antes explicadas en referencia a la Figura 6. Aunque la Figura 12 ilustra una vista en sección transversal de solamente dos tiras de polisilicio con bordes delimitados 63, debe entenderse que, de hecho, se forman cuatro de estas tiras de polisilicio con bordes delimitados 63, cada una de ellas en cada pared lateral del primer islote de nitruro de silicio 60. Cada una de las cuatro tiras de polisilicio con bordes delimitados 63 tiene una anchura de aproximadamente 100 Å y una longitud de aproximadamente 1.000 Å.

30 Tras el ataque químico direccional de la primera capa de polisilicio 62, el primer islote de nitruro de silicio 60 (Figura 12) se elimina mediante un ataque químico en húmedo usando, por ejemplo, H_3PO_4 o HF caliente. Puesto que solamente son necesarias las tiras de polisilicio con bordes delimitados 63 en el centro del área de óxido de puerta fino 51, las otras tres tiras de polisilicio con bordes delimitados 63 también se eliminan para obtener una tira de polisilicio 65 por el centro del área de óxido de puerta fino 51, tal como se ilustra en la Figura 13. Tal como se explicará de forma detallada posteriormente, la tira de polisilicio 65 formará una región de canal de conducción sublitográfica 87 (Figuras 24 a 27) entre la fuente y el drenador del dispositivo CMOS de canal n.

35 Posteriormente a la eliminación del primer islote de nitruro de silicio 60 y las tres tiras de polisilicio con bordes delimitados 63, la tira de polisilicio 65 se puede oxidar y cubrir con una capa de óxido 66 con un grosor de aproximadamente 100 Å, tal como se muestra en la Figura 14. Para obtener una mejor comprensión, la Figura 15 ilustra una vista superior de las estructuras de la Figura 14.

45 La técnica de formación de la tira de polisilicio 65 se aplica nuevamente para la formación de puntos de polisilicio adyacentes 85 (Figura 21) en el área de óxido de puerta fino 51 del dispositivo CMOS. Los puntos de polisilicio 85 se usarán además para formar áreas de potencial mínimo con el fin de almacenar electrones adyacentes al canal de conducción 87 (Figura 24) formado por la tira de polisilicio 65, y estos electrones almacenados reducirán la conductividad o corriente de drenaje en el canal de conducción 87. Como tal, se realiza una deposición, un diseño y un ataque químico de una segunda capa de nitruro de silicio (no mostrada) para obtener un segundo islote de nitruro de silicio 72, mostrado en las vistas superior y en sección transversal de las Figuras 16-17. Tal como se ilustra en las Figuras 16-17, al segundo islote de nitruro de silicio 72 se le dota de un diseño tal que una de sus paredes laterales, por ejemplo, su pared lateral proximal 73 (Figura 16), se sitúe en intersección perpendicularmente con la tira de polisilicio 65 aproximadamente por el centro O de la tira de polisilicio 65, extendiéndose durante aproximadamente la mitad del área de óxido de puerta fino 51.

55 Seguidamente se forma una segunda capa de polisilicio 74 (Figura 18) sobre el segundo islote de nitruro de silicio 72 mediante cualquiera de los métodos de deposición expuestos anteriormente con respecto a la formación de la capa de polisilicio 22 (Figura 5). A continuación, a la segunda capa de polisilicio 74 se le aplica un ataque químico direccional mediante RIE para formar las tiras de polisilicio con bordes delimitados 75 (Figura 19) de una manera similar a la formación de las estructuras de polisilicio con bordes delimitados 24 (Figura 6). No obstante, en este caso, se forma una estructura tri-dimensional compleja en la que la pared lateral proximal 73 de la segunda capa de polisilicio 74 se cruza con la tira de polisilicio 65, dando como resultado un grosor adicional de polisilicio al que se aplicará posteriormente un ataque químico. Esto se ilustra mejor en la Figura 20, que, por motivos de simplicidad, representa únicamente el lado derecho de la estructura de la Figura 19, y que representa cómo el ataque químico direccional por RIE tiene una distancia grande "h" en la que aplicar una tague químico a través de la tira de polisilicio 65, mucho más grande que el grosor "d" de la tira de polisilicio 75. Por consiguiente, se puede diseñar y aplicar un ataque químico direccional adicional de manera que, después de la eliminación del segundo islote de nitruro de

silicio 72, se forman únicamente dos puntos cuadrados de polisilicio 85 (Figura 21) en cada lado de la tira de polisilicio 65. Para entender mejor la invención, la Figura 22 ilustra una vista superior de la estructura de la Figura 21. Cada uno de los puntos de polisilicio 85 tiene una longitud de aproximadamente 200 Å y una anchura de aproximadamente 200 Å. Cada uno de los puntos de polisilicio 85 está también separado con respecto a la tira de polisilicio 65 por una distancia D (Figura 22) de aproximadamente 100 Å.

Las Figuras 22-23 ilustran etapas de procesado restantes para el procesado CMOS, donde la Figura 23 tiene una orientación de 90 grados con respecto a la Figura 22. El área de óxido de puerta fino 51 experimenta una implantación de boro para el ajuste de voltaje de umbral VT, exceptuando que la tira de polisilicio 65 y los dos puntos de polisilicio adyacentes 85 se usan para la máscara de la implantación de boro. De esta manera, después de la eliminación de la tira de polisilicio 65 (Figura 23), se forma un canal de conducción 87 por debajo de la tira de polisilicio 65, tal como se muestra en la Figura 24. El canal de conducción 87 es un área de puerta de óxido fino con una anchura de aproximadamente 100 Å y una longitud de aproximadamente 1.000 Å y con un voltaje de umbral bajo de modo de empobrecimiento. De manera similar, después de la eliminación de los puntos de silicio 85, se forman dos puntos de potencial mínimo 89, de aproximadamente la mitad del área del canal de conducción 87, o aproximadamente 200 Å x 200 Å, por debajo de los dos puntos de polisilicio 85, que tienen también un voltaje de umbral del modo de empobrecimiento inferior a las otras áreas de óxido de puerta fino sin máscara.

Una vez que se han eliminado la tira de polisilicio 65 y los dos puntos de polisilicio 85, se deposita un óxido de puerta convencional 91 con un grosor de aproximadamente 100 Å sobre el área de puerta de óxido fino 51 que incluye el canal de conducción 87, los dos puntos de potencial mínimo 89, y las regiones de fuente y drenador 93, 95 formadas previamente de acuerdo con técnicas convencionales, según se ilustra en las Figuras 25, 26. La Figura 27 ilustra un apilamiento de puerta 90 que incluye óxido de puerta 91, una capa conductora 92, formada con polisilicio, por ejemplo, separadores de nitruro 94 y un casquete de nitruro 98.

A continuación se hace referencia a las Figuras 28 a 32 para explicar las características eléctricas del dispositivo CMOS de canal n que tiene el canal de conducción 87 y los puntos de potencial mínimo 89 formados según se han descrito anteriormente en referencia a las Figuras 9 a 27. La Figura 28 es una vista en sección transversal según la línea 28-28' de la estructura de la Figura 25, que representa el canal de conducción 87 separado de los dos puntos de potencial mínimo 89 por dos áreas de barrera A, B, a la distancia D de aproximadamente 100 Å. Tal como se ha explicado anteriormente, en las regiones fuera del canal de conducción 87 y los puntos de potencial mínimo 89 se ha implantado boro para ajustar el voltaje de umbral VT con el fin de hacerlo más positivo, y por lo tanto estas regiones de implantación son regiones de modo de enriquecimiento del dispositivo. Por contraposición, en el canal de conducción 87 y los puntos de potencial mínimo 89 no se implanta boro, los mismos tienen un voltaje de umbral más negativo y, subsiguientemente, son regiones de modo de empobrecimiento del dispositivo.

Los electrones se pueden almacenar en los puntos de potencial mínimo 89 así como en el canal de conducción 87 siempre que el voltaje de puerta VG se ajusta apropiadamente y no sea demasiado grande. La Figura 29 ilustra las variaciones de potencial ϕ (voltios) en la superficie y la barrera de energía E (eV) en la dirección del eje y para un electrón almacenado en los puntos de potencial mínimo 89. La región de superficie de modo de empobrecimiento 96 se corresponde con un umbral de voltaje bajo, es decir el voltaje de umbral de modo de empobrecimiento VTD, donde los electrones pueden quedar atrapados fácilmente porque las bandas se doblan de manera fácil. La región de superficie de modo de enriquecimiento 97 se corresponde con un umbral de voltaje alto, es decir, el voltaje de umbral de modo de enriquecimiento VTE, dos los electrones no quedan atrapados ya que las bandas no se doblan fácilmente. De manera similar, la Figura 29 ilustra las variaciones de potencial ϕ en la superficie y la barrera de energía en la dirección del eje x para un electrón almacenado en los puntos de potencial mínimo 89.

Si la puerta de voltaje VG está por encima del voltaje de umbral de modo de enriquecimiento VTE, y bastante por encima del voltaje de umbral de modo de empobrecimiento VTD, entonces la superficie se invertirá y los electrones estarán presentes sobre el área de superficie completa. Así es cómo los puntos de potencial mínimo 89 se llenan con electrones, y cuando se aplica un voltaje de puerta VG grande y a continuación el mismo se reduce gradualmente, los electrones quedarán atrapados en los puntos de potencial mínimo 89. El borrado se puede lograr aplicando voltaje negativo y acumulando la carga en la superficie. La presencia de electrones con carga negativa en los puntos de potencial mínimo 89 adyacentes al canal de conducción 87 modulará el número medio de electrones o cargas negativas en el canal de conducción, puesto que las cargas negativas se repelen entre sí. Una barrera razonable para electrones almacenados en los puntos de potencial mínimo 89 puede ser de hasta 0,5 eV.

A continuación se hace referencia a las Figuras 31-32, que ilustran un modelo de dispositivo de almacenamiento basado en elementos capacitivos. Los condensadores C1 y C2 representan las capacidades de óxido de puerta sobre un punto de potencial mínimo 89 y el canal de conducción 87. Los condensadores C4 y C5 representan las capacidades de semiconductor de las regiones de empobrecimiento por detrás del punto de potencial mínimo 89 y el canal de conducción 87. El condensador C3 representa la capacidad de semiconductor de la región de barrera, por ejemplo la región de barrera A de la Figura 28, entre el punto de potencial mínimo 89 y el canal de conducción 87. El número de electrones almacenados en el punto de potencial mínimo 89 viene representado por la carga negativa neta en la superficie, ns (Figura 32), y el número de electrones almacenados en el canal de conducción 87 viene representado por la carga negativa neta en la superficie, nch (Figura 32). La estructura completa, circundada por la

línea exterior L (Figura 32), debe tener una carga neutra, se debe aplicar la conservación de carga, y se deben tener en cuenta todas las cargas en este modelo de capacidad. Debido al acoplamiento entre el número de electrones en el canal de conducción 87, nch, y el número de electrones en el punto de potencial mínimo 89, ns, a través del condensador C3, el número de electrones en el canal de conducción 87 viene modulado por el número de electrones en el punto de potencial mínimo 89. Una mayor carga negativa en el punto de potencial mínimo 89 reducirá el número de electrones en el canal de conducción 87, modulando así la conductividad del canal de conducción 87.

A efectos ilustrativos, considérese que el canal de conducción 87 tiene una anchura W (Figura 24) de aproximadamente 100 Å y una longitud L (Figura 24) de aproximadamente 1.000 Å, y que los puntos de potencial mínimo 89 tienen aproximadamente la mitad del área del canal de conducción 87, es decir aproximadamente 200 Å por 200 Å, y están separados con respecto al canal de conducción 87 por una barrera de potencial que tiene una anchura W₂ (Figura 24) de aproximadamente 100 Å. La capacidad de óxido de puerta es aproximadamente 3,2x10⁻⁷ F/cm² y con el área del canal de conducción de 10⁻¹¹ cm², esto proporciona una capacidad de puerta sobre el canal de conducción de aproximadamente 3,2 aF. La capacidad de óxido de puerta sobre el punto de potencial mínimo 89 es aproximadamente la mitad del valor de la capacidad de puerta sobre el canal de conducción, o aproximadamente 1,6 aF. Si se coloca una puerta sobre estas regiones, el voltaje de umbral en estas regiones es VT y el exceso del voltaje de puerta con respecto al voltaje de umbral es VGS – VTD = 0,1 V, entonces el canal de conducción tendrá una carga de aproximadamente 3,2x10⁻¹⁹ C, o, por término medio, almacenará 2 electrones. Los puntos de potencial mínimo tienen aproximadamente la mitad de la capacidad, de manera que con un voltaje de puerta de 0,1 V por encima del voltaje de umbral, tendrán una carga de aproximadamente 1,6x10⁻¹⁹ C, o, por término medio, cada uno de ellos almacenará 1 electrón.

Considerando que el número mínimo medio de electrones en el canal de conducción 87 es dos, y que la relación del canal de conducción es W/L = 1/10, entonces con un exceso del voltaje de puerta por encima del voltaje umbral de 0,1 V, la conductividad del canal de conducción 87 vendrá dada por la siguiente fórmula:

$$IDS/VDS = (\mu Co) (W/L) (VGS - VTD) = (100 \mu A/V^2) (1/10)$$

(0,1) = 1 μS, donde

IDS = corriente de drenaje en el canal de conducción;
 VDS = voltaje;
 W = anchura del canal de conducción;
 L = longitud del canal de conducción;
 VGS = voltaje de puerta; y
 VTD = voltaje de umbral del modo de empobrecimiento.

Cuando los dispositivos de DRAM de un solo electrón están dispuestos en una matriz, por ejemplo como dispositivos de memoria flash, entonces se lee la conductividad del canal de conducción 87. El resultado demuestra que cambios significativos de la conductividad, del orden de fracciones de micro siemens (μS), se verán afectados por la ausencia o presencia de electrones en los puntos de potencial mínimo 89.

Adicionalmente, se pueden llevar a cabo otras etapas para crear una celda de memoria funcional en el sustrato 50. De este modo, se podrían formar capas de interconexión multinivel adicionales y capas dieléctricas asociadas para crear trayectos eléctricos operativos desde la estructura de puerta de transistor 90 (Figura 27) en el sustrato 50, adyacente a las regiones de fuente/drenador 93, 95 y el canal de conducción 87 y los puntos de potencial mínimo 89. El sustrato que contiene el canal de conducción 87 y los dos puntos de potencial mínimo 89 se puede usar en la formación de muchos tipos de memorias de un solo electrón, por ejemplo, DRAMs, procesadores, etcétera.

En la Figura 33 se ilustra esquemáticamente una matriz de memoria de DRAM que comprende transistores 99 que incluyen canales de conducción y regiones de potencial mínimo, tales como el canal de conducción 87 y los puntos de potencial mínimo 89 formados mediante el método de la presente invención. Cada transistor 99 de la matriz se ilustra de manera que incluye dos puntos, para los dos puntos de potencial mínimo 89.

En la Figura 34 se ilustra un sistema basado en un procesador 400 típico, que incluye un circuito de memoria 448, por ejemplo una DRAM. Un sistema de procesador, tal como un sistema de ordenador, comprende en general una unidad de procesado central (CPU) 444, tal como un microprocesador, un procesador de señal digital, u otros dispositivos lógicos digitales programables, que se comunican con un dispositivo de entrada/salida (I/O) 446 a través de un bus 452. La memoria 448 se comunica con el sistema a través del bus 452.

En el caso de un sistema de ordenador, el sistema de procesador puede incluir dispositivos periféricos tales como una unidad de disco flexible 454 y una unidad de disco compacto (CD) ROM 456 que se comunican también con la CPU 444 a través del bus 452. La memoria 448, la CPU 444 u otras de las estructuras eléctricas ilustradas se pueden considerar como un circuito integrado, el cual incluye uno o más canales de conducción y puntos de potencial mínimo adyacentes de acuerdo con la invención. Si se desea, la memoria 448 se puede combinar con el procesador, por ejemplo la CPU 444, en un único circuito integrado.

5 La descripción y dibujos anteriores deben considerarse únicamente como ilustrativos de formas de realización ejemplificativas que materializan las características y ventajas de la presente invención. Se pueden realizar modificaciones y sustituciones en las estructuras y condiciones del proceso específicas. Por consiguiente, la invención no debe considerarse como limitada por la descripción y dibujos anteriores, sino que está limitada únicamente por el alcance de las reivindicaciones adjuntas.

REIVINDICACIONES

1. Celda de memoria, que comprende:
 - 5 una región de canal (87) situada entre una región de fuente (93) y una región de drenaje (95), estando formadas dicha región de fuente (93) y dicha región de drenaje (95) dentro de un sustrato de semiconductor dopado (50), y caracterizada por que comprende:
 - 10 dos regiones de potencial mínimo (89) en el sustrato de semiconductor (50),
 - 15 siendo cada una de dichas regiones de potencial mínimo (89) una región del sustrato de semiconductor, en la cual el dopante está ausente, siendo cada una de las regiones de potencial mínimo capaz de almacenar por lo menos un portador de carga;
 - 20 estando cada una de dichas regiones de potencial mínimo (89) lateralmente dispuesta con respecto a los lados opuestos de dicha región de canal (87) y sobre los mismos, y entre dicha región de fuente (93) y dicha región de drenaje (95);
 - comprendiendo la celda además una estructura de puerta (90) formada sobre dicha región de canal (87) y dichas regiones de potencial mínimo (89).
 2. Celda de memoria según la reivindicación 1, en la que dicha región de canal (87) es una región de canal de conducción para almacenar por lo menos un portador de carga.
 - 25 3. Celda de memoria según la reivindicación 1, en la que dicha región de canal (87) tiene una anchura de 10 nanómetros y una longitud de 100 nanómetros.
 4. Celda de memoria según la reivindicación 1, en la que cada una de dichas regiones de potencial mínimo (87) tiene una anchura de 20 nanómetros y una longitud de 20 nanómetros.
 - 30 5. Celda de memoria según la reivindicación 1, en la que cada una de dichas regiones de potencial mínimo (87) está separada con respecto a dicha región de canal por 10 nanómetros.
 6. Celda de memoria según la reivindicación 1, en la que dicho sustrato de semiconductor (50) es un sustrato de silicio.
 - 35 7. Estructura de transistor de circuito integrado (99), que comprende la celda de memoria según cualquiera de las reivindicaciones 1 a 6.
 - 40 8. Sistema (400) basado en un procesador, que comprende un procesador (444), un circuito (448) que comprende cualquiera de las celdas de memoria de las reivindicaciones 1 a 6, estando dicho circuito (448) acoplado a dicho procesador (444).
 9. Método de formación de un dispositivo de semiconductor, que comprende:
 - 45 formar por lo menos una región de canal (87) entre una región de fuente (93) y una región de drenaje (95) de un sustrato de semiconductor (50), y caracterizado por que comprende:
 - 50 formar por lo menos dos regiones de potencial mínimo (89) en el sustrato de semiconductor (50), estando cada una de dichas regiones de potencial mínimo (89) lateralmente dispuesta con respecto a los lados opuestos de dicha región de canal (87) y sobre los mismos, y entre dicha región de fuente (93) y dicha región de drenaje (95), siendo cada una de dichas regiones de potencial mínimo (89) capaces de almacenar por lo menos un portador de carga,
 - 55 comprendiendo la formación de dichas regiones de potencial mínimo (89) asimismo formar por lo menos dos estructuras de polisilicio (85) entre dicha región de fuente (93) y dicha región de drenaje (95) y posteriormente, dopar dicho sustrato de semiconductor (50) usando dichas por lo menos dos estructuras de polisilicio (85) a modo de máscara.
 - 60 10. Método según la reivindicación 9, en el que la formación de dicha región de canal (87) comprende además la acción de formar una tercera estructura de polisilicio (65) entre dicha región de fuente (93) y dicha región de drenaje (95) antes de dopar el sustrato de semiconductor (50); actuando la tercera estructura de polisilicio (65) a modo de máscara durante el dopaje del sustrato de semiconductor.

11. Método según la reivindicación 10, en el que la formación de la tercera estructura de polisilicio (65) comprende asimismo formar una primera capa de polisilicio (62) sobre un primer islote de nitruro de silicio (60) formado sobre dicho sustrato de semiconductor (50).
- 5 12. Método según la reivindicación 11, en el que la formación de la tercera estructura de polisilicio (65) comprende además atacar químicamente de manera direccional material de polisilicio de dicha primera capa de polisilicio (62).
13. Método según la reivindicación 12, en el que la formación de la tercera estructura de polisilicio (65) comprende además eliminar dicho primer islote de nitruro de silicio (60).
- 10 14. Método según la reivindicación 10, en el que la tercera estructura de polisilicio (65) tiene una anchura de 10 nanómetros y una longitud de 100 nanómetros.
- 15 15. Método según la reivindicación 10, en el que el dopaje de dicho sustrato de semiconductor (50) incluye implantación de iones.
16. Método según la reivindicación 15, en el que dicha implantación de iones es una implantación de boro.
17. Método según la reivindicación 15, en el que la formación de dicha por lo menos una región de canal (87) comprende además eliminar la tercera estructura de polisilicio (65) después de dicha implantación de iones.
- 20 18. Método según la reivindicación 9, en el que la formación de dichas por lo menos dos estructuras de polisilicio (85) comprende además formar una segunda capa de polisilicio (74) sobre un segundo islote de nitruro de silicio (72) formado sobre dicho sustrato de semiconductor (50).
- 25 19. Método según la reivindicación 18, en el que la formación de dichas por lo menos dos estructuras de polisilicio (85) comprende además atacar químicamente de manera direccional material de polisilicio de dicha segunda capa de polisilicio (74).
- 30 20. Método según la reivindicación 19, en el que la formación de dichas por lo menos dos estructuras de polisilicio (85) comprende además eliminar dicho segundo islote de nitruro de silicio (72).
21. Método según la reivindicación 9, en el que cada una de dichas estructuras de polisilicio (85) tiene una anchura de 20 nanómetros y una longitud de 20 nanómetros.
- 35 22. Método según la reivindicación 9, en el que el dopaje de dicho sustrato de semiconductor (50) incluye implantación de iones.
23. Método según la reivindicación 22, en el que dicha implantación de iones es una implantación de boro.
- 40 24. Método según la reivindicación 22, en el que la formación de dichas regiones de potencial mínimo (89) comprende además eliminar dichas por lo menos dos estructuras de polisilicio (85) después de dicha implantación de iones.
- 45 25. Método según la reivindicación 9, en el que cada una de dichas regiones de potencial mínimo (89) está desplazada con respecto a dicha región de canal (87) por una distancia de 10 nanómetros.
26. Método según la reivindicación 9, que comprende además formar una capa de óxido (91) sobre dicha región de canal (87) y dichas regiones de potencial mínimo (89).
- 50 27. Método según la reivindicación 9, que comprende además formar una estructura de puerta (90) sobre dicha región de canal (87) y dichas regiones de potencial mínimo (89).
28. Método según la reivindicación 9, que comprende además formar un dispositivo de memoria de un solo electrón que incluye dicha región de canal (87) y dichas regiones de potencial mínimo (89).
- 55

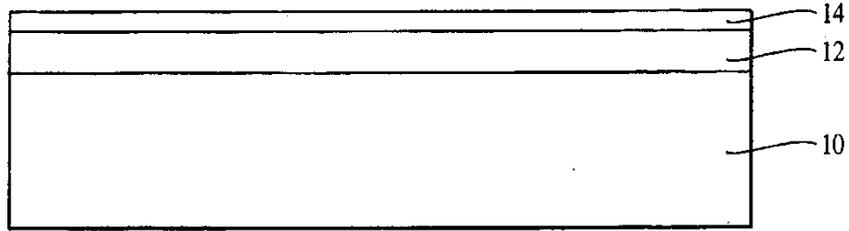


FIG. 1

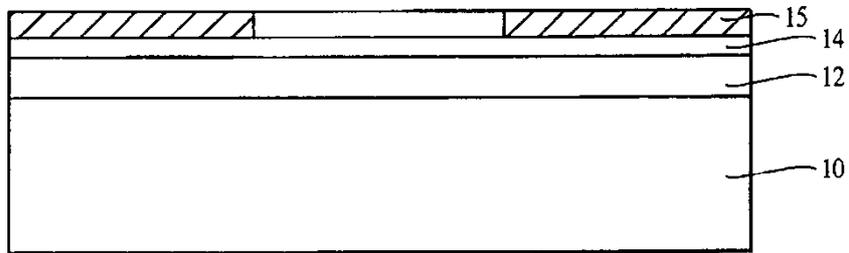


FIG. 2

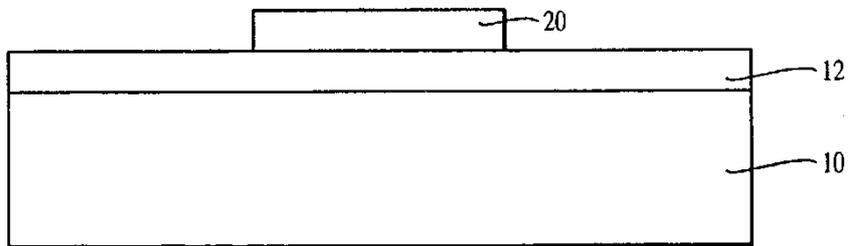


FIG. 3

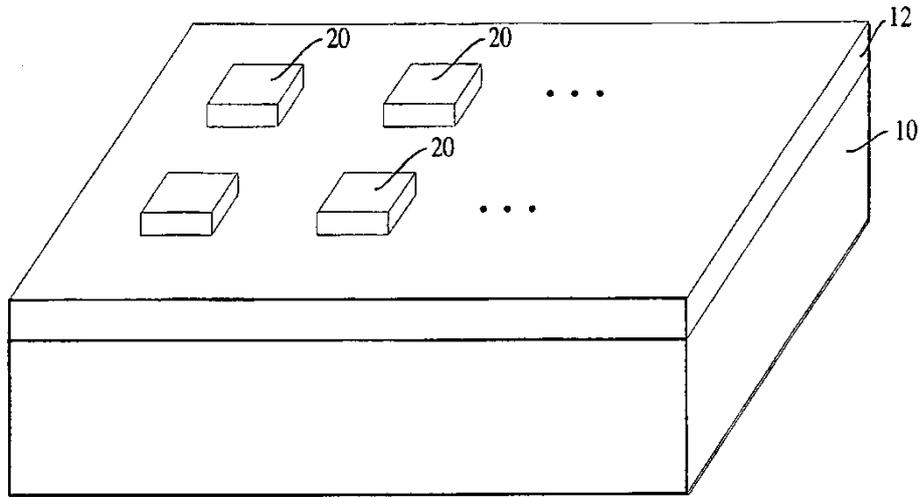


FIG. 4

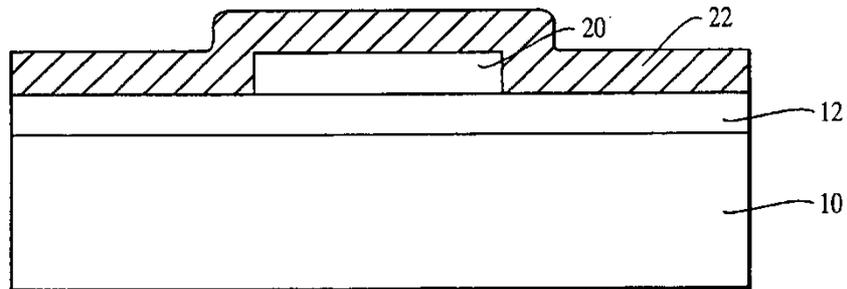


FIG. 5

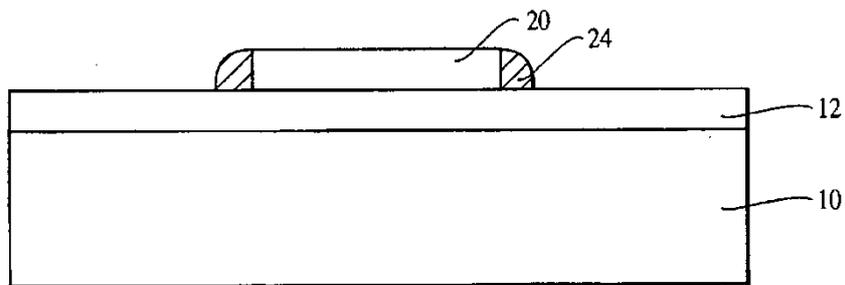


FIG. 6

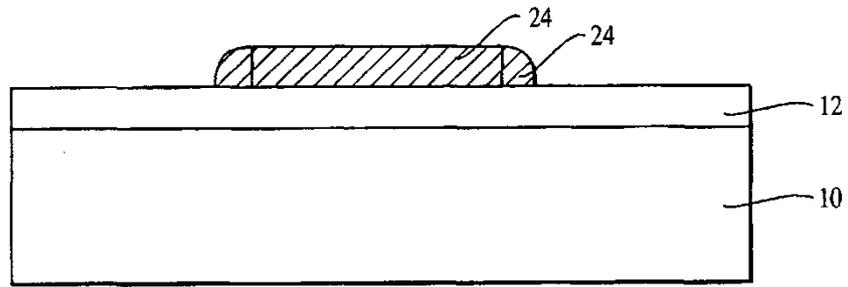


FIG. 7

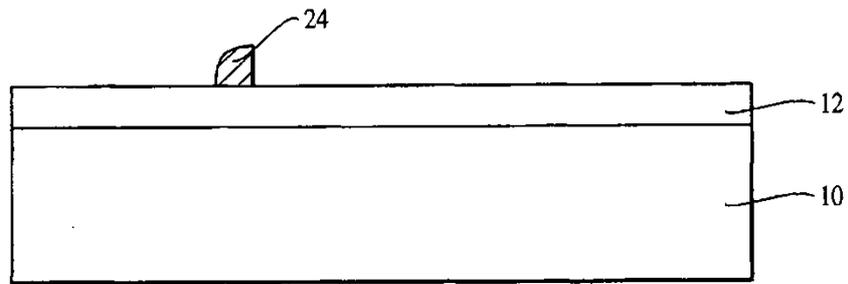


FIG. 8

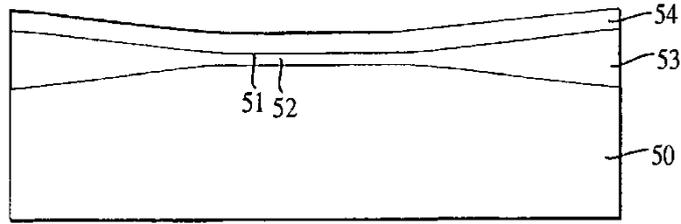


FIG. 9

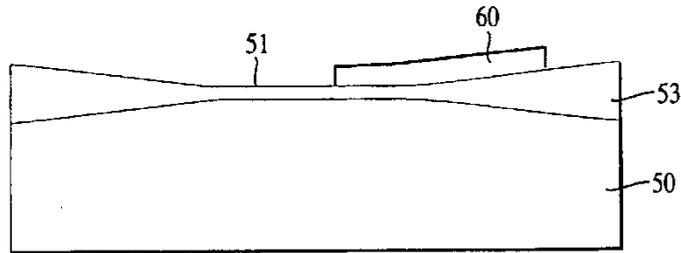


FIG. 10

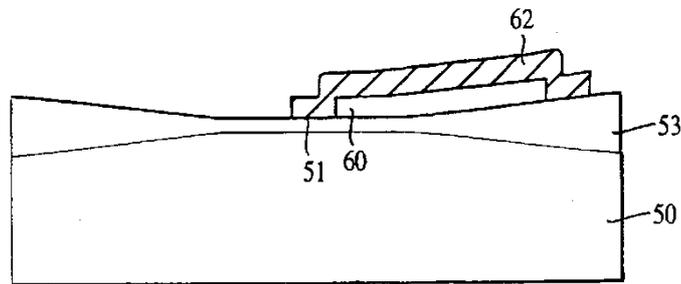


FIG. 11

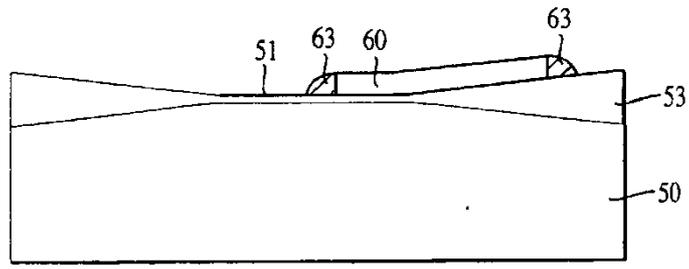


FIG. 12

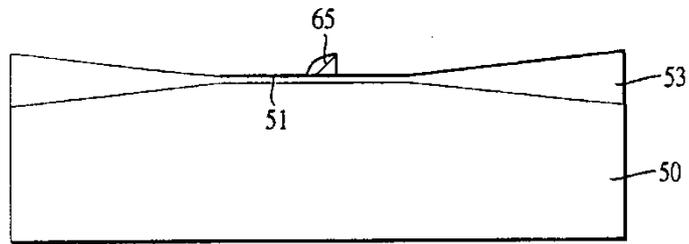


FIG. 13

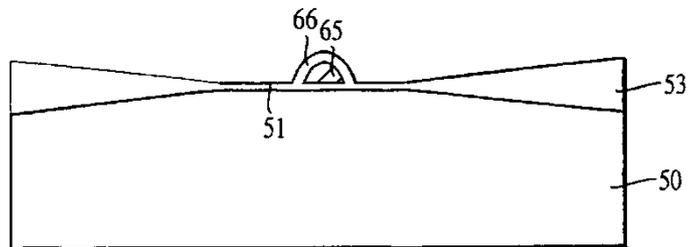


FIG. 14

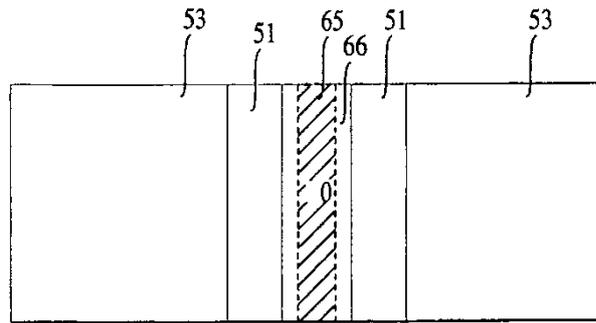


FIG. 15

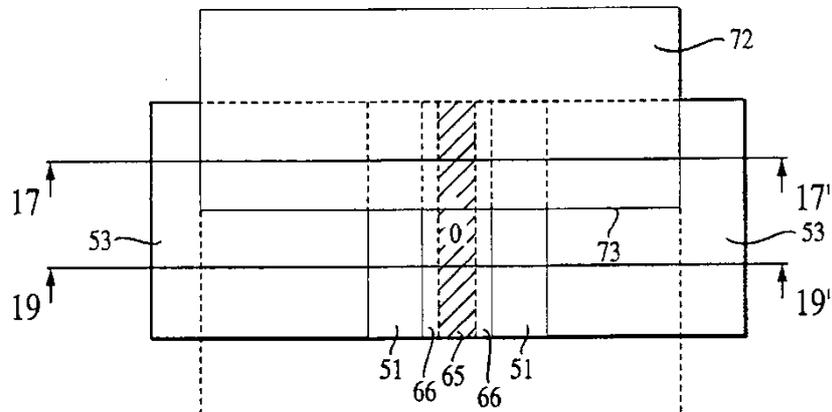


FIG. 16

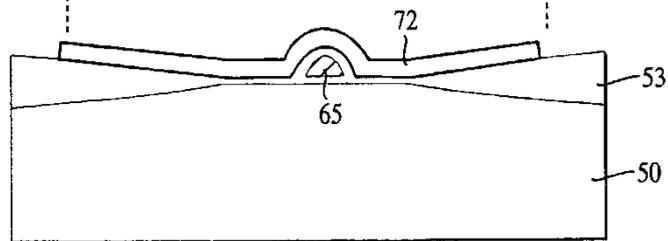


FIG. 17

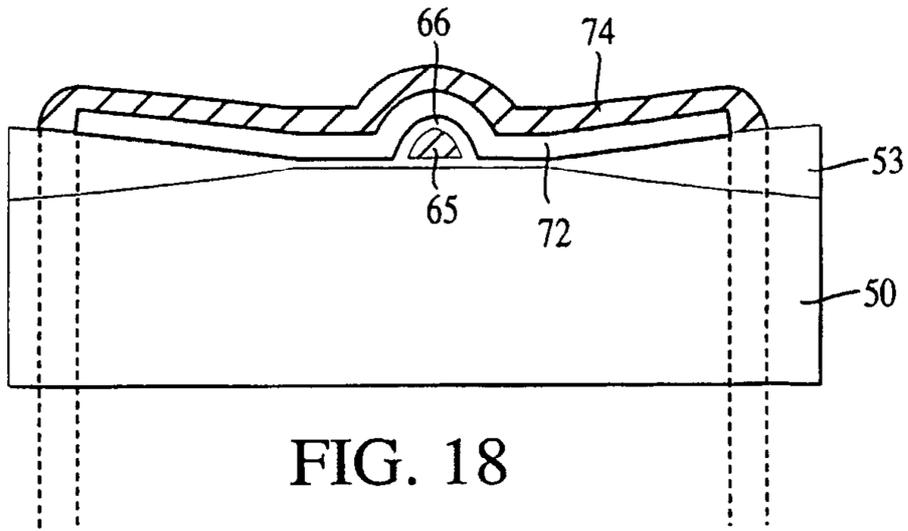


FIG. 18

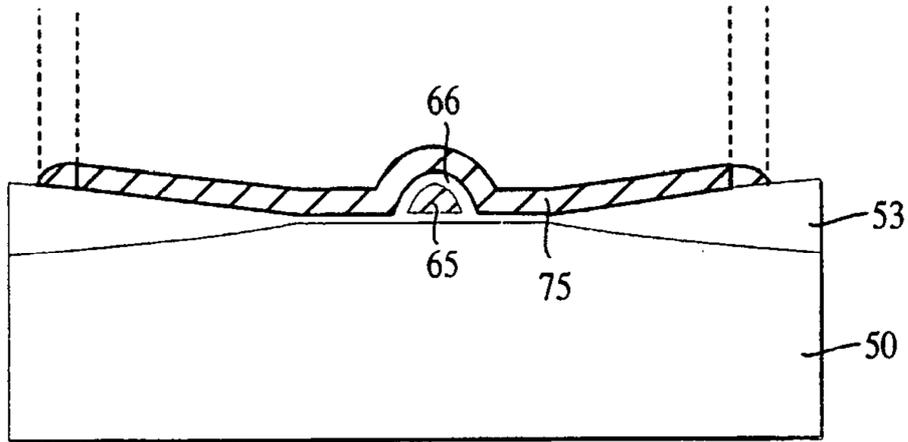


FIG. 19

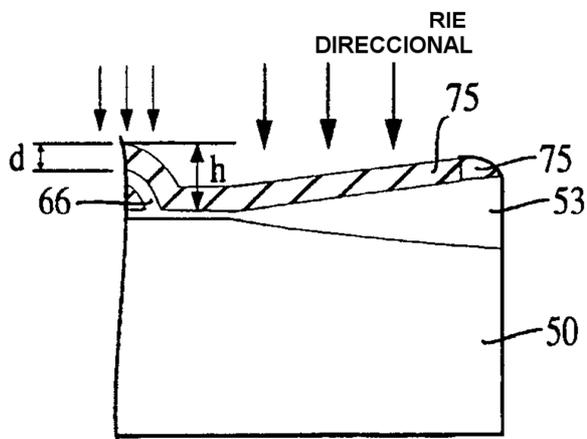


FIG. 20

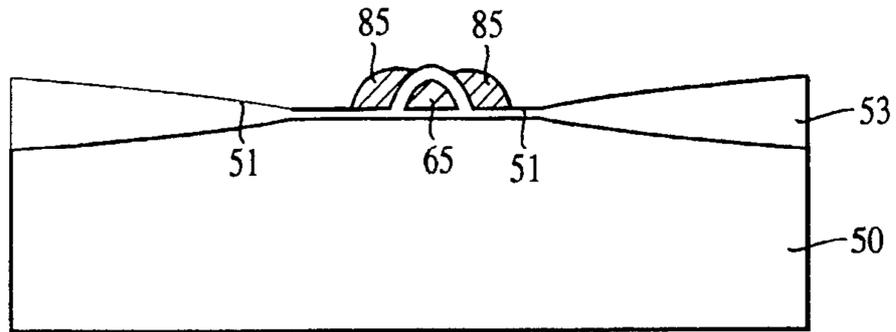


FIG. 21

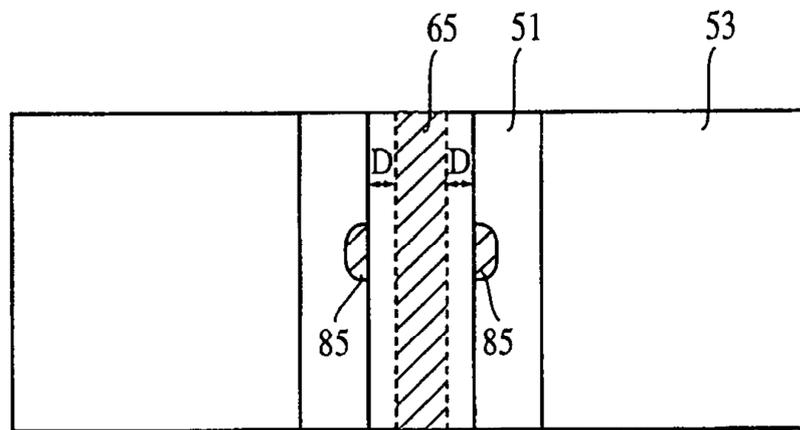


FIG. 22

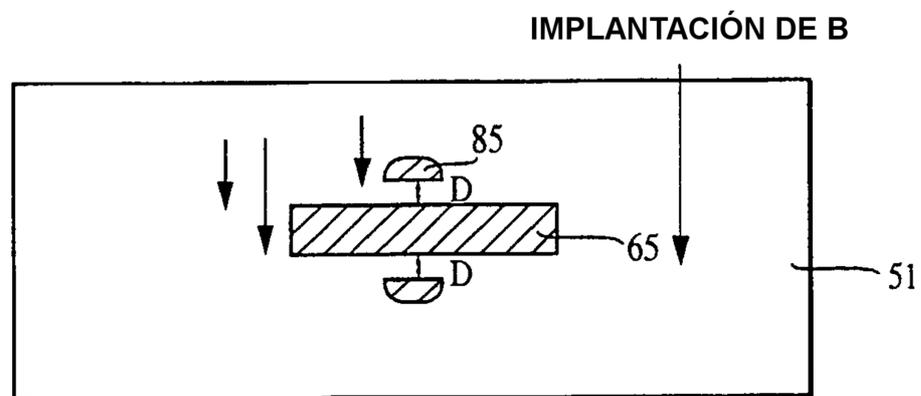


FIG. 23

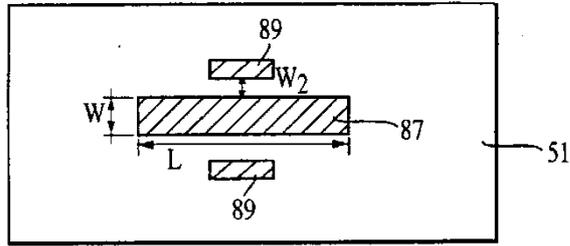


FIG. 24

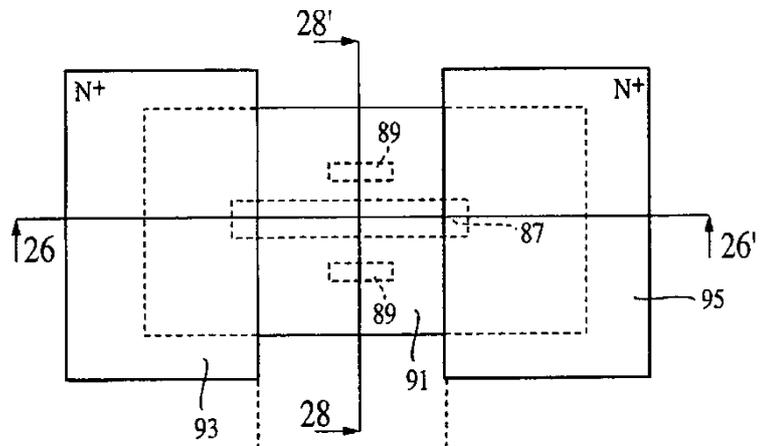


FIG. 25

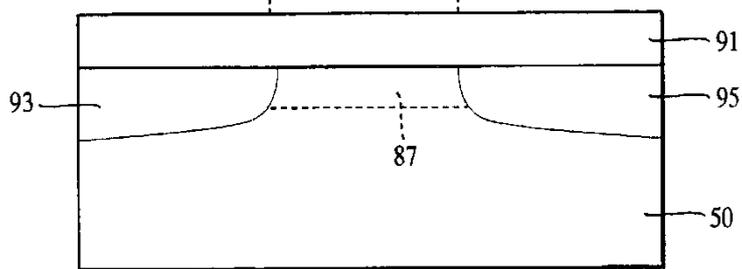


FIG. 26

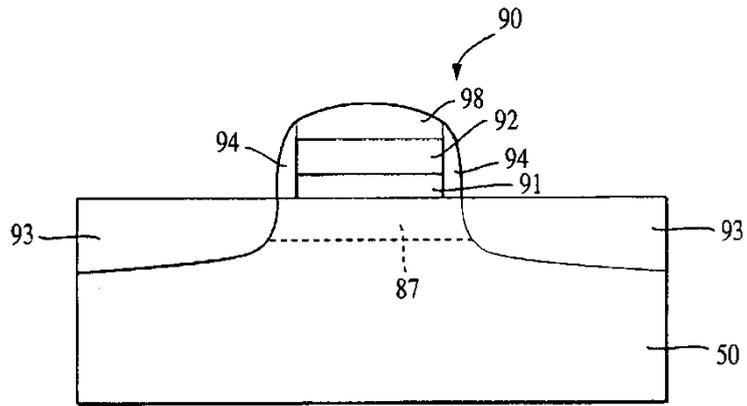


FIG. 27

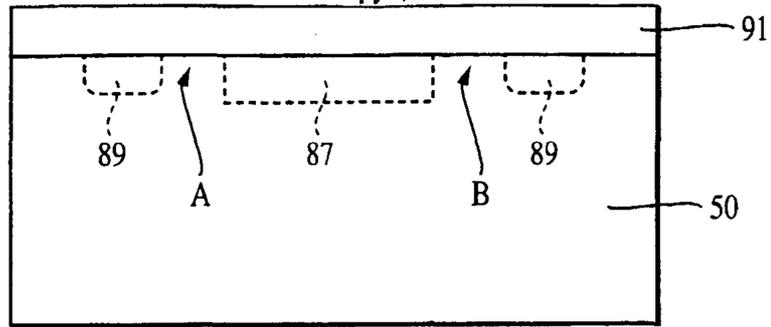


FIG. 28

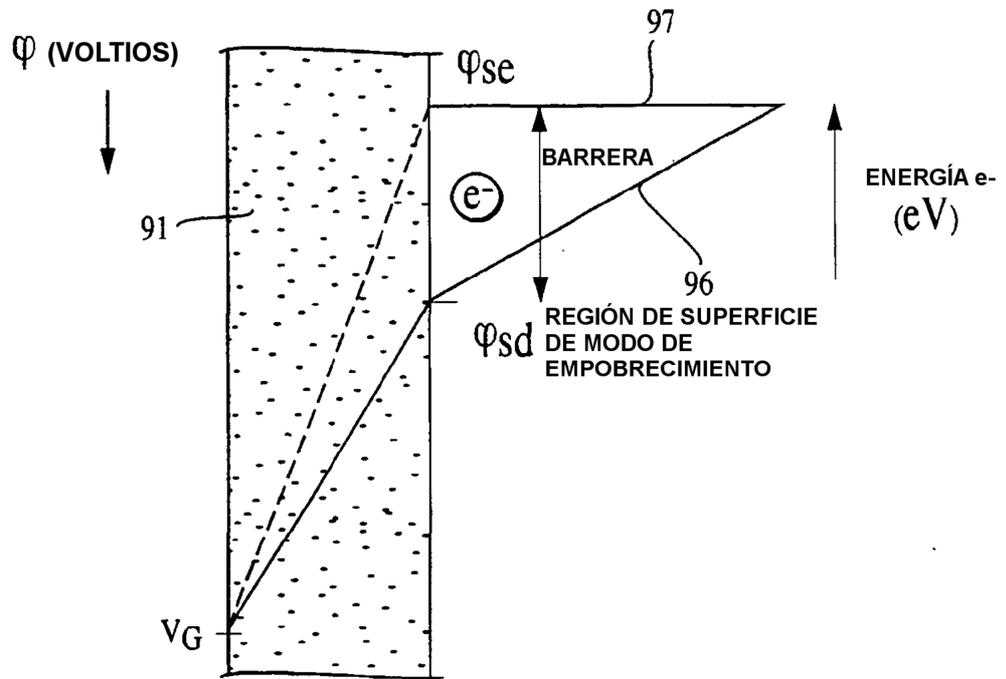


FIG. 29

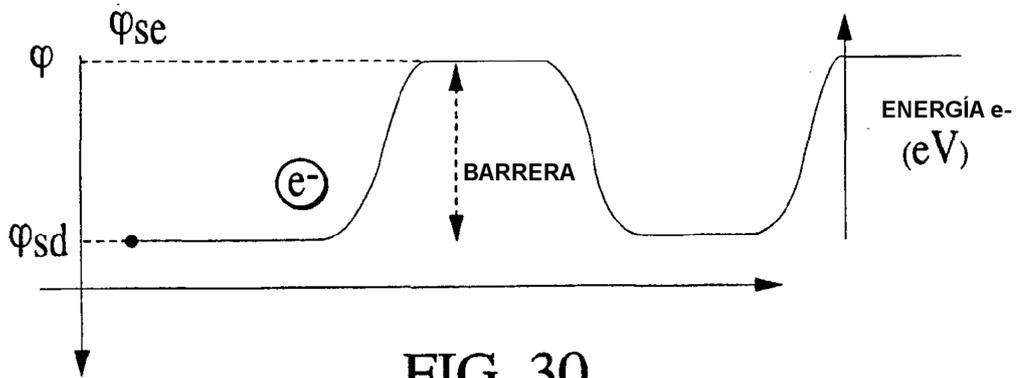


FIG. 30

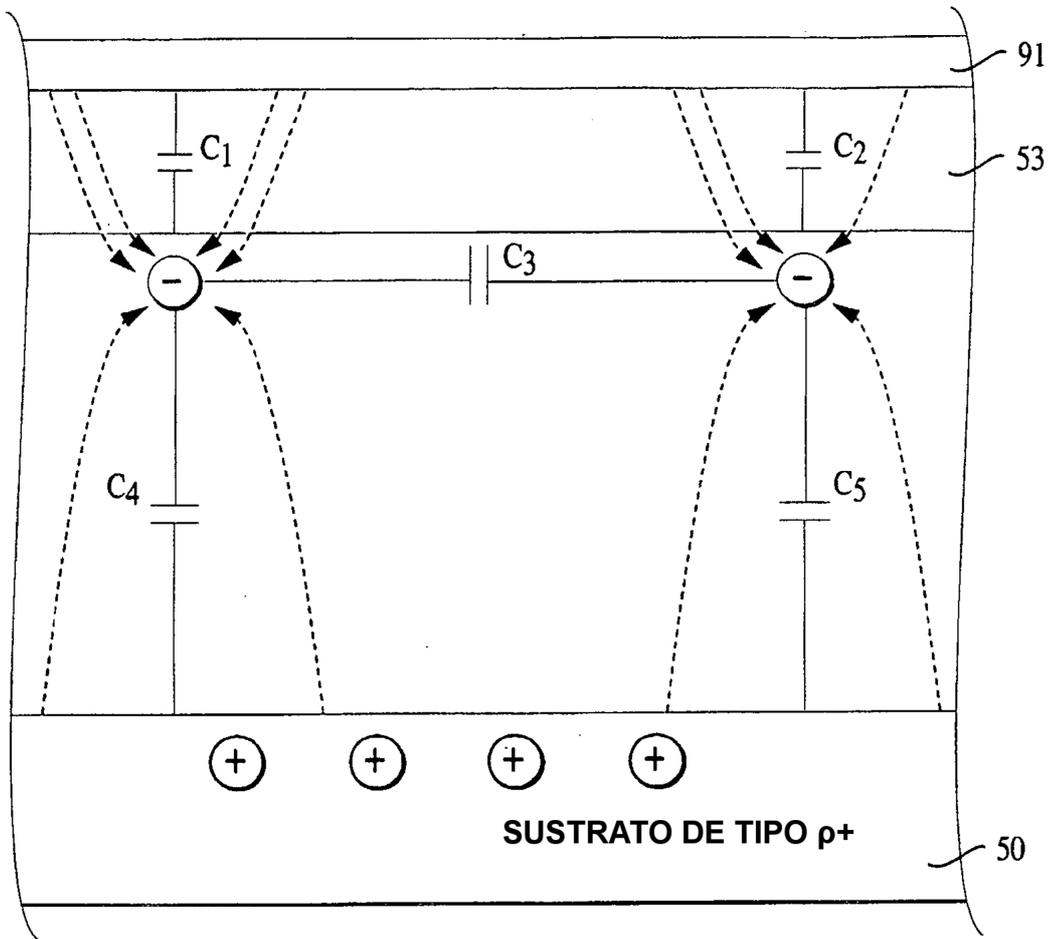


FIG. 31

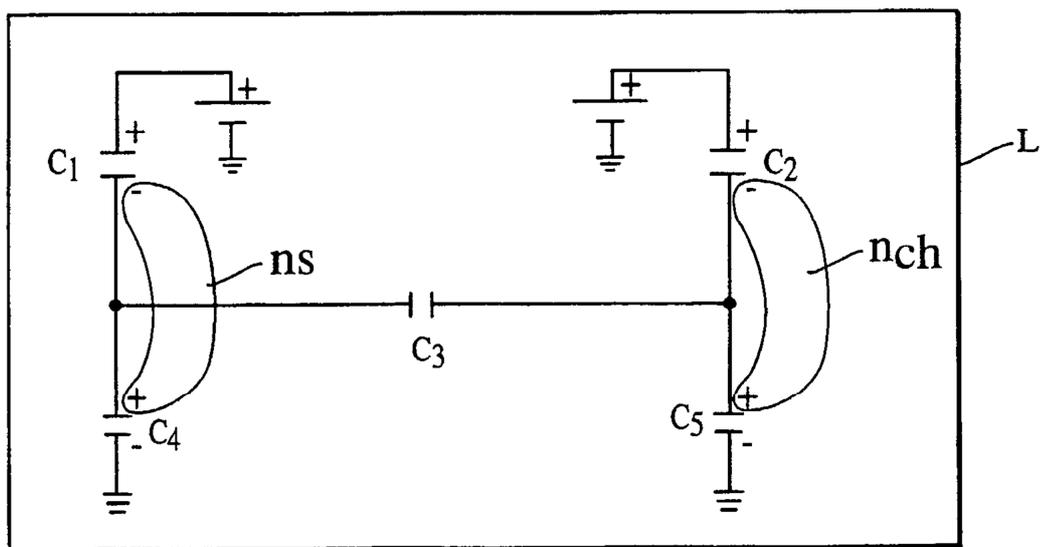


FIG. 32

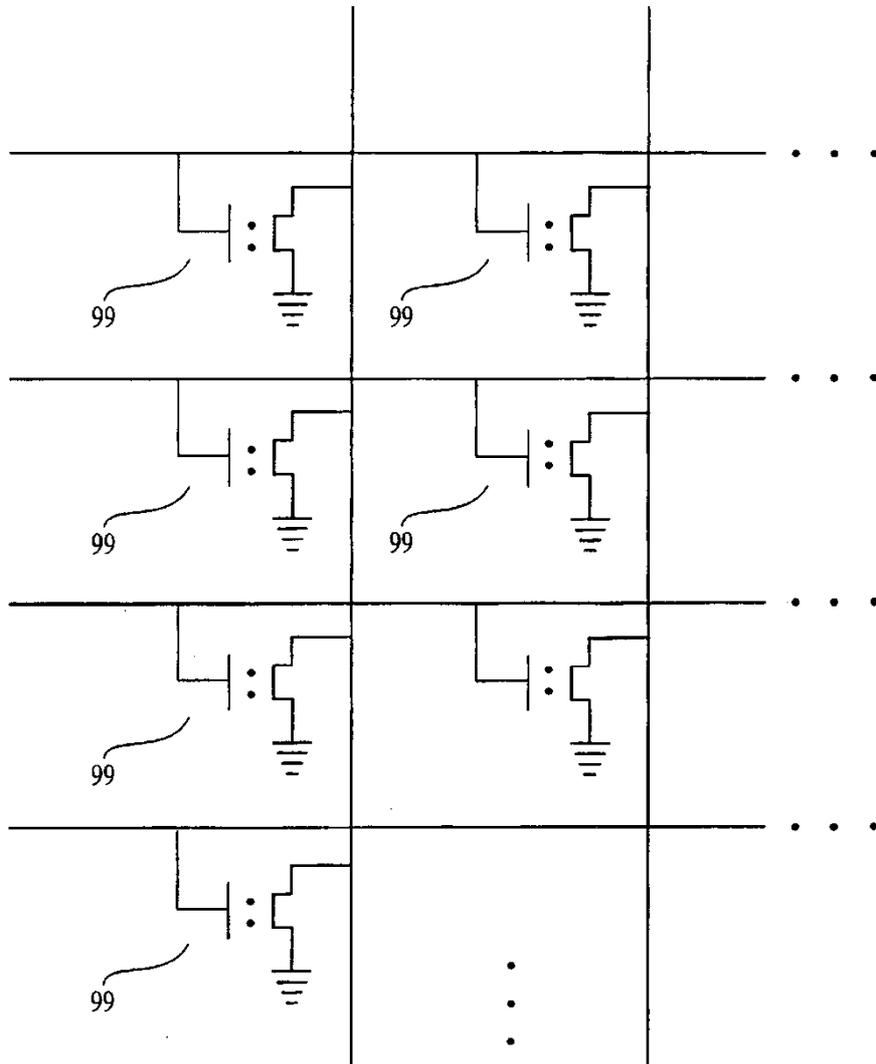


FIG. 33

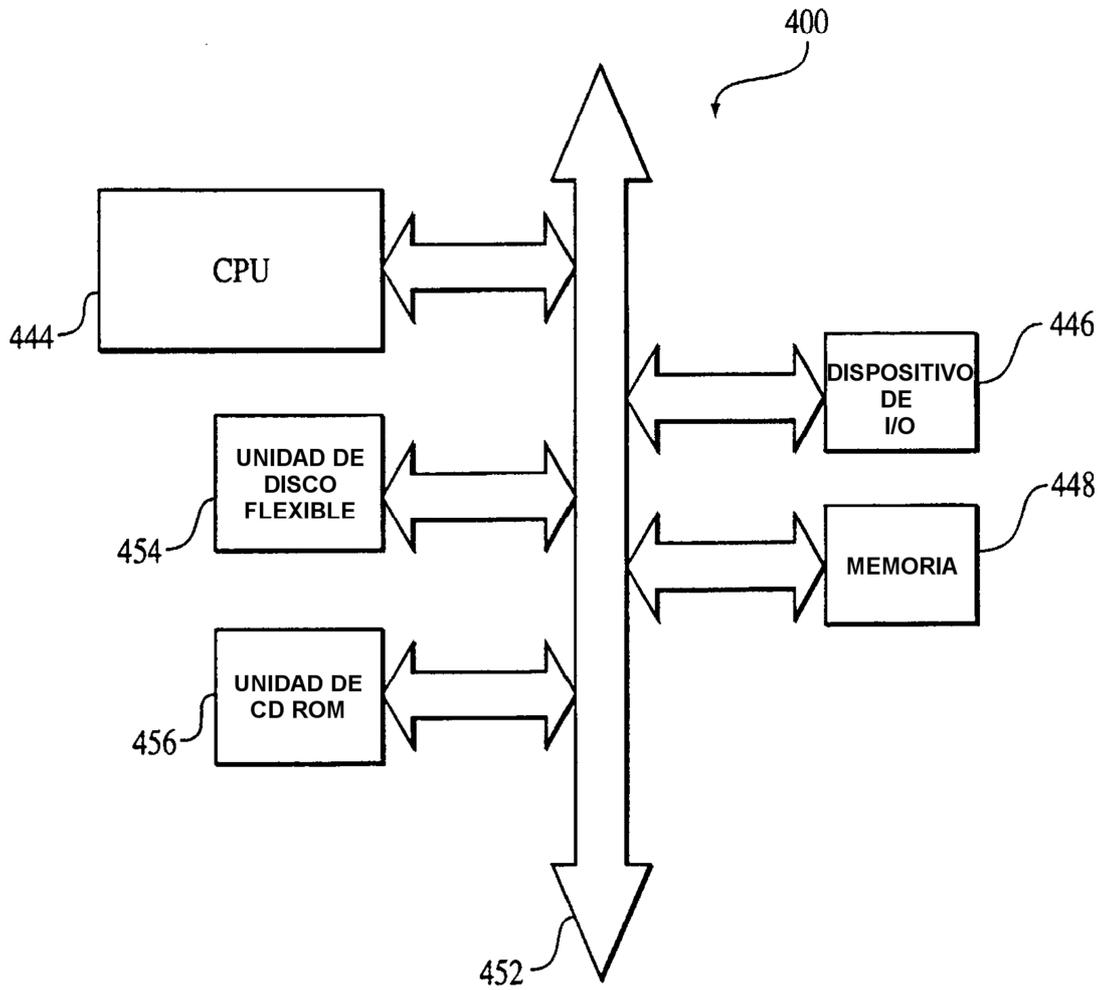


FIG. 34