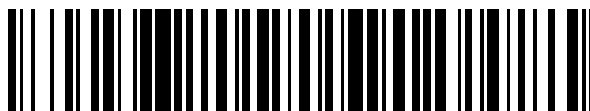


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 527 251**

51 Int. Cl.:

H03K 23/66 (2006.01)

H03K 23/68 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **27.09.2011 E 11761381 (0)**

97 Fecha y número de publicación de la concesión europea: **05.11.2014 EP 2622740**

54 Título: **Divisor de RF que utiliza síntesis digital directa**

30 Prioridad:

23.02.2011 US 201113033060
27.09.2010 US 386790 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
21.01.2015

73 Titular/es:

ERICSSON MODEMS SA (100.0%)
impasse Colombelle 8 B
1218 Le Grand-Saconnex, CH

72 Inventor/es:

MATEMAN, PAUL;
HESEN, LEONARDUS y
FRAMBACH, JOHANNES

74 Agente/Representante:

DE ELZABURU MÁRQUEZ, Alberto

ES 2 527 251 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Divisor de RF que utiliza síntesis digital directa

Esta solicitud reivindica prioridad a la Solicitud de Patente Provisional de EE.UU. 61/386.790 presentada el 27 de septiembre de 2010.

- 5 La invención descrita en la presente memoria se refiere en general a divisores de frecuencia, y más particularmente a divisores de frecuencia digitales que tienen un divisor no entero.

Antecedentes

- 10 Los divisores de radio frecuencia (RF) se utilizan en muchos sistemas de comunicación para dividir una frecuencia del oscilador con tensión controlada fija (VCO) a una frecuencia deseada. Para satisfacer los requisitos de ruido de fase, sin embargo, los divisores de RF convencionales requieren típicamente una gran cantidad de corriente, lo que aumenta indeseablemente el consumo de energía del dispositivo. Además, los divisores de RF convencionales normalmente sólo se dividen por un número entero fijo, lo que limita indeseablemente las frecuencias disponibles para el sistema de comunicación.

Compendio

- 15 La presente invención proporciona un divisor de RF que evita muchos de los problemas asociados con los divisores de RF convencionales al sintetizar la RF deseada directamente como un patrón de bits de división de frecuencia que puede ser programado y emitido a una frecuencia fija, por ejemplo, la frecuencia proporcionada mediante un oscilador de tensión controlada (VCO), para generar un flujo de bits en serie que tiene la frecuencia de radio deseada, como por ejemplo se describe en el documento US 2007/0058767A1. Debido a que la señal de RF deseada que se genera utiliza síntesis digital directa, muchos de los problemas de ruido de fase asociados con los divisores de RF convencionales se evitan y/o se pueden tratar utilizando técnicas de post-procesamiento digital de baja potencia. Por lo tanto, el divisor de RF descrito en la presente memoria puede configurarse para satisfacer los requisitos de ruido de fase sin aumentar excesivamente el consumo de energía. Además, dado que cada bit en el flujo de salida de bits en serie se corresponde con una parte, por ejemplo, la mitad, de un ciclo del VCO, el patrón sintetizado puede realizar divisiones enteras, así como divisiones no enteras.

- 20 Más particularmente, el divisor de RF descrito en la presente memoria divide digitalmente una frecuencia de radio fija, por ejemplo, como la proporcionada por un VCO, mediante un divisor de frecuencia definido por el patrón de bits de división de frecuencia, para proporcionar una frecuencia de radio deseada. Para ello, un ejemplo de divisor de RF comprende un pre-secuenciador y un convertidor de paralelo a serie. El pre-secuenciador emite sucesivamente secciones de M bits consecutivos de una palabra en paralelo, en las que la palabra en paralelo comprende uno o más copias del patrón de bits de división de frecuencia. El convertidor paralelo-serie completa la síntesis digital a la frecuencia de radio deseada mediante la realización de una conversión paralelo-serie en las secciones de M bits de la palabra en paralelo, basada en la frecuencia de radio fija, para generar una señal de salida que tiene la frecuencia de radio deseada, en la que la señal de salida comprende un flujo de bits en serie que tiene un patrón de bits definido por la palabra en paralelo. Las formas de realización descritas en la presente memoria incluyen ejemplos de las realizaciones del método y el aparato.

Breve descripción de los dibujos

La Figura 1 representa un diagrama de bloques general de un ejemplo de divisor de RF.

La Figura 2 representa un diagrama de bloques más detallados de un ejemplo de divisor de RF.

- 40 La Figura 3 representa un ejemplo del método implementado mediante el divisor de RF de la Figura 1.

La Figura 4 representa un diagrama de bloques de un ejemplo de multiplexor multietapas para el divisor de RF de la Figura 2.

La Figura 5 representa un diagrama del circuito para un ejemplo del elemento multiplexor para el multiplexor multietapas de la Figura 4.

- 45 La Figura 6 representa un diagrama de bloques para un multiplexor multietapas alternativo para el divisor de RF de la Figura 2.

La Figura 7 representa detalles adicionales del diagrama de bloques para ejemplos de la penúltima y última etapas del multiplexor multietapas de la Figura 6.

- 50 La Figura 8 muestra un ejemplo de circuito NAND para modificar el patrón de entrada utilizado por el divisor de RF de la Figura 1 cuando se modifica mediante el multiplexor multietapas de la Figura 6.

La Figura 9 representa un ejemplo de diagrama de sincronización de la señal para el multiplexor multietapas de la Figura 6.

La Figura 10 representa un ejemplo de diagrama del circuito para reducir el contenido del segundo armónico en la salida del divisor de RF de la Figura 1.

5 **Descripción detallada**

La Figura 1 muestra un ejemplo de divisor de RF 100 que emite un flujo de bits en serie que tiene un frecuencia de radio deseada basada en una frecuencia de radio fija fvco proporcionada mediante un oscilador 10 y una palabra en paralelo de N bits, por ejemplo, proporcionada mediante el procesador 20. El procesador 20 emite la palabra en paralelo de N bits, que comprende una o más copias de un patrón de bits de división de frecuencia, en el que el patrón de bits de división de frecuencia define el divisor de frecuencia utilizado para dividir la frecuencia de radio fija fvco para lograr la frecuencia de radio deseada, como se discute con mayor detalle en la presente memoria. Se apreciará que el procesador 20 se puede programar para emitir cualquier palabra en paralelo adecuada para lograr el divisor de frecuencia deseado. El procesador 20, sin embargo, no es necesario cuando la palabra en paralelo deseada se puede cablear a la entrada del divisor de RF 100, o se puede proporcionar mediante un equipo estático u otro circuito.

Aunque es posible serializar directamente la palabra en paralelo a la fvco para generar la frecuencia deseada, tales operaciones no son prácticas en RF. Para superar este problema el divisor de RF 100 incluye un pre-secuenciador 110 y un multiplexor multietapas 120, como se muestra en la Figura 2, que sintetizan la frecuencia de radio deseada de acuerdo con el ejemplo de método 200 de la Figura 3. El pre-secuenciador 110 aplica sucesivamente secciones consecutivas de M bits de la palabra en paralelo de N bits a una entrada del multiplexor 120 (bloque 210), donde $M \leq N$. El pre-secuenciador 110 se sincroniza utilizando una frecuencia fp del pre-secuenciador derivada en el divisor 12 basada en la fvco y M para aplicar una nueva sección de M bits al multiplexor 120 cada $M/(2fvco)$ ciclos de reloj. Como resultado, el pre-secuenciador 110 es capaz de funcionar a una frecuencia reducida, y por lo tanto, con una complejidad reducida. El multiplexor 120 funciona como un serializador que realiza una conversión paralelo-serie en cada sección de M bits para generar una señal de salida que tiene la frecuencia de radio deseada (bloque 220), en la que la señal de salida comprende un flujo de bits en serie de la palabra en paralelo, y en la que al menos se emite un bit cada $1/fvco$ ciclos de reloj. Aunque el divisor de RF 100 descrito en la presente memoria proporciona una salida de 1 bit por cada ciclo de reloj, se apreciará que se podría utilizar cualquier anchura para generar la señal de salida deseada. Además se apreciará que cada bit de salida está disponible para alguna parte predeterminada del ciclo del VCO, por ejemplo, la mitad de la fvco. Por lo tanto, la frecuencia del oscilador define efectivamente el bit menos significativo del divisor de RF 100. A continuación se describen ejemplos detallados de la palabra de N bits en paralelo, del pre-secuenciador 110 y del multiplexor multietapas 120 según diversas realizaciones.

La palabra de entrada en paralelo al divisor de RF 100 incluye una o más copias de un patrón de bits de división de frecuencia que comprende P bits, en el que el divisor de frecuencia del divisor de RF 100 se deriva sobre la base del patrón de bits de división de frecuencia. El patrón de bits de división de frecuencia es una secuencia de P bits que, con la salida a la frecuencia VCO, divide la frecuencia del VCO por P/2 para lograr la frecuencia de radio deseada. En algunas realizaciones $P=N$, mientras que en otras realizaciones N es un múltiplo entero de P. Aunque el patrón de bits de división de frecuencia (FDBP, Frequency Dividing Bit Pattern) se puede repetir cualquier número de veces en la palabra de N-bits en paralelo, el patrón de bits de división de frecuencia se repite generalmente un número par de veces en la palabra en paralelo de N bits cuando P es impar. La Tabla 1 muestra varios ejemplos (y no limita) de palabras en paralelo, junto con los patrones correspondientes, los valores de P, el N mínimo y el divisor de frecuencia. Los patrones invertidos y/o rotados generan la misma frecuencia de salida, pero con una relación de fase diferente a la fase del VCO.

Tabla 1

Palabra en paralelo	FDBP	P	Mín N	Divisor
001 001	001	3	6	1,5
0011	0011	4	4	2,0
00011 00011	00011	5	10	2,5
000111	000111	6	6	3,0
0000111 0000111	0000111	7	14	3,5
00001111	00001111	8	8	4,0
01 01	01	2	2	1,0

45

5 El pre-secuenciador 110 genera secciones en paralelo de M bits que utilizan $M \leq N$ bits consecutivos a partir de la palabra en paralelo de N bits. En general, el pre-secuenciador 110 genera las secciones de M bits al concatenar M bits consecutivos de la palabra de N bits. Cuando $M < N$, el pre-secuenciador 110 envuelve los bits concatenados de un extremo de la palabra de N bits al comienzo de los N bits para formar un grupo de múltiples secciones de M bits, en el que la palabra de N bits se repite una o más veces dentro del grupo. Por ejemplo, el pre-secuenciador 110 toma los primeros M bits de la palabra de N bits en paralelo para la primera sección de M bits. La siguiente sección de M bits comprende los restantes N-M bits concatenados con los primeros M-(N-M) bits de la palabra en paralelo de N bits. Esto se repite un número de veces para generar un grupo de x secciones de M bits, en el que la palabra de N bits se repite y veces en el grupo, con $x=N/z$, $y=M/z$ y con z el común denominador máximo de N y M.

10 El pre-secuenciador 110 se sincroniza a la frecuencia de pre-secuenciado $f_p = 2f_{vco}/M$ para emitir secuencialmente cada sección de M bits al multiplexor 120 cada $1/f_p$ ciclos. Al utilizar una menor frecuencia para sincronizar el pre-secuenciador 110, en lugar de la mayor f_{vco} , el divisor 100 descrito en la presente memoria funciona con reducida complejidad, consumo de energía, coste, criticidad de diseño, calidad de los componentes, etc. El pre-secuenciador 110 emite secuencialmente cada sección de M bit en el grupo, y sigue la última sección de M bits en el grupo con la primera sección de M bits en el mismo grupo para proporcionar al multiplexor multietapas 120 las secciones de M bits que permiten al multiplexor 120 emitir el flujo de bits en serie sin interrupción.

15 A continuación se proporcionan algunos ejemplos de secciones de M bits emitidas mediante el pre-secuenciador 110 y ejemplos de los correspondientes patrones de bits de división de frecuencia. Cada operación de pre-secuenciación ejecutada mediante el pre-secuenciador 110 convierte la palabra de N bits a una sección de M bits que tiene una anchura que coincide con la anchura de entrada del multiplexor multietapas 120. Los siguientes ejemplos asumen que el multiplexor multietapas 120 tiene una anchura de entrada de 8 bits. Se apreciará, sin embargo, que la presente invención no es tan limitada.

20 En un ejemplo de realización, el pre-secuenciador 110 comprende un pre-secuenciador 8 a 8 que proporciona divisores de 2 y 4. Debido a que este patrón se puede implementar como una palabra de 8 bits, se apreciará que aunque se puede utilizar el hardware del pre-secuenciador, no es necesario para esta realización. La Tabla 2 muestra la sección de M=8 bits utilizada por el pre-secuenciador 8 a 8.

Tabla 2: Grupo de secciones de 8 bits para pre-secuenciación 8 a 8

Sección 0
p0
p1
p2
p3
p4
p5
p6
p7

30 Cuando la palabra de N bits es 0011 0011, el divisor es 2 debido a que el patrón de bits de división de frecuencias 0011 tiene P=4 bits. Cuando la palabra de N bits es 0000 1111, el divisor es 4 debido a que el patrón de bits de división de frecuencias tiene P=8 bits.

35 En otro ejemplo de realización, el pre-secuenciador 110 comprende un pre-secuenciador de 12 a 8 que proporciona divisores de 1,5, 3 y 6. Con el fin de convertir la palabra de N=12 bits a una sección de M=8 bits, la palabra de N bits se repite y=2 veces dentro del grupo, y el grupo contiene x=3 secciones de M bits, como se muestra en la Tabla 3.

ES 2 527 251 T3

Tabla 3: Grupo de secciones de 8 bits para pre-secuenciación de 12 a 8

Sección 0	Sección 1	Sección 2
p0	p8	p4
p1	p9	p5
p2	p10	p6
p3	p11	p7
p4	p0	p8
p5	p1	p9
p6	p2	p10
p7	p3	p11

5 Cuando la palabra de N bits es 001 001 001 001, el divisor es 1,5 debido a que el patrón de bits de división de frecuencias 001 tiene P=3 bits. Cuando la palabra de N bits es 000111 000111, el divisor es 3 debido a que el patrón de bits de división de frecuencias 000111 tiene P=6 bits. Cuando la palabra de N bits es 000000111111, el divisor es 6 debido a que el patrón de bits de división de frecuencias 000000111111 tiene P=12 bits.

En otro ejemplo de realización, el pre-secuenciador 110 comprende un pre-secuenciador 110 de 10 a 8 que proporciona divisores de 2,5 y 5. Con el fin de convertir la palabra de N=10 bits a una sección de M=8 bits, la palabra de N bits se repite y=4 veces dentro del grupo, y el grupo contiene x=5 secciones de M bits, como se muestra en la Tabla 4.

10 Tabla 4: Grupo de secciones de 8 bits para pre-secuenciación de 10 a 8

Palabra 0	Palabra 1	Palabra 2	Palabra 3	Palabra 4
p0	p8	p6	p4	p2
p1	p9	p7	p5	p3
p2	p0	p8	p6	p4
p3	p1	p9	p7	p5
p4	p2	p0	p8	p6
p5	p3	p1	p9	p7
p6	p4	p2	p0	p8
p7	p5	p3	p1	p9

15 Cuando el patrón es 00111 00111, el divisor es 2,5 debido a que el patrón de bits de división de frecuencias 00111 tiene P=5 bits. Cuando el patrón es 0000011111, el divisor es 5 debido a que el patrón de bits de división de frecuencias 0000011111 tiene P=10 bits.

20 El multiplexor multietapas 120 serializa las secciones de M bits para generar la señal de bits de salida que tiene la frecuencia desea. Las etapas múltiples del multiplexor 120 permiten la serialización de las secciones de M bits al utilizar una frecuencia menor que f_{vco} para la mayoría de, si no para todas, las etapas. Al utilizar el patrón de bits de división de frecuencia apropiado y al interconectar manera apropiada el pre-secuenciador 110 y el multiplexor 120, la salida de flujo de bits en serie por el divisor de RF 100 comprende un flujo de bits en serie que repite el patrón de bits de división de frecuencia para generar una señal de salida que tiene la frecuencia de radio deseada.

25 La Figura 4 representa un ejemplo de multiplexor 120 multietapas que comprende múltiples etapas 122, 124, 126 de elementos 128 de multiplexación de 2:1. En general, cada etapa reduce el número de salidas y aumenta la frecuencia. Esto permite al multiplexor 120 minimizar el número de componentes que funcionan a altas frecuencias, por ejemplo, la frecuencia VCO, al mismo tiempo que todavía proporciona el rendimiento deseado. En el ejemplo de

la Figura 4, cada etapa reduce a la mitad el número de salidas y dobla la frecuencia debido a la estructura 2:1 de los elementos 128 de multiplexación.

Se apreciará, sin embargo, que se pueden utilizar otras configuraciones, por ejemplo, elementos de multiplexación de 3:1 o de 4:1, que dependen de las preferencias de diseño. En el ejemplo de la Figura 4, el multiplexor 120 es un multiplexor de tres etapas para acomodar las salidas de las secciones de 8 bits por el pre-secuenciador 110. Se apreciará, sin embargo, que el multiplexor 120 puede comprender cualquier número de etapas, y que el número de etapas depende de M.

Cada etapa 122, 124, 126 del multiplexor 120 se sincroniza a una frecuencia definida mediante los divisores 123 y la f_{vco} para serializar los bits de entrada. Para ello, se introduce una nueva sección de M bits a la primera etapa 122 cada $4/f_{vco}$ ciclos de reloj, y los elementos 128 de multiplexación en la primera etapa 122 serializan los pares de bits de entrada a partir de la sección de M bits cada $4/f_{vco}$ ciclos de reloj. Los elementos 128 de multiplexación en la segunda etapa 124 serializan los pares de flujos de 2 bits emitidos por la primera etapa 122 cada $2/f_{vco}$ ciclos de reloj, y los elementos 128 de multiplexación en la etapa final 126 serializan los pares de flujos de 4 bits emitidos por la segunda etapa 124 cada $1/f_{vco}$ ciclos de reloj para generar la señal de salida. Debido a que las palabras de entrada del multiplexor comprenden secciones de la palabra en paralelo proporcionada a la entrada del divisor de RF 100, y debido a que la palabra en paralelo comprende una o más copias del patrón de bits de división de frecuencia, la salida de la señal por el multiplexor 120 comprende un flujo de bits en serie de la palabra en paralelo, y por lo tanto comprende un flujo de bits en serie de copias secuenciales del patrón de bits de división de frecuencia.

El multiplexor 120 puede utilizar cualquier elemento 128 de multiplexación conocido, por ejemplo, el elemento 128 de multiplexación representado en la Figura 5. En este ejemplo, el elemento 128 de multiplexación comprende cinco circuitos de retención 130 y un conmutador selector 132. Los primeros cuatro circuitos de retención 130 (pares conectados en serie para cada uno de los bits de entrada in_0 e in_1) forman flip-flops con fines de reajuste temporal, y el circuito de retención 130 restante (para in_1) se utiliza para crear un retardo de medio ciclo con respecto a la entrada del conmutador para in_0 . Como resultado, cada salida de bits por el interruptor 132 que utiliza el reloj como un reloj de bits en serie sólo está disponible para medio ciclo de reloj. Por ejemplo, en la última etapa en la que el $reloj = f_{vco}$, cada bit sólo está disponible para la mitad del ciclo del VCO.

El multiplexor 120 multietapas descrito en la presente memoria puede ser seguido por una etapa 134 de resincronización opcional. La etapa 134 de resincronización se puede configurar para eliminar las impurezas espectrales introducidas por la fluctuación de fase y otras imperfecciones introducidas por los divisores 123 de frecuencia y los elementos 128 de multiplexación. La etapa 134 de resincronización también, o alternativamente, puede configurarse para resincronizar el flujo de bits de salida para satisfacer los requisitos de sincronización/fase. Un ejemplo de etapa 134 de resincronización comprende un flip-flop de alta velocidad, en el que el flip-flop utiliza la salida del multiplexor 120 multietapas, ya sea como reloj o como entrada de datos.

Se apreciará que los divisores 123 de frecuencia y los elementos 128 de multiplexación en el multiplexor 120 también añaden retardo que reduce la asignación de tiempo de las etapas subsiguientes del circuito de RF. Las Figuras 6-7 representan otro ejemplo de realización del multiplexor, en el que las dos últimas etapas 124, 126 del multiplexor 120 en la Figura 4 se reemplazan con las etapas 124, 126 mostrados en las Figuras 6-7. En particular, la penúltima etapa 124 para esta realización comprende un elemento 128 de multiplexación como se describió anteriormente, y un elemento de multiplexación 128' modificado que añade elementos 136 de retardo para compensar las salidas de los elementos de multiplexación 128, 128', por ejemplo, por un medio ciclo de reloj. La última etapa 126 reemplaza al elemento 128 de multiplexación mostrado en la Figura 4 con una puerta lógica 129, por ejemplo, una puerta AND o NAND, para multiplexar la salida de bits mediante la penúltima etapa 124. La Figura 8 representa un ejemplo de puerta lógica 129 para la realización de la Figura 6, en el que la puerta lógica 129 presenta, preferiblemente, carga simétrica. La puerta lógica 129 comprende dos puertas NAND en paralelo, en las que las entradas para la segunda puerta NAND se intercambian para equilibrar la carga y el retardo a expensas de transiciones ligeramente más lentas. Como se muestra en la Figura 9, la combinación de dos entradas compensadas por un medio ciclo de reloj, por ejemplo, en una unidad de multiplexación 128, 128' en la penúltima etapa 124 del multiplexor 120, genera una división por 2,5 la señal. La ventaja de esta implementación es el hecho de que ninguno de los elementos de multiplexación 128 en el divisor de RF 100, ni siquiera los de la última etapa del multiplexor 120, requieren la frecuencia del VCO completa. Es importante equilibrar la carga de la división por 2 elementos que genera las cuatro fases (el circuito de retención adicional para generar el retardo provoca un desequilibrio).

La realización de las Figuras 6-7 no requiere modificación del pre-secuenciador 110. Sin embargo, la palabra en paralelo aplicada al pre-secuenciador 110 necesitará ser ligeramente diferente. En particular, la palabra en paralelo modificada aplicada al pre-secuenciador 110 se puede generar a partir de la palabra en paralelo original con una puerta OR para cada bit individual (i) en la palabra. Por ejemplo, los bits en una sección (S) se modifican de tal manera que $S_{new}[i] = (Sold[i] \text{ OR } Sold[i+1])$, como se muestra en la Tabla 5, en la que $S_{new}[i]$ representa un bit en la nueva sección S que se va a aplicar al pre-secuenciador 110 de las Figuras 6-7, y $Sold[i]$, $Sold[i+1]$ representa los bits adyacentes en la antigua sección S que se aplicaría al pre-secuenciador 110 para la realización de la Figura 4.

Tabla 5

Sold[i]	Sold[i+1]	Snew[i]
0	0	0
0	1	1
1	0	1
1	1	1

5 Aplicar secciones de M bits de la palabra en paralelo modificada emitida por el pre-secuenciador 110 al multiplexor multietapas 120 que tiene la penúltima y la última etapas 124, 126 modificadas provoca que la puerta lógica 129 de la última etapa 126 emita un flujo de bits en serie de la palabra en paralelo sin modificar.

10 Si el divisor utilizado para generar el reloj de 4 fases es demasiado ruidoso, la unidad 138 de resincronización puede comprender un flip-flop extra que se ejecuta directamente en la frecuencia f_{vco} del VCO, como se muestra en la Figura 7, para resincronizar la señal de salida. En la realización de las Figuras 6-7, el RF/2,5 se basa en la suposición de que el patrón de bits de división de frecuencia es de 5 bits, y $M=10$. Se apreciará, sin embargo, que esta realización es factible para patrones de bits de división de frecuencia que tienen una longitud mayor que o igual a 3.

15 Las realizaciones descritas anteriormente trabajan mejor cuando las palabras en paralelo introducidas al pre-secuenciador 110 tienen un ciclo de trabajo del 50%. Sin embargo, como se muestra en la Tabla 1, algunas palabras en paralelo tiene un número desigual de 1's y 0's, y por lo tanto, no tienen un ciclo de trabajo del 50%. Cuando las palabras en paralelo no tiene un ciclo de trabajo del 50%, el contenido del segundo armónico del flujo de bits en serie emitido por el divisor de RF 100 puede ser indeseablemente alto. Para corregir este problema, se puede aplicar a la salida del multiplexor 120 una cadena 140 de inversores 142 auto polarizados, acoplados de CA, que se muestran en la Figura 10. En este caso, cada etapa inversora 142 elimina aproximadamente 10 dB del contenido del segundo armónico. Por lo tanto, el número de etapas inversoras 142 puede seleccionarse basándose en un rendimiento deseado.

25 Los divisores de RF 100 descritos anteriormente proporcionan varias ventajas sobre la técnica anterior, incluida la eficiencia en la potencia, el bajo ruido de fase y la fase programable. Por ejemplo, los requisitos de potencia del CMOS se elevan abruptamente más allá de una cierta frecuencia, lo que hace muy difícil realizar una función, sin hablar de lograr baja potencia para la mayoría de las frecuencias de radio utilizadas para las telecomunicaciones. El divisor de RF 100 descrito en la presente memoria resuelve este problema a baja frecuencia al usar divisores 123 de "baja calidad" que no tienen estrictos requisitos de ruido de fase para proporcionar frecuencias de sincronización para el pre-secuenciador 110 y el multiplexor 120, y al usar un multiplexor multietapas 120 energéticamente eficaz. Además, resincronizar la señal de salida con la señal del VCO elimina eficientemente el ruido de fase de las etapas anteriores. Además, debido a que el patrón de bits de división de frecuencia es totalmente programable, se puede programar la fase absoluta en medios ciclos del VCO. Desplazar el patrón de bits de división de frecuencia puede proporcionar un medio para seleccionar el patrón de tal manera que se minimiza la interferencia con otras frecuencias (VCO-derivadas). También se puede utilizar un desplazamiento para maximizar el margen de sincronización de un circuito que utiliza la salida del divisor como una señal de reloj o de datos.

35 La presente invención puede llevarse a cabo, por supuesto, de otras maneras que las expuestas específicamente en la presente memoria sin apartarse de las características esenciales de la invención. Las presentes realizaciones deben considerarse en todos los aspectos como ilustrativas y no restrictivas, y todos los cambios que entren dentro del significado y rango de equivalencia de las reivindicaciones adjuntas están destinados a abarcarse en las mismas.

REIVINDICACIONES

1. Un método de dividir una frecuencia de radio fija mediante un divisor de frecuencia para generar una señal de salida que tiene una frecuencia de radio deseada, el método que comprende:

5 aplicar sucesivamente secciones de M bits consecutivas de una palabra en paralelo a una entrada de un multiplexor multietapas (120) a una frecuencia de pre-secuenciación que se deriva de la base de la frecuencia de radio fija y M, comprendiendo la mencionada palabra en paralelo una o más copias de un patrón de bits de división de frecuencia que define el divisor de frecuencia; y

10 realizar una conversión paralelo-serie en las secciones de M bits de la palabra en paralelo en el multiplexor multietapas (120) basada en la frecuencia de radio fija, para generar la señal de salida que tiene la frecuencia de radio deseada, comprendiendo la mencionada señal de salida un flujo de bits en serie de la palabra en paralelo.
2. El método de la reivindicación 1 en el que realizar la conversión paralelo-serie comprende multiplexar sucesivamente grupos de bits en las secciones de M bits en múltiples etapas del multiplexor multietapas (120), en el que cada etapa tiene una anchura menor y una frecuencia mayor que la etapa anterior, y en el que la última etapa del multiplexor multietapas (120) emite el flujo de bits en serie que utiliza la frecuencia de radio fija, como un reloj de bits en serie, según el patrón de bits de división de frecuencia, para generar la señal de salida que tiene la frecuencia de radio deseada.
3. El método de la reivindicación 1 en el que realizar la conversión paralelo-serie comprende multiplexar sucesivamente pares de bits en las secciones de M bits en las múltiples etapas del multiplexor multietapas (120) en el que cada etapa tiene una anchura menor y una frecuencia mayor que la etapa anterior, y en el que la penúltima etapa del multiplexor multietapas (120) se sincroniza a la mitad de la frecuencia de radio fija, y en el que la última etapa del multiplexor multietapas (120) combina en una puerta lógica la salida del flujo de bits por la penúltima etapa, para generar la señal de salida que tiene la frecuencia de radio deseada.
4. El método de la reivindicación 3 que además comprende modificar la palabra en paralelo con una función lógica para generar una palabra en paralelo modificada, en el que aplicar sucesivamente secciones de M bits consecutivas de la palabra en paralelo comprende aplicar sucesivamente secciones de M bits consecutivas de la palabra en paralelo modificada a la entrada del multiplexor multietapas (120), de tal manera que el flujo de bits en serie emitido por la puerta lógica en la última etapa del multiplexor multietapas comprende un flujo de bits en serie de la palabra en paralelo sin modificar.
5. El método de la reivindicación 1 en el que el patrón de bits de división de frecuencia comprende P bits y cada palabra en paralelo comprende N bits, con $P \leq N$, comprendiendo además el método formar las secciones de M bits al concatenar M bits consecutivos de la palabra en paralelo de N bits para formar cada una de las una o más secciones de M bits, en el que los bits concatenados comprenden desde alrededor del final de la palabra en paralelo de N bits hasta el comienzo de la palabra en paralelo N bits, de tal manera que la palabra en paralelo de N bits se repite y veces para formar x secciones de M bits, donde $x=N/z$ y $y=M/z$, y donde z=común denominador máximo de (N, M).
6. El método de la reivindicación 1 que además comprende reducir un contenido del segundo armónico de la señal de salida cuando el número de 1's en el patrón de bits de división de frecuencia no es igual al número de 0's en el patrón de bits de división de frecuencia.
7. El método de la reivindicación 1 que además comprende resincronizar la señal de salida para satisfacer uno o más requisitos de sincronización.
8. Un divisor de frecuencia de radio para dividir una frecuencia de radio fija mediante un divisor de frecuencia para generar una señal de salida que tiene una frecuencia de radio deseada, comprendiendo el divisor de frecuencia de radio:

45 un pre-secuenciador 110 configurado para emitir sucesivamente secciones de M bits consecutivas de una palabra en paralelo a una frecuencia de pre-secuenciación que se deriva de la base de la frecuencia de radio fija y M, comprendiendo la mencionada palabra en paralelo una o más copias de un patrón de bits de división de frecuencia que define el divisor de frecuencia; y

50 un conversor paralelo-serie (120) acoplado funcionalmente a una salida del pre-secuenciador y configurado para realizar una conversión paralelo-serie en las secciones de M bits de la palabra en paralelo basada en la frecuencia de radio fija, para generar la señal de salida que tiene la frecuencia de radio deseada, comprendiendo la mencionada señal de salida un flujo de bits en serie de la palabra en paralelo.

9. El divisor de frecuencia de radio de la reivindicación 8 en el que un procesador acoplado a una entrada del divisor de frecuencia de radio se configura para definir la palabra en paralelo basada en la frecuencia de radio fija y en la frecuencia de radio deseada.
- 5 10. El divisor de frecuencia de radio de la reivindicación 8 en el que el convertidor paralelo-serie (120) comprende un multiplexor multietapas configurado para realizar una conversión paralelo-serie al multiplexar sucesivamente grupos de bits en las secciones de M bits aplicadas a una salida del multiplexor multietapas basada en la frecuencia de radio fija, en el que cada etapa del multiplexor multietapas tiene una anchura menor y una frecuencia mayor que la etapa anterior, y en el que la última etapa del multiplexor multietapas emite un flujo de bits en serie que utiliza la frecuencia de radio fija como un reloj de bits en serie, según el patrón de bits de división de frecuencia, para generar la señal de salida que tiene la frecuencia de radio deseada.
- 10 11. El divisor de frecuencia de radio de la reivindicación 8 en el que el convertidor paralelo-serie comprende un multiplexor multietapas (120) configurado para realizar una conversión paralelo-serie al multiplexar sucesivamente pares de bits en las secciones de M bits aplicadas a una salida del multiplexor multietapas basada en la frecuencia de radio fija, en el que cada etapa del multiplexor multietapas tiene una anchura menor y una frecuencia mayor que la etapa anterior, en el que la penúltima etapa del multiplexor multietapas se sincroniza a la mitad de la frecuencia de radio, y en el que la última etapa del multiplexor multietapas comprende una puerta lógica para combinar los flujos de bits emitidos por la penúltima etapa para generar la señal de salida que tiene la frecuencia de radio deseada.
- 15 12. El divisor de frecuencia de radio de la reivindicación 11 en el que una función lógica aplicada a la palabra en paralelo genera una palabra en paralelo modificada, en el que el pre-secuenciador se configura para emitir sucesivamente secciones de M bits consecutivos de la palabra en paralelo modificada, de tal manera que el flujo de bits en serie emitidos por la puerta lógica en la última etapa del multiplexor multietapas (120) comprende un flujo de bits en serie de la palabra en paralelo sin modificar.
- 20 13. El divisor de frecuencia de radio de la reivindicación 8 en el que el patrón de bits de división de frecuencia comprende P bits y cada palabra en paralelo comprende N bits, con $P \leq N$, en el que el pre-secuenciador forma las secciones de M bits al concatenar M bits consecutivos de la palabra en paralelo de N bits para formar cada una de las una o más secciones de M bits, en el que los bits concatenados comprenden desde alrededor del final de la palabra en paralelo de N bits hasta el comienzo de la palabra en paralelo N bits, de tal manera que la palabra en paralelo de N bits se repite y veces para formar x secciones de M bits, donde $x=N/z$ e $y=M/z$, y donde z=común denominador máximo de (N, M).
- 25 30 14. El divisor de frecuencia de radio de la reivindicación 8 que además comprende una cadena de inversores (142) acoplados de CA, configurados para reducir el contenido del segundo armónico de la señal de salida cuando el número de 1's en el patrón de bits de división de frecuencia no es igual al número de 0's en el patrón de bits de división de frecuencia.
- 35 15. El divisor de frecuencia de radio de la reivindicación 8 que además comprende una etapa de resincronización conectado funcionalmente a una salida de la puerta lógica y configurado para resincronizar la señal de salida para satisfacer uno o más requisitos de sincronización.

40

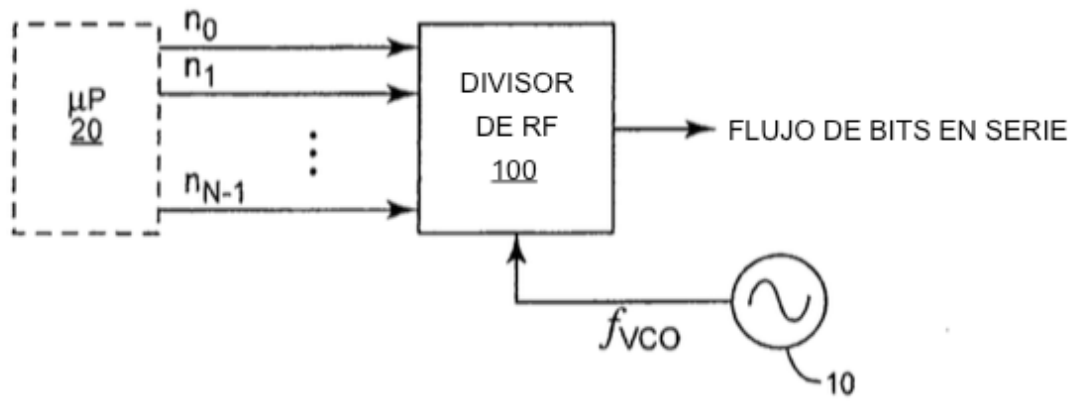


FIG. 1

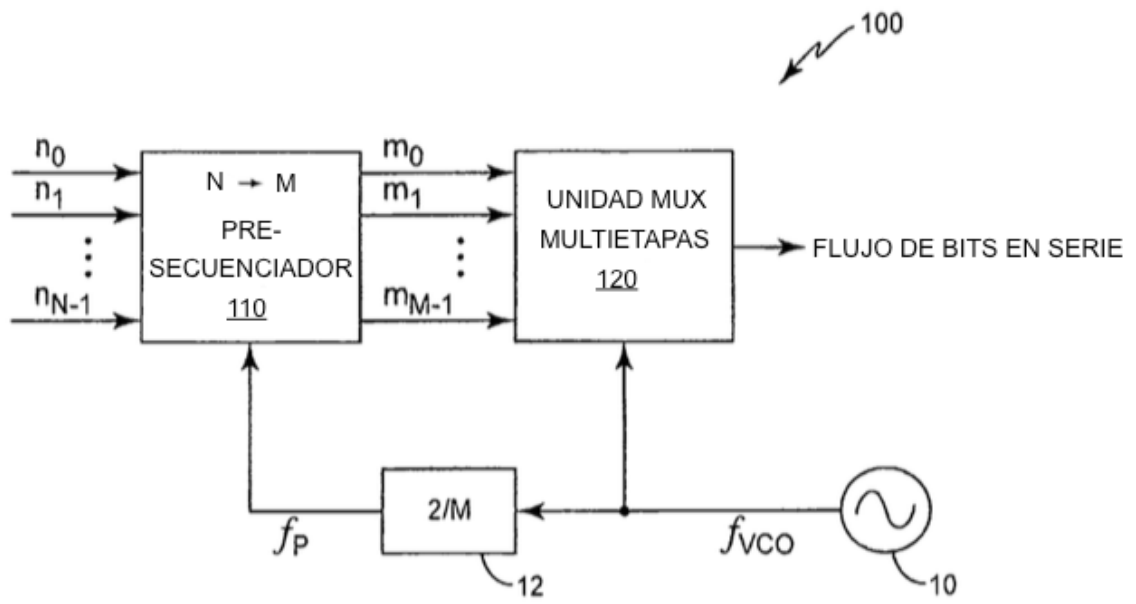


FIG. 2

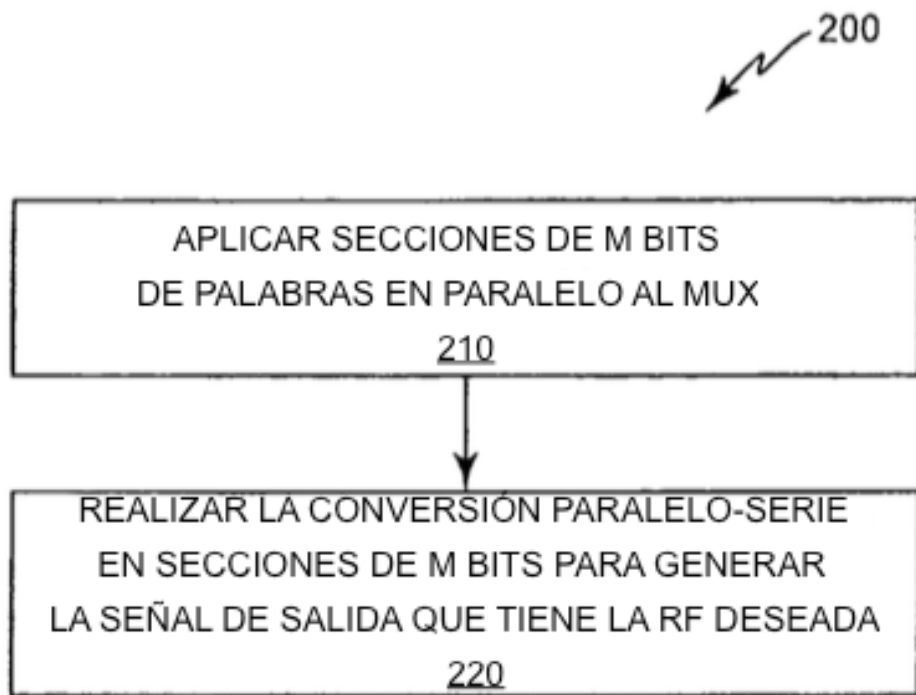


FIG. 3

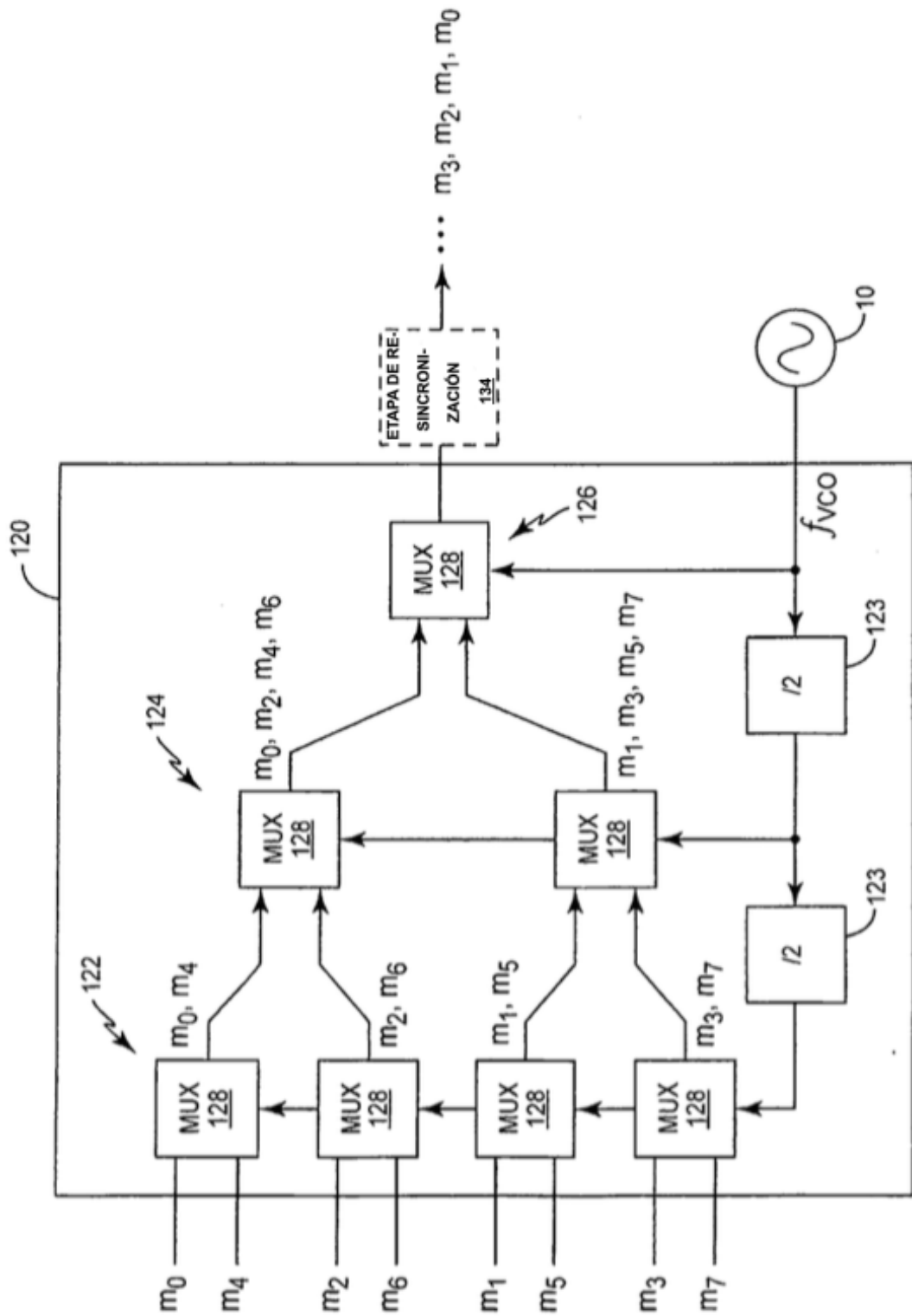


FIG. 4

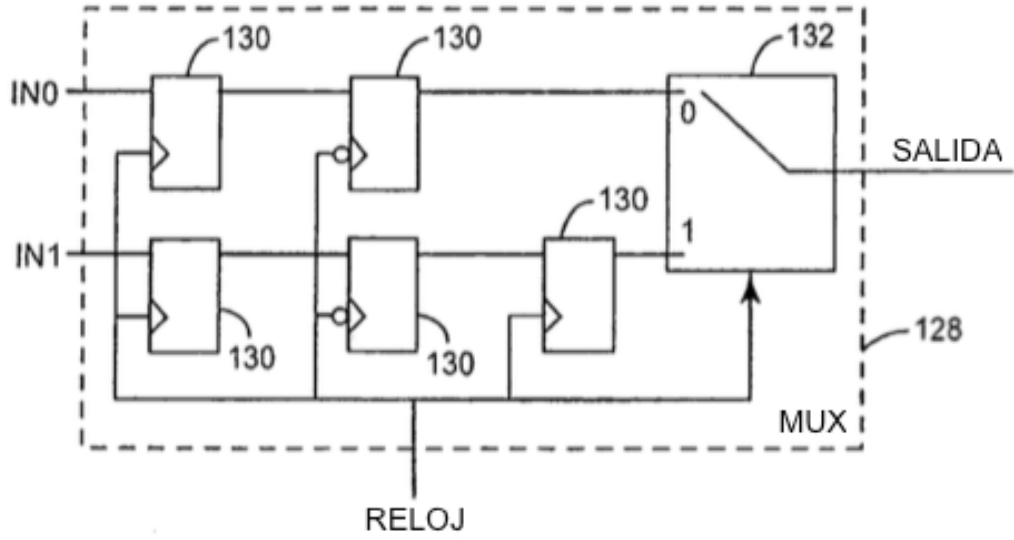


FIG. 5

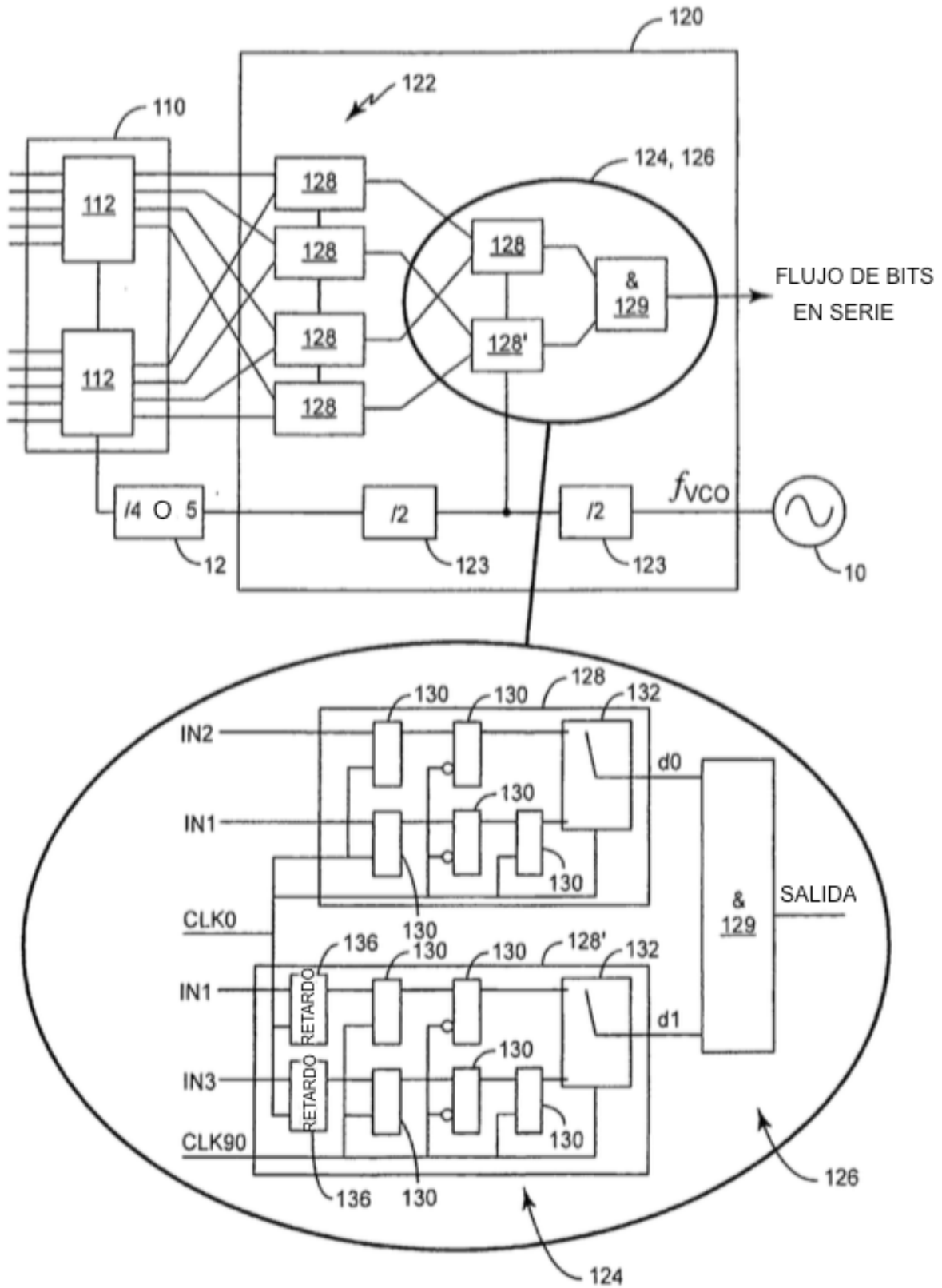


FIG. 6

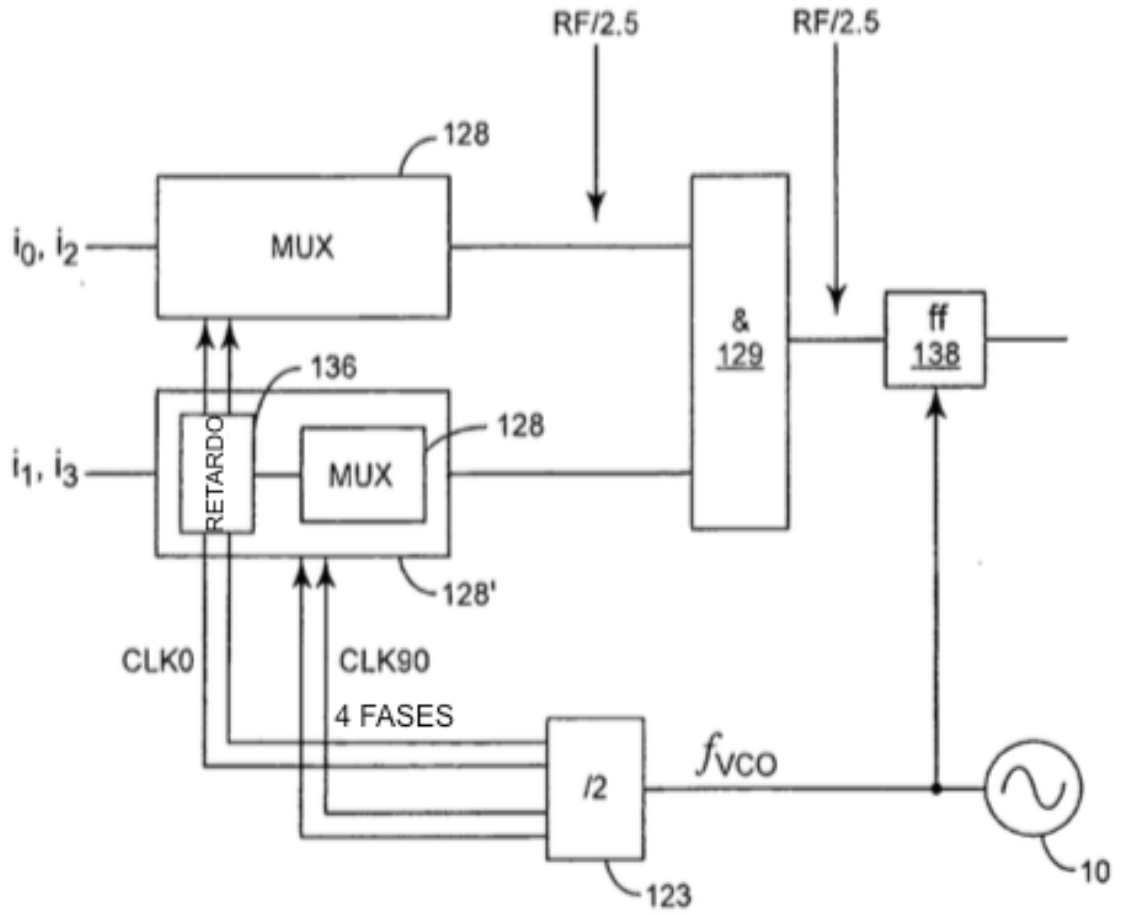


FIG. 7

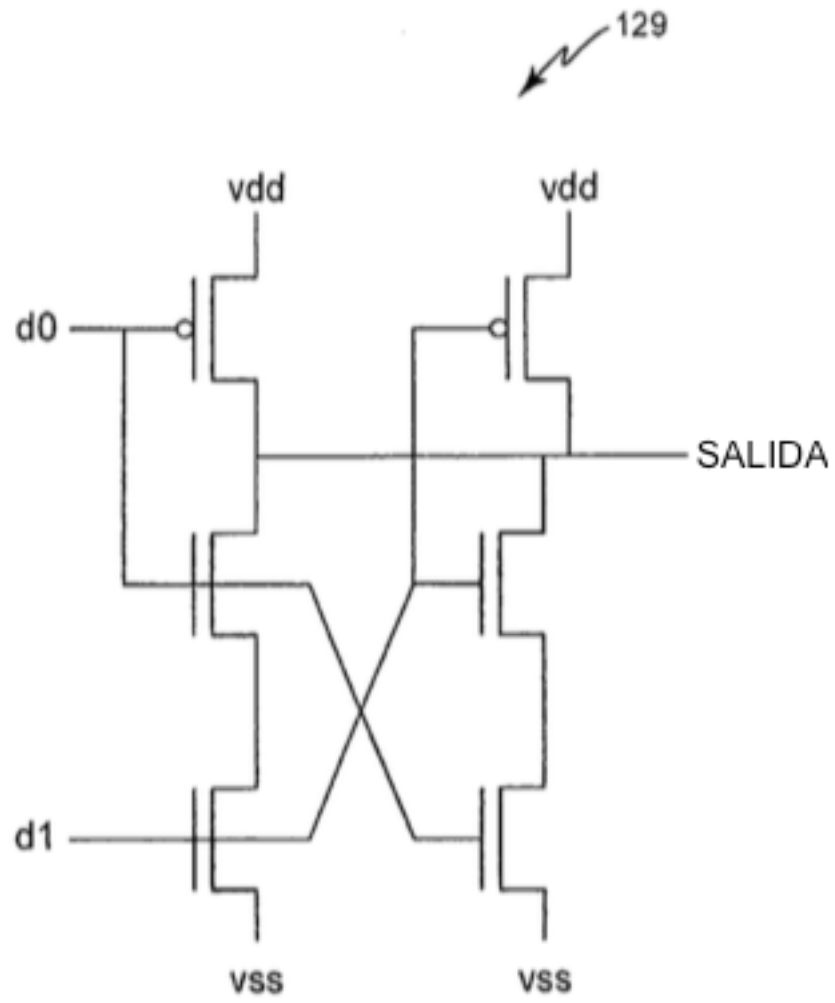


FIG. 8

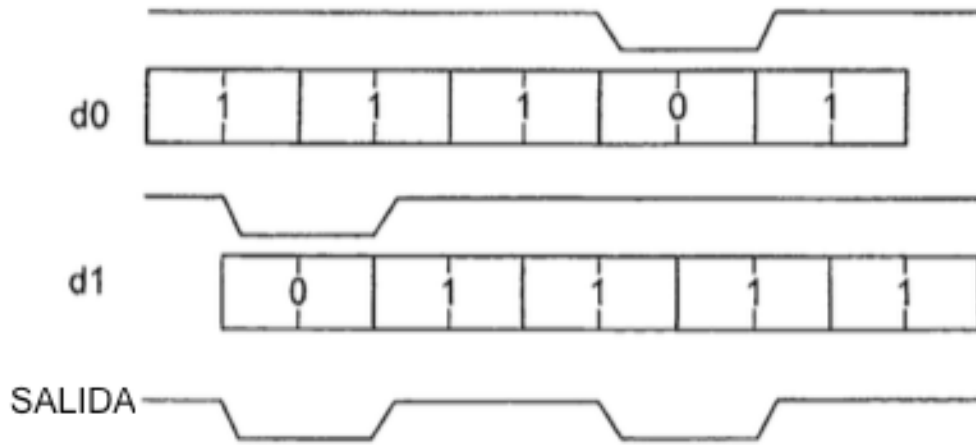


FIG. 9

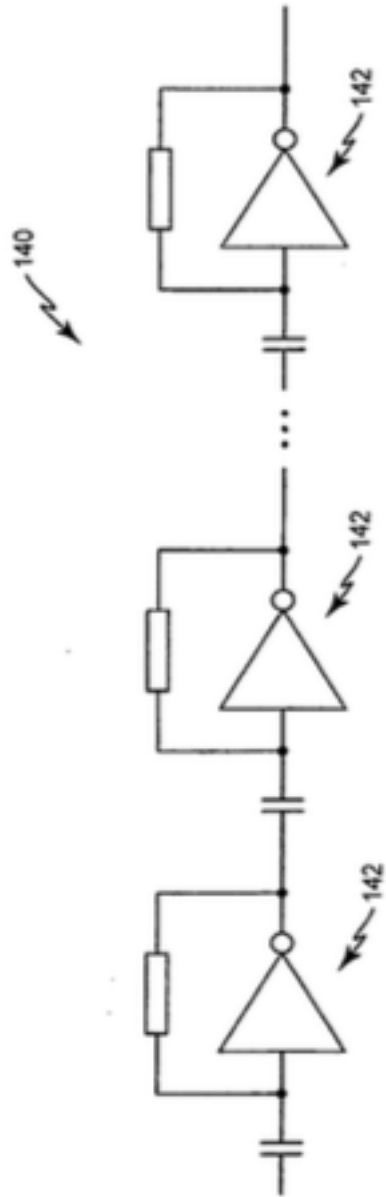


FIG. 10