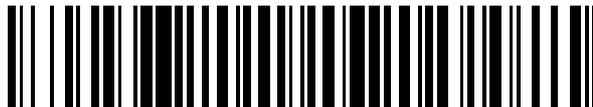


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 528 122**

51 Int. Cl.:

**H02M 7/155** (2006.01)

**B60L 9/08** (2006.01)

**H02M 1/00** (2007.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **31.07.2008 E 08792008 (8)**

97 Fecha y número de publicación de la concesión europea: **19.11.2014 EP 2312738**

54 Título: **Controlador para un vehículo eléctrico de corriente alterna (CA)**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**04.02.2015**

73 Titular/es:

**MITSUBISHI ELECTRIC CORPORATION (100.0%)**  
**7-3, Marunouchi 2-chome Chiyoda-ku**  
**Tokyo 100-8310, JP**

72 Inventor/es:

**MATSUMOTO, TAKEO**

74 Agente/Representante:

**DE ELZABURU MÁRQUEZ, Alberto**

**ES 2 528 122 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Controlador para un vehículo eléctrico de corriente alterna (CA)

### 5 CAMPO TÉCNICO

La presente invención se refiere a un controlador para un vehículo eléctrico de CA, y, más particularmente, a un controlador para un vehículo eléctrico de CA que se adapta para procesar la aritmética de control de una unidad de conversión en una FPGA

10 (Field Programmable Gate Array (Matriz de Puertas Programable In Situ))

### TÉCNICA ANTERIOR

15 El Documento de Patente 1 describe a continuación en la Figura 2, por ejemplo, una configuración típica de una unidad de control del convertidor en un controlador convencional para un vehículo eléctrico de CA. En unidades de control del convertidor convencionales, que incluyen la unidad de control del convertidor descrita en el Documento de Patente 1, se realiza sobre todo procesamiento aritmético mediante software que utiliza un DSP (Digital Signal Processor (Procesador de Señal Digital)), porque el control aritmético mediante el control del convertidor es a menudo una colección de operaciones aritméticas que implican principalmente la suma, resta, multiplicación y división de valores analógicos y se puede configurar fácilmente mediante operaciones aritméticas de números de coma flotante.

20

El Documento de Patente 1: Solicitud de Patente Japonesa Abierta N°. S62-77867

25 El documento titulado "FPGA-based Control of STATCOM using a Compact SVPWM Algorithm" de Zeliang Shu et al. describe un controlador de la técnica relacionada.

25

### EXPOSICIÓN DE LA INVENCION

#### PROBLEMAS QUE SE VAN A RESOLVER MEDIANTE LA INVENCION

30 Como se ha descrito anteriormente, el procesamiento aritmético mediante software que utiliza el DSP se configura principalmente en la unidad de control del convertidor del controlador convencional para un vehículo eléctrico de CA.

35 Sin embargo, en el caso de procesamiento aritmético por software que utiliza el DSP, la velocidad de procesamiento normalmente no se puede aumentar en comparación con la aritmética por hardware, lo que hace que sea aún más difícil mejorar la precisión del control.

35

40 Cuando principalmente se lleva a cabo la aritmética por software que utiliza el DSP, los retardos no deseados o diferencias de adecuación temporal se producen durante el intercambio de datos entre un módulo de control (hardware) con una velocidad de procesamiento relativamente más alta y un módulo de control (software) con una velocidad de procesamiento más baja. En consecuencia, los componentes asíncronos de una frecuencia de alimentación, que idealmente no se producen, se superponen a armónicos de una corriente de retorno producida mediante una operación de conversión y pueden interferir con las operaciones de otros dispositivos de señalización.

40

45 La configuración se puede cambiar a un procesamiento aritmético que se realiza principalmente mediante la FPGA en lugar del procesamiento aritmético mediante software que utiliza el DSP. Sin embargo, la unidad de control del convertidor realiza las operaciones aritméticas que implican principalmente la suma, resta, multiplicación y división de valores analógicos, y por consiguiente la FPGA que realiza operaciones aritméticas de los números en coma fija requiere un mayor número de bits para lograr las operaciones aritméticas con precisión. Como consecuencia, se hacen difíciles las operaciones aritméticas a altas velocidades de procesamiento, que son características inherentes de la FPGA.

50

55 La presente invención se ha alcanzado en vista de los problemas anteriores, y un objeto de la presente invención es proporcionar un controlador para un vehículo eléctrico de CA que puede suprimir la reducción en una velocidad de procesamiento para asegurar la precisión de control deseada y que puede disminuir los impactos sobre los armónicos de retorno cuando la aritmética de control en una unidad de control del convertidor se procesa mediante una FPGA.

55

### MEDIOS PARA RESOLVER EL PROBLEMA

60 Para resolver los problemas anteriormente mencionados y para lograr el objeto, se aplica un controlador para un vehículo eléctrico de CA según la reivindicación 1 a un vehículo eléctrico de CA.

60

### EFFECTO DE LA INVENCION

65 Según el controlador para un vehículo eléctrico de CA de la presente invención, el procesamiento aritmético que se va a realizar en la unidad de control del convertidor se divide en los múltiples bloques de procesamiento aritmético. Los bloques de procesamiento aritmético divididos se configuran mediante la FPGA, y algunos de los bloques de procesamiento aritmético divididos se configuran para permitir el procesamiento paralelo simultáneo. Por lo tanto, se

65

puede suprimir la reducción en la velocidad de procesamiento para asegurar la precisión de control deseada, y se pueden disminuir los efectos sobre los armónicos de retorno.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

- 5 La Figura 1 es un diagrama de bloques funcional que principalmente representa una configuración de una unidad de control del convertidor según una realización de la presente invención.  
 La Figura 2 representa un flujo de los procesos realizados mediante la unidad 20 de control del convertidor mostrada en la Figura 1.  
 10 La Figura 3 muestra detalles del procesamiento realizado mediante un bloque de procesamiento de la conversión A/D • procesamiento de la entrada de señal mostrado en la Figura 2.  
 La Figura 4 representa una configuración de un controlador aplicado a un vehículo eléctrico de CA que tiene una configuración diferente de la que se muestra en la Figura 1.  
 15 La Figura 5 representa una configuración de un controlador aplicado a un vehículo eléctrico de CA que tiene una configuración diferente de las que se muestran en las Figuras 1 y 4.

EXPLICACIONES DE LETRAS O NÚMEROS

- 1 pantógrafo  
 2 transformador principal  
 20 3 convertidor PWM  
 4 carga  
 6a a 6d convertidor A/D  
 7a, 7b filtro  
 8 unidad generadora de onda sinusoidal fundamental  
 25 9 unidad generadora de onda cosenoidal  
 10a a 10c amplificador operacional  
 11a a 11e sumador/restador  
 12 multiplicador  
 13 unidad de control de tensión constante  
 30 14 unidad generadora de portadora  
 15 unidad generadora de señal PWM  
 18 línea aérea  
 20 unidad de control del convertidor  
 21 primera unidad de procesamiento aritmético  
 35 22 segunda unidad de procesamiento aritmético  
 23 tercera unidad de procesamiento aritmético  
 24 cuarta unidad de procesamiento aritmético  
 25 quinta unidad de procesamiento aritmético  
 26 sexta unidad de procesamiento aritmético  
 40 31 bloque 31 de procesamiento de la conversión A/D • procesamiento de la entrada de señal  
 32A primer bloque de procesamiento aritmético  
 32B segundo bloque de procesamiento aritmético  
 32C tercer bloque de procesamiento aritmético  
 45 33A cuarto bloque de procesamiento aritmético  
 33B quinto bloque de procesamiento aritmético  
 34A sexto bloque de procesamiento aritmético  
 34B séptimo bloque de procesamiento aritmético (procesamiento de la generación de onda portadora)  
 35 octavo bloque de procesamiento aritmético (procesamiento de la generación de señal PWM)  
 36 bloque de procesamiento de señal de salida  
 50 41 primer período de procesamiento  
 42 segundo período de procesamiento  
 43 tercer período de procesamiento  
 44 cuarto período de procesamiento  
 45 quinto período de procesamiento  
 55 46 sexto período de procesamiento  
 51 procesamiento de conversión A/D para el voltaje Vd de CC de conversión  
 52 procesamiento de conversión A/D para la corriente de salida IL de conversión  
 53 procesamiento de conversión A/D para el voltaje Vs de la línea aérea  
 54 procesamiento de conversión A/D para la corriente de entrada Is de conversión  
 60 55 procesamiento de la señal de entrada para la referencia de voltaje de CC Vd\*  
 56 procesamiento de la entrada para las constantes de ganancia G1, G2 y G3  
 57 procesamiento de la entrada para las constantes de filtro

65

## MEJOR(ES) MODO(S) PARA LLEVAR A CABO LA INVENCION

Se explicarán a continuación ejemplos de realización de un controlador para un vehículo eléctrico de CA según la presente invención con detalle, con referencia a los dibujos adjuntos. La presente invención no se limita a las realizaciones.

5 La Figura 1 es un diagrama de bloques funcional que representa principalmente una configuración de una unidad de control del convertidor según una realización de la presente invención. Se muestra un sistema de accionamiento de un vehículo eléctrico de CA en una parte superior y se muestra una unidad 20 de control de conversión que constituye un sistema de control del vehículo eléctrico de CA en una parte inferior.

10 En la Figura 1, el sistema de accionamiento del vehículo eléctrico de CA incluye un pantógrafo 1 en el que se introduce la alimentación de CA desde una línea aérea de CA 18, un transformador principal 2 que tiene la energía de CA suministrada desde el pantógrafo 1 como una entrada, un convertor 3 de modulación de ancho de pulso (PWM) que se aplica con una tensión de CA del transformador principal 2 y convierte la tensión aplicada de CA a una tensión de CC, un condensador de filtrado (en adelante, FC) 5 que suaviza la tensión de CC del convertor 3 de PWM, y una carga 4 que se acciona mediante la tensión de CC suavizada por el FC 5. La carga 4 incluye un inversor que convierte la tensión de CC emitida desde el convertor 3 de PWM en una tensión de CA, un motor de CA en el que se introduce la tensión de CA del inversor, un vehículo de ferrocarril accionado por el motor de CA, y similares.

20 Por otro lado, la unidad 20 de control del convertidor que constituye el sistema de control del vehículo eléctrico de CA incluye de la primera a la sexta unidades aritméticas de procesamiento 21 a 26, una unidad 14 de generación de portadora, una unidad 15 de generación de señal de PWM y convertidores 6 analógico/digitales (AD), (6a a 6d).

25 La primera unidad de procesamiento aritmético 21 incluye un filtro 7a, un sumador/restador 11a y una unidad 13 de control de tensión constante, y calcula una cantidad de corrección de tensión de CC,  $V_{d\Delta}$ , basada en una tensión predeterminada  $V_{d^*}$  de referencia de CC generada internamente y una tensión  $V_d$  de CC de conversión real. Se puede utilizar un valor de detección que es una tensión detectada entre ambos extremos del FC 5 como la tensión  $V_d$  de CC de conversión, por ejemplo, como se muestra en la Figura 1.

30 La segunda unidad de procesamiento aritmética 22 incluye un amplificador operacional 10a ("G1" en la Figura 1 denota un valor de ganancia. En lo sucesivo, los valores de ganancia se denotan de manera similar.) y calcula una cantidad de alimentación directa  $I_{sf}$  (en lo sucesivo, "cantidad de alimentación directa de la corriente secundaria") de una corriente de entrada del convertidor que se basa en una corriente  $I_L$  de salida del convertidor. Se puede utilizar un valor de detección que se obtiene mediante la detección de una corriente que fluye a través de un bus de CC que conecta el convertidor 3 de PWM y la carga 4 como la corriente de salida  $I_L$  del convertidor, por ejemplo, como se muestra en la Figura 1.

40 La tercera unidad de procesamiento aritmético 23 incluye un filtro 7b y una unidad 8 de generación de onda sinusoidal fundamental, y calcula una onda sinusoidal fundamental SWF basada en una salida del filtro de una tensión  $V_s$  de la línea aérea. La tercera unidad de procesamiento aritmético 23 también emite una tensión  $V_{s0}$  de la línea aérea a través del filtro 7b además de la onda sinusoidal fundamental SWF.

45 La cuarta unidad de procesamiento aritmético 24 incluye los sumadores/restadores 11b y 11c, un multiplicador 12 y un amplificador operacional 10b, y calcula una primera cantidad de corrección  $V_{sp}$  necesaria para la generación de una referencia de tensión  $V_c$  del convertidor, que se explicará más adelante, basada en la cantidad de corrección de tensión de CC  $V_{d\Delta}$ , en la cantidad de alimentación directa  $I_{sf}$  de corriente secundaria, en la onda sinusoidal fundamental SWF y en una corriente de entrada  $I_s$  del convertidor.

50 La quinta unidad de procesamiento aritmética 25 incluye una unidad 9 de generación de la onda cosenoidal, un amplificador operacional 10c y un sumador/restador 11e, y calcula una segunda cantidad de corrección  $V_{ci}$  necesaria para la generación de la tensión de referencia  $V_c$  del convertidor basada en la salida  $V_{s0}$  del filtro de la tensión de línea aérea y en la corriente de entrada  $I_s$  del convertidor.

55 La sexta unidad de procesamiento aritmética 26 incluye un sumador/restador 11d, y calcula la referencia  $V_c$  de la tensión del convertidor basada en la primera cantidad de corrección  $V_{sp}$  y la segunda cantidad de corrección  $V_{ci}$ .

60 La unidad 14 de generación de portadora calcula una portadora SA necesaria para la generación de una señal PWM basada en la onda sinusoidal fundamental SWF.

La unidad 15 de generación de señal PWM genera una señal PWM para accionar un elemento de conmutación (no mostrado) incluido en el convertidor PWM 3 basada en la referencia  $V_c$  de tensión del convertidor y en la portadora SA, y emite la señal PWM.

65 Aunque la Figura 1 representa la configuración que incluye la segunda unidad de procesamiento aritmético 22 que calcula la cantidad de alimentación directa  $I_{sf}$  de la corriente secundaria, el control del convertidor se puede realizar

sin la segunda unidad de procesamiento aritmética 22. Sin embargo, la segunda unidad de procesamiento aritmético 22 puede realizar aritmética simultánea y es una de las unidades de procesamiento que son claves para las explicaciones del funcionamiento según la presente forma de realización. Por lo tanto, las explicaciones siguientes se dan en la suposición de que se incluye la segunda unidad de procesamiento aritmético 22.

5 Un funcionamiento detallado de la unidad 20 de control del convertidor se explica a continuación con referencia a las Figuras 1 y 2. La Figura 2 representa un flujo de procesos realizados por la unidad 20 de control del convertidor que se muestra en la Figura 1.

10 En la unidad 20 de control del convertidor según la presente realización, el procesamiento aritmético y similares de los elementos constituyentes respectivos realizados en la unidad 20 de control del convertidor se divide en seis períodos de procesamiento desde un primer período de procesamiento 41 a un sexto período de procesamiento 46 dentro de un período de procesamiento T1 completo de la unidad de control del convertidor, como se muestra en la Figura 2. Específicamente, se realiza un proceso mediante un bloque 31 de procesamiento de la conversión A/D (analógico/digital) • procesamiento de la entrada de señal del convertidor en el primer período de procesamiento 41, y los procesos mediante un primer bloque 32A de procesamiento aritmético, un segundo bloque 32B de procesamiento aritmético y un tercer bloque 32C de procesamiento aritmético se realizan en el segundo período de procesamiento 42. Los procesos mediante un cuarto bloque de procesamiento aritmético 33A y un quinto bloque de procesamiento aritmética 33B se llevan a cabo en el tercer período de procesamiento 43, y los procesos mediante un sexto bloque de procesamiento aritmético 34A y un séptimo bloque de procesamiento aritmético 34B (procesamiento de la generación de onda portadora) se realizan en el cuarto período de procesamiento 44. Un proceso mediante un octavo bloque de procesamiento aritmético 35 (procesamiento de la generación de señal PWM) se lleva a cabo en el quinto período de procesamiento 45, y un proceso mediante un bloque de procesamiento 36 de la señal de salida se realiza en el sexto período de procesamiento 46.

25 Aunque la Figura 2 representa un caso en el que los tiempos de inicio de los procesos respectivos mediante el quinto bloque de procesamiento aritmético 33B y el séptimo bloque de procesamiento aritmético 34B se alinean con un tiempo de inicio del proceso mediante el cuarto bloque de procesamiento aritmético 33A, la presente realización no se limita a este caso. Por ejemplo, el quinto bloque de procesamiento aritmética 33B puede iniciar el proceso antes del cuarto bloque de procesamiento aritmético 33A, o puede establecer un punto de inicio del proceso en un punto arbitrario durante el tercer período de procesamiento 43, de manera que un tiempo total del proceso casi se alinea con un tiempo total del proceso mediante el cuarto bloque de procesamiento aritmético 33A. El séptimo bloque de procesamiento aritmético 34B puede establecer un punto de inicio del proceso en un punto arbitrario durante los períodos de procesamiento del tercer período de procesamiento 43 y del cuarto período de procesamiento 44 de manera que un tiempo total del proceso casi se alinea con un tiempo completo del proceso mediante el sexto bloque de procesamiento aritmético 34A.

40 Los respectivos bloques de procesamiento se explican a continuación. El bloque 31 de procesamiento de la conversión A/D • procesamiento de la entrada de señal incluye el procesamiento de la conversión A/D realizada en los convertidores A/D 6a a 6d, establecer el procesamiento para las ganancias realizadas en los amplificadores operacionales 10a a 10c, el procesamiento de entrada para las constantes de filtro realizadas en los filtros 7a y 7b, y similares. El primer bloque de procesamiento aritmético 32A corresponde al procesamiento realizado mediante la primera unidad de procesamiento aritmético 21. Del mismo modo, el segundo bloque de procesamiento aritmético 32B corresponde al procesamiento realizado mediante la segunda unidad de procesamiento aritmético 22, el tercer bloque de procesamiento aritmético 32C corresponde al procesamiento realizado mediante la tercera unidad de procesamiento aritmético 23, el cuarto bloque de procesamiento aritmético 33A corresponde al procesamiento realizado mediante la cuarta unidad de procesamiento aritmético 24, el quinto bloque de procesamiento aritmético 33B corresponde al procesamiento realizado por la quinta unidad de procesamiento aritmético 25 y el sexto bloque de procesamiento aritmético 34A corresponde al procesamiento realizado mediante la sexta unidad de procesamiento aritmético 26. El séptimo bloque de procesamiento aritmético 34B (procesamiento de la generación de la onda portadora) corresponde al tratamiento realizado mediante la unidad 14 de generación de portadora, y el octavo bloque de procesamiento aritmético 35 (procesamiento de la generación de señal PWM) corresponde al procesamiento realizado mediante la unidad 15 de generación de la señal PWM. El bloque de procesamiento de la señal de salida 36 corresponde al procesamiento de la interfaz realizada cuando la señal PWM se emite al convertidor 3 de PWM, y similares.

55 El funcionamiento de la unidad 20 de control del convertidor según la presente realización se explica a continuación en relación con los elementos constituyentes que se muestran en la Figura 1 y con los bloques de procesamiento que se muestran en la Figura 2.

60 (Funcionamiento de la primera unidad de procesamiento aritmético 21)  
La tensión de salida  $V_d$  del convertidor introducida en la unidad 20 de control del convertidor se convierte mediante el convertidor A/D 6a en una señal digital (el bloque 31 de procesamiento de la conversión A/D • procesamiento de la entrada de señal). La señal digital obtenida se introduce en el filtro 7a de la primera unidad de procesamiento aritmético 21. El sumador/restador 11a calcula entonces una diferencia entre la referencia de tensión  $V_d^*$  de CC y la

## ES 2 528 122 T3

salida  $V_{d0}$  del filtro 7a, y la unidad 13 de control de tensión constante calcula la cantidad de corrección  $V_{da}$  de tensión de CC (el primer bloque de procesamiento aritmético 32A).

(Funcionamiento de la segunda unidad de procesamiento aritmético 22)

5 La corriente de salida  $I_L$  del convertidor introducida en la unidad 20 de control del convertidor se convierte mediante el convertidor A/D 6b en una señal digital (el bloque 31 de procesamiento de la conversión A/D • procesamiento de la entrada de señal). La señal digital obtenida se multiplica por la ganancia  $G_1$  en el amplificador operacional 10a de la segunda unidad de procesamiento aritmético 22 para calcular la cantidad de alimentación directa de corriente secundaria  $I_{sf}$  (el segundo bloque de procesamiento aritmético 32B).

10 (Funcionamiento de la tercera unidad de procesamiento aritmético 23)  
La tensión  $V_s$  de línea aérea introducida en la unidad 20 de control del convertidor se convierte mediante el convertidor A/D 6d en una señal digital (el bloque 31 de procesamiento de la conversión A/D • procesamiento de la entrada de señal). La señal digital obtenida se introduce en el filtro 7b de la tercera unidad de procesamiento aritmético 23 para generar la salida  $V_{s0}$  del filtro de la línea aérea de tensión, y la salida  $V_{s0}$  del filtro de la línea aérea de tensión se introduce en la unidad 8 generadora de onda sinusoidal fundamental para calcular la onda sinusoidal fundamental SWF (el tercer bloque de procesamiento aritmético 32C).

15 Las operaciones desde las primeras unidades de procesamiento aritmético 21 a las terceras unidades de procesamiento aritmético 23 se pueden procesar simultáneamente en paralelo, y por lo tanto se pueden realizar como procesamientos aritméticos que utilizan diferentes circuitos en la FPGA.

(Funcionamiento de la cuarta unidad de procesamiento aritmético 24)

25 La corriente de entrada  $I_s$  del convertidor introducida en la unidad 20 de control del convertidor se convierte mediante el convertidor A/D 6c en una señal digital (el bloque 31 de procesamiento de la conversión A/D • procesamiento de la entrada de señal). La cantidad  $V_{da}$  de corrección de tensión de CC, la cantidad  $I_{sf}$  de alimentación directa de la corriente secundaria, y la onda sinusoidal fundamental SWF, que son salidas desde las primeras unidades de procesamiento aritmético 21 a las terceras unidades de procesamiento aritmético 23 se introducen en la cuarta unidad de procesamiento aritmético 24. La cantidad  $V_{da}$  de corrección de tensión de CC y la cantidad  $I_{sf}$  de alimentación directa de corriente secundaria se introducen al sumador/restador 11b de la cuarta unidad de procesamiento aritmético 24. Una salida adicional  $I_{sp}$  de la misma se multiplica por la onda sinusoidal fundamental SWF en el multiplicador 12 para calcular una corriente de entrada de referencia  $I_s^*$  del convertidor. Se calcula mediante el sumador/restador 11c una desviación  $\Delta I_s$  entre la corriente de entrada de referencia  $I_s^*$  del convertidor y la corriente de entrada del convertidor convertida en la señal digital mediante el convertidor A/D 6c. El amplificador operacional 10b calcula la primera cantidad de corrección  $V_{sp}$  multiplicando la desviación  $\Delta I_s$  por la ganancia  $G_2$  (estos corresponden al cuarto bloque de procesamiento aritmético 33A).

(Funcionamiento de la quinta unidad de procesamiento aritmético 25)

40 La corriente de entrada  $I_s$  del convertidor convertida en la señal digital mediante el convertidor A/D 6c se introduce también a la unidad 9 generadora de onda cosenoidal de la quinta unidad de procesamiento aritmético 25 (el bloque 31 de procesamiento de la conversión A/D • procesamiento de la entrada de señal). En la quinta unidad de procesamiento aritmético 25, la unidad 9 generadora de onda cosenoidal genera una onda coseno CWF basada en la corriente de entrada  $I_s$  del convertidor, y el amplificador operacional 10c calcula una cantidad de corrección VL multiplicando la onda coseno CWF por la ganancia  $G_3$ . La cantidad de corrección VL calculada y la salida  $V_{s0}$  del filtro de la línea aérea de tensión introducidos desde la tercera unidad de procesamiento aritmético 23, se introducen en el sumador/restador 11e. Una salida del mismo de la resta se calcula como la segunda cantidad de corrección  $V_{ci}$  (estas corresponden al quinto bloque de procesamiento aritmético 33B).

45 Las operaciones de la cuarta unidad de procesamiento aritmético 24 y la quinta unidad de procesamiento aritmético 25 también pueden procesarse simultáneamente en paralelo, y en consecuencia se pueden realizar como procesamientos aritméticos que utilizan diferentes circuitos en la FPGA.

(Funcionamiento de la sexta unidad de procesamiento aritmético 26)

50 La primera cantidad de corrección  $V_{sp}$  y la segunda cantidad de corrección  $V_{ci}$ , que son las salidas de la cuarta y la quinta unidades de procesamiento aritmético 24 y 25, respectivamente, se introducen en el sumador/restador 11d de la sexta unidad de procesamiento aritmético 26. Una salida de la resta de los mismos se calcula como la referencia de tensión  $V_c$  del convertidor (el sexto bloque de procesamiento aritmético 34A).

(Funcionamiento de la unidad 14 generadora de la portadora)

55 La unidad 14 generadora de portadora calcula la portadora SA necesaria para la generación de la señal PWM sobre la base de la onda sinusoidal fundamental SWF introducida desde la tercera unidad de procesamiento aritmético 23 (el séptimo bloque de procesamiento aritmético 34B). El procesamiento aritmético de la unidad 14 generadora de portadora se puede realizar en paralelo con el procesamiento aritmético de la cuarta unidad de procesamiento aritmético 24 y la quinta unidad de procesamiento aritmético 25, o en paralelo con el procesamiento aritmético de la sexta unidad de procesamiento aritmético 26.

(Funcionamiento de la unidad 15 que genera la señal PWM)

La unidad 15 generadora de señal PWM genera una señal de control PWM para accionar el convertidor PWM 3 basado en la referencia de tensión  $V_c$  del convertidor calculada mediante la sexta unidad de procesamiento aritmético 26 y la portadora SA calculada mediante la unidad 14 generadora de portadora (el octavo bloque de procesamiento aritmético 35). La señal de control PWM generada se emite al convertidor PWM 3 (el bloque 36 de procesamiento de la señal de salida).

Como se describió anteriormente, la unidad de control del convertidor según la presente realización lleva a cabo el respectivo procesamiento aritmético dentro del período completo de procesamiento T1 de la unidad de control del convertidor, y realiza el respectivo procesamiento aritmético mediante la FPGA de modo que el procesamiento aritmético se completa dentro del período de procesamiento T1.

La Figura 3 representa detalles del procesamiento realizado por el bloque 31 de procesamiento de la conversión A/D • procesamiento de la entrada de señal que se muestra en la Figura 2. Como se muestra en la Figura 3, el bloque 31 de procesamiento de la conversión A/D • procesamiento de la entrada de señal realiza procesamiento tal como el procesamiento 51 del convertidor A/D para la tensión  $V_d$  de CC del convertidor, como el procesamiento 52 de conversión para la corriente de entrada  $I_L$  del convertidor, como el procesamiento 53 de conversión A/D para la tensión  $V_s$  de la línea aérea, como el procesamiento 54 de conversión A/D para la corriente de entrada  $I_s$  del convertidor, como el procesamiento 55 de la entrada de señal para la referencia de tensión de CC  $V_d^*$ , como el procesamiento 56 para las constantes de ganancia  $G_1$ ,  $G_2$  y  $G_3$ , y como el procesamiento de entrada 57 para las constantes de filtrado.

Cuando la aritmética de una unidad de control del convertidor se realiza mediante una FPGA, las constantes las constantes que se van a utilizar en las respectivas aritméticas se pueden incorporar en la FPGA. Sin embargo, la alteración de la lógica FPGA requiere un dispositivo especial con respecto a la alteración de las lógicas de software y complica las operaciones. Por consiguiente, cuando las constantes de la unidad de control se van a cambiar en una etapa de ajuste, por ejemplo, la operación de cambio no se puede realizar fácilmente y se requiere mucho tiempo para el ajuste.

Mientras tanto, la unidad de control del convertidor según la presente realización tiene la configuración en la que establecer o cambiar las constantes de ganancia  $G_1$  a  $G_3$  y las constantes de filtrado que se van a utilizar para la aritmética de control en el bloque 31 de procesamiento de la conversión A/D • procesamiento de la entrada de señal que se realiza mediante la lectura de software, como se muestra en la Figura 3, y por lo tanto no se requiere mucho tiempo para el ajuste. Es decir, en la unidad de control del convertidor según la presente realización, el cambio de las constantes de ganancia y de las constantes de filtrado se realiza mediante el cambio del software. Por lo tanto, no son necesarios ningún dispositivo o procedimientos especiales como en el cambio de las constantes incorporadas en la FPGA, lo que facilita el ajuste y logra la reducción del tiempo.

Aunque la lectura de las constantes de ganancia y las constantes de filtrado se realiza al principio de cada período de procesamiento en el procesamiento mostrado en las Figuras 2 y 3, la presente realización no se limita a ello. Por ejemplo, el proceso de lectura se puede realizar en el tiempo predeterminado, tal como inmediatamente después de la activación de potencia. También en tal caso, se pueden obtener efectos similares a los de la presente realización.

Como se describió anteriormente, según el controlador para un vehículo eléctrico de CA de la presente realización, cuando la aritmética de la unidad de control del convertidor se realiza mediante la FPGA, algunas partes del procesamiento aritmético que se pueden realizar simultáneamente entre partes múltiples del procesamiento aritmético necesarias para el control del convertidor se combinan y se realizan en paralelo. Por lo tanto, se puede lograr el procesamiento de alta velocidad al mismo tiempo que se realizan las operaciones aritméticas de los números en coma fija con un mayor número de bits.

Según el controlador para un vehículo eléctrico de CA de la presente realización, las múltiples partes de la aritmética de procesamiento necesaria para el control del convertidor se pueden completar todas en el procesamiento de la FPGA. Por lo tanto, se pueden evitar los retardos no deseados en el procesamiento o las diferencias de adecuación temporal entre los módulos de control que tienen diferentes velocidades de procesamiento. Como resultado, se pueden reducir los armónicos de retorno producidos por el funcionamiento del convertidor, y se pueden disminuir los efectos sobre las operaciones de otros dispositivos de señal.

Según el controlador para un vehículo eléctrico de CA de la presente realización, el cambio de las constantes de ganancia y las constantes de filtrado utilizados en la aritmética de control se puede lograr mediante el cambio del software. Por lo tanto, no se requiere ningún dispositivo o procedimientos especiales como en el cambio de las constantes incorporadas en la FPGA, lo que facilita el ajuste y reduce el tiempo de ajuste.

La Figura 4 representa una configuración de un controlador aplicado a un vehículo eléctrico de CA que tiene una configuración diferente a la mostrada en la Figura 1. En el controlador que se muestra en la Figura 1, la tensión en un lado primario del transformador principal 2 se controla como la tensión  $V_s$  de la línea aérea. Mientras tanto, en el controlador que se muestra en la Figura 4, se controla una tensión en un lado terciario del transformador principal 2.

Incluso con la configuración que controla la tensión en el lado terciario del transformador principal 2, cuando la unidad de control del convertidor 20 tiene la misma o equivalente configuración que se muestra en la Figura 1, se pueden obtener, por supuesto, efectos similares a los del controlador como se describió anteriormente.

5 La Figura 5 representa una configuración de un controlador aplicado a un vehículo eléctrico de CA que tiene una configuración diferente a las mostradas en las Figuras 1 y 4. Mientras el vehículo eléctrico de CA que se muestra en la Figura 1 tiene la configuración que incluye un convertidor PWM, el vehículo eléctrico de CA que se muestra en la Figura 5 tiene una configuración que incluye dos convertidores PWM conectados en paralelo a una carga. En el  
 10 vehículo eléctrico de CA con esta configuración, la primera unidad de procesamiento aritmético 21 y la segunda unidad de procesamiento aritmético 22 se comparten, y de la tercera unidad de procesamiento aritmético 23 a la sexta unidad de procesamiento aritmético 26, la unidad 14 generadora de portadora y la unidad 15 generadora de señal PWM se proporcionan, respectivamente, como se muestra en la Figura 5. De este modo, se puede realizar el procesamiento dividido en los bloques de procesamiento aritmético como en la Figura 2. Por lo tanto, incluso con la configuración del controlador que se muestra en la Figura 5, se pueden obtener, por supuesto, efectos similares a  
 15 los del controlador como se describió anteriormente.

Además, en el controlador según la presente realización, otros bloques de procesamiento aritmético distintos que el bloque 31 de procesamiento de la conversión A/D • procesamiento de la entrada de señal y el bloque 36 de procesamiento de la señal de salida 36 se dividen en los primer a octavo bloques de procesamiento aritmético. Por  
 20 lo tanto, incluso cuando se cambian las especificaciones y la configuración del vehículo eléctrico de CA, o de las especificaciones y la configuración del controlador como se muestra en las Figuras 1, 4 y 5, se requiere solo el cambio de los bloques aritméticos asociados correspondientes al cambio en las especificaciones o similares. En consecuencia, se pueden facilitar el cambio o ajuste de los modelos y se puede lograr la reducción del tiempo. Además, también en caso de fallo, tal como la avería, una parte rota se puede fácilmente separar y por lo tanto se  
 25 puede aumentar la facilidad en la recuperación y la fiabilidad del controlador.

Cuando el procesamiento aritmético del controlador se divide del primer al octavo bloques de procesamiento aritméticos como en la presente realización, se reducen de tamaño los respectivos recursos y se aumenta la flexibilidad en la disposición en la FPGA. En consecuencia, es posible configurar una multitud de FPGAs  
 30 relativamente más pequeñas, manteniendo al mismo tiempo la alta velocidad de procesamiento aritmético, lo que reduce el tamaño completo del controlador.

#### APLICABILIDAD INDUSTRIAL

35 Como se ha descrito anteriormente, el controlador para un vehículo eléctrico de CA según la presente invención es útil como una invención que puede procesar el control aritmético de una unidad de conversión en una FPGA.

## REIVINDICACIONES

1. Un controlador (20) para un vehículo eléctrico de CA que se aplica a un vehículo eléctrico de CA que tiene un convertidor (3) de modulación de ancho de pulso (PWM) que convierte una tensión de CA introducida desde una línea aérea (18) a través de un transformador (2) en una tensión de CC, y que comprende una unidad de control del convertidor que controla una operación del convertidor (3) de PWM, en el que la unidad de control del convertidor se divide en múltiples unidades de procesamiento aritmético configuradas mediante una matriz de puertas programables in situ (FPGA), y las unidades de procesamiento aritmético se adaptan para cambiar a corresponder a un cambio en la especificación del vehículo eléctrico de CA y, además se configuran mediante la FPGA para incluir:
- una primera unidad de procesamiento aritmético (32A) que calcula una cantidad de corrección de tensión de CC basada en una referencia de tensión de CC predeterminado y en una tensión de CC del convertidor PWM para sacar la cantidad de corrección de tensión de CC;
  - una tercera unidad de procesamiento aritmético (32C) que realiza el procesamiento simultáneamente en paralelo con la primera unidad de procesamiento aritmético, y calcula una onda sinusoidal fundamental basada en una tensión de línea aérea a través de un filtro para sacar la onda sinusoidal fundamental;
  - una cuarta unidad de procesamiento aritmético (33A) que calcula una primera cantidad de corrección asociada con la generación de una tensión de referencia del convertidor, en base a la cantidad de corrección de tensión de CC, la onda sinusoidal fundamental y una corriente de entrada del convertidor PWM para sacar la primera cantidad de corrección;
  - una quinta unidad de procesamiento aritmético (33B) que realiza el procesamiento simultáneamente en paralelo con la cuarta unidad de procesamiento aritmético, y calcula una segunda cantidad de corrección asociada con la generación de la referencia de tensión del convertidor, en base a una salida del filtro de la tensión de línea aérea y a la corriente de entrada del convertidor PWM para sacar la segunda cantidad de corrección; y
  - una sexta unidad de procesamiento (34A) que calcula la referencia de tensión del convertidor en base a la primera y segunda cantidades de corrección para sacar la referencia de tensión del convertidor.
2. El controlador (20) para un vehículo eléctrico de CA según la reivindicación 1, en el que el vehículo eléctrico de CA tiene una multitud de convertidores PWM (3a, 3b) que convierten una tensión de CA introducida desde una línea aérea a través de un transformador en una tensión de CC, y que comprende una unidad de control del convertidor que controla las operaciones de los convertidores PWM (3a, 3b) que se conectan en paralelo a una carga (4).
3. El controlador (20) para un vehículo eléctrico de CA según las reivindicaciones 1 o 2, en el que las unidades de procesamiento aritmético configuradas mediante la FPGA incluyen una segunda unidad de procesamiento aritmético (32B) que realiza el procesamiento simultáneamente en paralelo con la primera y tercera unidades de procesamiento aritmético (32A, 32C), y calcula una cantidad de alimentación directa para la corriente de entrada de los convertidores PWM basada en una corriente de salida de los convertidores PWM para sacar la cantidad de alimentación directa.
4. El controlador (20) para un vehículo eléctrico de CA según las reivindicaciones 1 o 2, en el que las unidades de procesamiento aritmético configuradas mediante la FPGA incluyen:
- una séptima unidad aritmética (34B) que realiza el procesamiento simultáneamente en paralelo con la sexta unidad de procesamiento aritmético (34A), y calcula una portadora asociado con la generación de una señal PWM para accionar los convertidores PWM, basada en la onda sinusoidal fundamental para sacar la portadora; y
  - una octava unidad de procesamiento aritmético (35) que calcula la señal PWM basada en la referencia de tensión del convertidor y la portadora para sacar la señal PWM.
5. El controlador (20) para un vehículo eléctrico de CA según la reivindicación 2, en el que la primera unidad de procesamiento aritmético es compartida por los convertidores PWM, y la tercera a la sexta unidades de procesamiento aritmético (32C, 33A, 33B, 34A) se proporcionan a cada uno de los convertidores PWM.
6. El controlador (20) para un vehículo eléctrico de CA según una cualquiera de las reivindicaciones 1 a 5, en el que las unidades de procesamiento aritmético configurados mediante la FPGA incluyen una unidad (31) de procesamiento de la conversión A/D • procesamiento de la entrada de señal que lee las constantes que se van a utilizar en la aritmética por las unidades de procesamiento aritmético configuradas mediante la FPGA en la adecuación temporal predeterminada dentro de cada período de procesamiento aritmético.
7. El controlador (20) para un vehículo eléctrico de CA según la reivindicación 6, en el que

la unidad (31) de procesamiento de la conversión A/D • procesamiento de la entrada de señal realiza el establecimiento o el cambio de las constantes que se van a utilizar en la aritmética por las unidades de procesamiento aritmético mediante la lectura del software.

- 5 8. El controlador (20) para un vehículo eléctrico de CA según la reivindicación 1, en el que las unidades de procesamiento aritmético configuradas mediante la FPGA además incluyen:
- 10 una segunda unidad de procesamiento aritmético (32B) que calcula una cantidad de alimentación directa para una corriente de entrada del convertidor PWM en base a una corriente de salida del convertidor PWM para sacar la cantidad de alimentación directa;
- una séptima unidad de procesamiento aritmético (34B) que calcula una portadora asociada con la generación de una señal PWM para accionar el convertidor PWM, basada en la onda sinusoidal fundamental para sacar la portadora; y
- 15 una octava unidad de procesamiento aritmético (35) que calcula la señal PWM sobre la base de la referencia de tensión del convertidor y la portadora para sacar la señal PWM, las primera, segunda y tercera unidades aritméticas de procesamiento (32A, 32B, 32C) sometidas a procesamiento aritmético durante un primer período de transformación, la cuarta y quinta unidades aritméticas de procesamiento (33A, 33B) sometidas a procesamiento aritmético durante un segundo período de procesamiento que sigue al primer período de procesamiento, la sexta unidad de procesamiento aritmético (34A) sometida a procesamiento aritmético durante un tercer período de procesamiento que sigue al segundo período de procesamiento, la séptima
- 20 unidad de procesamiento aritmético (34B) sometida a procesamiento aritmético durante el segundo y tercer períodos de procesamiento, y la octava unidad de procesamiento aritmético (35) sometida a procesamiento aritmético durante un cuarto período de procesamiento que sigue al tercer período de procesamiento.

FIG.1

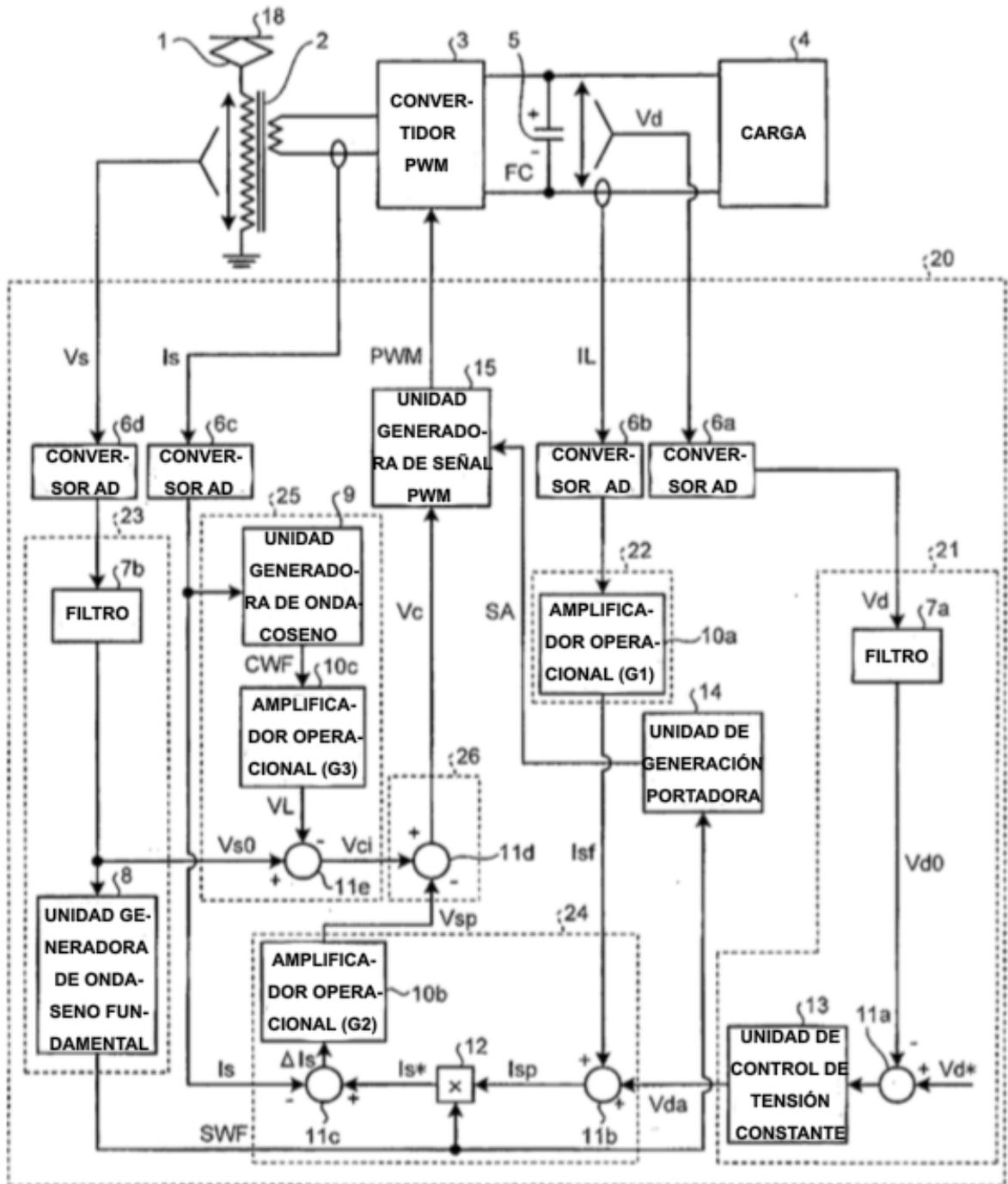


FIG.2

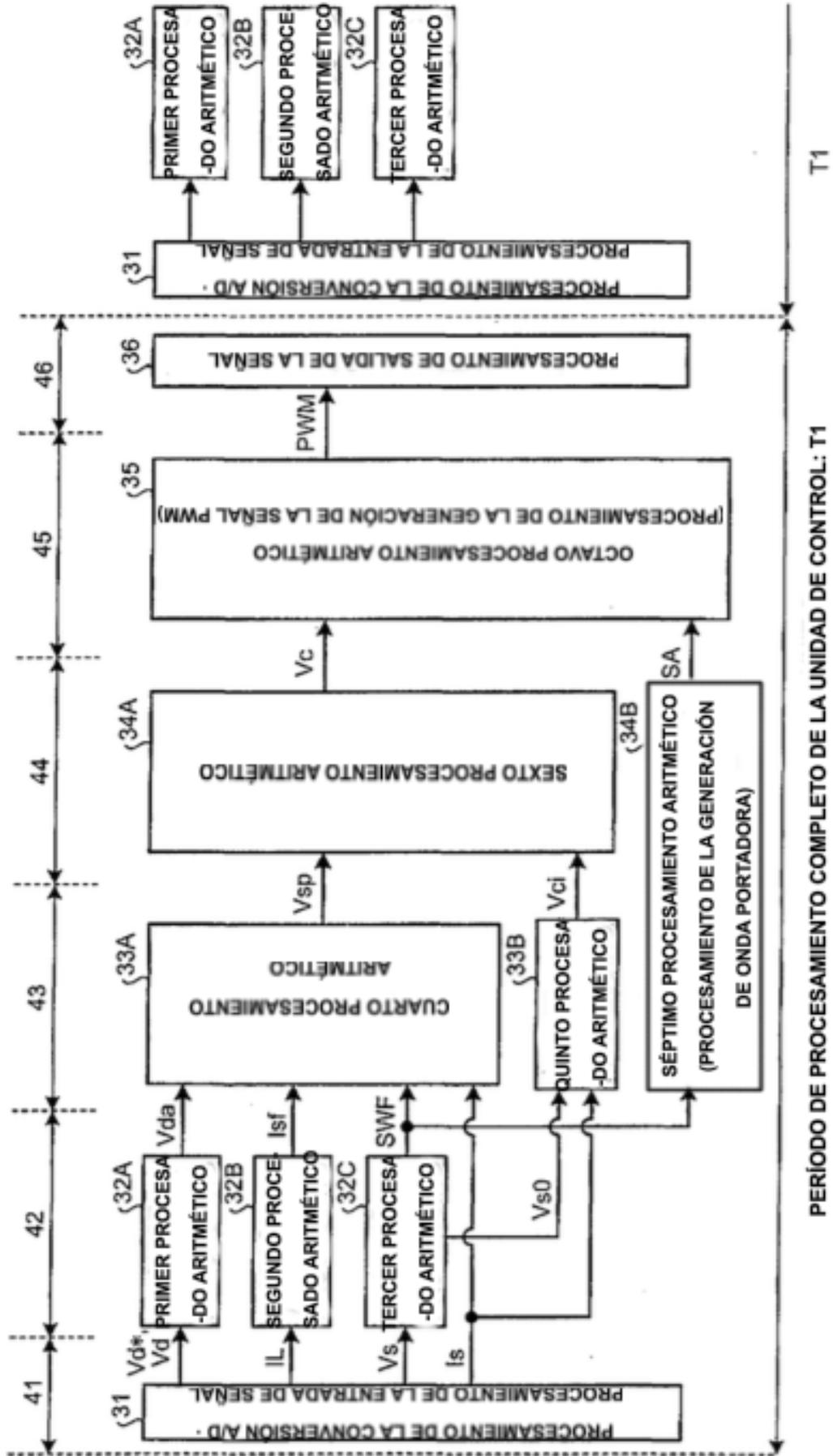


FIG.3





FIG.5

