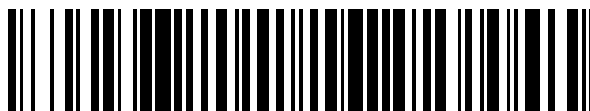


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 529 145**

51 Int. Cl.:

H04L 7/033 (2006.01)

H04L 25/03 (2006.01)

H03L 7/091 (2006.01)

H04L 7/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **06.09.2007 E 07806838 (4)**

97 Fecha y número de publicación de la concesión europea: **05.11.2014 EP 2075949**

54 Título: **Dispositivo de restauración de datos de reloj**

30 Prioridad:

12.10.2006 JP 2006278994

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

17.02.2015

73 Titular/es:

**THINE ELECTRONICS, INC. (100.0%)
9-1 Kanda-mitoshiro-cho
101-0053 Chiyoda-ku, Tokyo, JP**

72 Inventor/es:

OZAWA, SEIICHI

74 Agente/Representante:

LINAGE GONZÁLEZ, Rafael

ES 2 529 145 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de restauración de datos de reloj

5 Campo técnico

La presente invención se refiere a un dispositivo para restaurar unos datos y una señal de reloj sobre la base de una señal digital que es introducida.

10 Antecedentes de la técnica

La forma de onda de una señal digital que es emitida por un transmisor se deteriora mientras que se transmite desde el transmisor a un receptor mediante una trayectoria de transmisión. Por lo tanto, se requiere que unos datos y una señal de reloj sean restaurados en el lado de receptor. Un dispositivo de restauración de datos de reloj para realizar dicha restauración se describe en los documentos de patente 1, 2 y 3, por ejemplo, y en la patente DE 10 2005 022 684 A1.

Un dispositivo general de la restauración de datos de reloj detecta los datos de una señal digital introducida cuya forma de onda se deterioró en el tiempo central de cada período de bits (el valor detectado se denota $D(n)$) y en un tiempo de transición desde un cierto bitio hasta el siguiente bitio (el valor detectado se denota $DX(n)$). Además, el dispositivo de restauración de datos de reloj es capaz de obtener la señal y los datos restaurados de reloj mediante el ajuste, basado en los valores $D(n)$ y en el valor $DX(n)$, del ciclo o fase de la señal de reloj, de manera que la diferencia de fase entre la señal digital introducida y la señal de reloj que indica la disposición temporal en la que estos valores son detectados se reduce.

Además, se conoce un dispositivo de restauración de datos de reloj que comprende una sección de ecualizador que ajusta el nivel de la señal digital introducida antes de la emisión misma. La sección de ecualizador compensa la pérdida a la que es sometida la señal digital introducida mientras que es transmitida desde el transmisor al receptor mediante la trayectoria de transmisión al ajustar el nivel de la señal digital introducida. El dispositivo de restauración de datos de reloj detecta el valor $D(n)$ y el valor $DX(n)$ de la señal digital cuyo nivel se ajusta por la sección de ecualizador.

El documento 4 de patente describe un receptor que comprende una sección de ecualizador que es activado y desactivado sobre la base de una métrica de correlación de señal.

[Documento 1 de patente] Solicitud japonesa de patente, abierta, nº H7-221800
 [Documento 2 de patente] Traducción japonesa publicada nº 2004-507963 de la Publicación Internacional PCT
 [Documento 3 de patente] Traducción japonesa publicada nº 2005-341582 de la Publicación Internacional PCT
 [Documento 4 de patente] Documento US 2004/240531 A1

40 Divulgación de la invención

Problema a resolver por la invención

Un dispositivo de restauración de datos de reloj que comprende una sección de ecualizador tal de esta clase restaura una señal de reloj por medio de control de fase y de frecuencia sobre la base de una señal de entrada y corrige la forma de onda de señal de entrada por medio de una sección de ecualizador. La intensidad de corrección de la forma de onda de señal de entrada de la sección de ecualizador se ajusta a un nivel óptimo para los casos en que la pérdida que sufre la señal durante la transmisión varía, sobre la base del valor de datos detectado. En otras palabras, el requisito previo para la corrección adecuada de la forma de onda de señal de entrada es la detección precisa de los datos.

Sin embargo, en los casos en que la fase y la frecuencia de la señal de reloj que indica el tiempo de datos de muestreo son desplazadas una cantidad grande con respecto a la señal digital introducida, los datos no pueden ser detectados de manera precisa, y la corrección de la forma de onda con una intensidad adecuada por la sección de ecualizador es problemática. Por lo tanto, los casos en que la corrección de la forma de onda no se realiza con una intensidad adecuada incluyen los casos en que la restauración de la fase y la frecuencia de la señal de reloj se vuelve fácilmente imprecisa.

La presente invención se concibió con el fin de resolver el problema anterior, y un objeto de la presente invención es proporcionar un dispositivo de restauración de datos de reloj que sea capaz de restaurar la señal y los datos de reloj de una manera más precisa.

Medios para resolver el problema

El dispositivo de restauración de datos de reloj de acuerdo con la presente invención es un dispositivo que restaura

la señal y los datos de reloj sobre la base de una señal digital introducida, que comprende una sección de ecualizador, una sección de muestreador, una sección de generación de reloj, una sección de control de ecualizador, y una sección de monitor de fase.

5 La sección de ecualizador ajusta el nivel de la señal digital introducida y emite la señal digital ajustada. La sección de muestreador recibe la entrada de una señal CK de reloj y una señal CKX de reloj que tienen el mismo ciclo T, así como la emisión de señal digital por la sección de ecualizador. En cada período enésimo T(n) del ciclo, la sección de muestreador muestrea, mantiene y emite un valor D(n) de la señal digital en un tiempo t_c indicado por la señal CK de reloj, y muestrea, mantiene y emite un valor DX(n) de la señal digital en un momento t_x indicado por la señal CKX de reloj, donde $t_c < t_x$ y n es un número entero.

10 En cada período T(n), la sección de generación de reloj ajusta el ciclo T o la fase de manera que la diferencia de fase entre la señal CK de reloj y la señal digital disminuye sobre la base del valor D(n) y el valor DX(n), que son emitidos por la sección de muestreador, y emite la señal CK de reloj y la señal CKX de reloj, que satisfacen la relación ' $t_x - t_c = T/2$ ', a la sección de muestreador.

15 En cada período T(n), la sección de control de ecualizador realiza el control de la cantidad de ajuste de nivel de la señal digital mediante la sección de ecualizador sobre la base del nivel de la señal digital es emitida por la sección de ecualizador, o sobre la base del valor D(n) y del valor DX(n), que son emitidos por la sección de muestreador el dispositivo de restauración de datos de reloj se caracteriza porque, en cada período T(n), la sección de monitor de fase detecta la relación de fase entre la señal CK de reloj y la señal digital sobre la base del valor D(n) y del valor DX(n), que son emitidos por la sección de muestreador y, cuando la diferencia de fase es mayor que un valor predeterminado, detiene el control de la cantidad de ajuste de nivel de la señal digital mediante la sección de control de ecualizador.

20 La entrada de señal digital al dispositivo de restauración de datos de reloj es ajustada a un primer nivel por la sección de ecualizador e introducida a la sección de muestreador. La señal CK de reloj y la señal CKX de reloj que tienen el mismo ciclo de T son también introducidas en la sección de muestreador. Además, en cada uno de los períodos enésimos T(n) del ciclo, la sección de muestreador muestrea, mantiene y emite el valor D(n) de la señal digital en el tiempo indicado por la señal CK de reloj y muestrea, mantiene y emite el valor DX(n) de la señal digital en el tiempo indicado por la señal CKX de reloj. El valor D(n) y el valor DX(n) que son emitidos por la sección de muestreador son cada uno introducidos en la sección de generación de reloj y la sección de monitor de fase.

25 La sección de generación de reloj ajusta el ciclo T o la fase sobre la base del valor D(n) y del valor DX(n) emitidos por la sección de muestreador de manera que la diferencia de fase entre la señal CK de reloj y la señal digital disminuye, y emite la señal CK de reloj y la señal CKX de reloj que satisfacen la relación ' $t_x - t_c = T/2$ ' a la sección de muestreador. Como resultado del procesamiento de bucle de la sección de muestreador y la sección de generación de reloj, la señal CK o CKX de reloj se genera como una señal de reloj que se restaura sobre la base de la señal digital introducida.

30 La sección de control de ecualizador realiza el control de la cantidad de ajuste de nivel de la señal digital mediante la sección de ecualizador sobre la base del nivel de emisión de señal digital emitida por la sección de ecualizador o el valor D(n) y el valor DX(n) que son emitidos por la sección de muestreador. Sin embargo, el control por la sección de control de ecualizador se permite o se detiene sobre la base del resultado de detección de la relación de fase de la sección de monitor de fase. En otras palabras, la sección de monitor de fase detecta la relación de fase entre la señal CK de reloj y la señal digital sobre la base del valor D(n) y del valor DX(n), que son emitidos por la sección de muestreador. Además, cuando la diferencia de fase es mayor que un valor predeterminado, el control de la cantidad de ajuste de nivel de la señal digital por la sección de control de ecualizador se detiene y, cuando la diferencia de fase es igual o menor que un valor predeterminado, el control de la cantidad de ajuste de nivel de la señal digital por la sección de control de ecualizador se permite.

35 De este modo, el dispositivo de restauración de datos de reloj de acuerdo con la presente invención controla la cantidad de ajuste de nivel de la señal digital por la sección de ecualizador por medio del procesamiento de bucle mediante la sección de ecualizador, la sección de muestreador y la sección de control de ecualizador. Sin embargo, el control se detiene mediante la sección de monitor de fase cuando la diferencia de fase entre la señal CK de reloj y la señal digital es mayor que un valor predeterminado. Como resultado, la señal y los datos de reloj se pueden restaurar con más precisión.

40 La sección de generación de reloj ajusta preferiblemente el ciclo T o la fase sobre la base de una señal UP que es un valor significativo cuando ' $D(n-1) \neq DX(n-1) = D(n)$ ', y una señal DN que es un valor significativo cuando ' $D(n-1) = DX(n-1) \neq D(n)$ ' y emite la señal CK de reloj y la señal CKX de reloj.

45 La sección de monitor de fase detecta preferiblemente la relación de fase entre la señal CK de reloj y la señal digital sobre la base de una señal UP, que es un valor significativo cuando ' $D(n-1) \neq DX(n-1) = D(n)$ ' y una señal DN que es un valor significativo cuando ' $D(n-1) = DX(n-1) \neq D(n)$ '.

La sección de monitor de fase, en cada período $T(n)$, preferiblemente juzga que la diferencia de fase es mayor que un valor predeterminado cuando ya sea la señal UP o la señal DN no es un valor significativo en diez períodos consecutivos anteriores ($T(n-9)$ hasta $T(n)$), que incluye el período, y detiene el control de la cantidad de ajuste de nivel de la señal digital de la sección de control de ecualizador.

5

Efecto de la invención

La presente invención hace que sea posible restaurar los datos y la señal de reloj de una manera más precisa.

10 **Breve descripción de los dibujos**

La figura 1 es una vista constitutiva global de un dispositivo 1 de restauración de datos de reloj de acuerdo con la presente invención.

15 La figura 2 muestra la disposición temporal para los datos de muestreo de de señal digital del dispositivo 1 de restauración de datos de reloj de acuerdo con la presente invención.

La figura 3 es una vista constitutiva del dispositivo 1A de restauración de datos de reloj de acuerdo con la primera realización.

20

La figura 4 muestra la disposición temporal para datos de muestreo de señal digital de un dispositivo 1A de restauración de datos de reloj de acuerdo con la primera realización.

25 La figura 5 muestra una tabla verdadero-falso de valores de E/S de un circuito 31 de detección de relación de fase que está contenido en una sección 30 de generación de reloj.

La figura 6 es un diagrama de circuito del circuito 31 de detección de relación de fase.

30

La figura 7 es un diagrama de circuito de una sección 50 de monitor de fase.

La figura 8 es un diagrama de flujo que ilustra el procesamiento por una sección 40A de control de ecualizador que está contenida en un dispositivo 1A de restauración de datos de reloj de acuerdo con la primera realización.

35 La figura 9 es un diagrama de circuito para determinar los valores respectivos de INFLG variable y EDGFLG variable que se usan en el procesamiento de la sección 40A de control de ecualizador que está contenida en el dispositivo 1A de restauración de datos de reloj de acuerdo con la primera realización.

La figura 10 es una vista constitutiva de un dispositivo 1B de restauración de datos de reloj de acuerdo con una segunda realización.

40

La figura 11 muestra la disposición temporal para datos de muestreo de señal digital del dispositivo 1B de restauración de datos de reloj de acuerdo con la segunda realización.

45 La figura 12 es un diagrama de flujo que ilustra el procesamiento por la sección 40B de control de ecualizador que está contenida en el dispositivo 1B de restauración de datos de reloj de acuerdo con la primera realización.

La figura 13 es un diagrama de circuito para determinar el valor de una variable EE que se usa en el procesamiento de la sección 40B de control de ecualizador que está contenida en el dispositivo 1B de restauración de datos de reloj de acuerdo con la primera realización.

50

Descripción de los símbolos de referencia

1, 1A, 1B... dispositivo de restauración de datos de reloj, 10, 10A, 10B... sección de ecualizador, 20, 20A, 20B... sección de muestreador, 30... sección de generación de reloj, 40, 40A, 40B... sección de control de ecualizador, 50... sección de monitor de fase.

55

Mejores modos de llevar a cabo la invención

60 El mejor modo de llevar a cabo la invención se describirá aquí en detalle posteriormente con referencia a los dibujos adjuntos. Los mismos símbolos se asignan a los mismos elementos en la descripción de los dibujos y se evitan las descripciones repetitivas.

60

65 En primer lugar, se describirá la constitución general del dispositivo de restauración de datos de reloj de acuerdo con la presente invención. La figura 1 es una vista constitutiva global del dispositivo 1 de restauración de datos de reloj de acuerdo con la presente invención. El dispositivo 1 de restauración de datos de reloj es un dispositivo que restaura la señal y los datos de reloj sobre la base de una señal digital que es introducida y comprende una sección

65

10 de ecualizador, una sección 20 de muestreador, una sección 30 de generación de reloj, una sección 40 de control de ecualizador, y una sección 50 de monitor de fase.

5 La figura 2 muestra la disposición temporal para datos de muestreo de señal digital del dispositivo 1 de restauración de datos de reloj de acuerdo con la presente invención. La figura 2 muestra esquemáticamente un patrón de ojo de una señal digital introducida, muestra las respectivas disposiciones temporales de una señal CK de reloj y de una señal CKX de reloj que son enviadas por la sección 30 de generación de reloj e introducidas en la sección 20 de muestreador, y también muestra la disposición temporal del valor D(n) y del valor DX(n) digitales, que son emitidas por la sección 20 de muestreador.

10 La sección 10 de ecualizador ajusta el nivel de una señal digital introducida y emite la señal digital ajustada a la sección 20. La sección 20 de muestreador recibe una entrada de la señal CK de reloj y de la señal CKX de reloj que tienen el mismo ciclo T y recibe la señal digital que es emitida por la sección 10 de ecualizador. Además, en cada período enésimo T(n) del ciclo, la sección 20 de muestreador muestrea, mantiene y emitea un valor D(n) de señal digital en un tiempo t_c que se indica con la señal CK de reloj y muestrea, mantiene y emitea un valor DX(n) de señal digital en un tiempo t_x que se indica por la señal CKX de reloj, donde ' $t_c < t_x$ ' y n es un entero.

15 En cada período T(n), la sección 30 de generación de reloj ajusta el ciclo T o fase de manera que la diferencia de fase entre la señal CK de reloj y la señal digital disminuye sobre la base del valor D(n) y el valor DX(n), que son emitidos por la sección 20 de muestreador, y emite la señal CK de reloj y la señal CKX de reloj que satisfacen la relación ' $t_x - t_c = T/2$ ' para la sección 20 de muestreador. La señal CK de reloj indica la disposición temporal para detectar los datos de señal digital de la sección 20 de muestreador en el momento en el centro de cada período de bitio y la señal CKX de reloj indica el tiempo para la detección de datos de la señal digital en la sección 20 de muestreador en el tiempo de transición desde un cierto bitio hasta el siguiente bitio.

25 Cada una de las dos señales de reloj, CK y CKX, pueden ser señales de reloj de fase individual o señales de reloj de multifase. Por ejemplo, cuando se considera un caso en que una señal CK de reloj tiene cuatro fases, se emplean cuatro señales de reloj CK<1>, CK<2>, CK<3>, y CK<4> cuyos respectivos ciclos son 4T y cuyas fases difieren entre sí en pasos de $\pi/2$, y se proporcionan cuatro circuitos de retención en la sección de muestreador en correspondencia con estos cuatro señales CK<1> a CK<4> de reloj. En el caso de señales de reloj de multifase, aunque la escala de circuito de la sección de muestreador es grande, la velocidad requerida de cada reloj de circuito es relajada.

30 En cada período T(n), la sección 40 de control de ecualizador ejerce control de la cantidad de ajuste de nivel de la señal digital por la sección 10 de ecualizador sobre la base del nivel de señal digital emitida por la sección 10 de ecualizador o por el valor D(n) y el valor DX(n) emitidos por la sección 20 de muestreador. La sección 50 de monitor de fase detecta la relación de fase entre la señal CK de reloj y la señal digital sobre la base del valor D(n) y el valor DX(n), que son emitidos por la sección 20 de muestreador en cada período T(n). La sección 50 de monitor de fase detiene después el control de la cantidad de ajuste de nivel de la señal digital por la sección 40 de control de ecualizador cuando la diferencia de fase es mayor que un valor predeterminado y permite controlar la cantidad de ajuste de nivel de la señal digital por la sección 40 de control de ecualizador cuando la diferencia de fase es igual o menor que un valor predeterminado.

35 El dispositivo 1 de restauración de datos de reloj funciona como sigue. Una señal digital que es emitida por el transmisor y ha llegado mediante una trayectoria de transmisión y cuya forma de onda se ha deteriorado es ajustada en un primer nivel por la sección 10 de ecualizador, y la pérdida que sufre la señal digital durante la transmisión es compensada, y después es introducida en la sección 20 de muestreador. La sección 20 de muestreador también recibe una entrada de señal CK de reloj y de señal CKX de reloj que tienen el mismo ciclo T. En la sección 20 de muestreador, el valor de señal digital D(n), en el tiempo indicado por la señal CK de reloj, es muestreado, sostenido y emitido en cada período enésimo T(n) del ciclo y el valor DX(n) de señal digital, en el tiempo indicado por la señal CKX de reloj, se muestrea, mantiene y emite. El valor D(n) y el valor DX(n) que son emitidos por la sección 20 de muestreador se introducen en cada una de las secciones 50 de generación de reloj y 30 de monitor de fase.

40 La sección 30 de generación de reloj ajusta el ciclo de T o la fase sobre la base del valor D(n) y del valor DX(n) emitidos por la sección 20 de muestreador, de manera que la diferencia de fase entre la señal CK de reloj y la señal digital disminuye, y emite la señal CK de reloj y la señal CKX de reloj, que satisfacen la relación ' $t_x - t_c = T/2$ ', a la sección 20 de muestreador. Como resultado del procesamiento de bucle de la sección 20 de muestreador y la sección 30 de generación de reloj, la señal CK o CKX de reloj se genera como una señal de reloj que se restaura sobre la base de la señal digital introducida.

45 La sección 40 de control de ecualizador realiza el control de la cantidad de ajuste de nivel de la señal digital de la sección 10 de ecualizador sobre la base del nivel de emisión de señal digital emitida por la sección 10 de ecualizador o el valor D(n) y el valor DX(n), que son emitidas por la sección 20 de muestreador. Sin embargo, el control por la sección 40 de control de ecualizador se permite o se detiene sobre la base del resultado de la detección de la relación de fase de la sección 50 de monitor de fase. En otras palabras, la sección 50 de monitor de fase detecta la relación de fase entre la señal CK de reloj y la señal digital sobre la base del valor D(n) y del valor

DX(n) que son emitidos por la sección 20 de muestreador. Además, cuando la diferencia de fase es mayor que un valor predeterminado, el control de la cantidad de ajuste de nivel de la señal digital por la sección 40 de control de ecualizador se detiene y, cuando la diferencia de fase es igual o menor que un valor predeterminado, se permite el control de la cantidad de ajuste de nivel de la señal digital por la sección 40 de control de ecualizador.

5 De este modo, el dispositivo 1 de restauración de datos de reloj de acuerdo con la presente invención controla la cantidad de ajuste de nivel de la señal digital mediante la sección 10 de ecualizador por medio de procesamiento de bucle por la sección 10 de ecualizador, sección 20 de muestreador, y sección 40 de control de ecualizador. Sin embargo, el control se detiene mediante la sección 50 de monitor de fase cuando la diferencia de fase entre la señal CK de reloj y la señal digital es mayor que un valor predeterminado. Como resultado, la señal y los datos de reloj se pueden restaurar de manera más precisa.

15 Una constitución más específica del dispositivo 1 de restauración de datos de reloj se describirá a continuación para la primera y la segunda realizaciones. En el dispositivo de restauración de datos de reloj de la primera y segunda realizaciones, aunque las respectivas constituciones de la sección 30 de generación de reloj y de la sección 50 de monitor de fase son comunes, la constitución de la sección 10 de ecualizador difiere y, en consecuencia, las respectivas constituciones de la sección 20 de muestreador y la sección 50 de control de ecualizador también son diferentes.

20 (Primera realización) La figura 3 es una vista constitutiva del dispositivo 1A de restauración de datos de reloj de acuerdo con la primera realización. El dispositivo 1A de restauración de datos de reloj mostrado en la figura 3 es un dispositivo que restaura la señal y los datos de reloj sobre la base de una señal digital que es introducida, que comprende una sección 10A de ecualizador, una sección 20A de muestreador, una sección 30 de generación de reloj, una sección 40A de control de ecualizador y una sección 50 de monitor de fase. La figura 3 muestra específicamente las respectivas constituciones de circuito de la sección 10A de ecualizador, la sección 20A de muestreador y la sección 30 de generación de reloj.

30 La figura 4 muestra la disposición temporal para los datos de señal digital de muestreo del dispositivo 1A de restauración de datos de reloj de acuerdo con la primera realización. La figura 4 muestra esquemáticamente un patrón de ojo de una señal digital introducida, muestra las respectivas distribuciones temporales de señal CK de reloj y señal CKX de reloj que son emitidas por la sección 30 de generación de reloj e introducidas en la sección 20A de muestreador, y muestra también la distribución temporal para el valor digital D(n) y el valor DX(n) que son emitidas por la sección 20A de muestreador.

35 La sección 10A de ecualizador ajusta los niveles de la señal digital introducida y emite las señales digitales ajustadas (la primera y la segunda señal) a la sección 20A de muestreador, y comprende cuatro circuitos 111 a 114 de suma y un circuito DA 115 de conversión. El circuito DA 115 de conversión recibe un valor DAVAL que es emitido por la sección 40A de control de ecualizador y genera y emite un valor de voltaje de descentrado ($\pm V_{off}$). Los circuitos de 111 y 113 de suma añaden un valor de voltaje de descentrado ($-V_{off}$) del circuito DA 115 de conversión y la señal digital introducida y emiten la primera señal (= señal digital introducida $-V_{off}$) que es el resultado de la suma. Además, los circuitos 112 y 114 de suma suman el valor ($+V_{off}$) de voltaje de descentrado desde el circuito DA 115 de conversión y la señal digital introducida y emiten la segunda señal (= señal digital introducida $+V_{off}$) que es el resultado de la suma.

45 La sección 20A de muestreador comprende cuatro circuitos 121 a 124 de retención, dos circuitos 125 y 126 de selección, y un circuito 127 de retención. El circuito 121 de retención recibe la entrada de la primera señal que es emitida por el circuito 111 de suma y también recibe una entrada de señal CK de reloj que es emitida por la sección 30 de generación de reloj, y muestrea y mantiene el valor DA(n) de la primera señal en el tiempo indicado por la señal CK de reloj en cada período T(n), y emite un valor un DA(n) al circuito 125 de selección. El circuito 122 de retención recibe una entrada de la segunda señal que es emitida por el circuito 112 de suma y recibe una entrada de señal CK de reloj que es emitida por la sección 30 de generación de reloj, y muestrea y mantiene un valor DB(n) de la segunda señal en el tiempo indicado por la señal CK de reloj en cada período T(n) antes de emitir un valor(n) DB al circuito 125 de selección.

55 El circuito 123 de retención recibe una entrada de la primera señal que es emitida por el circuito 113 de suma y también recibe una entrada de señal CKX de reloj que es emitida por la sección 30 de generación de reloj, y muestrea y mantiene un valor DAX(n) de la primera señal en el tiempo indicado por la señal CKX de reloj en cada período T(n) antes de emitir un valor DAX(n) al circuito 126 de selección. El circuito 124 de retención recibe una entrada de la segunda señal que es emitida por el circuito 114 de suma y también recibe una entrada de señal CKX de reloj que es emitida por la sección 30 de generación de reloj, y muestrea y mantiene un valor DBX(n) de la segunda señal en el tiempo indicado por la señal CKX de reloj en cada período T(n) antes de emitir un valor DBX(n) al circuito 126 de selección.

65 El circuito 125 de selección recibe una entrada del valor DA(n) que es emitido por el circuito 121 de retención, un valor DB(n) que es emitido por el circuito 122 de retención y un valor D(n-1) que es emitido por el circuito 127 de retención, selecciona un valor DA(n) cuando el valor D(n-1) es de un nivel alto y emite el mismo como un valor D(n),

y selecciona un valor $DB(n)$ cuando el valor $D(n-1)$ es de un nivel bajo y emite el mismo como un valor $D(n)$.

5 El circuito de selección 126 recibe una entrada del valor $DAX(n)$ que es emitido por el circuito 123 de retención, un valor $DBX(n)$ que es emitido por el circuito 124 de retención, y un valor $D(n-1)$ que es emitido por el circuito 127 de retención, y selecciona un valor $DAX(n)$ cuando el valor $D(n-1)$ es de nivel alto y emite el mismo como un valor $DX(n)$, y selecciona un valor $DBX(n)$ cuando el valor $D(n-1)$ es un nivel bajo y emite el mismo como un valor $DX(n)$.

10 El circuito de retención 127 recibe y mantiene una entrada de un valor $D(n-1)$, que es emitido por el circuito 125 de selección en cada período $T(n-1)$ y emite un valor $D(n-1)$ a cada uno de los circuitos 125 y 126 de selección en el siguiente período $T(n)$.

15 Por ello, en cada período $T(n)$, la sección 20A de muestreador deja ' $D(n) = DA(n)$ ' y ' $DX(n-1) = DXA(n-1)$ ' cuando el valor $D(n-1)$ es un nivel alto y deja ' $D(n) = DB(n)$ ' y ' $DX(n-1) = DXB(n-1)$ ' cuando el valor $D(n-1)$ es un nivel bajo y envía el valor $D(n)$ de señal digital en el tiempo indicado por la señal CK de reloj y emite el valor $DX(n)$ de señal digital en el tiempo indicado por la señal CKX de reloj.

20 La sección 30 de generación de reloj genera la señal CK de reloj y la señal CKX de reloj sobre la base del valor $D(n)$ y del valor $DX(n)$ que son emitidos por la sección 20A de muestreador y comprende un circuito (BBPHD) 31 de detección de relación de fase, un circuito (CP) 32 de bomba de carga, un circuito (LPF) 33 de filtro de paso bajo, y un circuito (VCO) 34 de oscilación de control de voltaje.

25 El circuito 31 de detección de relación de fase realiza el procesamiento lógico de conformidad con la tabla verdadero-falso de la figura. 5 sobre la base del valor $D(n)$ y del valor $DX(n)$, que son emitidos por la sección 20A de muestreador, y emite la señal UP y la señal DN. En otras palabras, el circuito 31 de detección de relación de fase emite la señal UP, que es un valor significativo cuando ' $D(n-1) \neq DX(n-1) = D(n)$ ' y emite la señal DN que es un valor significativo cuando ' $D(n-1) = DX(n-1) \neq D(n)$ ' donde las señales están representando la relación de fase.

30 Como se muestra en el diagrama de circuito de la figura 6, el circuito 31 de detección de relación de fase puede comprender un circuito 311 exclusivo OR (O) al que se introducen el valor $D(n-1)$ y el valor $D(n)$, un circuito 312 exclusivo OR al que se introducen el valor $D(n-1)$ y el valor $D(n)$, un circuito lógico 313 al que se introducen los valores de emisión respectivos del circuito 311 exclusivo OR y del circuito 312 exclusivo OR y que emite una señal de UP, y un circuito lógico 314 al que se introducen los valores lógicos de inversión del valor de emisión del circuito 311 exclusivo OR y el valor de emisión del circuito 312 exclusivo OR y que emite la señal DN.

35 Cuando la señal UP es un valor significativo, se requiere que las fases de la señal CK de reloj y de la señal CKX de reloj se hagan más temprano, debido porque la fase de la señal CK de reloj retrasa la señal digital introducida. Sin embargo, cuando la señal DN es un valor significativo, se requiere que las fases de la señal CK de reloj y de la señal CKX de reloj se retrasen, porque la fase de la señal CK de reloj está por delante de la señal digital introducida.

40 Por lo tanto, el circuito 32 de bomba de carga emite o bien el impulso de carga de corriente o bien el impulso de descarga de corriente, dependiendo de cuál de las señales UP y DN emitidas por el circuito 31 de detección de relación de fase sea un valor significativo para el circuito 33 de filtro de paso bajo. El circuito 33 de filtro de paso bajo recibe la entrada de un impulso de corriente que es emitido por el circuito 32 de bomba de carga y aumenta o reduce el valor de voltaje de emisión dependiendo de si el impulso de corriente de entrada es un impulso de corriente de carga o un impulso de corriente de descarga. El circuito 34 de control de oscilación de voltaje genera después una señal CK de reloj y una señal CKX de reloj de un ciclo que corresponden con el valor de voltaje de emisión desde el circuito 33 de filtro de paso bajo. De este modo, los ciclos de la señal CK de reloj y la señal CKX de reloj que son generados por la sección 30 de generación de reloj se ajustan sobre la base de la señal UP y la señal DN.

50 La figura 7 es un diagrama de circuito de la sección 50 de monitor de fase. La sección 50 de monitor de fase está constituida por circuitos 51 y 52 exclusivos OR, circuitos lógicos 53 y 54, circuitos 55 y 56 de registro de desplazamiento, circuitos 57 y 58 lógicos OR y un circuito 59 lógico AND (Y).

55 El circuito 51 exclusivo OR recibe una entrada de valor $D(n-1)$ y valor $D(n)$ y emite el valor exclusivo OR de estos dos valores. El circuito 52 exclusivo OR recibe una entrada de valor $D(n-1)$ y valor $DX(n)$ y emite el valor del valor exclusivo OR de estos dos valores. El circuito 53 lógico AND recibe una entrada de los valores respectivos de emisión del circuito 51 exclusivo OR y del circuito 52 exclusivo OR y emite un valor UP(n) que es el valor lógico AND de los dos valores. El circuito 54 lógico AND recibe una entrada del valor lógico de inversión del valor de emisión del circuito 51 exclusivo OR y el valor de emisión del valor de emisión del circuito 52 exclusivo OR y emite el valor DN(n) que es el valor lógico AND de estos dos valores. En otras palabras, el valor UP(n) es un valor significativo cuando ' $D(n-1) \neq DX(n-1) = D(n)$ ' y el valor DN(n) es un valor significativo cuando ' $D(n-1) = DX(n-1) \neq D(n)$ '. El circuito 55 de registro de desplazamiento recibe una entrada de valor UP(n) que es emitido por el circuito 53 lógico AND en cada período $T(n)$ y almacena y emite valores UP(n-9) a UP(n) de diez períodos anteriores consecutivos ($T(n-9)$ a $T(n)$) que incluyen el período. Además, el circuito 56 de registro de desplazamiento recibe una entrada de valor DN(n) que es emitida por el circuito 54 lógico AND en cada período $T(n)$ y almacena y envía el valor DN(n-9) a DN(n) de diez períodos anteriores consecutivos ($T(n-9)$ a $T(n)$) que incluyen el período.

5 El circuito 57 lógico OR recibe una entrada de valores UP(n-9) para UP(n) que son emitidos por el circuito 55 de registro de desplazamiento y emite el valor lógico OR de estos diez valores. El circuito 58 lógico OR recibe una entrada de valores DN(n-9) a DN(n) que son emitidos por el circuito 56 de registro de desplazamiento y emite el valor lógico OR de estos diez valores. El circuito 59 lógico AND recibe una entrada de los valores que son emitidos por el circuito 57 lógico OR y circuito 58 lógico OR y emite un valor ENABLE (HABILITAR) que es el valor lógico AND de estos dos valores.

10 En otras palabras, cuando al menos uno de los valores UP(n-9) a UP(n) es un valor significativo y por lo menos uno de los valores DN(n-9) a DN(n) es un valor significativo, el valor ENABLE que es emitido por el circuito 59 lógico AND es un valor significativo. Sin embargo, cuando todos los valores UP(n-9) a UP(n) son valores no significativos o cuando todos los valores DN(n-9) a DN(n) son valores no significativos, el valor ENABLE que es emitido por el circuito 59 lógico AND es un valor no significativo. El hecho de que el valor ENABLE sea un valor no significativo representa el hecho de que la diferencia de fase entre la señal CK de reloj y la señal digital es mayor que un valor predeterminado.

20 La emisión del ENABLE de la sección 50 de monitor de fase se puede llevar a cabo una vez en cada período T(n) o se puede llevar a cabo una vez cada M períodos (10 períodos, por ejemplo). En el primer caso, el valor ENABLE se determina para diez períodos anteriores consecutivos (T(n-9) a T(n)), que incluyen un cierto período T(n), y se determina el valor ENABLE subsiguiente para los diez períodos(T(n-8) a T(n+1)) en el siguiente período T(n-1). En el último caso, el valor ENABLE se determina para diez períodos anteriores consecutivos (T(n-9) a T(n)), que incluyen un cierto período T(n), y se determina el siguiente valor ENABLE para los diez períodos(T(n + M-9) a T(n + M)) después de períodos M desde estos períodos.

25 Los motivos por los que se consideran más de diez períodos, si existe un período en el que la señal UP y la señal DN, respectivamente, son valores significativos, son los siguientes. En otras palabras, en los casos en que hay una transición de datos entre un cierto bitio de la señal digital introducida y el siguiente bitio, una de las señales UP y DN es un valor significativo, mientras que la otra es un valor no significativo. En los casos en que no hay transición de datos entre un cierto bitio y el siguiente bitio de la señal digital introducida, tanto la señal UP como la señal DN son valores no significativos.

35 Si las respectivas fases de la señal CK de reloj y la señal CKX de reloj son adecuadas, existe un período en el que la señal UP es un valor significativo y existe también un período en el que la señal DN es un valor significativo durante una cierta pluralidad de períodos consecutivos. Sin embargo, si las fases respectivas de la señal CK de reloj y la señal CKX de reloj son desplazadas, la señal UP es siempre un valor no significativo o la señal DN es siempre un valor no significativo durante una cierta pluralidad de períodos consecutivos.

40 En el caso del código 8B10B, que se emplea en las comunicaciones de datos en serie, se garantiza una transición de datos de dos o más veces en 10 bitios. Por lo tanto, si se considera que exista un período en el que la señal UP y la señal DN son cada una valores significativos en diez períodos, si las fases respectivas de la señal CK de reloj y la señal CKX de reloj son adecuadas, existe inevitablemente un período en el que la señal UP es un valor significativo entre los diez períodos, y existe también inevitablemente un período en el que la señal DN es un valor significativo entre los diez períodos.

45 Por el contrario, en los casos en que la señal DN es siempre un valor no significativo en diez períodos o en casos donde la señal UP es siempre un valor no significativo en diez períodos, se considera que las respectivas fases de la señal CK de reloj y señal CKX de reloj han sido desplazadas y, en consecuencia, el cambio de un valor razonable para la cantidad Voff de descentrado no se puede detectar con precisión. Por las razones expuestas anteriormente, es preferible considerar la existencia de un período en el que las señales UP y DN son valores significativos, respectivamente, en diez períodos.

El valor ENABLE que es emitido por la sección 50 de monitor de fase es introducido en la sección 40A de control de ecualizador.

55 Cuando el valor ENABLE es un valor significativo, la sección 40A de control de ecualizador realiza el control de la cantidad de ajuste de nivel (es decir, el valor de voltaje de descentrado que se aplica a la señal digital introducida) de la señal digital mediante la sección 10 de ecualizador. Sin embargo, cuando el valor ENABLE es un valor no significativo, la sección 40A de control de ecualizador detiene el control de la cantidad de ajuste de nivel de la señal digital mediante la sección 10 de ecualizador.

60 La figura 8 es un diagrama de flujo para ilustrar el procesamiento de la sección 40A de control de ecualizador. La sección de control 40A ecualizador usa el valor ENABLE que es emitido por la sección 50 de monitor de fase y usa una variable INCNT, una variable EDGCNT, una variable INFLG, una variable EDGFLG, una constante INCCNTTH, y una constante EDGCNTTH para determinar un valor DAVAL que se va a emitir al circuito 115 DA de conversión que está contenido en la sección 10A de ecualizador. Los valores respectivos de la variable INFLG y la variable EDGFLG se determinan a partir del valor D(n) y del valor DX(n) por medio del circuito lógico mostrado en la figura 9

y están representados como 'EDGFLG(n) = D(n-1) a D(n)' y 'INFLG(n) = EDGFLG(n){D(n-2) para DX(n-1)}'. En este caso, el código de procesamiento '^' representa el exclusivo OR.

5 En el paso S10, los valores respectivos de INCNT variable y EDGCNT variable se establece en el valor inicial 0. En el paso S11 que sigue, se considera si el valor ENABLE que es emitido por la sección 50 de monitor de fase es un valor significativo, y, si el valor ENABLE es un valor significativo, el procesamiento avanza al paso S12, y, si no, el proceso se detiene en el paso S11. En el paso S12, se suma el valor de la variable INFLG al valor de la variable INCNT y hace que el valor de suma dé un nuevo valor para la variable INCNT. Además, en el paso S12, se suma el valor de la variable EDGFLG al valor de la variable EDGCNT y el valor de suma se convierte en un nuevo valor para la variable EDGCNT.

15 En el paso S13 que sigue, se considera si el valor de la variable EDGCNT es mayor que una constante EDGCNTTH, y, si el valor de la variable EDGCNT es mayor que la constante EDGCNTTH, el procesamiento avanza al paso S14, y, si el valor de la variable EDGCNT es igual o inferior a la constante EDGCNTTH, el procesamiento vuelve al paso S11. Es decir, hasta que se considere en el paso S13 que el valor de la variable EDGCNT es mayor que la constante EDGCNTTH, se llevará a cabo el procesamiento respectivo de los pasos S11 a S13.

20 El procesamiento respectivo de los pasos S11 a S13 de la sección 40A de control de ecualizador se puede realizar una vez en cada período T(n), como en el caso de la emisión del valor ENABLE de la sección 50 de monitor de fase, o se puede realizar una vez cada M períodos (10 períodos, por ejemplo). En este último caso, en el paso S12, se suma el valor total de la variable INFLG que se obtiene por cada M períodos al valor de la variable INCNT, y el valor total de la variable EDGFLG que se obtiene para cada uno de los M períodos se suma al valor de la variable EDGCNT.

25 En el paso S14, se realiza un procesamiento diferente dividido en tres casos (a) a (c) mostrados a continuación. En otras palabras, en los casos en que el valor de la variable INCNT es menor que la constante INCNTTH, el valor DAVAL aumenta, y el nuevo valor DAVAL se informa al circuito 115 DA de conversión. En los casos en que el valor de la variable INCNT es mayor que un valor obtenido restando la constante INCNTTH del valor de la variable EDGCNT, el valor DAVAL se reduce y el nuevo valor DAVAL se informa al circuito 115 DA de conversión. Además, en ninguno de los dos casos se mantiene el valor DAVAL. Además, cuando el procesamiento del paso S14 termina, el procesamiento vuelve al paso S10 y el procesamiento ilustrado hasta el momento se repite.

[Ecuación 1]

(a) En caso de [INCNT < INCNTTH] => aumentar DEVAL

(b) En caso de [INCNT > EDGCNT - INCNTTH] => reducir DEVAL

(c) En otros casos => mantener DEVAL

35 Como resultado del procesamiento anterior de la sección 40A de control de ecualizador, el valor DAVAL se ajusta de manera que el valor de la variable INCNT exista en un rango fijado (INCNTTH a EDGCNT - INCNTTH) y la cantidad de descentrado ($\pm V_{off}$) de la sección 10A de ecualizador se ajuste. De este modo, la cantidad de descentrado de la sección 10A del ecualizador se establece en un valor adecuado.

40 Además, en la sección 40A de control de ecualizador, en los casos en que el valor ENABLE que es emitido por la sección 50 de monitor de fase es un valor significativo (es decir, en los casos en los que al menos uno de los valores UP(n-9) a UP(n) es un valor significativo y donde al menos uno de los valores DN(n-9) a DN(n) es un valor significativo), el valor D y el valor DN durante este tiempo se referencian al actualizar el valor DAVAL, y se lleva a cabo el control de la cantidad de ajuste de nivel de la señal digital por la sección 10A de ecualizador.

45 Sin embargo, en la sección 40A de control de ecualizador, en los casos en que el valor ENABLE que es emitido por la sección 50 de monitor de fase es un valor no significativo (es decir, en los casos en que todos los valores UP(n-9) a UP(n) son valores no significativos o en los casos en que todos los valores DN(n-9) a DN(n) son valores no significativos), la diferencia de fase entre la señal CK de reloj y la señal digital es mayor que un valor predeterminado, el valor D y el valor DN no son referenciados al actualizar el valor DAVAL, y se detiene el control de la cantidad de ajuste de nivel de la señal digital por la sección 10A de ecualizador.

55 De este modo, en el caso del dispositivo 1A de restauración de datos de reloj de acuerdo con la primera realización, cuando la pérdida que sufre la señal digital durante la transmisión cambia, la cantidad de ajuste de nivel (cantidad de descentrado) de la señal digital de la sección 10A de ecualizador se establece en un valor adecuado y la señal y los datos de reloj se pueden restaurar de una manera más precisa.

Segunda realización) La figura 10 es una vista constitutiva del dispositivo 1B de restauración de datos de reloj de acuerdo con la segunda realización. El dispositivo 1B de restauración de datos de reloj mostrado en la figura 10 es un dispositivo que restaura la señal y los datos de reloj sobre la base de una señal digital que es introducida y

comprende una sección 10B de ecualizador, una sección 20B de muestreador, una sección 30 de generación de reloj, una sección 40B de control de ecualizador, y una sección 50 de monitor de fase. La figura 10 muestra esquemáticamente las respectivas constituciones de circuito de la sección 10B de ecualizador y de la sección 20B de muestreador. Las respectivas constituciones de la sección 30 de generación de reloj y de la sección 50 de monitor de fase de la segunda realización son las mismas que en el caso de la primera realización.

La figura 11 muestra la distribución temporal para muestrear datos de señal digital del dispositivo 1B de restauración de datos de reloj de acuerdo con la segunda realización. La figura 11 muestra el patrón de ojo de la señal digital introducida esquemáticamente, así como las respectivas distribuciones temporales de la señal CK de reloj y la señal CKX de reloj que son emitidas por la sección 30 de generación de reloj e introducidas en la sección 20B de muestreador, y también muestra la disposición temporal del valor digital D(n), del valor DX(n), del valor EH(n), y del valor EL(n) que son emitidos por la sección 20B de muestreador.

La sección 10B de ecualizador ajusta los niveles de las señales digitales de entrada y emite la señal digital ajustada (una señal obtenida mediante la amplificación de la componente de alta frecuencia) a la sección 20B de muestreador y comprende un circuito 211 de filtro de paso alto (HPF), un circuito 212 de amplificador y un circuito 213 de suma. El circuito 211 de filtro de paso alto permite selectivamente que la componente de alta frecuencia en la señal digital introducida pase y emita la misma al circuito amplificador 212. El circuito amplificador 212 amplifica la señal que es emitida por el circuito 211 de filtro de paso alto, y emite la misma al circuito 213 de suma. La ganancia del circuito amplificador 212 se establece tras recibir un valor GH que es emitido por la sección 10B de ecualizador. Además, el circuito 213 de suma recibe una entrada de la señal digital introducida y recibe una entrada de señal emitida por el circuito amplificador 212 y emite el resultado de la suma de estas entradas a la sección 20B de muestreador. Con respecto a la señal digital que es emitida por la sección 10B de ecualizador e introducida en la sección 20B de muestreador, la componente de alta frecuencia de la señal digital introducida se amplifica, con lo cual la pérdida que sufre la componente de alta frecuencia de la señal digital durante la transmisión se compensa.

La sección 20B de muestreador comprende dos circuitos 221 y 222 de comparación y cuatro circuitos 223 a 226 de retención. El circuito 221 de comparación recibe una entrada de una señal digital que es emitida por la sección 10B de ecualizador, recibe una entrada de un valor de voltaje de referencia (+VA) y emite un valor significativo cuando el valor de señal digital es mayor que el valor de voltaje de referencia (+VA) y emite un valor no significativo cuando el valor de señal digital no es mayor que el valor de voltaje de referencia (+VA). El circuito 222 de comparación recibe una entrada de una señal digital que es emitida por la sección 10B de ecualizador y también recibe una entrada de un valor de voltaje de referencia (-VA), y emite un valor significativo cuando el valor de señal digital es menor que el valor de voltaje de referencia (-VA) y emite un valor no significativo cuando el valor de señal digital es no menor que el valor de voltaje de referencia (-VA).

El circuito 223 de retención recibe una entrada de una señal de comparación que es emitida por el circuito 221 de comparación, recibe una entrada de señal CK de reloj que es emitida por la sección 30 de generación de reloj, y muestrea, mantiene y emite el valor EH(n) de la señal de comparación en el tiempo indicado por la señal CK de reloj en cada período T(n). El circuito 224 de retención recibe una entrada de una señal de comparación que es emitida por el circuito 222 de comparación, recibe una entrada de señal CK de reloj que es emitida por la sección 30 de generación de reloj y muestrea, mantiene, y emite el valor EL(n) de la señal de comparación en el tiempo indicado por la señal CK de reloj en cada período T(n).

El circuito 225 de retención recibe una entrada de una señal digital que es emitida por la sección 10B de ecualizador y recibe una entrada de señal CK de reloj que es emitida por la sección 30 de generación de reloj, y muestrea, mantiene y emite el valor D(n) de señal digital en el tiempo indicado por la señal CK de reloj en cada período T(n). El circuito 226 de retención recibe una entrada de una señal digital que es emitida por la sección 10B de ecualizador y recibe una entrada de señal CKX de reloj que es emitida por la sección 30 de generación de reloj, y muestrea, mantiene y emite el valor DX(n) de señal digital en el tiempo indicado por la señal CKX de reloj en cada período T(n).

De este modo, la sección 20B de muestreador emite un valor D(n) de la señal digital en el tiempo indicado por la señal CK de reloj y emite un valor DX(n) de la señal digital en el tiempo indicado por la señal CKX de reloj. Además, la sección 20B de muestreador emite un valor EH(n) que es un valor significativo cuando el valor de señal digital en el tiempo indicado por la señal CK de reloj es mayor que el valor de voltaje de referencia (+VA) y emite un valor EL(n) que es un valor significativo cuando el valor de señal digital en el tiempo indicado por la señal CK de reloj es menor que el valor de voltaje de referencia (-VA).

La figura 12 es un diagrama de flujo que ilustra el procesamiento de la sección 40B de control de ecualizador. La sección 40B de control de ecualizador usa el valor ENABLE que es emitido por la sección 50 de monitor de fase y usa una variable CNT, una variable EECNT, una variable EE, una constante CNTTH y una constante EECNTTH para determinar un valor GH que es emitido al circuito 212 de amplificador que está contenido en la sección 10B de ecualizador. El valor de la variable EE se determina a partir del valor EH(n) y del valor EL(n) por medio del circuito lógico mostrado en la figura 13, y se designa 'EE(n) = EH(n) + EL(n)'.

En el paso S20, los valores respectivos de la variable CNT y de la variable EECNT se establecen en el valor inicial 0.

5 En el paso S21 que sigue, se considera si el valor ENABLE emitido por la sección 50 de monitor de fase es un valor significativo, y, si el valor ENABLE es un valor significativo, el procesamiento avanza al paso S22. Si el valor ENABLE no es un valor significativo, el proceso se detiene en el paso S21. En el paso S22, se suma el valor 1 al valor de la variable CNT, y el valor, además, se convierte en un nuevo valor para la variable CNT. Además, en el paso S22, el valor de la variable EE se suma al valor de la variable EECNT, y el valor suma se convierte en un nuevo valor para la variable EECNT.

10 En el paso S23 que sigue, se considera si el valor de la variable CNT es mayor que la constante CNTTH y, si el valor de la variable CNT es mayor que la constante CNTTH, el procesamiento avanza al paso S24, y, si el valor de la variable CNT es igual o menor que la constante CNTTH, el procesado vuelve al paso S21. En otras palabras, hasta que se considera que el valor de la variable CNT es mayor que la constante CNTTH en el paso S23, se lleva a cabo el procesamiento respectivo de los pasos S21 a S23.

15 El procesamiento respectivo de los pasos S21 a S23 de la sección 40B de control de ecualizador puede llevarse a cabo una vez en cada período T(n), como en el caso de emisión del valor ENABLE de la sección 50 de monitor de fase, o se puede realizar una vez cada M períodos (10 períodos, por ejemplo). En este último caso, en el paso S22, el valor M se suma al valor de la variable CNT y el valor total de la variable EE que se obtiene por cada M períodos se suma al valor de la variable EECNT.

20 En el paso S24, se realiza un procesamiento diferente dividido en tres casos (a) a (c) mostrados a continuación. En otras palabras, en los casos en que el valor de la variable EECNT es menor que la constante EECNTTH, el valor GH aumenta, y el nuevo valor GH se informa al circuito 212 de amplificación. En caso de que el valor de la variable EECNT sea mayor que un valor obtenido restando la constante EECNTTH del valor de la variable CNT, el valor GH se reduce, y el nuevo valor GH se informa al circuito 212 de amplificación. Además, en ninguno de los dos casos el valor GH se mantiene. Además, cuando el procesamiento del paso S24 termina, el procesamiento vuelve al paso S20 y el proceso ilustrado hasta el momento se repite.

[Ecuación 2]

(a) En el caso de $[EECNT < EECNTTH] \Rightarrow$ aumentar GH

(b) En el caso de $[EECNT > CNT - EECNTTH] \Rightarrow$ reducir GH

(c) En otros casos \Rightarrow mantener GH

30 Como resultado del procesamiento de la sección 40B de control de ecualizador anterior, el valor GH se ajusta de manera que exista el valor de la variable EECNT en un rango fijado (EECNTTH a CNT-EECNTTH) y el factor de amplificación del circuito 212 de amplificación que está contenido en la sección 10B de ecualizador se ajuste. De este modo, el factor de amplificación de la componente de alta frecuencia de la sección 10B de ecualizador se establece en el valor adecuado.

35 Además, en la sección 40B de control de ecualizador, en los casos en que el valor ENABLE que es emitido por la sección 50 de monitor de fase es un valor significativo (es decir, en los casos en que al menos uno de los valores UP(n-9) a UP(n) es un valor significativo y donde al menos uno de los valores DN(n-9) a DN(n) es un valor significativo), el valor D y el valor DN durante este tiempo son referenciados al actualizar el valor GH, y se lleva a cabo el control de la cantidad de ajuste de nivel de la señal digital por la sección 10B de ecualizador.

40 Sin embargo, en la sección 40B de control de ecualizador, en los casos en que el valor ENABLE que es emitido por la sección 50 de monitor de fase es un valor no significativo (es decir, en los casos en que todos los valores UP(n-9) a UP(n) son valores no significativos o en los casos en que todos los valores DN(n-9) a DN(n) son valores no significativos), la diferencia de fase entre la señal CK de reloj y la señal digital es mayor que un valor predeterminado, el valor D y el valor DN no son referenciados al actualizar el valor GH, y el control de la cantidad de ajuste de nivel de la señal digital por la sección 10B de ecualizador se detiene.

45 De este modo, en el caso del dispositivo 1B de restauración de datos de reloj de acuerdo con la segunda realización, en los casos en que la pérdida que sufre la señal digital durante los cambios de transmisión y así sucesivamente, la cantidad de ajuste de nivel (el factor de amplificación de la componente de alta frecuencia) de la señal digital de la sección 10B de ecualizador se establece en un valor adecuado, y la señal y los datos de reloj se pueden restaurar de una manera más precisa.

55 **Aplicabilidad Industrial**

La presente invención proporciona un dispositivo de restauración de datos de reloj que es capaz de restaurar la señal y los datos de reloj de una manera más precisa.

REIVINDICACIONES

1. Un dispositivo (1) de restauración de datos de reloj, que restaura la señal y los datos de reloj sobre la base de una señal digital introducida, que comprende:

5 una sección (10) de ecualizador que ajusta un nivel de la señal digital introducida y emite la señal digital ajustada;

10 una sección (20) de muestreador que recibe una entrada de una señal CK de reloj y una señal CKX de reloj que tienen un mismo ciclo T, así como una entrada de señal digital emitida por la sección (10) de ecualizador, y que muestrea, mantiene y emite, en cada período enésimo $T(n)$ del ciclo, un valor $D(n)$ de la señal digital en un tiempo t_c , indicado por la señal CK de reloj, y un valor $DX(n)$ de la señal digital en un tiempo t_x , indicado por la señal CKX de reloj (donde $t_c < t_x$ y n es un número entero);

15 una sección (30) de generación de reloj que, en cada período $T(n)$, ajusta el ciclo T o la fase de modo que disminuye la diferencia de fase entre la señal CK de reloj y la señal digital sobre la base del valor $D(n)$ y el valor $DX(n)$ que son emitidos por la sección (20) de muestreador, y que envía la señal CK de reloj y la señal CKX de reloj que satisfacen la relación ' $t_x - t_c = T/2$ ' para la sección (20) de muestreador; y

20 una sección (40) de control de ecualizador que, en cada período $T(n)$, realiza el control de una cantidad de ajuste de nivel de la señal digital por la sección (10) de ecualizador sobre la base del nivel de la señal digital que es emitida por la sección (10) de ecualizador, o sobre la base del valor $D(n)$ y el valor $DX(n)$ que son emitidos por la sección (20) de muestreador;

caracterizado porque el dispositivo (1) de restauración del reloj comprende adicionalmente:

25 una sección (50) de monitor de fase que, en cada período $T(n)$, detecta una diferencia de fase entre la señal CK de reloj y la señal digital sobre la base del valor $D(n)$ y el valor $DX(n)$, que son emitidos por la sección (20) de muestreador, y que, cuando la diferencia de fase es mayor que un valor predeterminado, detiene el control de la cantidad de ajuste de nivel de la señal digital por la sección (40) de control de ecualizador.

30 2. El dispositivo (1) de restauración de datos de reloj de acuerdo con la reivindicación 1, en el que la sección (30) de generación de reloj ajusta el ciclo T o la fase sobre la base de una señal UP, que es un valor significativo cuando ' $D(n-1) \neq DX(n-1) = D(n)$ ' y una señal DN que es un valor significativo cuando ' $D(n-1) = DX(n-1) \neq D(n)$ ', y emite la señal CK de reloj y la señal CKX de reloj.

35 3. El dispositivo (1) de restauración de datos de reloj de acuerdo con la reivindicación 1, en el que la sección (50) de monitor de fase detecta la relación de fase entre la señal CK de reloj y la señal digital sobre la base de una señal UP, que es un valor significativo cuando ' $D(n-1) \neq DX(n-1) = D(n)$ ' y una señal DN que es un valor significativo cuando ' $D(n-1) = DX(n-1) \neq D(n)$ '.

40 4. El dispositivo (1) de restauración de datos de reloj de acuerdo con la reivindicación 3, en el que, en cada período $T(n)$, la sección (50) de monitor de fase considera que la diferencia de fase es mayor que un valor predeterminado cuando ya sea la señal UP o la señal DN no es un valor significativo en diez períodos anteriores consecutivos ($T(n-9)$ a $T(n)$) que incluyen el período, y detiene el control de la cantidad de ajuste de nivel de la señal digital por la sección de control de ecualizador.

45

Fig.1

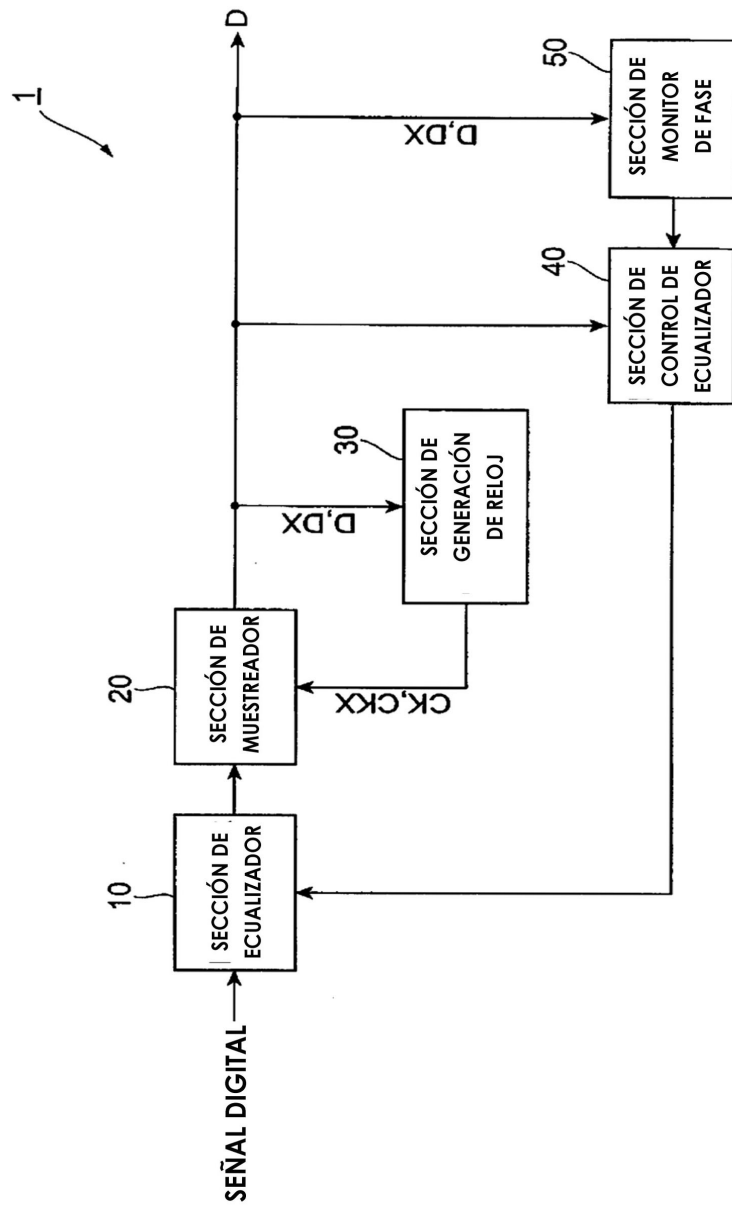


Fig.2

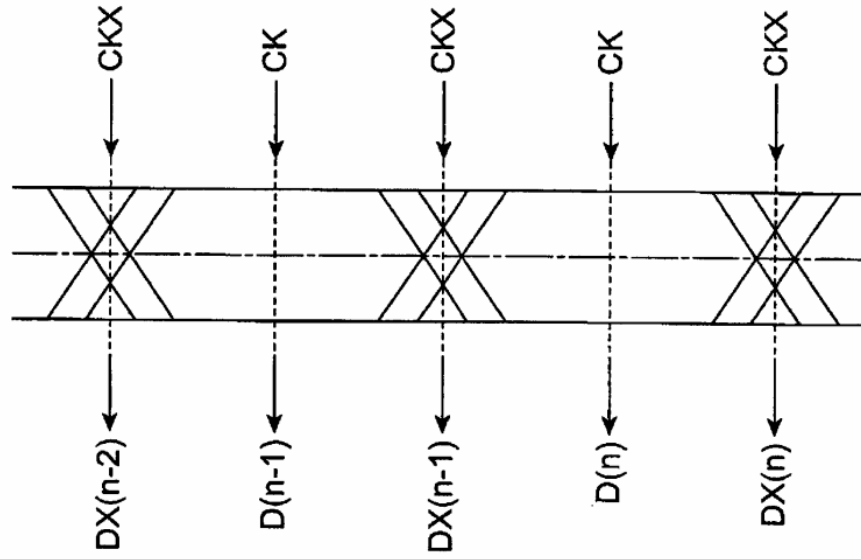


Fig.3

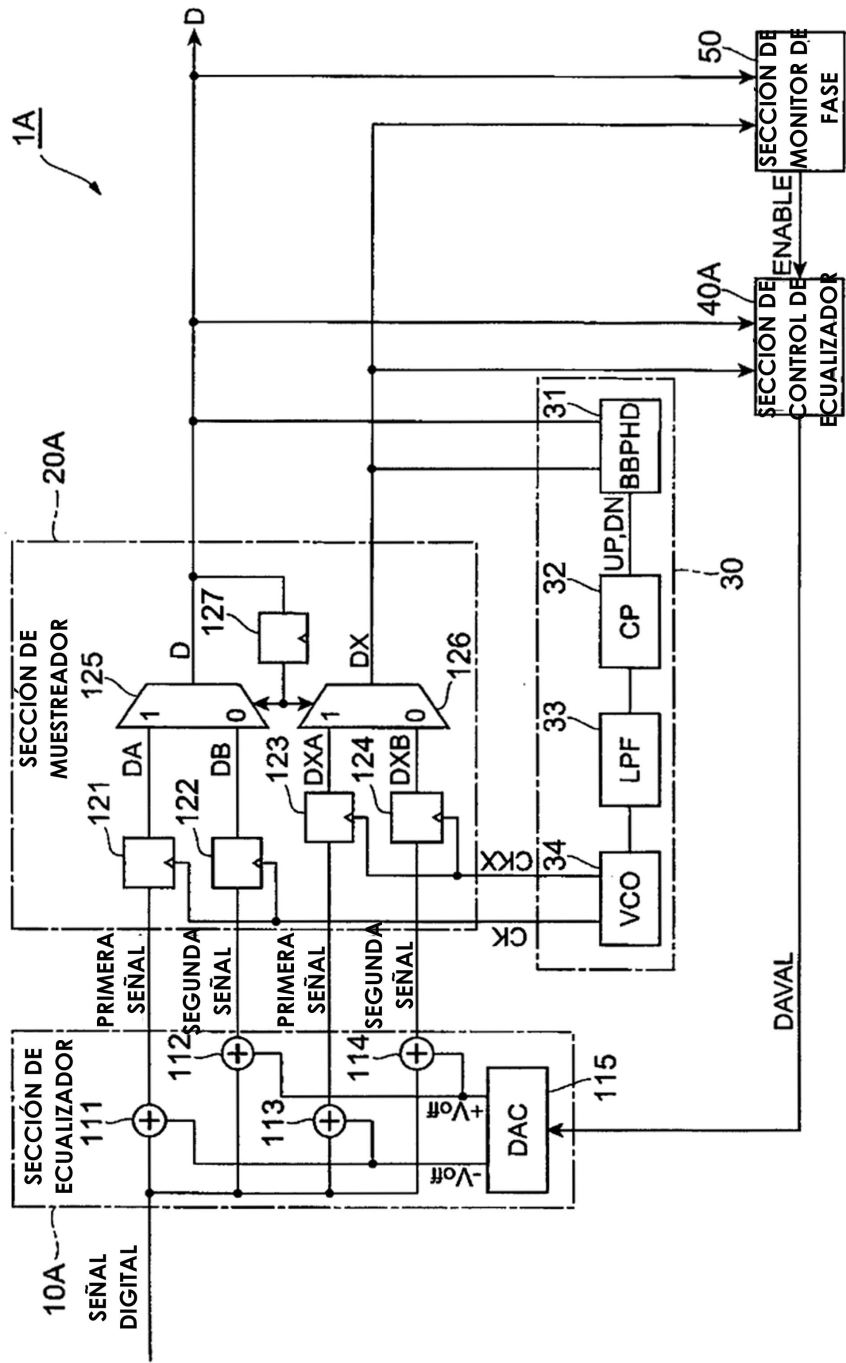


Fig.4

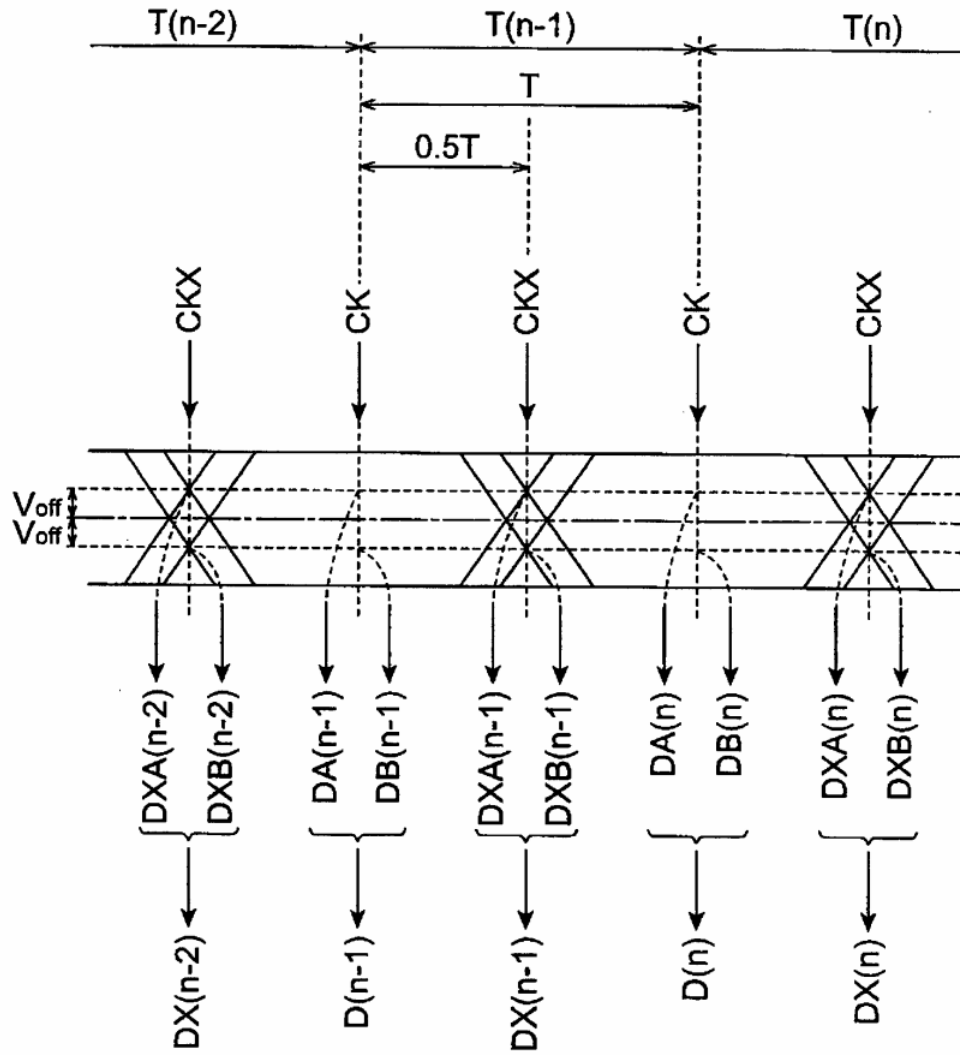


Fig.5

D(n-1)	DX(n-1)	D(n)	UP	DN
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	0
1	1	0	0	1
1	1	1	0	0

Fig.6

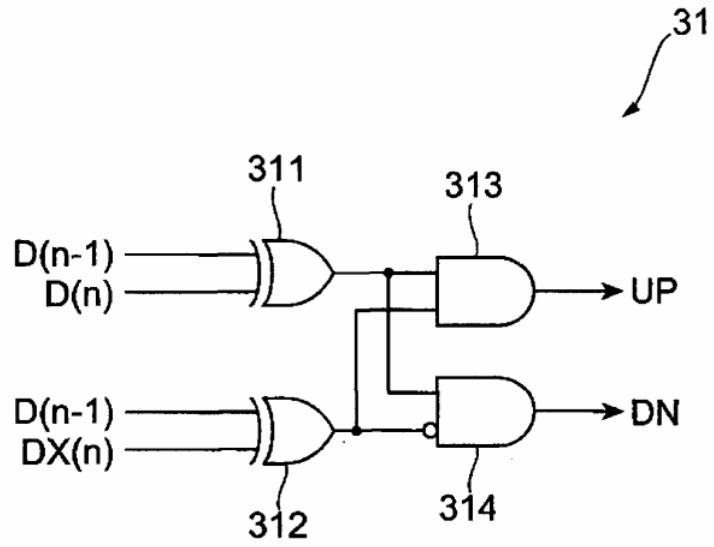


Fig.7

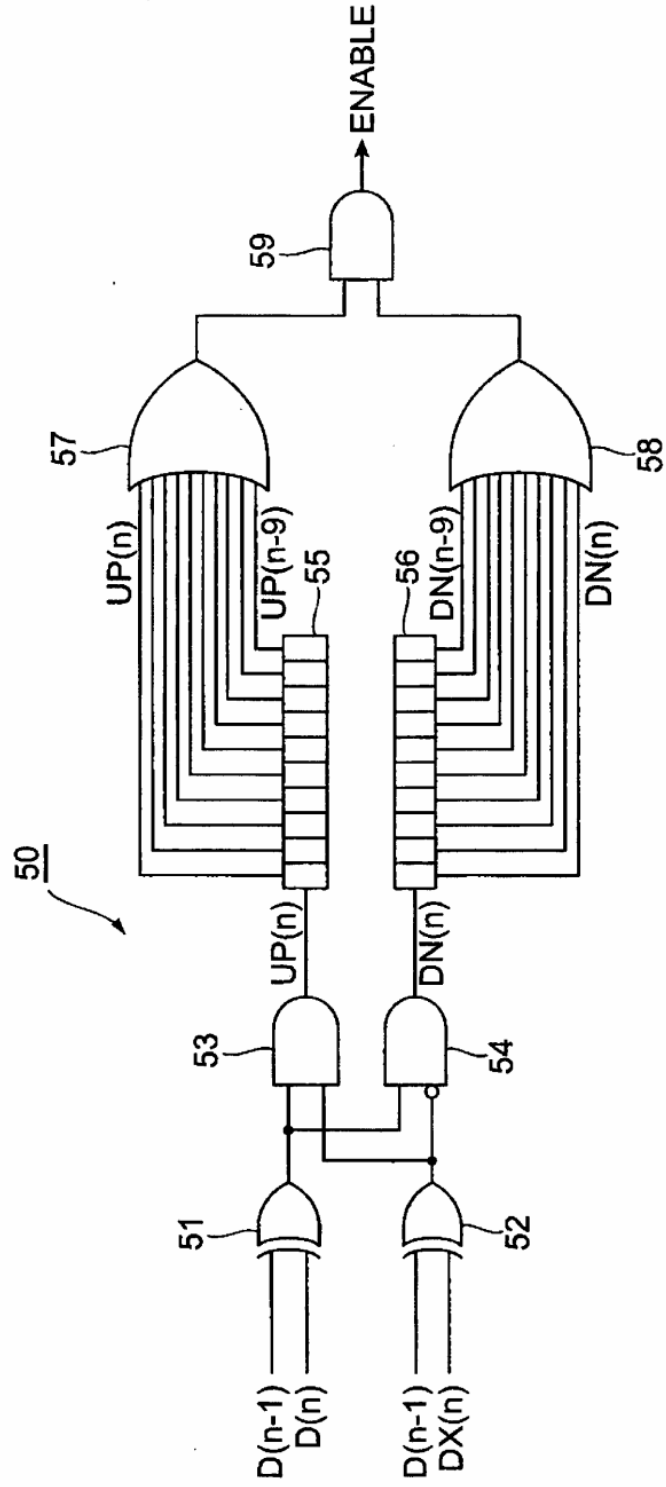


Fig.8

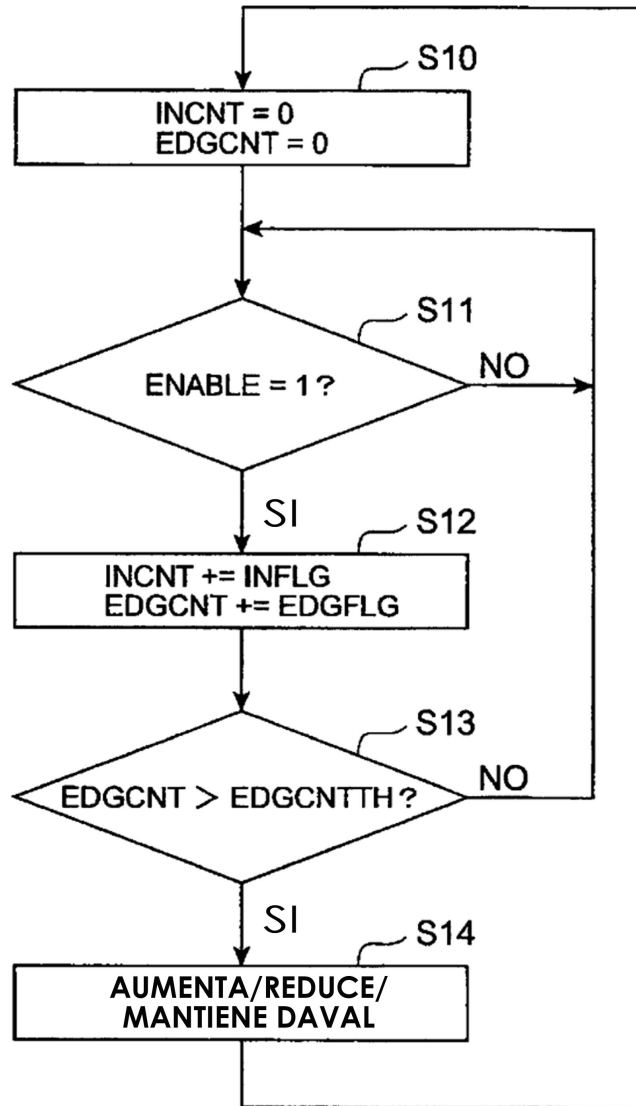


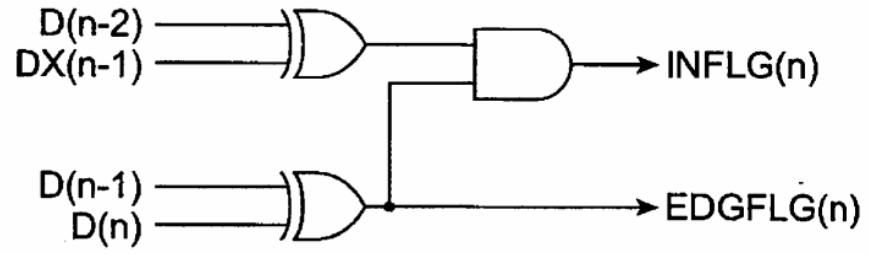
Fig.9

Fig.10

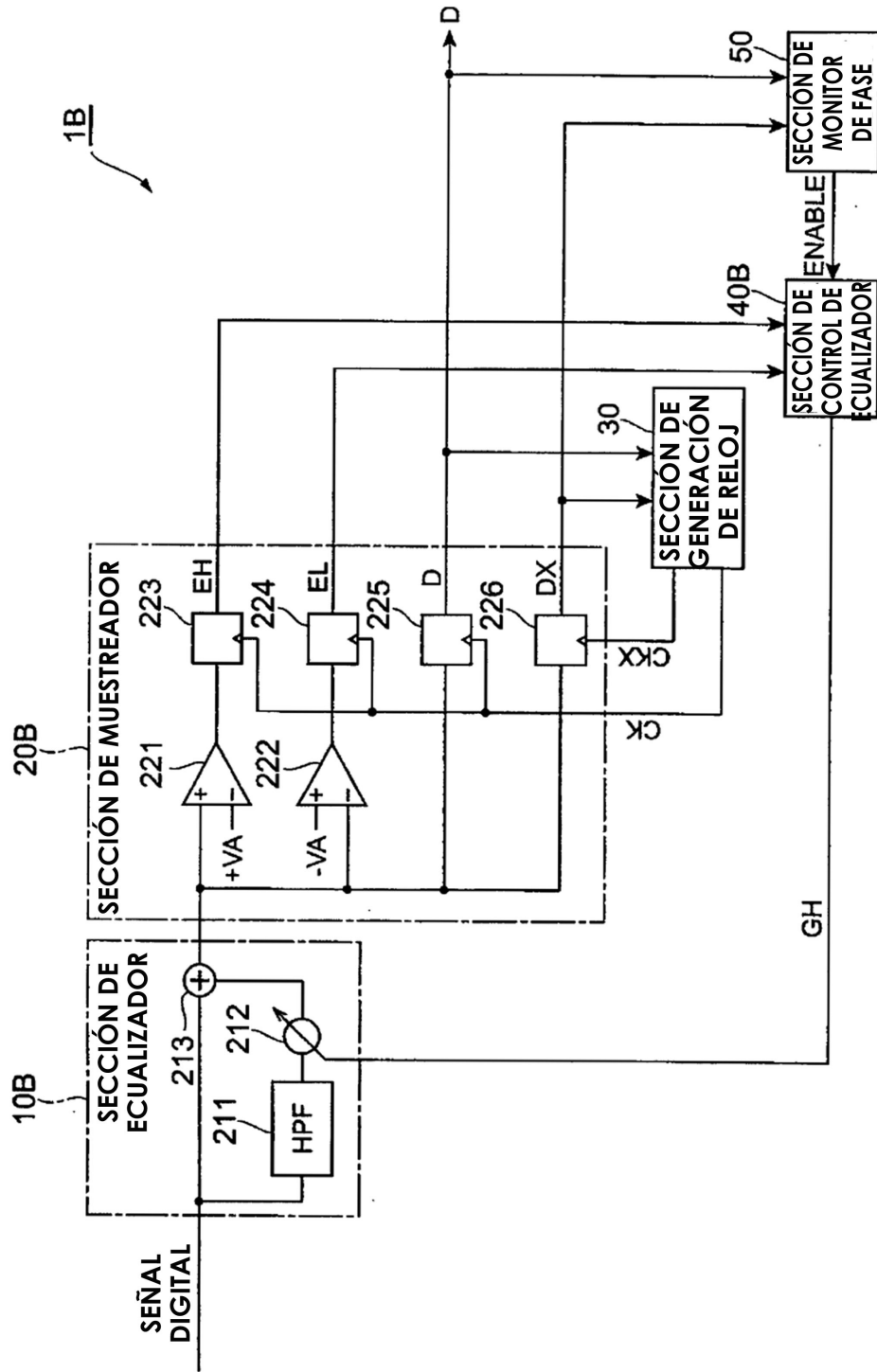


Fig.11

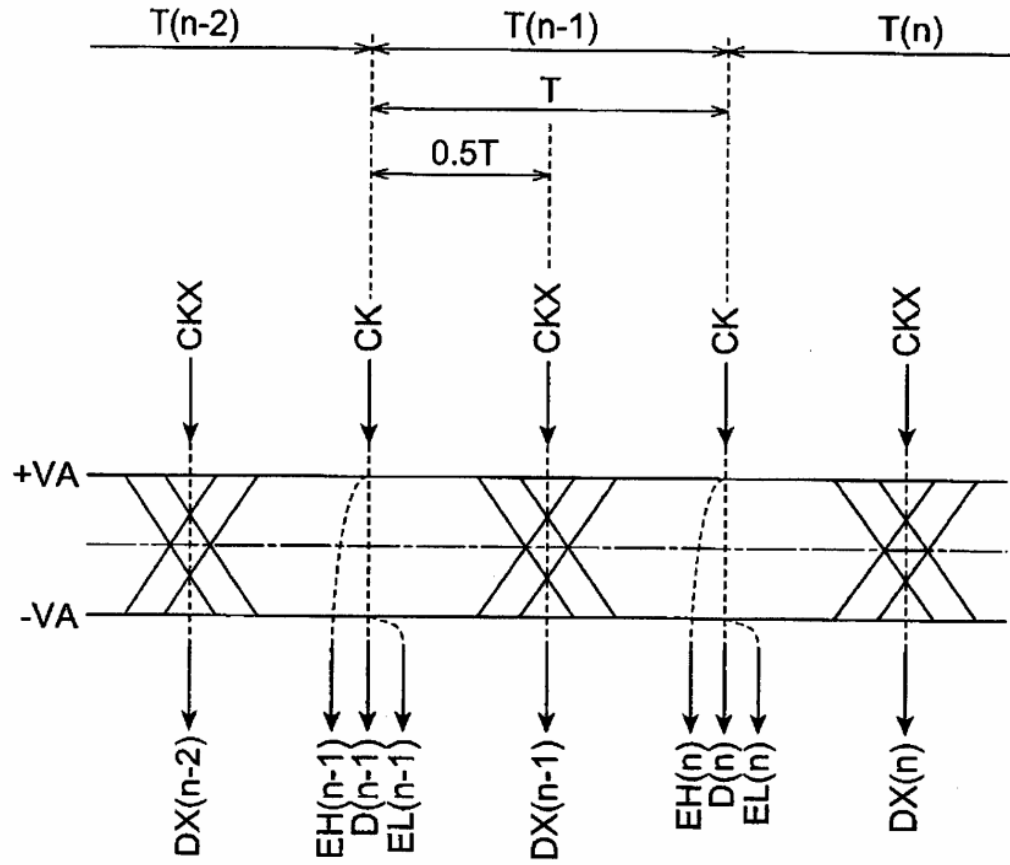


Fig.12

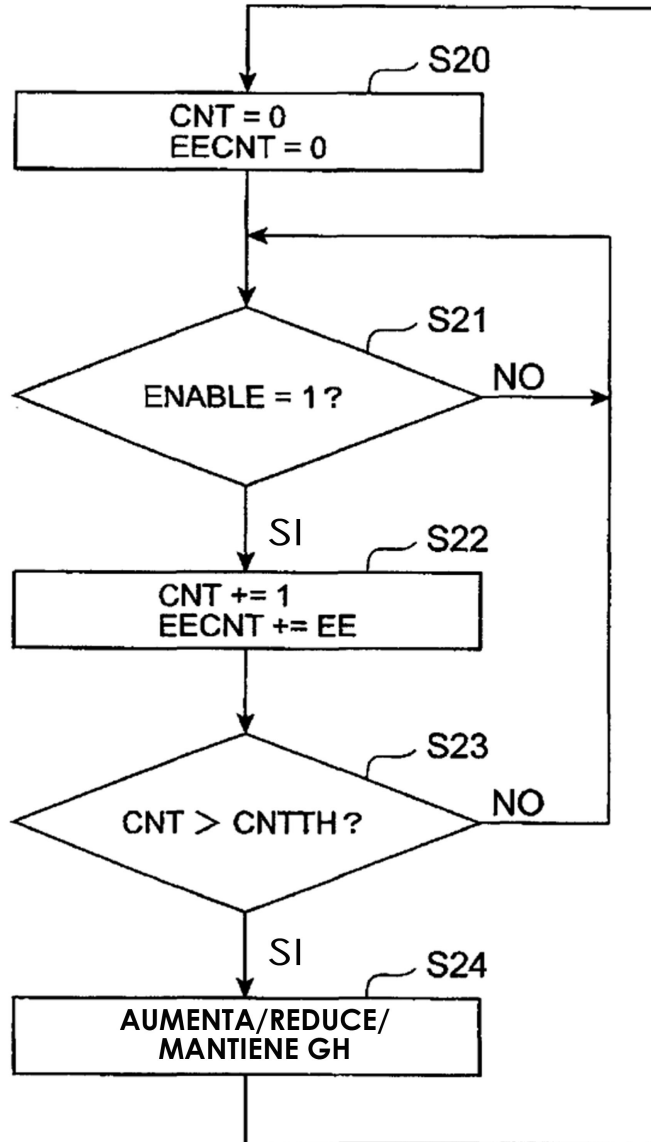


Fig.13

