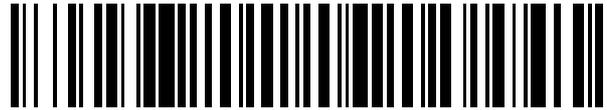


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 529 182**

51 Int. Cl.:

H03M 13/05 (2006.01)

H03M 13/11 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **18.07.2005 E 05778539 (6)**

97 Fecha y número de publicación de la concesión europea: **24.12.2014 EP 1829222**

54 Título: **Diseño de LDPC estructurado con agrupación de filas de vector**

30 Prioridad:

15.12.2004 US 636700 P
19.04.2005 US 108949

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
17.02.2015

73 Titular/es:

MOTOROLA MOBILITY LLC (100.0%)
600 North US Highway 45
Libertyville, IL 60048 , US

72 Inventor/es:

BLANKENSHIP, YUFEI, W.;
BLANKENSHIP, T., KEITH y
CLASSON, BRIAN, K.

74 Agente/Representante:

DE ELZABURU MÁRQUEZ, Alberto

ES 2 529 182 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Diseño de LDPC estructurado con agrupación de filas de vector

La presente invención se refiere en general a codificación y decodificación de datos, y en particular a un método y un aparato para codificar y decodificar datos utilizando códigos de comprobación de paridad de baja densidad (LDPC).

Antecedentes de la invención

Según se ha descrito en la solicitud de Patente de Estados Unidos Serial núm. 10/839995, la cual se incorpora aquí por referencia, un código de comprobación de paridad de baja densidad (LDPC) es un código de bloque lineal especificado por medio de una matriz **H** de comprobación de paridad. En general, un código LDPC se define por medio de un Campo de Galois $GF(q)$, $q \geq 2$. Si $q=2$, el código es un código binario. Todos los códigos de bloque lineales pueden ser descritos como el producto de un vector de información de k -bits $\mathbf{s}_{1 \times k}$ por una matriz generadora de código $\mathbf{G}_{k \times n}$ para producir una clave $\mathbf{x}_{1 \times n}$ de n -bits donde la tasa de código es $r=k/n$. La clave \mathbf{x} se transmite a través de un canal ruidoso, y el vector de señal \mathbf{y} recibido se hace pasar hasta el decodificador para estimar el vector de información $\mathbf{s}_{1 \times k}$.

Dado un espacio n -dimensional, las filas de **G** abarcan el subespacio C de clave k -dimensional, y las filas de matriz $\mathbf{H}_{m \times n}$ de comprobación de paridad abarcan el espacio dual C^\perp m -dimensional, donde $m = n-k$. Puesto que $\mathbf{x}=\mathbf{sG}$ y $\mathbf{GH}^T=\mathbf{0}$, se obtiene que $\mathbf{xH}^T=\mathbf{0}$ para todas las claves en el subespacio C , donde "T" (o "T") indica transposición de matriz. En la discusión de códigos LDPC, esto se escribe en general como:

$$\mathbf{Hx}^T = \mathbf{0}^T, \tag{1}$$

donde $\mathbf{0}$ es un vector fila de todo ceros, y la clave $\mathbf{x}=[\mathbf{s} \ \mathbf{p}] = [s_0, s_1, \dots, s_{k-1}, p_0, p_1, \dots, p_{m-1}]$, donde p_0, \dots, p_{m-1} son bits de comprobación de paridad; y s_0, \dots, s_{k-1} son los bits sistemáticos, iguales a los bits de información dentro del vector de información.

Para un código LDPC, la densidad de entradas distintas de cero en **H** es baja, es decir, existe solamente un pequeño porcentaje de 1's en **H**, lo que permite un mejor comportamiento de corrección de error y una decodificación más simple que usando una **H** densa. Una matriz de comprobación de paridad puede ser también descrita mediante un grafo bipartito. El grafo bipartito no es solamente una descripción gráfica del código sino también un modelo para el decodificador. En el grafo bipartito, un bit de clave (por lo tanto, cada columna de **H**) está representado por un nodo de variable en el lado izquierdo, y cada ecuación de comprobación de paridad (por lo tanto, cada fila de **H**) está representada por un nodo de comprobación en el lado derecho. Cada nodo de variable corresponde a una columna de **H** y cada nodo de comprobación corresponde a una fila de **H**, con "nodo de variable" y "columna" de **H** mencionados de forma intercambiable, como lo son "nodo de comprobación" y "fila" de **H**. Los nodos de variable están conectados solamente a nodos de comprobación, y los nodos de comprobación están conectados solamente a nodos de variable. Para un código con n bits de clave y m bits de paridad, el nodo de variable v_i está conectado al nodo de comprobación c_j por medio de un borde si el bit de clave i participa en la ecuación de comprobación j , $i = 0, 1, \dots, n-1, j = 0, 1, \dots, m-1$. En otras palabras, el nodo de variable i está conectado al nodo de comprobación j si la entrada h_{ji} de la matriz de comprobación de paridad **H** es 1. Reflejando la Ecuación (1), los nodos de variable representan una clave válida si todos los nodos de comprobación tienen paridad par.

A continuación se muestra un ejemplo que ilustra la relación entre la matriz de comprobación de paridad, las ecuaciones de comprobación de paridad, y el grafo bipartito. Supóngase una $n = 12$, el código de tasa 1/2 está definido por:

$$\mathbf{H} = \left[\begin{array}{cccccc|cccccc} 1 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 1 \end{array} \right] \tag{2}$$

con la porción del lado izquierdo correspondiendo a $k (= 6)$ bits de información **s**, la porción del lado derecho correspondiendo a $m (= 6)$ bits de paridad **p**. Aplicando (1), la **H** en (2) define 6 ecuaciones de comprobación de paridad como sigue:

$$\begin{cases} x_0 + x_2 + x_6 + x_7 = 0 \\ x_1 + x_4 + x_7 + x_8 = 0 \\ x_2 + x_5 + x_6 + x_8 + x_9 = 0 \\ x_0 + x_3 + x_9 + x_{10} = 0 \\ x_1 + x_4 + x_{10} + x_{11} = 0 \\ x_3 + x_5 + x_6 + x_{11} = 0 \end{cases}$$

(3)

H tiene también el grafo bipartito correspondiente mostrado en la Figura 1.

5 El código LDPC general descrito con anterioridad puede no ser fácil de implementar en la práctica. Con frecuencia se introducen estructuras en la matriz de comprobación de paridad para permitir una rápida codificación y descodificación sin sacrificar el comportamiento de corrección de error. Un diseño de código LDPC estructurado empieza con una pequeña matriz de base \mathbf{H}_b binaria de $m_b \times n_b$, hace \mathbf{z} copias de \mathbf{H}_b , e interconecta las \mathbf{z} copias para formar una gran matriz \mathbf{H} de $m \times n$, donde $m = m_b \times \mathbf{z}$, $n = n_b \times \mathbf{z}$. Usando la representación de matriz, para construir una \mathbf{H} a partir de \mathbf{H}_b , cada 1 en \mathbf{H}_b se sustituye por una submatriz de permutación $\mathbf{z}\mathbf{x}\mathbf{z}$, y cada 0 en \mathbf{H}_b se sustituye por una submatriz de todo cero $\mathbf{z}\mathbf{x}\mathbf{z}$. La representación de la expansión de \mathbf{H}_b se denomina matriz modelo y se indica mediante \mathbf{H}_{bm} . Así, \mathbf{H}_{bm} es simplemente una notación abreviada para \mathbf{H} cuando \mathbf{z} es conocido. Este procedimiento mapea esencialmente cada borde de \mathbf{H}_b respecto a un borde de vector de longitud \mathbf{z} en \mathbf{H} , cada nodo de variable de \mathbf{H}_b respecto a un nodo de variable de vector de longitud \mathbf{z} en \mathbf{H} , y cada nodo de comprobación de \mathbf{H}_b respecto a un nodo de comprobación de vector de longitud \mathbf{z} en \mathbf{H} . Para un LDPC estructurado, la submatriz de $\mathbf{z}\mathbf{x}\mathbf{z}$ puede ser una matriz de permutación, una suma de matrices de permutación, o cualquier tipo de matriz binaria. Puesto que una matriz de permutación \mathbf{P} tiene un solo 1 en cada fila y un solo 1 en cada columna, la distribución de peso de la matriz \mathbf{H} expandida es la misma que en la matriz de base \mathbf{H}_b si se usa la submatriz de permutación. Por lo tanto, la distribución de peso de \mathbf{H}_b se elige tan próxima a la distribución de peso final deseada como sea posible. Las submatrices de permutación que comprenden \mathbf{H} pueden ser muy simples sin comprometer el rendimiento, tal como desplazamientos cíclicos simples y/o inversiones de bits. En el caso de desplazamientos cíclicos, se puede escribir \mathbf{H}_{bm} sustituyendo los 1's en \mathbf{H}_b por números enteros no negativos que representan la magnitud del desplazamiento y los 0's en \mathbf{H}_b se sustituyen por 1. En el transmisor, un vector \mathbf{u} de k bits de información se codifica en base a \mathbf{H} (o equivalentemente \mathbf{H}_{bm}) para producir un vector \mathbf{x} de n bits de código, donde $k=n-m=\mathbf{z}\mathbf{x}k_b$, $k_b = (n_b - m_b)$. El vector \mathbf{x} se envía a través de un canal ruidoso y se recibe un vector \mathbf{y} de n señales contaminadas. En el receptor, el decodificador de LDPC intenta estimar \mathbf{x} en base al vector \mathbf{y} recibido y a la matriz \mathbf{H} de comprobación de paridad. El receptor obtiene una versión \mathbf{y} contaminada de la clave \mathbf{x} transmitida. Para descodificar \mathbf{y} , y estimar la secuencia \mathbf{s} de información original, un algoritmo de descodificación iterativa, tal como propagación de suma producto, se aplica normalmente en base al grafo bipartito. Información blanda en formato de relaciones de probabilidad de inicio de sesión (LLR) de los bits de clave, se hace pasar entre el banco de nodos de variable y el banco de nodos de comprobación. La iteración se detiene ya sea cuando todas las ecuaciones de comprobación han sido satisfechas o ya sea cuando se alcanza un límite de iteración máximo permitido.

Los códigos LDPC estructurados pueden ser descodificados también con un decodificador por capas. Un decodificador por capas tiene típicamente hardware para procesar una fila entera de una sola vez. El decodificador por capas puede reducir potencialmente el número de iteraciones requeridas para conseguir un nivel de rendimiento dado, e incrementar potencialmente el rendimiento si no existe hardware suficiente para procesar todas las filas de bloque de una sola vez. También se puede usar agrupamiento de capa cuando la matriz de base \mathbf{H}_b está restringida de tal modo que los grupos de filas de base no intersectan, lo que significa que las filas de base dentro de un grupo tienen a lo sumo un solo 1 dentro de una columna de base (o de forma equivalente, dentro de cada grupo las filas de \mathbf{H}_{bm} tienen a lo sumo una única entrada no negativa dentro de una columna). El agrupamiento de capa puede ser usado para incrementar más la velocidad del decodificador de LDPC puesto que se necesitan menos iteraciones para alcanzar un determinado comportamiento de corrección de error.

Adicionalmente, la matriz de base y la asignación de matrices de permutación para una matriz \mathbf{H} de comprobación de paridad objetivo dada, pueden estar diseñadas de modo que proporcionen un código LDPC que tenga un buen comportamiento de corrección de error y puedan ser codificadas y descodificadas eficazmente. En la solicitud de Patente de Estados Unidos Serial núm. 10/839.995, se describe una matriz \mathbf{H} estructurada de comprobación de paridad en donde \mathbf{H} es una expansión de una matriz de base \mathbf{H}_b y en donde \mathbf{H}_b comprende una sección \mathbf{H}_{b1} y una sección \mathbf{H}_{b2} , y en donde \mathbf{H}_{b2} comprende una primera parte que comprende una columna \mathbf{h}_b que tiene un peso impar mayor de 2, y una segunda parte que comprende elementos de matriz para la fila i , columna j , iguales a 1 para $i=j$, 1 para $i=j+1$, y 0 en cualquier otro caso. La expansión de la matriz de base \mathbf{H}_b utiliza submatrices idénticas para 1's en cada columna de la segunda parte \mathbf{H}'_{b2} , y la expansión utiliza submatrices apareadas para un número par de 1's en \mathbf{h}_b .

Aunque se puede usar descodificación por capas con agrupamiento de capa para reducir potencialmente la cantidad de procesamiento e incrementar potencialmente el rendimiento, no existe una técnica para diseñar la matriz de base

y asignar las matrices de permutación para un tamaño de **H** objetivo dado que permita una codificación y decodificación por capas eficientes con agrupamiento de capa. Por lo tanto, existe una necesidad de crear características en códigos LDPC estructurados que puedan ser codificados eficazmente y decodificados por capas a alta velocidad.

- 5 El documento ROBERT XU, LIUQING YUAN, YOUANG ZHANG, LI ZENG: "Codificación LDPC de alto contorno para OFDMA PHY" [Online], 3 de Noviembre de 2004 (03-11-2004), XP002509792 Recuperado de Internet: URL: http://www.ieee802.org/16/tge/contrib/C80216e-04_423.pdf, divulga codificación de LPDC de alto contorno para OFDMA PHY. Cada código LDPC de un conjunto de códigos LDPC está definido por una matriz **H** de tamaño m -por- n , donde n es la longitud del código y m es el número de bits de comprobación de paridad en el código. El número de bits sistemáticos es $k=n-m$.

La matriz **H** se define como:

$$\mathbf{H} = \begin{bmatrix} \mathbf{P}_{0,0} & \mathbf{P}_{0,1} & \mathbf{P}_{0,2} & \cdots & \mathbf{P}_{0,n_b-2} & \mathbf{P}_{0,n_b-1} \\ \mathbf{P}_{1,0} & \mathbf{P}_{1,1} & \mathbf{P}_{1,2} & \cdots & \mathbf{P}_{1,n_b-2} & \mathbf{P}_{1,n_b-1} \\ \mathbf{P}_{2,0} & \mathbf{P}_{2,1} & \mathbf{P}_{2,2} & \cdots & \mathbf{P}_{2,n_b-2} & \mathbf{P}_{2,n_b-1} \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots \\ \mathbf{P}_{m_b-1,0} & \mathbf{P}_{m_b-1,1} & \mathbf{P}_{m_b-1,2} & \cdots & \mathbf{P}_{m_b-1,n_b-2} & \mathbf{P}_{m_b-1,n_b-1} \end{bmatrix} = \mathbf{P}^{H_b}$$

15 donde $\mathbf{P}_{i,j}$ es una de un conjunto de matrices de permutación z -por- z o una matriz cero de z -por- z . La matriz **H** se ha expandido a partir de una matriz de base H_b binaria de tamaño m_b -por- n_b , donde $n=z \cdot n_b$ y $m=z \cdot m_b$, y z es un número entero ≥ 1 . La matriz de base se expande mediante la sustitución de cada 1 en la matriz de base por una matriz de permutación de z -por- z , y cada 0 por una matriz cero de z -por- z . La matriz de base n_b es un múltiplo entero de 24.

20 Las permutaciones usadas son desplazamientos circulares a derecha, y el conjunto de matrices de permutación contiene la matriz de identidad $z \times z$ y versiones circulares desplazadas a la derecha de la matriz de identidad. Puesto que cada matriz de permutación está especificada por un solo desplazamiento circular a la derecha, la información de matriz de base binaria y la información de sustitución de permutación pueden ser combinadas en una simple matriz H_{bm} modelo compacta. La matriz modelo H_{bm} es del mismo tamaño que la matriz H_b de base binaria, con cada entrada binaria en (i, j) de la matriz de base H_b reemplazada para crear la matriz modelo H_{bm} . Cada 0 en H_b se sustituye por un valor negativo (por ejemplo, por *C1) para indicar una matriz $z \times z$ de todo ceros, y cada 1 en H_b se sustituye por un tamaño de desplazamiento circular $p(i, j) \geq 0$. La matriz modelo H_{bm} puede ser entonces expandida directamente a **H**. H_b está dividida en dos secciones, donde H_{b1} corresponde a los bits sistemáticos y H_{b2} corresponde a los bits de comprobación de paridad, de tal modo que $H_b = L(H_{b1})_{m_b \times k_b} | (H_{b2})_{m_b \times m_b}^{-1}$. La sección H_{b2} está además dividida en dos secciones, donde el vector h_b tiene peso impar, y H'_{b2} tiene una estructura de doble diagonal con elementos de matriz en la fila i , columna j , iguales a 1 para $i=j$, 1 para $i=j+1$, y 0 en cualquier otro caso.

$$\mathbf{H}_{b2} = [\mathbf{h}_b \mid \mathbf{H}'_{b2}] = \begin{bmatrix} h_b(0) & | & 1 & & & \\ h_b(1) & | & 1 & 1 & & 0 \\ \cdot & | & & 1 & \ddots & \\ \cdot & | & & & \ddots & 1 \\ \cdot & | & 0 & & 1 & 1 \\ h_b(m_b-1) & | & & & & 1 \end{bmatrix}$$

30 La matriz de base tiene $h_b(0) = 1$, $h_b(m_b-1) = 1$, y un tercer valor $h_b(j)$, $0 < j < (m_b-1)$ igual a 1. La estructura de matriz de base evita tener múltiples columnas de peso 1 en la matriz expandida. En particular, las submatrices distintas de cero están desplazadas circularmente a la derecha mediante un valor de desplazamiento circular particular. Cada 1 en H'_{b2} tiene asignado un tamaño de desplazamiento de 0, y se sustituye por una matriz de identidad $z \times z$ cuando se expande a **H**. Los dos 1s situados en la parte superior e inferior de h_b tienen asignados tamaños de desplazamiento iguales, y al tercer 1 en el centro de h_b se ha dado un tamaño de desplazamiento desapareado.

de peso 4 para un buen rendimiento en un código R=3/4, pero una matriz de base \mathbf{H} de 6x24 puede tener solamente un peso hasta 3 bajo la restricción de que pares de filas de matriz de base no tienen ninguna entrada de superposición.

Arquitectura de implementación

5 El procesamiento de grupos de bits en un código estructurado va a ser examinado con mayor detalle. Para un código LDPC estructurado con factor de expansión \mathbf{z} , las comprobaciones de paridad de \mathbf{z} dentro de un nodo de comprobación de vector (correspondiente a una fila de la matriz de base) pueden ser calculadas en paralelo. Esto se debe a que la estructura de código (que contiene permutaciones) garantiza que el mensaje procedente de cualquier nodo de variable dado dentro de un nodo de variable de vector (correspondiente a una columna de la matriz de base) se necesita por parte de como máximo uno de los nodos de comprobación de paridad de \mathbf{z} dentro de un nodo de comprobación de vector. Un ejemplo de diagrama de bloques del flujo de procesamiento de comprobación de paridad ha sido proporcionado en la Figura 1. Los mensajes agrupados μ_j desde nodos de variable de vector hasta el nodo de comprobación de vector i , $1 \leq j \leq d_r(i)$, correspondientes a las $d_r(i)$ entradas distintas de cero de la fila i ésima de la matriz de base, son permutados cíclicamente de acuerdo con la submatriz de permutación P_{ij} $1 \leq j \leq d_r(i)$, y presentados a los \mathbf{z} circuitos C_l de comprobación de paridad paralelos dentro del nodo de comprobación de vector i , $1 \leq l \leq \mathbf{z}$. La circuitería de comprobación de paridad produce mensajes que son permutados inversamente, para obtener los mensajes actualizados μ'_l (nuevos) que pueden ser utilizados en etapas de descodificación consiguientes. Obsérvese que $d_r(i)$ ha sido indicado con k en la Figura.

20 La lógica digital en los bloques de procesamiento de la Figura 1 puede ser canalizada completamente, es decir, los resultados intermedios almacenados por cualquier registro no son necesarios para generar resultados para cualquier registro previo en el circuito. Según se describe en la Figura, una vez que los mensajes han pasado por el circuito, se generan mensajes actualizados D ciclos más tarde.

25 Dado este modelo, considérese una matriz de base en la que para dos filas cualesquiera, a saber r y s , los conjuntos de columnas con entradas no triviales (cero) no intersectan. Así, los nodos de comprobación de paridad de vector correspondientes a esas dos filas utilizan (y actualizan) conjuntos de mensajes completamente diferentes, los cuales están relacionados con dos conjuntos diferentes de nodos de variable de vector. En ese caso, puesto que la circuitería de la Figura 1 está canalizada, las comprobaciones de paridad de vector para ambas fila r y fila s pueden ser calculadas en $D+1$ ciclos. Esto se hace alimentando los mensajes para la fila s un ciclo más tarde que para la fila r hacia una unidad de procesamiento representada en la Figura 1. Si los mensajes para la fila r fueron alimentados en un instante t , éstos serán actualizados en un instante $t+D$, seguido de la actualización de los mensajes de la fila s en el instante $t+D+1$. Esto puede estar representado con la Figura 1 y otra copia de la Figura 1 por debajo de la primera copia y desviada en un ciclo.

35 En una alternativa completamente canalizada, la matriz de base está diseñada de modo que las filas de \mathbf{H}_b pueden ser divididas en $m_b/2$ grupos, donde para las dos filas dentro de un grupo, los conjuntos de columnas con entradas no triviales no intersectan. Obsérvese que las filas agrupadas no tienen que ser consecutivas debido a que el descodificador podría ser controlado para procesar las filas de matriz de comprobación de paridad fuera de orden. Alternativamente, las filas de vector de la matriz H de comprobación de paridad pueden ser permutadas de tal modo que cada dos filas de vector consecutivas no intersecten debido a que la permutación de fila no tenga ningún efecto sobre el rendimiento de descodificación. En la alternativa totalmente canalizada, el rendimiento puede ser casi doblado en relación con el caso en que las filas no estén apareadas (lo que requiere $2D$ ciclos de reloj para procesar 2 filas). Esto se debe a que el procesamiento de cualquier fila posterior debe ser retrasado hasta que todos los mensajes sobre la fila actual que están siendo procesados hayan sido actualizados. Por lo tanto, la descodificación completamente canalizada permite un incremento significativo del rendimiento sin coste de hardware extra. También se puede apreciar que el diseño completamente canalizado consigue casi el mismo rendimiento que un diseño que utilice a lo sumo el doble de hardware donde dos filas de vector de un grupo son descodificadas simultáneamente sobre dos unidades de procesamiento. El procesamiento de dos filas que sean no intersectantes puede ser apreciado como Figura 1 con otra Figura 1 a la derecha, con un retardo total de $2D$.

40 En la discusión que antecede, se supone un tamaño de grupo de 2. En general, la matriz de base puede estar diseñada de modo que las m_b filas de \mathbf{H}_b puedan ser divididas en m_b/q grupos, donde las q filas de vector de cada grupo no intersectan (denominadas "agrupamiento q " en lo que sigue). Cuando están completamente canalizadas, las q filas de vector pueden empezar en la canalización consecutivamente, con una separación de un ciclo entre filas de vector consecutivas. De ese modo, las q filas pueden ser acabadas en $D+q-1$ ciclos. Por lo tanto, el rendimiento del diseño de agrupamiento q es casi q veces como mucho el diseño en el que no exista agrupamiento, puesto que las q filas de vector necesitan Dxq ciclos para el cálculo. El tamaño de agrupamiento q de la matriz de comprobación de paridad tiene un peso máximo de columna permitido de m_b/q . Por lo tanto, q debe ser seleccionada apropiadamente de modo que se pueda lograr un buen rendimiento de corrección de error con el máximo peso de columna permitido.

45 Aunque el diseño ha sido discutido bajo la consideración de descodificación por capas, una matriz de comprobación de paridad con un diseño de agrupamiento q de tamaño q puede ser descodificada usando cualquier otra estructura de descodificación. Por ejemplo, la descodificación de propagación de suma producto con planificación de

desbordamiento es aún aplicable, donde todos los nodos de comprobación son procesados simultáneamente, y todos los nodos de variable son procesados simultáneamente.

Descripción de código

5 Cada uno de los códigos LDPC es un código de bloque lineal sistemático. Cada código LDPC del conjunto de códigos LDPC está definido por una matriz **H** de tamaño *m*-por-*n*, donde *n* es la longitud del código y *m* es el número de bits de comprobación de paridad en el código. El número de bits sistemáticos es *k* = *n*-*m*.

La matriz **H** se define como una expansión de una matriz de base y puede estar representada por:

$$\mathbf{H} = \begin{bmatrix} \mathbf{P}_{0,0} & \mathbf{P}_{0,1} & \mathbf{P}_{0,2} & \cdots & \mathbf{P}_{0,n_b-2} & \mathbf{P}_{0,n_b-1} \\ \mathbf{P}_{1,0} & \mathbf{P}_{1,1} & \mathbf{P}_{1,2} & \cdots & \mathbf{P}_{1,n_b-2} & \mathbf{P}_{1,n_b-1} \\ \mathbf{P}_{2,0} & \mathbf{P}_{2,1} & \mathbf{P}_{2,2} & \cdots & \mathbf{P}_{2,n_b-2} & \mathbf{P}_{2,n_b-1} \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots \\ \mathbf{P}_{m_b-1,0} & \mathbf{P}_{m_b-1,1} & \mathbf{P}_{m_b-1,2} & \cdots & \mathbf{P}_{m_b-1,n_b-2} & \mathbf{P}_{m_b-1,n_b-1} \end{bmatrix} = \mathbf{P}^{\mathbf{H}_b}$$

10 donde $\mathbf{P}_{i,j}$ es una de un conjunto de *z*-por-*z* matrices de identidad desplazadas a la derecha o una matriz cero de *z*-por-*z*. La matriz **H** se expande a partir de una matriz de base binaria **H_b** de tamaño *m_b*-por-*n_b*, donde *n* = *z* · *n_b* y *m* = *z* · *m_b*, y *z* es un número entero positivo. La matriz de base se expande reemplazando cada 1 en la matriz de base por una matriz de identidad *z*-por-*z* desplazada a la derecha, y cada 0 por una matriz cero *z*-por-*z*. Por lo tanto, el diseño acomoda varios tamaños de paquete variando el tamaño *z* de la submatriz.

15 Puesto que cada matriz de permutación está especificada por medio de un simple desplazamiento a la derecha circular, la información de matriz de base binaria y la información de sustitución de permutación pueden ser combinadas en una única matriz modelo **H_{bm}**, compacta. La matriz modelo **H_{bm}** es del mismo tamaño que la matriz de base binaria **H_b**, con cada entrada binaria en (*i*, *j*) de la matriz de base **H_b** sustituida para crear la matriz modelo **H_{bm}**. Cada 0 en **H_b** se reemplaza por un valor negativo (por ejemplo, por -1) para indicar una matriz *zxz* de todo ceros, y cada 1 en **H_b** se reemplaza por un tamaño de desplazamiento circular *p*(*i*, *j*) ≥ 0. La matriz modelo **H_{bm}** puede ser después expandida directamente hasta **H**.

20 La matriz de base **H_b** está dividida en dos secciones, donde **H_{b1}** corresponde a los bits sistemáticos y **H_{b2}** corresponde a los bits de comprobación de paridad, de tal modo que **H_b** = L(**H_{b1}**)_{*m_b* × *k_b*} | (**H_{b2}**)_{*m_b* × *m_b*}⁻¹. La sección **H_{b2}** está dividida además en dos secciones, donde el vector **h_b** tiene peso impar, y **H'_{b2}** tiene una estructura de doble diagonal con elementos de matriz en la fila *i*, columna *j*, iguales a 1 para *i*=*j*, 1 para *i*=*j*+1, y 0 en cualquier otro caso.

25

$$\mathbf{H}_{b2} = [\mathbf{h}_b \mid \mathbf{H}'_{b2}]$$

$$= \begin{bmatrix} h_b(0) & | & 1 & & & & \\ h_b(1) & | & 1 & 1 & & & 0 \\ \cdot & | & & 1 & \ddots & & \\ \cdot & | & & & \ddots & & 1 \\ \cdot & | & & & & \ddots & \\ \cdot & | & & & & & 0 & 1 & 1 \\ h_b(m_b-1) & | & & & & & & & 1 \end{bmatrix}$$

La matriz de base tiene *h_b*(0)=1, *h_b*(*m_b*-1)=1, y un tercer valor *h_b*(*j*), 0 < *j* < (*m_b*-1) igual a 1. La estructura de matriz de base evita tener múltiples columnas de peso 1 en la matriz expandida.

30 En particular, las submatrices distintas de cero son matrices de identidad desplazadas circularmente a la derecha con un valor de desplazamiento circular particular. Cada 1 en **H'_{b2}** está asignado a un tamaño de desplazamiento 0, y se sustituye por una matriz de identidad de *zxz* cuando se expande a **H**. Los dos 1s situados en la parte superior y en la parte inferior de **h_b** han sido asignados con iguales tamaños de desplazamiento, y al tercer 1 en el centro de **h_b** se le ha dado un tamaño de desplazamiento desapareado. El tamaño de desplazamiento desapareado es igual a 0.

35

Tasa 3/4:

La matriz de base tiene el tamaño $n_b=24$, $m_b=6$ y un factor de expansión $z_0=96$ (es decir, $n=24*96=2304$). Para conseguir otros tamaños de código n , el factor de expansión z_1 es igual a $n/24$.

43	90	41	40	19	-1	-1	-1	-1	86	-1	83	26	74	50	-1	-1	62	7	0	-1	-1	-1	-1
-1	-1	95	61	84	2	16	-1	-1	0	-1	-1	-1	20	30	91	18	95	-1	0	0	-1	-1	-1
-1	-1	-1	87	0	-1	58	16	-1	87	16	-1	-1	93	-1	54	24	33	0	-1	0	0	-1	-1
-1	12	-1	-1	65	48	-1	10	10	95	-1	49	-1	52	6	-1	36	57	-1	-1	-1	0	0	-1
65	-1	31	-1	15	-1	12	-1	6	57	0	89	9	29	-1	-1	-1	75	-1	-1	-1	-1	0	0
-1	65	-1	-1	48	40	-1	83	18	45	29	-1	73	84	-1	77	-1	95	7	-1	-1	-1	-1	0

5 Rendimiento

El rendimiento del diseño Motorola actualizado para 802.16e en el canal AWGN ha sido mostrado en las Figuras 2, 3 y 4 para la tasa $\{1/2, 2/3, 3/4\}$, se usó modulación QPSK. Los tamaños de bloque N están en la gama de 576 a 2304 para la totalidad de las tres tasas de código. El factor de expansión z está comprendido en la gama de 24 a 96, tal y como se muestra en las Figuras. El tamaño de bloque y el factor de expansión están relacionados por $n = 24*z$.

10 Mientras que la invención ha sido particularmente mostrada y descrita con referencia a una realización particular, los expertos en la materia comprenderán que se pueden realizar en la misma diversos cambios de forma y de detalle sin apartarse del alcance de la invención según se define mediante las reivindicaciones que siguen.

REIVINDICACIONES

1.- Un método para operar un transmisor que genera bits de comprobación de paridad $\mathbf{p}=\{p_0, \dots, p_{m-1}\}$ en base a un conjunto de símbolo actual $\mathbf{s}=\{s_0, \dots, s_{k-1}\}$, comprendiendo el método las etapas de:

recibir el conjunto de símbolo actual $\mathbf{s}=\{s_0, \dots, s_{k-1}\}$

5 usar una matriz \mathbf{H} para determinar los bits de comprobación de paridad, y

transmitir los bits de comprobación de paridad junto con el conjunto de símbolo actual;

en donde \mathbf{H} es una expansión de una matriz de base \mathbf{H}_b a través de una matriz modelo \mathbf{H}_{bm} ;

en donde \mathbf{H}_b comprende m_b filas, una sección \mathbf{H}_{b1} y una sección \mathbf{H}_{b2} , y \mathbf{H}_{b2} comprende la columna \mathbf{h}_b que tiene un peso $w_h \geq 3$ y \mathbf{H}'_{b2} que tiene una estructura de doble diagonal con elementos de matriz en la fila i , columna j , iguales a 1 para $i=j$, 1 para $i=j+1$, y 0 en cualquier otro caso,

10 **caracterizado porque** 1's de \mathbf{h}_b y de \mathbf{H}_{b1} están dispuestos de tal modo que se pueden formar m_b/q grupos de filas de \mathbf{H}_{bm} , teniendo cada grupo q filas, de modo que dentro de cada grupo las filas de \mathbf{H}_{bm} tienen a lo sumo una única entrada no negativa dentro de una columna.

15 2.- El método de la reivindicación 1, en donde las filas de la matriz modelo \mathbf{H}_{bm} pueden ser permutadas de tal modo que cada dos filas consecutivas no intersecten.

3.- El método de la reivindicación 1, en donde, cuando se expande la matriz de base \mathbf{H}_b a matriz de comprobación de paridad \mathbf{H} , se usan submatrices idénticas para cada uno de los 1's en cada columna de \mathbf{H}'_{b2} , y la expansión usa submatrices apareadas para un número par de 1's en \mathbf{h}_b .

4.- El método de la reivindicación 3, en donde las submatrices son $z \times z$ matrices de identidad desplazadas.

20 5.- Un aparato que comprende:

medios de almacenamiento para almacenar una matriz \mathbf{H} ; y,

lógica digital que recibe un bloque de información $\mathbf{s}=(s_0, \dots, s_{k-1})$, que determina bits de comprobación de paridad $\mathbf{p}=(p_0, \dots, p_{m-1})$ en base al conjunto de símbolo actual $\mathbf{s} = (s_0, \dots, s_{k-1})$ y a la matriz \mathbf{H} , y que transmite los bits de comprobación de paridad junto con el conjunto de símbolo actual;

25 en donde \mathbf{H} es una expansión de una matriz de base \mathbf{H}_b a través de una matriz modelo \mathbf{H}_{bm} ,

en donde \mathbf{H}_b comprende m_b filas, una sección \mathbf{H}_{b1} y una sección \mathbf{H}_{b2} , y \mathbf{H}_{b2} comprende la columna \mathbf{h}_b que tiene un peso $w_h \geq 3$ y \mathbf{H}'_{b2} que tiene una estructura de doble diagonal con elementos de matriz en la fila i , columna j , iguales a 1 para $i=j$, 1 para $i=j+1$, y 0 en cualquier otro caso;

30 **caracterizado porque** los 1's de \mathbf{h}_b y \mathbf{H}_{b1} están dispuestos de tal modo que se pueden formar m_b/q grupos de filas de \mathbf{H}_{bm} , teniendo cada grupo q filas, de modo que dentro de cada grupo las filas de \mathbf{H}_{bm} tienen a lo sumo una única entrada no negativa dentro de una columna.

6.- El aparato de la reivindicación 5, en donde filas de la matriz modelo \mathbf{H}_{bm} pueden ser permutadas de tal modo que cada dos filas consecutivas no intersecten.

35 7.- El aparato de la reivindicación 5, en donde, cuando se expande la matriz de base \mathbf{H}_b hasta matriz de comprobación de paridad \mathbf{H} , se usan submatrices idénticas para cada uno de los 1's en cada columna de \mathbf{H}'_{b2} , y la expansión usa submatrices apareadas para un número par de 1's en \mathbf{h}_b .

8.- El aparato de la reivindicación 7, en donde las submatrices son $z \times z$ matrices de identidad desplazadas.

9.- Un método para operar un receptor que estima un bloque información $\mathbf{s}=(s_0, \dots, s_{k-1})$, comprendiendo el método las etapas de:

40 recibir un vector de señal;

estimar el bloque de información $\mathbf{s}=(s_0, \dots, s_{k-1})$ en base al vector de señal recibido y a una matriz de comprobación de paridad \mathbf{H} ;

en donde \mathbf{H} es una expansión de una matriz de base \mathbf{H}_b a través de una matriz modelo \mathbf{H}_{bm} ,

45 en donde \mathbf{H}_b comprende m_b filas, una sección \mathbf{H}_{b1} y una sección \mathbf{H}_{b2} , y \mathbf{H}_{b2} comprende la columna \mathbf{h}_b que tiene el peso $w_h \geq 3$ y \mathbf{H}'_{b2} que tiene una estructura de doble diagonal con elementos de matriz en la fila i , columna j , iguales a 1 para $i=j$, 1 para $i=j+1$, y 0 en cualquier otro caso;

caracterizado porque 1's de \mathbf{h}_b y de \mathbf{H}_{b1} están dispuestos de tal modo que se pueden formar m_b/q grupos de las filas de \mathbf{H}_{bm} teniendo cada grupo q filas de modo que dentro de cada grupo las filas de \mathbf{H}_{bm} tienen a lo sumo una única entrada no negativa dentro de una columna.

5 10.- El método de la reivindicación 9, en donde filas de la matriz modelo \mathbf{H}_{bm} pueden ser permutadas de tal modo que cada dos filas consecutivas no intersecten.

11.- El método de la reivindicación 9, en donde, cuando se expande la matriz de base \mathbf{H}_b hasta matriz de comprobación de paridad \mathbf{H} , se usan submatrices idénticas para cada uno de los 1's en cada columna de \mathbf{H}'_{b2} y la expansión usa submatrices apareadas para un número par de 1's en \mathbf{h}_b .

12.- Un aparato que comprende:

10 medios de almacenamiento para almacenar una matriz \mathbf{H} ; y,

lógica digital que recibe un vector de señal y que estima el bloque de información $\mathbf{s}=(s_0, \dots, s_{k-1})$, en base al vector de señal recibido y a la matriz \mathbf{H} ;

en donde \mathbf{H} es una expansión de una matriz de base \mathbf{H}_b a través de una matriz modelo \mathbf{H}_{bm} ,

15 en donde \mathbf{H}_b comprende m_b filas, una sección \mathbf{H}_{b1} y una sección \mathbf{H}_{b2} , y \mathbf{H}_{b2} comprende la columna \mathbf{h}_b que tiene un peso $w_b \geq 3$ y \mathbf{H}'_{b2} que tiene una estructura de doble diagonal con elementos de matriz en la fila i , columna j , iguales a 1 para $i=j$, 1 para $i=j+1$, y 0 en cualquier otro caso;

caracterizado porque los 1's de \mathbf{h}_b y \mathbf{H}_{b1} están dispuestos de tal modo que se pueden formar m_b/q grupos de las filas de \mathbf{H}_{bm} , teniendo cada grupo q filas, de modo que dentro de cada grupo las filas de \mathbf{H}_{bm} tienen a lo sumo una única entrada no negativa dentro de una columna.

20 13.- El aparato de la reivindicación 12, en donde las filas de la matriz modelo \mathbf{H}_{bm} pueden ser permutadas de tal modo que dos filas consecutivas no intersecten.

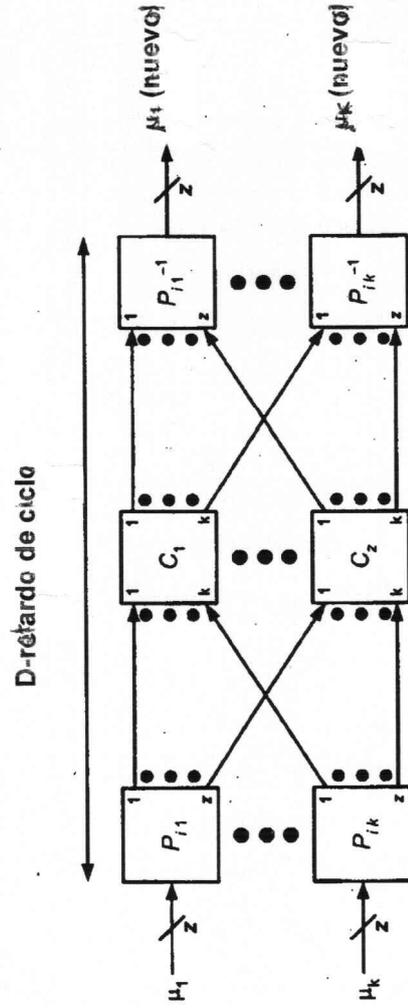


FIG. 1

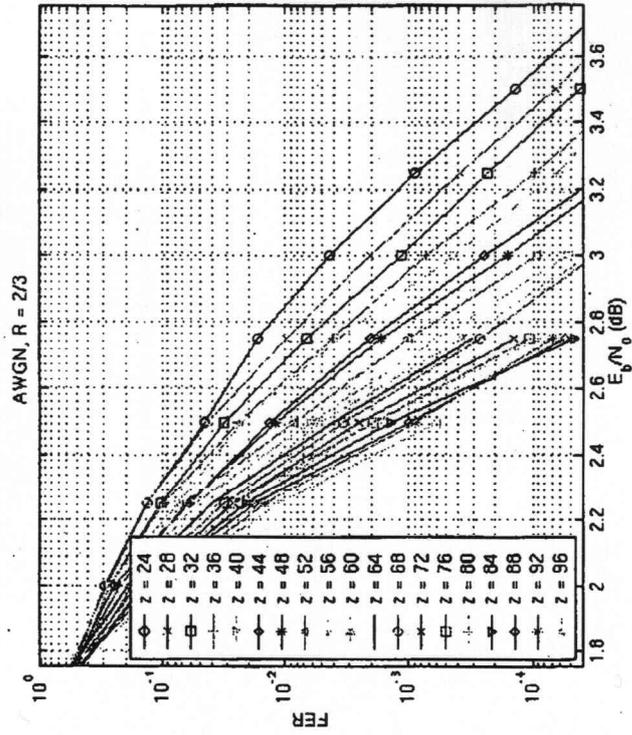


FIG. 3

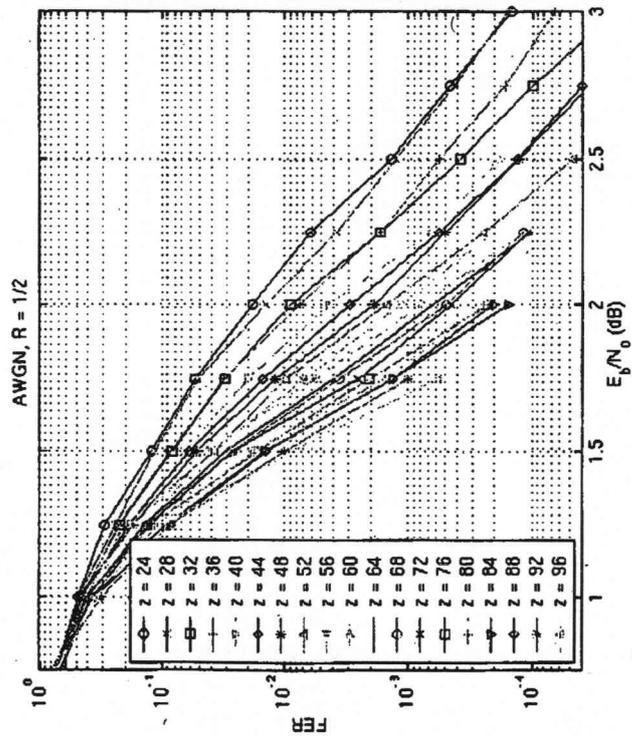


FIG. 2

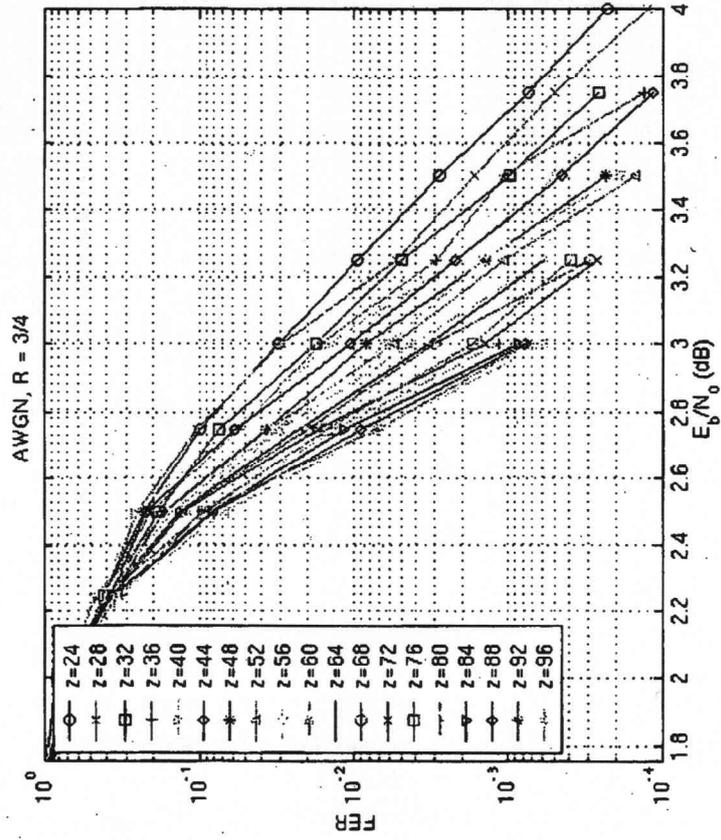


FIG. 4