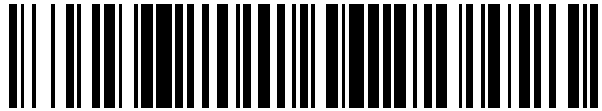


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 529 495**

51 Int. Cl.:

**G11C 11/16** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **08.01.2010 E 10700196 (8)**

97 Fecha y número de publicación de la concesión europea: **03.12.2014 EP 2382633**

54 Título: **Sistema y procedimiento para leer y escribir datos en un elemento de unión-túnel magnética**

30 Prioridad:

**08.01.2009 US 350304**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**20.02.2015**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)  
Attn: International IP Administration 5775  
Morehouse Drive  
San Diego, CA 92121, US**

72 Inventor/es:

**ABU-RAHMA, MOHAMED HASSAN;  
SONG, SEUNG-CHUL;  
YOON, SEI SEUNG;  
PARK, DONGKYU;  
ZHONG, CHENG y  
DAVIERWALLA, ANOSH B.**

74 Agente/Representante:

**CARPINTERO LÓPEZ, Mario**

**ES 2 529 495 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Sistema y procedimiento para leer y escribir datos en un elemento de unión-túnel magnética

### I. Campo

5 La presente divulgación versa, en general, sobre sistemas y procedimientos para leer y escribir datos con respecto a una unión-túnel magnética (MTJ) de memorias magnéticas de acceso aleatorio.

### II. Descripción de la técnica relacionada

10 En las memorias magnetorresistivas por par de transferencia de espín de acceso aleatorio (STT-MRAM) convencionales se usa a menudo la misma ruta de corriente para escribir datos y para leer datos. Para escribir datos en una STT-MRAM convencional, puede fluir una corriente de escritura por un elemento de unión-túnel magnética (MTJ) y en un transistor asociado de acceso. La corriente de escritura puede cambiar la orientación de los polos magnéticos del elemento de MTJ. Cuando la corriente de escritura fluye en una primera dirección, el elemento de MTJ puede ser puesto o permanecer en un primer estado, en el que sus polos magnéticos están en una orientación paralela. Cuando la corriente de escritura fluye en una segunda dirección, opuesta a la primera dirección, el elemento de MTJ puede ser puesto o permanecer en un segundo estado, en el que sus polos magnéticos están en una dirección antiparalela. Para leer datos en una STT-MRAM convencional, puede fluir una corriente de lectura por el elemento de MTJ y su transistor asociado de acceso a través de la misma ruta de corriente usada para escribir datos en el elemento de MTJ. Si los polos magnéticos del elemento de MTJ están en una orientación paralela, el elemento de MTJ presenta una resistencia que es diferente de la resistencia que presentaría el elemento de MTJ si los polos magnéticos del elemento de MTJ estuvieran en una orientación antiparalela. Así, en una STT-MRAM convencional, hay dos estados diferenciados por dos resistencias diferentes, y puede leerse un valor lógico de "0" o lógico de "1" en función del estado.

15 En una STT-MRAM convencional según acaba de describirse, una corriente elevada de lectura puede permitir una detección más coherente de la resistencia del elemento de MTJ, lo que puede traducirse en una mejor precisión de lectura. Además, una corriente elevada de lectura puede reducir el tiempo requerido para detectar la resistencia, lo que puede traducirse en un ciclo de lectura más rápido. Sin embargo, si la corriente de lectura tiene un valor que supere el valor de una corriente crítica de perturbación del elemento de MTJ, la corriente de lectura puede hacer que el elemento de MTJ cambie (o "alterne") de estado. Mantener el valor de la corriente de lectura por debajo del valor de la corriente crítica de perturbación puede llevarse a cabo por medio de circuitos de protección y seguimiento, pero tales circuitos pueden aumentar el tamaño y reducir el rendimiento de los dispositivos de STT-MRAM.

20 El documento US 2008/310213 A da a conocer un dispositivo que comprende un elemento de MTJ de par de transferencia de espín acoplado a un transistor que tiene una primera puerta y una segunda puerta. Se usa el transistor de doble puerta para reducir corriente de fuga y soportar una corriente adecuada de escritura sin aumentar el tamaño del transistor.

### III. Sumario

35 En una realización particular, se da a conocer un dispositivo que incluye un elemento de unión-túnel magnética (MTJ) de par de transferencia de espín (STT) y un transistor que incluye una primera puerta y una segunda puerta que está acoplada al elemento de STT-MTJ. El transistor define unos canales de inversión primero y segundo controlados por las puertas primera y segunda que definen rutas de lectura y escritura diferentes.

40 En otra realización particular, se da a conocer una memoria. La memoria incluye una matriz de celdas de memoria. La matriz de celdas de memoria tiene varias columnas y filas. Cada una de las celdas de memoria incluye un elemento de MTJ acoplado a un transistor de doble puerta que tiene una primera puerta acoplada a una línea de palabra y una segunda puerta acoplada a una línea de habilitación de la escritura. Al menos una columna es controlable por medio de la línea de habilitación de la escritura durante una operación de escritura, al menos una fila es controlable por medio de la línea de palabra durante una operación de lectura, definiendo las puertas primera y segunda rutas de lectura y escritura diferentes.

45 En otra realización particular, se da a conocer un procedimiento para almacenar datos en una STT-MRAM. El procedimiento incluye escribir datos en un elemento de MTJ del dispositivo de STT-MRAM y leer datos del mismo. El elemento de MTJ está acoplado a un transistor que incluye una primera puerta y una segunda puerta, en el que la escritura de datos usa una ruta de escritura de datos y la lectura de datos usa una ruta de lectura de datos, siendo 50 rutas diferentes la ruta de escritura de datos y la ruta de lectura de datos.

Una ventaja particular proporcionada por las realizaciones dadas a conocer es que pueden mejorarse los márgenes de lectura de datos en una STT-MRAM que use rutas separadas de lectura/escritura debido al uso de una corriente elevada de lectura.

Otra ventaja particular proporcionada por al menos una de las realizaciones dadas a conocer es que puede reducirse el tamaño de un dispositivo de STT-MRAM como consecuencia de la eliminación de ciertos circuitos de protección y seguimiento.

5 Otros aspectos, ventajas y características de la presente divulgación se harán evidentes después del repaso de toda la solicitud, incluyendo las secciones siguientes: Breve descripción de los dibujos, Descripción detallada, y las reivindicaciones.

#### **Breve descripción de los dibujos**

La FIG. 1 es un diagrama esquemático de una realización ilustrativa particular de un dispositivo con rutas separadas de lectura y escritura de datos;  
 10 la FIG. 2 es un diagrama esquemático de una realización ilustrativa particular de una matriz de memoria de dispositivos con rutas separadas de lectura y escritura de datos;  
 la FIG. 3 es un diagrama esquemático de una realización ilustrativa particular para ilustrar una operación de lectura de una matriz de memoria de dispositivos con rutas separadas de lectura y escritura de datos;  
 15 la FIG. 4 es un diagrama esquemático de una realización ilustrativa particular para ilustrar una operación de escritura de una matriz de memoria de dispositivos con rutas separadas de lectura y escritura de datos;  
 la FIG. 5 es un diagrama de flujo de una realización ilustrativa particular de un procedimiento de lectura de datos en una matriz de memoria de dispositivos con rutas separadas de lectura y escritura de datos;  
 la FIG. 6 es un diagrama de flujo de una realización ilustrativa particular de un procedimiento de escritura de datos en una matriz de memoria de dispositivos con rutas separadas de lectura y escritura de datos; y  
 20 la FIG. 7 es un diagrama de flujo de una realización ilustrativa particular de un procedimiento de almacenamiento de datos en una memoria magnetorresistiva por par de transferencia de espín de acceso aleatorio (STT-MRAM).

#### **IV. Descripción detallada**

Con referencia a la FIG. 1, se representa y se designa en general como 100 una realización ilustrativa particular de un dispositivo. El dispositivo 100 incluye un elemento 102 de unión-túnel magnética (MTJ), tal como una celda de unión-túnel magnética de par de transferencia de espín (STT-MTJ), acoplada a un transistor 104 que tiene una primera puerta 106 y una segunda puerta 108. El dispositivo 100 tiene una porción común de una ruta de lectura/escritura de datos que incluye el transistor 104 acoplado al elemento 102 de MTJ. El transistor 104 proporciona selectivamente rutas separadas de lectura y escritura de datos para acceder al elemento 102 de MTJ. Puede definirse una ruta de lectura de datos polarizando la primera puerta 106 con un nivel lógico alto mientras se polariza la segunda puerta 108 con un nivel lógico bajo. En tal caso, solo está en conducción la puerta primera (o "delantera") 106 del transistor 104 (modo de inversión de canales) mientras se empobrece la puerta segunda (o "trasera") 108 del transistor 104 (o sea, permitiendo únicamente un flujo de corriente insignificante). La corriente de lectura está limitada a la corriente máxima a través de la primera puerta 106 mientras la segunda puerta 108 está deshabilitada. Puede definirse una ruta de escritura de datos polarizando ambas puertas primera y segunda 106 y 108 con un nivel lógico alto para que ambas puertas estén en conducción (es decir, el modo de inversión de canales). En tal caso, el transistor 104 puede conducir totalmente, y la corriente de escritura puede ser más alta que el valor de la corriente de lectura en el mismo dispositivo 100. Dado que esta estructura permite una cierta corriente de lectura y una corriente de escritura diferente, el transistor 104 proporciona rutas separadas de lectura y escritura de datos. La ruta de lectura incluye un canal de inversión de la primera puerta 106, mientras que la ruta de escritura incluye los canales de inversión tanto de la primera puerta 106 como de la segunda puerta 108.

El elemento 102 de MTJ puede ser usado para el almacenamiento de datos. El elemento 102 de MTJ incluye una capa magnética libre (designada F, número de referencia 110 en la FIG. 1), una barrera túnel dieléctrica delgada (designada T, número de referencia 112 en la FIG. 1) y una capa magnética fijada (designada P, número de referencia 114 en la FIG. 1). Cuando se aplica una polarización al elemento 102 de MTJ, los electrones que están polarizados por espín por las capas magnéticas atraviesan la barrera túnel dieléctrica T 112 mediante un proceso denominado tunelización. Pueden escribirse datos en el elemento 102 de MTJ haciendo pasar una corriente de escritura por el elemento 102 de MTJ en una primera dirección, escribiendo datos en un primer estado, y haciendo pasar una corriente de escritura por el elemento 102 de MTJ en una segunda dirección, escribiendo datos en un segundo estado. La primera dirección de la corriente de escritura por el elemento 102 de MTJ está indicada por la flecha 116. La segunda dirección de la corriente de escritura por el elemento 102 de MTJ está indicada por la flecha 118. El valor de los datos almacenados en el elemento 102 de MTJ está determinado por la dirección de la corriente de escritura por la barrera túnel T 112. El elemento 102 de MTJ tiene una resistencia baja cuando el momento magnético de la capa magnética libre F 110 es paralelo al momento magnético de la capa magnética fijada P 114 y una resistencia alta cuando el momento magnético de la capa magnética libre F 110 está orientado de forma antiparalela al momento magnético de la capa magnética fijada P 114. Así, una corriente de lectura que pase por el elemento 102 de MTJ puede detectar una de dos resistencias diferentes, dependiendo de si los momentos magnéticos están orientados de forma paralela o antiparalela, y pueden leerse dos valores diferentes; por ejemplo, un "0" lógico y un "1" lógico. El elemento 102 de MTJ también tiene un valor crítico de corriente de perturbación por encima del cual la corriente que pase por el elemento 102 de MTJ puede hacer que el elemento 102 de MTJ cambie

(o “alterne”) de estado para escribir datos, y por debajo del cual los datos pueden ser leídos sin peligro, sin alterar el valor almacenado.

La primera puerta 106 y la segunda puerta 108 del transistor 104 pueden ser polarizables de manera independiente. Es decir, la tensión de polarización de la primera puerta 106 y la tensión de polarización de la segunda puerta 108 del transistor 104 pueden establecerse de forma independiente. El transistor 104 puede ser un transistor de acceso para el elemento 102 de MTJ, con la primera puerta 106 del transistor 104 acoplada a una línea 120 de palabra. La segunda puerta 108 (que puede ser denominada “puerta trasera”) del transistor 104 puede estar acoplada a una línea 122 de habilitación de la escritura. El transistor 104 también tiene un terminal de fuente acoplado a una línea fuente 124 y un terminal de drenaje acoplado a una línea 126 de bits a través del elemento 102 de MTJ. La línea 120 de palabra puede ser la misma línea de palabra usada para otros transistores de acceso de múltiples celdas de memoria en una misma fila de una matriz de memoria. La línea 122 de habilitación de la escritura puede ser la misma línea de habilitación de la escritura usada para otros transistores de acceso de múltiples celdas de memoria en una misma columna de una matriz de memoria. La línea fuente 124 puede ser la misma línea fuente usada para otros transistores de acceso de múltiples celdas de memoria en una misma columna de una matriz de memoria. La línea 126 de bits puede ser una misma línea de bits usada para acoplarse a otros elementos de MTJ en una misma columna de una matriz de memoria. En una realización particular, el transistor 104 es un transistor de efecto campo de tipo “aleta” de puertas independientes (IG-FinFET).

La primera puerta 106 del transistor 104 y la segunda puerta 108 del transistor 104 pueden desacoplar una ruta de escritura de datos y una ruta de lectura de datos para el dispositivo 100. La primera puerta 106 polarizada con un nivel lógico alto (o “activado”, que habilita el flujo de corriente) y la segunda puerta 108 polarizada con un nivel lógico bajo (o “desactivado”, que inhabilita el flujo de corriente) pueden definir una ruta de lectura. La primera puerta 106 y la segunda puerta 108, polarizadas ambos con un nivel lógico alto pueden definir una ruta de escritura que sea distinta de la ruta de lectura. La primera puerta 106 puede limitar la corriente máxima para que no supere un valor crítico de corriente de perturbación del elemento 102 de MTJ. Esto puede garantizar que el elemento 102 de MTJ no cambie de estado durante una operación de lectura. Además, el nivel de una señal (por ejemplo, alto o bajo) en la segunda puerta 108 puede distinguir rutas separadas de lectura de datos y de escritura de datos. Por ejemplo, la segunda puerta 108 puede ser polarizada para inhabilitar una corriente de escritura durante una operación de lectura de datos o para habilitar una corriente de escritura durante una operación de escritura de datos. Así, en una realización particular, puede habilitarse o inhabilitarse selectivamente una escritura de datos aplicando una señal a la segunda puerta 108.

Habitualmente se define una tensión umbral de una puerta de un transistor como el valor de la tensión aplicado a la puerta por encima del cual la corriente fluye del drenaje a la fuente y por debajo del cual la corriente no fluye del drenaje a la fuente. Sin embargo, cuando se aplica a la puerta de un transistor una tensión por debajo de la tensión umbral, fluye al menos algo de corriente, habitualmente una cantidad pequeña, del drenaje a la fuente. Esta corriente se denomina a menudo “fuga”. En un FinFET simétrico de doble puerta, ambas puertas del transistor tienen valores de tensión umbral aproximadamente igual, mientras que en un FinFET asimétrico de doble puerta, cada una de las puertas del transistor tiene valores diferentes de tensión umbral. En una realización particular, con un transistor simétrico 104 de doble puerta, el valor de la corriente de escritura puede ser aproximadamente dos veces el valor de la corriente de lectura. En una realización particular, puede aplicarse una tensión negativa a cualquiera de las dos puertas para reducir la fuga. En una realización particular, un transistor asimétrico 104 puede reducir la fuga. Por ejemplo, puede diseñarse la tensión umbral de la primera puerta 106 del transistor 104 de modo que no sea preciso aplicar una tensión negativa a la primera puerta 106 para reducir el flujo de corriente de “fuga” entre el drenaje y la fuente del transistor 104. Generalmente, cuanto mayor sea la tensión umbral, menor es la corriente de fuga.

Pueden escribirse datos en el elemento 102 de MTJ habilitando ambas puertas primera y segunda 106 y 108 del transistor 104, aplicando una tensión entre las líneas de fuente y de bits 124 y 126 para inducir que fluya una corriente mayor que la corriente crítica de perturbación por el elemento 102 de MTJ. Esto puede poner el elemento de MTJ en un primer estado o en un segundo estado, que pueden ser un “1” lógico o un “0” lógico. Pueden leerse datos habilitando la primera puerta 106 e inhabilitando la segunda puerta 108, aplicando una tensión entre las líneas de fuente y de bits 124 y 126 para inducir que fluya una corriente que sea menor que la corriente crítica de perturbación por el elemento 102 de MTJ. La corriente de lectura puede ser usada para la detección de una de dos resistencias diferentes, que pueden ser leídas como un “1” lógico o un “0” lógico. Usando las puertas primera y segunda 106 y 108 para limitar la corriente a un valor inferior a la corriente crítica de perturbación para las lecturas de datos y para permitir la generación de una corriente que tenga un valor mayor que la corriente crítica de perturbación para las escrituras de datos, puede reducirse o eliminarse la circuitería adicional de protección y seguimiento para evitar una corriente excesiva. Además, controlar las rutas de lectura y escritura de datos usando un solo transistor puede permitir que se reduzca la superficie del dispositivo 100 en comparación con las celdas de bit convencionales de MRAM.

El dispositivo 100 es único y tiene varias ventajas. El dispositivo 100 puede desacoplar las rutas de lectura y escritura de datos para los dispositivos de STT-MRAM, permitiendo corrientes elevadas de escritura de datos y corrientes bajas de lectura de datos, mejorando ambas el rendimiento de la STT-MRAM. El dispositivo 100 puede

proporcionar una matriz de memoria STT-MRAM con un mecanismo de protección para evitar una alternancia involuntaria de celda de una celda de memoria durante una operación de lectura. El dispositivo 100 puede disminuir el área de la circuitería de detección y reducir el coste al permitir la omisión de un circuito dedicado de protección contra la corriente. El dispositivo 100 puede mejorar el rendimiento al permitir mayores corrientes de lectura y escritura para proporcionar una mayor velocidad operativa. El dispositivo 100 puede mejorar la robustez de la detección de lectura al permitir un mayor margen sensor de la corriente de lectura.

Con referencia a la FIG. 2, se ilustra un diagrama de una realización ilustrativa particular de una matriz de memoria que incluye múltiples celdas en la que cada celda incluye un dispositivo 100 ilustrado en la FIG. 1, representado y designado en general como 200. La matriz de memoria 200 está compuesta de varios dispositivos 100 dispuestos en tres filas y tres columnas. Las primeras puertas de los transistores de los dispositivos 100 de la misma fila están acopladas a la misma línea de palabra. Por ejemplo, las primeras puertas de los transistores de los tres dispositivos 100 de la fila superior están acopladas a la línea 202 de palabra. Las primeras puertas de los transistores de los tres dispositivos 100 de la fila central están acopladas a la línea 204 de palabra. Las primeras puertas de los transistores de los dispositivos 100 de la fila inferior están acopladas a la línea 206 de palabra.

La matriz de memoria 200 es únicamente ilustrativa. Aunque tres filas y tres columnas forman la matriz 200 ilustrada en la FIG. 2, una matriz puede tener un número cualquiera de filas y columnas.

Así, la matriz 200 de memoria comprende una multitud de celdas de memoria. La matriz 200 de memoria incluye una pluralidad de columnas. Cada celda de memoria de la matriz 200 de memoria incluye un dispositivo de unión-túnel magnética (MTJ) acoplado a un transistor de doble puerta. El transistor de doble puerta tiene una primera puerta acoplada a una línea de palabra de una pluralidad de líneas de palabra y tiene una segunda puerta acoplada a una línea de habilitación de la escritura de una pluralidad de líneas de habilitación de la escritura. Al menos una columna de la pluralidad de columnas es controlable por medio de la línea de habilitación de la escritura durante una operación de escritura.

Las segundas puertas de los transistores de los dispositivos 100 de la misma columna están acopladas a la misma línea de habilitación de la escritura. Por ejemplo, las segundas puertas de los transistores de los tres dispositivos 100 de la columna que está más a la izquierda están acopladas a la línea 208 de habilitación de la escritura. Las segundas puertas de los transistores de los tres dispositivos 100 de la columna central están acopladas a la línea 210 de habilitación de la escritura. Las segundas puertas de los transistores de los tres dispositivos 100 de la columna que está más a la derecha están acopladas a la línea 212 de habilitación de la escritura.

Los terminales fuente de los transistores de los dispositivos 100 de la misma columna están acoplados a la misma línea fuente. Por ejemplo, los terminales fuente de los transistores de los tres dispositivos 100 de la columna que está más a la izquierda están acoplados a la línea fuente 214. Las segundas puertas de los transistores de los tres dispositivos 100 de la columna central están acoplados a la línea fuente 216. Las segundas puertas de los transistores de los tres dispositivos 100 de la columna que está más a la derecha están acoplados a la línea fuente 218.

Los terminales de drenaje de los transistores de los dispositivos 100 de la misma columna están acoplados a la misma línea de bits a través de un elemento asociado de MTJ. Por ejemplo, los terminales de drenaje de los transistores de los tres dispositivos 100 de la columna que está más a la izquierda están acoplados a la línea 220 de bits. Los terminales de drenaje de los transistores de los tres dispositivos 100 de la columna central están acoplados a la línea 222 de bits. Los terminales de drenaje de los transistores de los tres dispositivos 100 de la columna que está más a la derecha están acoplados a la línea 224 de bits.

Con referencia a la FIG. 3, se representa un diagrama esquemático de una de una realización ilustrativa particular de una matriz de memoria de dispositivos con rutas separadas de lectura y escritura de datos. En esta realización particular, se aplica una tensión de polarización de inhabilitación de la escritura, tal como una tensión de polarización igual a cero (GND) a cada una de las líneas 302, 304, 306 de habilitación de la escritura. Esto inhabilita las segundas puertas de cada dispositivo 100 y da a cada dispositivo 100 una tensión umbral nominal. Durante una operación de lectura, se aplica una tensión de alimentación (VDD) a una línea seleccionada 308 de palabra para habilitar las primeras puertas de todos los dispositivos 100 de la fila superior seleccionada. Se aplica una tensión de polarización negativa (-ve) a las otras líneas 310, 312 de palabra de la matriz de memoria, desactivando las primeras puertas de los dispositivos 100 en las filas no seleccionadas, efectivamente inhabilitándolas. El resultado es que puede usarse una corriente baja de excitación para la corriente de lectura (mostrada fluyendo por los tres dispositivos 100 de la fila superior), porque solo es activo un conjunto de puertas de cada columna (las primeras puertas de los dispositivos de la fila superior conectadas a la línea 308 de palabra).

Con referencia a la FIG. 4, se representa un diagrama esquemático de una realización ilustrativa particular de una matriz de memoria de dispositivos 100 con rutas separadas de lectura y escritura de datos. Se selecciona una columna (la columna central en la FIG. 4) para escribir aplicando una tensión de alimentación (VDD) a la línea 402 de habilitación de la escritura. Esto activa las segundas puertas para los dispositivos 100 de la columna seleccionada y disminuye la tensión umbral para las primeras puertas de los dispositivos 100 de la columna seleccionada. Se selecciona una fila (la fila superior) y se aplica una tensión de alimentación (VDD) a la línea 404 de

palabra de esa fila seleccionada y se aplica una tensión de polarización negativa (-ve) a las líneas 406, 408 de palabra de las filas no seleccionadas. La aplicación de una tensión de polarización negativa a las líneas 406, 408 de palabra no seleccionadas desactiva efectivamente cada uno de los dispositivos 100 de las filas no seleccionadas. Así, únicamente la celda seleccionada de memoria (el dispositivo 100 de la fila superior columna central de la FIG. 4) tiene una corriente elevada de escritura. Una corriente de escritura que fluye por la celda seleccionada de memoria hace que se almacene un valor de dato en la celda seleccionada de memoria. Cuando la corriente de escritura fluye en una dirección, se almacena en la celda de memoria un primer valor de dos valores. Cuando la corriente de escritura fluye en la otra dirección, se almacena en la celda de memoria un segundo valor de dos valores. Cada una de las celdas semiseleccionadas de memoria (cada uno de los dispositivos 100 de la fila superior, columnas más a la izquierda y más a la derecha) tiene una corriente reducida de lectura.

Con referencia a la FIG. 5, se representa un diagrama de flujo de una realización ilustrativa particular de un procedimiento de lectura de datos en una matriz de memoria de dispositivos con rutas separadas de lectura y escritura de datos. El dispositivo 100 del que ha de leerse reside en una fila "seleccionada"; las filas restantes son filas "no seleccionadas". En 502, se aplica una tensión de polarización de inhabilitación de la escritura, tal como una tensión igual a cero o una tensión negativa, a cada una de las líneas de habilitación de la escritura de la matriz de memoria que incluye dispositivos 100 que tienen un elemento de STT-MTJ y un transistor acoplado al elemento de STT-MTJ. Por ejemplo, las líneas de habilitación de la escritura pueden ser las líneas 208, 210 y 212 de la FIG. 2, o las líneas 302, 304 o 306 de la FIG. 3. La tensión de polarización de inhabilitación de la escritura inhabilita las segundas puertas para cada uno de los transistores 104 de los dispositivos 100 de la matriz de memoria.

En 504, se aplica una tensión de alimentación a una línea de palabra de una fila seleccionada. Por ejemplo, en la FIG. 3, un dispositivo del que ha de leerse reside en la fila superior, haciendo de la fila superior la fila seleccionada, y se aplica VDD a la línea 308 de palabra de la fila superior. Aplicar la tensión de alimentación a la fila seleccionada habilita las primeras puertas 106 de los transistores 104 de los dispositivos 100 de la fila seleccionada.

En 506, se aplica una tensión de polarización negativa a las líneas de palabra de las filas no seleccionadas. Por ejemplo, en la FIG. 3, el dispositivo del que ha de leerse no reside en las filas central ni inferior, lo que hace de las filas central e inferior filas no seleccionadas, y se aplica una tensión negativa -ve a las líneas 310 y 312 de palabra de las filas central e inferior. Esto inhabilita las primeras puertas 106 de cada uno de los transistores 104 de los dispositivos 100 de las filas no seleccionadas, desactivando efectivamente los transistores 104 de los dispositivos 100 de las filas no seleccionadas.

Así, una realización ilustrativa particular que emplee el procedimiento dado a conocer puede tener, durante un ciclo de lectura, transistores de acceso con sus segundas puertas desactivadas, y con las primeras puertas habilitadas únicamente si están en una fila seleccionada. Así, en una realización ilustrativa particular, la primera puerta es polarizada con un nivel lógico alto y la segunda puerta es polarizada con un nivel lógico bajo para leer datos.

Con referencia a la FIG. 6, se representa un diagrama de flujo de una realización ilustrativa particular de un procedimiento de escritura de datos en una matriz de memoria de dispositivos que tienen rutas separadas de lectura y escritura de datos. Un dispositivo al que ha de escribirse reside en una fila y una columna seleccionadas. En 602, se aplica una tensión de alimentación a una línea de habilitación de la escritura de la columna seleccionada. Por ejemplo, en la FIG. 4, un dispositivo seleccionado reside en la columna central, lo que hace de la columna central la columna seleccionada, y se aplica VDD a la línea 402 de habilitación de la escritura de la columna central. Aplicar la tensión de alimentación activa las segundas puertas 108 de cada uno de los transistores 104 de los dispositivos 100 de la columna seleccionada y disminuye la tensión umbral para las primeras puertas 106 de cada uno de los transistores 104 de los dispositivos 100 de la columna seleccionada. Puede aplicarse una tensión de polarización de inhabilitación de la escritura, tal como una tensión igual a cero o una tensión negativa, a las líneas de habilitación de la escritura correspondientes a las columnas no seleccionadas.

En 604, se aplica la tensión de alimentación a la línea de palabra de una fila seleccionada. Por ejemplo, en la FIG. 4, el dispositivo seleccionado reside en la fila superior, lo que hace de la fila superior la fila seleccionada, y se aplica VDD a la línea 404 de palabra de la fila superior. Aplicando la tensión de alimentación a la línea de palabra de una fila particular y a la línea de habilitación de la escritura de una columna particular, puede seleccionarse cualquiera de los dispositivos de la matriz de memoria para una operación de escritura.

Cuando se ajusta una línea seleccionada de palabra en la tensión de alimentación, al menos una línea no seleccionada de palabra de la pluralidad de líneas de palabra de la matriz de memoria puede ser ajustada a un valor negativo durante las operaciones de escritura para impedir que ocurra una operación de escritura en celdas acopladas a las líneas no seleccionadas de palabra. Por ejemplo, en 606, se aplica una tensión de polarización negativa a las líneas de palabra de todas las filas no seleccionadas, desactivando efectivamente los transistores 104 de los dispositivos 100 de las filas no seleccionadas. Por ejemplo, en la FIG. 4, el dispositivo seleccionado no reside en las filas central ni inferior, y se aplica una tensión negativa -ve a las líneas 406 y 408 de palabra de las filas no seleccionadas. Así, únicamente la celda seleccionada de memoria tiene una corriente elevada de escritura (lectura). Cada una de las celdas semiseleccionadas de memoria tiene una corriente reducida de lectura.

Así, una realización ilustrativa particular que emplee el procedimiento de la FIG. 6 puede tener, durante un ciclo de escritura, una única celda seleccionada de memoria, y la única celda seleccionada de memoria puede tener una corriente elevada de escritura (leescritura).

5 Con referencia a la FIG. 7, se representa un diagrama de flujo de una realización ilustrativa particular de un procedimiento de almacenamiento de datos en una memoria magnetorresistiva por par de transferencia de espín de acceso aleatorio (STT-MRAM). En 702, se escriben datos en un elemento de unión-túnel magnética (MTJ), estando acoplado el elemento de MTJ a un transistor que incluye una primera puerta y una segunda puerta. Por ejemplo, en la fila superior, columna central de la FIG. 4, se escriben datos en un elemento de MTJ, y el elemento de MTJ está acoplado a un transistor que incluye una primera puerta y una segunda puerta. En 704, se leen datos del elemento de MTJ. Por ejemplo, se leen datos del elemento de MTJ de la fila superior, columna central de la FIG. 3.

15 En 706, se escriben datos en el elemento de MTJ usando una ruta de escritura de datos, se leen datos del elemento de MTJ usando una ruta de lectura de datos, y la ruta de escritura de datos y la ruta de lectura de datos son rutas diferentes. Por ejemplo, con respecto al elemento de MTJ de la fila superior, columna central de las Figuras 3 y 4, se escriben datos en el elemento de MTJ usando una ruta de escritura de datos, se leen datos del elemento de MTJ usando una ruta de lectura de datos, y la ruta de escritura de datos y la ruta de lectura de datos son rutas diferentes.

En 708, la primera puerta del transistor y la segunda puerta del transistor desacoplan la ruta de escritura de datos y la ruta de lectura de datos. Por ejemplo, la primera puerta y la segunda puerta del transistor representadas como parte del elemento de MTJ en la fila superior, columna central de las Figuras 3 y 4 desacoplan la ruta de escritura de datos y la ruta de lectura de datos.

20 En 710, se polariza la segunda puerta para inhabilitar una corriente de escritura durante una operación de lectura de datos. Por ejemplo, la segunda puerta del transistor representado como parte del elemento de MTJ en la fila superior, columna central de las Figuras 3 y 4 inhabilita una corriente de escritura durante una operación de lectura de datos.

25 En 712, se polariza la segunda puerta para habilitar una corriente de escritura durante una operación de escritura de datos. Por ejemplo, se polariza la segunda puerta del transistor representado como parte del elemento de MTJ en la fila superior, columna central de las Figuras 3 y 4 para habilitar una corriente de escritura durante una operación de escritura de datos.

30 Así, un sistema que emplee el procedimiento de la FIG. 7 usa un transistor de acceso que incluye una primera puerta y una segunda puerta acopladas a un elemento de MTJ tanto para escribir (702) datos en el elemento de MTJ como para leer (704) datos del elemento de MTJ.

35 El sistema y el procedimiento dados a conocer son únicos y tienen varias ventajas, además de las anteriormente mencionadas. El sistema puede permitir una reducción adicional del área amplificadora sensora en casos en los que la que la señal de habilitación de la escritura es una señal analógica y se usa un IG-FinFET. En tales casos, el IG-FinFET puede actuar como un limitador (es decir, puede limitar la corriente a un valor deseado) en la detección de corriente. El sistema puede reducir la fuga en dispositivos de STT-MRAM. Una forma de reducir la fuga es aplicar una tensión de polarización negativa a filas no seleccionadas de un transistor simétrico 104 durante la operación. Otra forma de reducir la fuga es usar un transistor asimétrico 104 que esté diseñado para que sus primeras puertas 106 estén desactivadas aunque no se aplique un potencial de polarización negativa a su primera puerta 106. En un transistor asimétrico, la primera tensión umbral de la primera puerta es diferente de la segunda tensión umbral de la segunda puerta.

45 Los expertos apreciarán, además, que los diversos bloques lógicos ilustrativos, las configuraciones, los módulos, los circuitos y las etapas de algoritmos descritos en conexión con las realizaciones dadas a conocer en el presente documento pueden ser implementados como soporte físico electrónico, soporte lógico de ordenador o combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad de soporte físico y soporte lógico, diversos componentes ilustrativos, bloques, configuraciones, módulos, circuitos y etapas han sido descritos en lo que antecede de forma general en términos de su funcionalidad. Que tal funcionalidad se implemente como soporte físico o soporte lógico depende de la aplicación particular y de limitaciones de diseño impuestas al sistema en su conjunto. Los expertos pueden implementar la funcionalidad descrita de varias maneras para cada aplicación particular.

50 Las etapas de un procedimiento o algoritmo descritas en conexión con las realizaciones dadas a conocer en el presente documento pueden ser implementadas directamente en soporte físico, en un módulo de soporte lógico ejecutado por un procesador o en una combinación de ambos. Un módulo de soporte lógico puede residir en memoria de acceso aleatorio (RAM), memoria flash, memoria de solo lectura (ROM), memoria programable de solo lectura 8PROM), memoria programable borrable de solo lectura (EPROM), memoria programable borrable eléctricamente de solo lectura (EEPROM), registros, un disco duro, un disco extraíble, o en cualquier otra forma de medio de almacenamiento conocido en la técnica. Un medio ejemplar de almacenamiento está acoplado al procesador de modo que el procesador pueda leer información del medio de almacenamiento y escribir información en el mismo. Como alternativa, el medio de almacenamiento puede ser integral al procesador. El procesador y el

medio de almacenamiento pueden residir en un circuito integrado para aplicaciones específicas (ASIC). El ASIC puede residir en un dispositivo informático o en un terminal de usuario. Como alternativa, el procesador y el medio de almacenamiento pueden residir como componentes diferenciados en un dispositivo informático o un terminal de usuario.

- 5 Se proporciona la anterior descripción de las realizaciones dadas a conocer para permitir que cualquier persona experta en la técnica realice o use las realizaciones dadas a conocer. Diversas modificaciones de estas realizaciones resultarán inmediatamente evidentes a los expertos en la técnica, y los principios definidos en el presente documento pueden ser aplicados a otras realizaciones sin apartarse del ámbito de la divulgación. Así, no se pretende que la presente divulgación esté limitada a las realizaciones descritas en el presente documento.

10



**REIVINDICACIONES**

1. Un dispositivo (100) que comprende:
  - un elemento (102) de unión-túnel magnética (MTJ) de par de transferencia de espín (STT); y
  - un transistor (104) acoplado al elemento de STT-MTJ,
  - en el que el transistor incluye una primera puerta (106) y una segunda puerta (108), y define unos canales de inversión primero y segundo controlados por las puertas primera y segunda que definen diferentes rutas de lectura y escritura.
2. El dispositivo de la reivindicación 1, en el que el elemento de STT-MTJ está dentro de una celda de memoria en una matriz de memoria, y en el que la primera puerta está acoplada a una línea de palabra de la matriz de memoria y en la que la segunda puerta está acoplada a:
  - una línea de habilitación de la escritura de la matriz de memoria, y
  - puertas de múltiples celdas de memoria en una columna de la matriz de memoria.
3. El dispositivo de la reivindicación 2, en el que una primera señal aplicada a la segunda puerta habilita una escritura de datos en el elemento de STT-MTJ, y en el que una segunda señal aplicada a la segunda puerta inhabilita una escritura de datos en el elemento de STT-MTJ.
4. El dispositivo de la reivindicación 3, en el que la primera puerta tiene un canal de inversión y en el que la ruta de lectura incluye el canal de inversión.
5. El dispositivo de la reivindicación 4, en el que la primera puerta limita una corriente máxima para que no supere un valor crítico de corriente de perturbación del elemento de STT-MTJ.
6. El dispositivo de la reivindicación 5, en el que una primera tensión umbral de la primera puerta es diferente de una segunda tensión umbral de la segunda puerta.
7. El dispositivo de la reivindicación 6, en el que el transistor es un transistor de efecto campo de tipo "aleta" de puertas independientes (IG-FinFET).
8. Una memoria (200) que comprende:
  - una matriz de celdas de memoria, incluyendo la matriz una pluralidad de columnas, incluyendo cada celda de memoria de la matriz de celdas de memoria un dispositivo (100) de unión-túnel magnética (MTJ) acoplado a un transistor de doble puerta, teniendo el transistor de doble puerta una primera puerta acoplada a una línea de palabra de una pluralidad de líneas de palabra y que tiene una segunda puerta acoplada a una línea de habilitación de la escritura de una pluralidad de líneas de habilitación de la escritura, definiendo el transistor unos canales de inversión primero y segundo controlados por las puertas primera y segunda, definiendo con ello diferentes rutas de lectura y escritura;
  - en la que al menos una columna de la pluralidad de columnas es controlable por medio de la línea de habilitación de la escritura durante una operación de escritura, y
  - en la que la matriz de memoria incluye una pluralidad de filas, y
  - en la que al menos una fila de la pluralidad de filas es controlable por medio de la línea de palabra durante una operación de lectura.
9. La memoria de la reivindicación 8, en la que la matriz de memoria incluye una pluralidad de filas, y en la que una fila particular de la matriz de memoria es direccionable por medio de una línea particular de palabra.
10. Un procedimiento para almacenar datos en una memoria magnetorresistiva por par de transferencia de espín de acceso aleatorio (STT-MRAM), comprendiendo el procedimiento:
  - escribir datos en un elemento de unión-túnel magnética (MTJ); y
  - leer datos del elemento de MTJ;
  - en el que el elemento de MTJ está acoplado a un transistor que incluye una primera puerta y una segunda puerta, y
  - en el que la escritura de datos en el elemento de MTJ usa una ruta de escritura de datos, en el que la lectura de datos del elemento de MTJ usa una ruta de lectura de datos, y en el que la ruta de escritura de datos y la ruta de lectura de datos son rutas diferentes.
11. El procedimiento de la reivindicación 10, en el que la primera puerta del transistor y la segunda puerta del transistor desacoplan la ruta de escritura de datos y la ruta de lectura de datos.
12. El procedimiento de la reivindicación 11, en el que la segunda puerta está polarizada para:
  - inhabilitar una corriente de escritura durante una operación de lectura de datos, y

habilitar una corriente de escritura durante una operación de escritura de datos.

- 13. El procedimiento de la reivindicación 10, en el que se lleva a cabo una operación de lectura polarizando la línea de habilitación de la escritura y la línea de palabra para habilitar una corriente de lectura y no una corriente de escritura por medio del dispositivo de MTJ.
- 5 14. El procedimiento de la reivindicación 10, en el que al menos una línea no seleccionada de palabra de la pluralidad de líneas de palabra de la matriz de memoria está ajustada a un valor negativo durante una operación de escritura.
- 15. El procedimiento de la reivindicación 10, en el que la primera puerta está activa y la segunda puerta está inactiva durante una operación de lectura, y
- 10 en el que tanto la primera puerta como la segunda puerta están activas durante una operación de escritura.

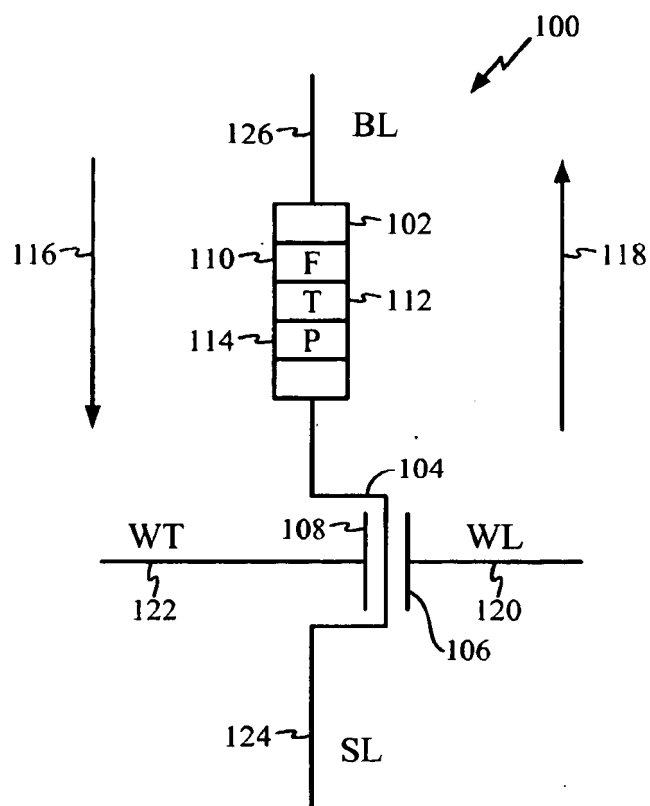


FIG. 1

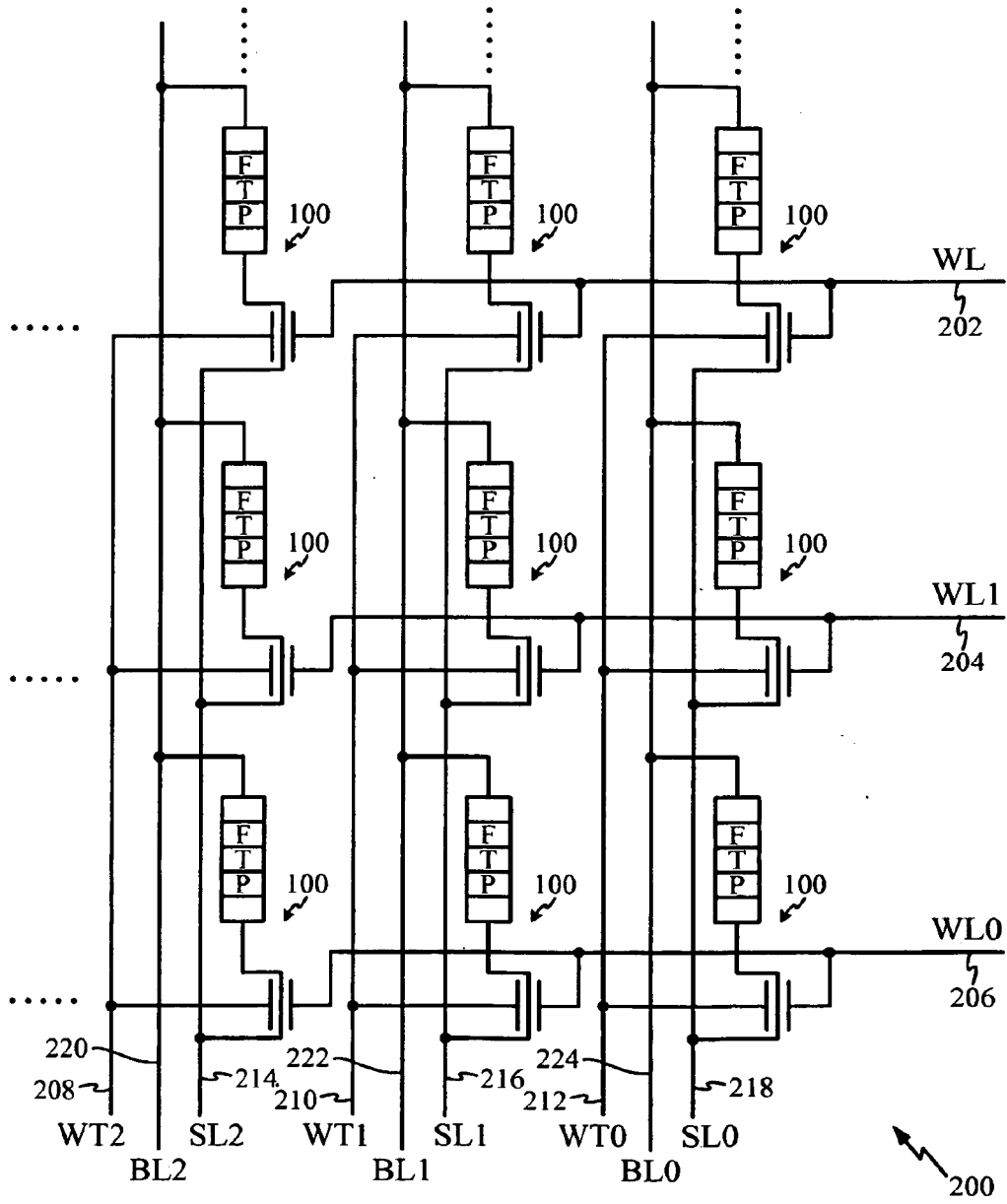


FIG. 2

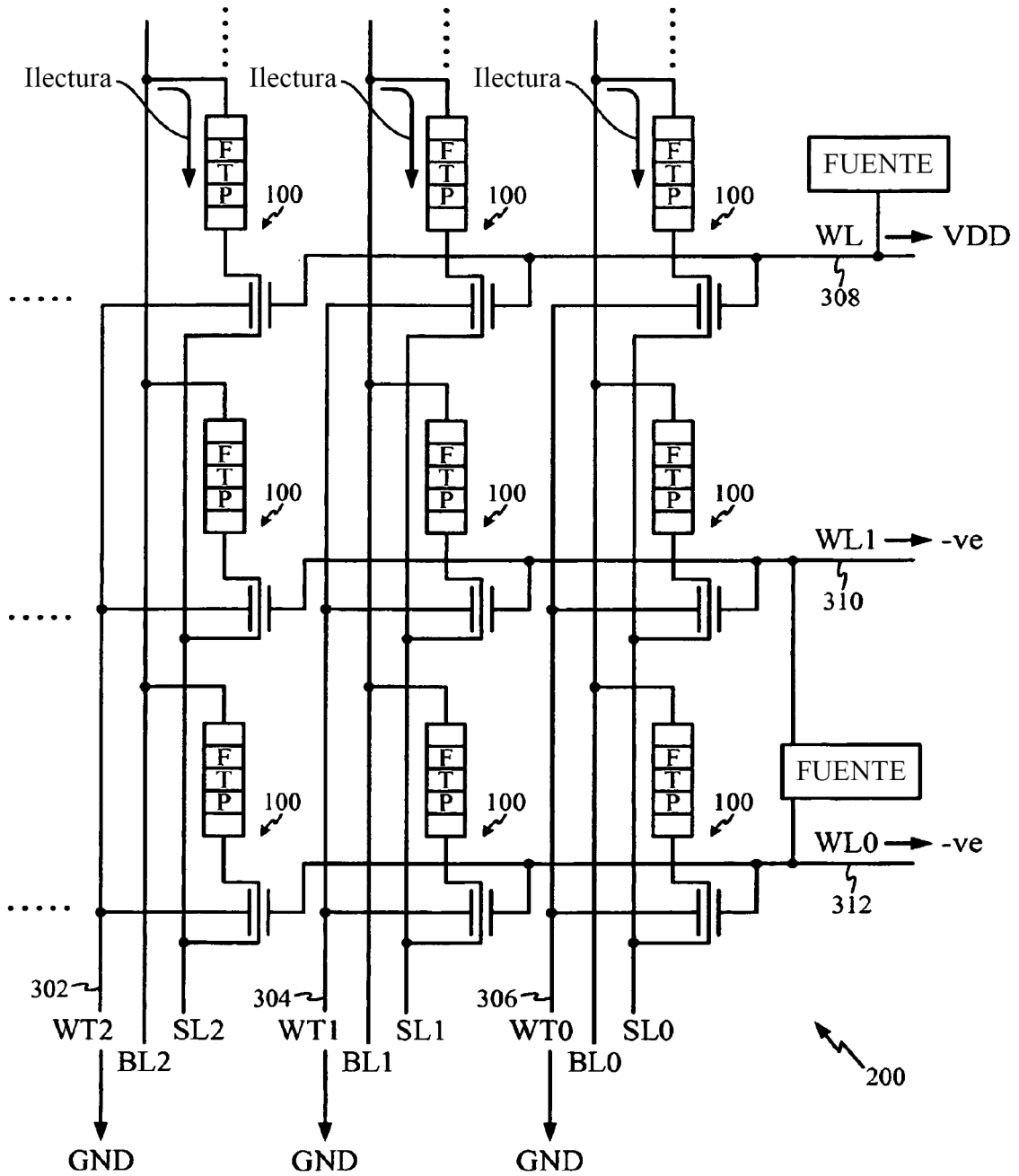


FIG. 3

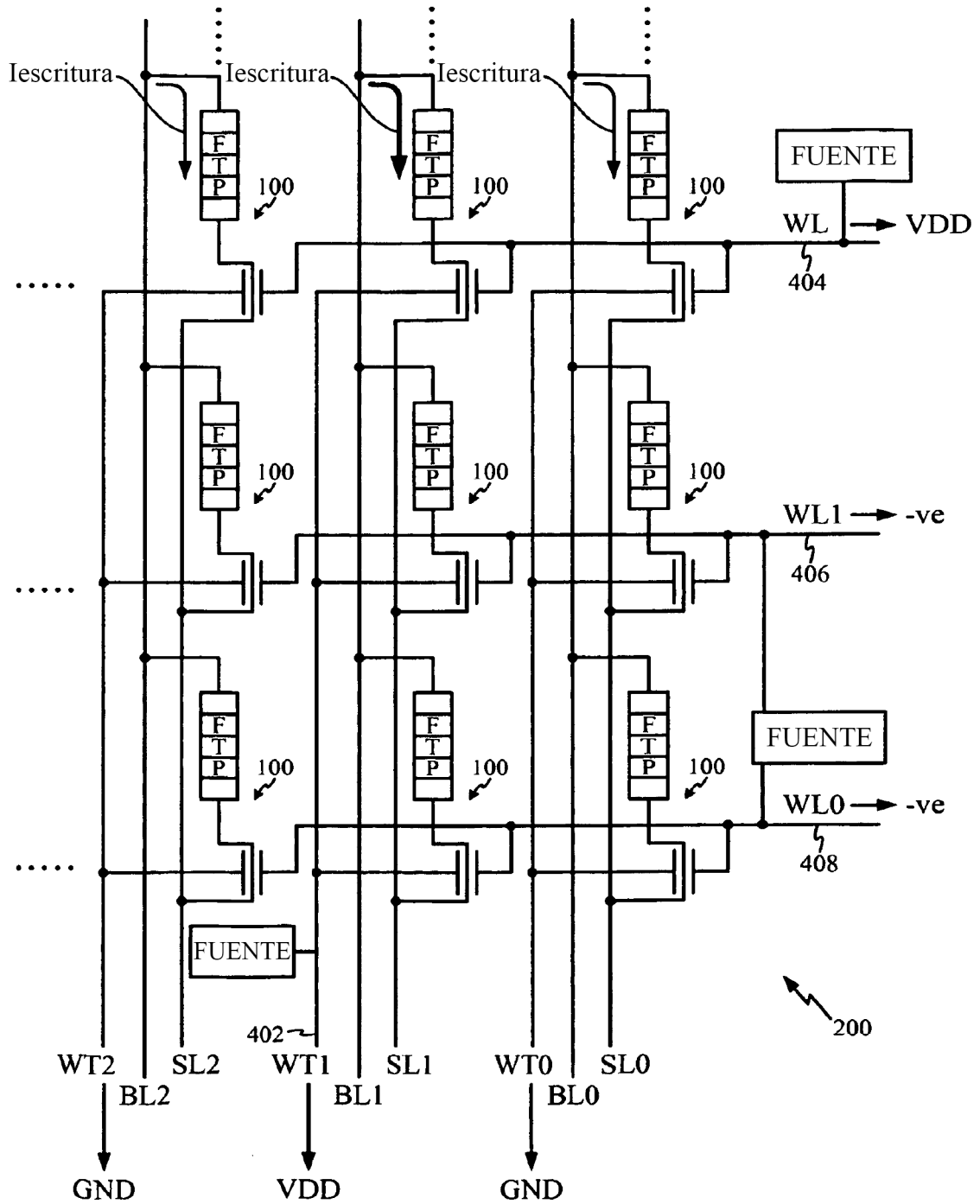


FIG. 4

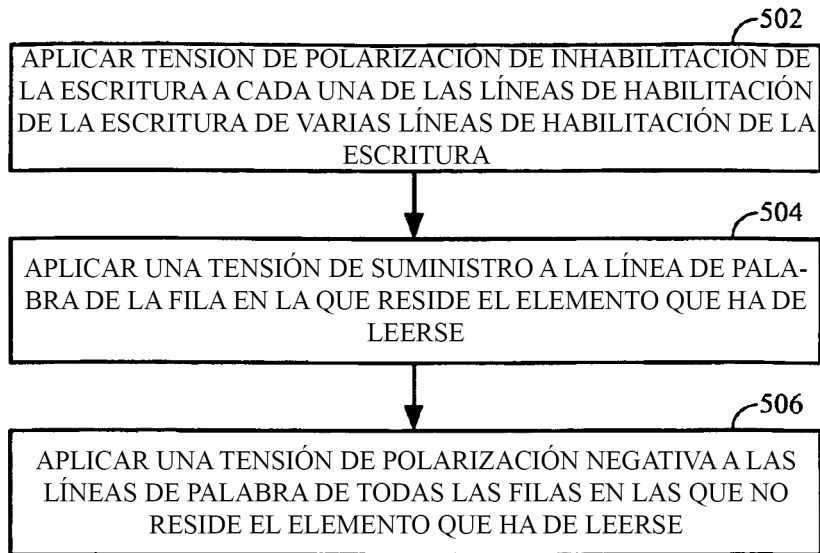


FIG. 5

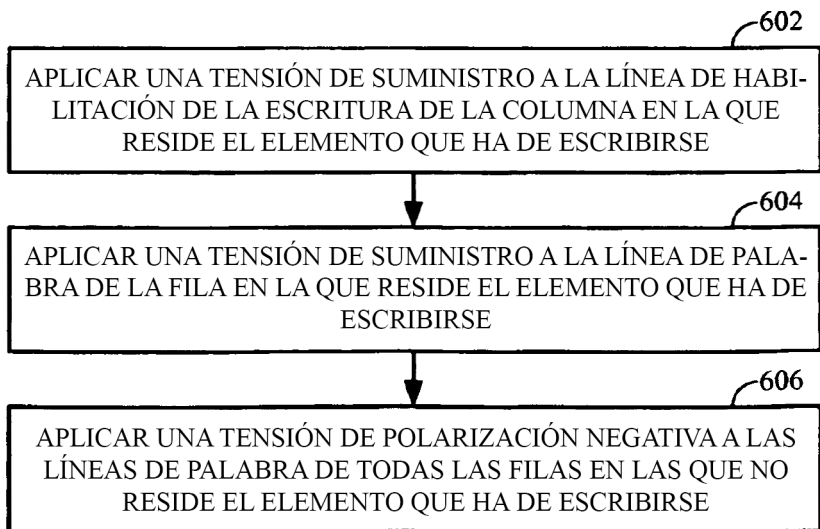


FIG. 6

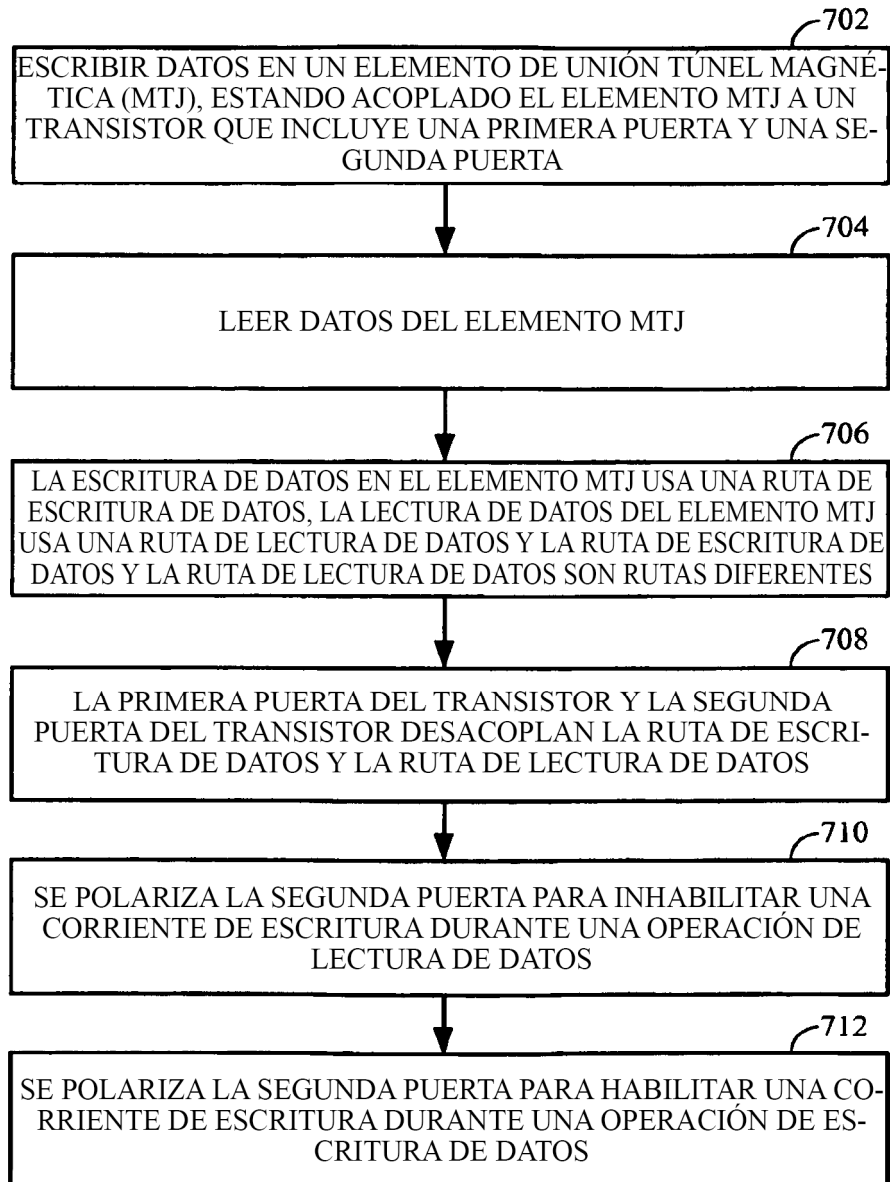


FIG. 7