

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 531 452**

51 Int. Cl.:

**H03K 17/567** (2006.01)

**H03K 17/687** (2006.01)

**H03K 17/06** (2006.01)

**H03K 19/018** (2006.01)

**H03K 17/16** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **09.07.2008 E 08012363 (1)**

97 Fecha y número de publicación de la concesión europea: **03.12.2014 EP 2020749**

54 Título: **Circuito excitador para activar un interruptor de semiconductor de potencia**

30 Prioridad:

**03.08.2007 DE 102007036728**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**16.03.2015**

73 Titular/es:

**SEMIKRON ELEKTRONIK GMBH & CO. KG  
(100.0%)  
SIGMUNDSTRASSE 200  
90431 NÜRNBERG, DE**

72 Inventor/es:

**MÜHLHÖFER, ALEXANDER;  
KÖNIGSMANN, GUNTHER;  
HOFMAIR, MARKUS y  
BODE, RÜDIGER**

74 Agente/Representante:

**LEHMANN NOVO, María Isabel**

**ES 2 531 452 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

**DESCRIPCIÓN**

Circuito excitador para activar un interruptor de semiconductor de potencia.

La invención concierne a un circuito excitador que sirve para activar un interruptor de semiconductor de potencia.

5 Los interruptores de semiconductor de potencia, por ejemplo un IGBT (Insulated Gate Bipolar Transistor - Transistor Bipolar de Puerta Aislada), tienen que obtener una señal de conexión para realizar un proceso de conexión. Ésta es suministrada en general por un circuito lógico, por ejemplo un PLD (Programmable Logic Device - Dispositivo Lógico Programable). Un IGBT es, por ejemplo, conectado con una tensión de +15 V y desconectado con una tensión de, por ejemplo, -15 V. La corriente punta para conectar o cargar la puerta del IGBT puede ascender a varios amperios. La lógica programable trabaja aquí, por ejemplo, en un intervalo comprendido entre masa y 3,3 V y suministra  
10 señales en el rango de intensidades de corriente de pocos mA. Por tanto, el circuito lógico en sí no proporciona con su señal de control ni una corriente suficiente ni una tensión suficiente para poder conectar realmente el interruptor de semiconductor de potencia. Por consiguiente, se tienen que amplificar las corrientes y tensiones suministradas por la lógica programable para poder conectar realmente el interruptor de semiconductor de potencia. Para amplificar la señal lógica se necesita una etapa final o circuito excitador correspondiente.

15 Es conocido el emplear como etapa final o en un circuito excitador un módulo de activación completamente integrado, tal como, por ejemplo, del tipo LM5107 de la firma National Semiconductor o un circuito integrado comparable.

En el documento US 6,208,185 B1 se muestra otro circuito.

20 Sin embargo, una solución de esta clase es cara y, además, hay que proporcionar usualmente una alimentación de corriente propia de, por ejemplo, 10 V para la alimentación del módulo integrado.

El problema de la presente invención consiste en indicar un circuito excitador o etapa final mejorado para su intercalación entre una lógica programable y un interruptor de semiconductor de potencia.

25 La invención parte del conocimiento de que un interruptor de semiconductor de potencia que debe ser activado por el circuito excitador según la invención necesita una señal de una primera tensión con respecto a un potencial de referencia - en general, masa - para poder ser conectado y necesita una señal de una segunda tensión con respecto a este potencial de referencia para poder ser desconectado. Además, está disponible para la activación del interruptor de semiconductor de potencia un circuito lógico que es alimentado entre una tercera tensión y el potencial de referencia y que, en consecuencia, puede suministrar señales de conexión con tensiones comprendidas entre el potencial de referencia y la tercera tensión.

30 La invención se resuelve por medio de un circuito excitador con una primera salida y una segunda salida. La primera salida sirve para activar el interruptor de semiconductor de potencia con una señal de la primera tensión y la segunda salida sirve para activar el interruptor de semiconductor de potencia con una señal de la segunda tensión, en cada caso con respecto al potencial de referencia. Además, el circuito excitador presenta una primera entrada y una segunda entrada que pueden ser activadas por el circuito lógico. Una activación de la primera entrada produce  
35 una señal de conexión en la primera salida y una activación de la segunda entrada produce una señal de conexión en la segunda salida. El circuito excitador contiene un trayecto de conexión que presenta la primera entrada y la primera salida. El trayecto de conexión es alimentado con la primera tensión y el potencial de referencia. El circuito excitador contiene también un trayecto de desconexión que presenta la segunda entrada y la segunda salida y que es alimentado por la tercera tensión y la segunda tensión. Los trayectos de conexión y de desconexión, cada uno de ellos por separado, presentan sendos convertidores de nivel que contienen a su vez la primera entrada o la segunda  
40 entrada, según que se trate del trayecto de conexión o del trayecto de desconexión. Ambos trayectos presentan un amplificador de corriente activado por el respectivo convertidor de nivel y una respectiva etapa final activada por el amplificador de corriente. La respectiva etapa final del respectivo trayecto contiene la primera salida o la segunda salida.

45 El circuito excitador completo presenta así la ventaja de que tiene que ser alimentado únicamente por las tensiones necesarias de todos modos para la activación del interruptor de semiconductor de potencia, concretamente las tensiones primera a tercera y el potencial de referencia. No es necesaria una alimentación de tensión adicional. El respectivo trayecto de activación, es decir, el trayecto de entrada o el trayecto de salida, puede ser activado directamente por el circuito lógico, es decir que se activa con señales en el intervalo comprendido entre el potencial de referencia y la tercera tensión y, no obstante, suministran en sus salidas una señal de conexión de la primera  
50 tensión con respecto al potencial de referencia para conectar el interruptor de semiconductor de potencia y de la segunda tensión con respecto al potencial de referencia para desconectar el interruptor de semiconductor de potencia.

55 El control temporal de los procesos de conexión y desconexión, es decir, la activación de las salidas primera y segunda y, por tanto, la generación correspondiente de una tensión de conexión en las salidas primera y segunda,

es asumido por el circuito lógico. Por tanto, se puede conseguir así un solapamiento temporal de la activación de las dos etapas finales en los trayectos de conexión y de desconexión.

5 El convertidor de nivel, el amplificador de corriente y la etapa final pueden estar todos ellos contruidos de forma discreta por separado. Una construcción discreta, es decir, el empleo de componentes no integrados o de tan sólo una baja integración, como, por ejemplo, transistores bipolares y transistores MOSFET, en conexión mutua discreta, es sensiblemente más barato que el empleo de un módulo de activación completamente integrado antes mencionado.

10 El convertidor de nivel puede contener un transistor con una resistencias en serie unido mediante su entrada de control con la respectiva entrada del trayecto de conexión o de desconexión. En general, el transistor se conecta entonces mediante el colector y el emisor, a través de una respectiva resistencia óhmica, a las dos tensiones de alimentación del respectivo trayecto, la base se conecta a la respectiva entrada y entre la base y el emisor está conectada una resistencia de entrada.

15 El amplificador de corriente puede ser un seguidor de emisor que contenga dos transistores. Por ejemplo, en la forma de realización que se acaba de citar el terminal del colector del transistor del convertidor de nivel se pone entonces en paralelo con dos bases de dos transistores que están conectados en serie con sus colectores y emisores entre las dos tensiones de alimentación del respectivo trayecto.

20 La etapa final puede contener un MOSFET con resistencia en serie unido mediante su salida de potencia con la salida. Por ejemplo, para la forma de realización antes citada el terminal de fuente del MOSFET está unido entonces con la respectiva primera o segunda tensión en el respectivo trayecto y el terminal de drenaje se ha llevado hasta la salida, la puerta está unida con los emisores del seguidor de emisor unidos uno con otro, y entre la puerta y la fuente está conectada una resistencia de entrada óhmica.

25 La primera tensión asciende preferiblemente a +15 V, la segunda tensión va de -8 V a -15 V y la tercera tensión es de +3,3 V; el potencial de referencia es preferiblemente masa. Estas constelaciones de tensiones son valores de tensión usuales, por ejemplo, para el funcionamiento de un IGBT por medio de un circuito lógico PLD correspondiente.

Como ya se ha mencionado, el circuito lógico puede ser un PLD.

Como ya se ha mencionado también, el circuito excitador puede ser un circuito de esta clase para activar un IGBT actuante como interruptor de semiconductor de potencia.

30 Para una descripción adicional de la invención se hace referencia a los ejemplos de realización de los dibujos. Muestran, en cada caso en un croquis de principio esquemático:

La figura 1, un circuito excitador según la invención en una vista general,

La figura 2, los trayectos de entrada y de salida del circuito excitador de la figura 1 en un diagrama de bloques y

La figura 3, los trayectos de entrada y de salida de la figura 2 en detalle.

35 La figura 1 muestra una disposición de interruptor de semiconductor que consta de un IGBT 2 actuante como interruptor de semiconductor, un excitador 4 de activación de éste y una alimentación de tensión 6 para el excitador 4 o para activar el IGBT 2.

40 El excitador 4 comprende un PLD 8 que proporciona la funcionalidad lógica de control para el IGBT 2, así como dos canales de activación separados 10a y 10b activados por el PLD 8. El canal de activación 10a sirve aquí para conectar el IGBT 2 y está unido mediante su salida 12a, a través de una resistencia  $R_{GON}$ , con la entrada de control 14 del IGBT 2. El canal de activación 10b sirve para desconectar el IGBT 2 y está unido también mediante su salida 12b, a través de una resistencia  $R_{OFF}$ , con la entrada de control 14.

45 Cada canal de activación 10a,b contiene en este caso un respectivo interruptor de semiconductor S1 y S2, cuyos interruptores son controlados por el PLD 8 y, a través de las resistencias correspondientes  $R_{GON}$  y  $R_{OFF}$ , conectan una respectiva tensión de conexión  $U_{VP}$  de +15 V o una tensión de desconexión  $U_{VN}$  de -8 V a -15 V a la entrada de control 14 del IGBT. Ambas tensiones  $U_{VP}$  y  $U_{VN}$  son parte de la alimentación de tensión 6, que proporciona, además, una tensión lógica  $U_L$  de +3,3 V, con la cual se hace que funcione en primer lugar el PLD 8. El potencial de referencia para todas las tensiones es la masa GND.

El canal de activación 10a es alimentado por la tensión de alimentación  $U_{VP}$  con respecto a la masa GND. El canal de activación 10b es alimentado por la tensión lógica  $U_L$  con respecto a la tensión de desconexión (negativa)  $U_{VN}$ .

50 El PLD 8 genera tensiones de control que se suministran, a través de las líneas de control 16a,b, a las respectivas entradas 18a,b de los canales de activación 10a,b y que están en el intervalo comprendido entre 0 V, es decir, GND,

y la tensión lógica  $U_L$  de +3,3 V.

La figura 2 muestra los canales de activación 10a,b en una representación detallada o representación de bloques. Cada uno de los canales de activación 10a,b está construido de la misma manera desde la respectiva entrada 18a,b hasta la salida 12a,b, concretamente como una conexión en serie de un convertidor de nivel 20a,b, un amplificador de corriente 22a,b y una etapa final 24a,b. El canal de activación 10a contiene aquí como transistores  $S_1$  un transistor de efecto de campo de canal P en la etapa final 24a y el canal de control 10b contiene como transistores  $S_2$  un transistor de efecto de campo de canal N en la etapa final 24b.

El solapamiento temporal de los dos transistores de etapa final conectados o desconectados  $S_1$  y  $S_2$  se materializa a través de las entradas 18a,b, es decir, a través del PLD 8 actuante como un programa no representado que se ejecuta en el mismo.

La figura 3a muestra en una representación aún más detallada el canal de activación 10a; la figura 3b muestra el canal de activación 10b. Se necesita la resistencia de entrada  $R_1$  entre la base B del transistor  $Q_1$  y la masa GND para que, en el caso de una etapa de activación de alto ohmioaje, es decir, un salida de alto ohmioaje del PLD 8, se ponga la base B del transistor  $Q_1$  a un potencial definido, concretamente la masa GND, de modo que el transistor  $Q_1$  permanezca desconectado con seguridad.

Una tensión de activación positiva  $U_{IN}$  del PLD 8 en la base B de  $Q_1$  conecta el transistor  $Q_1$  y hace que circule una corriente de colector definida a través del transistor  $Q_1$ . Esta corriente es impartida por la tensión de entrada  $U_{IN}$  y la resistencia  $R_2$ . Gracias a esta corriente de colector definida de  $Q_1$  disminuye una tensión definida  $U_3$  en la resistencia  $R_3$ . Esta tensión  $U_3$  es amplificada en corriente por el seguidor de emisor pospuesto 26a, constituido por los transistores  $Q_2$  y  $Q_3$ , y se carga así la puerta G de  $S_1$ . La tensión en la resistencia  $R_4$  aumenta y conecta el transistor  $S_1$  al sobrepasarse su umbral de entrada. Se cierra el interruptor representado por el transistor  $S_1$ . Se conecta el IGBT 2. La salida de potencia 28 del transistor  $S_1$  está activa.

Si disminuye la tensión de entrada  $U_{IN}$  en la base del transistor  $Q_1$  hasta el potencial GND, se reduce entonces el flujo de corriente por el transistor  $Q_1$  y disminuye la tensión  $U_3$  en  $R_3$ . La tensión  $U_3$  es amplificada en corriente por el seguidor de emisor pospuesto 26b, se descarga la puerta G de  $S_1$  y se la lleva al potencial de  $U_{VP}$ . Tan pronto como se caiga por debajo del umbral de conexión de  $S_1$ , comienza a bloquearse el transistor de etapa final  $S_1$ . Se abre el interruptor representado por  $S_1$ . El IGBT 2 ya no es alimentado con un impulso de conexión de la tensión  $U_{VP}$ . La salida de potencia 28 del transistor  $S_1$  funciona en vacío.

La resistencia  $R_4$  entre la puerta G y la fuente S de  $S_1$  descarga completamente a la puerta G, de modo que en el estado desconectado de  $S_1$  no se aplica ninguna tensión entre la puerta G y la fuente S.

En la figura 3b se necesita la resistencia de entrada  $R_5$  entre la base B del transistor  $Q_5$  y la tensión  $U_L$  para que, en el caso de una salida de alto ohmioaje del PLD 8 y, por tanto, en la base B del transistor  $Q_5$ , se ponga justamente esta base B a un potencial definido, concretamente la tensión  $U_L$ , de modo que el transistor  $Q_5$  permanezca desconectado con seguridad. En efecto, el transistor de etapa final  $S_2$  está desconectado con seguridad cuando la tensión de entrada  $U_{IN}$  es igual a la tensión  $U_L$ .

Si la tensión en la base B de  $Q_5$  es llevada al valor de la masa GND, se conecta el transistor  $Q_5$  y éste deja que circule una corriente de colector definida  $I_c$  por el transistor  $Q_5$ . Esta corriente  $I_c$  es impartida por la tensión entre  $U_L$  y la tensión de entrada  $U_{IN}$  y la resistencia  $R_6$ . Gracias a esta corriente de colector definida  $I_c$  de  $Q_5$  disminuye una tensión definida  $U_7$  a través de  $R_7$ . Esta tensión  $U_7$  es amplificada en corriente por el seguidor de emisor pospuesto 26b y se carga la puerta G de  $S_2$ . La tensión en  $R_8$  aumenta y conecta  $S_2$  al sobrepasarse su umbral de entrada. Se cierra el interruptor representado por  $S_2$ . El IGBT 2 es alimentado con un impulso de conexión de la tensión  $U_{VN}$  y es así desconectado. Por tanto, la salida de potencia 28 del transistor  $S_2$  está activa.

Si la tensión de entrada  $U_{IN}$  en la base B de  $Q_5$  aumenta hasta  $U_L$ , se reduce entonces el flujo de corriente  $I_c$  por el transistor  $Q_5$  y disminuye también la tensión  $U_7$  en  $R_7$ . La tensión  $U_7$  es amplificada en corriente por el seguidor de emisor pospuesto 26b, se descarga la puerta G de  $S_2$  y se la lleva al potencial de la tensión  $U_{VN}$ . Tan pronto como se caiga por debajo del umbral de conexión de  $S_2$ , comienza a bloquearse el transistor de etapa final  $S_2$ . Se abre el interruptor  $S_2$  representado por  $S_2$ . El IGBT 2 no obtiene ya un impulso de desconexión de la tensión  $U_{VN}$ .

La resistencia  $R_8$  entre la puerta G y la fuente S de  $S_2$  descarga completamente la puerta G, de modo que en el estado desconectado de  $S_2$  no se aplica ninguna tensión entre la puerta G y la fuente S. La salida de potencia 28 del transistor  $S_2$  funciona en vacío.

## REIVINDICACIONES

1. Circuito excitador (4) con una primera salida (12a) y una segunda salida (12b) para activar un interruptor de semiconductor de potencia (2) conectable con una señal de una primera tensión ( $U_{VP}$ ) con respecto a un potencial de referencia (GND) y desconectable con una señal de una segunda tensión ( $U_{VN}$ ) con respecto al potencial de referencia (GND), y con una primera entrada (18a) y una segunda entrada (18b) para activar por una señal ( $U_N$ ) un circuito lógico (8) alimentado con una tercera tensión ( $U_L$ ) y el potencial de referencia (GND), con un trayecto de conexión (10a) alimentado entre la primera tensión ( $U_{VP}$ ) y el potencial de referencia (GND) y dotado de la primera entrada (18a) y la primera salida (12a), y con un trayecto de desconexión (10b) alimentado entre la tercera tensión ( $U_L$ ) y la segunda tensión ( $U_{VN}$ ) y dotado de la segunda entrada (18b) y la segunda salida (12b), conteniendo el trayecto de conexión (10a) y el trayecto de desconexión (10b), en cada caso, un convertidor de nivel (20a,b) que presenta la respectiva entrada (18a,b), un amplificador de corriente (22a,b) activado por el convertidor de nivel (20a,b) y una etapa final (24a,b) activada por el amplificador de corriente (22a,b) y dotada de la respectiva salida (12a,b).
2. Circuito excitador (4) según la reivindicación 1, en el que el convertidor de nivel (20a,b), el amplificador de corriente (22a,b) y la etapa final (24a,b) son de construcción discreta.
3. Circuito excitador (4) según la reivindicación 1 o 2, en el que el convertidor de nivel (20a,b) contiene un transistor ( $Q_1, Q_5$ ) con resistencias en serie ( $R_{1-3}, R_{5-7}$ ) unido mediante su entrada de control (13) con la entrada (18a,b).
4. Circuito excitador (4) según cualquiera de las reivindicaciones anteriores, en el que el amplificador de corriente (22a,b) es un seguidor de emisor (26a,b) que contiene dos transistores ( $Q_{2-3}, Q_{6-7}$ ).
5. Circuito excitador (4) según cualquiera de las reivindicaciones anteriores, en el que la etapa final (24a,b) contiene un MOSFET (S1,S2) con una resistencia en serie ( $R_4, R_8$ ) unido mediante su salida de potencia (28) con la salida (12a,b).
6. Circuito excitador (4) según cualquiera de las reivindicaciones anteriores, en el que al menos aproximadamente la primera tensión ( $U_{VP}$ ) es de +15 V, la segunda tensión ( $U_{VN}$ ) está en el intervalo de -8 V a -15 V y la tercera tensión ( $U_L$ ) es de +3,3 V, y el potencial de referencia (GND) es masa.
7. Circuito excitador (4) según cualquiera de las reivindicaciones anteriores, en el que el circuito lógico (8) es un PLD.
8. Circuito excitador (4) según cualquiera de las reivindicaciones anteriores, que es un circuito excitador para activar un IGBT actuante como interruptor de semiconductor de potencia (2).

30

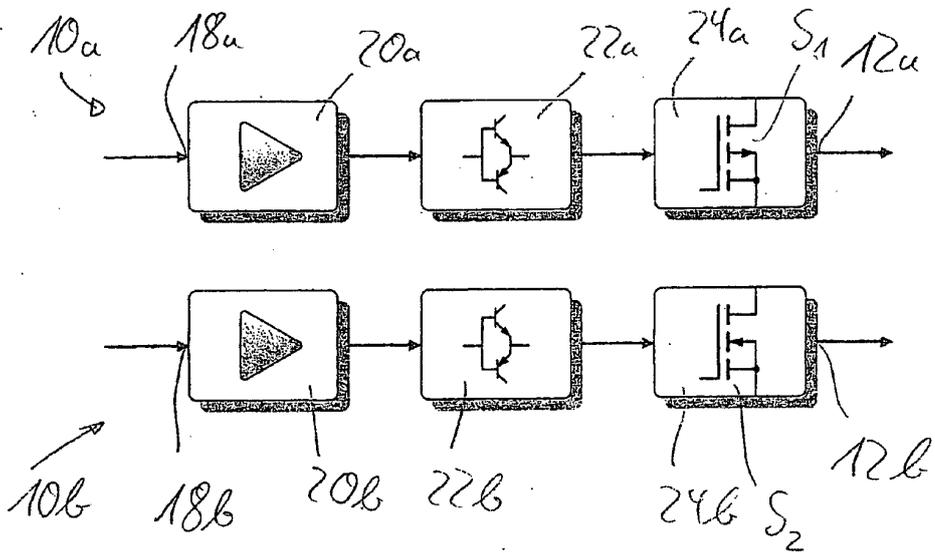
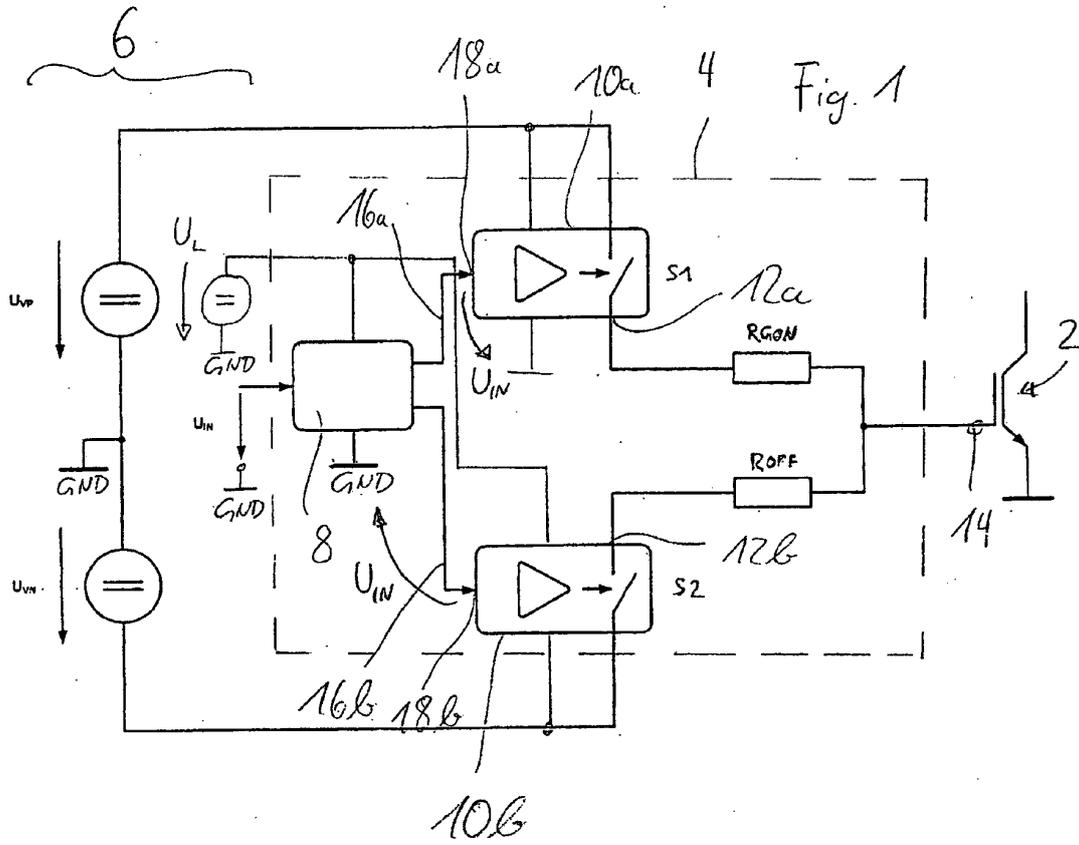


Fig. 2

