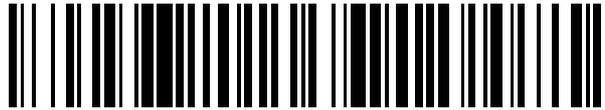


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 531 701**

51 Int. Cl.:

G01N 27/90 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **15.01.2013 E 13151315 (2)**

97 Fecha y número de publicación de la concesión europea: **07.01.2015 EP 2618140**

54 Título: **Disposición o sistema para ensayo y método de ensayo para la detección no destructiva de un fallo en un dispositivo a ensayar por medio de una corriente de eddy (o de foucault)**

30 Prioridad:

20.01.2012 DE 102012100460

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

18.03.2015

73 Titular/es:

**PRÜFTECHNIK DIETER BUSCH AG (100.0%)
Oskar-Messter-Strasse 19-21
85737 Ismaning, DE**

72 Inventor/es:

**BRÄU, WERNER y
LYSEN, HEINRICH**

74 Agente/Representante:

ISERN JARA, Jorge

ES 2 531 701 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Disposición o sistema para ensayo y método de ensayo para la detección no destructiva de un fallo en un dispositivo a ensayar por medio de una corriente de eddy (o de foucault)

5 Esta solicitud se refiere a una disposición para ensayo y a un método de ensayo para la detección no destructiva de un fallo en un dispositivo a ensayar por medio de una corriente de Eddy.

En un sistema para ensayo, una señal electromagnética es producida en el dispositivo a ensayar. El dispositivo a ensayar tiene una conductividad eléctrica. Se forman corrientes de Eddy en el dispositivo a ensayar y son captadas. Se analizan los cambios en estas corrientes de Eddy alrededor del fallo.

10 El documento WO 2006/007826 A1 describe un dispositivo para la detección no destructiva y sin contacto de fallos en un dispositivo a ensayar. En este caso, una señal de sondeo es escaneada por medio de una etapa convertidora de analógico a digital para formar una señal de medición digital demodulada a partir de la señal digitalizada. La etapa convertidora de analógica a digital es desencadenada como una fracción total de una frecuencia de una oscilación portadora.

15 El documento GB 2 457 496 A se refiere a un sistema para la detección de defectos por medio de corrientes de Eddy. Un accionador de señal genera corrientes de Eddy en un objeto a ensayar. Una señal de medición es digitalizada por medio de un convertidor de analógico a digital y a continuación demodulada. Cuatro u ocho valores de señal son digitalizados y demodulados por periodo de la señal de medición.

20 El documento EP 1 995 590 A1 se refiere a un aparato para la medición digital de una señal de corriente de Eddy. Un generador de señal digital es acoplado mediante un convertidor de digital a analógico y un accionador de sonda a una sonda de corriente de Eddy que tiene una bobina. La sonda de corriente de Eddy es acoplada mediante un convertidor de analógico a digital y un filtro pasa-bandas a un dispositivo de medición de tiempo y amplitud. El dispositivo de medición de tiempo y amplitud determina una amplitud y un ángulo de desfase de una señal de retorno digital.

25 El documento US 2004/006189 A1 está relacionado con un control dinámico de ganancia en un procesador de señal de corriente de Eddy digital. Un sintetizador de portadora digital está acoplado mediante un accionador de sonda a una sonda de corriente de Eddy. La sonda de corriente de Eddy está acoplada mediante un amplificador y un amplificador seleccionable a un convertidor de analógico a digital. Una salida del convertidor de analógico a digital está conectada a un mezclador digital.

30 Un objeto de esta solicitud es proporcionar una disposición de ensayo y un método de ensayo para detección no destructiva de un fallo en un dispositivo a ensayar por medio de una corriente de Eddy, en el que se ha incrementado la exactitud o precisión del análisis.

Este objeto es conseguido con el objeto de la reivindicación 1 y el método de acuerdo con la reivindicación 11. Otros desarrollos y configuraciones son respectivamente objeto de las reivindicaciones dependientes.

35 En una realización, una disposición de ensayo para la detección no destructiva de un fallo en un dispositivo a ensayar por medio de una corriente de Eddy comprende una bobina de excitación, una bobina de recepción, un convertidor de analógico a digital, una disposición de filtro, y un demodulador. Una señal de excitación puede ser enviada a la bobina de excitación para actuar sobre el dispositivo a ensayar con un campo electromagnético alterno. La bobina de recepción está diseñada para generar una señal de bobina que es una función del fallo en el dispositivo a ensayar. El convertidor de analógico a digital está acoplado a la bobina de recepción en el lado de entrada. La disposición de filtro está acoplada al convertidor de analógico a digital en el lado de entrada y diseñada para el filtrado de paso de banda o pasa-banda y reducción de la frecuencia o tasa de exploración. El demodulador está acoplado a una salida de la disposición de filtro en el lado de entrada.

40 El filtrado y la demodulación tienen lugar digitalmente de manera ventajosa. Así, se reducen los componentes analógicos que son caros de precio. Un valor de una señal de entrada del demodulador que es enviada al demodulador es generada a partir de varios valores de una señal de salida del convertidor proporcionada por un convertidor de analógico a digital. En este caso, puede establecerse una frecuencia de exploración del convertidor del convertidor de analógico a digital tan alta que la señal de la bobina es sobre-explorada. Así, se consigue una elevada exactitud o precisión en la detección de la señal de la bobina. La exactitud es preservada por el filtrado de paso de banda y la reducción de la frecuencia de exploración de modo que una señal de salida del demodulador es también determinada de manera muy precisa a la salida del demodulador.

45 En una realización, el convertidor de analógico a digital está diseñado para proporcionar la señal de salida del convertidor con la frecuencia de exploración del convertidor. La disposición de filtro está diseñada para convertir la señal de salida del convertidor a la señal de entrada del demodulador con una frecuencia de exploración reducida. La frecuencia de exploración reducida es menor que la frecuencia de exploración del convertidor por un factor de reducción de R. El demodulador está diseñado para demodular la señal de entrada del demodulador. El factor de reducción es preestablecido. El factor de reducción puede ser ajustable. Ventajosamente, es adecuado un demodulador lento.

En una realización, la disposición de filtro comprende un filtro de paso de banda que está acoplado al convertidor de analógico a digital en el lado de entrada y al demodulador en el lado de salida. El filtro de paso de banda proporciona una señal de entrada.

5 En una realización, la disposición de filtro está diseñada para proporcionar sólo un valor como la señal de entrada del demodulador para la reducción de la frecuencia de exploración fuera de un primer número P de valores de la señal de entrada. En este caso, el primer número P es un número entero y es mayor o igual a 1. Mediante la selección del valor $P^{\text{ésimo}}$, se consigue una reducción efectiva de la frecuencia de exploración.

10 En una realización, el primer número P es menor que un factor de reducción de R. La disposición de filtro puede estar diseñada en múltiples etapas. Al menos dos etapas de la disposición de filtro pueden estar diseñadas para la reducción de la frecuencia de exploración. Una etapa de la disposición de filtro puede implementar la selección del valor $P^{\text{ésimo}}$.

En una realización, una frecuencia de exploración de la señal de entrada es un múltiplo racional M/N de una frecuencia de excitación de la señal de excitación. La señal de entrada tiene un primer número M de valores durante un segundo número N de períodos de la señal de excitación. El primer número M y el segundo número N son enteros. El primer número M y el segundo número N son usualmente diferentes.

15 En una realización, la disposición de filtro comprende un filtro de entrada, que está acoplado al filtro de paso de banda en el lado de entrada y tiene el primer número M de disposiciones de filtro de paso bajo. El filtro de entrada en cada caso envía uno de los primeros números M de valores de la señal de entrada a uno de los primeros números M de las disposiciones de filtro de paso bajo. El demodulador está acoplado a una salida del filtro de entrada en el lado de entrada. Ventajosamente, está presente una elevada flexibilidad en el análisis de la señal de bobina por la selección del primer número M y del segundo número N. La frecuencia de exploración de la señal de entrada, que corresponde a la frecuencia de exploración del demodulador, está limitada hacia arriba. Si, por ejemplo, se selecciona un valor más elevado de la frecuencia de excitación, la relación racional entre la señal de entrada y la señal de excitación puede ser establecida de tal modo que la señal de entrada tenga sólo valores pequeños durante un gran número de períodos de la señal de excitación. Si, sin embargo, la frecuencia de excitación es establecida a un valor bajo, la relación racional puede ser establecida de tal modo que la señal de entrada tenga un número elevado de valores durante unos pocos períodos. Como resultado, la disposición de ensayo puede ser establecida de tal modo que a cualquier frecuencia de excitación seleccionada, son analizados tantos valores de la señal de entrada por unidad de tiempo como sea posible. Como la frecuencia de exploración del demodulador es el múltiplo M/N de la frecuencia de excitación, la demodulación puede tener lugar cambiando un factor de M/N en distintos ángulos de fase de la señal de excitación. El análisis de la señal de bobina no está así limitado a ello de modo que es realizado solamente, por ejemplo, a 90° y 270° de la señal de excitación sinusoidal. Esto da como resultado una elevada exactitud en el análisis de la señal de bobina.

20

25

30

Ventajosamente, el convertidor de analógico digital, de manera abreviada convertidor AD, es implementado de manera separada del demodulador digital.

35 Como un primer número M y como un segundo número N, solamente pueden ser considerados números enteros que están libres de un factor total común, que es mayor que 1.

En una realización, el segundo número N es mayor que 1. Así, el análisis en el caso de ángulos de fase diferentes de la señal de excitación es llevado a cabo en dos o más de dos períodos sucesivos de la señal de excitación.

En una realización, el primer número M es mayor que 1. Así, al menos son analizados dos valores en el segundo número N de períodos de la señal de excitación.

40 El primer número M puede tener en cuenta, por ejemplo, sólo números impares.

La señal de excitación puede ser sinusoidal. Ventajosamente, la proporción de ondas armónicas en la señal de excitación es muy baja.

45 En una realización, un método de ensayo para detección no destructiva de un fallo en un dispositivo a ensayar por medio de una corriente de Eddy comprende actuar sobre el dispositivo a ensayar con un campo electromagnético alterno por medio de una bobina de excitación. Una señal de excitación es enviada a la bobina de excitación. Además, una señal de bobina, que es una función del fallo en el dispositivo a ensayar, es generada por medio de una bobina de recepción. Una señal de salida del convertidor es proporcionada por digitalización de la señal de bobina. Una señal de entrada del demodulador es generada filtrando la señal de salida del convertidor con una característica de filtro de paso de banda así como una reducción de frecuencia de exploración. La señal de entrada del demodulador es demodulada por medio de un demodulador.

50

Ventajosamente, la digitalización y la demodulación son realizadas a diferentes velocidades. Así, puede conseguirse una frecuencia de exploración del convertidor elevada durante la digitalización, de modo que el teorema de muestreo de Nyquist-Shannon puede ser mantenido. Por medio de un filtrado de paso de banda y una reducción de frecuencia de exploración, puede generarse una señal de entrada precisa del demodulador. Así, se proporciona una elevada flexibilidad para seleccionar la frecuencia de exploración correspondiente a la frecuencia de excitación. Consecuentemente, puede conseguirse una elevada exactitud en el análisis de la señal de bobina. Ventajosamente, es

55

hecho posible el otro tratamiento de la señal de entrada del demodulador con un demodulador digital de funcionamiento lento.

En una realización, el método de ensayo comprende una demodulación digital con conversión de frecuencia. El método de ensayo tiene una demodulación de módulo.

- 5 En una realización, un convertidor de analógico a digital realiza la digitalización en la frecuencia de exploración del convertidor. La frecuencia de exploración del convertidor puede ser al menos dos veces la frecuencia de excitación. Así, la frecuencia de exploración del convertidor puede ser establecida tan alta que se evite una sub-exploración de la señal de bobina.

- 10 El invento es explicado con más detalle a continuación basándose en las figuras de varias realizaciones. Los componentes, partes de conmutación y bloques operativos que tienen la misma función o acción llevan los mismos números de referencia. Si los componentes, partes de conmutación y bloques operativos se corresponden en su función y cuando lo hacen, su descripción no se repite en ninguna de las figuras siguientes: Aquí:

Las figs. 1A a 1C muestran una realización ejemplar de una disposición de ensayo,

La fig. 2 muestra otra realización ejemplar de una disposición de ensayo,

- 15 Las figs. 3A y 3B muestran realizaciones ejemplares de detalles de una disposición de ensayo, y

Las figs. 4A a 4D muestran una vista ejemplar de espectros de frecuencia que ocurren en una disposición de ensayo.

- La fig. 1A muestra una realización ejemplar de una disposición de ensayo. La disposición de ensayo 10 comprende un procesador de señal 11, que tiene un generador 12. Además, la disposición de ensayo 10 comprende un convertidor 13 de digital a analógico y una bobina de excitación 14. Una salida del generador 12 está conectada a una entrada del convertidor 13 de digital a analógico. Una salida del convertidor 13 de digital a analógico esta acoplada a la bobina de excitación 14. Además, la disposición de ensayo 10 comprende un amplificador de excitación 15 que está dispuesto entre la salida del convertidor 13 de digital a analógico y la bobina de excitación 14. Un dispositivo a ensayar 16 está dispuesto cerca de la bobina de excitación 14. Además, la disposición de ensayo 10 tiene una bobina de recepción 17 y un convertidor AD 21. La bobina de recepción 17 esta implementada como una bobina absoluta. La disposición de ensayo 10 implementa un método de ensayo del canal absoluto. La bobina de recepción 17 está situada junto al dispositivo a ensayar 16. Una salida de la bobina de recepción 17 está acoplada a una entrada de un convertidor AD 21. Además, la disposición de ensayo 10 comprende un amplificador de recepción 20, que acopla la bobina de recepción 17 al convertidor AD 21. Un factor de amplificación del amplificador de recepción 20 puede ser establecido por el procesador de señal 11.

- 30 La disposición de ensayo 10 tiene una disposición de filtro 22, que está aguas abajo del convertidor AD 21. La disposición de filtro 22 comprende un filtro de paso bajo 23, que está aguas abajo del convertidor AD 21. Además, la disposición de filtro 22 comprende una unidad de eliminación o "diezmado" 24, que está aguas abajo del filtro de paso bajo 23. La disposición de filtro 22 tiene un filtro de paso de banda 25. El filtro de paso de banda 25 está conectado a la unidad de eliminación 24 en el lado de entrada. Además, la disposición de filtro 22 comprende otra unidad de eliminación 26, que está aguas abajo del filtro de paso de banda 25. La disposición de filtro 22 comprende así dos filtros 23, 25 que están conectados uno detrás del otro. La disposición de filtro 22 implementa una función de paso de banda. Además, la disposición de filtro 22 implementa una solución de paso bajo.

- 40 Además, la disposición de filtro 22 comprende un filtro de entrada 29. La disposición de ensayo 10 tiene un demodulador 27. El demodulador 27 está implementado como un demodulador digital. El filtro de entrada 29 está dispuesto entre el filtro de paso de banda 25 y la otra unidad de eliminación 26, y el demodulador 27. Una entrada de señal del demodulador 27 está acoplada a una salida del filtro de entrada 29. Además, la disposición de filtro 22 comprende un sustractor 31, que conecta el filtro de entrada 29 al demodulador 27.

- 45 El demodulador 27 comprende un primer y segundo multiplicadores 32, 33, que están conectados a la entrada de señal y dos entradas 28, 28' del demodulador 27. Además, el demodulador 27 comprende un filtro demodulador 34 y una unidad 35 de eliminación de demodulador, que están aguas abajo del primer y segundo multiplicadores 32, 33. Además, la disposición de ensayo 10 comprende una pantalla de presentación 38, que está acoplada al demodulador 27 en el lado de entrada. La disposición de ensayo 10 comprende un generador de reloj 39. El generador de reloj 39 está acoplado a una entrada de reloj del procesador de señal 11, a una entrada de reloj del convertidor 13 de digital a analógico, así como a una entrada de reloj del convertidor AD 21.

- 50 La disposición de ensayo 10 comprende una disposición 18 de convertidor de analógico digital, de manera abreviada una disposición de convertidor AD. La disposición 18 de convertidor AD comprende el convertidor AD 21 así como una parte de la disposición de filtro 22. La disposición 18 de convertidor AD tiene el filtro de paso bajo 23, la unidad de eliminación 24, el filtro de paso de banda 25, y la otra unidad de eliminación 26. El procesador de señal 11 comprende otra parte de la disposición de filtro 22 y el demodulador 27. El procesador de señal 11 tiene el filtro de entrada 29 y el sustractor 31.

El generador de reloj 32 proporciona una señal de reloj CLK con una frecuencia de reloj CLK. La señal de reloj CLK es enviada a la disposición 18 de convertidor AD, al convertidor 13 de digital a analógico, y al procesador de señal 11. La señal de reloj CLK sincroniza así los procesos en el procesador de señal 11, en el convertidor 13 de digital a analógico, así como en la disposición 18 de convertidor AD. El generador 12 proporciona una señal SEG de generador en forma de valores digitales. El convertidor 13 de digital a analógico genera una señal SDA de convertidor de digital a analógico a partir de la señal SEG de generador. La señal SDA del convertidor de digital a analógico es amplificada por medio del amplificador de excitación 15 y enviada como una señal de excitación SE a la bobina de excitación 14. La velocidad a la que la señal SEG del generador proporciona valores digitales al convertidor 13 de digital a analógico puede ser así como máximo igual a la frecuencia de reloj fCLK. Los valores de la señal SEG del generador producen una función sinusoidal. En este caso, los valores de la señal SEG del generador son repetidos después de un número L de valores. La señal de excitación SE tiene una frecuencia de excitación fm. Para la frecuencia de excitación fm, así se aplica $fCLK = L * fm$. L es un número entero. El procesador de señal 11 está diseñado para seleccionar y establecer un valor de la frecuencia de excitación fm a partir de una cantidad de valores preestablecidos de la frecuencia de excitación fm.

Una señal de bobina SP puede ser captada en la bobina de retención 17. La señal de bobina SP es amplificada por el amplificador de recepción 20 y enviada al convertidor AD 22 como una señal de bobina amplificada SP'. La disposición 18 de convertidor AD genera una señal de entrada SDE a partir de la señal de bobina SP o de la señal de bobina amplificada SP'. La señal de entrada es una señal digital. A este fin, el convertidor AD 21 convierte la señal de bobina amplificada SP' a una señal de salida SW del convertidor. El convertidor AD 21 explora la señal de bobina amplificada SP' a una frecuencia de exploración del convertidor fa. La frecuencia de exploración del convertidor fa es igual a la frecuencia de reloj fCLK del generador de reloj 31. La señal de bobina SP es explorada a intervalos constantes. El intervalo de tiempo entre dos momentos de exploración es $1/fa$ y es constante. La frecuencia de exploración del convertidor fa es independiente del valor de la frecuencia de excitación fm y también permanece constante durante un cambio de la frecuencia de excitación fm.

La disposición de filtro 22 genera una señal de entrada SD del demodulador a partir de la señal de salida SW del convertidor. A este fin, la señal de salida SW del convertidor es filtrada por medio del filtro de paso bajo 23 y convertida con respecto a las frecuencias de exploración por medios de la unidad de eliminación 24. La unidad de eliminación 24 implementa una conversión de una frecuencia de exploración elevada a una frecuencia de exploración baja, muestreo descendente en inglés. La señal así generada es filtrada por medio del filtro de paso de banda 25 y convertida de nuevo con respecto a la frecuencia de exploración por medio de la unidad de eliminación adicional 26. La unidad de eliminación adicional 26 también implementa una conversión de una frecuencia de exploración elevada a una frecuencia de exploración menor. La señal de entrada SDE que es proporcionada por la disposición 18 de convertidor AD tiene así una frecuencia de exploración fa'. La frecuencia de exploración fa' de la señal de entrada SDE es menor que la frecuencia de exploración del convertidor fa. En este caso, lo que sigue es cierto: $fa = R1 * fa'$, por lo que R1 es un primer factor de reducción. El primer factor de reducción R1 es un número entero o un número racional. En este caso, $R1 > 0$. El procesador de señal 11 controla la disposición de filtro 22, en particular la unidad de eliminación 24 y el filtro de paso de banda 25, mediante líneas de control. La señal de entrada SDE refleja valores que son generados a intervalos de tiempo idénticos. El intervalo de tiempo entre dos valores de la señal de entrada SDE es $1/fa'$. El intervalo de tiempo es constante.

La señal de entrada SDE es enviada al filtro de entrada 29. El filtro de entrada 29 es implementado como un filtro de paso bajo. La frecuencia de exploración fa' de la señal de entrada SDE es seleccionada de tal modo que un primer número M de valores ocurra en un segundo número N de períodos de la señal de excitación SE. El filtro de paso bajo 29 filtra la señal de entrada SDE de manera en fase. En el lado de salida, el filtro de entrada 29 proporciona un filtro de paso bajo de señal de corto plazo SK y un filtro de paso bajo de señal de largo plazo SL, mediante un filtrado de paso bajo con una constante de tiempo corta y/o larga. El filtro de paso bajo de señal de corto plazo SK y el filtro de paso bajo de señal de largo plazo SL son enviados al sustractor 31. El sustractor 31 proporciona, en el lado de salida, una señal de entrada SD del demodulador, que es una función de una diferencia entre el filtro de paso bajo de señal de corto plazo SK y el filtro de paso bajo de señal de largo plazo SL. La señal de entrada SD del demodulador es alimentada al demodulador 27.

El procesador de señal 11 proporciona dos señales DS, DS' de demodulador en forma de valores de seno o de valores de coseno al primer y segundo multiplicadores 32, 33 a través de las entradas 28, 28' del demodulador. La provisión de los valores de seno y coseno por el procesador de señal 11 es hecha con la frecuencia de exploración fa' de la señal de entrada SDE. En este caso, el valor de seno y el valor de coseno, que son enviados al primer y segundo multiplicadores 33, 34, forman una oscilación de seno o una oscilación de coseno con la frecuencia de excitación fm. El trazado de los valores de seno de la señal DS del demodulador, que son enviados al primer multiplicador 32, corresponde así a la respuesta de fase de la señal de generador SEG proporcionada por el generador 12. La frecuencia de demodulación de la señal DS, DS' del demodulador es así la frecuencia de excitación fm. El primer multiplicador 32 multiplica la señal DS del demodulador en forma de valores de seno con la señal SD de entrada del demodulador. Sin embargo, el segundo multiplicador 33 multiplica la otra señal DS' del demodulador en forma de valores de coseno con la señal SD de entrada del demodulador. La primera señal S1 de salida del demodulador proporcionada por el primer multiplicador 32 y la segunda señal S2 de salida del demodulador proporcionada por el segundo multiplicador 33 son filtradas por medio del filtro demodulador 34 y de la unidad 35 de eliminación de demodulador y reducidas con relación a la frecuencia de exploración y proporcionadas como una primera y segunda señales buscadas SN1, SN2 a una primera y segunda

salidas de señal buscadas 36, 37 del demodulador 27. La primera señal buscada SN1 refleja la parte imaginaria, y la segunda señal buscada SN2 refleja la parte real de la señal buscada.

La primera y segunda señales buscadas SN1, SN2 están representadas como puntos en la pantalla de presentación 38. En este caso, una coordenada X del punto corresponde a la primera señal buscada SN1, y una coordenada Y del punto corresponde a la segunda señal buscada SN2. Si el dispositivo a ensayar 16 tiene un fallo, los valores que ocurren uno después de otro en tiempo de la primera y segunda señales buscadas SN1, SN2 forman un bucle sobre la pantalla de presentación 38. Si el dispositivo a ensayar 16, sin embargo, no tiene ningún fallo en el área de la bobina del transceptor 14, 17, la primera y segunda señal buscadas SN1, SN2 generarán puntos próximos a un origen de coordenadas sobre la pantalla de presentación 38. El procesador de señal 11 implementa el filtro de entrada 29, el sustractor 31, así como el demodulador 27 por medio de un método implementado por software. El procesador de señal 11 realiza el método para tratar la señal de entrada SDE en línea. El filtro de paso bajo 23, el filtro de paso de banda 25, y el filtro demodulador 34 están diseñados como filtros de respuesta de impulso finito, filtros FIR de forma abreviada. El filtro de entrada 29 es implementado como un filtro de respuesta de impulso infinito, filtro IIR de forma abreviada.

En una realización alternativa de la disposición de filtro 22 que no está mostrada, el filtro de paso bajo 23 y la unidad de eliminación 24 están integrados como una unidad.

En una realización alternativa de la disposición de filtro 22 que no está mostrada, el filtro de paso de banda 25 y la otra unidad de eliminación 26 están combinados en una unidad.

En una realización alternativa, no mostrada, un divisor de frecuencia está dispuesto entre el generador de reloj 39 y el convertidor AD 21, que divide la frecuencia de reloj fCLK con un factor total L1 así, lo que sigue es cierto: $fCLK = fa * L1$.

En una realización alternativa, no mostrada, la disposición de filtro 22 está dividida en la disposición 18 de convertidor AD y el procesador de señal 11 de un modo diferente.

En una realización alternativa, no mostrada, la disposición de ensayo 10 comprende un componente del filtro, que comprende al menos una parte de la disposición de filtro 22. El componente de filtro puede implementar, por ejemplo, el filtro de entrada 29.

En una realización alternativa, no mostrada, la disposición de ensayo 10 comprende un filtro anti-solapamiento, que está dispuesto entre la bobina de recepción 17 y la entrada del convertidor AD 22. El filtro anti-solapamiento es incrementado como un filtro de paso bajo de recepción. El filtro puede ser denominada como un filtro contra interferencia-exploración.

La figura 1B muestra una realización ejemplar del filtro de entrada 29, como puede ser implementado en la disposición de ensayo 10 de acuerdo a la figura 1A. El filtro de entrada 29 comprende el primer número M de disposiciones de filtro de paso bajo 40, 41, 42. Una primera disposición 40 de filtro de paso bajo comprende un primer filtro 43 de paso bajo de corto plazo y un primer filtro 44 de paso bajo de largo plazo. Una segunda disposición 41 de filtro de paso bajo comprende de manera correspondiente un segundo filtro de paso bajo de corto plazo y un segundo filtro 45, 46 de paso bajo de largo plazo. Además, el filtro de entrada 29 comprende filtros de paso bajo de corto plazo y de largo plazo adicionales. Finalmente, una disposición 42 de filtro de paso bajo $eM^{ésima}$ comprende un filtro de paso bajo 47 $eM^{ésimo}$ de corto plazo y un filtro de paso bajo 48 $eM^{ésimo}$ de largo plazo. Además, el filtro de entrada 29 comprende un conmutador de entrada 49 así como conmutador de salida 50 y otro conmutador de salida 51. El conmutador de entrada 49 acopla la entrada 30 de filtro del filtro de entrada 29 alternativamente a la entrada de la primera, segunda, hasta la $eM^{ésima}$ disposición de filtro de paso bajo 40, 41, 42. La entrada de la primera disposición 40 de filtro de paso bajo está conectada a la entrada del primer filtro de paso bajo 43 de corto plazo y a la entrada del primer filtro de paso bajo 44 de largo plazo. Lo equivalente se aplica para desde la segunda a la $eM^{ésima}$ disposición de filtro de paso bajo 41, 42.

El procesador de señal 11 controla el conmutador de entrada 49 con una señal de control SC de tal modo que el primer valor del primer número M de valores de la señal de entrada SDE de la primera disposición 40 de filtro de paso bajo es enviado al segundo valor de la segunda disposición 41 de filtro de paso bajo así como el valor $eM^{ésimo}$ de la $eM^{ésima}$ disposición 42 de filtro de paso bajo. Lo mismo se repite con los siguientes valores M de la señal de entrada SDE, es decir en los siguientes períodos de la señal de excitación SE. Los filtros de paso bajo 43, 45, 47 de corto plazo filtran el valor respectivo de la señal de entrada con una constante de corto plazo comparada con una constante de tiempo del filtro de paso bajo 44, 46, 48 de largo plazo. Los filtros de paso bajo 43, 45, 47 de corto plazo reenvían un primer número Z1 de los períodos de la señal de excitación SE. Sin embargo, los filtros de paso bajo 44, 46, 48 de largo plazo reenvían un segundo número Z2 de períodos de la señal de excitación SE. En este caso, lo siguiente es cierto: $Z1 < Z2$.

El conmutador de salida 50 conmuta alternativamente una salida del primer filtro de paso bajo de corto plazo 43, una salida del segundo filtro de paso bajo 45 de corto plazo, y una salida del $eM^{ésimo}$ filtro de paso bajo 47 de corto plazo a la primera entrada del sustractor 31. De manera síncrona, el conmutador adicional de salida 51 conmuta alternativamente una salida del primer filtro de paso bajo 44 de largo plazo, una salida del segundo filtro de paso bajo 46 de largo plazo, y una salida del $eM^{ésimo}$ filtro de paso bajo 48 de largo plazo a la segunda entrada del sustractor 31. A la salida del sustractor 31 la diferencia entre el filtro de paso bajo de señal de corto plazo SK y el filtro de paso bajo de señal de largo plazo SL, de la primera disposición 40 de filtro de paso bajo esta así presente como la señal de entrada SD del demodulador, y entonces la diferencia entre las dos señales de salida de la segunda disposición 41 de filtro de paso bajo hasta la diferencia entre las dos señales de salida de la $eM^{ésima}$ disposición 42 de filtro de paso bajo están disponibles.

El filtro de entrada 29 implementa así un filtrado de paso bajo en fases separadas del primer número M de valores de la señal de entrada SDE. Mediante la sustracción por medio del sustractor 31, el componente par en cada uno del primer número M de valores de la señal de entrada SDE es minimizado, y solamente el componente alternativo es alimentado al demodulador 27. Ventajosamente, se consigue una supresión de ruido muy elevada por medio del filtro de entrada 29 por el filtrado de paso bajo en fase del primer número M de valores de la señal de entrada SDE.

En una realización alternativa, el filtro de entrada 29 es implementado como un filtro FIR.

El filtro de entrada 29 puede opcionalmente también estar diseñado para una reducción de la frecuencia de exploración. Los filtros de paso bajo de corto plazo y de largo plazo 43 a 48 pueden producir una reducción de la frecuencia de exploración.

La fig. 1C ilustra una representación gráfica de la demodulación armónica, cuando es implementada por medio del filtro de entrada 29. La señal de entrada SDE que es proporcionada por la disposición 18 de convertidor AD está mostrada aquí en magnitud y fase. A modo de ejemplo, a este respecto, se han mostrado las relaciones para un primer número M = 3 y un segundo número N = 1. Aunque la señal de excitación SE discurre a través del segundo número N = 1 período, la disposición 18 de convertidor AD proporciona el primer número M = 3 valores de la señal de entrada SDE. En este caso, el primer valor del primer número M de valores es enviado tanto al primer filtro de paso bajo de corto plazo 43 como también al primer filtro de paso bajo de largo plazo 44. Por consiguiente, el segundo y tercer valores del primer número M de valores son enviados a los segundos filtros de paso bajo de corto plazo y/o de largo plazo 45, 46 de la segunda disposición 41 de filtro de paso bajo o al eM^{ésimo} filtro de paso bajo de corto plazo 47 y al eM^{ésimo} filtro de paso bajo de largo plazo 48 de la eM^{ésima} disposición 42 de filtro de paso bajo. Un filtro de paso bajo de señal de corto plazo SK en el ejemplo en la salida del primer filtro de paso bajo de corto plazo 43 puede ser calculado de tal modo que:

$$SK = SK' + SDE - \frac{SK'}{2^M},$$

por lo que SK es el valor actual del filtro de paso bajo de señal de corto plazo, SK' es el valor previo del filtro de paso bajo de señal de corto plazo, SDE es el valor actual de la señal de entrada, y M es el primer número.

La frecuencia de exploración fa' de la señal de entrada SDE tiene una relación racional a la frecuencia de excitación fm. La relación racional puede ser calculada de acuerdo con la siguiente ecuación:

$$fa' = \frac{M}{N} \cdot fm$$

A modo de ejemplo, la fig. 1C representa valores adicionales para la relación racional entre la frecuencia de exploración fa' y la frecuencia de excitación fm.

Una demodulación digital convencional puede ser realizada utilizando las siguientes ecuaciones:

$$S1' = \frac{1}{n} \sum_n [SDE \cdot \text{sen}(\omega t)] \quad \text{y} \quad S2' = \frac{1}{n} \sum_n [SDE \cdot \text{cos}(\omega t)] \quad \text{con } \omega = 2\pi \cdot fm$$

Principalmente, sin embargo, el componente alternativo de las dos señales S1' y S2' es ventajoso. La primera señal S1, que reproduce los componentes alternativos, puede ser calculada con las siguientes ecuaciones:

$$S1' = \frac{1}{n1} \sum_{n1} [SDE \cdot \text{sen}(\omega t)] - \frac{1}{n2} \sum_{n2} [SDE \cdot \text{sen}(\omega t)] \quad \text{con } \omega = 2\pi \cdot fm$$

En este caso, lo siguiente es cierto: n2 > n1. Para la primera señal de salida S1 del demodulador que es digitalizada con la frecuencia de exploración fa', se produce lo siguiente:

$$S1 = \frac{1}{n1} \cdot \left[\sum_{i=0}^{n1} \left(SDE_i \cdot \text{sen} \frac{2 \cdot \pi \cdot fm \cdot i}{fa} \right) \right] - \frac{1}{n2} \cdot \left[\sum_{i=0}^{n2} \left(SDE_i \cdot \text{sen} \frac{2 \cdot \pi \cdot fm \cdot i}{fa} \right) \right]$$

Como la frecuencia de exploración fa', también llamada frecuencia de muestra, para frecuencia de demodulación, que es idéntica a la frecuencia de excitación fm, está en una relación armónica, el primer número M de ángulos es producido durante el segundo número N de periodos de la señal de excitación SE. Lo siguiente se produce con fa' * N = fm * M:

$$S1 = \frac{1}{n1} \cdot \left[\sum_{i=0}^{n1} \left(SDE_i \cdot \text{sen} \frac{2 \cdot \pi \cdot N \cdot i}{M} \right) \right] - \frac{1}{n2} \cdot \left[\sum_{i=0}^{n2} \left(SDE_i \cdot \text{sen} \frac{2 \cdot \pi \cdot N \cdot i}{M} \right) \right]$$

Cuando se ha hecho la adición sobre periodos completos de la señal de excitación SE, los factores de ángulo pueden ser escritos antes de la diferencia :

$$S1 = \sum_{n=1}^N \left[\text{sen}\left(\frac{2 \cdot \pi}{n}\right) \cdot \left(\sum_{z=0}^{Z1} SDE_{z,n} - \sum_{z=0}^{Z2} SDE_{z,n} \right) \right],$$

$$\left(\sum_{z=0}^{Z1} SDE_{z,n} - \sum_{z=0}^{Z2} SDE_{z,n} \right) := \Delta_n$$

5 En este caso, Z1 es un primer número de periodos y Z2 es un segundo número de periodos de la señal de excitación SE, sobre los que se ha hecho un promedio. Δ_n es el componente alternativo. De forma correspondiente, la segunda señal S2 es calculada utilizando la función coseno en lugar de la función seno.

La disposición 18 de convertidor AD realiza la conversión de analógico a digital, por ejemplo con una resolución de 24 bits. Las disposiciones del filtro de paso bajo 40, 41, 42 en el filtro de entrada 29 tienen, por ejemplo, una exactitud de 32 o 40 bits. El sustractor 31 está diseñado para escalar la señal de entrada SD del demodulador a, por ejemplo, 16 bits. Para tratar la componente alternativa Δ_n en el demodulador 27, es adecuada una exactitud de cálculo de, por ejemplo, 16 bits. El demodulador 27 calcula las partes real e imaginaria de la primera y segunda señales S1, S2, e implementa un filtrado posterior de las partes real e imaginaria para generar las señales buscadas SN1, SN2.

15 A causa de la relación racional M/N entre la frecuencia de exploración f_a' y la frecuencia de excitación f_m , la frecuencia de exploración f_a' puede ser hecha coincidir ventajosamente con la frecuencia de excitación f_m . La frecuencia de excitación f_m puede ser convertida entre valores preestablecidos durante la operación. La relación racional M/N es establecida como una función del valor de la frecuencia de excitación f_m . La relación racional M/N es reducida con un valor creciente de la frecuencia de excitación f_m . La relación racional M/N es establecida de tal modo que la frecuencia de exploración f_a' es menor que una frecuencia de exploración máxima que puede ser tratada por el procesador de señal 11. En este caso, la relación racional M/N es establecida de tal modo que el intervalo entre la frecuencia de exploración f_a' y la frecuencia de exploración máxima que puede ser tratada por el procesador de señal 11 es tan pequeña como sea posible.

25 Ventajosamente, una tabla 62 en el procesador de señal 11, que contiene el primer número M de valores de seno y valores de coseno, es adecuada para el almacenamiento de las señales DS, DS' de demodulador a una frecuencia de excitación f_m . También, para varios valores preestablecidos de la frecuencia de excitación f_m , el requisito de almacenamiento para la tabla 62 en el procesador de señal 11 es bajo. La disposición de ensayo 10 implementa una demodulación armónica. La demodulación armónica con formación de valor medio deslizando hace posible que un procesador de señal 11 que está diseñado para velocidades de tratamiento bajas sea adecuado para el tratamiento de la señal. En el procesador de señal 11, solamente se realizan multiplicaciones con valores de la tabla de seno/coseno y operaciones de cálculo simples.

35 La fig. 2 muestra otra realización ejemplar de la disposición de ensayo 10, que es otro desarrollo de la disposición de ensayo mostrado en la fig. 1A. La disposición de ensayo 10 comprende un filtro de paso bajo 70 de excitación, que está dispuesto entre el convertidor 13 de digital a analógico y el amplificador 15. La señal de excitación SE está diseñada como una corriente que fluye a través de la bobina 14 a una conexión 71 de potencial de referencia. La bobina receptora 17 está dispuesta entre la conexión 71 de potencial de referencia y la entrada del amplificador de recepción 20. Otra bobina receptora 72 de la disposición de ensayo 10 está dispuesta en una serie para la bobina receptora 17. La bobina receptora 17 así como las bobinas receptoras adicionales 72 forman así una disposición de bobina diferencial. Una conexión en serie, que comprende la bobina receptora 17 y la bobina receptora adicional 72, acopla una entrada del amplificador de recepción 20 a la conexión 71 de potencial de referencia. La disposición de ensayo 10 implementa así un método de ensayo de canal diferencial. El amplificador de recepción 20 asegura así una amplificación previa. Un filtro 19 anti-solapamiento de la disposición de ensayo 10 acopla el amplificador receptor 20 al convertidor AD 21. El filtro anti-solapamiento 19 es implementado como un filtro de paso bajo de recepción. La señal SP' de bobina amplificada es así generada a partir de la señal de bobina SP mediante amplificación por medio del amplificador de recepción 20 y mediante filtrado por medio del filtro anti-solapamiento 19.

45 La disposición de filtro 22 comprende un sistema 29' de tratamiento de señal. El sistema 29' de tratamiento de señal está dispuesto en la posición del filtro de entrada 29 que está representado en la fig. 1A. El sistema 29' de tratamiento de señal acopla el filtro de paso de banda 25 al demodulador 27. El sistema 29' de tratamiento de señal tiene un sistema de conversión 29". El sistema de conversión 29" está diseñado para proporcionar solamente un valor como la señal de entrada SD del demodulador a la reducción de frecuencia de exploración de un primer número P de valores de la señal de entrada SDE. En este caso, el primer número P es un número entero y es mayor o igual a 1. En una realización, el primer número P es mayor que 1. El sistema 29' de tratamiento de señal realiza esto a valores altos y medios de la frecuencia de excitación f_m .

El sistema 29' de tratamiento de señal es ajustable. Si la frecuencia de excitación f_m tiene un valor bajo, el sistema 29' de tratamiento de señal activa un filtro de paso bajo de señal 29". El procesador de señal 11 realiza así diferentes

operaciones del método para tratamiento de señal de la señal de entrada SDE dependiendo del valor de la frecuencia de excitación fm. Aunque a valores altos y medios de la frecuencia de excitación fm de P valores, solo un valor de la señal de entrada SDE es hecho pasar, a valores bajos de la frecuencia de excitación fm, la señal de entrada SDE es filtrada de paso bajo con una característica FIR 29". El sistema de tratamiento de señal comprende así el sistema de conversión 29" para frecuencias de excitación fm altas y medias y el filtro de paso bajo de señal 29" para frecuencias de excitación bajas fm.

La disposición de filtro 22 tiene un filtro de paso bajo adicional 52, que está aguas abajo del filtro de paso bajo 23. Además, la disposición de filtro 22 tiene un filtro de paso bajo de salida 53 así como un dispositivo de conmutación 54. El dispositivo de conmutación 54 conmuta o bien el filtro de paso de banda 25 o el filtro de paso bajo de salida 53 entre el filtro de paso bajo adicional 52 y el sistema de tratamiento de señal 29'. El filtro de paso de banda 25 asegura la limitación de la banda de señal antes de la demodulación.

El filtro demodulador 34 comprende dos escaleras de filtro 55, 56 que están separadas entre sí. Una primera escalera de filtro 55 acopla la salida del primer multiplicador 32 a la primera salida de señal buscada 36 del demodulador 27. Sin embargo, una segunda escalera de filtro 56 acopla la salida del segundo multiplicador 33 a la segunda salida de señal buscada 37 del demodulador 27. La primera y segunda escaleras de filtro 55, 56 son implementadas de manera idéntica. El sistema de tratamiento de señal 29' tiene una exactitud de 32 bits. El demodulador 27 está diseñado para una exactitud de 32 bits. La longitud de palabra en el demodulador 27 es de 32 bits. La tabla de senos que es utilizada en el demodulador 27 es de 16 bits de largo. La primera escalera de filtro 55 tiene un filtro 57 de rechazo de banda. El filtro 57 de rechazo de banda está aguas abajo del primer multiplicador 33. Un filtro de paso alto 58, un filtro de paso bajo 59, otro filtro de paso alto 60, así como otro filtro de paso bajo 61 están aguas abajo del filtro 57 de rechazo de banda. El filtro 57 de rechazo de banda y el filtro de paso bajo 59 están implementados como filtros FIR. Los filtros de paso alto 58, 60 así como el filtro de paso bajo adicional 61 están implementados como filtros IIR. La primera señal buscada SN1 indica la parte imaginaria, y la segunda señal buscada SN2 indica la parte real de la señal buscada.

El método de demodulación es incrementado de una manera puramente digital. El lugar de la digitalización es ventajosamente hecho el punto focal tanto como sea posible al comienzo de la escalera de tratamiento de señal. Esto da como resultado ahorros de circuitos analógicos caros. Directamente después de la pre-amplificación de la señal de bobina SP y después del filtro anti-solapamiento 19, la conversión de analógico a digital tiene lugar en el convertidor AD 21. El filtro anti-solapamiento 19 puede también ser denominado como un filtro de paso bajo de recepción. Los parámetros del filtro anti-solapamiento 19 son establecidos rigidamente. Como la frecuencia de exploración de conversión fa es constante, la frecuencia limitadora del filtro de paso bajo de recepción 19 puede ser constante y tampoco se cambia en una alteración de la frecuencia de excitación fm. El convertidor AD 21 puede ser implementado como un convertidor sigma-delta. En una realización ejemplar, la disposición 18 de convertidor AD es implementada por medio del componente AD7760 de Analog Devices. Con la disposición 18 de convertidor AD, la cuantificación así como hasta tres etapas de filtro FIR 23, 52, 25 ó 23, 52, 53 que están conectadas una detrás de otra son implementados para limitación de banda y reducción de frecuencia de exploración. Las etapas de filtro son ajustables. El filtro de paso de banda 25 o el filtro de paso bajo de salida 53 son programables libremente por descargas de 96 coeficientes como máximo.

El procesador de señal 11 realiza la demodulación compleja seno/coseno y el tratamiento de señal adicional. La señal de entrada digital SDE es de valor real y requiere solo un trayecto de señal. El coste del circuito analógico es reducido a la mitad comparado con una señal de entrada digital de valor real y de valor imaginario. Ventajosamente, debido a los pocos componentes necesarios, se ha hecho posible un ahorro en costes y una estructura muy compacta. Además, antecedentes digitales en comparación a circuitos analógicos tienen una mayor exactitud y están sujetos a menores fluctuaciones.

El filtro de paso de banda 25 puede tener, por ejemplo, los siguientes valores: frecuencia de exploración de convertidor fa = 5000 kHz, frecuencias de paso de banda de 980 kHz a 1020 kHz, frecuencias de detención de banda de 750 kHz a 1250kHz, fluctuación de paso de banda 0,1 (-dB), fluctuación de detención de banda 120 (-dB), longitud de filtro 96, cálculo de coma flotante de 32 bits, diseño FIR (rizado constante "equiripple"). Ventajosamente, la limitación de banda estrecha y la elevada atenuación en banda suprimida en el filtro de paso de banda 25 producen una ganancia dinámica por reducción de ruido y una elevada inmunidad al ruido. Superposiciones de señales de interferencia de banda exteriores por plegado o doblado son suprimidas ventajosamente después de la reducción de la frecuencia de exploración.

El procesador de señal 11 genera la frecuencia de excitación fm y la frecuencia de demodulación de las señales DS, DS' de demodulación a partir de la señal de reloj CLK. La frecuencia de excitación fm, la frecuencia de demodulación de las señales DS, DS' de demodulación y la frecuencia de exploración fa del convertidor AD 21 son sincronas entre si y son establecidas exactamente. La frecuencia de demodulación es la frecuencia con la que los valores de seno y coseno son proporcionados al demodulador 27. Así, ventajosamente, no ocurren batidos. También, la señal de reloj CLK, la señal de excitación SE, así como una señal de disparo del convertidor AD 21, que tiene la frecuencia de exploración fa del convertidor, son sincronas entre sí. La señal de excitación SE tiene un desfase. Con el desfase, el tiempo de recorrido en la disposición 22 de filtro es compensado, de modo que no hay rotación de fase presente entre la señal de entrada SD del demodulador y la señal DS, DS' del demodulador.

Para generar la señal de excitación SE con la frecuencia de excitación fm, el método de síntesis digital directo, método DDS en abreviatura, es utilizado con una tabla de seno y un acumulador de fase. En una tabla con 2^{M1} entradas de SenTab y un acumulador de fase con ancho de palabra de N1 bits, los valores de seno con la frecuencia de reloj fCLK son emitidos de acuerdo con las siguientes ecuaciones:

5
$$\text{sen}\left(2\pi \cdot \frac{fm}{fCLK} \cdot i\right) = \text{SenTab}[a_i \cdot 2^{-(N1-M1)}]$$

$$\text{SenTab}[i] = \text{sen}\left(\frac{2\pi}{2^{M1}} \cdot i\right) \text{ con } i = 0, 1, \dots, 2^{M1}-1$$

$$a_i = (i \cdot n) \bmod 2^{N1}$$

$$a_0 = 0$$

$$a_{i+1} = (a_i + n) \bmod 2^{N1} \text{ con } i=0, 1, \dots, N1 \text{ y } N1 \geq M1,$$

10
$$n = \frac{fm}{fCLK} \cdot 2^{N1}$$

En este caso, n es el incremento de fase. La longitud de la tabla de seno no tiene ningún efecto sobre la exactitud de la frecuencia, que por sí misma es fijada por la anchura N1 de palabra del acumulador y es $fCLK/2^{N1}$. Si n es un múltiplo completo de 2^{N1-M1} , los valores de la tabla de salida corresponden exactamente a los tiempos de exploración de la función de seno deseada. Como una desviación, debido a las etapas discretas de amplitud, se producen un ruido de cuantificación con las desviaciones estándar s para valores de tabla redondeados y una relación de señal a ruido SNR de acuerdo con la siguiente ecuación:

15
$$s = \frac{2^{-b}}{\sqrt{12}} \text{ y } SNR = 20 \cdot \log\left(\sqrt{\frac{3}{2}} \cdot 2^b\right) = 6 \cdot b + 1,8[\text{dB}]$$

por lo que la anchura b de la palabra de la tabla es en bits. En todos los demás valores de n, el corte de los índices de la tabla no enteros $[a_i \cdot 2^{-(N1-M1)}]$ da como resultado un error de fase, que produce un componente de ruido adicional en la salida en forma de un error de amplitud que es modulado con la frecuencia de excitación fm. Para pequeños errores de fase ep, se produce lo siguiente para la señal SDA de convertidor de digital a analógico del convertidor 13 de digital a analógico:

20
$$\text{sen}\left[2\pi \cdot \frac{fm}{fCLK} \cdot i + ep(i)\right] = \text{sen}\left[2\pi \cdot \frac{fm}{fCLK} \cdot i\right] + ep(i) \cdot \cos\left[2\pi \cdot \frac{fm}{fCLK} \cdot i\right],$$

Debido a la periodicidad de la desviación, la señal de error en este caso tiene el espectro de línea discreto. Como una estimación de la distancia entre las alturas máximas de todas las líneas espectrales posibles del error de fase y de la amplitud del seno, lo siguiente sigue siendo cierto para cualquier n en una buena aproximación del rango dinámico SFDR libre de valores falsos:

$$\text{SFDR} = 6 \cdot M1 - 4[\text{dB}]$$

Otro caso especial con proporciones espectrales discretas es obtenido cuando la frecuencia de excitación fm de la señal de excitación sinusoidal SE es un subarmónico de la frecuencia de reloj fCLK, es decir, fCLK es un múltiplo completo de fm. Entonces, la energía del error de cuantificación es dividida en unas pocas líneas espectrales de los armónicos de la frecuencia de excitación fm con amplitudes considerablemente mayores que el valor teórico para el ruido dispersado igualmente. Para evitar una posterior interferencia de intermodulación, las proporciones de frecuencia discreta adicionales deberían ser tan pequeñas como sea posible.

Para un convertidor 13 de digital a analógico de 14 bits, es adecuada una tabla de 16k con 2^{14} entradas con longitud de palabra de 14 bits. El ruido de amplitud-cuantificación es entonces de -86 dB y con la presencia de ruido de fase, la línea espectral máxima de la señal de error es como máximo de -80 dB con relación a la amplitud del seno. Así, solamente se requiere un solo filtro de paso bajo de excitación 70 analógico rígido como un filtro de paso bajo de reconstrucción; se utiliza una frecuencia de reloj rígida fCLK. Para asegurar el sincronismo y para reducir el coste del circuito para el filtro de paso bajo de excitación 70, el reloj de 20 MHz del convertidor AD 21 es también utilizado como una señal de reloj CLK con la frecuencia de reloj fCLK. Con una frecuencia máxima de excitación de fm = 1 MHz y una atenuación en banda suprimida de 60 dB en la mitad de la frecuencia de reloj fCLK/2, un filtro de paso bajo de excitación 70 de grado 3 con una pendiente de 18 dB/octava es adecuado. Por la elevada frecuencia de exploración del convertidor 13 de digital a analógico, además se consigue también una desviación máxima de amplitud baja debido a la función de paso y a la ponderación G de acuerdo con la siguiente ecuación:

$$G = \text{sen}\left(\frac{\pi \cdot fm}{fCLK}\right) / \left(\frac{\pi \cdot fm}{fCLK}\right)$$

La desviación es -0,04 dB para la relación $fCLK/fm=20$. Teniendo en consideración los requerimientos y criterios descritos cuando se selecciona una graduación geométrica decimal con un factor de $Q = 10^{1/k}$, el resultado de 1, 1,3, 1,6, 2, 2,5, 3,2, 4, 5, 6,3, 8, 10, que representa una tercera graduación, y así una tabla con un total de 41 frecuencias de excitación fm en el rango requerido de 100 Hz a 1 MHz, es producida para $k = 10$ valores por década. En este caso, la frecuencia de excitación fm y la frecuencia de demodulación son exactamente idénticas. Ventajosamente, el coste para las tablas y filtros es bajo. Para las frecuencias individuales en cada caso se utilizan los valores que se encuentran más próximos a los valores numéricos exactos Q^{-1} . Así, la resolución necesaria es también conseguida a las frecuencias bajas; el acumulador de fase en el generador 12 tiene una anchura de palabra de 32 bits. Aunque no ocurra error de fase en el rango de frecuencia superior de la frecuencia de excitación fm de 1 MHz a 16 kHz, a las frecuencias bajas, se reduce por debajo de 4 kHz de la relación total de señal a ruido a aproximadamente 67 dB como resultado del ruido de fase. En la demodulación, debido a la limitación de banda estrecha, una interferencia de frecuencia más alta es la más fuertemente suprimida cuanto más baja es la frecuencia de excitación fm . A las frecuencias de 312 kHz, 20 kHz, 10 kHz y 5 kHz con relación entera de fa'/fm , las líneas espectrales de los armónicos están bajo un nivel de -100 dB debido a la sobre-exploración elevada. En una relación entera de fa'/fm , la frecuencia de reloj $fCLK$ es un múltiplo completo de la frecuencia de excitación fm .

Como resultado de la tensión de error de la bobina, la demodulación produce también un componente de frecuencia en la doble frecuencia de demodulación fm' además del componente par, y dicha frecuencia de demodulación fm' es suprimida por el filtro de rechazo de banda FIR 57, 57' de fase lineal de grado 3 sólo con cuatro coeficientes. Una precisión de 16 bits para los coeficientes es ventajosamente adecuada.

También, en la demodulación, se han utilizado valores de tabla de seno/coseno de 16 bits, ya que el componente espectral adicional así generado está por debajo de -120 dB a la frecuencia básica. El uso de la tabla 62 es más rápido que un cálculo de los valores de seno y coseno. En una Tabla 62 más larga, es posible un ajuste más fino de la frecuencia de demodulación, por ejemplo 800 kHz con 69/256. Con el subsiguiente filtro de paso alto 58, 58' recurrente de grado 1, el componente par que se produce por la tensión de error de la bobina es suprimido. El filtro 57, 57' de rechazo de banda está situado antes que el filtro de paso alto 58, 58', ya que de otro modo, debido a la elevada amplitud del armónico básico de frecuencia, solamente se producirían como resultado respuestas de paso atenuado lentas. El filtro de paso alto 58, 58' es ventajosamente implementado como un filtro IIR ya que su frecuencia limitativa y así el tiempo de respuesta transitorio pueden ser conmutados muy simplemente. Para la supresión de la tensión de error, se utiliza una frecuencia limitativa de 0,01 Hz. Esto corresponde a una velocidad de ensayo mínima de aproximadamente 1,5 cm/minuto con una anchura activa de bobina de 3 mm. A la frecuencia de exploración de $fa = 833$ kHz, esta baja frecuencia de limitación puede ser producida solamente con una exactitud de coeficiente de aproximadamente 32 bits. Con coeficientes de 16 bits, solamente es posible una frecuencia limitativa mayor de 10 a 20 Hz. El tiempo de respuesta transitorio es de aproximadamente 36 s. Para un ajuste rápido, llamado equilibrio rápido, los coeficientes son conmutados de modo que el filtro de paso alto 58, 58' tiene una frecuencia limitativa de 10 kHz y un tiempo de respuesta transitorio de 37 μ s. El filtro de paso alto IIR 58, 58' de grado 1 hace posible una supresión de tensión de error con un ajuste rápido. El tipo de filtro IIR permite una sobre conmutación de coeficiente con el comportamiento de respuesta transitorio más corto, ya que está presente un sistema de fase mínimo. Basado en el grado 1, el coste de cálculo es bajo.

El filtro de rechazo de banda 57, 57' está diseñado para supresión de una componente de señal a la doble frecuencia de demodulación. La tensión de error puede ser suprimida por el filtro de paso alto IIR 58, 58'.

Aunque hasta este punto del tratamiento de señal, se requiere una aritmética de 32 bits en el procesador de señal 11 para todas las operaciones numéricas, la exactitud de los valores de señal puede ser reducida desde 32 bits a 16 bits después de la separación del componente par para el tratamiento de señal de baja frecuencia adicional. Como todas las operaciones de 32 bits son realizadas con la frecuencia de exploración reducida fa' de como máximo 833 kHz, también se sigue consecuentemente un requisito de tiempo de cálculo relativamente bajo para este método.

Para una supresión adicional de interferencia y componentes de doblado residuales, la señal buscada de baja frecuencia es limitada por un filtro de paso bajo FIR 59, 59' de una sola etapa o de múltiples etapas con un factor de reducción total $R' \geq 1$ al ancho de banda máximo $fMAX$ que se puede preestablecer a una sobre-exploración $fa'' = (20..100) fMAX$. A un valor mínimo de $20 * fMAX$, se asegura justo aproximadamente que no se exceden errores de amplitud de un 1,5% como máximo para el análisis y producción de señal. Si es posible debido a la velocidad del ensayo, se ha hecho un intento de conseguir la frecuencia de exploración de $100 * fMAX$. Ventajosamente, se consigue así una secuencia más compacta de los puntos de exploración para la representación gráfica. El mayor error de amplitud posible es entonces menor que un 0,1%. Una sobre-exploración incluso más elevada no ofrece ninguna ventaja y, debido a la redundancia, da como resultado un incremento innecesario en la producción de datos y en el requisito de almacenamiento. Como usualmente el dispositivo a ensayar 16 es movido más allá de la bobina de recepción 17, el procesador de señal 11 ha de analizar los datos de la señal de entrada SDE en línea para hacer posible una localización del error en el dispositivo a ensayar 16. Para el ejemplo de la frecuencia de excitación $fm = 1$ MHz, el filtro de paso bajo FIR 59, 59' con 23 coeficientes y una limitación de banda a 15 kHz sigue como un filtro posterior. A este respecto, la frecuencia de exploración es reducida a 208 kHz. Además de una supresión efectiva de las señales de interferencia opcionales y la retirada de componentes de

frecuencia intermedios residuales, el filtro de paso bajo 59, 59' es utilizado además para corregir la amortiguación del filtro de rechazo de banda 57, 57' de grado 3 en el rango de paso de banda.

Una amortiguación muy elevada del componente de frecuencia en la doble frecuencia de demodulación es generada por el punto cero del filtro de rechazo de banda FIR 57, 57' y el filtrado posterior en el siguiente filtro de paso bajo de reducción 59, 59'. Los filtros FIR pueden ser utilizados muy eficientemente para la reducción de la frecuencia de exploración. Debido a la respuesta de impulso finito, es posible el cálculo a la frecuencia de exploración f_a' o a la frecuencia de exploración reducida f_a'' . Los filtros FIR tienen una fase lineal, de modo que se evitan las distorsiones, y se mantiene la forma de la señal de tiempo. Mediante el filtrado de banda estrecha, la banda de señal buscada puede encontrarse más cerca de la frecuencia de excitación f_m , específicamente, por ejemplo, hasta un factor de 3 por debajo de la frecuencia de excitación f_m (y así ya no ha de ser al menos menor de 1/10 de la frecuencia de excitación f_m). El filtrado de banda estrecha produce una elevada inmunidad al ruido y una reducción de ruido.

El número de operaciones de cálculo con relación a la frecuencia de exploración de entrada de 833 kHz es de 5,75 multiplicaciones de 16 bits y 5,75 sumas. En total, se requieren aproximadamente hasta 76 operaciones en 1 microsegundo por intervalo de exploración de entrada para partes real e imaginaria. Finalmente, en cada caso, un filtro de paso alto IIR 60, 60' y un filtro de paso bajo IIR 61, 61' de grado 2 ó 4 siguen al filtro de paso bajo de reducción 59. El filtro de paso alto IIR 60, 60' y el filtro de paso bajo IIR 61, 61' son filtros recurrentes y son configurados rígidamente.

Como una alternativa, el filtro de paso alto IIR 60, 60' y el filtro de paso bajo IIR 61, 61', que son ambos filtros recurrentes, son reajustados automáticamente en función de la velocidad de ensayo. En este caso, debido al gran rango de frecuencias, pueden ser necesarios coeficientes opcionalmente con longitudes de palabra de 32 bits. Así, el filtro de paso alto IIR 60, 60' y el filtro de paso bajo IIR 61, 61' son hechos coincidir automáticamente por la disposición de ensayo 10 a la velocidad de ensayo, con lo que es examinado el dispositivo a ensayar 16. A este fin, los coeficientes de los filtros 60, 60', 61, 61' son calculados y conmutados por el procesador de señal 11. El filtro de paso alto IIR 60, 60' y el filtro de paso bajo 61, 61' producen un filtrado de la señal buscada de baja frecuencia para supresión de ruido. El filtro de paso alto IIR 58, 58' es utilizado principalmente en una disposición de bobina diferencial, como se ha mostrado en la fig. 3A. Si solamente se utiliza una bobina, en particular la bobina receptora 17 en el lado de recepción, la disposición de ensayo 10 implementa un canal absoluto. En el caso de un canal absoluto, el filtro de paso alto IIR 58, 58' de polarización es reemplazado por un sustractor, que sustrae un valor de compensación a partir de la señal. El valor de compensación para el ajuste cero es determinado y reajustado por el procesador de señal 11.

En la disposición de filtro 22, el filtro de paso bajo 23 tiene una reducción de frecuencia de exploración por un factor de 4, y el filtro de paso de banda 25 y el filtro de paso bajo de salida 53 en cada caso tienen una reducción de frecuencia de exploración por un factor de 2. Un factor de reducción de frecuencia de exploración del otro filtro de paso bajo 52 puede ser establecido. La frecuencia de reloj f_{CLK} es típicamente de 20 MHz y es utilizada tanto por la disposición 18 de convertidor AD como por el generador 12.

En una realización alternativa, se utiliza un reloj de 10 MHz como frecuencia de exploración para reducir la carga del procesador de señal 11 para la generación digital de la señal de excitación SE con la frecuencia de excitación f_m en lugar de 20 MHz. Como resultado, el incremento de fase es aumentado. Debido a la función de paso, la desviación máxima de amplitud es entonces de -0,14 dB. El filtro de excitación 70, que es utilizado como un filtro de reconstrucción, puede tener entonces un grado de 5 a 6 con una pendiente de borde de 30 a 36 dB por octava.

En una realización alternativa, el procesador de señal 11 calcula los valores de seno y coseno de la señal DS, DS' del demodulador. El cálculo puede ser hecho por aproximación en serie o por medio del método CORDIC.

La fig. 3A muestra una realización ejemplar de un detalle de la disposición de ensayo 10 como puede ser utilizado, por ejemplo, en la disposición de ensayo de acuerdo con la fig. 1A. La bobina de recepción adicional 72 de la disposición de ensayo 10 está dispuesta en serie en la bobina de recepción 17. La bobina de recepción 17 y la bobina de recepción adicional 72 forman así una disposición de bobina diferencial.

La fig. 3B muestra una realización ejemplar de otro detalle de la disposición de ensayo 10 de acuerdo con la fig. 2. La disposición de ensayo 10 tiene el filtro de paso de banda 25 y el demodulador 27, entre los cuales está previsto el sistema de tratamiento de señal 29'. Más adelante, el sistema de tratamiento de señal 29' es explicado para valores elevados de la frecuencia de excitación f_m , en que el sistema de conversión 29'' es activado. El sistema de conversión 29'' es utilizado para la reducción de la frecuencia de exploración. El sistema de conversión 29'' es implementado como un conmutador 80. Una entrada del conmutador 80 está conectada al filtro de paso de banda 25. El conmutador 80 tiene el primer número P de salidas. Finalmente, la primera salida del conmutador 80 está conectada al demodulador 27. El sistema de conversión 29'' reduce la frecuencia de exploración f_a' por el factor total de P a la frecuencia de exploración reducida f_a'' . El sistema de conversión 29'' puede por ello también ser denominado como un mezclador en sentido descendente. El sistema de conversión 29'' es implementado como un sistema de eliminación. Puede ser denominado también como un doble muestreador. El sistema de conversión 29'' es así implementado porque solo cada valor $P^{\text{ésimo}}$ es transmitido. Los valores intermedios son omitidos. El procesador de señal 11 implementa el sistema de conversión 29'' y el demodulador 27 por almacenamiento y tratamiento adicional por medio de demodulación de cada valor $P^{\text{ésimo}}$ de la señal de entrada SDE. El procesador de señal 11 recibe el valor P-1 innecesario de la señal de entrada SDE pero no demodula la última.

El sistema de tratamiento de señal 29" implementa un método de conversión utilizando el sistema de conversión 29". Ventajosamente, el método de conversión no requiere ninguna multiplicación explícita cambiando la frecuencia de exploración f_a' a la frecuencia de exploración reducida f_a'' . Las operaciones en el sistema de tratamiento de señal 29' y las operaciones subsiguientes son implementadas por el procesador de señal 11 con la frecuencia de exploración reducida f_a'' . Así, hay ahorros en el tiempo de cálculo. Un procesador de señal 11 puede ser utilizado a baja velocidad.

Ventajosamente, la conversión AD, el filtrado y la reducción de la frecuencia de exploración y la demodulación subsiguiente son llevados a cabo en cumplimiento del teorema de muestreo y las propiedades de doblado de sistemas discretos en el tiempo y con el uso de solapamiento. Una relación racional entre la frecuencia de exploración f_a' y la frecuencia de exploración f_m no es necesaria. El método puede también ser implementado sin una relación racional entre las frecuencias de exploración f_a' , f_a'' y la frecuencia de excitación f_m .

Las figs. 4A a 4D muestran una realización ejemplar de los espectros en la disposición de ensayo 10 de acuerdo con la fig. 3B. En el ejemplo, la frecuencia de excitación f_m tiene el valor de 1015 kHz. En la fig. 4A, está indicado el espectro de frecuencia de la señal de bobina SP. La fig. 4B muestra la señal de entrada SDE después de explorar con la frecuencia de exploración de convertidor f_a' y el filtrado de paso de banda por medio del filtro de paso de banda 25. La fig. 4C muestra la señal de entrada SD del demodulador de velocidad reducida que es proporcionada por el sistema de conversión 29" del sistema de tratamiento de señal 29'. La frecuencia de exploración f_a' en este caso es frecuencia de exploración reducida a la frecuencia de exploración reducida f_a'' , y la frecuencia de excitación f_m es convertida a una frecuencia de demodulación después de conversión f_m' . La frecuencia de demodulación después de conversión f_m' puede ser también denominada como una frecuencia intermedia. En la fig. 4D, la primera y segunda señales buscadas SN1, SN2 están indicadas, que son generadas por demodulación, filtrado de paso bajo, y reducción de la frecuencia de exploración adicional dentro del demodulador 27.

La señal de bobina SP es de banda estrecha y modulada en amplitud y fase. La señal de bobina tiene un ancho de banda de 15 kHz en este ejemplo. La frecuencia de exploración de la disposición 18 de convertidor AD es $f_a' = 5$ MHz. El filtro de paso de banda 25 tiene un rango de paso de banda de +/- 15 kHz y un límite de rechazo de banda de +/- 170 kHz a la limitación de banda. El sistema de conversión 29" reduce la frecuencia de exploración f_a' por un factor de 6 a $f_a'' = 833$ kHz. El factor de reducción de frecuencia de exploración es así 6. La señal de bobina SP es así convertida, es decir mezclada hacia abajo a la frecuencia intermedia f_m' de acuerdo a la siguiente ecuación:

$$f_m' = (f_m) \bmod f_a'' = \frac{7}{32} \cdot f_a'' = 182 \text{ kHz}$$

Este es el método de demodulación de módulo. Con el método de conversión de frecuencia por mezclado hacia abajo, la señal filtrada del filtro de paso de banda 25 es convertida a una frecuencia intermedia inferior. Esto es adecuado principalmente para frecuencias de excitación f_m elevadas. Para frecuencias de excitación f_m bajas, sin embargo, la señal del filtro de paso de banda 25 es demodulada directamente después del filtrado de paso bajo por medio de la señal del filtro de paso bajo 29".

Mediante reducción de la frecuencia de exploración f_a' por un factor de R a la frecuencia de exploración reducida $f_a'' = f_a'/R$, la frecuencia de excitación f_m es representada sobre la frecuencia intermedia $f_m' = (f_m) \bmod f_a''$. La demodulación puede ser llevada a cabo en la posición original o en la posición inversa de la frecuencia. Como un requisito de la posición original del espectro en f_m' , ha de ser cierto lo siguiente:

$$k \cdot f_a'' < f_m < (k + 0,5) \cdot f_a''$$

K es un entero. Esto corresponde al requisito $f_m' < f_a''/2$. Así, no tiene lugar la posición inversa de la frecuencia. Además, ha de ser satisfecha la condición:

$$f_B < f_m' < f_a''/2 - f_B$$

La simetría del espectro es así mantenida, y la naturaleza de valor real de la función de tiempo correspondiente es probada efectiva. La señal de paso de banda a f_m' es a continuación demodulada en forma compleja con $\sin(2\pi f_m' t)$ y $\cos(2\pi f_m' t)$. La frecuencia intermedia f_m' , la frecuencia de exploración reducida f_a'' , y así la frecuencia de exploración f_a' están en una relación armónica entre sí. Esto significa que la frecuencia de exploración reducida f_a'' es un múltiplo racional de la frecuencia intermedia f_m' . Además, $f_m'/f_a'' = a/b$ es cierto, por lo que a y b son números enteros. Como resultado, se consigue que durante la demodulación, es adecuada una pequeña longitud de tabla para el valor de función seno/coseno. El factor de reducción R es un múltiplo de $R_3 = 2$ y por ello es numerado con número par. La velocidad de datos de entrada en el procesador de señal 11 es $f_a'/2$ veces 32 bits y es 2,5 Mmuestras a $f_a' = 5$ MHz, que son 5 Mpalabras/s a 16 bits. En un procesador blackfin como un procesador de señal 11, la mayor velocidad de datos posible para una longitud de palabra de 16 bits es aproximadamente de 50 Mpalabras/s. Para $R > 2$, en cada caso solamente los valores de exploración en una relación $R/2$ son usados además. Todos los demás valores leídos son ignorados. Así, la frecuencia de demodulación f_m' es distinta de la frecuencia de excitación f_m . Sin embargo, a frecuencias menores sin mezclado en sentido descendente, la frecuencia de demodulación es igual a la frecuencia de excitación f_m .

- El método puede así tener las siguientes ventajas: Una demodulación digital completa y un filtrado son llevados a cabo. Además, un filtrado de paso de banda es llevado a cabo en la disposición 18 de convertidor AD. Las operaciones son realizadas sobre la frecuencia intermedia a una frecuencia de exploración menor. Así, hay un ahorro de tiempo de cálculo. Se ha posibilitado el uso de un procesador a baja velocidad. Solo un convertidor AD 21 y un trayecto de señal son requeridos entre la bobina receptora 17 hasta el demodulador 27 para demodulación de partes real e imaginaria, es decir, componentes en fase/cuadratura, sobre la frecuencia intermedia. En contraste, en general se requieren dos convertidores AD en el caso de sub-exploración convencional con demodulación y conversión directa a la banda de base. La disposición de ensayo 10 realiza el método de ensayo en línea. La disposición de ensayo 10 puede ser implementada económicamente.
- 5
- 10 Lista de Símbolos de Referencia
- 10 Disposición de Ensayo
- 11 Procesador de Señal
- 12 Generador
- 13 Convertidor de Digital a Analógico
- 15 14 Bobina de excitación
- 15 Amplificador de Excitación
- 16 Dispositivo a ensayar
- 17 Bobina de Recepción
- 18 Disposición de Convertidor de Analógico a Digital
- 20 19 Filtro Anti-Solapamiento
- 20 Amplificador de Recepción
- 21 Convertidor de Analógico a Digital
- 22 Disposición de Filtro
- 23 Filtro de Paso Bajo
- 25 24 Unidad de Eliminación
- 25 Filtro de Paso de Banda
- 26 Unidad de Eliminación Adicional
- 27 Demodulador
- 28,28' Entrada de Demodulador
- 30 29 Filtro de Entrada
- 29' Sistema de Tratamiento de Señal
- 29" Sistema de Conversión
- 29''' Filtro de Paso Bajo de Señal
- 30 Entrada de Filtro
- 35 31 Sustractor
- 32 Primer Multiplicador
- 33 Segundo Multiplicador
- 34 Filtro Demodulador
- 35 Unidad de Eliminación de Demodulador
- 40 36 Primera Salida de Señal Buscada

	37	Segunda Salida de Señal Buscada
	38	Pantalla de Presentación
	39	Generador de Reloj
	40,41,42	Disposición de Filtro de Paso Bajo
5	43,45,47	Filtro de Paso Bajo de Corto Plazo
	44,46,48	Filtro de Paso Bajo de Largo Plazo
	49	Conmutador de Entrada
	50	Conmutador de Salida
	51	Conmutador de Salida Adicional
10	52	Filtro de Paso Bajo Adicional
	53	Filtro de Paso Bajo de Salida
	54	Dispositivo de Conmutación
	55	Primer Trayecto de Filtro
	56	Segundo Trayecto de Filtro
15	57,57'	Filtro de Rechazo de Banda
	58,58'	Filtro de Paso Alto
	59,59'	Filtro de Paso Bajo
	60,60'	Filtro de Paso Alto
	61,61'	Filtro de Paso Bajo
20	62	Tabla
	70	Filtro de Paso Bajo de Excitación
	71	Conexión de Potencial de Referencia
	72	Bobina de Recepción Adicional
	80	Conmutador
25	CLK	Señal de Reloj
	DS,DS'	Señal de Demodulador
	fa	Frecuencia de exploración de Convertidor
	fa'	Frecuencia de exploración
	fa"	Frecuencia de exploración Reducida
30	fCLK	Frecuencia de Reloj
	fm	Frecuencia de Excitación
	fm'	Frecuencia de Demodulación después de Conversión
	M	Primer Número
	N	Segundo Número
35	SC	Señal de Control
	SD	Señal de Entrada de Demodulador
	SDA	Señal de Convertidor de Digital a Analógico

ES 2 531 701 T3

	SDE	Señal de Entrada
	SE	Señal de Excitación
	SEG	Señal de Generador
	SK	Filtro de Paso Bajo de Señal de Corto Plazo
5	SL	Filtro de Paso Bajo de Señal de Largo Plazo
	SP	Señal de Bobina
	SP'	Señal de Bobina Amplificada
	SN1	Primera Señal Buscada
	SN2	Segunda Señal Buscada
10	SW	Señal de Salida del Convertidor
	S1	Primera Señal de Salida del Demodulador
	S2	Segunda Señal de Salida del Demodulador

REIVINDICACIONES

1. Disposición de ensayo para la detección no destructiva de un fallo en un dispositivo a ensayar por medio de una corriente de Eddy, que comprende:
- 5 - una bobina de excitación (14), a la que puede serle proporcionada una señal de excitación (SE) para actuar sobre el dispositivo a ensayar (16) con un campo electromagnético alterno;
- un convertidor (21) de analógico a digital,
- una disposición de filtro (22), que está acoplada al convertidor (21) de analógico a digital en el lado de entrada y está diseñada para filtrado de paso de banda y
- un demodulador (27), que está acoplado a una salida de la disposición de filtro (22) en el lado de entrada,
- 10 caracterizado por que
- la disposición de ensayo (10) comprende una bobina de recepción (17) para generar una señal de bobina (SP), que es una función del fallo en el dispositivo a ensayar (16), y
- en la que el convertidor (21) de analógico a digital está acoplado a la bobina de recepción (17) en el lado de entrada y la disposición de filtro (22) está diseñada para reducción de la frecuencia o tasa de exploración.
- 15 2. Disposición de ensayo según la reivindicación 1, en el que el convertidor (21) de analógico a digital está diseñado para proporcionar una señal de salida de convertidor (SW) con una frecuencia de exploración de convertidor (fa); la disposición de filtro (22) está diseñada para convertir la señal de salida del convertidor (SW) a una señal de entrada (SD) del demodulador con una frecuencia de exploración reducida (fa"), que es menor que la frecuencia de exploración del convertidor (fa) por un factor de reducción de R, y el demodulador (27) está diseñado para demodular la señal de entrada (SD) del demodulador.
- 20 3. Disposición de ensayo según la reivindicación 1 ó 2, comprendiendo la disposición de filtro (22) un filtro de paso de banda (25), que está acoplado al convertidor (21) de analógico a digital en el lado de entrada y está acoplado al demodulador (27) en el lado de salida para proporcionar una señal de entrada (SDE).
4. Disposición de ensayo según la reivindicación 3, comprendiendo la disposición de filtro (22) un sistema de conversión (29") que está diseñado para proporcionar solamente un valor como la señal de entrada (SD) del demodulador para la reducción de la frecuencia de exploración de un primer número P de valores de la señal de entrada (SDE), por lo que el primer número P es un entero y es mayor que 1.
- 25 5. Disposición de ensayo según una de las reivindicaciones 1 a 4, en el que la señal de entrada (SDE) tiene un primer número M de valores durante un segundo número N de periodos de la señal de excitación (SE), el primer número M y el segundo número N son enteros diferentes, y la disposición de filtro comprende un primer número M de disposiciones de filtro de paso bajo (40, 41, 42) y está diseñada para que en cada caso uno de los primeros números M de valores de la señal de entrada (SDE) sea proporcionado a uno de los primeros números M de las disposiciones de filtro de paso bajo (40, 41, 42).
- 30 6. Disposición de ensayo según la reivindicación 5, en la que al menos uno de los primeros números M de disposiciones de filtro de paso bajo (40, 41, 42) comprende un filtro de paso bajo de corto plazo (43, 45, 47) y un filtro de paso bajo de largo plazo (44, 46, 48), que tiene una constante de tiempo más larga comparada con una constante de tiempo del filtro de paso bajo de corto plazo (43, 45, 47).
- 35 7. Disposición de ensayo según una de las reivindicaciones 1 a 6, que comprende un filtro de rechazo de banda (57), que está acoplado al demodulador (27) en el lado de entrada.
- 40 8. Disposición de ensayo según una de las reivindicaciones 1 a 7, que comprende un procesador de señal (11) que comprende un generador (12) que está acoplado a la bobina de excitación (14), en el que el procesador de señal (11) comprende además el demodulador (27) y está diseñado para proporcionar una señal (DS, DS') del demodulador en una manera en fase a una entrada de demodulador (28, 28') del demodulador (27).
- 45 9. Disposición de ensayo según la reivindicación 8, que comprende un convertidor de digital a analógico (13), que está dispuesto entre el generador (12) y la bobina de excitación (14).
10. Disposición de ensayo según la reivindicación 8 ó 9, que comprende un generador de reloj (39), que está acoplado una entrada de reloj del procesador de señales (11) y una entrada de reloj del convertidor (21) de analógico a digital en el lado de salida del generador de reloj (39).
- 50 11. Método de ensayo para la detección no destructiva de un fallo en un dispositivo a ensayar por medio de una corriente de Eddy, que comprende:

- actuar sobre el dispositivo a ensayar (16) con un campo electromagnético alterno por medio de una bobina de excitación (14), a la que es proporcionada una señal de excitación (SE),
 - generar una señal de bobina (SP), que es una función del fallo en el dispositivo a ensayar (16), por medio de una bobina de recepción (17),
- 5 - proporcionar una señal de salida del convertidor (SW) por digitalización de la señal de bobina (SP),
- generar una señal de entrada (SD) del demodulador filtrando la señal de salida del convertidor (SW) con una característica de filtro pasa banda y una reducción de frecuencia de exploración, y
 - demodular una señal de entrada (SD) del demodulador por medio de un demodulador (27).
- 10 12. Método de ensayo según la reivindicación 11, en el que la señal de salida (SW) del convertidor tiene una frecuencia de exploración del convertidor (f_a) y la señal de entrada (SD) del demodulador tiene una frecuencia de exploración reducida (f_a''), que es menor que la frecuencia de exploración del convertidor (f_a) por un factor de reducción de R.
13. Método de ensayo según la reivindicación 11 ó 12, en el que una señal de entrada (SDE) es generada por medio de un filtro de paso de banda (25) a partir de la señal de salida (SW) del convertidor o de una señal derivada a partir de la señal de salida (SW) del convertidor.
- 15 14. Método de ensayo según la reivindicación 13, en el que para la reducción de la frecuencia de exploración de un primer número P de valores de la señal de entrada (SDE), solamente es proporcionado un valor como la señal de entrada (SD) del demodulador, por lo que el primer número P es un entero y es mayor que 1.
- 20 15. Método de ensayo según la reivindicación 13 ó 14, en el que una frecuencia de exploración (f_a') de la señal de entrada (SDE) es un múltiplo racional M/N de una frecuencia de excitación (f_m) de la señal de excitación (SE), la señal de entrada (SDE) tiene un primer número M de valores durante un segundo número N de periodos de la señal de excitación (SE), y el primer número M y el segundo número N son enteros diferentes.

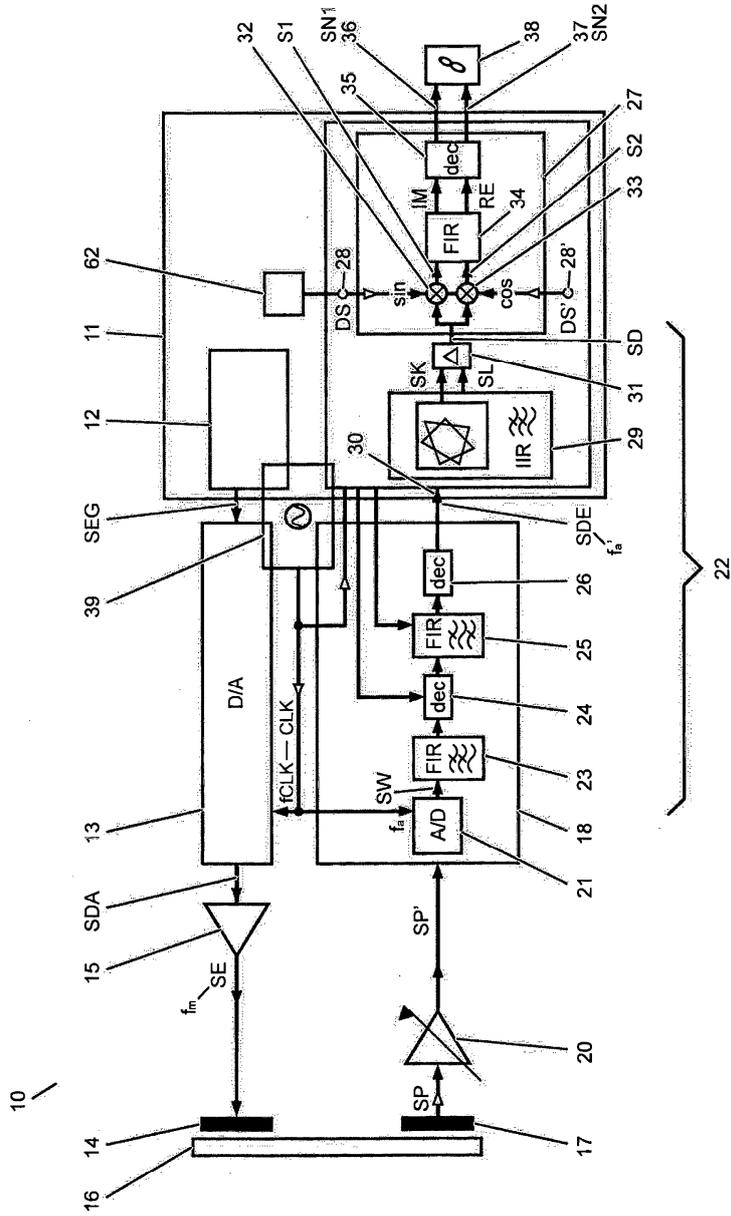


Fig. 1A

29

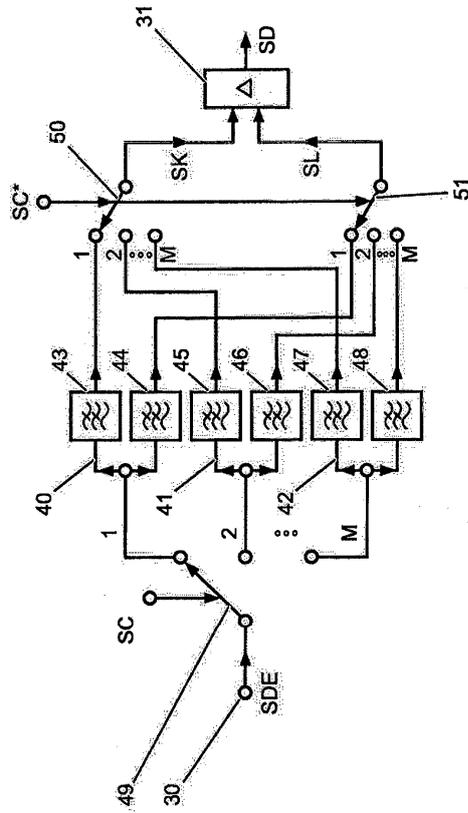


Fig. 1B

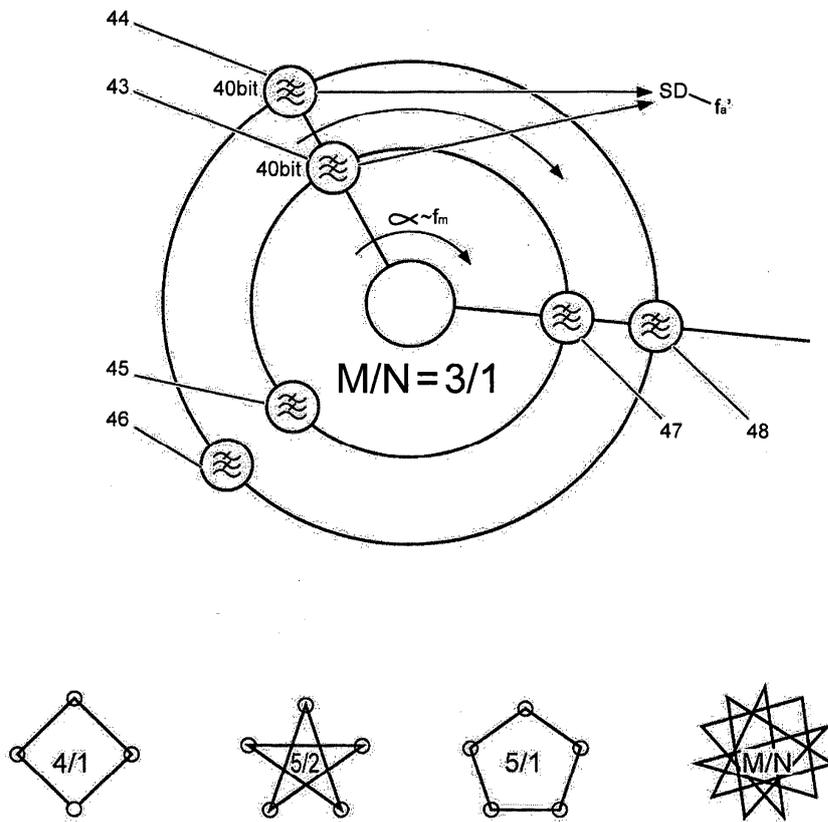


Fig. 1C

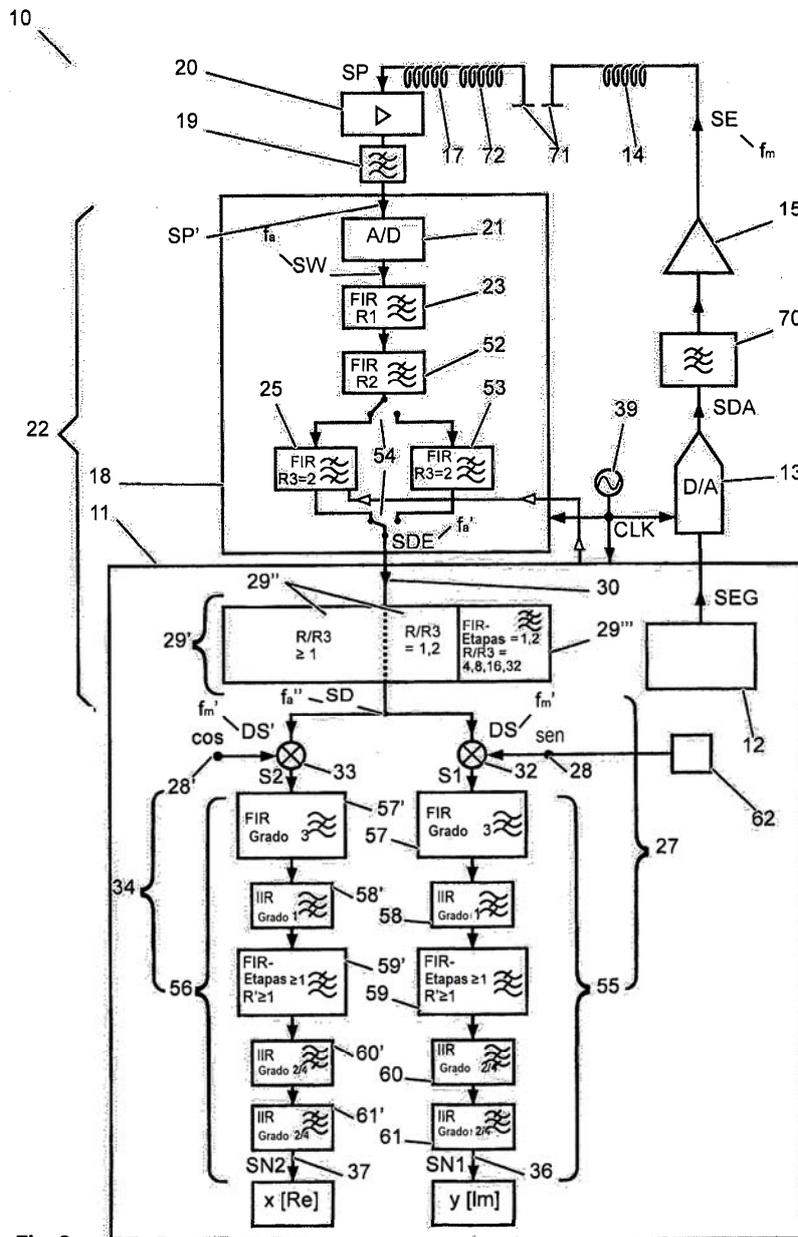
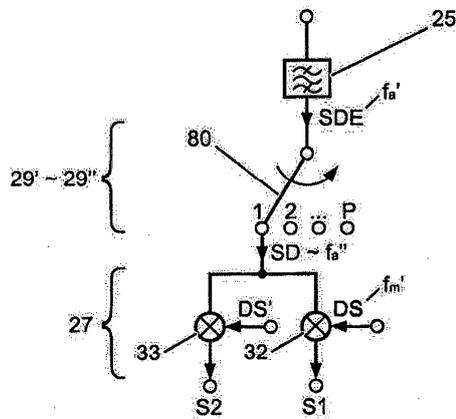
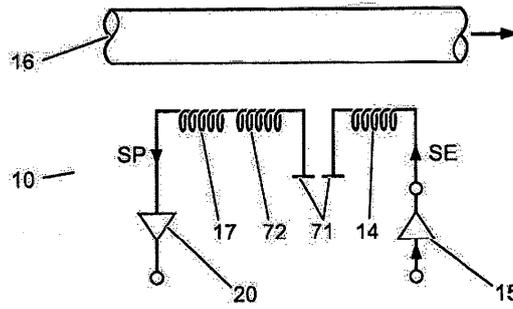


Fig. 2



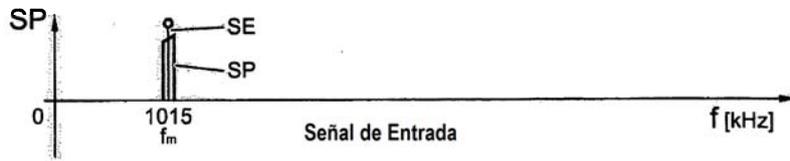


Fig. 4A



Fig. 4B

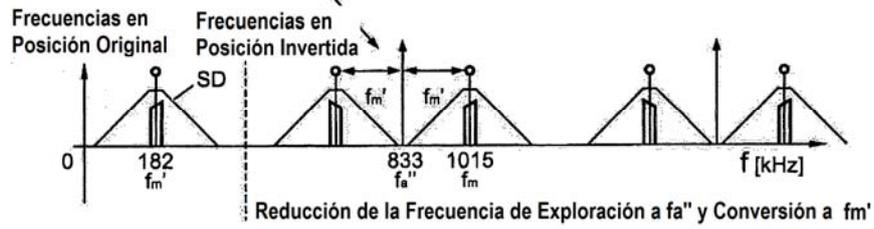


Fig. 4C

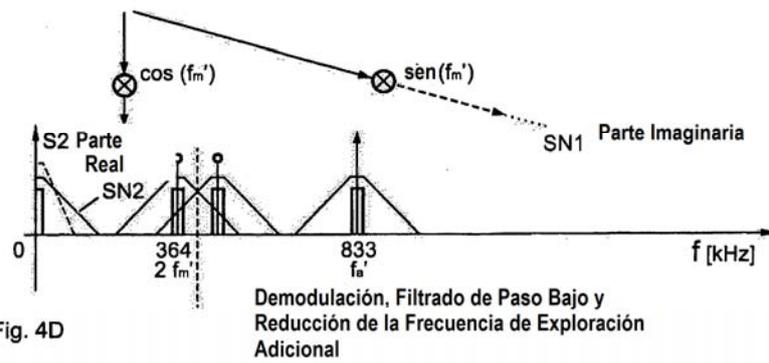


Fig. 4D