

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 532 396**

51 Int. Cl.:

G11C 11/16 (2006.01)

G11C 8/08 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **04.11.2009 E 09748663 (3)**

97 Fecha y número de publicación de la concesión europea: **17.12.2014 EP 2353164**

54 Título: **Control de voltaje de línea de palabras en STT-MRAM**

30 Prioridad:

05.11.2008 US 265044

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
26.03.2015

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)
Attn: International IP Administration 5775
Morehouse Drive
San Diego, CA 92121, US

72 Inventor/es:

YOON, SEI SEUNG;
SANI, MEHDI HAMIDI y
KANG, SEUNG H.

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 532 396 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Control de voltaje de línea de palabras en STT-MRAM

Campo de la Divulgación

5 Las realizaciones de la invención se refieren a la memoria de acceso aleatorio. Más específicamente, las realizaciones de la invención se refieren al control de voltaje de línea de palabras en la Memoria de Acceso Aleatorio Magneto-resistente de Fuerza de Torsión de Transferencia de Giro (STT-MRAM).

Antecedentes

10 La memoria de acceso aleatorio (RAM) es un componente ubicuo de las modernas arquitecturas digitales. La RAM puede estar en dispositivos autónomos o puede estar integrada o empotrada dentro de dispositivos que usan la RAM, tales como micro-procesadores, micro-controladores, circuitos integrados específicos de la aplicación (ASIC), sistemas-en-un-chip (SoC) y otros dispositivos similares, como apreciarán los expertos en la técnica. La RAM puede ser volátil o no volátil. La RAM volátil pierde su información almacenada toda vez que se quita la energía. La RAM no volátil puede mantener sus contenidos de memoria incluso cuando se quita la energía de la memoria. Aunque la RAM no volátil tiene ventajas en la capacidad de mantener sus contenidos sin tener que aplicar energía, la RAM no volátil convencional tiene tiempos más lentos de lectura / escritura que la RAM volátil.

15 La Memoria de Acceso Aleatoria Magneto-resistente (MRAM) es una tecnología de memoria no volátil que tiene tiempos de respuesta (lectura / escritura) comparables a la memoria volátil. A diferencia de las tecnologías convencionales de RAM que almacenan datos como cargas eléctricas o flujos de corriente, la MRAM usa elementos magnéticos. Según se ilustra en las Figs. 1A y 1B, un elemento 100 de almacenamiento de empalme de túnel magnético (MTJ) puede ser formado a partir de dos capas magnéticas 110 y 130, cada una de las cuales puede mantener un campo magnético, separadas por una capa 120 aislante (barrera de túnel). Una de las dos capas (p. ej., la capa fija 110) se fija en una polaridad específica. La polaridad 132 de la otra capa (p. ej., la capa libre 130) tiene libertad de cambiar, para coincidir con la de un campo externo que pueda ser aplicado. Un cambio en la polaridad 132 de la capa libre 130 cambiará la resistencia del elemento 100 de almacenamiento de MTJ. Por ejemplo, cuando las polaridades están alineadas, Fig. 1A, existe un estado de baja resistencia. Cuando las polaridades no están alineadas, Fig. 1B, entonces existe un estado de alta resistencia. La ilustración del MTJ 100 ha sido simplificada y los expertos en la técnica apreciarán que cada capa ilustrada puede comprender una o más capas de materiales, como se conoce en la técnica.

20 Con referencia a la Fig. 2A, se ilustra una célula 200 de memoria de una MRAM convencional para una operación de lectura. La célula 200 incluye un transistor 210, una línea 220 de bits, una línea 230 de dígitos y una línea 240 de palabras. La célula 200 puede ser leída midiendo la resistencia eléctrica del MTJ 100. Por ejemplo, un MTJ 100 específico puede ser seleccionado activando un transistor asociado 210, que puede conmutar la corriente desde una línea 220 de bits, a través del MTJ 100. Debido al efecto magneto-resistente del túnel, la resistencia eléctrica del MTJ 100 cambia en base a la orientación de las polaridades en las dos capas magnéticas (p. ej., 110, 130), según lo expuesto anteriormente. La resistencia dentro de cualquier MTJ 100 específico puede ser determinada a partir de la corriente resultante de la polaridad de la capa libre. Convencionalmente, si la capa fija 110 y la capa libre 130 tienen la misma polaridad, la resistencia es baja y se lee un "0". Si la capa fija 110 y la capa libre 130 tienen polaridades opuestas, la resistencia es mayor y se lee un "1".

25 Con referencia a la Fig. 2B, se ilustra la célula 200 de memoria de una MRAM convencional para una operación de escritura. La operación de escritura de la MRAM es una operación magnética. En consecuencia, el transistor 210 está apagado durante la operación de escritura. La corriente es propagada a través de la línea 220 de bits y la línea 230 de dígitos, para establecer los campos magnéticos 250 y 260 que pueden afectar la polaridad de la capa libre del MTJ 100 y, por consiguiente, el estado lógico de la célula 200. En consecuencia, los datos pueden ser escritos y almacenados en el MTJ 100.

30 La MRAM tiene varias características deseables que hacen de ella una candidata para una memoria universal, tales como la alta velocidad, la alta densidad (es decir, el pequeño tamaño de células de bits), el bajo consumo de energía y ninguna degradación a lo largo del tiempo. Sin embargo, la MRAM tiene cuestiones de ajustabilidad a escala. Específicamente, según las células de bits se tornan más pequeñas, aumentan los campos magnéticos usados para conmutar el estado de la memoria. En consecuencia, la densidad de corriente y el consumo de energía aumentan para proporcionar los mayores campos magnéticos, limitando así la ajustabilidad a escala de la MRAM.

35 A diferencia de la MRAM convencional, la Memoria de Acceso Aleatorio Magneto-resistente de Fuerza de Torsión de Transferencia de Giro (STT-MRAM) usa electrones que devienen polarizados en su giro, según los electrones atraviesan una película delgada (filtro de giro). La STT-MRAM también es conocida como RAM de Fuerza de Torsión de Transferencia de Giro (STT-RAM), RAM Conmutadora de Magnetización de Transferencia de Fuerza de Torsión de Giro (RAM de Giro) y Transferencia de Momento de Giro (SMT-RAM). Durante la operación de escritura, los electrones polarizados en giro ejercen una fuerza de torsión sobre la capa libre, lo que puede conmutar la polaridad de la capa libre. La operación de lectura es similar a la MRAM convencional en cuanto a que se usa una corriente para detectar la resistencia, o el estado lógico, del elemento de almacenamiento de MTJ, según lo expuesto en lo precedente. Según se

ilustra en la Fig. 3A, una célula 300 de bits de STT-MRAM incluye el MTJ 30, el transistor 310, la línea 320 de bits y la línea 330 de palabras. El transistor 310 se enciende para ambas operaciones de lectura y escritura, para permitir que la corriente fluya a través del MTJ 305, para que el estado lógico pueda ser leído o escrito.

5 Con referencia a la Fig. 3B, se ilustra un diagrama más detallado de una célula 301 de STT-MRAM, para una exposición adicional de las operaciones de lectura / escritura. Además de los elementos previamente expuestos, tales como el MTJ 305, el transistor 310, la línea 320 de bits y la línea 330 de palabras, se ilustran una línea 340 de origen, un amplificador detector 350, los circuitos 360 de lectura / escritura y la referencia 370 de línea de bits. Como se ha expuesto anteriormente, la operación de escritura en una STT-MRAM es eléctrica. Los circuitos 360 de lectura / escritura generan un voltaje de escritura entre la línea 320 de bits y la línea 340 de origen. Según la polaridad del voltaje entre la línea 320 de bits y la línea 340 de origen, la polaridad de la capa libre del MTJ 305 puede ser cambiada y, de manera correspondiente, el estado lógico puede ser escrito en la célula 301. Análogamente, durante una operación de lectura, se genera una corriente de lectura, que fluye entre la línea 320 de bits y la línea 340 de origen a través del MTJ 305. Cuando se permite que la corriente fluya mediante el transistor 310, la resistencia (estado lógico) del MTJ 305 puede ser determinada en base al diferencial de voltaje entre la línea 320 de bits y la línea 340 de origen, que es comparado con una referencia 370 y luego amplificado por el amplificador detector 350. Los expertos en la técnica apreciarán que el funcionamiento y la construcción de la célula 301 de memoria son conocidos en la técnica. Se proporcionan detalles adicionales, por ejemplo, en el documento, de M. Hosomi, et al., Una Novedosa Memoria No Volátil con Conmutación de Magnetización Magneto-resistente de Fuerza de Torsión de Transferencia de Giro: RAM de Giro, anales de la conferencia de IEDM (2005).

20 La operación de escritura eléctrica de la STT-MRAM elimina el problema de ajustabilidad a escala debido a la operación de escritura magnética en la MRAM. Además, el diseño de circuitos es menos complicado para la STT-MRAM. Sin embargo, las fluctuaciones en el voltaje Vdd operativo pueden hacer que la corriente de lectura de la célula se aproxime a, o sea mayor que, el umbral actual de escritura, y provoque de tal modo una operación inválida de escritura y / o daño potencial a los componentes del sistema. Por el contrario, las fluctuaciones en el Vdd pueden degradar el voltaje operativo hasta un nivel indeseablemente bajo que puede reducir las prestaciones del sistema e impedir, potencialmente, que el sistema funcione debidamente, o en absoluto.

30 El documento WO 2008 / 109768 divulga el control de un voltaje de línea de palabras en un transistor de línea de palabras en un circuito de STT-MRAM. Un primer voltaje es suministrado al transistor de línea de palabras para operaciones de escritura. Un segundo voltaje, que es menor que el primer voltaje, es suministrado al transistor de línea de palabras durante operaciones de lectura.

El documento US 2008 / 0205121 divulga una memoria magnética que comprende una fuente de voltaje acoplada con una bomba de voltaje. La fuente de voltaje proporciona un voltaje de suministro mientras que la bomba de voltaje proporciona un voltaje de sesgo que es mayor que el voltaje de suministro.

35 El documento US 2004 / 0240279 divulga un circuito impulsor, por el cual es rápidamente aumentado un voltaje impulsor, hasta un nuevo nivel de voltaje, usando un circuito pre-impulsor y un circuito de auto-arranque. El voltaje impulsor es luego descargado a través de una unidad de circuitos fijados, para generar un voltaje final de destino.

Sumario

Realizaciones ejemplares de la invención están orientadas a sistemas, circuitos y procedimientos para controlar el voltaje de línea de palabras aplicado a transistores de línea de palabras en la STT-MRAM.

40 Una realización está orientada a una STT-MRAM según lo estipulado en la reivindicación 1.

Otra realización está orientada a un procedimiento para operaciones de lectura y escritura en una STT-MRAM, según lo estipulado en la reivindicación 10.

Breve descripción de los dibujos

45 Los dibujos adjuntos se presentan para asistir en la descripción de las realizaciones de la invención y se proporcionan únicamente para la ilustración de las realizaciones, y no la limitación de las mismas.

Las Figs. 1A y 1B son ilustraciones de un elemento de almacenamiento de empalme de túnel magnético (MTJ).

Las Figs. 2A y 2B son ilustraciones de una célula de Memoria de Acceso Aleatorio Magneto-resistente durante operaciones de lectura y escritura, respectivamente.

50 Las Figs. 3A y 3B son ilustraciones de células de Memoria de Acceso Aleatorio Magneto-resistente de Fuerza de Torsión de Transferencia de Giro (STT-MRAM).

Las Figs. 4A y 4B son ilustraciones de una configuración de circuitos en una STT-MRAM durante operaciones de lectura y escritura, respectivamente.

La Fig. 5 es una ilustración de una configuración de circuitos para un controlador de escritura para una STT-MRAM.

La Fig. 6 es un gráfico que ilustra el voltaje de línea de palabras aplicado en el transistor de línea de palabras, para diversos valores del voltaje operativo básico.

La Fig. 7 ilustra un diseño de circuito de bombeo del controlador de línea de palabras de las Figs. 4A y 4B, de acuerdo a una realización de la invención.

5 La Fig. 8 ilustra un procedimiento para operaciones de lectura y escritura en una STT-MRAM.

Descripción detallada

Aspectos de realizaciones de la invención se divulgan en la siguiente descripción y dibujos relacionados, orientados a realizaciones específicas de la invención. Pueden ser ideadas realizaciones alternativas sin apartarse del ámbito de la invención. Adicionalmente, elementos bien conocidos de la invención no serán descritos en detalle, o serán omitidos, a fin de no oscurecer los detalles relevantes de las realizaciones de la invención.

La palabra “ejemplar” se usa en la presente memoria para significar “que sirve como un ejemplo, caso o ilustración”. Cualquier realización descrita en la presente memoria como “ejemplar” no ha de ser necesariamente interpretada como preferida o ventajosa sobre otras realizaciones. Análogamente, el término “realizaciones de la invención” no requiere que todas las realizaciones de la invención incluyan la característica, ventaja o modalidad de operación expuestas. Se apreciará que un “voltaje de bombeo”, según se usa en la presente memoria, puede proporcionar una fuente de alimentación de voltaje, bien mayor o bien menor.

La terminología usada en la presente memoria es con el fin de describir realizaciones particulares solamente y no está concebida para que limite las realizaciones de la invención. Según se usan en la presente memoria, las formas singulares “un”, “uno” y “el” están concebidas para incluir asimismo las formas plurales, a menos que el contexto indique claramente lo contrario. Se entenderá además que los términos “comprende”, “comprendiendo”, “incluye” y / o “incluyendo”, cuando se usan en la presente memoria, especifican la presencia de las características, enteros, etapas, operaciones, elementos y / o componentes indicados, pero no excluyen la presencia o agregado de uno o más de otras características, enteros, etapas, operaciones, elementos, componentes y / o grupos de los mismos.

Según lo expuesto en los antecedentes, la STT-MRAM usa una corriente baja de escritura para cada célula, lo que es una ventaja de este tipo de memoria sobre la MRAM. Sin embargo, las fluctuaciones en el voltaje Vdd operativo básico pueden hacer que la corriente de lectura de la célula se aproxime a, o sea mayor que, el umbral de la corriente de escritura, y que provoque de tal modo una operación inválida de escritura y / o un daño potencial a componentes del sistema. Por el contrario, las fluctuaciones en el Vdd pueden degradar el voltaje operativo hasta un nivel indeseablemente bajo que puede reducir las prestaciones del sistema e impedir, potencialmente, que el sistema funcione adecuadamente, o en absoluto. Por el contrario, las realizaciones de la invención controlan la potencia del transistor de WL usando un controlador de línea para generar un voltaje V_{WL} de línea de palabras, basado en el Vdd. De acuerdo a diversas realizaciones, si el Vdd está por debajo de un voltaje límite, tal como un umbral de funcionamiento seguro, el V_{WL} puede ser proporcionado en un voltaje mayor que el Vdd, para aumentar las prestaciones. Si el Vdd está por encima del voltaje límite, el V_{WL} puede ser proporcionado en un voltaje menor o igual que el voltaje límite, para asegurar un funcionamiento seguro.

Las Figs. 4A y 4B ilustran una configuración 400 de circuitos en una STT-MRAM durante operaciones de lectura y escritura, respectivamente. El circuito incluye una célula 401 de bits que incluye un MTJ 405 y un transistor 410 de línea de palabras, acoplado entre la línea de bits (BL) 420 y la línea de origen (SL) 440. El transistor 410 de línea de palabras está acoplado con la línea 430 de palabras. Un elemento 450 de aislación de lectura está acoplado con la línea 420 de bits, para aislar el amplificador detector 470 durante una operación de escritura. El elemento 450 (p. ej., multiplexor de lectura) puede ser usado para seleccionar una de las líneas de bits durante una operación de lectura, así como para proporcionar el aislamiento del amplificador detector. Como apreciarán los expertos en la técnica, el elemento 450 de aislación de lectura puede ser cualquier dispositivo o combinación de dispositivos que pueda acoplar el amplificador detector 470 con la línea 420 de bits durante operaciones de lectura, y que pueda aislar el amplificador detector 470 durante las operaciones de escritura. Por ejemplo, el elemento 450 de aislación puede ser una compuerta de transmisión acoplada en serie con una entrada del amplificador detector 470. Sin embargo, los expertos en la técnica apreciarán que pueden ser usados otros dispositivos y / o combinaciones de dispositivos, tales como los multiplexores o similares. Además, se apreciará que la configuración de circuitos ilustrada en la presente memoria es meramente para facilitar la descripción de aspectos de realizaciones de la invención, y que no está concebida para limitar las realizaciones a los elementos y / o disposiciones ilustrados.

Con referencia a la operación de lectura de la Fig. 4A en particular, el elemento 450 de aislación puede recibir una señal de habilitación de lectura (rd_en) para coordinar la operación de lectura. Un amplificador detector 470 está acoplado con la línea 420 de bits y una referencia 472. El amplificador detector 470 puede ser usado para determinar el estado de la célula 401 de bits, amplificando el diferencial de voltaje entre la línea 420 de bits y la referencia 470 en la entrada del amplificador detector 470 durante la operación de lectura. Durante la operación de lectura, el transistor 410 está conduciendo y una corriente de lectura (i_{rd}) fluye a través del MTJ 405. El elemento 450 de aislación de lectura estará conduciendo, y un voltaje en proporción a la resistencia del MTJ 405 será generado y detectado en el amplificador detector 470. Como se ha expuesto anteriormente, la resistencia variará en base al estado lógico del MTJ 405. En

consecuencia, los datos almacenados en la célula 401 de bits pueden ser leídos.

Con referencia ahora a la operación de escritura de la Fig. 4B en particular, un controlador 500 de escritura y los elementos 502 y 504 de aislación de escritura están acoplados entre la línea 420 de bits y la línea 440 de origen, para permitir la selección de una línea de bits y escribir datos en la célula 401 de bits. Según lo expuesto anteriormente, e ilustrado en la Fig. 4B, en una STT-MRAM, hacer pasar corriente a través del MTJ 405 puede cambiar la polaridad de la capa libre, lo cual, a su vez, cambia la resistencia del MTJ 405. Este cambio de resistencia puede luego ser detectado como un cambio de estado lógico de la célula 401 de bits. Por ejemplo, una primera corriente de escritura (i_{wr0}) puede fluir en una primera dirección para escribir un estado lógico "0". Una segunda corriente de escritura (i_{wr1}) puede fluir en una segunda dirección, opuesta a la primera dirección, para escribir una estado lógico "1". Los elementos 502 y 504 de aislación de escritura pueden ser cualquier dispositivo, o combinación de dispositivos, que pueda acoplar y desacoplar selectivamente el controlador 500 de escritura. Por ejemplo, los elementos 502 y 504 de aislación de escritura pueden ser compuertas de transmisión acopladas en serie con el controlador 500 de escritura. Además, los elementos de aislación de escritura pueden recibir una señal de habilitación de escritura (wr_{en}) para coordinar el acoplamiento del controlador 500 de escritura durante la operación de escritura. Sin embargo, los expertos en la técnica apreciarán que los elementos 502 y 504 de aislación de escritura pueden ser otros dispositivos y / o combinaciones de dispositivos, tales como multiplexores y similares, que puedan ser usados para lograr la misma funcionalidad. Con referencia a la Fig. 5, se ilustra una configuración de circuitos para el controlador 500 de línea de escritura. El controlador 500 de línea de escritura puede incluir una pluralidad de inversores 510, 520 y 530, configurados para controlar diferencialmente la línea de bits (BL) y la línea de origen (SL), en base a una entrada de datos recibidos que ha de ser escrita en la célula de bits.

Con referencia nuevamente a las Figs. 4A y 4B, el controlador 432 de línea de palabras está acoplado con la línea 430 de palabras y el transistor 410 de línea de palabras, para proporcionar el voltaje V_{WL} de WL (Línea de Palabras), de acuerdo a diversas realizaciones de la invención. El voltaje V_{WL} de WL puede ser generado por el controlador 432 de línea de palabras, usando un voltaje V_{pp} de bombeo, el voltaje de suministro interno (p. ej., en aplicaciones empotradas) o el voltaje de suministro externo que sea mayor que el voltaje básico. El controlador 432 de línea de palabras puede cambiar el voltaje V_{WL} de WL aplicado al transistor 410 para mantener un mayor voltaje que el Vdd para bajos niveles de Vdd, y luego para mantener o efectuar la transición a un voltaje inferior cuando el Vdd está en niveles superiores. (La Fig. 6 ilustra un ejemplo de esta función). El controlador 432 de línea de palabras puede por tanto ser configurado para proporcionar un nivel de voltaje deseado, tanto durante las operaciones de lectura de la Fig. 4A como durante las operaciones de escritura de la Fig. 4B.

Por ejemplo, el voltaje V_{WL} de línea de palabras podría ser un múltiplo de Vdd (p. ej., $N1 * V_{dd}$, donde $N1$ es un número real mayor que 1). En algunas realizaciones, el controlador 432 de línea de palabras puede suministrar un voltaje que sea del orden de entre el 40% y el 100% mayor que Vdd, cuando Vdd es un valor relativamente bajo. Las realizaciones de la invención no están limitadas a esta gama, y el voltaje V_{WL} de línea de palabras, emitido desde el controlador 432 de línea de palabras, puede ser significativamente mayor.

Según V_{WL} aumenta con un Vdd creciente, sin embargo, puede existir un potencial de daño para diversos elementos de circuitos. Por ejemplo, si V_{WL} aumenta hasta un nivel que supere el voltaje de avería del transistor de línea de palabras (o el transistor de acceso) 410, del MTJ 405, o de otros elementos acoplados en la célula de bits, la memoria puede ser dañada. En consecuencia, el controlador 432 de línea de palabras es capaz de funcionar en dos regiones: una región de bajo Vdd y una región de alto Vdd. La transición entre regiones de funcionamiento ocurre en un valor de Vdd denominado voltaje de transición V_{tran} , que está relacionado con el voltaje de avería del transistor 410 de línea de palabras, el MTJ 405 u otros elementos acoplados en la célula de bits.

En la región de Vdd bajo ($V_{dd} < V_{tran}$), el V_{WL} puede ser emitido por el controlador 432 de línea de palabras a un voltaje mayor que Vdd, tal como el múltiplo de Vdd expuesto anteriormente, o puede ser adicionalmente acondicionado por el controlador 432 de línea de palabras. En la región de alto Vdd ($V_{dd} > V_{tran}$), el V_{WL} puede ser mantenido en, o por debajo de, un nivel límite de voltaje WL_{lim} para impedir la avería del transistor 410 de línea de palabras, el MTJ 405 u otros elementos acoplados en la célula de bits, y proporcionar un funcionamiento seguro de la memoria. En esta región, el controlador 432 de línea de palabras puede mantener el V_{WL} en un nivel relativamente constante (p. ej., igual, o próximo, a WL_{lim} en el punto de transición $V_{dd} = V_{tran}$). Por ejemplo, el controlador 432 de línea de palabras puede incluir un circuito fijador o similar, para fijar V_{WL} en el voltaje de transición e impedir la avería del MTJ 405 según aumenta el Vdd. El controlador 432 de línea de palabras reduce además el voltaje V_{pp} de línea de palabras hasta un nivel inferior, creando una pendiente negativa del voltaje V_{WL} de WL después del voltaje de transición (véase, p. ej., la Fig. 6). Se apreciará que los términos 'alto Vdd' y 'bajo Vdd', según se aplican a las distintas regiones de funcionamiento, son términos relativos y no están concebidos para impartir por sí mismos ningún valor o gama de voltajes absolutos específicos a sus respectivas regiones de funcionamiento, ya que estas pueden variar en base a las propiedades de los elementos de circuitos (p. ej., el voltaje de avería, según lo expuesto anteriormente).

La Fig. 6 es un gráfico 600 que ilustra el voltaje de línea de palabras aplicado en el transistor de línea de palabras para diversos valores de Vdd. Según se ilustra, la línea 610 de referencia es Vdd. El voltaje V_{WL} de línea de palabras es proporcionalmente mayor que Vdd en una región de bajo Vdd (es decir, donde Vdd es menor que V_{tran}). En una región de alto Vdd (es decir, donde Vdd es mayor que V_{tran}), el V_{WL} puede ser mantenido en un nivel esencialmente constante. Según se ilustra en 620, el V_{WL} es reducido de acuerdo a la invención. Esto asegura que el V_{WL} no provocará que el voltaje de escritura supere el voltaje de avería del MTJ y / o dañe otros elementos en la memoria.

Como se ha expuesto anteriormente, el voltaje V_{WL} de WL puede ser generado usando un voltaje V_{pp} de bombeo, un voltaje de suministro interno (p. ej., en aplicaciones empotradas) o un voltaje de suministro externo que sea mayor que el voltaje básico. En consecuencia, el gráfico 600 se proporciona meramente con fines de ilustración y no está concebido para limitar las realizaciones de la invención. Por ejemplo, el voltaje 620 de línea de palabras podría ser un múltiplo de V_{dd} (p. ej., $N1 \cdot V_{dd}$, donde $N1$ es un número real mayor que 1) en la región de bajo V_{dd} , y la diferencia entre el voltaje 620 de línea de palabras y el V_{dd} sería una función creciente según V_{dd} aumente hasta V_{tran} . En la región de V_{dd} alto, un voltaje de escritura podría ser un valor fijo deseado, o un múltiplo de un voltaje de bombeo V_{pp} que da como resultado que un voltaje V_{WL} de línea de palabras sea menor que un voltaje de avería (p. ej., $N2 \cdot V_{pp}$, donde $N2$ es un número real menor que 1). Sin embargo, independientemente de la estrategia para generar el voltaje V_{WL} de WL, mientras V_{WL} sea mayor que V_{dd} en voltajes bajos ($V_{dd} < V_{tran}$) y se mantenga por debajo de un voltaje de avería o un voltaje predeterminado para altos voltajes V_{dd} ($V_{dd} > V_{tran}$), puede lograrse una reducción en el potencial para una operación inválida de escritura y / o un daño potencial para componentes del sistema, aumentando a la vez las prestaciones.

Con referencia nuevamente a las Figs. 4A y 4B, el controlador 432 de línea de palabras puede ser configurado para suministrar a la línea de palabras distintos niveles de voltaje y para limitar el voltaje V_{WL} de WL, a fin de evitar llegar al voltaje de avería del MTJ. El controlador 432 de línea de palabras puede incluir lógica para generar el primer voltaje (p. ej., $V_{WL} > V_{dd}$) para $V_{dd} < V_{tran}$ y lógica para generar el segundo nivel de voltaje (p. ej., $V_{WL} < V_{pp}$) para $V_{dd} > V_{tran}$. El segundo nivel de voltaje puede ser generado por lógica configurada para mantener el voltaje de línea de palabras en, o por debajo de, un umbral deseado, para evitar la avería del MTJ. El V_{WL} puede ser suministrado desde una fuente de alimentación integrada, tal como desde un circuito integrado de gestión de energía, o desde otros suministros externos. Alternativamente, el V_{WL} puede ser generado a partir de V_{dd} , usando un circuito de bombeo, por ejemplo, según se conoce en la técnica.

La Fig. 7 ilustra un diseño de circuito de bombeo del controlador de línea de palabras de las Figs. 4A y 4B, de acuerdo a una realización de la invención.

Según se muestra, el controlador 432 de línea de palabras incluye un detector 702 de nivel y una bomba 704 de carga de V_{pp} , para emitir el voltaje V_{WL} de WL como un voltaje V_{pp} de bombeo. El detector 702 de nivel determina el nivel adecuado de V_{pp} para las condiciones operativas, en base a una entrada suministrada de V_{dd} (la Fig. 6 ilustra una relación ejemplar entre V_{dd} y V_{pp}), y controla la bomba 704 de V_{pp} para emitir el nivel de voltaje V_{pp} deseado, de acuerdo a una señal de retro-alimentación proveniente de la bomba 704 de V_{pp} . Como es conocido en la técnica, el detector 704 de nivel puede ser diseñado para emitir una función deseada de la entrada, tal como de acuerdo a la curva 620 de V_{WL} de la Fig. 6, incluyendo una función de aumento o reducción, así como funciones de sujeción. Los detectores de nivel y las bombas de carga son bien conocidos en la técnica y, por lo tanto, se omitirá una descripción adicional aquí.

A la vista de lo precedente, se apreciará que las realizaciones de la invención también pueden incluir procedimientos para realizar las funciones, la secuencia de acciones y / o los algoritmos descritos en la presente memoria. Por ejemplo, la Fig. 8 ilustra un procedimiento para operaciones de lectura y escritura en una Memoria de Acceso Aleatoria Magneto-resistente de Fuerza de Torsión de Transferencia de Giro (STT-MRAM), de acuerdo a una realización de la invención. El procedimiento incluye aplicar un primer voltaje a una compuerta de un transistor de línea de palabras de una célula de bits durante una operación de escritura, en donde el primer voltaje es mayor que un voltaje de suministro si el voltaje de suministro es inferior a un voltaje de transición (bloque 802), y aplicar un segundo voltaje al transistor de línea de palabras durante una operación de escritura, en donde el primer voltaje es inferior al voltaje de suministro si el voltaje de suministro es superior a un voltaje de transición (bloque 808). El procedimiento incluye además fijar el voltaje de línea de palabras en, o por debajo de, un voltaje límite más allá del voltaje de transición, para proporcionar el segundo voltaje (bloque 804) y reducir el segundo voltaje después de alcanzar el voltaje de transición, para proporcionar el segundo voltaje (bloque 806).

Si bien la divulgación precedente muestra realizaciones ilustrativas de la invención, deberá observarse que diversos cambios y modificaciones podrían hacerse en la presente memoria sin apartarse del ámbito de las realizaciones de la invención, según lo definido por las reivindicaciones adjuntas. Por ejemplo, las señales lógicas específicas correspondientes a los transistores / circuitos a activar pueden cambiarse como sea adecuado para lograr la funcionalidad divulgada, como los transistores / circuitos pueden ser modificados como dispositivos complementarios (p. ej., intercambiando dispositivos de PMOS y NMOS). Análogamente, las funciones, etapas y / o acciones de los procedimientos de acuerdo a las realizaciones de la invención descrita en la presente memoria no necesariamente deben ser realizadas en ningún orden específico. Además, aunque los elementos de la invención pueden ser descritos o reivindicados en singular, se contempla el plural, a menos que se indique explícitamente la limitación al singular.

REIVINDICACIONES

1. Una memoria de acceso aleatorio magneto-resistente, de fuerza de torsión de transferencia de giro, en adelante denominada STT-MRAM, que comprende:

5 una célula (401) de bits con un empalme de túnel magnético (MTJ) (405) y un transistor (410) de línea de palabras, en en la que la célula (401) de bits está acoplada con una línea (420) de bits y una línea (440) de origen; y un controlador (432) de línea de palabras acoplado con una compuerta del transistor (410) de línea de palabras, en en la que el controlador (432) de línea de palabras está configurado para proporcionar un voltaje de línea de palabras (V_{WL}) mayor que un voltaje de suministro por debajo de un voltaje de transición (V_{trans}) del voltaje de suministro (V_{dd}), **caracterizada porque** el controlador (432) de línea de palabras está adicionalmente configurado para proporcionar un voltaje menor que el voltaje de suministro (V_{dd}) para voltajes de suministro por encima del voltaje de transición (V_{trans}),
 10 y en la cual el voltaje de línea de palabras (V_{WL}) está fijado en, o por debajo de, un voltaje límite (WL_{lim}) después de alcanzar el voltaje de transición (V_{trans}); y
 15 el voltaje (V_{WL}) de la línea de palabras es reducido después de alcanzar el voltaje de transición (V_{trans}).

2. La STT-MRAM de la reivindicación 1, en la cual el controlador (432) de línea de palabras está configurado para crear una pendiente negativa del voltaje de línea de palabras (V_{WL}) con respecto al voltaje de suministro (V_{dd}) después del voltaje de transición (V_{trans}).

3. La STT-MRAM de la reivindicación 1, en la cual el voltaje de transición (V_{trans}) representa una transición entre una región de bajo V_{dd} y una región de alto V_{dd} .

4. La STT-MRAM de la reivindicación 1, que comprende adicionalmente:

25 un controlador (500) de escritura configurado para proporcionar una señal eléctrica a la célula (401) de bits, para almacenar un estado lógico en la célula (401) de bits; y al menos un elemento (502, 504) de aislación de escritura, acoplado en serie con el controlador (500) de escritura entre la línea (420) de bits y la línea (440) de origen, en en la que el elemento (502, 504) de aislación de escritura está configurado para aislar el controlador (500) de escritura durante una operación de lectura.

5. La STT-MRAM de la reivindicación 4, en la cual el controlador (500) de escritura comprende:

30 inversores primero (520) y segundo (530), acoplados en serie entre una entrada de datos y la línea (420) de bits; y un tercer inversor (510) acoplado en serie entre la entrada de datos y la línea (440) de origen.

6. La STT-MRAM de la reivindicación 1, que comprende adicionalmente:

35 un elemento (450) de aislación de lectura, interpuesto entre la célula (401) de bits y un amplificador detector (470), en en la que el elemento (450) de aislación está configurado para aislar selectivamente el amplificador detector (470) de la línea (420) de bits durante una operación de escritura.

7. La STT-MRAM de la reivindicación 6, en la cual el elemento (450) de aislación de lectura es al menos uno entre un conmutador, una compuerta de transmisión o un multiplexor.

8. La STT-MRAM de la reivindicación 1, que comprende adicionalmente:

un circuito (704) de bombeo de voltaje, configurado para generar el voltaje (V_{WL}) de línea de palabras a partir del voltaje de suministro (V_{dd}).

9. La STT-MRAM de la reivindicación 8, que comprende adicionalmente:

45 un detector (702) de nivel, configurado para controlar el circuito de bombeo de voltaje, para generar el voltaje de línea de palabras (V_{WL}) a partir del voltaje de suministro (V_{dd}).

10. Un procedimiento para operaciones de lectura y escritura en una memoria de acceso aleatorio magneto-resistente, de fuerza de torsión de transferencia de giro, que comprende:

50 aplicar un primer voltaje a una compuerta de un transistor (410) de línea de palabras de una célula (401) de bits durante una operación de escritura, en en la que el primer voltaje es superior a un voltaje de suministro (V_{dd}) si el voltaje de suministro es inferior a un voltaje de transición (V_{trans}); estando el procedimiento **caracterizado por**:

55 aplicar un segundo voltaje al transistor (410) de línea de palabras durante una operación de escritura, en en la que el segundo voltaje es inferior al voltaje de suministro (V_{dd}) si el voltaje de suministro es superior a un voltaje de transición (V_{trans});

fijar el voltaje de línea de palabras (VWL) en, o por debajo de, un voltaje límite (WL_lim) más allá del voltaje de transición (Vtrans), para proporcionar el segundo voltaje; y reducir el segundo voltaje después de alcanzar el voltaje de transición (Vtrans), para proporcionar el segundo voltaje.

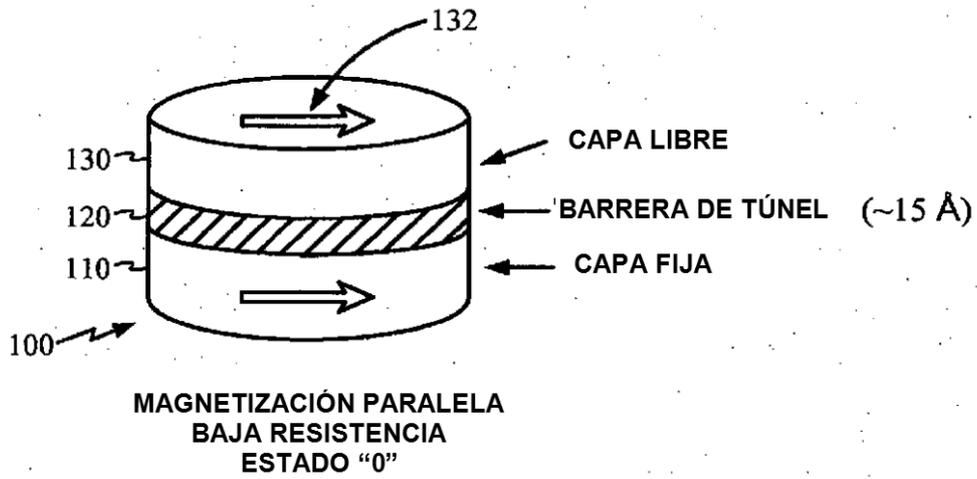
5 11. El procedimiento de la reivindicación 10, que comprende reducir el segundo voltaje después de alcanzar el voltaje de transición, para proporcionar el segundo voltaje.

10 12. El procedimiento de la reivindicación 11, en el cual el voltaje de transición (Vtrans) representa una transición entre una región de bajo Vdd y una región de alto Vdd.

13. El procedimiento de la reivindicación 11, que comprende adicionalmente:

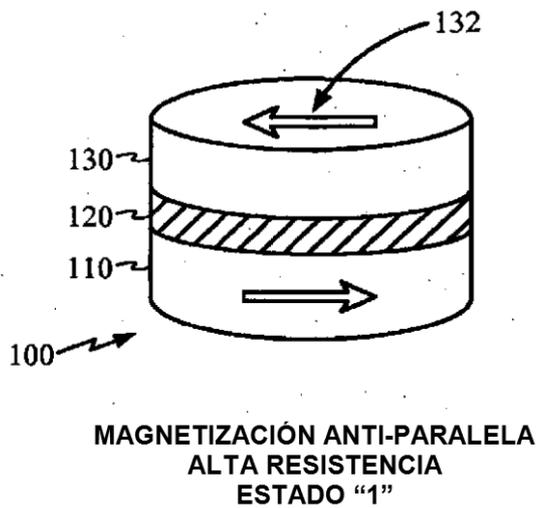
bombear el voltaje de suministro para generar el primer voltaje, usando un circuito (704) de bombeo de carga.

15



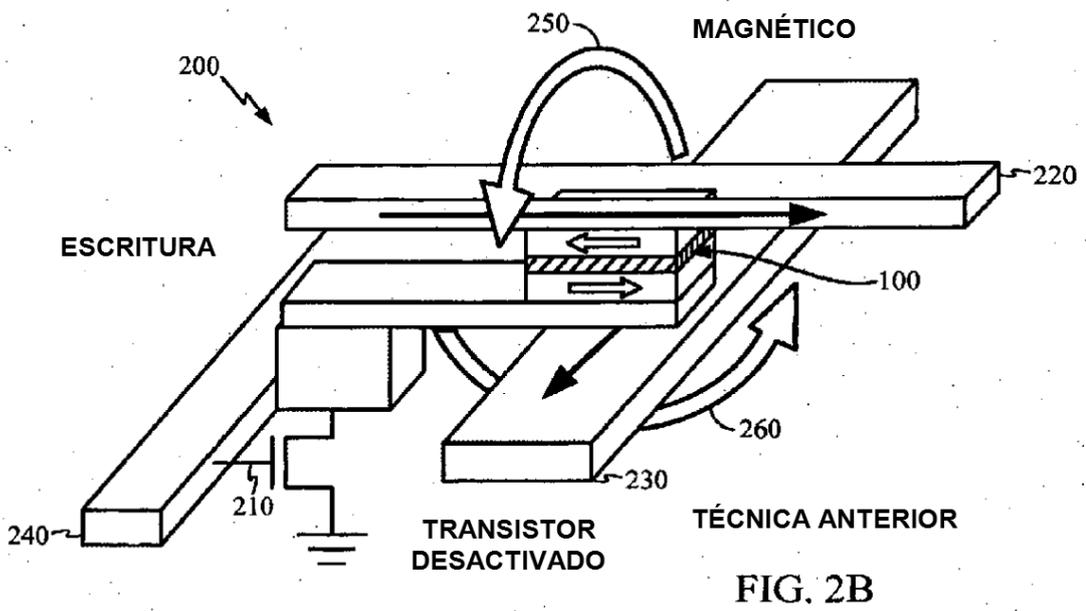
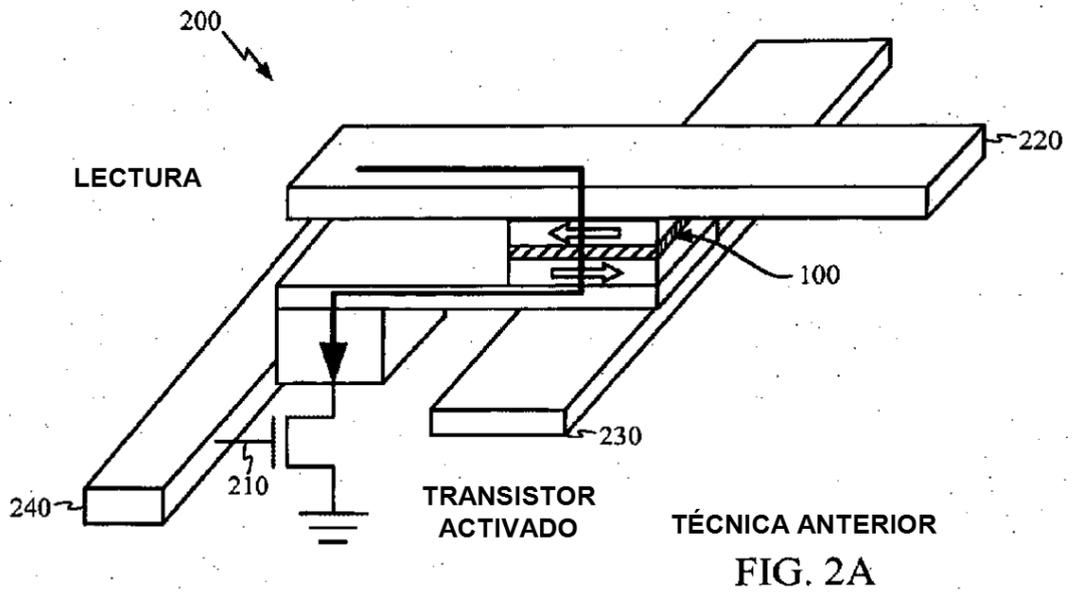
TÉCNICA ANTERIOR

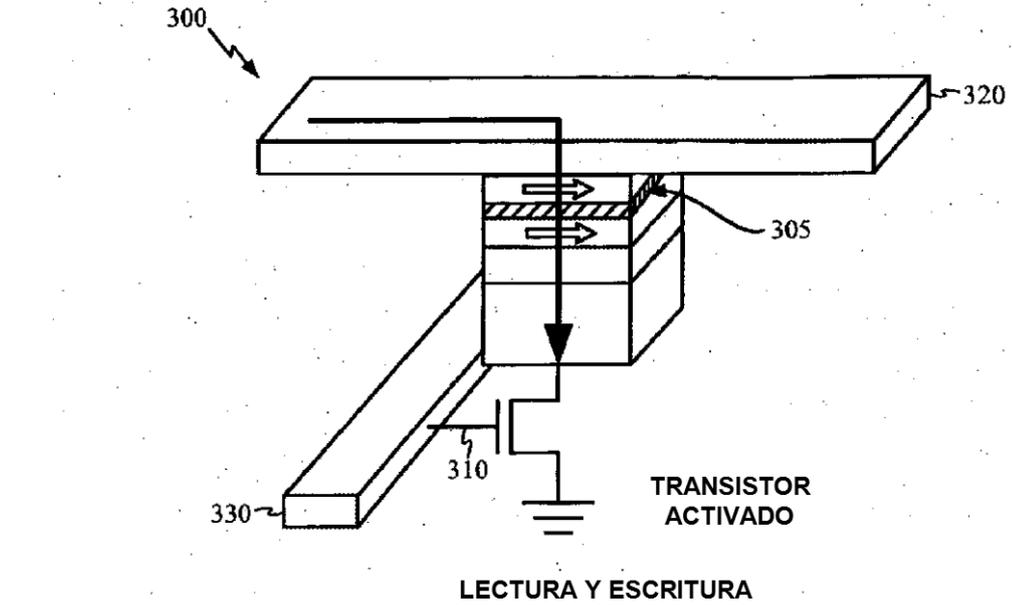
FIG. 1A



TÉCNICA ANTERIOR

FIG. 1B





TÉCNICA ANTERIOR
FIG. 3A

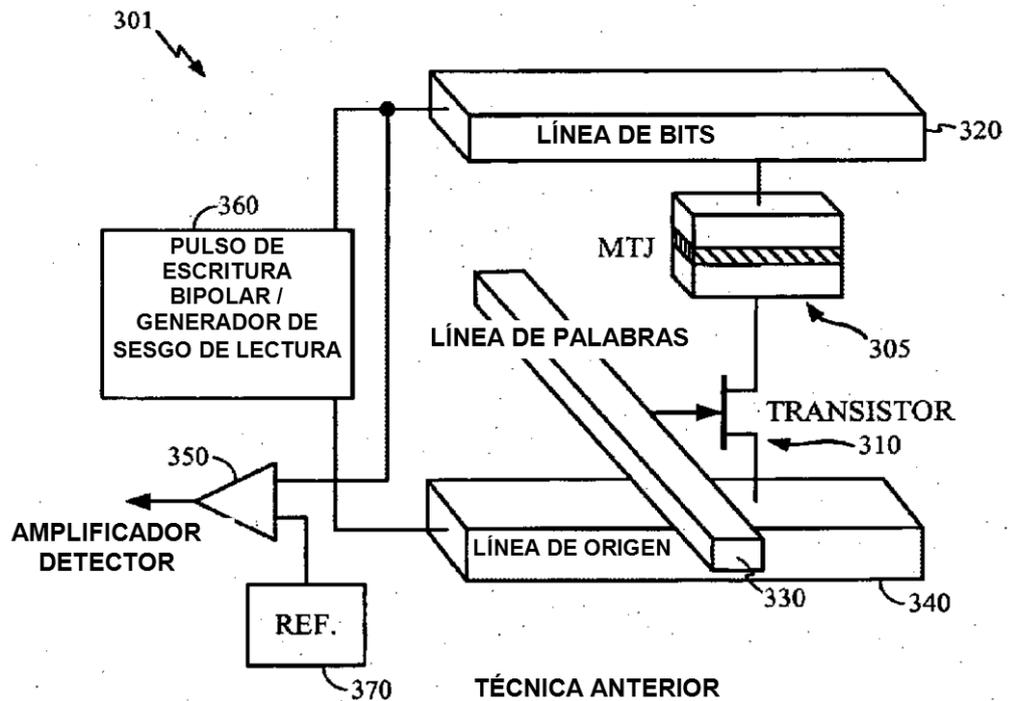


FIG. 3B

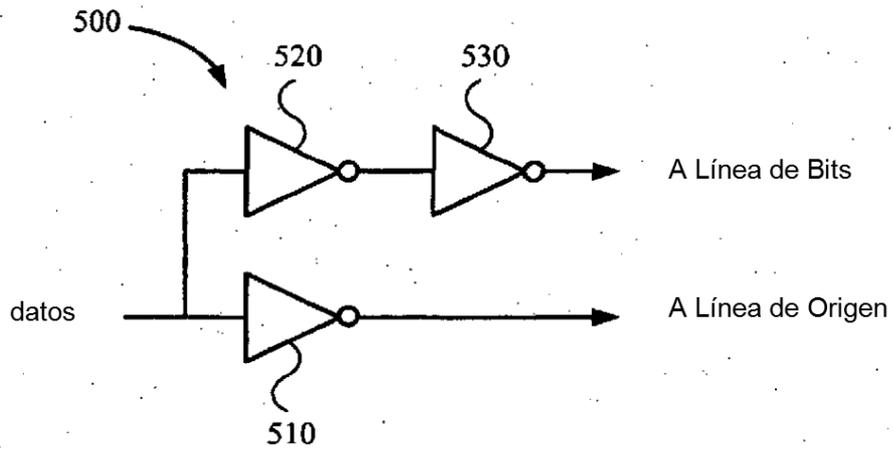


FIG. 5

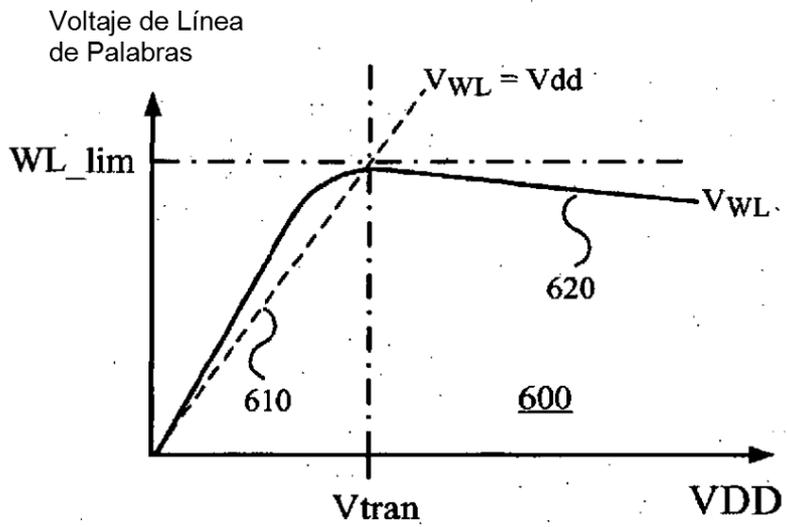


FIG. 6

700

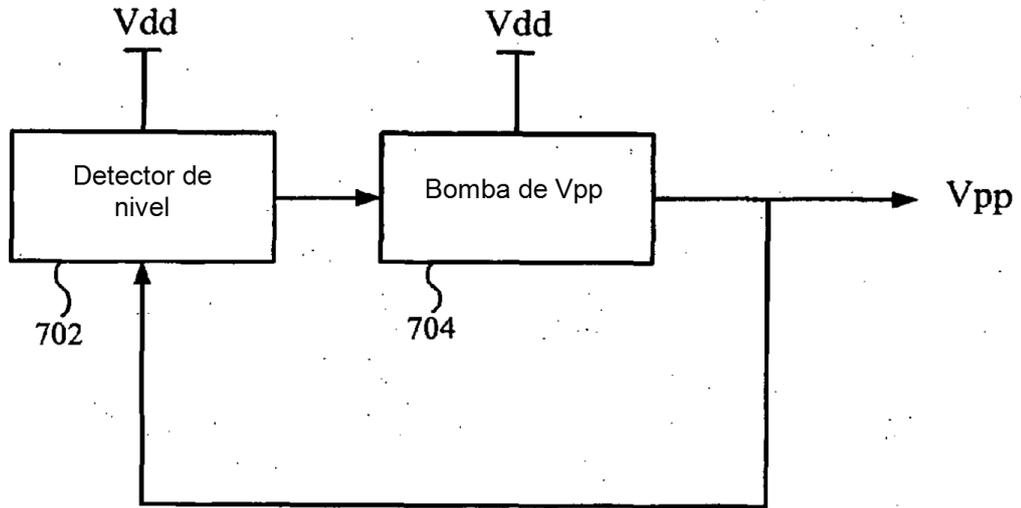


FIG. 7

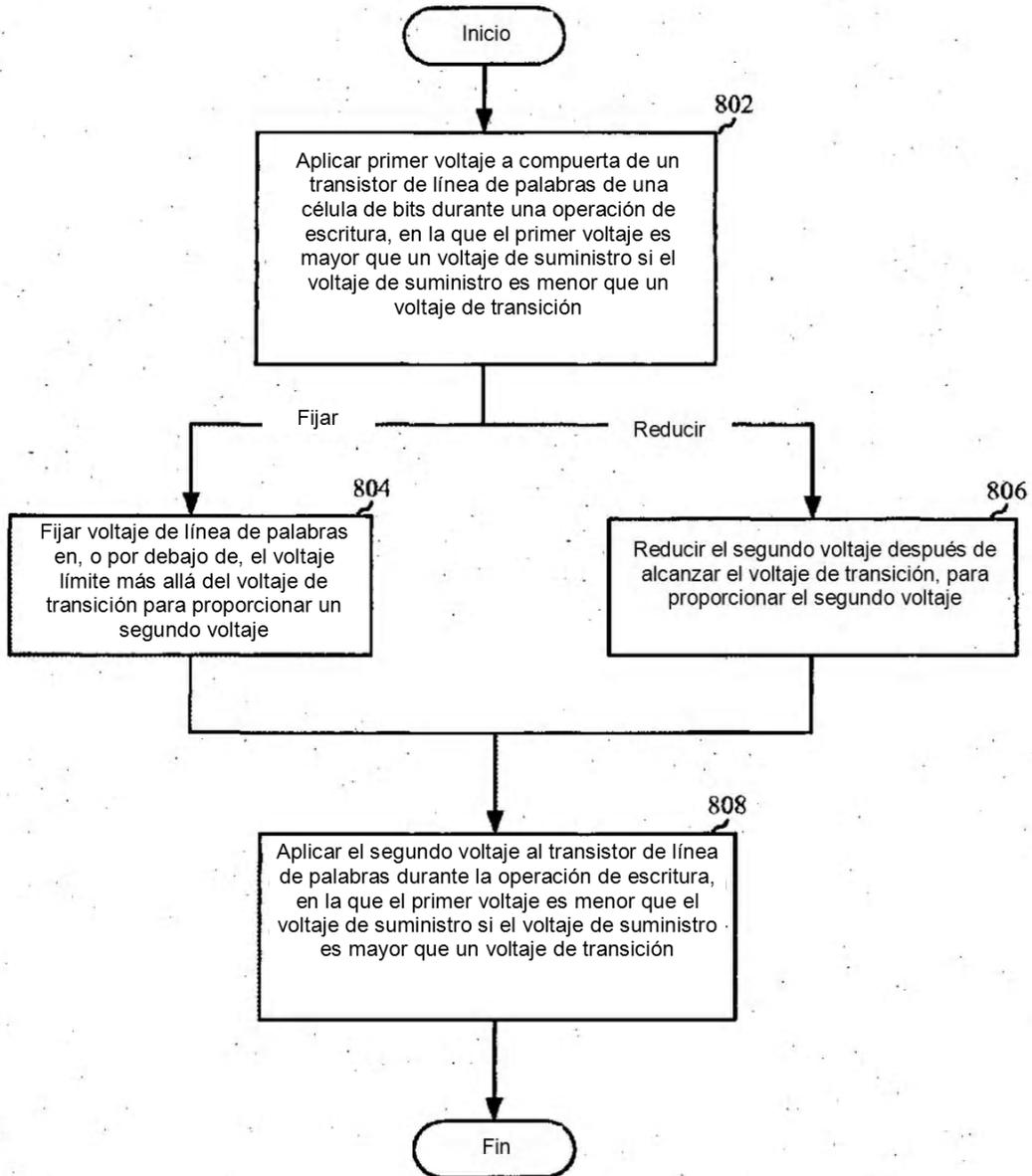


FIG. 8