

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 534 452**

51 Int. Cl.:

G06F 13/40 (2006.01)

H03K 19/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **01.08.2012 E 12178880 (6)**

97 Fecha y número de publicación de la concesión europea: **21.01.2015 EP 2555125**

54 Título: **Dispositivo para interconexionar una línea de bus bidireccional de tipo I2C**

30 Prioridad:

01.08.2011 IT TO20110715

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

22.04.2015

73 Titular/es:

**INDESIT COMPANY S.P.A. (100.0%)
Viale Aristide Merloni, 47
60044 Fabriano (AN), IT**

72 Inventor/es:

BURZELLA, LUCIANO

74 Agente/Representante:

CURELL AGUILÁ, Mireia

ES 2 534 452 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo para interconexión una línea de bus bidireccional de tipo I2C.

5 Campo de la invención

La presente invención se refiere a un dispositivo para interconexión una línea de bus bidireccional de tipo I2C, también denominada IIC o con otros acrónimos similares.

10 Antecedentes de la técnica

En una arquitectura basada en una norma de comunicación I2C, se conectan entre sí por lo menos un microprocesador y por lo menos un dispositivo mediante un bus de comunicación que prevé dos pares de líneas: una para datos y otra para sincronización. Cuando el bus se pone a un nivel lógico alto, no se comunica ningún dispositivo; viceversa, cuando el nivel lógico es bajo, por lo menos un dispositivo transmite.

15 Cuando el microprocesador se pone en el nivel lógico bajo, las corrientes para poner altos los otros dispositivos conectados al bus I2C reconectan el puerto de comunicación del propio microprocesador. A medida que se incrementa la cantidad de dispositivos conectados al bus, las corrientes relacionadas con dicho puerto también aumentan, lo que, implícitamente, limita la cantidad de dispositivos que se pueden manejar en una estructura individual.

20 Cuando se debe proporcionar un bus particularmente largo, hay más posibilidades de que el bus se acople a otras fuentes electromagnéticas perturbadoras, que pueden generar sobrecorrientes que podrían provocar daños en el/los procesador/es conectado/s al bus.

30 Por lo tanto, sería deseable que el potencial del bus se pudiera desacoplar de los niveles de potencial que los puertos del microprocesador pueden adoptar en funcionamiento, de manera que se evite cualquier daño a los microprocesadores debido al acoplamiento del bus a fuentes de ruido y al incremento de corrientes en circulación en el bus, con el fin de hacerlo más inmune al ruido.

Esto también permitiría el uso de microprocesadores y dispositivos que presenten en general potenciales de referencia diferentes, siendo el nivel de potencial del bus el mismo.

35 Otro problema que se debe abordar es el hecho de que resulta necesario por lo menos reducir el efecto de pulsos de voltaje no deseados, posiblemente presentes en el bus, que podrían dañar el microprocesador. Este problema se aprecia especialmente cuando dichos dispositivos se utilizan en aparatos domésticos. El documento WO2009/013008 da a conocer un dispositivo según el preámbulo de la reivindicación 1.

40 Sumario de la invención

Un objetivo de la presente invención es proporcionar un dispositivo para interconexión una línea de bus bidireccional de tipo I2C que está adaptada para limitar las corrientes que reconectan el puerto de transmisión del microprocesador, solucionando así el problema mencionado anteriormente.

45 Un objetivo adicional de la presente invención es proporcionar un dispositivo para interconexión una línea de bus bidireccional de tipo I2C que resulte particularmente robusto contra cualquier pulso de tensión no deseado en el bus.

50 La presente invención se refiere a un dispositivo para interconexión una línea de bus bidireccional de tipo IIC que comprende: una primera patilla adaptada para ser conectada a un puerto de un dispositivo adaptado para comunicarse mediante un bus IIC y que normalmente se mantiene en un primer potencial lógico alto; una segunda patilla adaptada para ser conectada a un bus IIC y que normalmente se mantiene en un segundo potencial lógico alto,

55 caracterizado por que comprende: primeros medios de conmutación provistos de una salida conectada directamente a dicha segunda patilla, una entrada de control conectada a dicha segunda patilla mediante una primera resistencia de polarización y un primer terminal conectado a un primer potencial de referencia y medios de accionamiento conectados a la entrada de control de dichos primeros medios de conmutación, adaptados para poner dichos primeros medios de conmutación en el estado de conducción cuando dicha primera patilla se sitúa en un nivel lógico bajo.

60 De acuerdo con otro aspecto de la invención, dicho dispositivo resulta particularmente adecuado para su aplicación cuando la longitud del bus es considerable y/o cuando existe una gran cantidad de dispositivos conectados al bus I2C, como en el caso, por ejemplo, de los circuitos electrónicos de un aparato doméstico. La longitud del bus es considerable, por ejemplo, cuando el bus I2C se utiliza para conectar dispositivos situados en diferentes placas

electrónicas en el aparato doméstico, por ejemplo una placa de control de carga y una placa de control de interfaz de usuario, que se pueden situar a una distancia la una de la otra de hasta un metro.

5 Un objetivo particular de la presente invención es proporcionar un dispositivo para interconectar una línea de bus bidireccional de tipo I2C y un aparato que incorpore dicho dispositivo, tal como se expone con claridad en las reivindicaciones adjuntas, concebidas para ser una parte integrada a la presente invención.

Breve descripción de los dibujos

10 Se pondrán de manifiesto otras características y ventajas de la invención a partir de la descripción detallada siguiente de algunas formas de realización preferidas, pero no limitativas, de un dispositivo para interconectar una línea de bus bidireccional de tipo I2C, proporcionado únicamente a título de ejemplo explicativo y no limitativo, haciendo referencia a los dibujos adjuntos, en los que:

15 la Figura 1 muestra un ejemplo de un diagrama de circuito que cumple con la presente invención,

la Figura 2 se refiere a una porción auxiliar del dispositivo, que está adaptada para definir un potencial de referencia (VCC_BAR1).

20 En los dibujos, los mismos números y letras de referencia identifican las mismas partes o componentes.

Descripción detallada de un ejemplo de forma de realización

Haciendo referencia a la Figura 1, un dispositivo de interfaz según la presente invención comprende:

- 25
- una primera patilla IIC_uC adaptada para ser conectada a un puerto de cualquier dispositivo que comprenda medios de interfaz adecuados para comunicarse mediante un bus I2C; a título de ejemplo, dicho cualquier dispositivo se mencionará a continuación como un microprocesador;
 - 30 - una segunda patilla IIC_Bus adaptada para su conexión a un bus I2C y a un segundo potencial de suministro V12, por ejemplo mediante una resistencia de elevación R17 adecuada,
 - un primer transistor Q25, por ejemplo de tipo PNP, que incluye:
 - 35 • un emisor Q25_e conectado directamente a la segunda patilla ICC_BUS,
 - una base Q25_b conectada a la segunda patilla ICC_BUS mediante una resistencia R42,
 - 40 • un colector Q25_c conectado al primer potencial de referencia 0
 - 45 - un segundo transistor Q20, por ejemplo de tipo NPN, que incluye:
 - un colector Q20_c conectado a la base del primer transistor Q25,
 - 50 • un emisor Q25_e conectado a la primera patilla ICC_uC,
 - una base Q25_b conectada a un tercer potencial de suministro RIF4,
 - un divisor de tensión provisto de una resistencia de elevación R19 y una resistencia de tierra R43 conectada a la primera patilla IIC_uC, definiendo así un potencial de nivel lógico alto V_uC Alto, por lo menos mientras haya impedancia alta en el puerto de comunicación del microprocesador,
 - un grupo de diodos D25, D18 y/o D27 en una configuración de tipo "back to back", lo que significa que sus ánodos respectivos están conectados conjuntamente y al segundo potencial de suministro V12 mediante una resistencia de elevación R19: un diodo D25 tiene el cátodo conectado a la segunda patilla IIC-BUS y por lo menos otro diodo D18 y/o D27 tiene el cátodo conectado a la primera patilla IIC_uC,
 - 55 - un diodo adicional D26 con el cátodo conectado a la segunda patilla IIC-BUS y el ánodo conectado a dicho tercer potencial de referencia RIF4.
- 60

De este modo, se definen dos ramales de interconexión entre la primera patilla IIC_uC y la segunda patilla IIC_BUS: el primer ramal R1 mediante el grupo de diodos D25, D18, D27; el segundo ramal R2 mediante Q25 y Q20.

Los dos ramales están interrelacionados mediante RIF4.

65

Se deberá tener en cuenta que RIF4 varía dependiendo de las condiciones de funcionamiento del circuito. De hecho, siempre que se inhiba Q20, no circulará corriente por el circuito de accionamiento P y RIF4 alcanzará los 2 Voltios aproximadamente, mientras que cuando Q20 y, así, Q25, están en conducción RIF4 se alcanza, mediante el efecto de la conducción de D26, una condición de equilibrio de aproximadamente 0,9 Voltios, que, no obstante, resulta adecuada para asegurar una conducción estable de Q20.

De hecho, el circuito de accionamiento P está realizado con un divisor de tensión R15 y R16, generado por el primer potencial de referencia V12, que suministra el nodo RIF4, coincidiendo con la base de Q20 y el ánodo de D26, mediante la paralela de un condensador C14 y de una resistencia R36. El potencial VCC_BAR1 se genera mediante dicho divisor de tensión con R16 conectado a tierra y R15 conectado al potencial V12. El valor del potencial de RIF4 concuerda con el de VCC_BAR1 cuando no circula corriente por la resistencia R36 y, así, por Q20.

El condensador C14 tiene la función de asegurar una conmutación más rápida de Q20.

Tal como se pondrá de manifiesto más adelante, la serie D18 y D27 resulta necesaria para obtener un caída de tensión predefinida de aproximadamente 1V, pudiendo esto obtenerse, de forma alternativa, utilizando solo un diodo D18 o D27 y una resistencia conectada en serie o solo una resistencia.

Se prefiere que haya por lo menos un diodo D18 o D27, posiblemente en serie con una resistencia, con el fin de reducir de forma adecuada el nivel de tensión en la patilla V_{uC} cuando el nivel recibido en el bus sea bajo. La presencia de un diodo D18 o D27 tiene el efecto de filtrar cualquier pulso de tensión negativo en el bus, protegiendo así el microprocesador. En el diodo D25 se proporciona un efecto similar de filtrado de cualquier pulso de tensión positivo presente en el bus con el fin de proteger el microprocesador.

Q20 y Q25 están dispuestos de manera que multipliquen las ganancias de corriente respectivas, de manera que, con el fin de activar Q25, resulte suficiente que el microcontrolador drene la corriente de base débil de Q20.

El dispositivo de interfaz se puede encontrar en los estados siguientes:

- la patilla uC y la patilla Bus se mantienen ambas en un nivel lógico alto, V_{uC} Alto y V_{Bus} Alto, respectivamente: en esta condición ningún dispositivo transmite, es decir, todos los dispositivos conectado al bus I2C están recibiendo, o el microprocesador conectado a la patilla uC transmite a nivel alto;
- la patilla uC no se acciona mediante el microprocesador respectivo, debido a que el puerto de comunicación se pone en recepción, mientras que la patilla Bus se acciona en un nivel lógico bajo V_{Bus} Bajo: esto significa que el microprocesador conectado a la patilla uC está recibiendo datos de otro dispositivo conectado al bus I2C, que acciona su propio puerto a V_{uC} Bajo, poniendo de este modo también el bus al nivel lógico bajo V_{Bus} Bajo;
- la patilla uC se acciona en un nivel lógico bajo V_{uC} Bajo mediante el microprocesador respectivo, que está transmitiendo datos; esto significa que existe una baja impedancia en el puerto de comunicación del microprocesador, mientras que otros dispositivos (los que están comunicando) se encuentran en recepción (manteniendo la impedancia alta en sus propios puertos de comunicación con V_{uC} Alto respectivo).

En el primer caso de las condiciones de funcionamiento mencionadas anteriormente, es decir, cuando todos los dispositivos conectados al bus IIC están accionando el bus en un nivel lógico alto y el nivel lógico de la patilla IIC_{uC} también es alto, todos los dispositivos se encuentran en recepción.

En estas circunstancias, el potencial del emisor del segundo transistor Q20 depende del divisor de tensión formado por las resistencias R19 y R43 que, preferentemente, es aproximadamente igual que la tensión de suministro del microprocesador, por ejemplo 3,3 V o 5 V u otra tensión. Q20 se inhibe, debido a que el potencial impuesto por RIF4 en la base de Q20, aproximadamente 2 voltios, es menor que el potencial del emisor de Q20. La inhibición de Q20 implica, debido a la configuración de conexión entre los dos transistores, la inhibición de Q25, de manera que, sustancialmente, no hay corriente en circulación en el segundo ramal R2.

Debido a que Q25 está inhibido, y a que R17 presenta un valor de resistencia inferior a R19, resulta que el diodo D25 está inversamente polarizado y, por lo tanto, no conduce. En dicha condición, RIF4 es aproximadamente igual a 2 voltios, de manera que el diodo D26 también está inhibido, debido a que el potencial en el cátodo es mayor que en el ánodo.

Si el microprocesador conectado a la primera patilla IIC_{uC} se encuentra en recepción mientras que otro dispositivo conectado al bus IIC se encuentra en transmisión e impone un nivel lógico bajo en el bus IIC, correspondiente a 0,7 V como máximo, en el nodo RIF4 habrá aproximadamente 0,9 V, en el ánodo de D18 aproximadamente 0,9 V y, como consecuencia, el par de diodos D18, D27 se inhibirán, evitando así que el potencial se transfiera desde el bus IIC_{BUS} a la patilla IIC_{uC}; Q20 se activará, generando un potencial de aproximadamente 0,3 V en la patilla IIC_{uC},

correspondiente a un nivel lógico bajo en recepción. Q25 se inhibirá debido a que la diferencia de potencial entre la base y el emisor será aproximadamente 0,4 V, es decir, por debajo del umbral de conectado "ON".

5 Cuando el microprocesador se encuentra en transmisión, acciona un nivel lógico bajo. En dichas circunstancias, Q20 está en la configuración del emisor seguidor, es decir, la misma configuración que Q25, de manera que la diferencia de potencial (Vbe) entre la base respectiva (aprox. 0,9 V) y el emisor respectivo (aprox. 0 V) de Q20 es tal, que se pone en el estado de conducción. Como resultado, esto pone el transistor Q25 en el estado de conducción, lo que reconectará la segunda patilla IIC_BUS al primer potencial de referencia 0, con una diferencia de potencial de aproximadamente 0,7 V igual que el voltaje en su propio emisor (Vec), cerrando de este modo a tierra las corrientes de bus. Ventajosamente, esto desacopla las corrientes que circulan en el bus de la corriente absorbida por el puerto de comunicación del microprocesador, conectado a la primera patilla IIC_uC.

15 Además, al estar la base de Q20 conectada al ánodo de D26, este último drenará una parte de la corriente de la base de Q20, lo que, en lugar de reconectar R43, reconectará R42. Por lo tanto, aunque RIF4 se reducirá hasta tan bajo como 0,9 V cuando los transistores estén conduciendo, D26 resultará estar directamente polarizado y conduciendo.

20 Las señales de datos recibidas por la primera patilla pasarán por los dos transistores Q20, Q25 para llegar a la segunda patilla.

25 Desde cierto punto de vista, la base de Q25 se controla mediante la corriente del colector de Q20, obteniendo así una multiplicación de la ganancia total del conjunto Q20, Q25; esto también se traduce en una mayor reactividad del circuito, que también se mejora mediante C14, que colabora en el drenaje de la base de Q20 cuando se tiene que inhibir Q20.

Otra ventaja del esquema propuesto es que, con una extracción de corriente de entrada mínima de la fuente de potencial 12 V, se puede cubrir una amplia variedad de corrientes de salida.

30 Además, el esquema está configurado de manera que se encuentre un punto de trabajo estable independientemente de los valores de las resistencias de elevación seleccionadas.

Además, el accionamiento del transistor Q25 se lleva a cabo en su totalidad mediante corriente.

35 Debido a que un experto en la técnica conoce cómo adaptar el circuito a transistores PNP y NPN, etc., con fines de generalización, en el presente documento se asumirá que un transistor prevé una base; una entrada y una salida. El término "entrada" hará referencia en el presente documento al colector para un transistor PNP o al emisor para un transistor NPN, etc.

40 Además, se prefiere que los dos diodos D25 y D26 se incluyan en un único paquete y que sean de tipo Schottky.

Algunos valores preferidos de los componentes descritos en el presente documento son los siguientes:

la resistencia R17 prevé una resistencia de aproximadamente 1k - 10k Ω

45 la resistencia R42 prevé una resistencia de aproximadamente 2,2k Ω y/o

la resistencia R19 prevé una resistencia de aproximadamente 22k Ω y/o

50 la resistencia R43 prevé una resistencia de aproximadamente 10k Ω y/o

la resistencia de elevación R15 es de aproximadamente 20k Ω

la resistencia R16 prevé una resistencia de aproximadamente 4k Ω y/o

55 la resistencia R43 prevé una resistencia de aproximadamente 10k Ω y/o

el condensador de drenaje prevé una capacidad de aproximadamente 100pF,

60 el condensador de filtro C12 prevé una capacidad de aproximadamente 100nF.

La forma de realización de ejemplo descrita anteriormente se puede someter a variaciones sin apartarse del alcance de protección de la presente invención, incluyendo la totalidad de los diseños equivalentes conocidos por un experto en la materia.

65 A partir de la descripción anterior, los expertos en la materia pueden producir el objeto de la invención sin introducir ningún detalle de construcción adicional.

REIVINDICACIONES

1. Dispositivo para la interconexión a una línea de bus bidireccional de tipo IIC, que comprende:

- 5 - una primera patilla (IIC_uC) adaptada para ser conectada a un puerto de un dispositivo adaptado para comunicarse mediante un bus IIC, y que normalmente se mantiene a un primer potencial lógico alto (V_uC Alto);
- 10 - una segunda patilla (IIC_Bus) adaptada para ser conectada a un bus IIC, y que normalmente se mantiene a un segundo potencial alto (V_Bus Alto),

caracterizado por que comprende:

- 15 - unos primeros medios de conmutación (Q25) que presentan una salida (Q25e) conectada directamente a dicha segunda patilla (IIC_Bus), una entrada de control (Q25_b) conectada a dicha segunda patilla (IIC_Bus) mediante una primera resistencia de polarización (R42) y un primer terminal (Q25_c) conectado a un primer potencial de referencia (0), y
- 20 - unos medios de accionamiento (Q20) conectados a la entrada de control (Q25_b) de dichos primeros medios de conmutación (Q25), adaptados para poner dichos primeros medios de conmutación (Q25) en el estado de conducción cuando dicha primera patilla (IIC_uC) se pone a un nivel lógico bajo (V_uC Bajo).

2. Dispositivo según la reivindicación 1, en el que dichos medios de accionamiento comprenden un segundo transistor (Q20) que presenta una salida (Q20_c) conectada a la entrada de control (Q25_b) del primer transistor (Q25), una entrada (Q20_e) conectada a dicha segunda patilla (IIC_uC) y una entrada de control (Q20_b) conectada a un tercer potencial de referencia (RIF4) y/o a un circuito de accionamiento (P) adaptado para generar dicho tercer potencial de referencia (RIF4).

3. Dispositivo según una de las reivindicaciones anteriores, que comprende asimismo una tercera patilla adaptada para ser conectada a un segundo potencial de suministro (V12) que presenta un valor mayor que dicho primer potencial de referencia (0) y un grupo de diodos, que comprende:

- 35 - por lo menos un primer diodo (D25) que presenta un ánodo conectado funcionalmente a dicho segundo potencial de suministro (V12) y un cátodo conectado a dicha primera patilla (IIC_uC), y/o
- 40 - por lo menos un primer diodo (D25) que presenta un ánodo conectado funcionalmente a dicho segundo potencial de suministro (V12) y un cátodo conectado a dicha segunda patilla, y por lo menos un segundo diodo (D18 y/o D27) que presenta un ánodo conectado al ánodo de dicho primer diodo (D25) y un cátodo conectado a dicha primera patilla (IIC_uC), y/o
- 45 - por lo menos un primer diodo (D25) que presenta un ánodo conectado funcionalmente a dicho segundo potencial de suministro (V12) y un cátodo conectado a dicha segunda patilla, y por lo menos un segundo diodo (D18) y un tercer diodo (D27) conectados juntos en cascada, con un ánodo del segundo diodo (D18) conectado al ánodo de dicho primer diodo (D25) y un cátodo del tercer diodo (D27) conectado a dicha primera patilla (IIC_uC), y/o
- 50 - por lo menos un primer diodo (D25) que presenta un ánodo conectado funcionalmente a dicho segundo potencial de suministro (V12) y un cátodo conectado a dicha segunda patilla, y por lo menos un segundo diodo (D18 o D27) que presenta un ánodo conectado al ánodo de dicho primer diodo (D25) y un cátodo conectado a dicha primera patilla (IIC_uC), mediante una resistencia adicional, y/o
- 55 - por lo menos un primer diodo (D25) que presenta un ánodo conectado funcionalmente a dicho segundo potencial de suministro (V12) y un cátodo conectado a dicha segunda patilla, y por lo menos una resistencia adicional que conecta el ánodo de dicho primer diodo también a dicha primera patilla (IIC_uC).

4. Dispositivo según la reivindicación 3, en el que dicha primera patilla (IIC_uC) se mantiene en dicho potencial lógico alto (V_uC ALTO) mediante un primer divisor de tensión en derivación de dicho segundo potencial de suministro (V12) y que presenta una resistencia de elevación igual a la suma de por lo menos una segunda resistencia (R19) y una tercera resistencia (R43) en derivación con dicho primer potencial de referencia (0).

5. Dispositivo según una de las reivindicaciones 2 a 4, que comprende asimismo un cuarto diodo (D26) que presenta un cátodo conectado a dicho segundo perno (IIC_Bus) y un ánodo conectado a dicho tercer potencial de referencia (RIF4).

6. Dispositivo según una de las reivindicaciones 3 a 5, en el que dicho circuito de accionamiento (P) comprende un segundo divisor de tensión adaptado para definir un cuarto potencial de suministro (VCC_BAR1) que presenta una

segunda resistencia de elevación (R15) conectada a dicho segundo potencial de suministro (V12), una resistencia (R16) en derivación con dicho primer potencial de referencia (0), estando esta última en paralelo a un condensador de filtro (C12), definiendo dicho cuarto potencial de suministro dicho tercer potencial de referencia (RIF4) mediante una cuarta resistencia (R43) en paralelo a dicho condensador de drenaje (C14).

- 5
7. Dispositivo según cualquiera de las reivindicaciones anteriores, en el que
- dichos primeros medios de conmutación comprenden un transistor (Q25);
- 10 dicho primer divisor está adaptado para generar un potencial lógico (V_{uC}) de aproximadamente 3,3 Voltios, y/o
- dicho segundo divisor está adaptado para generar dicho cuarto potencial de referencia (VCC_BAR1) igual a aproximadamente 2 Voltios, y/o
- 15 dicha primera resistencia (R42) presenta una resistencia de aproximadamente 2,2kΩ, y/o
- dicha segunda resistencia (R19) presenta una resistencia de aproximadamente 22kΩ, y/o
- dicho primer divisor de tensión presenta una resistencia (R43) en derivación con dicho primer potencial de referencia (0) con una resistencia de aproximadamente 10kΩ, y/o
- 20 dicha resistencia de elevación (R15) del segundo divisor de tensión presenta una resistencia de aproximadamente 20kΩ y una resistencia en derivación con dicho primer potencial de referencia (0) con una resistencia de aproximadamente 4kΩ, y/o
- 25 dicha cuarta resistencia (R43) presenta una resistencia de aproximadamente 10kΩ, y/o
- dicho condensador de drenaje presenta una capacidad de aproximadamente 100pF.
- 30 8. Dispositivo según cualquiera de las reivindicaciones anteriores, en el que dicha segunda patilla se mantiene en dicho segundo potencial lógico alto (V_{Bus Alto}) mediante una tercera resistencia de elevación (R17).
9. Estructura de comunicación de tipo IIC, que comprende por lo menos un bus IIC y por lo menos un dispositivo de tratamiento que presenta por lo menos un puerto de medios de comunicación adaptado para comunicarse mediante
- 35 el bus IIC y caracterizado por que comprende un dispositivo de interfaz según cualquiera de las reivindicaciones anteriores.
10. Aparato doméstico que comprende un dispositivo según cualquiera de las reivindicaciones 1 a 8 y/o que comprende una estructura de comunicación I2C según la reivindicación 9.
- 40

