(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 535 497**

(51) Int. CI.:

H03L 7/08 (2006.01)
H03L 7/10 (2006.01)
H03L 7/085 (2006.01)
H03L 7/093 (2006.01)

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(96) Fecha de presentación y número de la solicitud europea: **22.10.2010 E 10826056 (3)**

(97) Fecha y número de publicación de la concesión europea: **25.02.2015 EP 2482460**

(54) Título: **Sistema de bloqueo y procedimiento del mismo**

(30) Prioridad:

23.10.2009 CN 200910207117

(45) Fecha de publicación y mención en BOPI de la traducción de la patente:
12.05.2015

(73) Titular/es:

ZTE CORPORATION (100.0%)
ZTE Plaza, Keji Road South, Hi-Tech Industrial Park, Nanshan District
Shenzhen, Guangdong 518057, CN

(72) Inventor/es:

LIU, YONGBO;
ZHANG, HONGWEI;
LI, JIAN;
ZHANG, ZHAOLI;
FAN, LIANG;
LIU, ZHEN y
JIA, YUTAO

(74) Agente/Representante:

DURÁN MOYA, Luis Alfonso

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema de bloqueo y procedimiento del mismo

Sector técnico

La presente invención se refiere a los campos de la comunicación, navegación y medición de espectros, etcétera y, en particular, a un sistema de bloqueo y su procedimiento. Las tecnologías relacionadas son conocidas a partir de los documentos US6970046 B2 y US2003/086339 A1.

Antecedentes de la técnica relacionada

Con el rápido desarrollo de la tecnología electrónica, los sectores de la comunicación, navegación, astronáutica, medición y control, medición de alta precisión, telefonía móvil y similares tienen cada vez más exigencias en algunos índices, tales como estabilidad a corto plazo, estabilidad a largo plazo y tasa de envejecimiento, etc., de la fuente de frecuencia. En la actualidad, con el rápido desarrollo de la tecnología de comunicaciones por módem, diversos sistemas de comunicación también tienen cada vez más exigencias de sincronización de tiempo y frecuencia. Actualmente, muchas salidas de frecuencia con alta estabilidad, alta precisión y buena tasa de envejecimiento se implementan utilizando un bucle de bloqueo de fase de alta precisión. El bloqueo de alta precisión, rápido, de una frecuencia de salida local y una frecuencia nominal se puede implementar utilizando el bucle de bloqueo de fase de alta precisión. El bloqueo de fase puede hacer que cada índice de frecuencia de la fuente local en la que uno de los índices de frecuencia es menor que el de la fuente estándar obtenga una mejora evidente. La velocidad de bloqueo y la precisión del bucle de bloqueo de fase son la base sobre la que se miden los índices del bucle de bloqueo de fase. En primer lugar, la precisión de bloqueo del bucle de bloqueo de fase debe ser suficientemente elevada, cuanto mayor sea la precisión del bloqueo de fase, menor será la diferencia de frecuencias entre la fuente bloqueada y la fuente estándar durante el bloqueo de la frecuencia y, de esta manera se implementa la sincronización entre sistemas más fácilmente. En segundo lugar, el bucle de bloqueo de fase debe poder implementar el bloqueo rápido, cuanto más rápida sea la velocidad de bloqueo del bucle de bloqueo de fase, más rápida será la implementación del bloqueo entre la fuente bloqueada y la fuente estándar, y cuanto más rápida sea la implementación de la sincronización de frecuencia entre las fuentes de frecuencia del sistema de comunicación, más rápido puede ser el seguimiento de la fuente bloqueada para implementar la sincronización.

El circuito del bucle con bloqueo de fase puede mejorar la estabilidad a corto plazo y la precisión de la salida de frecuencia de la frecuencia de salida de la fuente local, en particular, la mejora de la estabilidad a largo plazo de la misma es especialmente evidente. En los sectores tales como la navegación y similares, el bucle de bloqueo de fase puede hacer que un oscilador de cristal termostático local mantenga una buena estabilidad a corto plazo y la estabilidad a largo plazo del oscilador de cristal termostático local se puede mantener básicamente al nivel de un reloj atómico en el sistema de navegación debido a que el oscilador de cristal termostático local mantiene la sincronización con el reloj atómico en el sistema de navegación durante todo el tiempo. De esta manera, no solo se puede mantener una buena estabilidad a corto plazo del oscilador de cristal termostático sino que el oscilador de cristal termostático también puede obtener la mejor estabilidad a largo plazo que es próxima al nivel del reloj atómico debido al bloqueo. Debido al bloqueo con el reloj atómico, también se puede mejorar la estabilidad a corto plazo del oscilador de cristal termostático hasta cierto punto.

El PLL (bucle con bloqueo de fase) tradicional hace que las señales f_{in} y f_{out} pasen por un circuito de conversión de frecuencia complicado utilizando un divisor de frecuencia, convierte las señales f_{in} y f_{out} en las mismas señales de menor frecuencia y a continuación realiza una discriminación de fase, el principio de la cual se muestra en la figura 1.

El bucle de bloqueo de fase actual se clasifica principalmente en dos tipos: un bucle de bloqueo de fase analógico y un bucle de bloqueo de fase digital. El bucle de bloqueo de fase analógico es el bucle de bloqueo de fase que se aplica ampliamente inicialmente, que tiene la característica de una precisión de bloqueo de fase elevada. El filtro de paso bajo y el oscilador controlado por la tensión del circuito del bucle de bloqueo analógico son todos ellos circuitos analógicos con inconvenientes tales como deriva de carga, componentes propensos al envejecimiento e inestabilidad de los parámetros.

Antes de que apareciera el bucle de bloqueo de fase digital, el bucle de bloqueo de fase analógico se aplicaba ampliamente en diversos sectores debido a su elevada precisión de bloqueo de fase. En la actualidad, con el rápido desarrollo de los circuitos digitales, cada vez más sectores utilizan circuitos digitales y se puede decir que los circuitos digitales se aplican casi en todas partes. En algunos circuitos digitales, se requiere que el circuito analógico realice un proceso de conversión digital correspondiente cuando se utiliza el bucle de bloqueo de fase analógico para bloquear algunas señales digitales, lo que aumentará la complejidad del circuito del bucle de bloqueo de fase analógico, por lo tanto, las aplicaciones del bucle de bloqueo de fase analógico en algunos circuitos digitales son

limitadas.

El bucle de bloqueo de fase digital se puede aplicar directamente en el circuito digital del módem y la señal digital no necesita ser convertida primero en señal analógica y a continuación ser bloqueada utilizando el bucle de bloqueo de fase analógico. No obstante, en el bucle de bloqueo de fase digital tradicional también existen algunos problemas en lo siguiente:

1) Tiempo de bloqueo largo, el bucle de bloqueo de fase digital tradicional controla el oscilador de cristal termostático adoptando una señal que es dividida en frecuencia en primer lugar y a continuación pasa un filtro que utiliza un error de fase; se puede observar a partir de una fórmula de bucle del bucle de bloqueo de fase que, el proceso de bloqueo de fase del bucle de bloqueo de fase tradicional es un proceso de convergencia de la oscilación, y el tiempo de bloqueo es más largo debido a que existe un proceso repetitivo de convergencia;

2) la precisión del bloqueo de fase no es suficientemente elevada; para un bucle de bloqueo de fase digital completo implementado utilizando un DDS (sintetizador digital directo), la precisión del bloqueo de fase no es suficientemente elevada debido a que la precisión del bloqueo de fase está afectada por la resolución del DDS.

En conclusión, el bucle de bloqueo de fase se aplica cada vez más ampliamente en los sectores tales como en comunicaciones de SDH (jerarquía digital síncrona), navegación y medición de alta precisión, etc. Particularmente, en el caso del sector de las comunicaciones de alta precisión que requieren que la salida de frecuencia de la fuente local sea coherente con la salida de frecuencia de la fuente estándar rápidamente, tales como la comunicación de SDH, no solo requiere poder implementar el bloqueo rápido entre la fuente local y la fuente estándar, sino que también requiere poder implementar el bloqueo rápido y de elevada precisión.

Características de la invención

El presente documento da a conocer un sistema de bloqueo y un procedimiento, que aumenta sustancialmente la velocidad de bloqueo del bloqueo de fase y que aumenta de manera significativa la precisión del bloqueo de fase.

Las características del procedimiento y del sistema según la presente invención se definen en las reivindicaciones independientes. En las reivindicaciones dependientes se dan a conocer mejoras y realizaciones adicionales.

También se da a conocer un sistema de bloqueo, y el sistema comprende una unidad de discriminación y conversión de la fase digital, una unidad de filtro del bucle digital y una unidad de oscilación controlada por la tensión digital que están conectadas a su vez, en el que:

la unidad de discriminación y conversión de fase digital está configurada para llevar a cabo el proceso de discriminación y de conversión de fase de una señal de entrada F_i de una fuente estándar externa y una señal de salida retroalimentada F_o de un oscilador de cristal termostático local que pasa por una división de frecuencia, para generar una señal de reloj (clk) y una señal de signo (sign) que se utiliza para indicar una relación de magnitud de frecuencias entre la señal F_i y la señal F_o;

la unidad de filtro del bucle digital está configurada para llevar a cabo el proceso de filtrado de la señal clk y de la señal sign, y generar una señal adelantada que se utiliza para indicar que la frecuencia de la señal F_o es menor que la frecuencia de la señal F_i y una señal retardada que se utiliza para indicar que la frecuencia de la señal F_o es mayor que la frecuencia de la señal F_i;

la unidad de oscilación controlada por la tensión está configurada para llevar a cabo el proceso de oscilación controlado por la tensión para la señal adelantada y la señal retardada que se generan tras el proceso de filtrado, para implementar un bloqueo de la señal F_o y de la señal F_i.

La unidad de discriminación y conversión de la fase digital puede comprender un discriminador de fases escalonadas digital y un módulo de conversión, en los que, el discriminador de fases escalonadas digital puede estar configurado para llevar a cabo un proceso de discriminación de fase de la señal F_i y de la señal F_o, y generar un error de señal de impulsos que se utiliza para indicar una relación de fase entre la señal F_i y la señal F_o; el módulo de conversión puede estar configurado para calcular una anchura de impulso del error de la señal de impulsos según un contaje de la señal de contaje, y generar la señal sign que indica la relación de magnitud de las frecuencias entre la señal F_i y la señal F_o y una señal equ_nequ que indica si las anchuras de los impulsos vecinos son iguales y realizan un procesamiento AND de la señal equ_nequ y de la señal F_i para generar la señal de reloj clk; el contaje de la señal de contaje puede ser implementado por medio de un cálculo de intervalos de tiempo y la señal sign puede indicar la relación de magnitud de las frecuencias entre la señal F_i y la señal F_o mediante una relación de magnitud de la anchura de los impulsos vecinos en el error de la señal de impulsos.

La unidad digital de oscilación controlada por la tensión puede comprender un convertidor digital-analógico (DA) y un oscilador digital controlado por la tensión; el convertidor DA puede estar configurado para recibir las señales adelantadas y la salida retardada mediante la unidad de filtro del bucle digital, y tras realizar una conversión digital-analógica controlando el convertidor DA que utiliza las señales recibidas, transmitir las señales al oscilador digital controlado por la tensión; el oscilador digital controlado por la tensión puede estar configurado para llevar a cabo la oscilación controlada por la tensión procesando las señales transmitidas por el convertidor DA.

O bien, la unidad de oscilación digital controlada por la tensión puede comprender un módulo de modulación por anchura de impulso (PWM) y un oscilador digital controlado por la tensión; el módulo de PWM puede estar configurado para generar una onda de PWM con un periodo constante y una anchura de impulso de alto nivel ajustable, y llevar a cabo una modulación por anchura de impulso de la onda de PWM utilizando las señales adelantadas y la salida retardada de la unidad de filtro del bucle digital y transmitir la señal tras la modulación de anchura de impulso al oscilador digital controlado por la tensión; el oscilador digital controlado por la tensión puede estar configurado para llevar a cabo el proceso de oscilación controlado por la tensión de la señal transmitida por el módulo de PWM. El módulo de PWM puede ser implementado mediante un procesador de una disposición de puertas programable por campo o un dispositivo lógico programable en el sistema de bloqueo mediante la configuración de tiempos.

Asimismo se da a conocer un procedimiento de bloqueo, que comprende:

un sistema de bloqueo que lleva a cabo un procesamiento de discriminación y de conversión de fase de una señal de entrada F_i de una fuente estándar externa y una señal de salida retroalimentada F_o de un oscilador de cristal termostático que pasa por una división de frecuencia, para generar una señal de reloj clk y una señal sign que se utiliza para indicar una relación de magnitud de las frecuencias entre la señal F_i y la señal F_o, y llevar a cabo el procesamiento de filtrado de la señal clk y de la señal sign y llevar a cabo el procesamiento de oscilación controlada por la tensión a una señal adelantada que se utiliza para indicar que la frecuencia de la señal F_o es menor que la frecuencia de la señal F_i y una señal retardada que se utiliza para indicar que la frecuencia de la señal F_o es mayor que la frecuencia de la señal F_i que son generadas tras el procesamiento de filtrado para implementar un bloqueo de la señal F_o y de la señal F_i.

En el procedimiento anterior, la etapa del sistema de bloqueo que lleva a cabo el procedimiento de discriminación y de conversión de fase de la señal F_i y de la señal F_o que pasan por la división de frecuencia para generar la señal de reloj clk y la señal sign que se utiliza para indicar la relación de magnitud de las frecuencias entre la señal F_i y la señal F_o puede comprender: el sistema de bloqueo que lleva a cabo el procesamiento de discriminación de fase de la señal F_i y de la señal F_o en primer lugar, generando un error de la señal de impulsos que se utiliza para indicar una relación de fase entre la señal F_i y la señal F_o, calculando una anchura de impulso del error de la señal de impulsos según un contaje de la señal de contaje, generando la señal sign que indica la relación de magnitud de las frecuencias entre la señal F_i y la señal F_o y una señal equ_nequ que indica si las anchuras de impulso vecinas son iguales y lleva a cabo el procesamiento AND de la señal equ_nequ y de la señal F_i para generar la señal de reloj clk; en este caso, el contaje de la señal de contaje puede ser implementado por medio de un cálculo del intervalo de tiempo y la señal sign puede indicar la relación de magnitud de las frecuencias entre la señal Fi y la señal F_o mediante una relación de magnitud de las anchuras de impulso vecinas en el error de la señal de impulso.

El sistema de bloqueo puede controlar una conversión digital-analógica utilizando las señales adelantada y retardada que se generan después del procesamiento de filtrado y a continuación se lleva a cabo el procesamiento de oscilación controlada por la tensión.

O bien, el sistema de bloqueo puede llevar a cabo una modulación por anchura de impulso de la onda de modulación por anchura de impulso (PWM) utilizando las señales adelantada y retardada que se generan tras el procesamiento de filtrado, y a continuación lleva a cabo el procesamiento de oscilación controlada por la tensión. La onda de PWM puede ser una onda de PWM con un periodo constante y una anchura de impulso de alto nivel ajustable, que se genera mediante una disposición de puertas programables por campo o un dispositivo lógico programable en el sistema de bloqueo mediante la configuración de tiempos.

El esquema técnico del presente documento evita un proceso de convergencia de la oscilación del bucle de bloqueo de fase tradicional en el proceso de bloqueo, mediante el que se puede implementar un bloqueo rápido y de alta precisión. Además, el esquema técnico del presente documento reduce la zona de circuito y reduce el coste del circuito.

Breve descripción de los dibujos

La figura 1 es un diagrama esquemático del principio de un bucle tradicional de bloqueo de fase;

la figura 2 es un diagrama esquemático del bucle de bloqueo de fase propuesto en una realización 1;

la figura 3 es un diagrama de bloques del principio de una conexión entre un convertidor DA y un CPLD en una realización 1;

la figura 4 es un diagrama esquemático de una interfaz de un discriminador de fase escalonada digital en una realización 1;

la figura 5 es un diagrama de simulación de la forma de onda de las señales de salida de un discriminador de fase escalonada digital en una realización 1;

la figura 6 es una parte de un diagrama del circuito de un módulo de conversión de una unidad de discriminación y conversión de fase digital en una realización 1;

la figura 7 es un diagrama de simulación de la forma de onda de las señales de salida de una unidad de discriminación y conversión de fase digital en una realización 1;

la figura 8 es un diagrama esquemático de un DLF en una realización 1;

la figura 9 es un diagrama de simulación de la forma de onda de las señales de salida de un DLF mostrado en la figura 8; y

la figura 10 es un diagrama esquemático de un DCO en una realización 1.

Realizaciones preferentes de la presente invención

La noción principal de la presente invención es que se puede implementar un bucle completo de bloqueo de la fase digital adoptando una unidad de discriminación y conversión de fase digital, una unidad de filtro del bucle digital y una unidad de oscilación digital controlada por la tensión, de este modo se implementa un bloqueo rápido; en el que la unidad de discriminación y conversión de fase digital puede determinar directamente una relación de magnitud entre la frecuencia de una señal de salida local y la frecuencia nominal para evitar el proceso de convergencia de la oscilación del bucle tradicional de bloqueo de fase en un proceso de bloqueo, y el circuito digital mejorado de la unidad de discriminación y conversión de fase digital puede estar integrado en una FPGA (disposición de puertas programables por campo) o un CPLD (dispositivo lógico programable complejo). Además, a efectos de implementar un bucle de bloqueo de fase de alta precisión, la unidad de oscilación controlada por la tensión digital puede llevar a cabo la conversión digital-analógica a la señal digital en primer lugar mediante un DA (convertidor digital-analógico) o un módulo de modulación por anchura de impulso (PWM), y a continuación llevando a cabo el procesamiento de oscilación controlado por la tensión.

El esquema técnico de la presente invención se mostrará en detalle conjuntamente con los dibujos adjuntos y las realizaciones específicas como sigue.

Realización 1

Un sistema de bloqueo rápido y de alta precisión, una estructura del cual se muestra en la figura 2, comprende al menos una unidad de discriminación y conversión de fase digital, una unidad de filtro del bucle digital y una unidad de oscilación digital controlada por la tensión que están conectadas a su vez.

Las funciones específicas de cada parte se presentarán como sigue.

La unidad de discriminación y conversión de fase digital está configurada para llevar a cabo el procesamiento de discriminación y conversión de fase de una señal de entrada F_i de una fuente estándar externa y una señal de salida de retroalimentación F_o de un oscilador de cristal termostático local que pasa por una división de frecuencia para generar una señal de reloj clk y una señal sign que se utiliza para indicar una relación de magnitud de frecuencias entre la señal F_i y la señal F_o;

en esta realización, la unidad de discriminación y conversión de fase digital puede comprender, además, un discriminador de fase escalonado digital (DPD) y un módulo de conversión;

en el que, el DPD puede llevar a cabo la discriminación de fase de la señal de entrada F_i y F_o, para mostrar una relación de fase entre la señal F_i y la señal F_o, es decir, para mostrar si la fase de la señal F_o está retardada o adelantada con respecto a la fase de la señal F_i, y el tiempo de retraso o adelanto, tal como se muestra en la figura 5; específicamente, las señales F_o y F_i están conectadas respectivamente a los puertos clr y set del discriminador

escalonado digital tal como se muestra en la figura 4, siendo la señal de salida una señal de error de error de anchura del impulso de las dos señales de entrada y este error de la señal indica la relación de fase entre la señal F_i y la señal F_o.

El módulo de conversión puede llevar a cabo una decisión lógica en la señal de salida del DPD para obtener una relación de magnitud de frecuencias entre las dos señales de entrada F_i y F_o del bucle de bloqueo de fase. El módulo puede emitir una señal equ_nequ que indica si las anchuras de impulso vecinas son iguales y una señal sign que indica la relación de magnitud entre dos anchuras de impulso vecinas (es decir, una señal que se utiliza para indicar la relación de magnitud de frecuencias entre la señal F_i y la señal F_o) utilizando el error de señal generado por el DPD y un contaje de la señal de contaje generado por un TDC (modo de cálculo del intervalo de tiempo). Se puede obtener una señal de reloj clk para controlar un DLF mediante la equ_nequ y la F_i al pasar una puerta AND, y la señal clk es una señal de reloj de entrada de un filtro de trayectoria aleatoria. La señal clk lleva a cabo una suma y una resta del contaje correspondiente a una unidad de contaje interna del filtro de trayectoria aleatoria según la señal sign cuando la equ_nequ no es igual a 0 (es decir, cuando las frecuencias de las dos señales de entrada en el sistema de bloqueo no son iguales); en las que, la figura 6 muestra un diagrama de circuito utilizado para generar la señal sign y la señal equ_nequ en el módulo de conversión, llevando a cabo de esta manera una comparación de las anchuras de impulso de las señales de error vecinas para generar la señal sign. En este caso, se lleva a cabo un contaje de muestra de la señal de error generada por el DPD utilizando un reloj de alta velocidad; cuanto más ancha sea la señal de error (es decir, cuanto mayor sea la anchura de impulso), mayor será el valor de contaje obtenido, por el contrario, cuanto menor sea la señal de error (es decir, cuanto menor sea la anchura de impulso), menor será el valor de contaje obtenido, tal como se muestra en la figura 5, mientras el contaje de la señal de contaje (es decir, el valor de contaje de la anchura de impulso de la señal de error) puede ser implementado utilizando el TDC (cálculo del intervalo de tiempo). En esta realización, la simulación de las formas de onda de las señales de salida del circuito, tal como se muestra en la figura 6, se muestra en la figura 7.

La unidad de filtro del bucle digital se puede implementar con un filtro del bucle digital (DLF), que principalmente lleva a cabo el procesamiento de filtrado de señales de salida desde la unidad de discriminación y conversión de fase digital, es decir, filtra algunos factores accidentales, para el objetivo del filtrado digital, es decir, la unidad de filtro del bucle digital puede implementar, según la señal de reloj clk, el control del filtro del bucle para funcionar cuando las dos señales de frecuencia F_i y F_o no son iguales, y a continuación genera señales adelantadas y retardadas que controlan la unidad de oscilación controlada por tensión digital.

En esta realización, el DLF adopta el filtro de trayectoria aleatoria, la estructura del cual se muestra en la figura 8, y el DLF comprende un contador ascendente/descendente (U/D_CNT) y un comparador (CMP); la señal de reloj adopta el clk de salida de la unidad del discriminador de fase, siendo determinada la dirección de contaje ascendente o descendente mediante la salida sign de un discriminador de fase accionado y cuando la señal sign es de alto nivel, el contador acumula “a la alza” o, por el contrario, el contador acumula “a la baja”. Un valor inicial d[3..0] del contador es cargado por el comparador, cuando una salida q[3..0] del contador aumenta a m+k o m-k, el comparador genera una señal de carga ld (que es válida a bajo nivel), m se carga al valor inicial d[3..0] del contador y, mientras tanto, se emite una señal de control adelantada/retardada, adelantada = 1 (cuando q[3..0] = m+k), retardada = 1 (cuando q[3..0] = m-k), en el que k es un factor de filtro. El filtro de trayectoria aleatoria juega un papel importante en un bucle, que puede filtrar los impulsos de detección del borde incorrecto y los impulsos de adelanto/retardo provocados por el reborde generado en la transmisión. Además, cuanto mayor sea el valor k seleccionado, mejor será el efecto del filtrado, pero se reducirá la velocidad de bloqueo de todo el bucle; por tanto, se debe seleccionar un valor k más adecuado, y este valor no debe ser ni demasiado grande ni demasiado pequeño, el cual necesita ser determinado mediante verificación experimental. En este caso, una forma de onda de simulación del DLF se muestra en la figura 9, cuando se selecciona k = 3 en el diagrama de simulación de la forma de onda, se puede observar a partir del diagrama que se puede implementar la función de filtrado anterior.

La unidad de oscilación controlada por tensión digital está configurada para llevar a cabo el procesamiento lógico de la señal adelantada y de la señal retardada generadas tras el procesamiento de filtrado, para implementar el bloqueo de la señal F_o y de la señal Fi; específicamente, la unidad de oscilación controlada por tensión digital puede comprender, además, un convertidor digital-analógico (DA) y un oscilador controlado por la tensión digital (DCO), tal como se muestra en la figura 10;

en este caso, el convertidor digital-analógico (DA) procesa principalmente una salida de la señal creciente o decreciente mediante la unidad de filtro del bucle digital, y la señal creciente o decreciente puede controlar la señal de salida de tensión del convertidor DA para aumentar o disminuir en consecuencia, es decir, cuando la señal adelantada es válida, se indica que F_o es menor que Fi. En dicho momento, un controlador de fase cambia el valor de entrada del convertidor DA aumentando el valor de int_d, aumentando a continuación la tensión del convertidor DA en consecuencia, haciendo, por tanto que la frecuencia de salida del oscilador de cristal termostático disminuya y, así, F_o se ajusta para ser próxima a Fi; de manera similar, cuando la señal de retardo y la señal de reloj de respuesta son válidas, el valor de entrada del convertidor DA disminuye.

El convertidor DA adoptado en esta realización es el AD9777, que es un convertidor digital-analógico de alta velocidad con una tasa de conversión de hasta 400 MSPS y tiene muchas ventajas tales como la alta velocidad, el bajo consumo de potencia, etc. La figura 3 muestra un diagrama esquemático de un circuito de interfaz del AD9777 y un CPLD, en el que, una unidad DLF del EPM240T100C5 emite señales de control de la conversión adelantadas y retardadas requeridas por el AD9777, y el AD9777 aumenta o disminuye la tensión de salida del convertidor DA según las señales de control. Si bien un tiempo de conversión DA está controlado por un reloj CLK, y el CLK es un reloj de muestreo de alta velocidad para contar señales de error utilizando un principio de TDC (contaje de intervalo de tiempo); se selecciona una frecuencia del reloj CLK como de 10 MHz, y el reloj CLK controla la tasa de conversión del convertidor DA en este sistema.

El rango de la tensión de salida del convertidor DA no es el mismo que el rango controlado por la tensión requerido por el oscilador de cristal controlado por la tensión, de manera que un amplificador operacional puede ser seguido por el convertidor DA. El amplificador operacional puede asegurar que la tensión de salida del convertidor DA se convierta al rango controlado por la tensión requerido por el oscilador digital controlado por la tensión.

El oscilador digital controlado por la tensión lleva a cabo principalmente una oscilación controlada por la tensión a una salida de tensión del convertidor DA, de este manera, el aumento o disminución de la salida de tensión del convertidor DA reflejado en el oscilador de cristal se convierte en aumento o disminución de la frecuencia de salida del oscilador de cristal termostático. Mediante una acción de control de realimentación del bucle, se puede conseguir finalmente el bloqueo del oscilador de cristal termostático y la fuente de frecuencia estándar.

El principio de funcionamiento del sistema de bloqueo anterior se presentará como sigue:

la frecuencia de salida local se indica como F_o, mientras que la frecuencia nominal se indica como Fi. La unidad de discriminación y conversión de fase digital compara los bordes ascendentes de dos señales de entrada F_i y F_o, para obtener una señal adelantada o retardada sign y una señal de control de impulsos clk para la unidad de filtro del bucle digital; la unidad de filtro del bucle digital lleva a cabo un filtrado de alisado de una señal de error utilizando señales sign y clk, y genera una señal adelantada que controla el aumento de entrada y una señal retardada que controla la disminución de la entrada del convertidor DA en la unidad de oscilación digital controlada por la tensión; aumentando o disminuyendo de esta manera la entrada del convertidor DA para controlar el aumento o disminución de la señal de tensión en el extremo controlado por la tensión del DCO, a efectos de conseguir el objetivo de aumentar o disminuir la frecuencia de F_o. Finalmente, el bloqueo de F_i y F_o se puede implementar mediante un ajuste de la realimentación de todo el bucle.

Realización 2

La diferencia entre esta realización y la realización 1 es sólo que la unidad de oscilación digital controlada por la tensión comprende un módulo de PWM, las funciones implementadas por el convertidor DA en la realización 1 están implementadas utilizando una onda de PWM.

En este caso, el módulo de PWM se puede implementar utilizando un núcleo procesador integrado de una FPGA (o un CPLD) del sistema de bloqueo, es decir, el núcleo procesador integrado en la FPGA (o el CPLD) emite una onda de PWM con un periodo constante y una anchura de impulso de alto nivel ajustable (es decir, una tasa de trabajo de alto nivel ajustable) mediante una acción de temporización. El núcleo procesador integrado en la FPGA (o el CPLD) recibe una salida de señal creciente o decreciente mediante la unidad de filtro del bucle digital y, en consecuencia, aumenta y disminuye la anchura de alto nivel de la onda de PWM según la señal creciente o decreciente (es decir, en consecuencia, aumenta o disminuye la tasa de trabajo de alto nivel de la onda de PWM según la señal creciente o decreciente), la salida de la onda de PWM por la FPGA pasa por un filtro de paso bajo RC y a continuación accede a un extremo de entrada controlada por la tensión del oscilador digital controlado por la tensión; y la tensión de salida del filtro de paso bajo se puede cambiar cambiando la anchura del impulso de alto nivel de la onda de PWM, y el extremo controlado por la tensión de la unidad de oscilación controlada por la tensión digital también cambia, en consecuencia, para conseguir el objetivo de cambiar el oscilador de cristal termostático y hacer que finalmente se implementen el bloqueo de la salida de frecuencia del oscilador de cristal termostático y la fuente estándar.

La adopción de la realización 2 para implementar el sistema de bloqueo puede disminuir el volumen ocupado por el sistema, y evitar el convertidor DA de alta precisión que es relativamente costoso. En la realización 2, se adopta el núcleo integrado en la FPGA de manera que porciones del discriminador del filtro del bucle digital y del circuito lógico de la onda de PWM en el bucle de bloqueo de fase pueden estar integradas en la FPGA, de manera que se puede conseguir evitar la complejidad de los circuitos periféricos del sistema y reducir el área de los circuitos y mientras tanto también se puede conseguir el objetivo de reducir el coste.

Se puede observar en las realizaciones anteriores que, el esquema técnico de la presente invención mejora un

discriminador escalonado, y dicho discriminador escalonado mejorado puede determinar directamente la relación de la magnitud de las frecuencias de las dos señales de entrada, evitando un proceso de convergencia de oscilación del bucle de bloqueo de fase tradicional en el proceso de bloqueo, por lo que se puede implementar un bloqueo rápido. Además, en la realización 1, se utiliza el convertidor DA de alta precisión para conectar al oscilador de cristal termostático, por lo que se puede implementar un bloqueo de alta precisión; y en la realización 2, se adopta el procesador de configuración de la FPGA para emitir la onda de PWM, y a continuación hacer que la onda de PWM pase por el filtro de paso bajo y la tensión de salida del filtro de paso bajo se añade al extremo de entrada del oscilador de cristal termostático para implementar un bloqueo de alta precisión, de esta manera, los recursos de la FPGA se utilizan directamente, lo que puede reducir el área de circuitos y reducir el coste de los circuitos.

La descripción anterior es solamente realizaciones preferentes de la presente invención, y no se utiliza para limitar la presente invención. Para los expertos en la técnica, la presente invención puede tener diversas variaciones y cambios. Cualquier modificación, equivalencia, mejora y similares realizadas dentro del espíritu y principio de la presente invención se debe incluir dentro del alcance de la protección de la presente invención.

Aplicabilidad industrial

En comparación con la técnica relacionada, el esquema técnico de la presente invención evita un proceso de convergencia de la oscilación de un bucle de bloqueo de fase tradicional durante el proceso de bloqueo; por el que se puede implementar un bloqueo rápido y de alta precisión. Además, el esquema técnico de la presente invención reduce el área de los circuitos y reduce el coste de los mismos.

REIVINDICACIONES

1. Sistema de bloqueo, **caracterizado por** comprender una unidad de discriminación y conversión de fase digital, una unidad de filtro del bucle digital y una unidad de oscilación digital controlada por la tensión que están conectados a su vez, de modo que, la unidad de discriminación y conversión de fase digital está configurada para llevar a cabo el procesamiento de discriminación y conversión de fase de una señal de entrada F_i de una fuente estándar externa y de una señal de salida de retroalimentación F_o de un oscilador de cristal termostático local que pasa por una división de frecuencia para generar una señal de reloj clk y una señal sign que se utiliza para indicar una relación de magnitud de la frecuencia entre la señal F_i y la señal F_o;

la unidad de filtro del bucle digital está configurada para llevar a cabo el procesamiento de filtrado de la señal clk y de la señal sign, y generar una señal adelantada que se utiliza para indicar que la frecuencia de la señal F_o es menor que la frecuencia de la señal F_i y una señal retardada que se utiliza para indicar que la frecuencia de la señal F_o es mayor que la frecuencia de la señal F_i;

la unidad de oscilación digital controlada por la tensión está configurada para llevar a cabo el procesamiento de oscilación controlado por la tensión para la señal adelantada y la señal retardada que se generan tras el procesamiento de filtrado de la señal clk y la señal sign, para implementar un bloqueo de la señal F_o y la señal Fi.

2. Sistema, según la reivindicación 1, en el que la unidad de discriminación y conversión de fase digital comprende un discriminador de fase escalonada digital y un módulo de conversión, en los que,

el discriminador de fase escalonada digital está configurado para llevar a cabo el proceso de discriminación de fase de la señal F_i y de la señal F_o y genera un error de señal de impulsos que se utiliza para indicar una relación de fase entre la señal F_i y la señal F_o;

el módulo de conversión está configurado para calcular una anchura de impulso del error de la señal de impulsos según un contaje de la señal de contaje, y generar la señal sign que indica la relación de magnitud de frecuencias entre la señal F_i y la señal F_o y una señal equ_nequ que indica si las anchuras de impulso vecinos son iguales y llevar a cabo un procesamiento AND para la señal equ_nequ y la señal F_i para generar la señal de reloj clk;

en que, el contaje de la señal de contaje se implementa mediante un cálculo del intervalo de tiempos y la señal sign indica la relación de magnitud de frecuencias entre la señal F_i y la señal F_o mediante la relación de magnitud de las anchuras de impulso vecinos en el error de la señal de impulsos.

3. Sistema, según la reivindicación 1 ó 2, en el que la unidad de oscilación controlada por la tensión digital comprende un convertidor digital-analógico (DA) y un oscilador controlado por la tensión digital, de modo que,

el convertidor DA está configurado para recibir las señales adelantadas y retardadas emitidas por la unidad de filtro del bucle digital, y tras llevar a cabo la conversión digital-analógica controlando el convertidor DA utilizando las señales recibidas, transmite señales al oscilador controlado por la tensión digital;

el oscilador digital controlado por la tensión está configurado para llevar a cabo el proceso de oscilación controlado por la tensión a las señales transmitidas por el convertidor DA.

4. Sistema, según la reivindicación 1 ó 2, en el que, la unidad de oscilación digital controlada por la tensión comprende un módulo de modulación por anchura de impulso (PWM) y un oscilador digital controlado por la tensión, en el que,

el módulo de PWM está configurado para: generar una onda de PWM con un periodo constante y una anchura de impulso ajustable de alto nivel y para llevar a cabo una modulación de anchura de impulso a la onda de PWM utilizando las señales adelantadas y retardadas emitidas por la unidad de filtro del bucle digital y transmite la señal tras la modulación de anchura de impulso al oscilador digital controlado por la tensión;

el oscilador digital controlado por la tensión está configurado para llevar a cabo el proceso de oscilación controlado por la tensión a la señal transmitida por el módulo de PWM.

5. Sistema, según la reivindicación 4, en el que,

el módulo de PWM está implementado por un procesador de una disposición de puertas programable por campo o un dispositivo lógico programable en el sistema de bloqueo mediante la configuración de tiempos.

6. Procedimiento de bloqueo, **caracterizado por** comprender:

un sistema de bloqueo que lleva a cabo un proceso de discriminación y conversión de fase de una señal de entrada F_i de una fuente estándar externa y una señal de salida de retroalimentación F_o de un oscilador de cristal termostático que pasa por una división de frecuencia para generar una señal de reloj clk y una señal sign que se utiliza para indicar una relación de magnitud de frecuencias entre la señal F_i y la señal F_o y para llevar a cabo el proceso de filtrado de la señal clk y de la señal sign, y llevar a cabo un proceso de oscilación controlada por la tensión de una señal adelantada que se utiliza para indicar que la frecuencia de la señal F_o es menor que la frecuencia de la señal F_i y una señal retardada que se utiliza para indicar que la frecuencia de la señal F_o es mayor que la frecuencia de la señal F_i que se generan tras el procesamiento de filtrado para implementar un bloqueo de la señal F_o y de la señal F_i.

7. Procedimiento, según la reivindicación 6, en el que,

la etapa del sistema de bloqueo que lleva a cabo el procesamiento de discriminación y conversión de fase de la señal F_i y de la señal F_o que pasan por la división de frecuencia para generar la señal clk y la señal sign que se utiliza para indicar la relación de magnitud de frecuencias entre la señal F_i y la señal F_o comprende;

el sistema de bloqueo que lleva a cabo el proceso de discriminación de fase de la señal F_i y de la señal F_o genera en primer lugar, un error de la señal de impulsos que se utiliza para indicar una relación de fase entre la señal F_i y la señal F_o, calculando una anchura de impulso del error de la señal de impulsos según el contaje de la señal de contaje, generando la señal sign que indica la relación de magnitud de frecuencias entre la señal F_i y la señal F_o y una señal equ_nequ que indica si las anchuras de impulso vecinas son iguales, y llevar a cabo el procesamiento AND de la señal equ_nequ y de la señal F_i para generar la señal de reloj clk; en que, el contaje de la señal de contaje se implementa mediante un cálculo del intervalo de tiempos, y la señal sign indica la relación de magnitud de frecuencias entre la señal F_i y la señal F_o mediante la relación de magnitud de las anchuras de impulso vecinas en el error de la señal de impulsos.

8. Procedimiento, según la reivindicación 6 ó 7, en el que, antes de la etapa de llevar a cabo el procesamiento de oscilación controlado por la tensión de las señales adelantada y retardada, el procedimiento comprende, además:

el sistema de bloqueo que controla una conversión digital-analógica utilizando las señales adelantada y retardada.

9. Procedimiento, según las reivindicaciones 6 ó 7, en el que antes de la etapa de llevar a cabo el procesamiento de oscilación controlado por la tensión de las señales adelantada y retardada, el procedimiento comprende, además:

el sistema de bloqueo que lleva a cabo una modulación de anchura de impulso de una onda de modulación de anchura de impulso (PWM) mediante las señales adelantada y retardada.

10. Procedimiento, según la reivindicación 9, en el que,

la onda de PWM es una onda de PWM con un periodo constante y una anchura de impulso ajustable de alto nivel, que es generada mediante un procesador con una disposición de puertas programables por campo o un dispositivo lógico programable en el sistema de bloqueo mediante una configuración de tiempos.

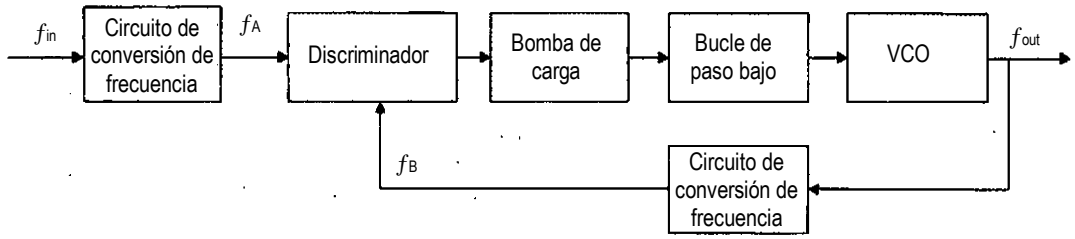
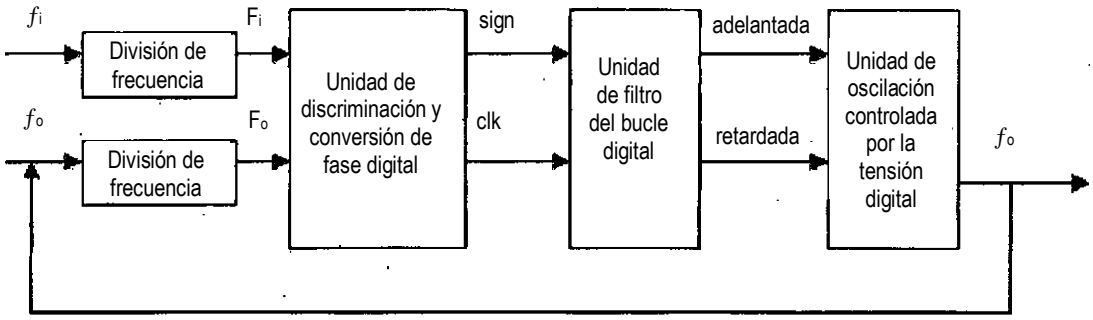


FIG. 1



4

FIG. 2

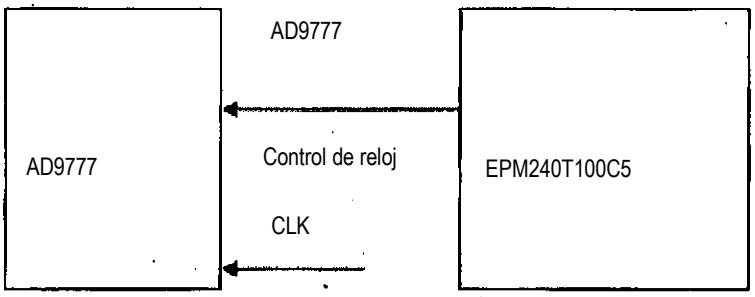


FIG. 3

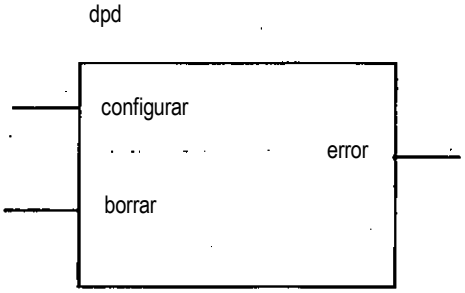


FIG. 4

5

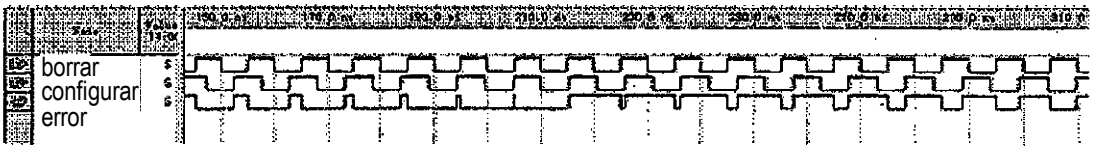


FIG. 5

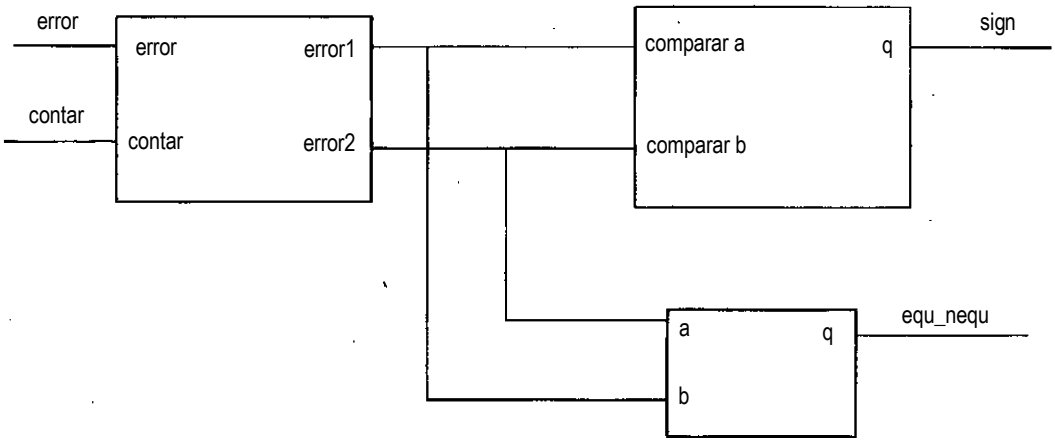


FIG. 6

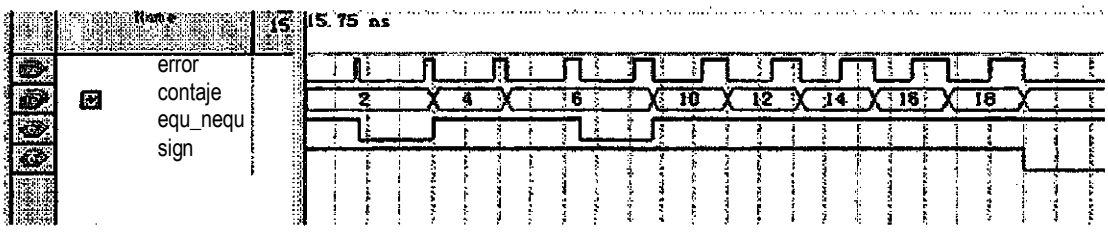


FIG. 7

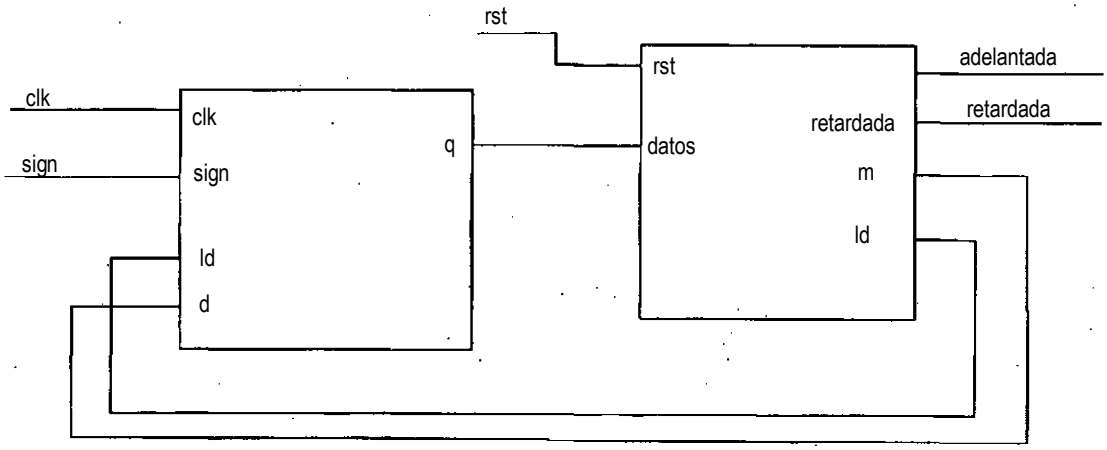

rst
clk
sign
clk
sign
ld
d
q
rst
datos
retardada
m
ld
adelantada
retardada

FIG. 8

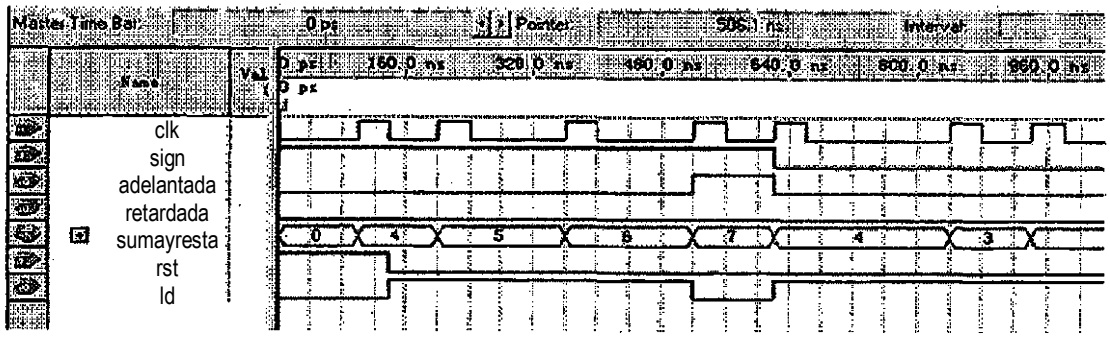

Master Time Bar:
Pointer:
Interval:
clk
sign
adelantada
retardada
sumayresta
rst
ld

FIG. 9

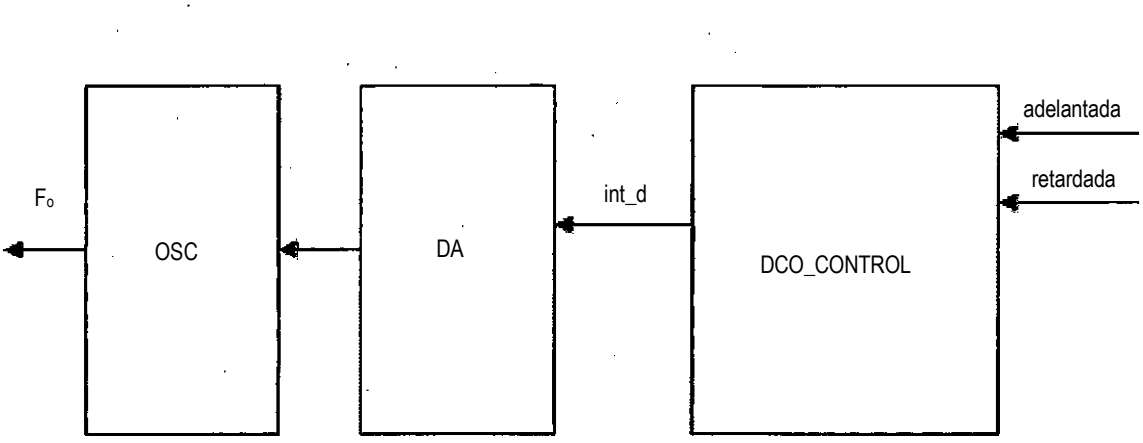


FIG. 10