

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 538 412**

51 Int. Cl.:

G06F 17/50 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **22.12.2011** **E 11382394 (2)**

97 Fecha y número de publicación de la concesión europea: **18.03.2015** **EP 2608084**

54 Título: **Sistemas paralelos heterogéneos para acelerar simulaciones basadas en métodos numéricos para mallas discretas**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
19.06.2015

73 Titular/es:

AIRBUS OPERATIONS S.L. (100.0%)
Avda. John Lennon s/n
28906 Getafe, Madrid, ES

72 Inventor/es:

LÓPEZ BUENO, SERGIO;
SÁNCHEZ ROMÁN, DIEGO;
SUTTER, GUSTAVO;
GÓMEZ GARCÍA, ISMAEL;
GONZÁLEZ MARTÍNEZ, IVÁN;
GÓMEZ ARRIBAS, FRANCISCO JAVIER y
ARACIL RICO, JAVIER

74 Agente/Representante:

DE ELZABURU MÁRQUEZ, Alberto

ES 2 538 412 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Sistemas paralelos heterógeneos para acelerar simulaciones basadas en métodos numéricos para mallas discretas.

Campo de la invención

5 La presente invención se refiere a sistemas para la ejecución de simulaciones físicas computacionalmente intensas usando resolvidores de elementos finitos o volúmenes finitos que requieren un número muy grande de vértices y mallas estructuradas o no estructuradas y, más en particular, a sistemas para la solución de las ecuaciones de un código científico dado tal como uno de los códigos utilizados en Dinámica de Fluidos Computacional ("Computer Fluid Dynamics" o CFD) para un gran conjunto de datos representados como una malla.

10 Antecedentes de la invención

Una situación habitual en aplicaciones prácticas industriales relacionadas con el desarrollo de productos es la necesidad de llevar a cabo análisis rápidos en un espacio de parámetros de estado. En sectores industriales maduros y muy competitivos como el sector aeroespacial, esta necesidad está motivada por el objetivo de generar productos con un buen funcionamiento técnico en ciclos de diseño tan cortos como sea posible. Esto es, el tiempo es un factor clave en la competitividad industrial porque el acortamiento del tiempo de comercialización puede aportar una ventaja económica de primera magnitud durante el ciclo de vida del producto.

En el caso específico de la industria aeronáutica, la predicción de las fuerzas aerodinámicas, y mas generalmente las distribuciones de valores en la superficie de la piel, experimentadas por una aeronave es un elemento importante de cara a un diseño óptimo de sus componentes estructurales de manera que el peso de la estructura sea el mínimo posible, siendo capaz al mismo de tiempo de resistir la fuerzas aerodinámicas esperadas.

Gracias al incremento del uso de las capacidades de la CFD la determinación de las fuerzas aerodinámicas en una aeronave se hace habitualmente hoy en día resolviendo numéricamente las ecuaciones promediadas de Reynolds de Navier-Stokes (ecuaciones RANS en adelante) que modelizan el movimiento del flujo alrededor de la aeronave, usando modelos de elementos finitos discretos o de volúmenes finitos. Con la demanda de exactitud requerida en la industria aeronáutica, cada uno de esos cálculos requiere importantes recursos computacionales.

Un primer enfoque conocido para mejorar la ejecución de dichas ecuaciones para un determinado modelo es proporcionar técnicas analíticas que simplifican los cálculos necesarios para llegar a una solución. Un ejemplo en este sentido se puede encontrar en US 2009/157364 a nombre del solicitante.

Un segundo enfoque conocido es el uso de técnicas informáticas ya sea para acelerar el proceso de cálculo o para la optimización de los recursos computacionales necesarios para resolver un problema dado.

Para acelerar el proceso de cálculo es habitual emplear máquinas paralelas. La malla se particiona en varias sub-mallas que se resuelven por separado. Cuando termina cada iteración temporal, es necesario enviar los valores de variables de los vértices frontera a los vecinos. Por lo tanto, según se particiona la malla en más sub-mallas, se van incrementando las comunicaciones, hasta que llega un momento donde el incremento de velocidad al añadir más máquinas es marginal, porque la mayor parte del tiempo se emplea en comunicaciones.

Para mejorar los tiempos de ejecución de estas simulaciones se ha propuesto el uso de dispositivos aceleradores añadidos a un ordenador convencional. Como base para construir estos dispositivos se han venido usando dos tecnologías: FPGA ("Field-Programmable Gate Array") y GP-GPU ("General Purpose Graphics Processing Unit"). El formato de estos dispositivos aceleradores puede ser o bien el de tarjetas de expansión, como por ejemplo PCI ("Peripheral Component Interconnect") o PCI Express ("Peripheral Component Interconnect Express") o bien el de módulos enchufables en el zócalo del procesador (aceleradores "in-socket") como el XD2000i de XtremeData).

En el acelerador se pueden ejecutar las secciones computacionalmente más costosas del algoritmo, o bien todo el algoritmo. En particular, US 2007/0219766 describe el uso de una tarjeta PCI con una FPGA para la aceleración de las secciones computacionalmente más costosas del algoritmo.

45 En la Referencia [1] se describe una alternativa basada en un acelerador "in-socket" que también usa la aproximación de ejecutar en la FPGA las secciones computacionalmente más costosas del algoritmo.

US 2005/0288800 describe una arquitectura con varias tarjetas PCI interconectadas a través de una red dedicada en la que puede ejecutar una sección o todo el algoritmo.

50 Finalmente, la Referencia [2] describe una solución que ejecuta un resolvidor Navier-Stokes completamente en GP-GPUs.

5 Sin embargo, ninguna de las soluciones propuestas es capaz de alcanzar las prestaciones necesarias en un entorno industrial. Por un lado, las soluciones que ejecutan sólo una parte del algoritmo en el acelerador no suelen ofrecer buenos resultados debido a la fuerte sobrecarga de las comunicaciones. Por otro lado, el número de tarjetas de expansión o zócalos de procesador disponibles en un sistema está limitado y, por lo tanto, también lo está la aceleración global que se puede alcanzar en soluciones como las descritas en US 2005/0288800 y en la Referencia [2].

10 Adicionalmente, las propuestas orientadas a la ejecución completa del algoritmo tienen importantes limitaciones en el tamaño de las mallas que pueden ser procesadas y/o en la velocidad de proceso. En la Referencia [2] se muestran resultados para mallas de centenas de miles de vértices. En US 2005/0288800 se describe una realización preferente con una canalización entre dos memorias ZBT lo que limita el número de vértices de la malla que se pueden procesar por ciclo, ya que estos cálculos implican la lectura de decenas o incluso centenas de variables, incluyendo las del propio vértice y las de todos sus vecinos.

15 Es por tanto deseable la existencia de un sistema que permita la rápida ejecución de los códigos de dinámica de fluidos usados en la industria aeronáutica que manejan mallas de decenas o centenas de millones de vértices y códigos tales como el Reynolds-Averaged Navier-Stokes (RANS).

La presente invención está dirigida a la atención de esa demanda.

Sumario de la invención

20 Es un objeto de la presente invención proporcionar un sistema para acelerar la ejecución de un código científico dado, particularmente un código CFD, usando un resolvidor apropiado de elementos finitos o volúmenes finitos para un gran conjunto de datos representados como una malla.

25 Este y otros objetos se consiguen con un sistema que comprende una pluralidad de nodos de computación iguales y un nodo front-end, todos ellos conectados entre sí por medios de comunicación de nodos, y un paquete de software de computación paralela para la distribución de la ejecución de dicho código científico en sub-mallas de dicha malla entre dichos nodos de computación, en el que:

- cada nodo de computación comprende al menos un primer medio procesador y un segundo medio procesador, que están interconectados por un bus, siendo dicho primer medio procesador un medio procesador basado en Unidad Central de Proceso ("Computer Processing Unit" o CPU) y siendo dicho segundo medio procesador un medio procesador basado en FPGA;

30 - dicho paquete de software de computación paralela está configurado para la ejecución simultánea de al menos un primer proceso resolvidor y un segundo proceso resolvidor de dicho código científico en cada nodo de computación, donde cada proceso resolvidor resuelve por lo menos una sub-malla de dicha malla y para gestionar el intercambio de datos de contorno entre los procesos revolvidores que calculan sub-mallas vecinas después de cada paso del resolvidor;

35 - dicho primer proceso resolvidor se ejecuta completamente en un primer medio procesador y dicho segundo proceso resolvidor se ejecuta en un segundo medio procesador con la colaboración de un primer medio procesador para la carga y descarga de sub-mallas y el intercambio de datos de contorno (pero sin ninguna colaboración de los cálculos del método numérico, que se realizan completamente en el segundo medio procesador); y

40 - dichos primer y segundo procesos revolvidores tienen la misma interfaz de comunicación para el intercambio de datos de contorno con los primeros y segundos procesos revolvidores de sub-mallas vecinas.

45 En una realización, el sistema comprende además medios de software para la partición de la malla en sub-mallas de acuerdo con la capacidad de cómputo del primer y segundo medio procesador de cada nodo de computación y para equilibrar la carga de cálculo a fin de que las diferencias entre los tiempos de ejecución de dichos primeros y segundos procesos resolvidores se reduzcan al mínimo. De esta manera se logra un sistema que optimiza el rendimiento de los medios de hardware.

50 En una realización, un segundo proceso resolvidor implementa todos los cálculos relacionados con el resolvidor en un segundo medio procesador y los únicos datos intercambiados por dicho segundo medio procesador después de cada paso del resolvidor con otro primer o segundo medio procesador son datos de contorno. De esta manera se logra un sistema donde se maximice el rendimiento informático de los segundos medios procesadores (que permiten unas ejecuciones más rápidas del código científico que los primeros medios procesadores).

5 En una realización, al menos en un nodo de computación un segundo proceso resolvidor está configurado para ejecutar el código científico para una sub-malla en pasos secuenciales para trozos de la sub-malla. De esta manera se logra un sistema que permite la adaptación de la capacidad de cómputo de un segundo medio procesador al tamaño de la sub-malla asignada a él.

Ventajosamente, dichos medios de comunicación de nodos comprenden una red de alta velocidad y baja latencia y un interruptor de alto rendimiento para la conmutación de dicha red y de una red convencional.

Ventajosamente, un primer medio procesador comprende una CPU multi-core y una memoria local y un segundo medio procesador comprende un procesador basado en FPGA y una memoria local.

10 En una realización, un nodo de computación comprende un primer medio procesador y un segundo medio procesador, interconectados por un bus de alta velocidad de propósito general. De esta manera se logra un sistema que permite acelerar la ejecución de un código científico utilizando ordenadores convencionales como nodos de computación.

15 En una realización, un nodo de computación comprende al menos dos primeros medios procesadores y dos segundos medios procesadores interconectados por un bus específico de CPU. De esta manera se logra un sistema que permite acelerar la ejecución de un código científico usando nodos computacionales adaptados a las necesidades del sistema.

Ventajosamente, un segundo medio procesador es capaz de almacenar una sub-malla completa en la memoria interna del procesador basado en FPGA o en su memoria local.

20 El sistema según la presente invención está orientado a una ejecución acelerada de simulaciones físicas computacionalmente complejas utilizando revolvedores de elementos finitos o volúmenes finitos en las que la malla tiene más de 10^8 vértices y las su-mallas tienen un número de vértices comprendido entre 10^5 y 10^8 , particularmente, para la ejecución de los códigos CFD (ecuaciones RANS o ecuaciones de Euler) para aplicaciones de aerodinámica.

25 Otras características y ventajas de la presente invención se desprenderán de la descripción detallada que sigue de realizaciones ilustrativas de su objeto en relación con las figuras que se acompañan.

Descripción de las figuras

La Figura 1 es un diagrama de bloques esquemático de un sistema para resolver las ecuaciones de un código científico dado para un gran conjunto de datos representados como una malla de acuerdo con la presente invención.

30 La Figura 2 es un diagrama de bloques esquemático de una realización de un nodo de computación de dicho sistema.

La Figura 3 es un diagrama de bloques esquemático de otra realización de un nodo de computación de dicho sistema.

La Figura 4 es un diagrama de bloques esquemático de un segundo medio procesador de un nodo de computación de dicho sistema.

35 La Figura 5 es un diagrama de bloques esquemático de un primer proceso resolvidor del paquete de software de computación paralela de dicho sistema.

La Figura 6 es un diagrama de bloques esquemático de un segundo proceso resolvidor del paquete de software de computación paralela.

Descripción detallada de la invención

40 El sistema para resolver las ecuaciones de un código científico dado para un gran conjunto de datos representados como una malla según la presente invención combina medios de hardware y software que se describirán detalladamente seguidamente.

Los medios de hardware

45 Como medio de hardware, a los que también nos referiremos en esta memoria descriptiva como medios de computación, el sistema comprende (ver Figura 1) una pluralidad de nodos de computación iguales 1 y un nodo front-end 2, conectados todos ellos a través de una red de alta velocidad y baja latencia 3 (tal como Infiniband). Las red 3 proporciona intercambio de datos entre los nodos de computación 1 y para minimizar cuellos de botella de comunicaciones durante la ejecución del algoritmo, los nodos de computación 1 están conectados a través de un conmutador de altas prestaciones no-bloqueante 4. Los nodos de computación 1 también están conectados a través de una red convencional 5, tal como una Ethernet gigabit, que se utiliza principalmente para la gestión. Para esta red

50

convencional 5 no es necesario especificar una topología de interconexión en particular, ya que el rendimiento no será un problema importante en general. Finalmente, la red convencional 5 se puede conectar a una red externa utilizando un dispositivo de interconexión 6 tal como un router o un conmutador.

5 La Figura 2 muestra una realización de un nodo de computación que comprende dos primeros medios procesadores 11, dos segundos medios procesadores 12 y un conjunto de componentes estándar, como chipset bridges 13, un controlador de almacenamiento 16 conectado con medios de almacenamiento tales como discos duros o unidades ópticas, una tarjeta Ethernet 17, una tarjetas específica 14 para dicha red de alta velocidad y baja latencia 3, una tarjeta gráfica 15 y dispositivos periféricos adicionales 18.

10 Un primer medio procesador 11 comprende un microprocesador convencional 19, por lo general CPUs multi-core, y una memoria local 20, por lo general uno o más bancos de memoria DRAM de alta velocidad.

15 Un segundo medio procesador 12 comprende un procesador basado en FPGA 21 y su memoria local 22, por lo general uno o más bancos de memoria SRAM or DRAM de alta velocidad, ya sea fuera del chip o integrados en el silicio de la FPGA. Un segundo medio procesador 12 puede aparecer como un acelerador in-socket (dispositivo que se conecta a un zócalo de la CPU de la placa base del ordenador) o como una tarjeta de expansión (que se conecta en las ranuras de expansión de la placa base del ordenador).

El primer medio procesador 11 y el segundo medio procesador están conectados mediante un bus específico de la CPU 23 tal como QPI (QuickPath Interconnect) o HyperTransport.

20 La Figura 3 muestra una realización de un nodo de computación 1 que comprende una primer medio procesador 11, un segundo medio procesador 12 y el mismo conjunto de componentes estándar de la realización anterior. En este caso el segundo medio procesador 12 está conectado a través de un bus PCIe 24 de propósito general y alta velocidad. Este bus PCIe 24 se conecta al primer medio procesador 11 a través de un chipset bridge 13, que traduce entre el bus PCIe 24 y el bus específico de la CPU 23 utilizado por el primer medio procesador 11.

25 La Figura 4 muestra una realización del segundo medio procesador 12 que comprende una pluralidad de FPGAs 30, cada una de ellas con dos bancos de memoria de alto rendimiento 31. Estas memorias 31 puede ser externas, utilizando tecnologías como QDR-II + SRAM o DRAM DDR3, o pueden estar embebidas en el silicio de la FPGA, como en el caso de las memorias Xilinx BlockRAM. Las FPGAs 30 están conectados a un bus de comunicación a través de un controlador de bus 33, que puede ser un dispositivo independiente o puede ser integrado en el silicio de la FPGA. El bus de comunicación puede ser el bus 24 de propósito general y alta velocidad del bus en la realización ilustrada en la Figura 3, en la que el segundo medio procesador 12 tiene un formato de tarjeta de expansión, o el bus específico de la CPU 23 en la realización ilustrada en la Figura 2, en la que el segundo medio procesador 12 tiene un formato ISA.

30 Las realizaciones mencionadas de los nodos de computación 1 tienen en común que siguen una arquitectura de acceso a memoria no uniforme ("Non-Uniform Memory Access" o NUMA) en la que todos los medios de procesadores tienen una memoria local. Esta característica permite, por un lado, el almacenamiento de una sub-malla en cada medio procesador y, por otro lado, que todos los medios procesadores sean capaces de ejecutar el resolvidor completo para su propia sub-malla.

Los medios de software

35 Las principales tareas a realizar por los medios de software del sistema para resolver las ecuaciones de un código científico dado para un gran conjunto de datos representados como una malla de acuerdo con la presente invención son los siguientes:

40 En primer lugar, la malla se particiona y preprocesa. La malla original puede estar compuesta por decenas o cientos de millones de vértices y se divide en un número de sub-mallas consistente con el número de medios procesadores 11, 12 del sistema y su potencia computacional. Esta tarea se lleva a cabo en los primeros medios procesadores 11 usando un particionador paralelo tal como parMETIS o Zoltan y sólo es necesario para ejecuciones del código científico para una nueva malla. Tal partición debe hacerse en colaboración con una tarea de equilibrio de cargas, con el fin de asegurar que el tamaño de las sub-mallas coincide con la potencia computacional de los medios procesadores 11, 12, de modo que las diferencias de tiempo de ejecución de cada paso del resolvidor entre todos los medios procesadores 11, 12 se minimicen. La malla particionada puede ser almacenada en cualquiera de las ubicaciones de almacenamiento disponible en el sistema, y puede ser reutilizada para nuevas ejecuciones del código científico bajo diferentes condiciones iniciales. Las sub-mallas deben ser pre-procesadas antes de que propia computación tenga lugar. Esta etapa de pre-procesamiento incluye, pero no está limitada a, el cálculo de las geometrías, el cálculo de las mallas más gruesas en un enfoque multi-malla y la reordenación de la malla con el fin de mejorar la localidad de los accesos a memoria. Las mallas pre-procesadas también se pueden almacenar en cualquiera de las ubicaciones de almacenamiento disponibles en el sistema, para que puedan ser reutilizadas para nuevas ejecuciones del código científico bajo diferentes condiciones iniciales. Estas dos medidas no son parte del resolvidor CFD, pero son requeridas por el proceso resolvidor para iniciar su ejecución.

- 5 Cada nodo de computación 1 ejecuta dos tipos de procesos resolvidores: un primer proceso resolvidor en el que todos los cálculos se realizan en un primer medio procesador 11 y un segundo proceso resolvidor en el que todos los cálculos se realizan en un segundo medio procesador 12, usándose el primer medio procesador 11 para la carga/descarga de la sub-malla el intercambio de los valores de las variables de los vértices del contorno después de cada paso del resolvidor.
- En una realización, deben ejecutarse al menos un primer proceso resolvidor y un segundo proceso resolvidor en cada nodo de computación 1 del sistema. Los procesos resolvidores intercambian los datos de contorno través de la red de alta velocidad y baja latencia 3, cuando se están ejecutando en diferentes nodos de computación 1, y a través de las memorias locales 20, 22 cuando se están ejecutando en el mismo nodo de computación mismo 1.
- 10 Cada proceso resolvidor calcula una o varias de las sub-mallas y, después de cada paso del algoritmo, intercambia datos de contorno con los procesos resolvidores que están calculando las sub-mallas vecinas. Mientras que los primeros y segundos procesos resolvidores están implementados de manera muy diferente, su interfaz de comunicación es la misma, por lo que un determinado proceso resolvidor no es capaz de decir si sus vecinos son primeros o segundos medios resolvidores.
- 15 La comunicación entre procesos resolvidores se lleva a cabo utilizando protocolos y/o modelos de programación orientados a la computación paralela.
- En una realización, se puede utilizar un modelo de comunicación basado en paso de mensajes, tal como MPI.
- En otra realización, se puede usar un modelo de programación basado en PGAS ("Partitioned Global Address Space") para implementar la comunicación entre procesos.
- 20 En ambos casos, el intercambio real de datos se lleva a cabo a través de la red alta velocidad y baja latencia 3 cuando se están ejecutando en diferentes nodos de computación y a través de las memorias locales 20, 22 cuando se están ejecutando en el mismo nodo de computación.
- Los primer y segundo procesos resolvidores pueden ejecutar los mismos o diferentes algoritmos iguales dependiendo de si se emplea o no descomposición multi-zonal. Por ejemplo, en una realización, todos los primeros y segundos procesos resolvidores calculan un algoritmo para resolver las ecuaciones RANDS. Sin embargo, en otra realización, algunos primeros y segundos procesos resolvidores ejecutan un algoritmo para resolver las ecuaciones de Euler, pero otros primeros y segundos procesos resolvidores ejecutan un algoritmo para resolver las ecuaciones RANS. En ese enfoque multi-zonal, los algoritmos más complejos se utilizan sólo en aquellas áreas de la malla, donde la física del problema lo requiere, aliviando con ello los requerimientos computacionales generales necesarios para resolver la malla completa.
- 25 Los primeros y segundos procesos resolvidores pueden calcular una o más sub-mallas. En este último caso, los datos de contorno entre las sub-mallas que se calculan en el mismo proceso resolvidor se intercambian en la memoria local 20 en el caso de un primer proceso resolvidor o usando una conexión directa 34 de FPGA 30-a-FPGA 30 en el caso de un segundo proceso resolvidor.
- 35 Por ejemplo, en una realización para un primer proceso resolvidor, se puede usar un modelo de programación basado en multi-hilado ("multi-threading") y memoria compartida, tal como OpenMP, para implementar el intercambio de datos entre sub-mallas en el mismo proceso.
- En otra realización de un primer proceso de resolvidor se puede usar un modelo de programación basado en PGAS para implementar dicho intercambio de datos. La ventaja en este caso es que se usaría el mismo modelo para el intercambio de datos entre sub-mallas tanto en las que se calculan en el mismo proceso resolvidor como en las que lo hacen en procesos resolvidores diferentes.
- 40 En cualquier caso, el número de sub-mallas que se calculan en un primer proceso resolvidor será consistente con el número de núcleos procesadores del primer medio procesador 11 reservado a ese proceso resolvidor.
- Por otro lado, en una realización de un segundo proceso resolvidor que calcula varias sub-mallas, se usan varias FPGAs 30, ejecutando cada una de ellas una instancia del kernel del resolvidor con el fin de calcular una sub-malla. El intercambio de datos entre sub-mallas que se calculan en el mismo proceso resolvidor se llevará a cabo a través de los enlaces de alta velocidad 34 entre FPGAs 30 utilizando, por ejemplo, enlaces serie de alta velocidad y el protocolo Aurora.
- 50 La Figura 5 muestra el flujo de ejecución de un primer proceso resolvidor. La Figura representa un hilo de la ejecución que resuelve una sub-malla en un primer medio procesador 11.
- Comienza (paso 40) cargando una sub-malla preprocesada. Cada paso del algoritmo consiste en una integración espacial (paso 41) y una integración temporal (paso 42). Después de la integración temporal, si se ha satisfecho el criterio de convergencia (paso 43), el proceso resolvidor está terminado y se almacena la sub-malla calculada (paso

44). En caso contrario, los datos de contorno se intercambian con las sub-mallas vecinas (paso 45), y la sub-malla se actualiza con los datos recibidos de las vecinas (paso 46).

5 La Figura 6 muestra el flujo de ejecución de un segundo proceso resolvidor. La Figura representa un hilo de la ejecución que resuelve una sub-malla en un nodo de computación 1, estando asignadas todas las tareas computación a un segundo medio procesador 12 y las tareas de comunicaciones a un primer medio procesador 11.

Comienza (paso 50) con la carga de la sub-malla pre-procesada por el primer medio procesador 11, que la envía al segundo medio procesador 12, que está esperando a recibirla y la almacena en su memoria local 22 (paso 51).

10 Ya que generalmente no es posible almacenar la sub-malla completa en el segundo medio procesador 12, se procesa en pequeños trozos de hasta decenas de miles de vértices, dependiendo del tamaño de la memoria 22, en el segundo medio procesador 12. En primer lugar (paso 52), se carga un trozo desde la memoria embebida del segundo medio procesador 12 y sus vértices se calculan por medio de una integración espacial y temporal (pasos 53, 54). El trozo procesado se almacena en la memoria 22 (paso 55) y si hay más trozos pendientes (paso 56), el proceso se repite. En caso contrario, se verifica el criterio de convergencia (paso 57) y, si se ha satisfecho, la sub-malla calculada se envía (paso 58) al primer medio procesador 11, donde se almacena (paso 59). Si no se ha alcanzado la convergencia (paso 57), el siguiente paso en el algoritmo comienza por enviar y recibir los datos de contorno (paso 60), en colaboración con el primer medio procesador 11 (paso 61). Después de haber recibido los datos del contorno, la sub-malla almacenada en el segundo medio procesador 12 se actualiza (paso 62) y comienza el siguiente paso del algoritmo.

Ejemplo

20 Una realización de la presente invención puede ser implementada usando placas HTG-V6-PCIE-S475-2 de HitechGlobal como segundos medios procesadores 12. El SuperServer 1026GT-TF-FM209 de Supermicro puede alojar hasta dos de estas placas y hasta dos procesadores Xeon 5600, creando así un nodo de computación 1 que tiene dos primeros medios procesadores 11 segundos y dos segundos medios procesadores 12. Con tal configuración, un segundo proceso resolvidor ejecutado en un segundo medio procesador 12 se ejecutará tres veces más rápido que un primer proceso resolvidor que se ejecuta simultáneamente en los seis núcleos de un procesador Xeon 5600 instalado en dicho Supermicro como nodo de computación 1. Por lo tanto, se puede obtener un factor de aceleración de 4x con respecto a una solución paralela con únicamente CPUs. Dichas placas procesadoras FPGA usadas como segundos medios procesadores cuentan con una memoria de 2 GB DDR, en la que pueden caber sub-mallas de hasta 10^7 vértices. Una malla de 10^8 vértices puede ser resuelta en un sistema con cuatro de dichos nodo computacional 1 SuperMicro.

Aunque se ha descrito la presente invención en conexión con varias realizaciones, puede apreciarse a partir de la descripción que pueden hacerse varias combinaciones de elementos, variaciones o mejoras en ellas y que están dentro del alcance de la invención.

35

Referencias

[1] Diego Sanchez-Roman et al., "In-socket Acceleration for CFDs using High Level Languages", Jornadas sobre Computación Reconfigurable y Aplicaciones (JCRA) 2010.

5 [2] V. G. Asouti et al., "Unsteady CFD computations using vertex-centemalla finite volumes for unstructured grids on Graphics Processing Units", International Journal for Numerical Methods in Fluids, 2010.

REIVINDICACIONES

- 5 1.- Un sistema para ejecutar un código científico dado usando un resolvidor apropiado de elementos finitos o volúmenes finitos para un conjunto de datos representados como una malla que comprende una pluralidad de nodos de computación iguales (1) y un nodo front-end (2), todos ellos conectados entre sí por medios de comunicación de nodos (3, 4, 5), y un paquete de software de computación paralela para la distribución de la ejecución de dicho código científico en sub-mallas de dicha malla entre dichos nodos de computación (1), en el que:
- 10 - cada nodo de computación (1) comprende al menos un primer medio procesador (11) y un segundo medio procesador (12), que están interconectados por un bus (23, 24), siendo dicho primer medio procesador (11) un medio procesador basado en CPU y siendo dicho segundo medio procesador (12) un medio procesador basado en FPGA;
- 15 - dicho paquete de software de computación paralela está configurado para la ejecución simultánea de, al menos, un primer proceso resolvidor y un segundo proceso resolvidor de dicho código científico en cada nodo de computación (1), donde cada proceso resolvidor resuelve por lo menos una sub-malla de dicha malla y para gestionar el intercambio de datos de contorno entre los primeros y segundos procesos revolvidores que calculan sub-mallas vecinas después de cada paso del resolvidor;
- dicho primer proceso resolvidor se ejecuta completamente en un primer medio procesador (11) y dicho segundo proceso resolvidor se ejecuta en un segundo medio procesador (12) con la colaboración de un primer medio procesador (11) para la carga y descarga de sub-mallas y el intercambio de datos de contorno; y
- 20 - dichos primer y segundo procesos revolvidores tienen la misma interfaz de comunicación para el intercambio de datos de contorno con los primeros y segundos procesos revolvidores de sub-mallas vecinas.
- 25 2.- Un sistema según la reivindicación 1, que también comprende medios de software para la partición de la malla en sub-mallas de acuerdo con la capacidad de cómputo del primer y segundo medio procesador (11, 12) de cada nodo de computación (1) y para equilibrar la carga de cálculo a fin de que las diferencias entre los tiempos de ejecución de dichos primeros y segundos procesos resolvidores se reduzcan al mínimo
- 30 3.- Un sistema según cualquiera de las reivindicaciones 1-2, en el que un segundo proceso resolvidor implementa todos los cálculos relacionados con el resolvidor en un segundo medio procesador (12) y los únicos datos intercambiados por dicho segundo medio procesador (12) después de cada paso del resolvidor con otro primer o segundo medio procesador (11, 12) son datos de contorno.
- 4.- Un sistema según cualquiera de las reivindicaciones 1-3, en el que al menos en un nodo de computación (11) un segundo proceso resolvidor está configurado para ejecutar el código científico para una sub-malla en pasos secuenciales para trozos de la sub-malla.
- 35 5.- Un sistema según cualquiera de las reivindicaciones 1-4, en el que dichos medios de comunicación de nodos comprenden una red de alta velocidad y baja latencia (3) y un interruptor de alto rendimiento (4) para la conmutación de dicha red (3), y una red convencional (5).
- 6.- Un sistema según cualquiera de las reivindicaciones 1-5, en el que un primer medio procesador (11) comprende una CPU multi-core (19) y una memoria local (20) y un segundo medio procesador (12) comprende un procesador basado en FPGA (21) y una memoria local (22).
- 40 7.- Un sistema según la reivindicación 6, en el que un nodo de computación (1) comprende un primer medio procesador (11) y un segundo medio procesador (12) interconectados por un bus de alta velocidad de propósito general (24).
- 8.- Un sistema según la reivindicación 6, en el que un nodo de computación (1) comprende al menos dos primeros medios procesadores (11) y dos segundos medios procesadores (12) interconectados por un bus específico de CPU (23).
- 45 9.- Un sistema según cualquiera de las reivindicaciones 7-8, que también comprende los siguientes componentes adicionales: un chipset bridge (13), una tarjeta (14) para dicha red de alta velocidad y baja latencia (3) y una tarjeta Ethernet (17) para dicha red convencional (5).
- 10.- Un sistema según cualquiera de las reivindicaciones 7-9, en el que dicho segundo medio procesador (12) es capaz de almacenar una sub-malla completa en la memoria interna del procesador basado en FPGA (21) o en su memoria local (22).
- 50 11.- Un sistema según cualquiera de las reivindicaciones 1-10, en el que la malla tiene más de 10^8 vértices y las sub-mallas tienen un número de vértices comprendido entre 10^5 y 10^8 .

12.- Un sistema según cualquiera de las reivindicaciones 1-11, en el que dicho código científico es un código CFD y dicho conjunto de datos es la malla de un objeto que se mueve a través de un medio fluido.

5 13.- Un sistema según la reivindicación 12, en el que dicho código científico comprende al menos dos conjuntos de ecuaciones para al menos dos zonas de la malla y dichos primer y segundo procesos resolvidores usan dichos dos conjuntos de ecuaciones para las sub-mallas de dichas dos zonas.

14.- Un sistema según la reivindicación 13, en el que dichos dos conjuntos de ecuaciones son las ecuaciones de Euler y las ecuaciones RANS.

15.- Un sistema según cualquiera de las reivindicaciones 12-14, en el que dicho objeto es una aeronave o un componente de una aeronave.

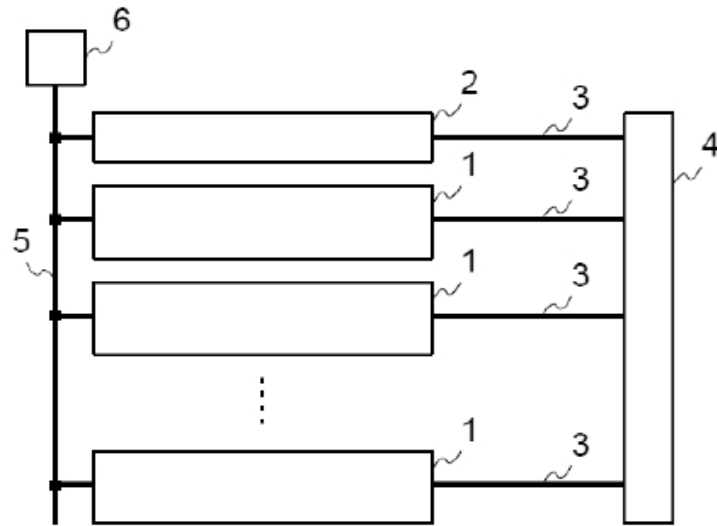


FIG. 1

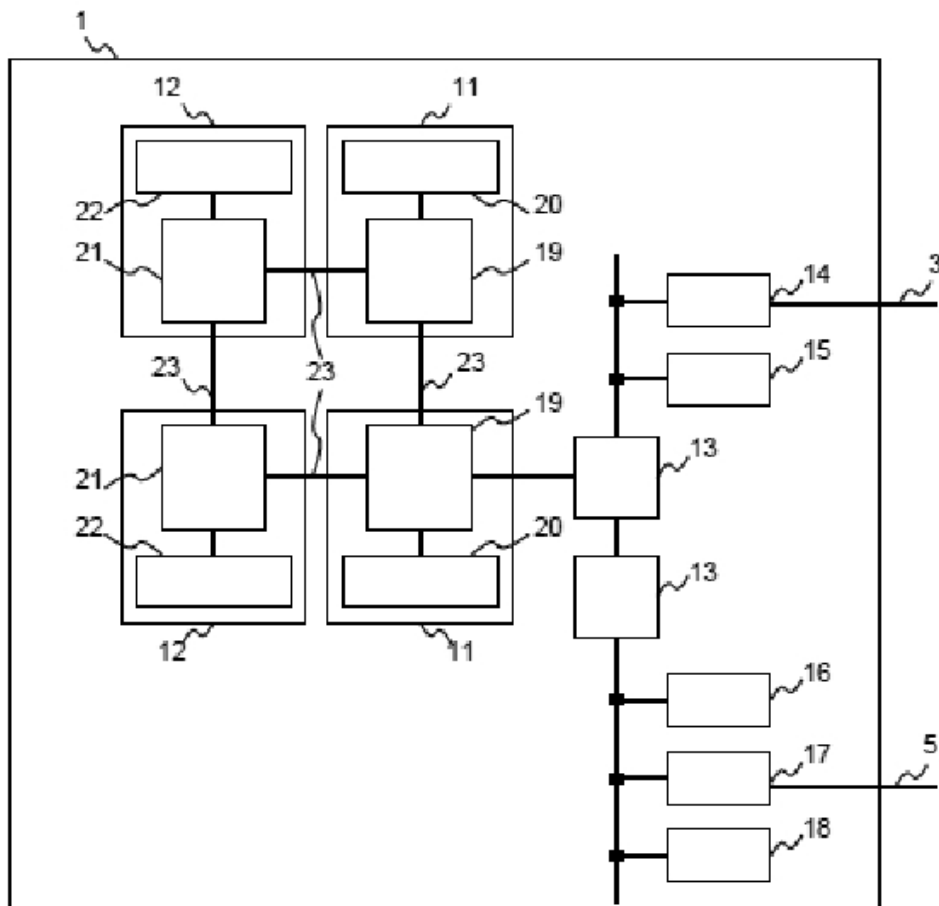


FIG. 2

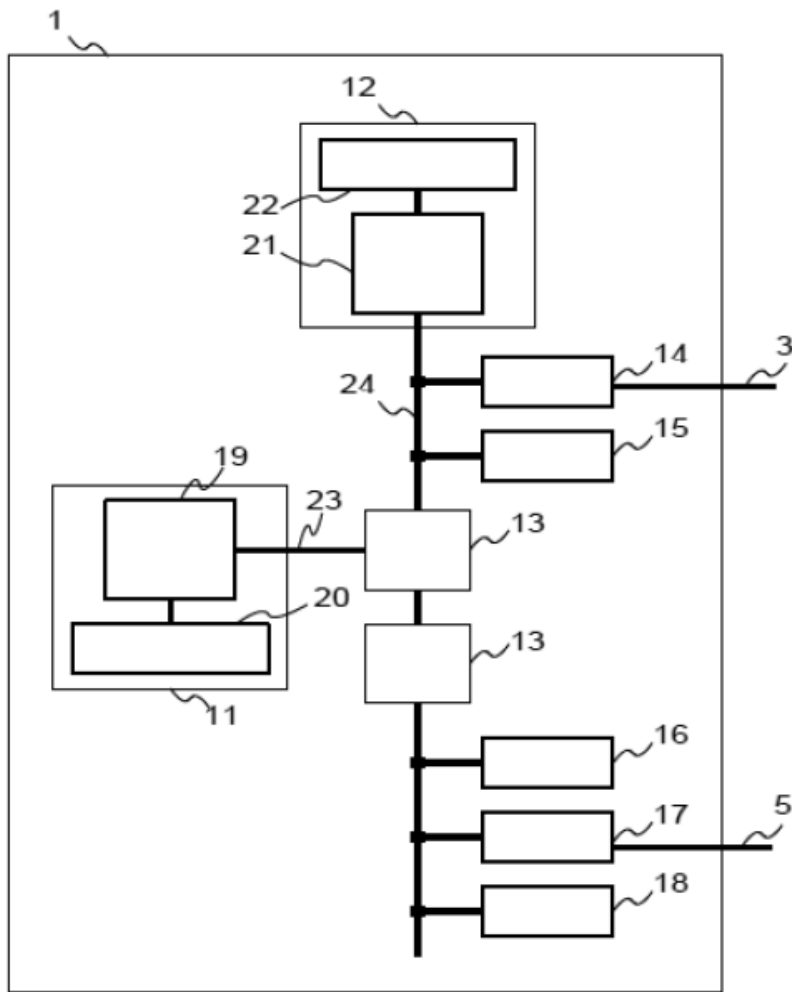


FIG. 3

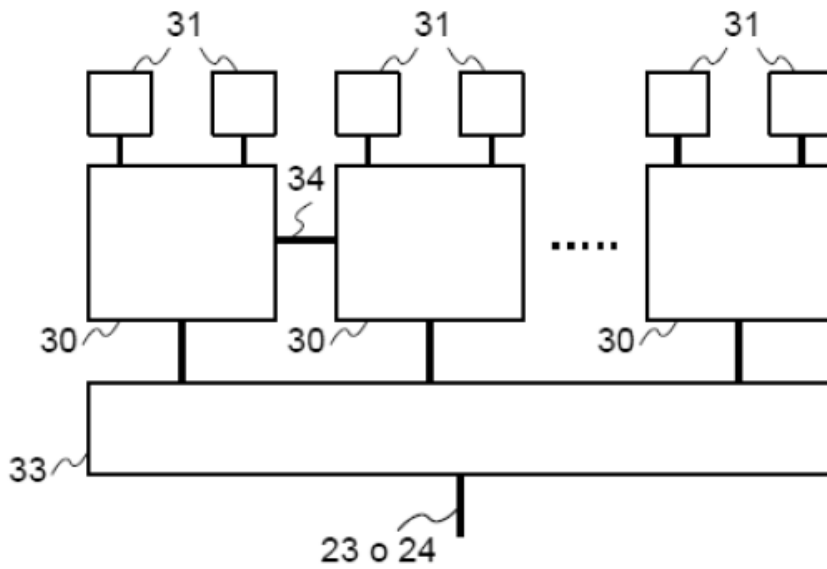


FIG. 4

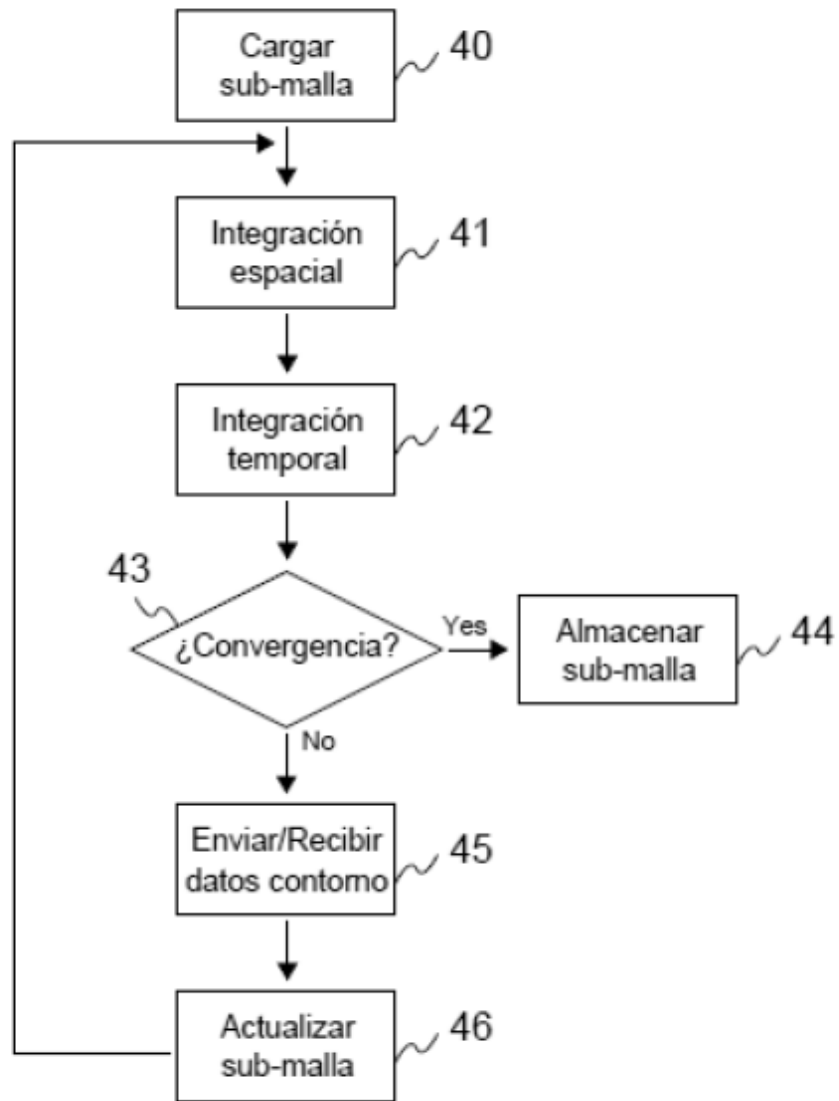


FIG. 5

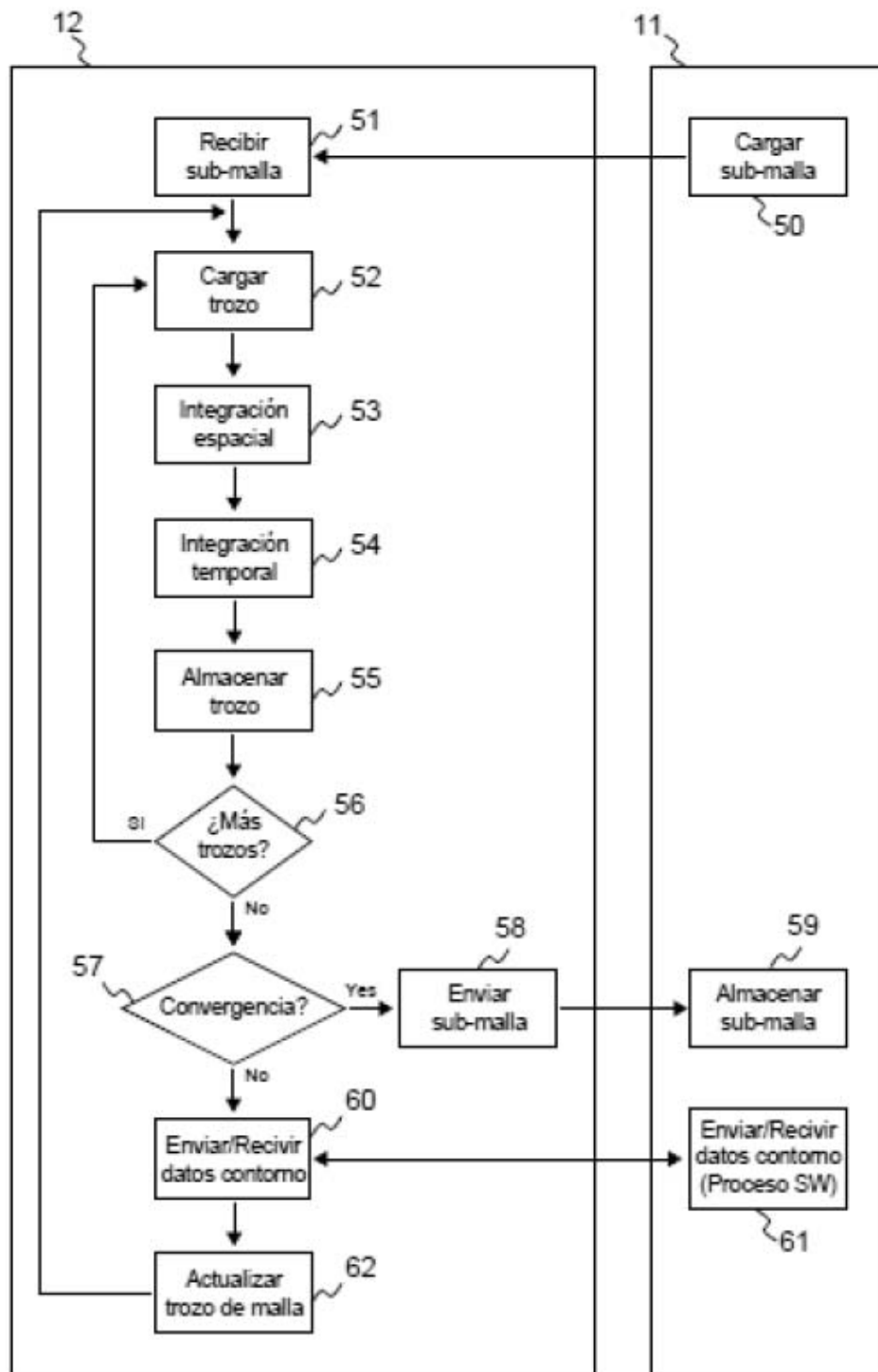


FIG. 6