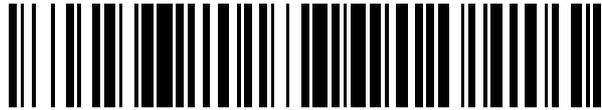


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 539 901**

51 Int. Cl.:

H02M 7/5387 (2007.01)

H03K 7/08 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **23.11.2011** **E 11802295 (3)**

97 Fecha y número de publicación de la concesión europea: **25.03.2015** **EP 2643924**

54 Título: **Método y circuito de conducción de un convertidor de puente completo con modulación de ancho de pulso digital**

30 Prioridad:

23.11.2010 IT PD20100352

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
07.07.2015

73 Titular/es:

ELETTRA - SINCROTRONE TRIESTE S.C.P.A.
(100.0%)
S.S. 14, Km 163,5 in Area Science Park
34149 Basovizza - Trieste, IT

72 Inventor/es:

MOLARO, DENIS y
BRAIDOTTI, ENRICO

74 Agente/Representante:

RUO, Alessandro

ES 2 539 901 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Método y circuito de conducción de un convertidor de puente completo con modulación de ancho de pulso digital

5 **Campo de la invención**

10 [0001] La presente invención se refiere a un equipo y a un método para convertidores de potencia de motores de tipo conmutado y de corriente continua para una amplia gama de aplicaciones que incluyen robótica, electrónica portátil, equipos deportivos, aparatos electrodomésticos, dispositivos médicos, aplicaciones de automoción, instrumentos para máquinas de luz, tales como sincrotrones.

Descripción de la técnica anterior

15 [0002] La modulación por ancho de pulso (PWM) es una técnica muy ampliamente utilizada para las cargas de los diferentes sistemas eléctricos de conducción y para varios valores de potencia de salida. Cargas eléctricas que requieren de cuatro cuadrantes de conducción (es decir, la tensión de salida y corriente pueden asumir cualquier valor representado en el plano tensión-corriente) son a menudo accionadas por la configuración de puente completo (o puente H). El interés en control digital de convertidores del tipo conmutado se ha incrementado considerablemente en los últimos años. El enfoque digital, en comparación con el enfoque análogo, ofrece varias
20 ventajas, tales como la inmunidad a las variaciones de los componentes utilizados en el circuito durante el período de uso.

[0003] El diagrama de este circuito se muestra en la figura 1.

25 [0004] Este circuito incluye dos señales de entrada A1 y A2, dos terminales de salida B1 y B2 y dos señales de control X1 y X2. Los elementos conmutados Q1, Q2, Q3 y Q4 son normalmente dispositivos semiconductores, por ejemplo, transistores del tipo BJT, MOSFET o IGBT. El puente consta de dos patillas diferentes, identificables con las rutas de conducción de los transistores, es decir, corrientes del colector-emisor o de drenaje-fuente. Las clavijas de control Q1 y Q4 están conectadas directamente a las señales de control respectivas X1 y X2. El terminal de control Q3 está conectado al terminal X2 a través de un puerto de inversión, mientras que el terminal de Q2 está conectado a X1 a través de otro puerto inversor. La carga está conectada entre los terminales de salida B1 y B2 mientras que las entradas A1 y A2 están normalmente conectadas respectivamente a un potencial positivo y a una tierra de referencia. Las señales de entrada a X1 y X2 definen los niveles de tensión de B1 y B2: cuando el voltaje en X1 es alto, Q1 está encendido y Q2 está apagado (es decir, A1 y B1 asumen idealmente el mismo potencial) y cuando X1 está a baja tensión, Q1 está apagado y Q2 está encendido (es decir, A2 y B1 al mismo potencial). Esta
30 situación es reproducible en la otra patilla del puente.

35 [0005] La forma más común de conducción de un puente completo es la que se muestra en la figura 2, donde X1 y X2 son las señales de control

40 [0006] La corriente de salida promedio que fluye a través de la carga conectada entre los terminales B1 y B2 puede ser regulada en amplitud y dirección cambiando la porción de tiempo que X1, y por consiguiente X2, permanecen en un nivel de voltaje alto durante un período T de la frecuencia de conmutación. Una técnica básica para puentes completos implica que X1 debe seguir siendo alta para $m1 \cdot T$ mientras X2, que es la versión invertida del X1, debería seguir siendo alta para $m2 \cdot T = (1-m1) \cdot T$. Con esta técnica, las señales de control X1 y X2 se correlacionan directamente con un único coeficiente de modulación (o en la jerga, ciclo de trabajo) $m = m1 = 1 - m2$.
45

50 [0007] El uso de circuitos con modulación de ancho de pulso digital (DPWM) introduce la discretización de los posibles valores de los coeficientes de modulación $m1$ y $m2$; esto lleva a una consecuente discretización de los valores de corriente/tensión de salida promedio alcanzables. Esta modulación de ancho de pulso, haciendo uso de un cuantificador de n bits, conduce a una situación en la que la tensión/corriente puede alcanzar, en condiciones de estado estacionario, $N = 2^n$ diferentes valores, donde n es la resolución, es decir, el número de bits utilizados para cuantificar cada valor.

55 **Sumario de la invención**

[0008] Un objeto de la presente invención es la provisión de un circuito con modulación de ancho de pulso digital que aumenta la resolución del actuador en la configuración de puente completo.

60 [0009] La idea básica de la presente invención es proporcionar un método para la conducción de las dos patillas del puente completo como dos etapas independientes de medio puente con una determinada secuencia de impulsos de amplitud digital tal que las señales de control no están correlacionadas directamente con un coeficiente único de modulación, como en la técnica anterior, y tal como para aumentar la resolución media de tensión/corriente.

65 [0010] El método y el circuito para conducir una carga con un puente completo en combinación con los resultados de circuito DPWM n bits estándar en una resolución de salida equivalente a $n + \log_2(2 + 1/2^n)$, aumentando un poco

más de un bit. El circuito, combinado con la DPWM e incluido en el bucle de realimentación negativa de una fuente de alimentación del tipo conmutado, hace posible relajar las condiciones que conducen a la creación de ciclos límite en razón de la escasa resolución y mejora la capacidad de control. La conmutación de suministro de puente completo incluye una entrada, una salida y dos entradas de control.

5 **[0011]** Este y otros objetos se consiguen por medio del equipo y el método como se describe en las reivindicaciones adjuntas, y que son considerados como una parte integral de la presente descripción.

Breve descripción de los dibujos

10 **[0012]** La invención se convertirá en totalmente clara a partir de la siguiente descripción detallada, dada puramente como un, ejemplo ilustrativo no limitante, para ser leída con referencia a los dibujos adjuntos, donde:

- 15 - La figura 1 es un esquema simplificado de una etapa de puente completo estándar que utiliza transistores del tipo MOSFET;
- La figura 2 ilustra algunas formas de onda típicas utilizadas para la conducción de un circuito de puente completo;
- La figura 3 es un diagrama de bloques de una fuente de alimentación del tipo conmutado que contiene el circuito de acuerdo con la presente invención;
- 20 - La figura 4 es una representación en diagrama de bloques del circuito de acuerdo con la presente invención;
- La figura 5 ilustra algunas formas de onda típicas obtenidas del circuito de acuerdo con la presente invención;
- La figura 6 es un diagrama de bloques funcional de una fuente de alimentación del tipo conmutado que contiene el circuito de acuerdo con la invención en combinación con un esquema de modulación que utiliza la técnica de "tramado";
- 25 - La figura 7 es una representación del comportamiento de los índices de modulación como una función de una variable de control cuando se aplica la técnica de "tramado";
- La figura 8 muestra un diagrama de flujo de un método para generar los coeficientes de modulación desde el circuito de acuerdo con la presente invención.

30 **[0013]** Los mismos números y letras referencias en las figuras designan las mismas o partes funcionalmente equivalentes.

Descripción de un ejemplo

35 **[0014]** La figura 3 muestra un diagrama de una fuente de alimentación del tipo conmutado que incluye un circuito 31, que es el objeto particular de la invención. Cuando una etapa de puente completo está modulada por una secuencia de impulsos que contiene $N = 2^n$ pulsos de amplitud, después de un filtro de paso bajo ideal (LP), el número de valores de salida discretos asciende a N. La resolución de la tensión de salida corresponde al intervalo entre los niveles de tensión.

40 **[0015]** El circuito 31, de acuerdo con la presente invención, se coloca entre la salida del bloque integrador-derivado-proporcional (PID) 32 y la entrada del circuito de modulación de ancho de pulso digital (DPWM) 33. La señal de entrada del bloque de control digital PID 32 representa el error entre el valor de la tensión de referencia (punto "de ajuste") VREF y el valor de salida del convertidor analógico-digital (ADC) 36; la señal de salida representa el coeficiente de modulación m.

50 **[0016]** El coeficiente de modulación m se aplica como entrada digital al bloque 31, que genera dos salidas digitales diferentes, definidas como m1 y m2. Estos dos coeficientes de modulación se convierten entonces en dos ondas cuadradas diferentes X1 y X2 mediante el bloque DPWM 33. Estas ondas cuadradas, X1 y X2, conducen una etapa de conmutación de puente completo 34 del tipo de circuito de la figura 1, que también incluye una tensión de entrada VIN, seguida de un filtro de salida de paso bajo 35 para obtener la tensión de salida VOUT, que se detecta mediante un convertidor analógico/digital (ADC). Los bloques 32, 33, 34, 35 y 36 son sustancialmente de una estructura conocida.

55 **[0017]** La figura 4 muestra un circuito 31, que es el objeto de la invención. La entrada m del circuito 31 se toma desde la salida del bloque proporcional-integral-derivativo (PID) 32 que se muestra en la figura 3, con una resolución de al menos un bit más alto en relación con el generador DPWM estándar. El valor m antes mencionado se satura a continuación, entre los valores 0 y 1 mediante el bloque 401 (esta operación también se puede realizar mediante el bloque PID 401). La salida del bloque 401 se aplica a un bloque de ganancia (402), que lo multiplica por $N = 2^n - 1$ y genera otro valor digital; obsérvese que N es el número total de los niveles del bloque DPWM 33 que se utiliza en combinación con el circuito 31. Esta operación se utiliza normalmente en los circuitos de PWM digital estándar para obtener un valor entero para ser utilizado en el contador digital estándar incluido en el dispositivo utilizado.

65 **[0018]** La entrada del bloque 403 se muestrea a continuación en el tiempo en una frecuencia predeterminada $f_s = 1/T_s$; este valor del período debe coincidir y ser sincronizado con el período de la DPWM (404) antes mencionado. El muestreo en el tiempo, por ejemplo, puede ser realizado por un módulo de orden cero, donde el valor anterior a la

- muestra se mantiene constante hasta el siguiente valor muestreado. El bloque 405 es un cuantificador de n bits. El bloque 406, conectado al bloque 405, lleva a cabo una operación de redondeo hacia abajo (o truncando) en su valor de la entrada digital. La salida del bloque 406 es el coeficiente de modulación M1, que está conectado directamente a la DPWM que tiene una resolución de N bits; m1 es un valor entero en el rango [0, N-1]. Este valor de m1, o ciclo de trabajo, se utiliza para la conducción de una sola patilla del circuito de puente universal. La parte fraccionaria que no puede ser representada por m1 a causa de la resolución limitada se obtiene por diferencia entre las salidas del bloque 404 y el bloque 406; este valor, suministrado al bloque 407, es siempre un número positivo y tiene la misma resolución que la entrada m. La combinación de los bloques 407 y 408 realiza un redondeo del valor antes mencionado al valor entero más cercano (0 ó 1). El bloque 408 en sí lleva a cabo una operación de redondeo hacia abajo, de manera que su salida es el valor de número entero mínimo que no es mayor que el de entrada. El coeficiente de modulación m2 se calcula como la suma de m1 y el resultado de la operación de redondeo antes mencionada y se aplica luego al bloque digital PWM 33 para accionar la otra patilla del puente completo (o puente H) 34.
- 15 **[0019]** Las dos salidas de m1 y m2 se aplican a un generador digital de formas de onda de amplitud de pulsación 33 compuestas de dos circuitos excitadores independientes del tipo de medio puente. El circuito de la invención 31, junto con el bloque 33, permite la generación de dos valores diferentes de ciclo de trabajo, la inserción de un nuevo nivel de cuantificación, mientras se mantiene el mismo intervalo de tiempo de la anchura de impulso definida por el LSB del generador N-bit DPWM. Con un periodo de conmutación Ts predefinido, el circuito de la invención conduce a ciertas situaciones en las que el ciclo de trabajo m1 y el ciclo de trabajo m2 difieren en sólo una LSB, como se muestra en la figura 5.
- 25 **[0020]** La figura 5 muestra algunas formas de onda típicas en la entrada de los transistores Q1 y Q4 en dos períodos de conmutación T1 y T2: en el primer período T1, la amplitud del pulso en Q4 es $T_s/(N-1)$ mayor que en Q1, mientras que en el segundo período T2, los coeficientes de modulación son iguales. El valor del coeficiente de modulación m, en la figura 5, obviamente ha cambiado desde el intervalo de tiempo T1 al intervalo de tiempo T2.
- 30 **[0021]** Los niveles medios de tensión en los terminales del filtro de paso bajo son $N = 2^n$ con un generador de PWM estándar, pero que se elevan a $2N + 1 = 2^{n+1} + 1$ en combinación con el circuito de la invención.
- 35 **[0022]** Los valores promedio de la tensión de salida en los terminales de salida de la fuente de alimentación se pueden calcular como $V_{OUT} = V_{IN} \cdot (m1 + m2-1)$.
- 40 **[0023]** En una realización, el esquema básico para una fuente de alimentación controlada digitalmente, utilizando el circuito de acuerdo con la invención, se puede combinar con la técnica bien conocida de "tramado"; esto permite la reducción de la ondulación residual por los componentes de salida en la frecuencia de conmutación, al mismo tiempo que mantiene la misma resolución de salida equivalente.
- 45 **[0024]** La figura 6 muestra un sistema de reacción cerrado con tramado relación igual a K.
- 50 **[0025]** En esta fuente de alimentación controlada por voltaje, la señal de error digital entre la tensión de entrada (punto de "ajuste") VREF y su valor VOUT medido se aplica al bloque proporcional-integral-derivativo (PID) (o a un bloque que lleva a cabo un algoritmo de compensación diferente) que genera el coeficiente de modulación m. Este valor, después de haber sido muestreado con un periodo Tc y aplicado al circuito 31 como se muestra en la figura 4, genera dos coeficientes diferentes de modulación m1 y m2.
- 55 **[0026]** Estos coeficientes se utilizan para generar dos señales de onda cuadrada diferentes en el bloque DPWM 63, que genera señales de onda cuadrada de valores cuantificados en N-niveles del índice de modulación (es decir, m1 y m2). La etapa de puente H (64) es accionada directamente por dos circuitos de accionamiento de medio puente diferentes (o por un único circuito controlador de puente completo).
- 60 **[0027]** La salida del puente H 64 se filtra a continuación por un circuito de paso bajo 65 y la tensión de salida VOUT se detecta entonces mediante el convertidor analógico-digital (ADC) 46 con el período Tc antes mencionado.
- 65 **[0028]** La adición del subsistema del tipo de tramado 67 hace que sea posible obtener un ondeado bajo (ondulación) de la tensión de salida, al mismo tiempo que mantiene la misma resolución de salida (en un período Tc).
- [0029]** Este subsistema 67 consiste en un multiplicador de reloj (por un factor K) 671 que controla un contador con K niveles 672 que los índices a una tabla de consulta (LUT) 673 que contiene los patrones de tramado binarios con un período de tiempo $T_s = K \cdot T_c$ (frecuencia de conmutación). Estos patrones se añaden a los índices de modulación m1 y m2 y después se aplican al generador de impulsos de doble canal mencionado en el bloque DPWM 63.
- [0030]** Los valores medios de la tensión de salida alcanzables con esta técnica coinciden exactamente con los que pueden obtenerse sin el uso de la funcionalidad de tramado, es decir, la misma resolución, pero el ondeado

(ondulación) de la tensión de salida, manteniendo la misma salida del filtro de paso bajo, se disminuye debido al aumento de la frecuencia de conmutación T_s .

5 **[0031]** Este esquema de control es adecuado para el control de otros tipos de variables como la corriente de salida, la velocidad del motor, etc.

[0032] El comportamiento de los índices de modulación m_1 y m_2 , con una relación de tramado en K niveles ($K = 4$) como una función de m y con un cuantificador que tiene una resolución de $n = 8$, se muestra en la figura 7.

10 **[0033]** La figura 8 muestra un diagrama de flujo del método utilizado para generar el coeficiente de modulación de m_1 y m_2 . Será evidente, para una persona experta en la técnica, cómo debe implementarse el método de acuerdo a los bloques 81-88 a la vista de los bloques 401, 402 y 403. El bloque 89 lleva a cabo un método de cuantificación en n bits de acuerdo al circuito 405 y un truncamiento según el bloque 406. La combinación de los bloques 92 y 93 realiza una operación de redondeo de la parte fraccionaria 91 al valor entero más cercano ("0" o "1"); la operación de redondeo se realiza a nivel de circuito por la combinación de bloque 407, que multiplica la parte fraccionaria por 2, y del bloque 408, que trunca el resultado de la multiplicación. El bloque 94 realiza una adición de acuerdo con el módulo de adición del circuito de la figura 4.

15
20 **[0034]** Otros detalles de implementación no se describirán, ya que una persona experta en la técnica puede llevar a cabo la invención sobre la base de la enseñanza de la descripción anterior.

REIVINDICACIONES

1. Método para la conducción de un circuito de puente completo (34, 64) que comprende un circuito (31) que recibe una señal de modulación de entrada (m) y genera una primera señal de modulación de salida (m1) y una segunda señal de modulación de salida (m2) para controlar el puente completo, comprendiendo el método las etapas de:
- generar una primera (X1) y la segunda (X2) onda cuadrada que tiene un período común de onda cuadrada (Ts), donde la primera onda cuadrada (X1) está configurada para conducir una patilla del puente completo y la segunda onda cuadrada (X2) está configurada para accionar la segunda patilla del puente completo;
- caracterizado por** las siguientes etapas:
- generar la primera onda cuadrada (X1) se genera con un primer ciclo de trabajo basándose en la señal (m1) primero modulación, donde la primera señal de modulación (m1) es una versión truncada de N niveles de la señal de control de entrada (m); obtener la segunda señal de modulación (m2) en primer lugar haciendo una diferencia (90) entre la señal de modulación de entrada (m) y la versión truncada de N niveles, en segundo lugar haciendo una operación de redondeo de dicha diferencia (92, 93);
 - generar la segunda onda cuadrada (X2) con un segundo ciclo de trabajo igual o mayor que el primer ciclo de trabajo por un paso de tiempo incremental $T_s/(N-1)$ basado en la segunda señal de modulación (m2).
2. Método según la reivindicación 1, **caracterizado por que** la señal de modulación de entrada (m) se genera mediante un módulo proporcional-integral-derivado digital.
3. Método según cualquier reivindicación anterior, que comprende la etapa de saturar la señal de modulación de entrada (m) a un valor predeterminado alto cuando la señal de modulación de entrada (m) es mayor que un valor umbral, y a un valor predeterminado bajo cuando la señal de modulación de entrada (m) es menor que un valor umbral.
4. Método según cualquier reivindicación anterior, en el que el circuito (31) se combina con un módulo de tramado (67) que tiene una relación de tramado K tal para generar patrones de tramado que tienen un período cuadrado $T_s = T_c \cdot K$, donde T_c es un período de muestreo de la señal de modulación de entrada (m), donde el método comprende la adición de los patrones de tramado para la primera señal de modulación (m1) y a la segunda señal de modulación (m2).
5. Método según cualquier reivindicación anterior, que comprende la etapa de alimentar hacia adelante la corriente de salida/tensión en la carga del puente completo (34, 64) a la señal de modulación de entrada (m).
6. Método según cualquier reivindicación anterior, que comprende la etapa de muestreo de la señal de modulación de entrada (m) con un periodo de muestreo igual al período de onda cuadrada común (Ts).
7. Circuito (31) para la conducción de un circuito de puente completo (34, 64) que comprende una señal de modulación de entrada (m) y que comprende una primera señal de modulación de salida (m1) y una segunda señal de modulación de salida (m2) para controlar el puente completo, donde el circuito es capaz de generar una primera (X1) y segunda (X2) onda cuadrada que tienen un periodo de onda cuadrada común (Ts), donde la primera onda cuadrada (X1) está configurada para conducir una patilla del puente completo y la segunda onda cuadrada (X2) está configurada para conducir la segunda patilla del puente completo,
- caracterizado por que** el circuito comprende además:
- medios para generar la primera onda cuadrada (X1) con un primer ciclo de trabajo basándose en la primera señal de modulación (m1), donde la primera señal de modulación (m1) es una versión truncada de N niveles (405, 406) de control de entrada de la señal (m); medios para obtener la segunda señal de modulación (m2) en primer lugar haciendo una diferencia entre la señal de modulación de entrada (m) y la versión truncada de N niveles, en segundo lugar haciendo una operación de redondeo de dicha diferencia (407, 408);
 - medios para generar la segunda onda cuadrada (X2) con un segundo ciclo de trabajo igual o mayor que el primer ciclo de trabajo mediante una etapa de tiempo incremental $T_s/(N-1)$ basado en la segunda señal de modulación (m2).
8. Circuito según la reivindicación 7, que comprende además un modulador de anchura de impulsos digitales capaz de generar la primera onda cuadrada (X1) y la segunda onda cuadrada (X2) y para recibir como entradas la primera señal de modulación (m1) y la segunda señal de modulación (m2).
9. Circuito según la reivindicación 7, que comprende además un módulo proporcional-integral-derivado digital (32, 62) capaz de generar la señal de modulación de entrada (m).
10. Circuito de acuerdo con cualquier reivindicación anterior, en el que el circuito comprende además un bloque (401) capaz de saturar la señal de modulación de entrada (m) a un valor predeterminado alto cuando la señal de

ES 2 539 901 T3

modulación de entrada (m) es mayor que un primer valor umbral, y capaz de saturar la señal de modulación de entrada (m) a un valor predeterminado bajo cuando la señal de modulación de entrada (m) es menor que un segundo valor de umbral.

- 5 **11.** Circuito de acuerdo con cualquier reivindicación anterior, en el que el circuito (31) comprende además un módulo de tramado (67) que tiene una relación de tramado K tal para generar patrones de tramado que tienen un período cuadrado $T_s = T_c \cdot K$, donde T_c es un período de muestreo de la señal de modulación de entrada (m), y de tal manera que los patrones de tramado se añaden a la primera señal de modulación (m1) y a la segunda señal de modulación (m2).
- 10 **12.** Circuito de acuerdo con cualquier reivindicación anterior, que comprende medios de alimentación por adelantado de corriente/tensión de salida a la señal de modulación de entrada (m).
- 15 **13.** Circuito de acuerdo con cualquier reivindicación anterior, que incluye además un circuito de muestreo (403) para el tiempo de muestreo de la señal de modulación de entrada (m) con un periodo de muestreo igual al período de onda cuadrada común (T_s).
- 20 **14.** Circuito según la reivindicación anterior 13 en el que el circuito de muestreo (403) es un módulo de retención de orden cero.

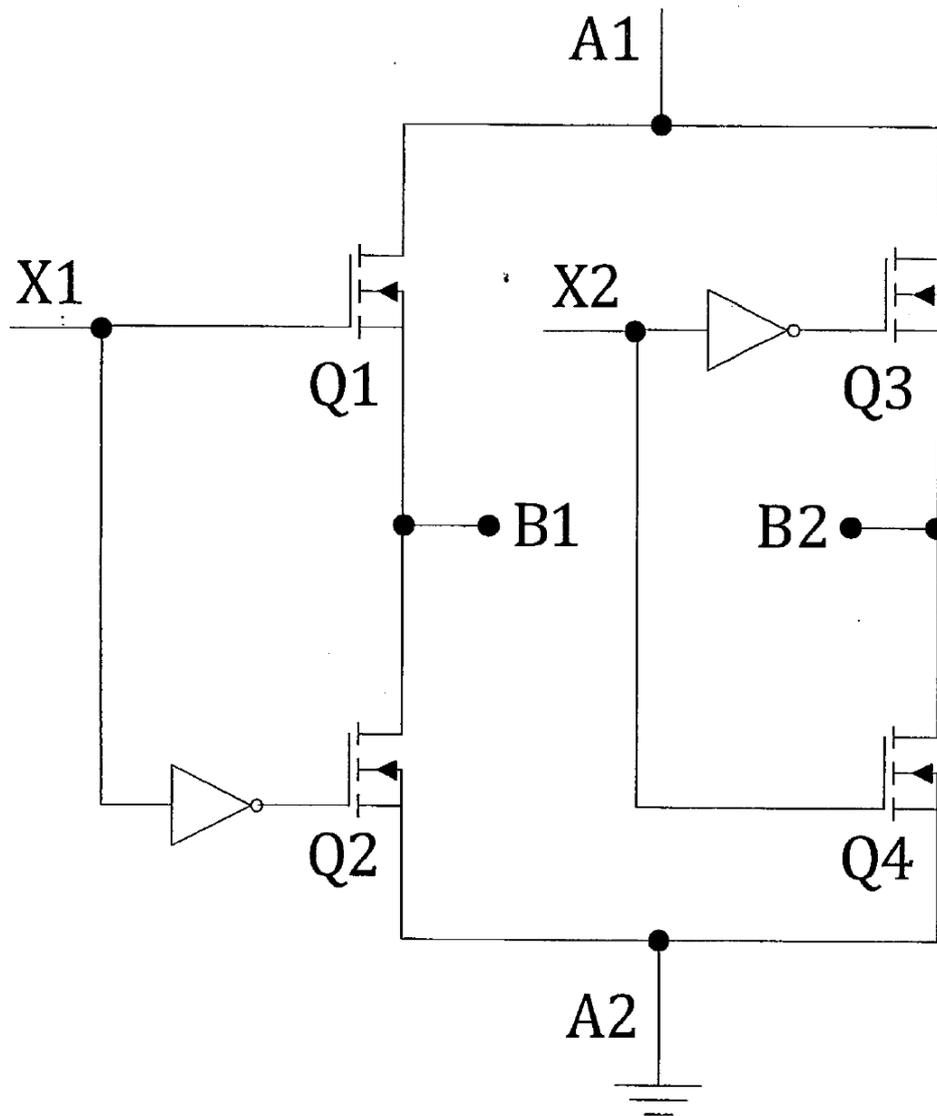


FIG. 1

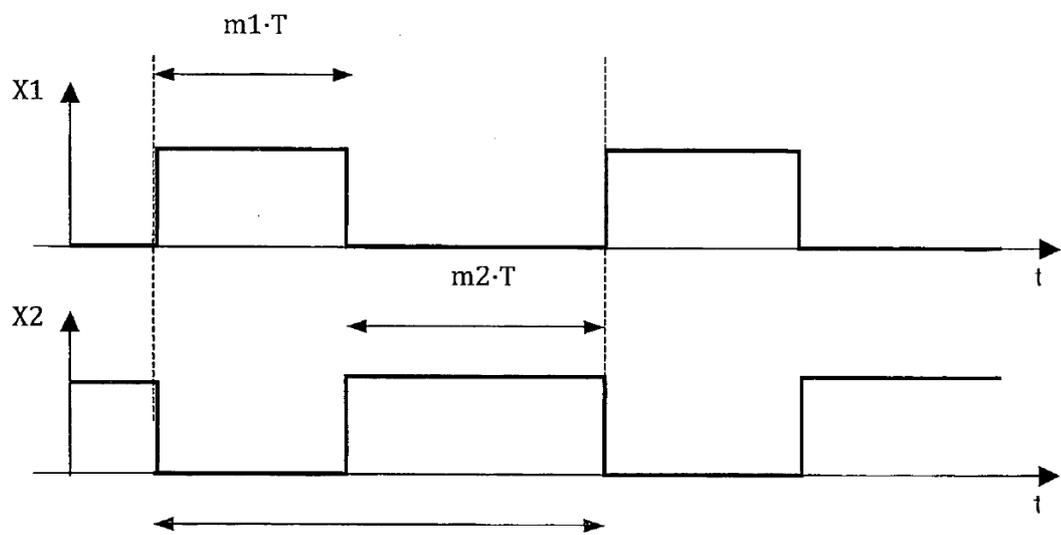


FIG. 2

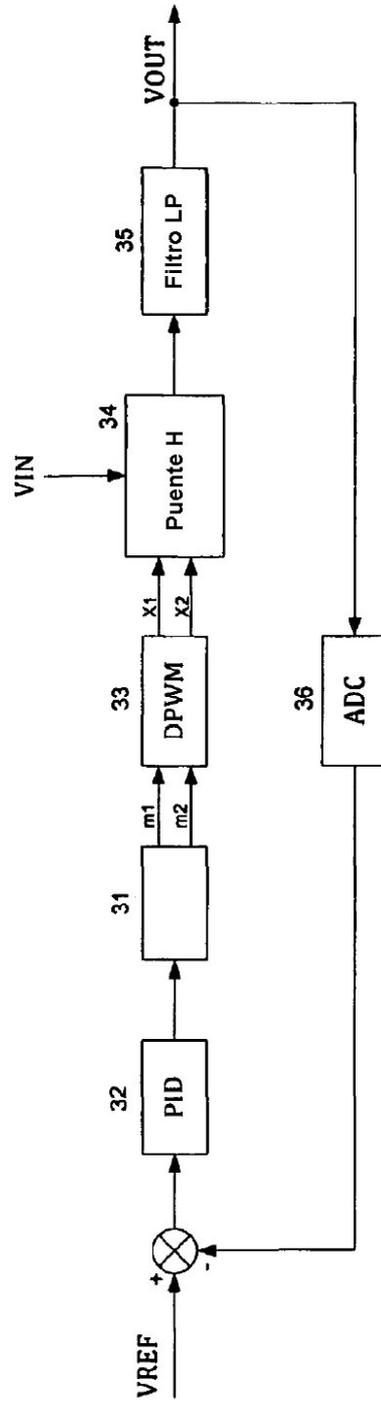


FIG. 3

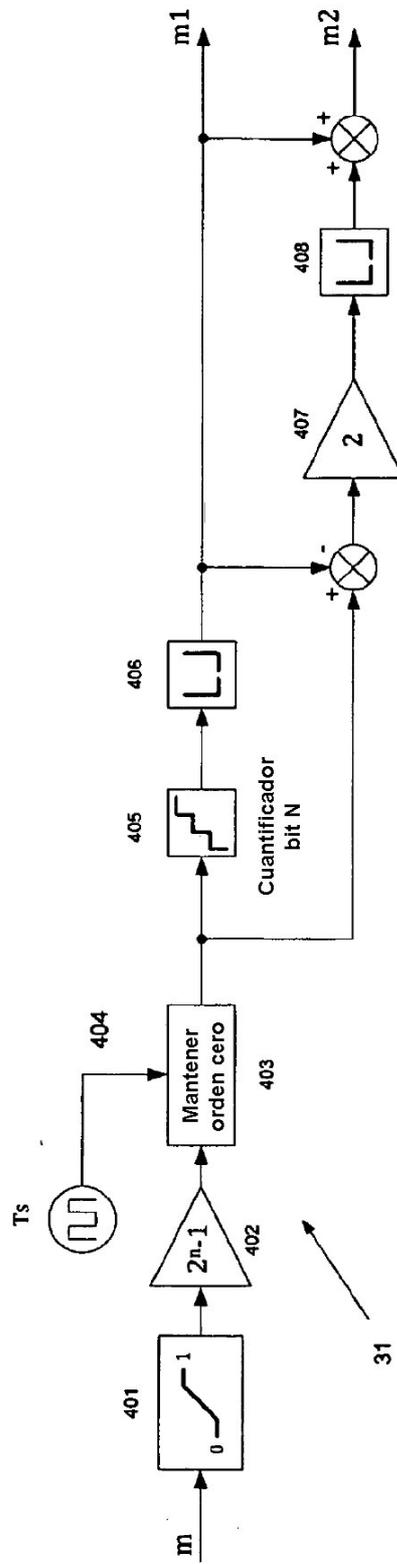


FIG. 4

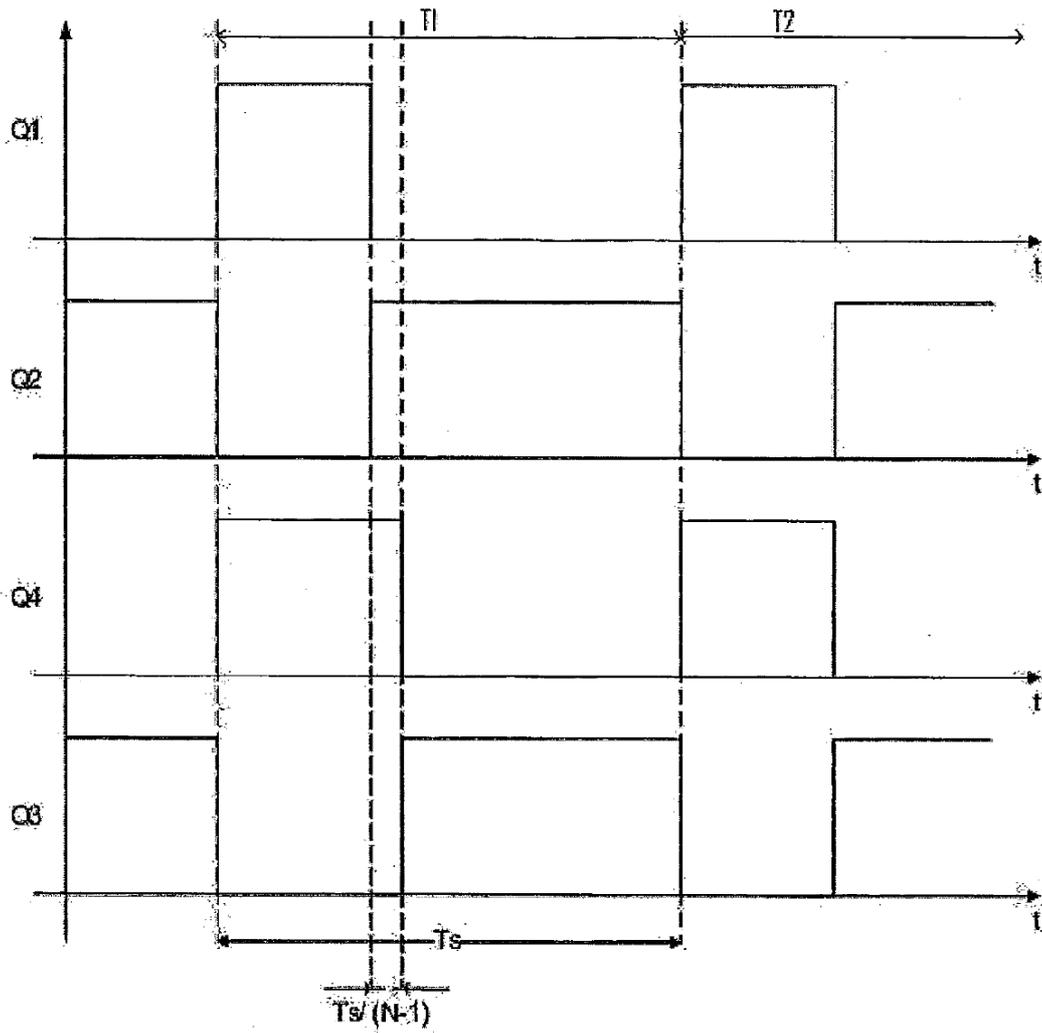


FIG. 5

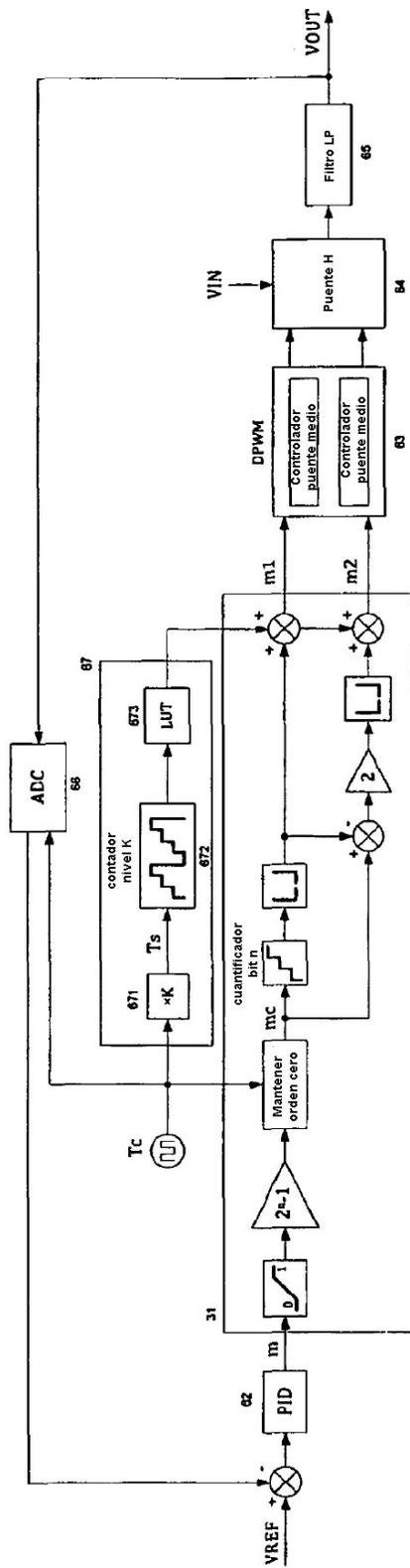


FIG. 6

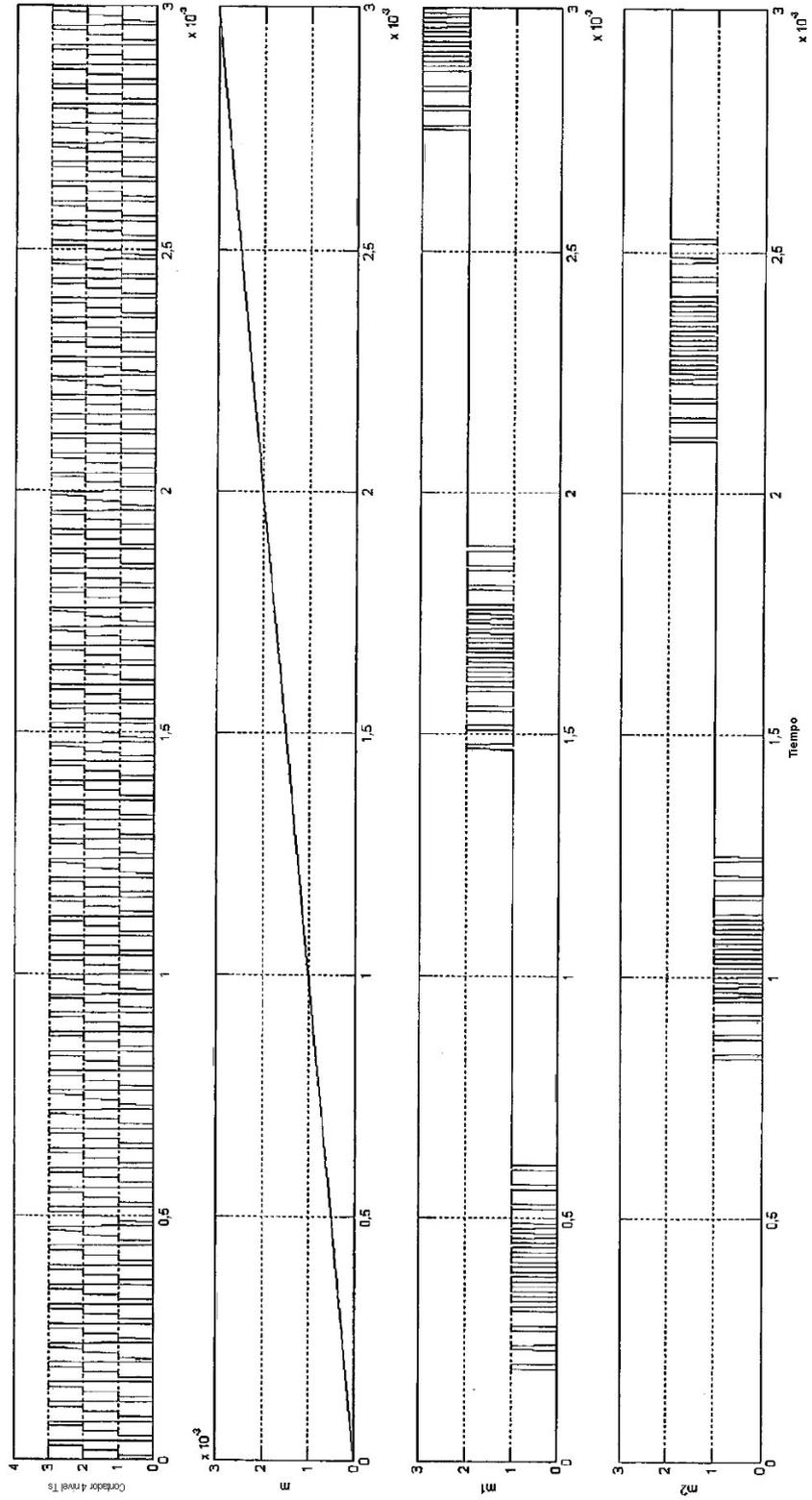


FIG. 7

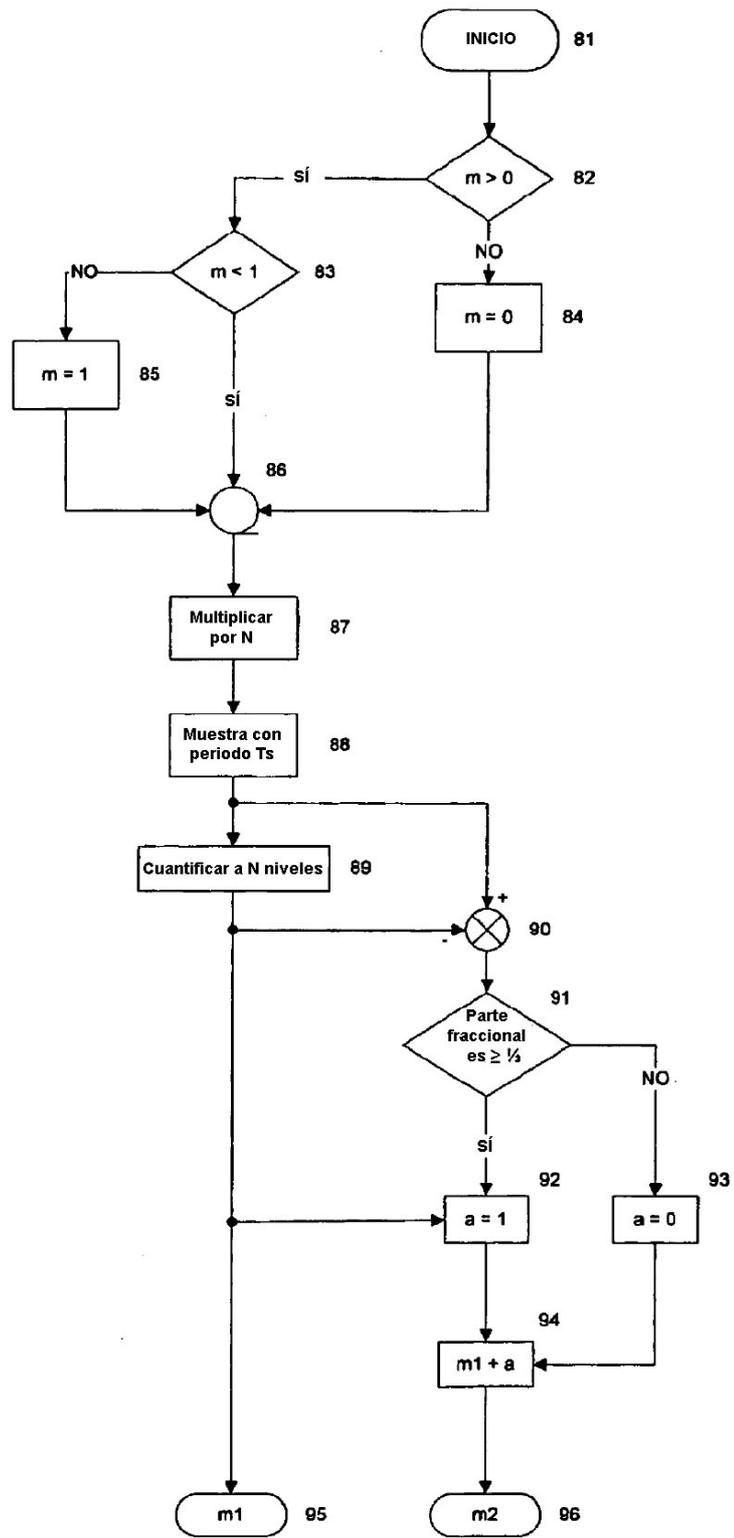


FIG. 8