

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 540 058**

51 Int. Cl.:

G11C 7/22 (2006.01)

G11C 7/10 (2006.01)

G11C 8/16 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **27.02.2009 E 09718990 (6)**

97 Fecha y número de publicación de la concesión europea: **25.03.2015 EP 2263235**

54 Título: **Multiplexado de direcciones en una memoria de puerto pseudo-dual**

30 Prioridad:

13.03.2008 US 47593

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
08.07.2015

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
Attn: International IP Administration
5775 Morehouse Drive
San Diego, California 92121-1714, US**

72 Inventor/es:

**JUNG, CHANGHO y
ZHONG, CHENG**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 540 058 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Multiplexado de direcciones en una memoria de puerto pseudo-dual

Campo de la divulgación

5 La divulgación se refiere en general a circuitos de memoria. Más específicamente, la divulgación se refiere al control de direcciones para memorias de puerto pseudo-dual.

Antecedentes

10 Las memorias de puerto dual tienen típicamente dos puertos y una matriz de celdas de memoria. Puede accederse simultáneamente a la matriz de memoria desde ambos puertos siempre que las celdas de memoria a las que se está accediendo desde un puerto no sean las mismas celdas de memoria a las que se está accediendo desde el otro puerto. El tipo común de celda de memoria usada en dichas memorias de puerto dual implica ocho transistores de efecto de campo (FET).

15 Las celdas de memoria en una memoria típica de puerto único solo incluyen seis transistores. La celda de memoria de seis transistores consume típicamente solo aproximadamente la mitad del área del circuito integrado que la celda de ocho transistores cuando se fabrican los dos tipos de celdas de memoria usando el mismo proceso. Sin embargo, muchas aplicaciones requieren la funcionalidad de una memoria de puerto dual, es decir, una memoria capaz de manejar tanto una operación de lectura como de escritura dentro de un único ciclo de reloj.

20 Para aprovechar el tamaño más pequeño de la celda de memoria de seis transistores, mientras que se da satisfacción a aquellas aplicaciones que requieren la funcionalidad de memoria de puerto dual, se usa frecuentemente un dispositivo de memoria denominado memoria de puerto pseudo-dual. En un ejemplo, una memoria de puerto pseudo-dual tiene una única matriz de memoria en la que cada celda de memoria de la matriz es una celda de memoria de seis transistores que se puede conectar selectivamente a un único par de líneas de bits (por ejemplo, la línea de bits B y la barra de la línea de bits BN).

25 La matriz de memoria opera como una memoria de puerto único en que solamente se realiza un acceso a la memoria en un instante. La memoria de puerto pseudo-dual, sin embargo, imita una memoria de puerto dual en que tiene dos puertos. En un ejemplo, la memoria de puerto pseudo-dual tiene un circuito denominado a veces un Multiplexor de Tiempo Retardado (TDM). Se recibe una única entrada de señal de reloj en la memoria de puerto pseudo-dual y se usa esta única señal de entrada de reloj para enclavar una dirección de lectura de entrada, una dirección de escritura de entrada y un valor de datos de entrada. El flanco ascendente de la señal de reloj de entrada se usa para iniciar una operación de lectura usando la dirección de lectura de entrada. Se completa la operación de lectura. Posteriormente, tiene lugar el flanco descendente de la señal de entrada de reloj. El TDM usa el flanco descendente de la señal de reloj de entrada para iniciar una operación de escritura. La dirección de escritura de entrada se usa para direccionar la matriz de memoria durante la operación de escritura y los datos escritos en la matriz de memoria son los datos del valor de entrada. Aunque se realicen dos operaciones de memoria en un único ciclo de la señal de entrada de reloj, las dos operaciones de memoria se realizan en realidad una tras otra. Desde el exterior de la memoria de puerto pseudo-dual, sin embargo, la memoria de puerto pseudo-dual parece permitir dos accesos a la matriz de memoria al mismo tiempo o sustancialmente al mismo tiempo, es decir, dentro de un único ciclo de reloj.

40 La cantidad de tiempo requerido para realizar la primera operación de lectura de memoria puede no ser igual a la cantidad de tiempo requerido para realizar la segunda operación de escritura de memoria. El uso de un enfoque TDM convencional ralentiza los tiempos de acceso a memoria globales debido a que las cantidades de tiempo relativas disponibles para las dos operaciones están determinadas por el tiempo en el que el flanco ascendente del ciclo de reloj tiene lugar y el momento en el que tiene lugar el flanco descendente del ciclo de reloj. Si, por ejemplo, la señal de reloj está baja durante tanto tiempo como está alta en un ciclo de reloj (es decir, la señal de reloj tiene un ciclo de trabajo 50/50), entonces se debe permitir la misma cantidad de tiempo para la realización tanto de la operación de lectura más rápida como de la operación de escritura más lenta. El resultado es una cantidad de tiempo desperdiciado que comienza después de que se haya completado la operación de lectura y finaliza tras el flanco descendente de la señal de reloj.

50 El documento WO 2007/114858 describe una memoria de puerto pseudo-dual que realiza tanto una primera operación de acceso a memoria como una segunda operación de acceso memoria en un único período de una señal CLK de reloj suministrada externamente. La señal CLK se usa para enclavar una primera dirección para la primera operación y una segunda dirección para la segunda operación.

55 El documento US 2008/0027338 describe una memoria que tiene un novedoso circuito de auto-temporización que genera señales de control interno de la memoria. Las señales de control pueden incluir una señal que permite el enclavamiento de direcciones, una señal que habilita el decodificador, y una señal que habilita el amplificador de detección.

5 El documento US 6 252 814 describe dos líneas de palabra ficticia separadas, una línea de palabra ficticia de lectura y una línea de palabra ficticia de escritura, que se implementan dentro de una matriz de memoria para proporcionar una operación de frecuencia más alta de ciclos de lectura y escritura dentro de la matriz de memoria. Las dos líneas de palabra ficticia se utilizan para activar y desactivar la señal de habilitación de la línea de palabra para las partes de lectura y escritura de un acceso. Dicho acceso puede ser un ciclo lectura/intercambio.

Sumario de la divulgación

De acuerdo con un aspecto de la presente invención se proporciona un sistema de multiplexado de direcciones de una memoria de puerto pseudo-dual tal como se expone en la reivindicación 1.

10 De acuerdo con otro aspecto de la presente invención, se proporciona un procedimiento para el control de una aplicación de una señal de dirección a una memoria como se expone la reivindicación 11.

15 De acuerdo con una realización de la presente divulgación, un sistema de multiplexado de direcciones de memoria de puerto pseudo-dual tiene un registro de retención de la dirección del puerto de lectura, un registro de retención de la dirección del puerto de escritura, un circuito de control y un multiplexor. El registro de retención de la dirección del puerto de lectura es operativo para mantener una dirección de lectura en respuesta a una señal de reloj externa. El registro de retención de la dirección del puerto de escritura es operativo para mantener una dirección de escritura en respuesta a la señal de reloj externa. El circuito de control controla el acceso a la memoria de lectura/escritura en base a la supervisión de una primera operación de memoria. El multiplexor conmuta entre una dirección de lectura mantenida y una dirección de escritura mantenida en respuesta a una señal de conmutación desde el circuito de control.

20 En otra realización de la presente invención, un procedimiento controla una aplicación de una señal de dirección a una memoria. El procedimiento incluye la detección de solicitudes de lectura y escritura. En respuesta a una solicitud de lectura en ausencia de una solicitud de escritura, el procedimiento incluye el suministro de una dirección de lectura a un componente de memoria. En respuesta a una solicitud de escritura en ausencia de una solicitud de lectura, el procedimiento incluye el suministro de una dirección de escritura al componente de memoria.

25 En respuesta a tanto una solicitud de lectura como una solicitud de escritura a ser realizadas durante un único ciclo de reloj, el procedimiento incluye el suministro de la dirección de lectura al componente de memoria. En base a la supervisión de una operación de lectura, el procedimiento incluye además la determinación de un tiempo dentro de un único ciclo de reloj para el suministro de la dirección de escritura al componente de memoria. El procedimiento incluye también la conmutación entre la dirección de lectura y la dirección de escritura para suministrar la dirección de escritura al componente memoria en el momento determinado.

30 Una ventaja de las realizaciones desveladas es que el multiplexado de la dirección se proporciona en una memoria de puerto pseudo-dual sin impacto en el tiempo de acceso de lectura. Además, el multiplexado se realiza con mínimas penalidades de área y de rendimiento.

35 Lo precedente ha destacado, bastante ampliamente, características y ventajas técnicas para que la descripción detallada que sigue se pueda comprender mejor. Se describirán características y ventajas adicionales en el presente documento a continuación que forman la materia objetivo de las reivindicaciones. Se debería apreciar por los expertos en la técnica que la concepción y realización específica desvelada se puede utilizar fácilmente como base para la modificación o diseño de otras estructuras para llevar a cabo las mismas finalidades de la presente invención. Se deberían dar cuenta también los expertos en la técnica que dichas construcciones equivalentes no se apartan del espíritu y alcance de la invención tal como se expone en las reivindicaciones adjuntas. Las características novedosas, que se cree son características de la invención, tanto por su organización como por el procedimiento de operación, junto con objetos y ventajas adicionales, se comprenderán mejor a partir de la descripción a continuación cuando se considere en conexión con las figuras adjuntas. Se ha de entender expresamente, sin embargo, que cada una de las figuras se proporciona con las finalidades de ilustración y de descripción solamente, y no se pretende como una definición de los límites de la presente invención.

Breve descripción de los dibujos

Para una comprensión más completa de la presente divulgación, se hace referencia a la descripción a continuación tomada en conjunto con los dibujos adjuntos.

50 La FIGURA 1 es un diagrama de bloques de alto nivel de un sistema de multiplexado de direcciones para su uso con, y/o como parte de, una memoria de puerto pseudo-dual.

La FIGURA 2 es un diagrama de tiempos que ilustra un primer escenario (Caso #1) de una operación del sistema de multiplexado de direcciones de la FIGURA 1.

La FIGURA 3 es un diagrama de tiempos que ilustra un tercer escenario (caso #3) de una operación del sistema de multiplexado de direcciones de la FIGURA 1.

Descripción de realizaciones de la invención

La FIGURA 1 es un diagrama de bloques de alto nivel de un sistema 10 de multiplexado de direcciones de acuerdo con una realización para su uso con, y/o como parte de, una memoria de puerto pseudo-dual. Aunque se proporcionan externamente dos puertos, la memoria de puerto pseudo-dual tiene solamente un único puerto internamente. Por ello, se requiere un conmutador de direcciones cuando se ejecutan tanto operaciones de lectura como de escritura durante un ciclo de reloj de entrada, es decir, un ciclo del reloj externo a la memoria denominado en el presente documento como un ciclo de reloj del sistema externo. Realizaciones de la presente invención están dirigidas a proporcionar multiplexado de direcciones para y/o en un diseño de puerto pseudo-dual con mínimas penalidades de rendimiento y área.

De acuerdo con realizaciones de la invención, se establece una operación de lectura como una operación por defecto y, cuando se solicita, se ejecuta primero dando como resultado un tiempo de acceso de lectura rápido. Cuando se han de realizar tanto operaciones de lectura como de escritura durante un único ciclo de reloj, se realiza la operación de escritura inmediatamente después de la terminación (o terminación sustancial) de la operación de lectura usando una dirección de escritura almacenada y enclavada internamente. Aunque la finalización de la operación de lectura se define frecuentemente por una salida de lectura externa válida, la presente divulgación no requiere dicha condición. Por ejemplo, la maduración de una línea de bits ficticia es un evento posible que podría indicar la "terminación" de la operación de lectura.

En el sistema 10 de multiplexado de direcciones, la dirección de lectura se almacena en el registro de retención 101 mientras que la dirección de escritura se almacena en el registro de retención 102. En una realización, la memoria es una memoria de acceso aleatorio estática (SRAM).

Un multiplexor 104 opera para proporcionar selectivamente una dirección de lectura y/o una dirección de escritura a un pre-decodificador 106. La operación del multiplexor 104 es sensible a cualquier operación de lectura precedente. Dentro de una unidad 103 de control, por ejemplo, puede usarse un circuito 105 de seguimiento de tiempos para detectar la terminación de la lectura para hacer que el multiplexor 104 conmute y suministre una dirección de escritura al pre-decodificador 106. Si se requieren tanto operaciones de lectura como de escritura, entonces se realizará la operación de escritura sustancialmente inmediatamente después de la terminación de la operación de lectura. La supervisión de la operación de lectura para determinar cuándo se completa la operación de lectura (o se completa sustancialmente) tiene lugar usando procedimientos bien conocidos, tal como el seguimiento de una línea de bits ficticia.

Se puede utilizar un flanco activo (ascendente/descendente) del reloj CLK del sistema externo para iniciar la activación de una señal ICLK de reloj interna a través de la unidad 103 de control. También en respuesta al flanco activo del reloj CLK del sistema externo la unidad 103 de control genera tanto una señal ACLK de enclavamiento de lectura como una señal BCLK de enclavamiento de escritura para enclavar sustancialmente de modo simultáneo las direcciones respectivas de lectura y escritura (en aquellos casos en que se han de realizar tanto operaciones de lectura como de escritura durante el mismo ciclo de reloj externo). Se mantiene una señal WCLK de conmutación de direcciones de escritura en un primer estado (por ejemplo, bajo) haciendo que el multiplexor 104 proporcione la dirección de lectura al bus de direcciones (por ejemplo, el pre-decodificador 106, decodificador de fila/columna, líneas de palabra, etc.) durante cuyo tiempo la memoria inicia y completa un ciclo interno de lectura.

Cuando se completa o se completa sustancialmente la operación de lectura, la señal ICLK de reloj interna se repone automáticamente mediante un circuito 105 de seguimiento de auto-temporización de modo que libere un registro de retención 101 de la dirección del puerto de lectura permitiéndole que reciba una nueva dirección de lectura mientras una dirección de escritura recibida previamente se mantiene enclavada mediante un registro de retención 102 de la dirección del puerto de escritura. También, después de que se haya determinado que se ha completado (o completado sustancialmente) la operación de lectura, la señal WCLK de conmutación de direcciones conmuta su estado (por ejemplo, va hacia alto) y la dirección de escritura almacenada en el registro de retención 102 de la dirección del puerto de escritura se conmuta por el multiplexor 104 en el interior del pre-decodificador 106 para esperar al inicio de la siguiente operación de escritura.

La señal ICLK de reloj interna se reafirma de nuevo por parte de la unidad 103 de control, esta vez para iniciar la operación de escritura. El intervalo entre estos dos pulsos de la señal ICLK de reloj interno se genera mediante el circuito 110 de retardo de auto-temporización para asegurar no solamente que la operación de escritura no afectará a la operación de lectura previa, sino también que la dirección de escritura proporcionada a través del pre-decodificador 106 llegará a la salida del pre-decodificador 106 y se proporcionará a la entrada de un registro de retención (por ejemplo, la NAND 108) previamente a la aparición del flanco ascendente de un segundo ciclo de la señal ICLK de reloj interno. Es deseable que esté la dirección de escritura disponible en la entrada del registro de retención 108 previamente al segundo ciclo de reloj interno para evitar la posibilidad de que se genere un error en la salida del registro de retención de direcciones (por ejemplo, la NAND 108) si la señal de entrada a la puerta 108 cambia o no se ha estabilizado.

En una realización, el circuito 110 de retardo de auto-temporización se fija mediante una simulación posterior al trazado. Después de que se determine que la operación de lectura se ha completado (o completado

sustancialmente) se proporciona un retardo suficiente para impedir conflictos de direcciones de lectura y escritura. El retardo también debería ser suficiente para permitir que las líneas de bits se igualen previamente a una operación de escritura. El retardo es un retardo estático, programable mediante una máscara metálica.

5 Después de que se complete (o se complete sustancialmente) la operación de escritura, la señal ICLK de reloj interno se repone de nuevo y se libera el registro de retención 102 de las direcciones del puerto de escritura para recibir cualquier nueva dirección de escritura. La señal WCLK de conmutación de direcciones de escritura se repone también (por ejemplo, se fija a un nivel lógico bajo tal como "0") de modo que se restaure una condición o estado de acceso a memoria a modo de lectura por defecto esperando al siguiente ciclo de reloj del sistema externo. La operación de escritura se determina que está completa mediante el circuito 105 de seguimiento de auto-
10 temporización de una manera conocida, por ejemplo, el seguimiento de la línea de bits ficticia.

La operación del multiplexor 104 se adapta además a una operación/acceso a memoria de solo lectura y de solo escritura durante un ciclo de reloj externo particular. En el caso de operación solo de lectura, solamente la señal ACLK de enclavamiento de lectura y no la señal BCLK de enclavamiento de escritura es operativa, manteniéndose esta última en alguna condición inactiva (por ejemplo, un estado bajo o cero). En el caso de solo operación de escritura (por ejemplo cuando no se realiza ninguna operación de lectura durante un ciclo de reloj externo particular), la señal de conmutación a la dirección de escritura se fija a nivel alto durante la operación inicial del circuito de modo que se proporcione la dirección de escritura al pre-decodificador 106 en la más temprana oportunidad.

En funcionamiento y con referencia a la FIGURA 1, se aplica una entrada de dirección del puerto de lectura a un registro de retención 101 de la dirección del puerto de lectura. De la misma manera, se aplica una entrada de dirección del puerto de escritura al registro de retención 102 de la dirección del puerto de escritura. Una unidad 103 de control proporciona las señales de control respectivas (es decir, la señal ACLK de enclavamiento de lectura y la señal BCLK de enclavamiento de escritura) a los registros de retención 101 y 102 de las direcciones de lectura y escritura, respectivamente, para hacer que los registros de retención 101, 102 reciban y mantengan las entradas de direcciones de puertos respectivos. La unidad 103 de control genera además y proporciona una señal ICLK de reloj interno a una puerta, tal como un dispositivo NAND 108. La conmutación de direcciones se realiza mediante el multiplexor 104 que recibe ambas direcciones de los puertos de lectura y escritura enclavados desde los registros de retención 101 y 102 de las direcciones de puertos de lectura y escritura y, en respuesta a la señal WCLK de conmutación de la dirección de escritura desde la unidad 103 de control, proporciona selectivamente una o la otra al pre-decodificador 106. El circuito 105 de seguimiento de auto-temporización puede proporcionarse dentro de la unidad 103 de control y puede tomar parte en la decisión de cuándo conmutar la señal WCLK de conmutación de dirección de escritura. Aunque el pre-decodificador 106 se representa como un componente de direccionamiento de memoria típico que recibe una señal de dirección, se pueden emplear componentes distintos y/o alternativos tal como una memoria intermedia de direcciones, decodificador de direcciones, etc.

En la presente realización, la señal de dirección codificada en binario suministrada al pre-decodificador 106 da como resultado la activación de una línea de salida particular, siendo proporcionada la señal a la puerta 108 NAND asociada. La puerta 108 NAND recibe la señal ICLK de reloj interno para cambiar la salida del pre-decodificador 106 para suministrar de ese modo una salida invertida a un adaptador 109. Se transmite entonces una salida del adaptador 109 al decodificador de fila/columna (no mostrado) y/u otros componentes de memoria.

La FIGURA 2 es un diagrama de tiempos de un primer escenario (Caso #1) en el que se solicitan tanto operaciones de lectura como de escritura y se han de realizar durante un único ciclo de reloj del sistema externo. La FIGURA 3 representa la temporización de la señal en un segundo escenario en el que solo se ha de realizar una operación de lectura mientras que la FIGURA 4 representa una operación solo de escritura a ser realizada durante un ciclo del reloj del sistema externo.

Con referencia a la FIGURA 2, el inicio de un siguiente ciclo de reloj del sistema externo se señala por el flanco ascendente de una señal CLK del reloj del sistema externo en el instante T1. En respuesta a la señal CLK del reloj del sistema externo que va a alto, se genera una señal ICLK de reloj interno mediante la unidad 103 de control y va a alto en el instante T2, un retardo de propagación después de T1. También, en respuesta a la señal CLK del reloj del sistema externo que va hacia alto, una señal ACLK de enclavamiento de lectura y una señal BCLK de enclavamiento de escritura pasan a alto en el instante T2, enclavando y manteniendo de ese modo las direcciones de lectura y escritura.

La operación de lectura es supervisada por el circuito 105 de seguimiento de auto-temporización para determinar cuándo está completa (o sustancialmente completa). Después de que se complete (o se complete sustancialmente) la operación de lectura, en el instante T4, la señal ICLK de reloj interno va a bajo para iniciar la transición a modo de escritura. Tómese nota de que esta transición es independiente de la señal CLK del reloj del sistema externo. El instante en el que la señal ICLK del reloj interno pasa a bajo es determinado por el circuito 105 de seguimiento de auto-temporización que supervisa la operación de lectura. En una realización, se supervisan la línea de bits de memoria completa y el tiempo de propagación de la línea de palabra. Por ejemplo, se puede emplear una línea de bits ficticia para seguir la operación de lectura, como es bien conocido en la técnica.

En respuesta a la señal ICLK de reloj interno que pasa a bajo en el instante T3, la señal ACLK de enclavamiento de lectura va a bajo en T4 de modo que el registro de retención 101 de la dirección del puerto de lectura se libera y puede responder a la aplicación de una nueva entrada de dirección del puerto de lectura. En el instante T5 y en respuesta a la señal ACLK del registro de retención de lectura que pasa a bajo, la señal WCLK de conmutación de dirección de escritura va a alto. Una señal WCLK alta indica que la dirección de escritura está lista y hace que el multiplexor 104 conmute y de ese modo transmita selectivamente la dirección de escritura almacenada en el registro de retención 102 de la dirección del puerto de escritura al pre-decodificador 106 (en lugar de la dirección de lectura transmitida previamente).

Un retardo de auto-temporización comienza en el instante T3. El retardo de auto-temporización es proporcionado por el circuito 110 de retardo de auto-temporización. Aunque la descripción explica el inicio de un retardo de auto-temporización en respuesta a la señal ICLK de reloj interno que pasa a bajo en el instante T3, en una realización alternativa, el retardo de auto-temporización comienza cuando la señal ACLK de enclavamiento de lectura pasa a bajo en el momento T4.

Después del retardo de auto-temporización, la señal ICLK del reloj interno va a alto en el instante T6, para iniciar de ese modo el siguiente acceso a memoria en la forma de un ciclo de escritura interno. Cuando finaliza el ciclo de escritura interno, la señal ICLK de reloj interno vuelve a nivel bajo en el instante T7. Como se ha hecho notar anteriormente, el circuito 105 de seguimiento de auto-temporización supervisa la operación de escritura usando tecnología bien conocida, tal como la supervisión de líneas de bits ficticias, para determinar cuándo se ha completado la operación de escritura.

Habiendo completado la operación de escritura y en respuesta a la señal ICLK de reloj interno que pasa a bajo, en el instante T8 la señal BCLK de enclavamiento de escritura pasa a bajo liberando de ese modo el registro de retención 102 de la dirección del puerto de escritura y permitiéndole que reciba cualquier nueva dirección de escritura a ser usada durante el siguiente ciclo de reloj del sistema externo. También en respuesta a la señal ICLK de reloj interno que pasa a bajo, la señal WCLK de conmutación de la dirección de escritura pasa a bajo para reponer el multiplexor 104 a una situación inicial en la que la salida del registro de retención 101 de las direcciones del puerto de lectura se transmite al pre-decodificador 106 de modo que esté listo para cualquier solicitud de lectura siguiente. En el instante T9 la señal CLK del reloj del sistema externo va a alto indicando el inicio del siguiente ciclo de acceso a la memoria del sistema de modo que la señal ICLK del reloj interno, la señal ACLK de enclavamiento de lectura y la señal BCLK de enclavamiento de escritura pasan a alto en el instante T10 repitiendo el procedimiento previamente detallado (al menos hasta el punto en que se soliciten tanto operaciones de lectura como de escritura y se hayan de realizar durante ese siguiente periodo de reloj del sistema externo).

En un segundo escenario en el que solo se ha de realizar una operación de lectura, es decir, no se solicita ninguna operación de escritura o se ha de realizar durante un ciclo de reloj del sistema externo particular. Se sabe que se ha solicitado una operación de lectura, mientras que no se ha solicitado ninguna operación de escritura, mediante la supervisión de los terminales de selección del chip. Se proporciona un terminal de selección del chip para una operación de lectura, mientras que se proporciona un segundo terminal de selección del chip para una operación de escritura.

Sin que se haya suministrado ninguna dirección de escritura (es decir, el terminal de selección del chip apropiado no se ha seleccionado), la señal BCLK de enclavamiento de escritura se puede mantener baja de modo que esté lista para recibir cualquier señal aplicada que pueda llegar (aunque realizaciones de la invención pueden incluir también aquellas que no inhiben la transición de la señal BCLK como se ha mostrado previamente en la FIGURA 2). De la misma manera, ausente una solicitud de escritura, la señal WCLK de conmutación de la dirección de escritura se mantiene también baja, es decir, en un estado de lectura, de modo que provocan que el multiplexor 104 transmita continuamente la señal de entrada de la dirección del puerto de lectura enclavada y mantenida por el registro de retención 101 de la dirección del puerto de lectura al pre-decodificador 106. En caso contrario, las señales requeridas para implementar una operación de lectura se realizan entre los instantes T1 y T4 tal como se ha explicado anteriormente con referencia a la FIGURA 2. Las señales necesarias para implementar operaciones de soporte de escritura de memoria que incluyen los instantes T5 - T8, tal como se muestra en la FIGURA 2, pueden omitirse como innecesarias.

La FIGURA 3 es un diagrama de tiempos de un tercer escenario en el que solo se ha de realizar una operación de escritura, es decir, no se solicita ninguna operación de lectura o se ha de realizar durante un ciclo de reloj del sistema externo particular (los terminales de selección del chip de la operación de lectura no se han seleccionado). Sin que se suministre ninguna dirección de lectura, la señal ACLK de enclavamiento de lectura se puede mantener baja de modo que esté lista para recibir cualquier señal aplicada que pudiera llegar. Tómese nota de que las realizaciones de la invención pueden incluir también aquellas que no inhiben la transición de la señal ACLK de enclavamiento de lectura como se ha mostrado previamente en la FIGURA 2. Ausente una solicitud de lectura, la señal CLK de conmutación de dirección de escritura se puede mantener a un nivel alto en respuesta a la señal BCLK de enclavamiento de escritura que se eleva (en el instante T5) de modo que el multiplexor 104 transmita la señal de entrada de la dirección del puerto de escritura enclavada y mantenida por el registro de retención 102 de la dirección del puerto de escritura al pre-decodificador 106.

En general, omitiendo las señales solo necesarias para una lectura, aquellas señales necesarias para realizar la operación de escritura pueden adelantarse, es decir, iniciarse antes durante un ciclo o una señal CLK de reloj del sistema externo que cuando se han solicitado tanto operaciones de lectura como de escritura y han de realizarse. De la misma manera, como en el segundo escenario de una operación solo de lectura, la señal ICLK de reloj interno solo necesita incluir un único ciclo durante el que, en este tercer escenario, se realiza una operación de escritura. De ese modo, en el instante T2 la señal ICLK de reloj interno va a alto tal como lo hace la señal BCLK de enclavamiento de escritura. Debido a que las operaciones de escritura requieren generalmente más tiempo para completarse que las operaciones de lectura, el ancho del pulso de la señal ICLK de reloj interno se extiende para permanecer alta hasta el instante T7. En respuesta al flanco descendente de la señal ICLK del reloj interno, tanto la señal BCLK de enclavamiento de escritura como la señal WCLK de conmutación de la dirección de escritura vuelven a nivel bajo para dejar listo el circuito para aceptar una nueva dirección de escritura.

Aunque se han expuesto circuitos específicos, se apreciará por los expertos en la técnica que no se requieren todos los circuitos desvelados para la práctica de la invención. Más aún, ciertos circuitos bien conocidos no se han descrito, para mantener la atención sobre la invención. De modo similar, aunque la descripción se refiere a un "0" lógico y a un "1" lógico en ciertas localizaciones, un experto en la técnica apreciará que los valores lógicos se pueden conmutar, con el resto del circuito adaptado en consecuencia, sin afectar al funcionamiento de la presente invención.

Aunque ciertas realizaciones específicas se han descrito anteriormente con finalidad de instrucción, la presente invención no está limitada a las mismas. El circuito de control de la memoria de puerto pseudo-dual se puede usar en realizaciones en donde la primera operación de acceso a memoria es una operación de escritura y la segunda operación de acceso a memoria es una operación de lectura, en la que la primera operación de acceso a memoria es una operación de escritura y la segunda operación de acceso a memoria es una operación de escritura, y en la que la primera operación de acceso a memoria es una operación de lectura y la segunda operación de acceso a memoria es una operación de lectura. En consecuencia, se pueden poner en práctica varias modificaciones, adaptaciones y combinaciones de las diversas características de las realizaciones específicas descritas sin apartarse del alcance de la invención tal como se define en las reivindicaciones.

REIVINDICACIONES

1. Un sistema de multiplexado de direcciones de memoria de puerto pseudo-dual que comprende:

un componente de memoria;

un registro de retención (101) de la dirección del puerto de lectura operativa para mantener una dirección de lectura en respuesta a una señal de reloj externa;

un registro de retención (102) de la dirección del puerto de escritura operativa para mantener una dirección de escritura en respuesta a la señal de reloj externa;

un circuito (103) de control que controla el acceso de lectura/escritura a la memoria en base a la supervisión de una primera operación de memoria mediante el envío de la señal de conmutación, en la que dicho circuito (103) de control es operativo también para identificar los modos de operación lectura/escritura, solo lectura y solo escritura; y

un multiplexor (104) que conmuta entre una dirección de lectura mantenida y una dirección de escritura mantenida en respuesta a la señal del conmutador desde el circuito (103) de control; en el que una operación de lectura de memoria es una condición o estado de memoria por defecto cuando se espera una próxima señal de reloj externa de modo que la operación de lectura de memoria es una primera operación a ser ejecutada cuando se han de realizar tanto operaciones de lectura como de escritura durante un único ciclo de reloj de la señal del reloj externo;

en respuesta a una solicitud de lectura en ausencia de una solicitud de escritura, dicho multiplexor (104) proporciona una dirección de lectura a dicho componente de memoria y dicho circuito (103) de control mantiene una señal de enclavamiento de la dirección del puerto de escritura, de modo que el registro de retención (102) de la dirección del puerto de escritura esté listo para recibir cualquier señal aplicada que pudiera llegar; y

en respuesta a una solicitud de escritura en ausencia de una solicitud de lectura, dicho multiplexor (104) proporciona una dirección de escritura a dicho componente de memoria y dicho circuito (103) de control mantiene la señal de enclavamiento de la dirección del puerto de lectura, de modo que el registro de retención (101) de la dirección del puerto de lectura esté listo para recibir cualquier señal aplicada que pudiera llegar y avance una temporización de una operación de escritura de modo que la operación de escritura se inicie antes, durante un ciclo de reloj, que cuando se solicitan tanto operaciones de lectura como de escritura y se realizan en un mismo ciclo de reloj.

2. El sistema de multiplexado de direcciones de memoria de puerto pseudo-dual según la reivindicación 1, en el que:

el registro de retención (101) de la dirección del puerto de lectura se libera tras la operación de lectura, y el registro de retención (102) de la dirección de escritura permanece enclavado después de la operación de lectura.

3. El sistema de multiplexado de direcciones de memoria de puerto pseudo-dual según la reivindicación 2, en el que el registro de retención (102) de la dirección del puerto de escritura se libera tras una operación de escritura.

4. El sistema de multiplexado de direcciones de memoria de puerto pseudo-dual de acuerdo con la reivindicación 1, en el que el circuito (103) de control comprende un circuito (110) de retardo de auto-temporización que crea un retardo de auto-temporización, reafirmando el circuito (103) de control la señal de control interna tras el retardo de auto-temporización para iniciar una segunda operación de memoria.

5. El sistema de multiplexado de direcciones de memoria de puerto pseudo-dual de acuerdo con la reivindicación 1, en el que el circuito (103) de control comprende un circuito (105) de seguimiento de auto-temporización que inicia la generación de la señal de conmutación en respuesta a una finalización detectada de dicha operación de lectura.

6. El sistema de multiplexado de direcciones de memoria de puerto pseudo-dual de acuerdo con la reivindicación 5, en el que la finalización detectada se basa en la supervisión de una línea de bits ficticia.

7. El sistema de multiplexado de direcciones de memoria de puerto pseudo-dual de acuerdo con la reivindicación 1, en el que la primera operación de memoria es una operación de escritura.

8. El sistema de multiplexado de direcciones de memoria de puerto pseudo-dual de acuerdo con la reivindicación 2, en el que dicho multiplexor (104) es operativo para mantener una situación por defecto en la que dicha dirección de lectura se transmite a dicha unidad de dirección de memoria.

9. El sistema de multiplexado de direcciones de memoria de puerto pseudo-dual de acuerdo con la reivindicación 1, que además comprende un pre-decodificador (106) que recibe la dirección de escritura mantenida después de que la operación de lectura esté al menos sustancialmente completada.

10. El sistema de multiplexado de direcciones de memoria de puerto pseudo-dual de acuerdo con la reivindicación 9, que además comprende una puerta (108) que recibe la dirección de escritura desde el pre-decodificador (106) antes de recibir una segunda reafirmación de una señal de reloj interno, siendo una primera reafirmación de la señal de reloj interno sensible a la señal de reloj externo.

11. Un procedimiento de control de una aplicación de una señal de dirección a una memoria que comprende:

el establecimiento de la operación de lectura de memoria como una condición o estado de memoria por defecto cuando se espera una siguiente señal de reloj externo de modo que una operación de lectura de memoria sea una primera operación a ser ejecutada cuando se han de realizar tanto operaciones de lectura como de escritura durante un único ciclo de reloj de la señal de reloj externo;

detección de las solicitudes de lectura y escritura;

en respuesta a la solicitud de lectura en ausencia de una solicitud de escritura, el suministro de una dirección de lectura a un componente de memoria y el mantenimiento de una señal de enclavamiento de escritura de modo que un registro de retención (102) de la dirección del puerto de escritura esté lista para recibir cualquier señal aplicada que pudiera llegar;

en respuesta a una solicitud de escritura en ausencia de una solicitud de lectura, el suministro de una dirección de escritura a dicho componente de memoria y el mantenimiento de una señal de enclavamiento de lectura de modo que un registro de retención (101) de la dirección del puerto de lectura esté listo para recibir cualquier señal aplicada que pudiera llegar y avance unos tiempos de una operación de escritura de modo que la operación de escritura se inicie antes, durante un ciclo de reloj, que cuando se solicitan ambas operaciones de lectura y escritura y se realizan en un mismo ciclo; y

en respuesta tanto a una solicitud de lectura como a una solicitud de escritura a ser realizadas durante un único ciclo de reloj,

i) suministro de dicha dirección de lectura a dicho componente de memoria,

ii) en base a la supervisión de una operación de lectura, determinación de un tiempo dentro de dicho ciclo de reloj único para suministrar dicha dirección de escritura a dicho componente de memoria y

iii) conmutación entre dicha dirección de lectura y dicha dirección de escritura para suministrar de ese modo dicha dirección de escritura a dicho componente de memoria en el instante determinado.

12. El procedimiento de acuerdo con la reivindicación 11, que además comprende la generación de una señal de reloj interno que tenga una frecuencia que depende de si ambas solicitudes de lectura y escritura están presentes durante un periodo de tiempo inicial o solamente una de dichas solicitudes de lectura y escritura están presentes durante dicho periodo de tiempo inicial.

13. El procedimiento de acuerdo con la reivindicación 11, que además comprende la generación de una señal de reloj interno que tenga un periodo dependiente solo de si está presente una solicitud de escritura durante dicho periodo de tiempo inicial.

14. El procedimiento de acuerdo con la reivindicación 11, en el que dicha determinación incluye:

la detección de una condición de una línea de bits ficticia, y

la detección de una finalización de una operación de lectura.

15. El procedimiento de acuerdo con la reivindicación 11 en el que, en respuesta a tanto dicha solicitud de lectura como a dicha solicitud de escritura a ser realizadas durante dicho ciclo de reloj único, dichas direcciones de escritura y lectura se almacenan en registros de retención (101, 102) de direcciones de puertos de lectura y escritura respectivos durante un primer periodo y, durante un periodo inmediatamente posterior, solamente se almacena dicha dirección de escritura en dicho registro de retención (102) de la dirección del puerto de escritura y se libera dicho registro de retención (101) de la dirección del puerto de lectura.

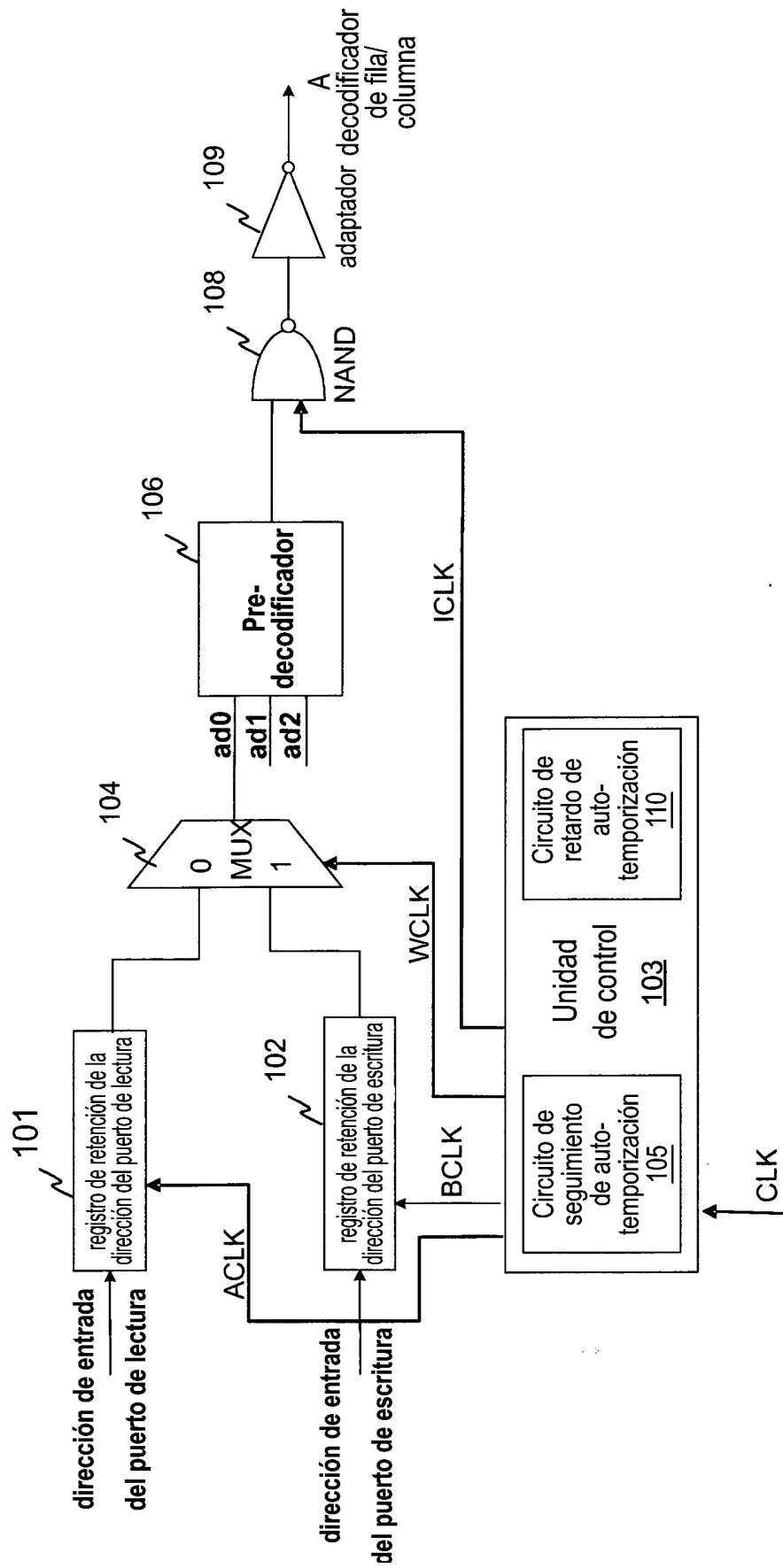


Fig. 1

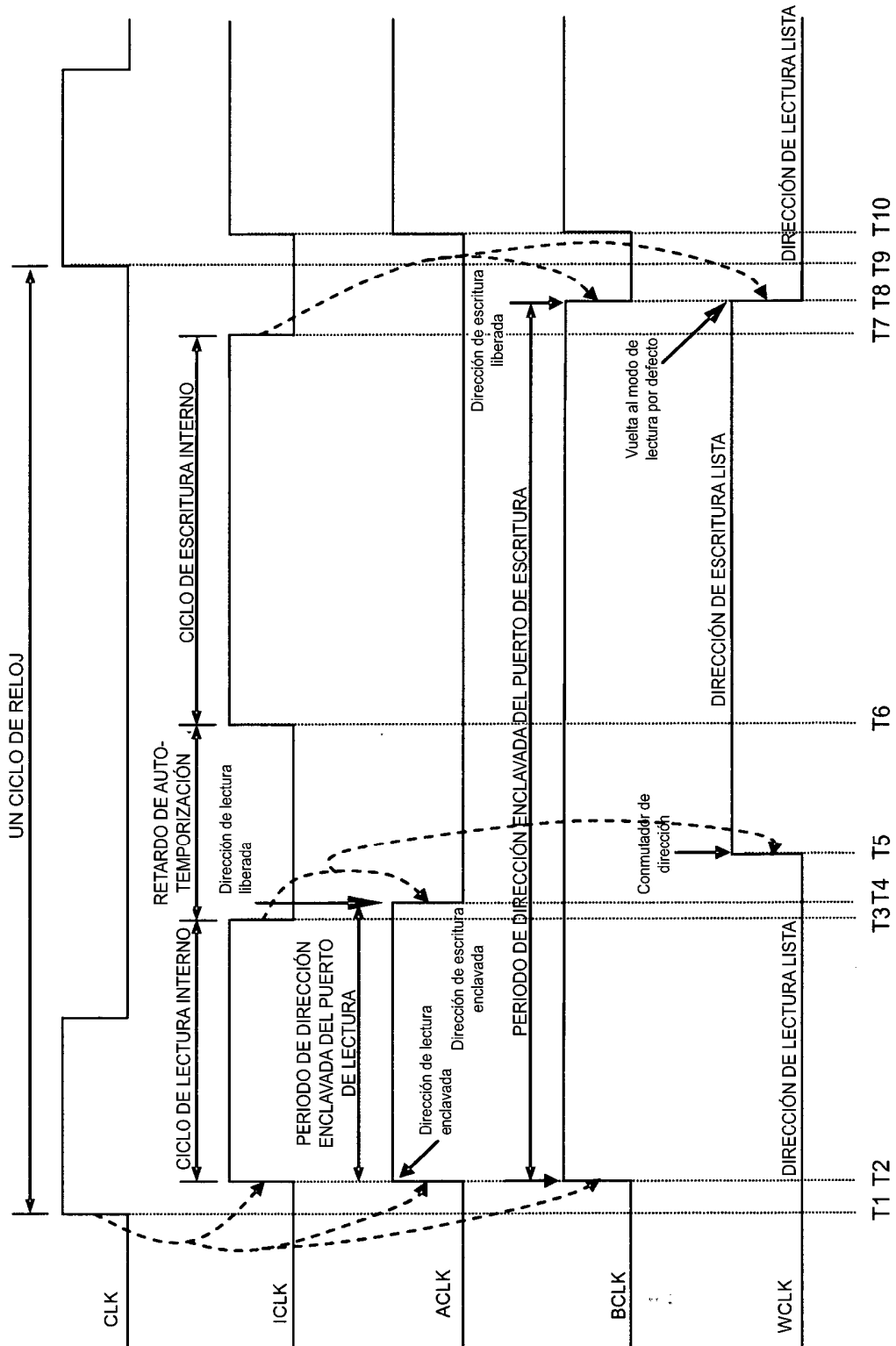


Fig. 2

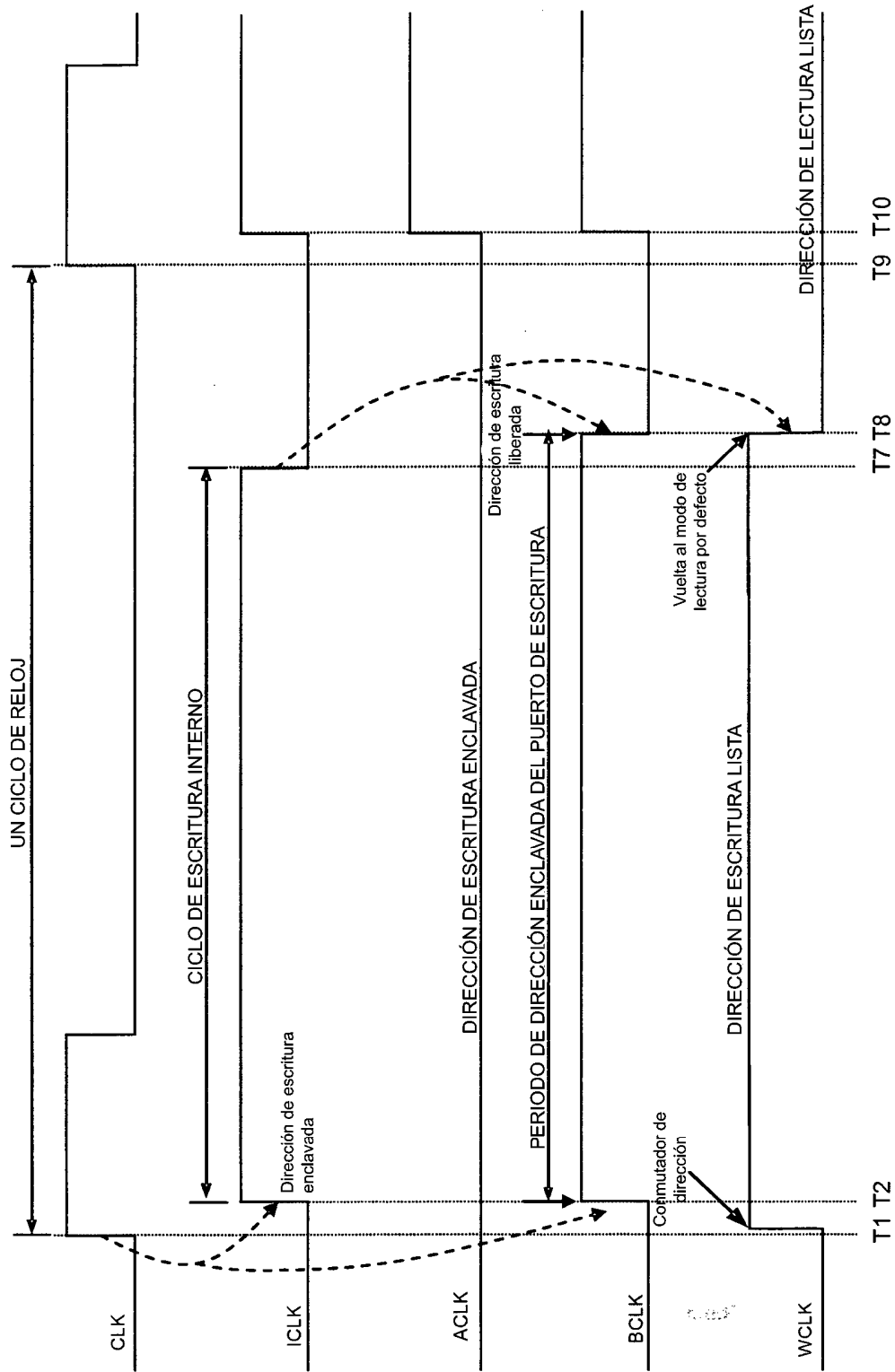


Fig. 3