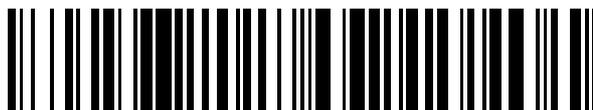


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 541 923**

51 Int. Cl.:

G06F 12/06 (2006.01)

G06F 9/30 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **21.07.2009 E 09790674 (7)**

97 Fecha y número de publicación de la concesión europea: **15.04.2015 EP 2304570**

54 Título: **Microprocesador o microcontrolador mejorados**

30 Prioridad:

23.07.2008 US 178249

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

28.07.2015

73 Titular/es:

**MICROCHIP TECHNOLOGY INCORPORATED
(100.0%)
2355 West Chandler Boulevard
Chandler, Arizona 85224-6199, US**

72 Inventor/es:

**ZDENEK, JERROLD, S.;
JULICHER, JOSEPH;
DELPOR, VIVIEN y
STEEDMAN, SEAN**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 541 923 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Microprocesador o microcontrolador mejorados

El campo técnico de la presente solicitud está relacionado con microprocesadores o microcontroladores.

5 Los microcontroladores constituyen generalmente un sistema en un chip y comprenden un microprocesador y una pluralidad de componentes periféricos. Existe una gran variedad de tales microprocesador/microcontroladores que tienen arquitecturas de 8 bits, 16 bits y 32 bits. El microprocesador/microcontroladores existentes, tales como los microcontroladores de 8 bits, fabricados por Microchip Technology Inc. permiten una arquitectura flexible. Tal microprocesador/microcontroladores pueden comprender una arquitectura Harvard, en la que las memorias de datos y de programas están separadas. El microprocesador/microcontroladores de este tipo pueden comprender además
10 un sistema específico de bancos que permite el acceso a la memoria de datos. Con este fin, generalmente, la memoria de datos se divide en una pluralidad de bancos y un registro de selección de datos define cuál de los bancos está seleccionado y es accesible en ese momento. Para proporcionar tal acceso de microprocesador/microcontroladores a ciertos registros, tal como un registro de función especial, un archivo de registro o cualquier otro registro, el esquema de bancos puede diseñarse para mapear en memoria una pluralidad de tales registros en la mayoría de los bancos. Por tanto, un reducido número de ubicaciones de memoria dentro de la mayoría de los bancos se pueden utilizar como un área de memoria de uso general. La Fig. 1 explica de manera más clara este concepto común. Un espacio físico de memoria 100 se divide en una pluralidad de bancos de memoria $110_1..110_n$, en donde, generalmente, para una unidad de procesamiento central solo es accesible un banco cada vez. En el lado derecho de la FIG. 1 se muestra un ejemplo de un solo banco de memoria y su ejemplo de estructura. Por ejemplo, un primer intervalo de memoria 120 del banco 110_x puede mapearse en memoria a unos registros comunes de función especial central (SFR, special function registers) y las áreas de memoria adyacentes o siguientes 130 a otros SRF utilizados para periféricos. La siguiente área de memoria 140 comprende unos registros de uso general (GPR, general purpose registers) y un área de memoria 150 se utiliza para la memoria común. En una realización, tal como un microprocesador/microcontroladores de 8 bits, cada banco tiene 128 bytes y el área de memoria 120 incluye 12 SFR centrales comunes, el área de memoria 130 incluye 20 SFR, el área de memoria 140 incluye 80 GPR y el área de memoria 150 incluye 16 bytes. Pueden aplicarse otras implementaciones con diferentes esquemas de mapeo de memoria de SFR u otros registros, y depende del diseño de arquitectura.

Además del acceso a la memoria 100 mediante este esquema de bancos, pueden implementarse unos registros de función especial que permiten acceder indirectamente al total o a una parte más grande de la memoria alineada 100. Sin embargo, los SFR o en otras implementaciones, otros registros que están mapeados en memoria a por lo menos una pluralidad de bancos no permiten una sola área de memoria continua más grande.

El documento EP 0 918279 divulga una arquitectura de microcontrolador con una memoria de datos de registro y un esquema de bancos en el que la memoria mapea todos los registros de función especial a un solo banco y permite el acceso a este único banco mediante instrucciones especiales. Sin embargo, esto exige una lógica adicional significativa y el diseño de grandes bancos de memoria para albergar todos los registros de función especial. El documento EP 0 992887 divulga un acceso a memoria utilizando calificadores de bytes.

Por tanto, existe la necesidad de una mejor arquitectura de un microprocesador/microcontroladores que utilice un esquema de acceso a bancos. Este y otros objetivos se pueden lograr mediante un procesador y un procedimiento según las reivindicaciones independientes. Unas mejoras adicionales se caracterizan en las reivindicaciones dependientes.

Según una realización, un dispositivo de procesador puede comprender una memoria de datos que comprende un espacio lineal de direcciones, la memoria de datos es accesible a través de una pluralidad de bancos de memoria, en donde por lo menos un subconjunto de los bancos de memoria se organizan de tal manera que cada banco de memoria del subconjunto comprende por lo menos una primera y una segunda área de memoria, en donde las segundas áreas de memoria de una pluralidad de bancos de memoria consecutivos forman un bloque de memoria no consecutiva, y una unidad de ajuste de direcciones que, cuando se utiliza un intervalo predefinido de direcciones, traduce una dirección dentro del intervalo predefinido de direcciones para acceder a dichas segundas áreas de memoria de tal manera que a través de la dirección una pluralidad de segundas áreas de memoria forman un bloque de memoria lineal continuo.

Según una realización adicional, el procesador puede comprender además un decodificador de direcciones para activar la unidad de ajuste de direcciones. Según una realización adicional, el procesador puede comprender además un multiplexor que tiene una primera y una segunda entrada que reciben una dirección y una dirección ajustada y es controlado por un comparador de direcciones que recibe dicha dirección. Según una realización adicional, la primera área de memoria puede comprender unos registros de función especial. Según una realización adicional, la segunda área de memoria puede comprender unos registros de uso general. Según una realización adicional, la segunda área de memoria puede comprender un área de memoria común. Según una realización adicional, la segunda área de memoria puede comprender unos registros de uso general. Según una realización adicional, el procesador puede ser un microcontrolador o un microprocesador. Según una realización adicional, la primera área de memoria puede comprender unos registros de función especial central y cada banco de memoria

del subconjunto puede comprender una tercera área de memoria que comprende unos registros de función especial para dispositivos periféricos. Según una realización adicional, la unidad de ajuste de direcciones puede comprender una primera unidad de decodificador para acceder a una columna de la distribución de celdas de memoria y una pluralidad de pares de decodificadores de fila, en donde cada par de decodificadores de fila se asocia con una fila de la distribución de celdas de memoria y comprende un primer decodificador de fila y un segundo decodificador de fila. Según una realización adicional, uno de dichos decodificadores de fila puede responder a dicha dirección. Según una realización adicional, cada decodificador de fila puede emitir una señal de selección de fila que se combina mediante una puerta O acoplada con la distribución de celdas de memoria.

Según otra realización, un dispositivo de procesador puede comprender una memoria de datos que comprende un espacio lineal de memoria, la memoria de datos es accesible a través de una pluralidad de bancos de memoria, una pluralidad de registros de función especial, en donde se utilizan por lo menos dos registros de función especial para formar una dirección concatenada; un espacio predefinido de direcciones que comprende un primer espacio de direcciones al que se mapea una memoria de datos física y un segundo espacio de direcciones al que se mapean en memoria unas áreas parciales de direcciones de memoria de una pluralidad de bancos de memoria de tal manera que las áreas parciales de direcciones de memoria de la pluralidad de bancos de memoria forman un bloque de memoria lineal continua.

Según una realización adicional, el procesador puede comprender además una unidad de ajuste de direcciones que traduce una dirección que direcciona dicho bloque de memoria lineal a una dirección física. Según una realización adicional, un banco de memoria puede incluir una primera área de memoria que comprende unos registros de función especial y una segunda área de memoria que comprende unos registros de uso general y en donde dicha segunda área de memoria forma dicha área parcial de direcciones de memoria. Según una realización adicional, un área parcial de direcciones de memoria de un banco de memoria puede comprender memoria utilizada como área de memoria común. Según una realización adicional, el procesador puede ser un microcontrolador o un microprocesador. Según una realización adicional, la memoria de datos puede ser una distribución de celdas de memoria y el dispositivo de procesador puede comprender además una primera unidad de decodificador para acceder a una columna de la distribución de celdas de memoria y una pluralidad de pares de decodificadores de fila, en donde cada par de decodificadores de fila se asocia con una fila de la distribución de celdas de memoria y comprende un primer decodificador de fila y un segundo decodificador de fila. Según una realización adicional, los primeros decodificadores de fila pueden responder a las direcciones dentro de dicho primer espacio de direcciones y los segundos decodificadores de fila pueden responder a las direcciones dentro de dicho segundo espacio de direcciones. Según una realización adicional, cada decodificador de fila emite una señal de selección de fila que se combina mediante una puerta O acoplada con la distribución de celdas de memoria.

Según otra realización, un procedimiento para acceder a memoria de datos en un procesador que utiliza un esquema de acceso a bancos de memoria, puede comprender las etapas de: dividir una memoria de datos en una pluralidad de bancos de memoria, en donde una unidad de procesamiento central accede a dicha memoria de datos directamente a través de uno de dichos bancos de memoria; y acceder a un bloque continuo de memoria dentro de dicha memoria de datos indirectamente a través de unos registros de direcciones concatenadas, en donde el bloque de memoria es formado por una pluralidad de áreas parciales de memoria de por lo menos un subconjunto de bancos de memoria que no son continuos en un espacio de memoria física pero están mapeados a un espacio de memoria de tal manera que forman el bloque continuo de memoria.

Según una realización adicional, el subconjunto puede tener menos bancos de memoria que la pluralidad de bancos de memoria. Según una realización adicional, el bloque continuo de memoria puede ser formado por áreas parciales de memoria de todos los bancos de memoria. Según una realización adicional, un banco de memoria puede comprender una primera área de memoria que comprende unos registros de función especial y una segunda área de memoria que comprende unos registros de uso general en donde las áreas parciales de memoria están formadas por dichas segundas áreas de memoria. Según una realización adicional, un área parcial de memoria de un banco de memoria puede comprender memoria utilizada como área de memoria común. Según una realización adicional, en por lo menos el subconjunto de los bancos de memoria, cada banco de memoria puede comprender unos registros de función especial, unos registros de uso general y un área de memoria común.

Otras ventajas técnicas de la presente divulgación serán fácilmente evidentes para un experto en la técnica a partir de las siguientes figuras, descripciones y reivindicaciones. Diversas realizaciones de la presente solicitud pueden obtener solo un subconjunto de las ventajas presentadas. Ninguna ventaja es crítica para las realizaciones.

Al consultar la siguiente descripción tomada conjuntamente con los dibujos adjuntos, en los que números de referencia semejantes indican características semejantes, se puede adquirir un entendimiento más completo de la presente divulgación y ventajas de la misma, y en los que:

La Figura 1 muestra un esquema típico convencional de bancos de memoria.

La Figura 2 muestra una realización con un esquema de bancos que tiene 32 bancos;

La Figura 3 muestra una realización de un esquema mejorado de bancos.

La Figura 4 muestra un esquema de mapeo de memoria según una realización.

La Figura 5 muestra una realización de una arquitectura de microprocesador/microcontroladores para direccionamiento a una memoria.

La Figura 6 muestra otra realización de un circuito de acceso a memoria.

5 La Figura 7 muestra incluso otra realización de un circuito de acceso a memoria.

Aunque se han representado, descrito y definido unas realizaciones de esta divulgación haciendo referencia a unos ejemplos de la divulgación, tales referencias no implican una limitación sobre la divulgación, y no se debe deducir tal limitación. El tema de discusión divulgado puede someterse a una considerable modificación, alteración y equivalentes en forma y función, como se les ocurrirá a los expertos en la técnica y que tienen el beneficio de esta divulgación. Las realizaciones representadas y descritas de esta divulgación son solo unos ejemplos y no son exhaustivas del ámbito de la divulgación.

Según diversas realizaciones, un microprocesador/microcontroladores comprende un espacio de direcciones físicas con una pluralidad de bancos de memoria dispuestos secuencialmente para formar un espacio linealizado de memoria y un espacio de memoria virtual. Según otra realización, una memoria puede ser direccionable bajo una pluralidad de direcciones, en donde un primer intervalo de direcciones tiene unas direcciones consecutivas que direccionan unas ubicaciones secuenciales de memoria, como se usa para los bancos normales, un segundo intervalo de direcciones tiene unas direcciones consecutivas que direccionan por lo menos parcialmente unas ubicaciones no secuenciales de memoria utilizadas para acceder a un bloque de memoria linealizado. Según una realización, la dirección del espacio de direcciones físicas puede ser idéntica a una parte del espacio de direcciones virtuales en donde el espacio de direcciones virtuales es más grande que el espacio de direcciones físicas. Con otras palabras, el espacio de direcciones físicas puede ser un subconjunto del espacio de direcciones virtuales. Según una realización, ciertas secciones dentro de cada banco del espacio de direcciones físicas también se mapean en memoria a otra parte de un espacio virtual o segundo de direcciones de tal manera que forman un bloque continuo de memoria. Con otras palabras, aunque las direcciones físicas de estos bloques dentro de cada banco de memoria no forman un boque continuo de memoria, lo hacen así en otra parte de un espacio segundo o virtual de memoria en el que están mapeados en memoria.

La Figura 3 muestra un ejemplo de realización que utiliza la organización de banco de memoria como se muestra en la Figura 1. El espacio de memoria física se designa de nuevo con el número 100. En esta realización, cada uno o la mayoría de los bancos de memoria 1101..110n comprenden una sección de memoria 140 que solo abarca una parte de cada banco de memoria, en donde el resto del banco de memoria puede utilizarse para una finalidad designada, tal como el mapeo de registros de función especial o memoria común. Sin embargo, en otras realizaciones, no todos los bancos de memoria puede organizarse igualmente y compartir las mismas áreas de memoria 120-150. Por ejemplo, puede haber uno o más bancos de memoria reservados para funciones especiales que contienen un mapeo único de memoria virtual o física a ciertos registros. Por ejemplo, la Figura 3 muestra un microcontrolador de 8 bits que utiliza un esquema de bancos 200 con 32 bancos de memoria, en donde cada banco comprende 128 bytes. Los primeros 31 bancos 0-30 se organizan de manera idéntica. De manera similar a como se muestra en la Figura 1, cada banco 0-30 incluye unas áreas de bancos de memoria 120, 130, 140 y 150. El banco 31 comprende unos registros parcialmente diferentes y unos adicionales de función especial y unos registros de depuración mapeados al área del periférico SFR 130 y GPR 140.

Según una realización, las secciones de memoria 140 están mapeadas en memoria a un área específica de memoria dentro del espacio de memoria virtual que forma un bloque continuo de memoria 300 como se muestra en la Figura 3. Según otras realizaciones, otras partes de cada banco, tal como el área de memoria 150 o cualquier área parcial de memoria de un banco, dependiendo de su organización, puede asignarse a un espacio continuo de memoria virtual 300. Por lo tanto, el mapeo crea un espacio continuo de memoria 300 al que se puede acceder con registros de función especial diseñados para acceder a un espacio linealizado de memoria más grande que lo que permite el esquema de bancos. Según este esquema de mapeo, cada banco de memoria, cuando se accede a él, todavía permite un acceso convencional a su área de memoria 140 a través del esquema de bancos. Sin embargo, cada área de memoria 140 también es accesible bajo una segunda dirección, es decir la dirección virtual de memoria, en la que estos registros de uso general o memoria común forman un solo espacio continuo linealizado de memoria 300. En un microprocesador/microcontrolador de 8 bits, los registros tienen por definición 8 bits de ancho y por lo tanto pueden direccionar 256 ubicaciones diferentes de memoria (en la realización mostrada en la Figura 2 para cada banco solo se utilizan 128 ubicaciones de memoria, sin embargo otros diseños puede utilizar más ubicaciones, tal como 256 o incluso menos). Sin embargo, a este espacio linealizado de memoria 200 pueden acceder unos registros de función especial o una combinación de por lo menos dos registros de dirección de 8 bits. Según otras realizaciones con un tamaño diferente de bits, los mismos principios se aplican según corresponda.

La Figura 4 muestra un ejemplo de espacio de memoria virtual 400. El espacio de memoria virtual 400 puede ser parcialmente idéntico a la memoria física. Por ejemplo, el área de memoria virtual 400, que va de 0x0000 a 0x0FFF puede ser la memoria de acceso aleatorio real (RAM) y el área de memoria virtual 0x8000 a 0xFFFF puede representar la memoria de programa real. Según esta realización, el área de memoria virtual 400 con las direcciones

0x1000 a 0x7FFF se mapea parcialmente a la RAM para formar un bloque continuo linealizado de memoria 300. Por ejemplo, como se muestran en la Fig. 4, el intervalo de direcciones 0x4000 a 0x49FF se utiliza para mapear 32 bloques de 80 bytes de cada banco de memoria $110_1..110_n$, en la que en esta realización específica $n=32$. Sin embargo, en otras realizaciones n podría ser más pequeño o más grande y el número real de bancos utilizados para este mapeo puede ser menor que el número disponible de bancos.

En la realización anterior, los 80 bytes que constituyen los registros de uso general 140 en cada banco se utilizan para formar un solo bloque continuo linealizado de memoria 300 porque para muchas aplicaciones puede ser útil combinar todos los registros de uso general en un bloque ininterrumpido. Sin embargo, como el área de banco 150 también comprende un área de memoria común no utilizada para un registro de uso general, esta área de memoria 150 también puede utilizarse en lugar de o en combinación con el área de memoria 140 para formar un bloque continuo de memoria dependiendo de la realización. En particular, los principios según las diversas realizaciones se aplican a todas las configuraciones de memoria de datos que utilizan bancos que tienen unos registros mapeados en memoria que interrumpen la continuidad de la memoria restante en un banco. Al combinar estas áreas mapeadas de bancos de memoria en un espacio linealizado de memoria, que queda disponible mediante el mapeo de memoria virtual, se puede lograr una mejora con respecto a los microprocesadores/microcontroladores convencionales que utilizan un esquema de bancos.

La Figura 5 muestra un circuito de ajuste de acceso a memoria 500 que logra el mapeo que se ha descrito arriba. Sin embargo, puede aplicarse otras realizaciones que logran el mismo resultado. La CPU 510 se acopla a través del bus de direcciones 520 con el decodificador de direcciones 530 y la unidad de ajuste de direcciones 540. La unidad de ajuste de direcciones 540 es controlada por el decodificador de direcciones a través de las líneas de control de ajuste de direcciones 570. La unidad de ajuste de direcciones 540 se acopla con la memoria de datos 560 a través del bus 550 y se habilita a través del decodificador de direcciones 530.

Generalmente, según el esquema de direccionamiento virtual mostrado en la Figura 3 y 4, si la CPU 510 emite una dirección, por ejemplo a través de un registro asociado de direcciones en el intervalo de 0x0000 a 0x0FFF, entonces la unidad de ajuste de direcciones 540 no se activará a través del decodificador de direcciones 530 y meramente pasa la dirección a la memoria de datos 560 que será habilitado por el decodificador de direcciones 530. Sin embargo, si la CPU 510 emite una dirección que se encuentra dentro del intervalo de direcciones 0x4000 a 0x49FF, entonces el decodificador de direcciones 530 activa la unidad de ajuste de direcciones 540 que traduce esta dirección en la dirección física de la memoria de datos 560 para acceder a la respectiva ubicación de memoria dentro del respectivo banco de memoria según el esquema de asignación mostrado en las Figuras 3 y 4. En otra realización, puede utilizarse un intervalo diferente de direcciones, tal como de 0x2000 a 0x29FF. Los intervalos específicos de direcciones se muestran meramente como ejemplo, según otras diversas realizaciones, un usuario puede seleccionar diferentes espacios de direcciones con diferentes longitudes según los respectivos requisitos del sistema. También, pueden mapearse múltiples bloques de memoria continua según la implementación respectiva.

La Figura 6 muestra otra realización de un circuito de ajuste de acceso a memoria 600 en donde una primera entrada de un multiplexor 610 recibe las direcciones de dos registros de función especial 660 que se concatenan para formar una dirección larga capaz del direccionamiento al banco de memoria virtual 300. En este ejemplo, estos dos registros se designan como SFR X y SFR X+1. Las mismas direcciones procedentes de estos registros 660 también se introducen en un comparador de intervalo de direcciones 620 y un traductor de direcciones 630 a través del bus 640. El traductor de direcciones realiza una traducción de direcciones según un algoritmo o ecuación predefinidos que cumplen el esquema mostrado en las Figuras 3 y 4 y reenvía su salida a la segunda entrada del multiplexor 610. El multiplexor 610 es controlado por el comparador de intervalo de direcciones 620 que selecciona la primera entrada si la dirección se encuentra en un primer intervalo de direcciones o selecciona la segunda entrada si el intervalo de direcciones se encuentra dentro del intervalo designado de direcciones virtuales. El multiplexor 610 emite sus direcciones por el bus de direcciones 650 que se acopla con la memoria de datos. Otros circuitos pueden conseguir los mismos resultados y no hay un diseño particularmente preferido para conseguir el mapeo de memoria virtual.

La Figura 7 muestra incluso otra posibilidad de cómo implementar el acceso a memoria en un microprocesador/microcontrolador. Esta realización no hace uso de un espacio de direcciones virtuales ya que la memoria es direccionable bajo dos intervalos distintos de direcciones que acceden a diferentes ubicaciones de memoria dentro de la memoria. La disposición de circuito 700 mostrada en la Figura 7 incluye una distribución de celdas 620 de memoria de acceso aleatorio estática (SRAM) que utiliza unos decodificadores de columna y de fila como se conoce generalmente en la técnica. Sin embargo, al contrario que los decodificadores convencionales de filas, esta realización utiliza unos decodificadores emparejados de filas para cada fila de la distribución de celdas de SRAM. De este modo, a la misma fila se puede acceder con diferentes direcciones físicas. La dirección se divide en unas partes superior e inferior y se introducen en los decodificadores de columna 730 a través de un bus de dirección parcial 720 y a las unidades de pares de decodificadores de fila $740_1..740_n$ a través del bus de dirección parcial 710. Cada unidad de par de decodificadores de fila $740_1..740_n$ comprende un decodificador de direcciones en bancos 742 y un decodificador de direcciones lineales 744, la señal de salida de selección de fila de cada uno de estos decodificadores de direcciones 742, 744 se introducen a una puerta O 720. En funcionamiento, la pluralidad de decodificadores de direcciones detectan si una fila específica de la distribución de celdas de SRAM 750 tiene que seleccionarse dependiendo de la dirección. De este modo, si una dirección se encuentra dentro de un área de

memoria en bancos, por ejemplo en el intervalo de 0x0000 a 0xFFFF como se muestra en la Fig. 4, uno de los decodificadores de direcciones en bancos 742 emitirá una señal de selección de fila que se introducirá a la distribución de celdas de SRAM 750 a través de la respectiva puerta O 746. Sin embargo, si la dirección se encuentra, por ejemplo, dentro de las direcciones 0x4000 a 0x49FF de bloques de memoria, uno de los decodificadores de direcciones lineales 744 emitirá una señal de selección de fila que de nuevo se introducirá a la distribución de celdas de SRAM 750 a través de la respectiva puerta O 746 de una de las unidades de pares de decodificadores de direcciones de fila $740_1..740_n$. La distribución de celdas SRAM 750 se organiza en filas y columnas de tal manera que se hace posible la formación de un bloque linealizado de memoria según el esquema mostrado en la Fig. 3. Según otras realizaciones que utilizan una memoria organizada de manera diferente, la decodificación de direcciones puede adaptarse correspondientemente para que coincida a la técnica de mapeo como se muestra en la Fig. 3. Sin embargo, otras realizaciones pueden utilizar diferentes mecanismos de selección de columna/fila, tal como multiplexores, o impulsores (drivers) controlables.

REIVINDICACIONES

1. Un dispositivo de procesador, en particular un microcontrolador o un microprocesador, que comprende:

5 una memoria de datos de registros (560, 750) que comprende un espacio físico de direcciones, siendo la memoria de datos (560, 750) accesible a través de una pluralidad de bancos secuenciales de memoria (110x) que definen un espacio lineal de direcciones, en el que por lo menos un subconjunto de los bancos de memoria (110x) están organizados de modo que cada banco de memoria (110x) del subconjunto, comprende por lo menos una primera y una segunda área de memoria (120, 130, 140, 150), en el que dicha primera área de memoria (120, 130) comprende unos registros de función especial mapeados en memoria y dentro del espacio lineal de direcciones las segundas áreas de memoria (140, 150) forman un

10 bloque no consecutivo de memoria; **caracterizado por** una unidad de ajuste de dirección (540, 630) que, cuando se utiliza un intervalo predefinido de dirección virtual, se configura para traducir una dirección virtual dentro del intervalo de direcciones virtuales en una dirección física para acceder a dichas segundas áreas de memoria (140, 150) de tal manera que se forma un bloque linealizado de memoria virtual (300) al mapear unas respectivas direcciones virtuales a unas direcciones físicas de una pluralidad de segundas áreas de memoria (140, 150).
2. Un dispositivo de procesador según la reivindicación 1, en el que la memoria de datos de registro se forma en una distribución de celdas de memoria (750), el dispositivo de procesador comprende además:

20 una pluralidad de registros de función especial, en la que se utilizan por lo menos dos registros de función especial para formar una dirección concatenada; y un primer espacio de direcciones al que se mapea la pluralidad de bancos de memoria (1000x) de tal manera que las direcciones de la segunda área de memoria (140, 150) se mapean a la dirección física de la memoria de datos de registro y un segundo espacio de dirección al que se mapean en memoria dichas segundas áreas de memoria (140, 150) de tal manera que las segundas áreas de memoria (140, 150) forman dicho bloque virtual de memoria linealizado (300) en dicho segundo espacio de direcciones,

25 en el que la unidad de ajuste de direcciones comprende una primera unidad decodificadora (730) para acceder a una columna de la distribución de celdas de memoria (750) y una pluralidad de pares de decodificadores de fila (740x), en el que cada par de decodificadores de fila (740x) está asociado con una fila de la distribución de celdas de memoria (750) y comprende un primer decodificador de fila (742) y un segundo decodificador de fila (744) para acceder a dicha memoria de datos ya sea a través de dicho primer o dicho segundo espacio de direcciones.

30
3. El procesador según la reivindicación 1, que comprende además un decodificador de direcciones (530, 620) para activar la unidad de ajuste de dirección (540, 630).
4. El procesador según la reivindicación 1 o 3, que comprende además un multiplexor (610) que tiene una primera y una segunda entradas que reciben una dirección y una dirección ajustada y una salida acoplada a dicha memoria de datos (100, 200, 560, 750) y que es controlada por un comparador de direcciones (620) que recibe dicha dirección.

35

5. El procesador según una de las reivindicaciones precedentes, en el que cada banco de memoria de dicha pluralidad de bancos de memoria (110x), en particular dicha primera área de memoria de cada banco de memoria (110x), comprende unos registros de función especial mapeados en memoria.
6. El procesador según una de las reivindicaciones precedentes, en el que cada banco de memoria de dicha pluralidad de bancos de memoria (110x), en particular dicha segunda área de memoria de cada banco de memoria, comprende unos registros de uso general.
7. El procesador según la reivindicación 1, en el que cada banco de memoria de dicha pluralidad de bancos de memoria (110x) comprende un área de memoria común.

40

8. El procesador según la reivindicación 1, en el que por lo menos un subconjunto de bancos de memoria (110x) comprende otros registros de función especial mapeados en memoria.
9. El procesador según la reivindicación 2, en el que los primeros decodificadores de fila (742) responden a las direcciones dentro de dicho primer espacio de direcciones y los segundos decodificadores de fila (744) responden a las direcciones dentro de dicho segundo espacio de direcciones.

45

10. El procesador según la reivindicación 9, en el que cada decodificador de fila (742, 744) emite una señal de selección de fila que se combina mediante una puerta O (746) acoplada con la distribución de celdas de memoria (750).

50

- 11. Un procedimiento para acceso a memoria de datos en un procesador (500) utilizando un esquema de acceso a bancos de memoria, comprendiendo el procedimiento las etapas de:

- proporcionar una memoria de datos de registros (100, 200, 560, 750) que tiene un espacio físico de direcciones,
 definir un espacio lineal de direcciones de datos mediante una pluralidad de bancos consecutivos de memoria de registro (110x) en el que una unidad de procesamiento central (510) accede a dicho espacio lineal de direcciones de datos directamente a través de uno de dichos bancos de memoria (110x), en el que por lo menos un subconjunto de los bancos de memoria (110x) se organiza de tal manera que cada banco de memoria (110x) del subconjunto comprende por lo menos una primera y una segunda área de memoria (120, 130, 140, 150), en el que dicha primera área de memoria (120, 130) comprende unos registros de función especial mapeados en memoria y las segundas áreas de memoria (140, 150) se mapean a unas direcciones físicas de dicha memoria de datos de registro (100, 200, 560, 750) en el que una pluralidad de segundas áreas de memoria (140, 150) forman un bloque no consecutivo de memoria;
caracterizado por la etapa de,
 cuando se utiliza un intervalo predefinido de direcciones virtuales, traducir una dirección virtual dentro del intervalo de direcciones virtuales en una dirección física para acceder a dichas segundas áreas de memoria (140, 150) de tal manera que se forma un bloque linealizado de memoria virtual (300).
- 5
- 10
- 15
12. El procedimiento según la reivindicación 11, en el que se utilizan por lo menos dos registros de función especial para formar una dirección concatenada que representa la dirección.
13. El procedimiento según la reivindicación 11 o 12, en el que el subconjunto tiene menos bancos de memoria (110x) que la pluralidad de bancos de memoria.
- 20
14. El procedimiento según la reivindicación 11 o 12, en el que el bloque linealizado de memoria virtual (300) está formado por las segundas áreas de memoria de todos los bancos de memoria (110x) que comprenden una segunda área de memoria (120, 130, 140, 150).
15. El procedimiento según una de las reivindicaciones precedentes 11-14, en el que cada banco de memoria (110x) comprende además un área de memoria común (150).
- 25
16. El procedimiento según una de las reivindicaciones precedentes 11-15, en el que en por lo menos el subconjunto de bancos de memoria (110x), cada banco de memoria comprende unos registros de función especial mapeados en memoria (120, 130), unos registros de uso general (140) y un área de memoria común (150).

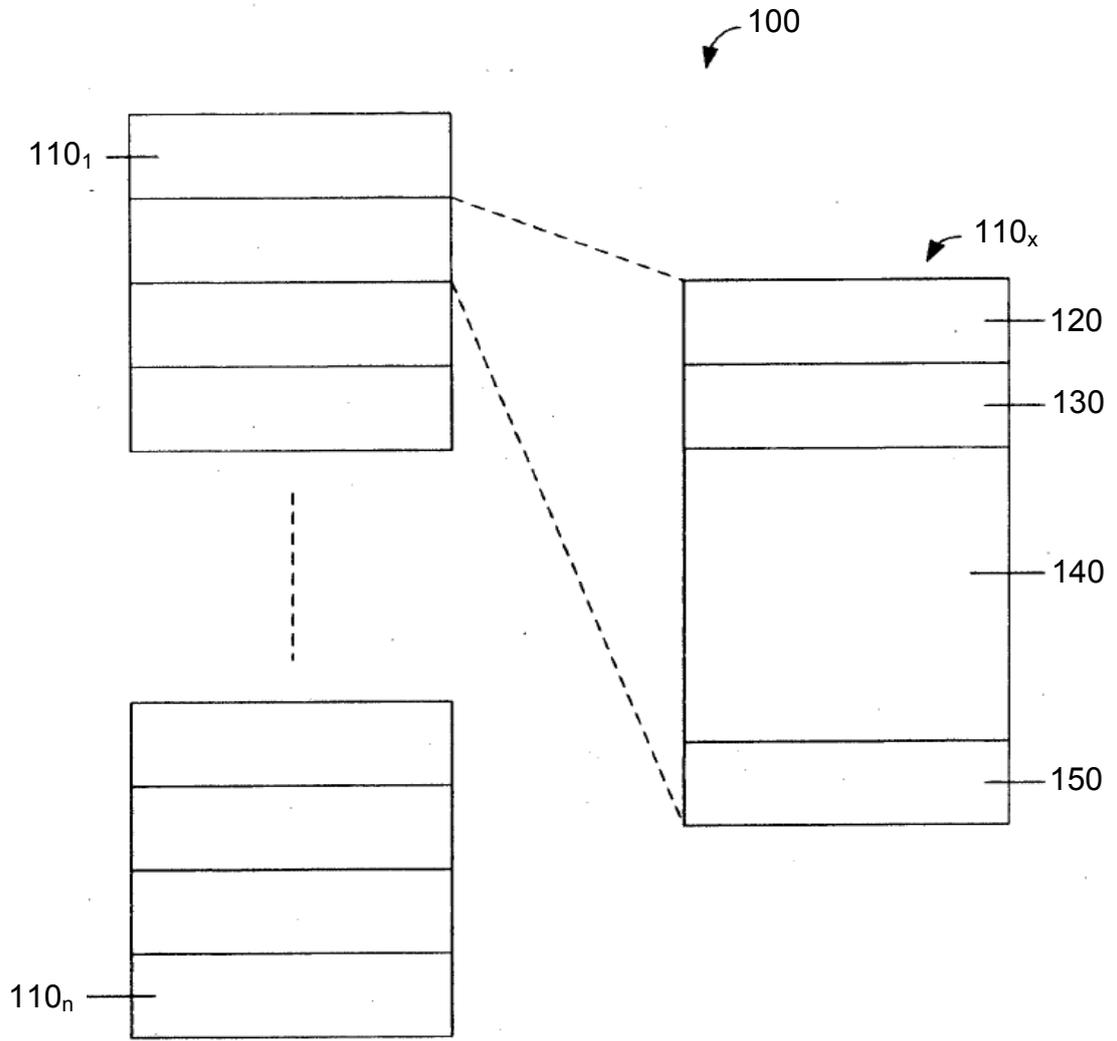


Figura 1

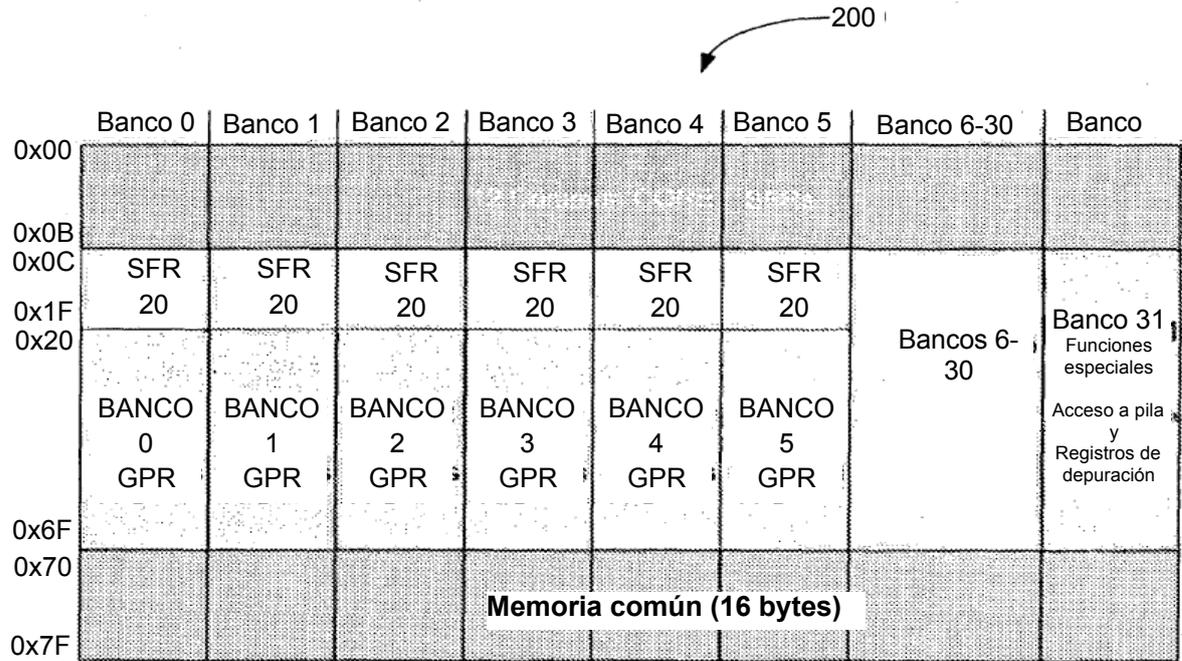


Figura 2

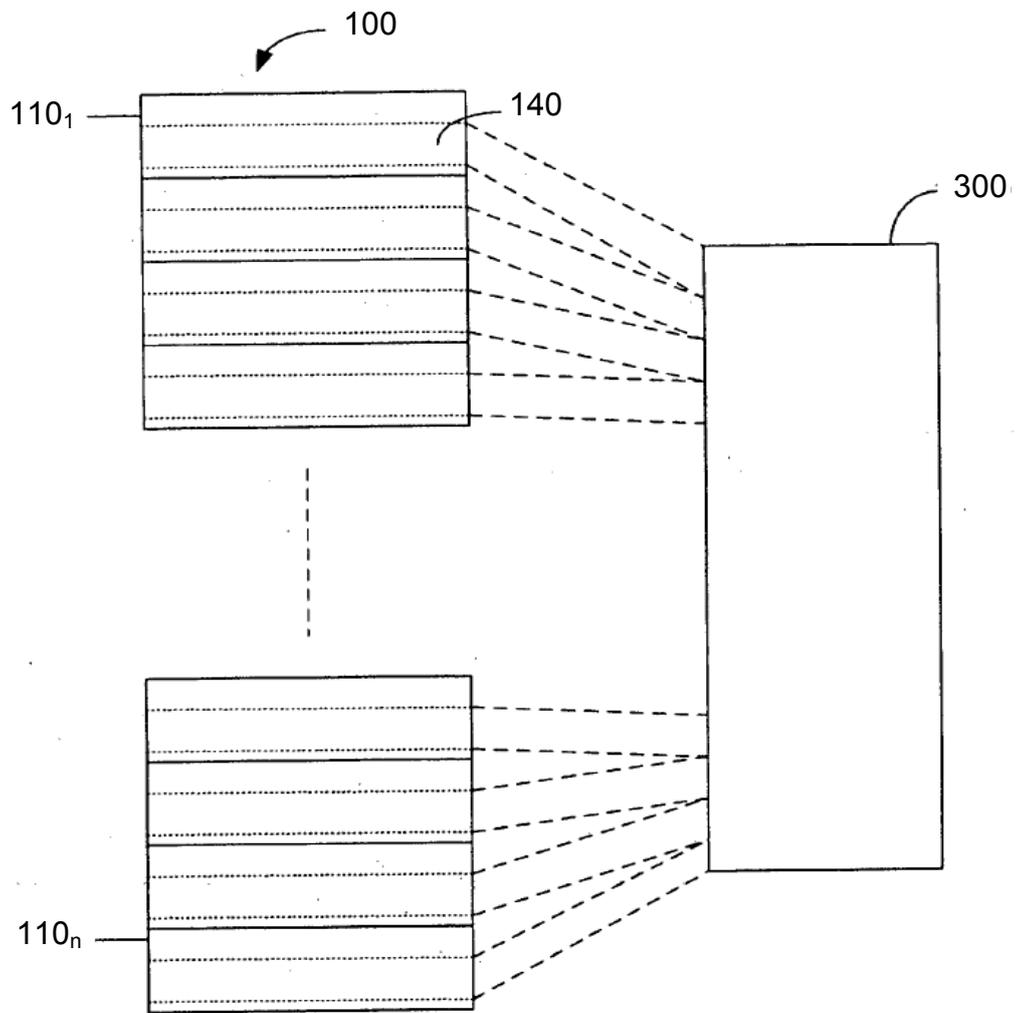


Figura 3

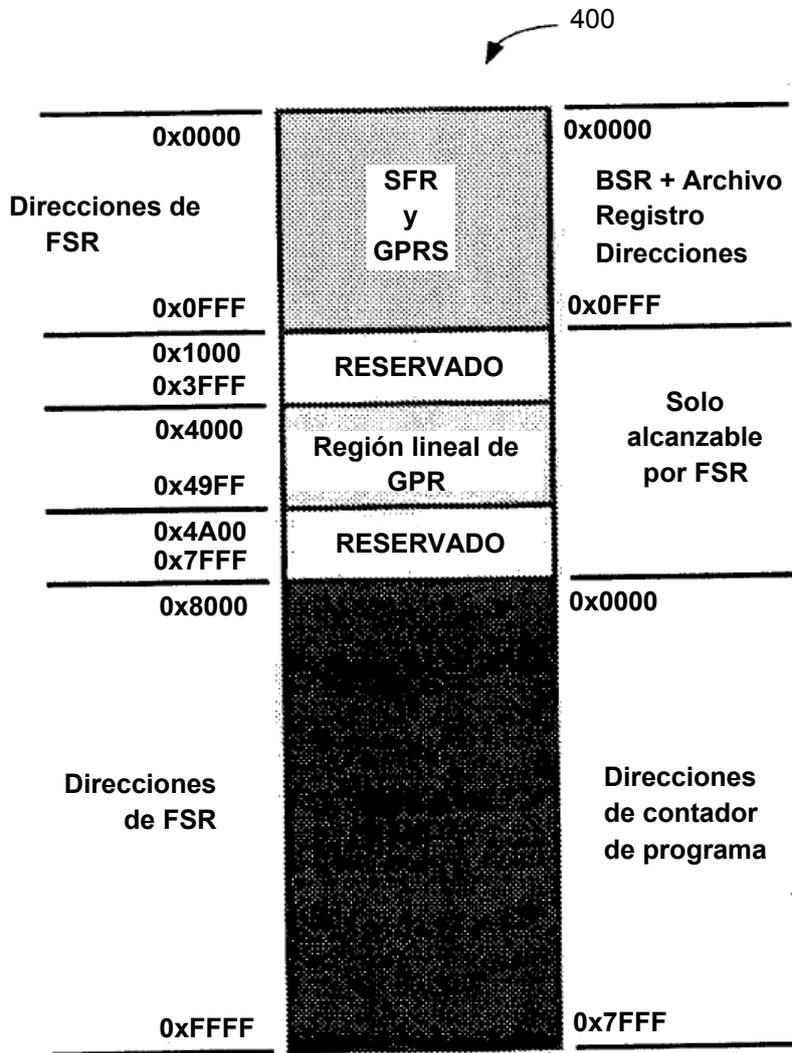


Figura 4

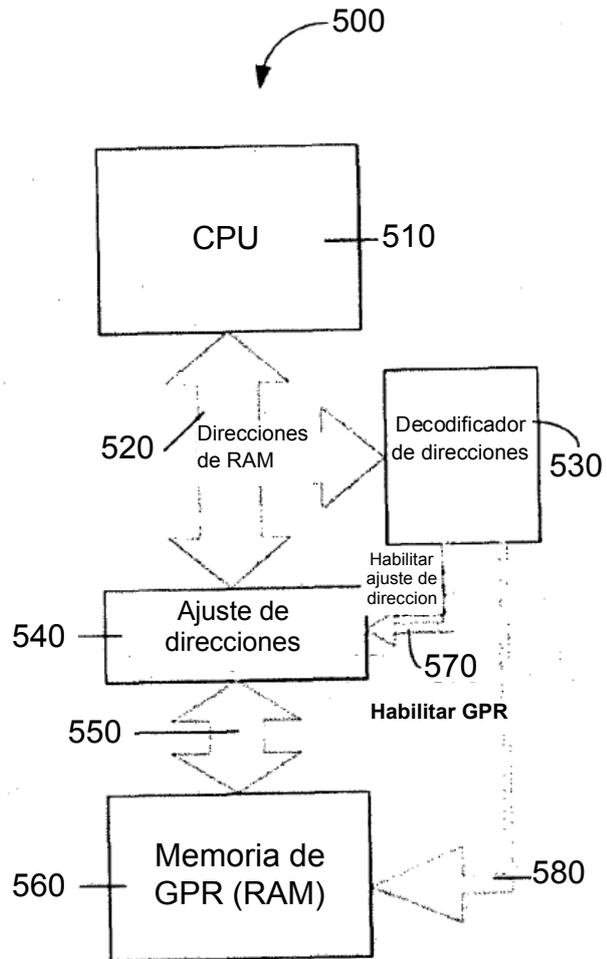


Figura 5

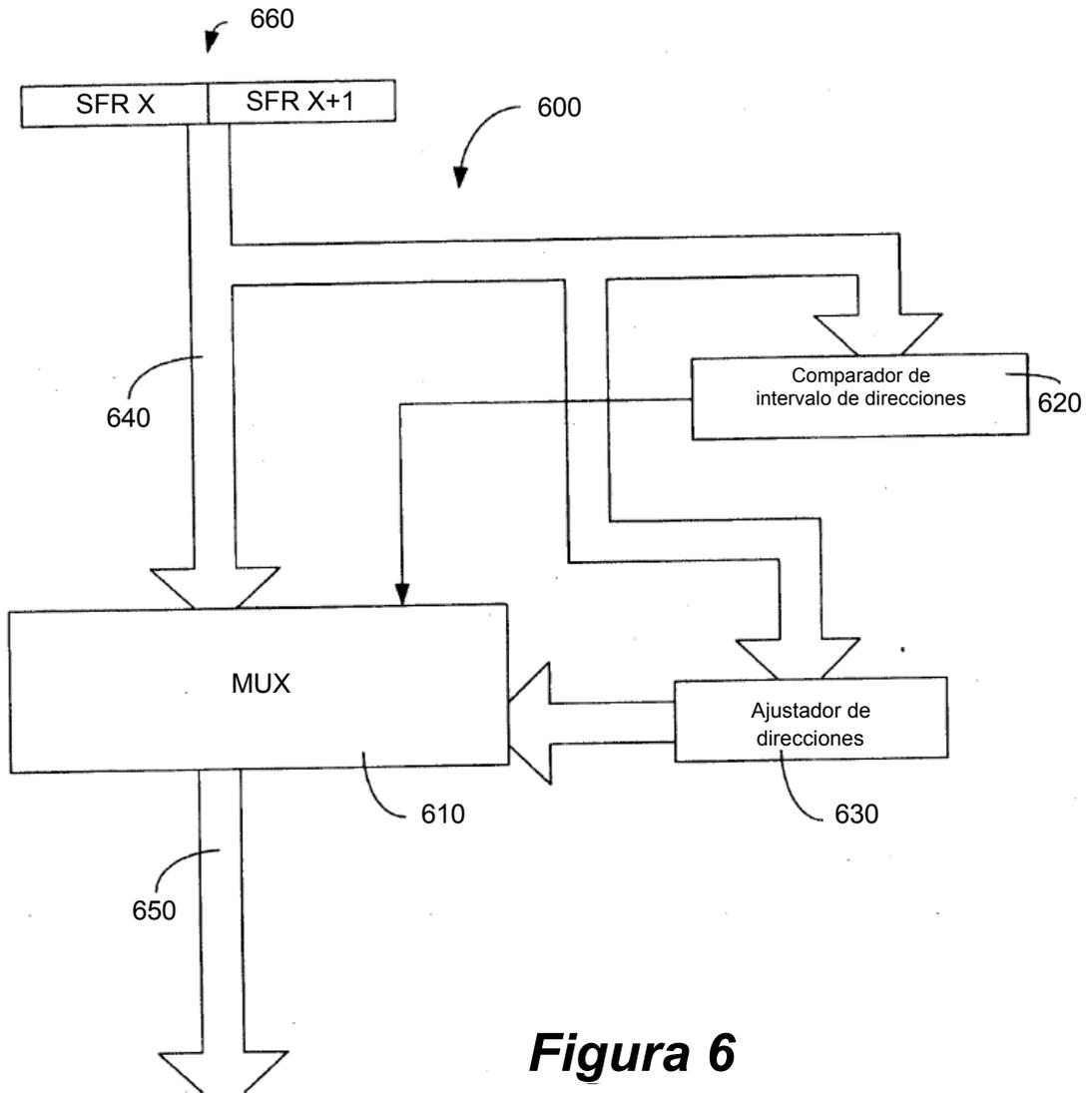


Figura 6

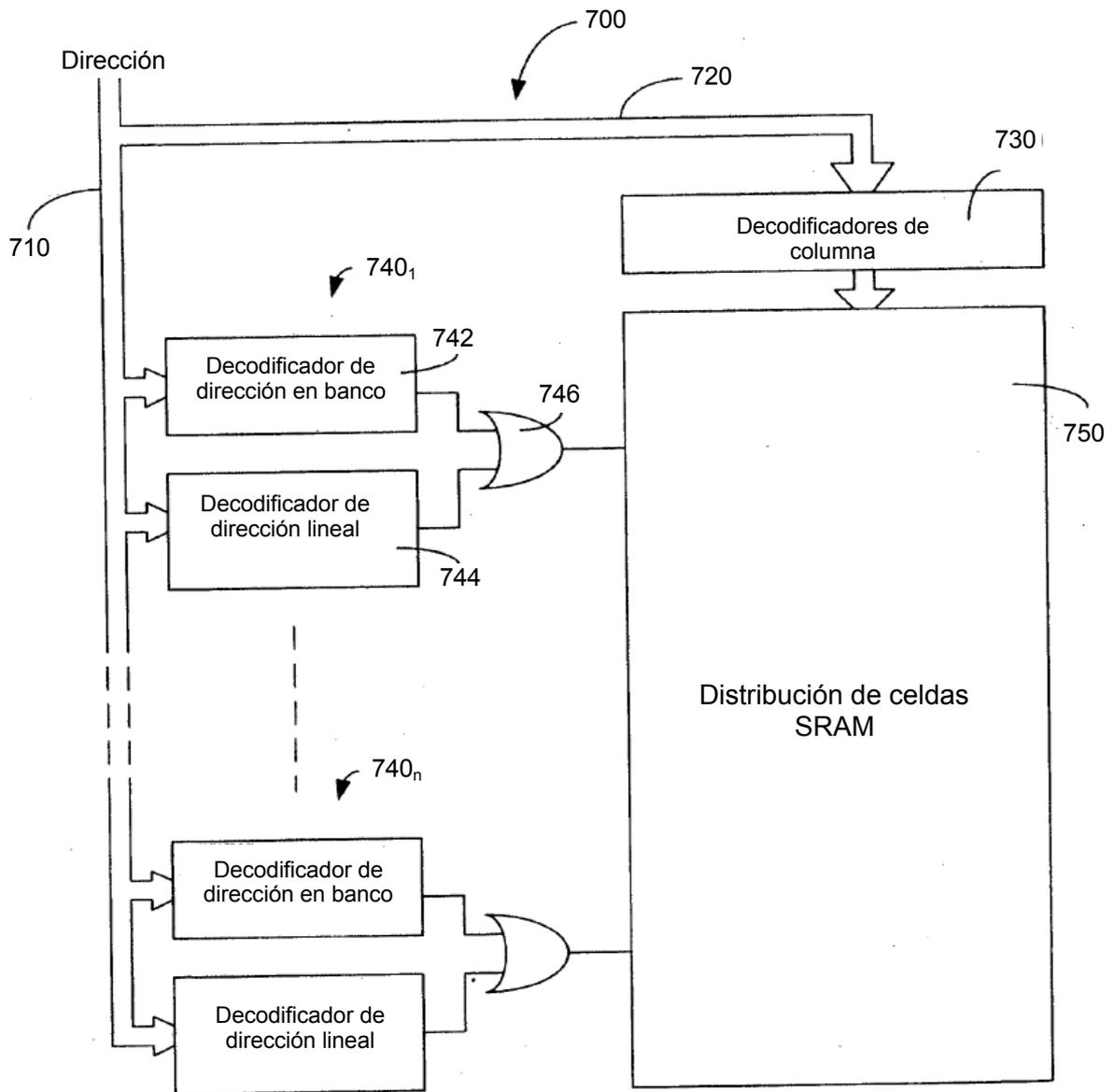


Figura 7