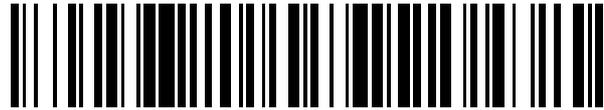


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 543 360**

51 Int. Cl.:

G06F 1/32 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **18.09.2009 E 09792707 (3)**

97 Fecha y número de publicación de la concesión europea: **13.05.2015 EP 2350768**

54 Título: **Sistema electrónico de baja potencia que usa memoria magnética no volátil**

30 Prioridad:

23.09.2008 US 235933

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
18.08.2015

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
Attn: International IP Administration 5775
Morehouse Drive
San Diego, CA 92121, US**

72 Inventor/es:

**NOWAK, MATTHEW MICHAEL;
CHUA-EOAN, LEW y
KANG, SEUNG H.**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 543 360 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema electrónico de baja potencia que usa memoria magnética no volátil

Campo técnico

5 La presente divulgación versa, en general sobre arquitectura de circuitos electrónicos y, más en particular, sobre una arquitectura de sistemas de baja potencia que usa memoria magnética no volátil.

Antecedentes

En el mundo de hoy, movido por la electrónica, la energía es la clave para mantener a la sociedad en movimiento. Sin embargo, con los costes crecientes de la energía y, en los dispositivos portátiles, la demanda de mayor duración de la batería, el tema del consumo de energía en los dispositivos electrónicos se ha vuelto de importancia capital. Cuando los ordenadores están inactivos durante un tiempo, muchos entran en un estado de bajo consumo o estado de espera, en el que el consumo de energía se reduce muchísimo. Cuando no están en uso, los dispositivos de mano, tales como los teléfonos móviles, normalmente también entran en un estado de bajo consumo, en el que la alimentación o la batería son desconectadas de muchas partes de la circuitería operativa. También los propios componentes electrónicos han sido desarrollados con menores requerimientos de consumo. Tomada en su conjunto, se ha desarrollado una cantidad considerable de tecnología para conservar energía. Aunque el consumo de energía se ha reducido considerablemente usando estas tecnologías, los diseñadores de productos electrónicos siguen generalmente limitados por los requerimientos energéticos de la memoria y, en particular, por los requerimientos energéticos de la memoria para almacenar el estado.

La electrónica moderna normalmente está diseñada para "despertarse", es decir, restablecer la alimentación cuando sale de un estado de espera, sin haber perdido nada de la información operativa de la memoria cuando el dispositivo electrónico cayó en el estado de espera. Por ejemplo, un usuario que contesta el teléfono en medio de la redacción de una carta en un tratamiento de textos podría dejar el ordenador un tiempo suficiente para que el ordenador entre en el modo de espera. Cuando el usuario regresa, puede reactivar el ordenador e, inmediatamente, seguir escribiendo la carta desde el punto en el que la dejó. De modo similar, cuando un usuario recurre a su teléfono para hacer una llamada, el teléfono normalmente se reactiva partiendo de su estado de espera (si el usuario no estaba usando el teléfono en ese momento), listo para recibir la marcación y realizar la llamada. También, si un usuario está reproduciendo vídeo usando un procesador de señales digitales (DSP) de un dispositivo móvil y llega una llamada, haciendo que el DSP entre en un estado de bajo consumo, el usuario debería ser capaz de volver al mismo estado de reproducción del vídeo una vez que se complete o se ignore la llamada. En ninguno de estos ejemplos se requiere que el usuario arranque en frío los dispositivos y recargue la información de la unidad de disco ni de otra memoria externa no volátil. Para lograr esta funcionalidad de encendido instantáneo, la información o el estado de la aplicación generalmente se conserva, aunque la electrónica haya visto reducido sustancialmente su alimentación. La alimentación solo se reduce moderadamente, porque generalmente se necesita energía para conservar la información en la memoria. Aunque otros componentes pueden apagarse por completo o quitarse de la fuente de alimentación, hay cierta cantidad de energía que habitualmente siempre está conectada para evitar que los bloques de memoria pierdan la información contenida.

Muchos sistemas electrónicos utilizan memoria estática de acceso aleatorio (SRAM) y memoria dinámica de acceso aleatorio (DRAM) por su velocidad y su densidad. Sin embargo, tanto la SRAM como la DRAM son memorias volátiles, lo que significa que pierden su información cuando se les quita su alimentación. Así, para mantener el estado de las memorias SRAM y DRAM, se mantiene la alimentación. Un procedimiento para superar este estado de alimentación siempre conectada ha sido incorporar memoria flash al sistema electrónico. La memoria flash es una tecnología de memoria no volátil que mantiene su información cuando se quita la alimentación. Sin embargo, la memoria flash es generalmente demasiado lenta para sustituir a las memorias SRAM y DRAM, por lo que a menudo se usa como punto de almacenamiento externo para almacenar la información de estado.

La FIGURA 1 es un diagrama de bloques que ilustra un sistema electrónico 10 que presenta una configuración típica de memoria usando una memoria flash no volátil 106. Se ilustra el sistema 10 con una sección interna 100 y una sección externa 101. Generalmente, la sección externa 101 está conectada a la sección interna 100 dentro del dispositivo. Los componentes ilustrados del sistema 10 están conectados por medio de un bus 102. El bloque 103 de memoria SRAM proporciona memoria local para el bloque 104 de lógica, que incluye diversos componentes lógicos mixtos y circuitos de retención usando un reloj de sistema. Se proporciona un bloque 105 de memoria DRAM en la sección externa 101 para un almacenamiento local de acceso aleatorio de mayor volumen para el sistema 10, externo, no obstante, al núcleo procesador de la sección interna 100. El sistema 10 también incluye una memoria flash no volátil (MNV) 106.

Para los fines del ejemplo ilustrado en la FIGURA 1, el sistema 10 será descrito como un sistema para ser usado en un teléfono móvil. Cuando el teléfono móvil del sistema 10 entra en el modo de espera, toda la información de estado guardada en ese momento en la SRAM 103 y/o la lógica 104 es movida a la DRAM 105 en el mismo encapsulamiento. En una realización, la información de estado podría almacenarse fuera del chip, en la MNV flash

106, desde la DRAM 105. En este caso, la información de estado se cifra, incurriendo en tiempo y energía adicionales.

5 Así, la energía de la batería del teléfono móvil es usada para realizar un barrido de la SRAM 103 y la lógica 104 en busca de información de estado, y mover esa información de estado a la DRAM 105 por el bus 102. Se usa energía adicional para mover entonces la información de estado de la DRAM 105 a la MNV flash 106 por el bus 102. Convencionalmente, la cantidad de energía consumida por la transmisión de datos por un bus es una función de la longitud del bus. Así, se gasta una cantidad considerable de energía de la batería para mover toda la información de estado. Además, dado que la memoria flash es de escritura mucho más lenta que las memorias SRAM y DRAM, este procedimiento lleva un tiempo considerable con respecto a la funcionalidad del teléfono móvil. Este no es el
10 único uso de la energía y el tiempo durante el procesamiento en espera. Cuando el teléfono móvil del sistema 10 vuelve a encenderse, vuelve a gastarse energía de la batería para reinstalar de nuevo la información de estado desde la MNV flash 106 a la DRAM 105 (si se usa realmente la MNV 106), y a la SRAM 103 y la lógica 104 desde la DRAM 105. Así, aunque el modo de espera del sistema 10 pueda consumir menos energía, porque ya no se usa energía para mantener el estado ni en el SRAM 103 ni en la lógica 104, se usa una cantidad considerable de
15 energía transfiriendo la información de estado a la DRAM 105 y posiblemente a la MNV flash 106, y desde las mismas, además del tiempo considerable usado en transferir esa información de un lado a otro.

El documento US2008/0059785 versa sobre un procedimiento para apagar un sistema de ordenador personal usando un dispositivo de memoria reprogramable no volátil. En la memoria reprogramable no volátil se guarda una imagen comprimida de memoria del contenido de la memoria de trabajo del sistema, de la configuración del soporte
20 físico y otra información relevante. Cuando se apaga, el procedimiento detecta un cambio en el soporte físico y se aparta del apagado inmediato para identificar el cambio en el soporte físico y crear una nueva imagen de memoria antes de completar el apagado.

El documento WO2004/107168 describe un sistema de ordenador que incluye una memoria de sistema y una memoria no volátil, dispuesta para copiar al menos una parte del estado del sistema, guardado en la memoria del sistema durante un procedimiento de arranque limpio, a la memoria no volátil. Durante rearranques subsiguientes del sistema de ordenador, el estado del sistema es copiado de la memoria no volátil a la memoria del sistema.

El documento US6438668 versa sobre un procedimiento que incluye el uso de una memoria no volátil del sistema de procesamiento digital (DPS) como una memoria virtual de una memoria de acceso aleatorio (RAM) volátil del DPS, que determina una selección de un estado de consumo reducido de energía, guarda los datos de la RAM volátil en la memoria no volátil y reduce el consumo de energía a al menos un elemento del DPS.

Sumario

Las realizaciones de la presente invención versan sobre un sistema informático, según se define en la reivindicación 1, y sobre un procedimiento de operación de un sistema informático, según se define en la reivindicación 9.

Lo anterior ha esbozado muy en líneas generales las características y las ventajas técnicas de la presente invención para que la descripción detallada que sigue de la invención pueda ser mejor entendida. En lo que sigue de la presente memoria se describirán características y ventajas adicionales de la invención que forman el objeto de las reivindicaciones de la invención. Los expertos en la técnica deberían apreciar que la concepción y las realizaciones específicas pueden ser fácilmente utilizadas como base para modificar o diseñar otras estructuras para llevar a cabo los mismos propósitos de la presente invención. Los expertos en la técnica también deberían darse cuenta de que tales construcciones equivalentes no se apartan del ámbito de la invención tal como es definida en las reivindicaciones adjuntas. Las características novedosas que se cree que son características de la invención, tanto en cuanto a su organización como al procedimiento de operación, junto con objetos y ventajas adicionales, serán mejor entendidas a partir de la siguiente descripción cuando se la considere en conexión con las figuras adjuntas. Sin embargo, ha de entenderse expresamente que se proporciona cada una de las figuras únicamente con un fin
45 ilustrativo y descriptivo y no se pretende que sea una definición de los límites de la presente invención.

Breve descripción de los dibujos

Para una comprensión más completa de la presente divulgación, se hace referencia ahora a las siguientes descripciones tomadas junto con los dibujos adjuntos, en los que:

50 la FIGURA 1 es un diagrama de bloques que ilustra un sistema electrónico que presenta una configuración convencional de memoria que usa una memoria flash no volátil;
la FIGURA 2 es un diagrama de bloques que ilustra un sistema electrónico configurado según las enseñanzas de la presente divulgación;
la FIGURA 3 es un diagrama de bloques que ilustra otro sistema electrónico configurado según las enseñanzas de la presente divulgación;
55 la FIGURA 4 es un diagrama de bloques que ilustra un sistema electrónico adicional configurado según las enseñanzas de la presente divulgación;

la FIGURA 5 es un diagrama de bloques que ilustra otro sistema electrónico adicional configurado según las enseñanzas de la presente divulgación;
 la FIGURA 6 es un diagrama esquemático que ilustra una vista lateral de un sistema electrónico configurado según las enseñanzas de la presente divulgación;
 5 la FIGURA 7 es un diagrama de bloques que ilustra un sistema electrónico configurado según las enseñanzas de la presente divulgación; y
 la FIGURA 8 es un diagrama de flujo que ilustra bloques ejemplares ejecutados para implementar diversas realizaciones según las enseñanzas de esta divulgación.

Descripción detallada

10 Pasando ahora a la FIGURA 2, se ilustra un diagrama de bloques de un sistema electrónico 20 configurado según una realización de la presente divulgación. El sistema electrónico 20 tiene una sección interna 200, en la que se llevan a cabo operaciones de procesamiento internas a la funcionalidad del sistema electrónico 20 o una característica particular, y una sección externa 201, que está conectada a la sección interna 200 y proporciona diversas funcionalidades, tales como entrada/salida (E/S), almacenamiento de acceso aleatorio a plazo mayor, tal
 15 como el bloque 205 de DRAM, y similares, que son llevadas a cabo o están pensadas para llevarse a cabo de forma externa a la sección interna 200. El sistema electrónico 20 puede tener varios bloques funcionales o secciones internos, tal como la sección interna 200, que proporcionan diversas características y funcionalidades.

El sistema electrónico 20 también proporciona un bloque 206 de memoria magnética de acceso aleatorio (MRAM) por par de transferencia de espín (STT), que proporciona una memoria interna no volátil. El bloque 206 de STT
 20 MRAM usa un almacenamiento de polaridad magnética y no de carga para mantener su memoria. Por lo tanto, cuando se desconecta la fuente 208 de alimentación del bloque 206 de STT MRAM, el estado de la memoria se mantiene, porque la polaridad magnética se mantiene sin depender de la energía o la carga eléctrica o la corriente de la fuente 208 de alimentación. Así, cuando la sección interna 200 entra en el estado de espera, la información de estado de la SRAM 203 y la lógica 204 se guarda en el bloque 206 de STT MRAM. Además, dado que el bloque 206
 25 de STT MRAM está dentro de la sección interna 200, la cantidad de energía consumida para transferir los datos por el bus 202 es menor que la consumida con respecto al sistema electrónico 10 (FIGURA 1). El bloque 206 de STT MRAM también lee y escribe mucho más de prisa que la memoria externa no volátil, tal como un disco duro o una memoria flash, por ejemplo la MNV flash 106 del sistema electrónico 10 (FIGURA 1). Por lo tanto, se ahorra aún más energía debido a que la cantidad de tiempo que lleva escribir la información al bloque 206 de STT MRAM es mucho
 30 menor.

Una vez que la información de estado ha sido transferida al bloque 206 de STT MRAM, toda o sustancialmente toda la energía de la fuente 208 de alimentación puede ser cortada de la sección interna 200, porque el bloque 206 de STT MRAM no precisa energía para mantener sus datos. Cuando la sección interna 200 vuelve a encenderse, la
 35 fuente 208 de alimentación vuelve a restaurarse y vuelve a cargarse nuevamente la información de estado desde el bloque 206 de STT MRAM en la SRAM 203 y la lógica 204. De nuevo, debido a la menor distancia a recorrer por el bus 202 y a la mayor velocidad con la que el bloque 206 de STT MRAM lee y escribe los datos, la información de estado vuelve a cargarse rápidamente en la SRAM 203 y la lógica 204, de modo que el procesamiento de la aplicación puede continuar en lo que al usuario le parece que es una manera mucho más instantánea, y habiendo conservado una cantidad considerable de energía durante el estado de espera.

40 En operación, el sistema electrónico 20 es un teléfono móvil. La sección interna 200 es la sección multimedia del teléfono móvil. Cuando entra una llamada en el teléfono móvil mientras el usuario está trabajando en la sección multimedia, esa sección cae en un estado de bajo consumo desconectando la fuente 208 de alimentación de la sección interna 200 y es puesta en un modo de espera mientras el usuario contesta la llamada. La funcionalidad de telefonía que facilita la llamada telefónica del usuario sería implementada entonces por otra sección interna (no mostrada) del sistema electrónico 20. Cuando se completa la llamada y el usuario quiere volver a su trabajo en la
 45 sección multimedia, la sección interna 200 es encendida restaurando la fuente 208 de alimentación, según se ha hecho notar más arriba. Sin embargo, durante su periodo en espera, casi no ocurren fuga energética ni consumo algunos dentro de la sección interna 200, porque no se requiere energía durante el estado de espera para que el bloque 206 de STT MRAM mantenga la información de estado con respecto al procesamiento multimedia.

50 En una realización adicional y/o alternativa de la presente divulgación, se añade un bloque 207 de desplazamiento de datos a la sección interna 200. El bloque 207 de desplazamiento de datos tiene la tarea específica de mover los datos de la SRAM 203 a la STT MRAM 206. El bloque 207 de desplazamiento de datos incluye una lista de direcciones que se siguen en secuencia cuando se mueven los datos de la SRAM 203 a la STT MRAM 206 y otra vez de vuelta. La inclusión del bloque 207 de desplazamiento de datos permite que la transferencia de los datos se produzca con mayor rapidez.
 55

La FIGURA 3 es un diagrama de bloques que ilustra un sistema electrónico 30 configurado según una realización de la presente divulgación. En la realización ilustrada, el sistema electrónico 30 comprende un reproductor de medios digitales. El sistema electrónico 30 es similar al sistema electrónico 20 (FIGURA 2), incluyendo una sección interna 300, una sección externa 301 y un bus 302 que acopla cada uno de los componentes del sistema. La sección interna

300 incluye un bloque 303 de SRAM y un bloque 306 de MRAM. La sección externa 301 incluye un bloque 305 de DRAM. El sistema electrónico 30 también incluye una lógica multinúcleo 304. La lógica multinúcleo 304 incluye múltiples núcleos lógicos, 304-1 a 304-N, que gestionan el procesamiento paralelo o cooperativo de datos para el sistema electrónico 30. La sección interna 300 es alimentada por una fuente 307 de alimentación, que está acoplada a la sección interna 300 por medio de un interruptor 308.

Cuando se reduce la alimentación de la sección interna 300 a un estado de espera, la información de estado que reside en la SRAM 303 y la lógica multinúcleo 304 es guardada rápidamente en el bloque 306 de MRAM. En operación, cualquier bloque particular con el bloque 306 de MRAM puede asociarse con un núcleo particular de los núcleos lógicos 304-1 a 304-N. De nuevo, dado que la velocidad con la que los elementos de MRAM del bloque 306 de MRAM leen y escriben datos, y la menor longitud de bus del bus 302 que la información de estado recorre entre la SRAM 303/lógica multinúcleo 304 y el bloque 306 de MRAM, se consume una cantidad menor de energía para almacenar el estado de la sección interna 300 que en el sistema electrónico 10 (FIGURA 1). Una vez que se guarda el estado, la fuente 307 de alimentación puede ser desconectada de la sección interna 300 abriendo el interruptor 308 durante el estado de espera. Así, durante el tiempo de espera casi no ocurre ninguna fuga de energía ni ningún consumo. Cuando la sección interna 300 se reactiva partiendo del modo de espera, vuelve a cerrarse el interruptor 308, restaurando la alimentación de la fuente 307 de alimentación. El proceso inverso restaura la información de estado a la SRAM 303 y la lógica multinúcleo 304, y la sección interna 300 sigue procesando en el mismo punto que cuando entró en el modo de espera.

Las realizaciones ilustradas en las FIGURAS 2 y 3 han mostrado el uso de la memoria magnética no volátil en componentes separados acoplados entre sí en la misma sección interna. Sin embargo, realizaciones adicionales y/o alternativas de la presente divulgación permiten que las memorias magnéticas no volátiles puedan integrarse en el mismo sustrato de silicio que los núcleos lógicos.

La FIGURA 4 es un diagrama de bloques que ilustra un sistema electrónico 40 configurado según una realización de la presente divulgación. En la realización ilustrada, el sistema electrónico 40 es un ordenador de sobremesa. El sistema electrónico 40 incluye una sección interna 400 y una sección externa 401. La sección externa 401 incluye un bloque 405 de DRAM. La sección interna 400 incluye un bloque 403 de SRAM y una lógica multinúcleo 404, y está alimentada por una fuente 407 de alimentación acoplada a la sección interna 400 por medio de un interruptor 408. La lógica multinúcleo 404 incluye una MRAM 406 integrada en cada uno de los núcleos lógicos 404-1 a 404-N. Debido a la escalabilidad y la compatibilidad deseables con la tecnología de chips existente, la MRAM 406 puede ser directamente integrada en el sustrato de silicio de la lógica multinúcleo 404 con la adición de solo dos máscaras. En cambio, integrar memoria flash en un sustrato de silicio de un núcleo lógico generalmente usa hasta diez o más máscaras adicionales que el número de máscaras usadas convencionalmente para fabricar la otra lógica. En una realización, la MRAM 406 integrada es compartida entre algunos de los núcleos lógicos 404-1 a 404-N, y solo integrada realmente en algunos de esos núcleos lógicos 404-1 a 404-N.

Con la MRAM 406 integrada, la energía consumida para transferir la información de estado es mucho menor que tener que transferirla por todo el bus 402. Además, dado que la MRAM 406 integrada está incorporada en el chip, el número de vías de E/S no está limitado, como cuando se mueven entre componentes fuera del chip. Así, la demora en la transferencia de los datos se reduce, porque el ancho de banda del bus incorporado en el chip es mucho mayor que la del bus 402. Cuando la sección interna 400 entra en un estado de espera, los datos que constituyen el estado operativo actual se guardan en la MRAM 406 integrada y la fuente 407 de alimentación se desconecta y se aísla de la sección interna 400 abriendo el interruptor 408. Cuando la sección interna 400 se reactiva, se cierra el interruptor 408 y se enciende la fuente 407 de alimentación, alimentando los componentes de la sección interna 400. Los datos para el estado operativo actual son entonces restituidos al bloque 403 de SRAM y a la lógica multinúcleo 404. Por lo tanto, el consumo de energía y el tiempo para los procesos de lectura y escritura se reducen enormemente.

La FIGURA 5 es un diagrama de bloques que ilustra un sistema electrónico 50 configurado según una realización de la presente divulgación. Se configura el sistema electrónico 50 para que tenga una lógica 501 de un solo núcleo acoplada con un bloque 500 de SRAM mediante un bus 502. De forma similar a la lógica multinúcleo 404 (FIGURA 4), hay un bloque 503 de MRAM integrado directamente en el sustrato de silicio de la lógica 501 de un solo núcleo. La integración de la MRAM 503 dentro de la lógica 501 de un solo núcleo proporciona una relación beneficiosa, según se ha descrito con respecto a la lógica multinúcleo 404 (FIGURA 4). Se conservan tiempo de proceso y energía debido a la mayor anchura de banda de E/S y a la mayor eficiencia resultante en la transmisión de datos incorporada en el chip. Cuando el sistema electrónico 50 entra en el estado de espera, se puede interrumpir completamente la energía del sistema electrónico 50, y el estado se mantendrá aún en la MRAM 503.

Cuando los componentes de la MRAM están integrados en un sustrato de la circuitería lógica subyacente, la configuración de la MRAM es diseñada con respecto a la configuración lógica subyacente para facilitar la integración. Pueden diseñarse específicamente bloques de MRAM que se fabriquen dentro de sus propios chips para optimizar la operación de los componentes de la MRAM. Así, aunque integrar directamente la MRAM en el sustrato de silicio de los componentes lógicos aumente la velocidad y la eficiencia de cualquier transferencia de datos, puede diseñarse un chip de solo MRAM que lea y escriba mucho más deprisa y más eficientemente que la

MRAM integrada. Cada una de tales realizaciones tendrá sus propios beneficios, dependiendo de la operación deseada por el diseñador del sistema. En una realización, para lograr los beneficios de ambas configuraciones, se proporcionan tanto una MRAM integrada como bloques autónomos de MRAM (como en la FIGURA 3) unidos por medio de un bus.

5 La FIGURA 6 es un diagrama esquemático que ilustra una vista lateral de un sistema electrónico 60 configurado según una realización de la presente divulgación. El componente electrónico 60 es un circuito integrado que incluye un chip 601 de MRAM apilado encima de un chip lógico 600. El chip 601 de MRAM está conectado al chip lógico 600 a través de una serie de conectores 602 entre chips, que comprenden interconexiones pasantes 603 de silicio (TSV) y almohadillas conectoras 604 en la realización representada. Las TSV 603 permiten que se transmitan señales directamente desde el chip lógico 600 al chip 601 de MRAM. En otra realización (no mostrada), los chips de MRAM y lógico apilados dentro de un encapsulamiento se interconectan usando soldaduras de hilos, en lugar de las TSV. En 10 ambas realizaciones, el ahorro de energía aumenta muchísimo con respecto al consumo de energía de la transmisión mostrado en el sistema electrónico 10 de la FIGURA 1 transmitiendo datos por el bus 102. Según se ha descrito con respecto a las FIGURAS 2-5, el chip 601 de MRAM es capaz de almacenar su información y de mantener esa información aunque se le quite la alimentación. Así, la operación del sistema electrónico 60 permite un 15 almacenamiento no volátil estable de la información desde el chip lógico 600.

La configuración de chips apilados del componente electrónico 60 proporciona una operación similar a la operación combinada de la MRAM y los núcleos lógicos descritos en las FIGURAS 2-5. De hecho, para crear realizaciones 20 adicionales y/o alternativas, el componente electrónico 60 puede ser sustituido por otras configuraciones de MRAM y de lógica. Por ejemplo, el componente electrónico 60 puede ser sustituido por la lógica 204 y la STT MRAM 206 de la FIGURA 2; puede ser sustituido por cada uno de los bloques 306 de MRAM y cada uno de los núcleos lógicos 304-1 a 304-N de la FIGURA 3; puede ser sustituido por cada uno de los núcleos lógicos 404-1 a 404-N y por los bloques integrados 406 de MRAM de la FIGURA 4; y puede ser sustituido por la lógica 501 y por la MRAM integrada 503 de la FIGURA 5. Así, las diversas realizaciones de la presente divulgación no están limitadas a ninguna 25 configuración particular de bloques de MRAM con respecto a los sistemas electrónicos particulares.

Pasando ahora a la FIGURA 7, la FIGURA 7 es un diagrama de bloques que ilustra un sistema electrónico 70 configurado según una realización de la presente divulgación. El sistema electrónico 70 es un bloque 700 de lógica de múltiples núcleos, un bloque 701 de RAM y un bloque 702 de STT MRAM. En la realización del sistema electrónico 70 representado en la FIGURA 7, se usa el bloque 702 de STT MRAM únicamente para almacenar 30 información de estado para el bloque 701 de RAM. La información de estado en el bloque 700 de lógica de múltiples núcleos se guarda dentro de memoria no volátil dentro de cada uno de los circuitos 703 y 706 de retención. La tecnología que subyace a este almacenamiento de circuitos de retención de memoria no volátil se describe con mayor detalle en la publicación de patente, de titularidad compartida, con número de serie US2010/0141332, titulada "NON-VOLATILE STATE RETENTION LATCH".

35 El bloque 700 de lógica de múltiples núcleos incluye los circuitos 703 y 706 de retención acoplados con los bloques lógicos mixtos 704 y 705. Usando las configuraciones de memoria magnética no volátil descritas en la publicación de patente mencionada anteriormente para las memorias no volátiles 707 y 708, pueden almacenarse y mantenerse tanto la información de estado contenida dentro del bloque 701 de RAM como la información de estado contenida dentro del bloque 700 de lógica de múltiples núcleos mientras está cortada la alimentación eléctrica del sistema electrónico 70. Así, el sistema electrónico 70 puede entrar en un estado de espera de ahorro de energía mientras 40 sigue manteniendo la información de estado para un encendido instantáneo cuando el usuario decida reactivar el sistema. Por lo tanto, se consume o se fuga poca energía, o ninguna, mientras el sistema electrónico 70 está en el modo de espera, porque ni el bloque 702 de STT MRAM ni las memorias no volátiles 707 y 708 dentro de los bloques 700 de lógica multinúcleo requieren energía alguna.

45 La FIGURA 8 es un diagrama de flujo que ilustra bloques ejemplares ejecutados para implementar una realización de la presente divulgación. En el bloque 800, se recibe una señal de paso a modo de espera que solicita a una o más unidades funcionales de un sistema informático que entre en un estado de espera. Una unidad funcional es un conjunto de registros y de lógica mixta que lleva a cabo una función básica. Por ejemplo, las unidades funcionales incluyen unidades de enteros, unidades multimedia (por ejemplo, un CÓDEC audiovisual), etcétera. En respuesta a 50 la recepción de la señal de paso a modo de espera, en el bloque 801 se guarda al menos una porción de un estado operativo actual de las unidades funcionales en una memoria magnética de acceso aleatorio (MRAM) acoplada a las unidades funcionales. En el bloque 802 se corta el suministro eléctrico a las una o más unidades funcionales una vez que se guarde el estado operativo actual. En el bloque 803, se recibe una señal de reactivación que solicita a las unidades funcionales en el modo de espera que entren en un modo operativo. En el bloque 804, en respuesta a la 55 recepción de la señal de reactivación, se restaura el suministro eléctrico de la fuente de alimentación a las unidades funcionales en el modo de espera. En el bloque 805 se devuelve el estado operativo actual a las unidades funcionales.

Debe hacerse notar que aunque las realizaciones ilustradas de la presente divulgación han sido identificadas como un teléfono móvil, un reproductor de medios digitales y un ordenador de sobremesa, las diversas realizaciones no

están limitadas a estas implementaciones. La presente divulgación puede adoptar la forma de un número cualquiera de sistemas electrónicos que procesen algo y que tengan un estado de procesamiento que se pueda mantener.

5 Para los fines de esta divulgación, se considera que un bloque de MRAM es un elemento de almacenamiento en el que los datos no se guardan como una carga eléctrica ni flujos de corriente, sino mediante elementos de almacenamiento magnético. Los elementos magnéticos se forman generalmente a partir de dos placas ferromagnéticas, cada una de las cuales puede contener un campo magnético, separadas por una capa aislante delgada. En una realización, una de las dos placas es un imán permanente configurado en una polaridad particular. El campo magnético de la otra placa puede ser configurado cambiándolo para que coincida con el de un campo externo. Un bloque de MRAM se construye a partir de una cuadrícula de tales "células".

10 Aunque algunas realizaciones presentadas en la presente memoria están descritas con respecto a una memoria magnética de acceso aleatorio y, más en particular, a memoria magnética de acceso aleatorio por par de transferencia de espín (STT), se puede contemplar que las características descritas se apliquen también a dispositivos tales que incluyan una memoria de acceso aleatorio de cambio de fase (PCRAM), una memoria de acceso aleatorio basada en la resistencia (R-RAM), o a cualquier dispositivo que pueda almacenar de forma no volátil un estado de memoria programable eléctricamente basado en la resistencia, es decir, en ausencia de energía eléctrica de sostén, que sea reprogramable a varios estados, ya sea mediante efectos eléctricos, magnéticos, electromagnéticos (por ejemplo, ópticos) o una combinación de tales efectos físicos.

20 Aunque la presente invención y sus ventajas han sido descritas en detalle, debería entenderse que en la presente memoria pueden realizarse cambios, sustituciones y alteraciones diversos sin apartarse del ámbito de la invención, definido por las reivindicaciones adjuntas. Por ejemplo, aunque la descripción precedente ha presentado la sustitución de ciertos tipos de memoria, tales como la DRAM o la RAM no volátil, la divulgación no está limitada a tales realizaciones. Más bien, pueden permanecer según sea necesario porciones de cada tipo de memoria, sustituyendo la MRAM únicamente ciertas porciones de cada tipo de memoria. Además, no se pretende que el ámbito de la presente solicitud esté limitado a las realizaciones particulares del proceso, a la máquina, la fabricación, la composición química, la composición química, los medios, los procedimientos ni a las etapas descritas en la memoria. Según apreciará de inmediato una persona con un dominio normal de la técnica a partir de la divulgación de la presente invención, los procesos, las máquinas, la fabricación, las composiciones químicas, los medios, los procedimientos o las etapas, que existan en la actualidad o que hayan de desarrollarse posteriormente, que lleven a cabo sustancialmente la misma función o logren sustancialmente el mismo resultado que las correspondientes realizaciones descritas en la presente memoria pueden ser utilizados según la presente invención. En consecuencia, se pretende que las reivindicaciones adjuntas incluyan en su alcance tales procesos, máquinas, fabricación, composiciones químicas, medios, procedimientos o etapas.

REIVINDICACIONES

1. Un sistema informático (20; 30; 40; 50; 60) que comprende:

5 una pluralidad de bloques funcionales (200; 300; 400), incluyendo cada bloque funcional una unidad funcional (204; 304; 404; 501; 700), y un bloque (206; 306; 406; 503; 601; 702) de memoria magnetorresistiva de acceso aleatorio, MRAM, acoplado a la unidad funcional, estando configurado el bloque de MRAM para almacenar un estado operativo de la unidad funcional (204; 304; 404; 501; 700) durante un estado de espera del bloque funcional que incluye la unidad funcional; en el que el sistema informático está adaptado para poner uno de los bloques funcionales en un estado de espera cuando otro de los bloques funcionales está en un estado activado.
- 10 2. El sistema informático (20; 30; 40; 50; 60) de la reivindicación 1 que, además, comprende:

un bloque de memoria de acceso aleatorio (RAM) acoplado a la primera unidad funcional (204; 304; 404; 501; 700) y al bloque de MRAM, en el que el bloque de RAM está configurado para almacenar una porción del estado operativo de la primera unidad funcional (204; 304; 404; 501; 700) durante un estado activado de la primera unidad funcional (204; 304; 404; 501; 700), y en el que el bloque de MRAM está configurado, además, para almacenar la porción durante el estado de espera.
- 15 3. El sistema informático (20; 30; 40; 50; 60) de la reivindicación 2 que, además, comprende:

un bloque de desplazamiento de datos configurado para transferir la porción del estado operativo situada en la RAM al bloque de MRAM durante el estado de espera.
- 20 4. El sistema informático (20; 30; 40; 50; 60) de la reivindicación 1, en el que el bloque de MRAM es un bloque de MRAM por par de transferencia de espín (STT).
5. El sistema informático (20; 30; 40; 50; 60) de la reivindicación 1 en el que el estado operativo comprende varios datos que representan el estado operativo de la unidad funcional (204; 304; 404; 501; 700).
- 25 6. El sistema informático (20; 30; 40; 50; 60) de la reivindicación 1, en el que el bloque de MRAM comprende un chip de STT MRAM y la unidad funcional (204; 304; 404; 501; 700) comprende un chip de unidad funcional, y en el que el chip de STT MRAM y el chip de unidad funcional están apilados uno sobre otro y soldados entre sí con una o más almohadillas conductoras de conexión.
- 30 7. El sistema informático (20; 30; 40; 50; 60) de la reivindicación 1, en el que el bloque de MRAM está acoplado a la unidad funcional (204; 304; 404; 501; 700) encapsulando el bloque de MRAM en un sustrato de silicio de la unidad funcional (204; 304; 404; 501; 700) durante la fabricación de la unidad funcional (204; 304; 404; 501; 700).
8. El sistema informático (20; 30; 40; 50; 60) de la reivindicación 1, en el que el bloque de MRAM está acoplado a la unidad funcional (204; 304; 404; 501; 700) a través de un bus de transmisión en el sistema informático (20; 30; 40; 50; 60).
- 35 9. Un procedimiento de operación de un sistema informático que incluye una pluralidad de bloques funcionales, que comprende:

recibir una señal de paso a modo de espera que solicita a un bloque funcional (200; 300; 400) del sistema informático (20; 30; 40; 50; 60), incluyendo una unidad funcional (204; 304; 404; 501; 700), que entre en un estado de espera;

40 en respuesta a la recepción de la señal de paso a modo de espera, almacenar una porción de un estado operativo actual de la unidad funcional (204; 304; 404; 501; 700) en una memoria magnética de acceso aleatorio, MRAM, dentro del bloque funcional (200; 300; 400), estando acoplada la MRAM a la unidad funcional (204; 304; 404; 501; 700); y

45 interrumpir el suministro eléctrico del bloque funcional (200; 300; 400), incluyendo la unidad funcional (204; 304; 404; 501; 700), una vez que esté almacenado el estado operativo actual cuando se ponga otro bloque funcional en un estado activado.
10. El procedimiento de la reivindicación 9 que, además, comprende:

recibir una señal de reactivación que solicita a la unidad funcional (204; 304; 404; 501; 700) en el modo de espera que entre en un modo operativo;

50 en respuesta a la recepción de la señal de reactivación, restaurar el suministro eléctrico a la unidad funcional (204; 304; 404; 501; 700) en el modo de espera; y

cargar la porción del estado operativo actual de la MRAM en la unidad funcional (204; 304; 404; 501; 700).
11. El procedimiento de la reivindicación 9, en el que el almacenamiento comprende:

realizar un barrido de la unidad funcional (204; 304; 404; 501; 700) en busca de datos de entre la pluralidad de datos que definen una porción del estado operativo actual; transmitir a la MRAM los datos de entre la pluralidad de datos desde la unidad funcional (204; 304; 404; 501; 700); y transferir a la MRAM datos adicionales de entre la pluralidad de datos que definen otra porción del estado operativo actual desde una memoria de acceso aleatorio (RAM) acoplada dentro de la unidad funcional (204; 304; 404; 501; 700).

5
12. El procedimiento de la reivindicación 11 que, además, comprende:

10 recibir una señal de reactivación que solicita a la unidad funcional (204; 304; 404; 501; 700) en el modo de espera que entre en un modo operativo; en respuesta a la señal de reactivación, restaurar el suministro eléctrico a la unidad funcional (204; 304; 404; 501; 700) en el modo de espera; cargar en la unidad funcional (204; 304; 404; 501; 700) los datos de entre la pluralidad de datos desde la MRAM; y
15 devolver a la RAM los datos adicionales de entre la pluralidad de datos desde la MRAM.

13. El procedimiento de la reivindicación 9, en el que el almacenamiento comprende:

20 almacenar datos de entre una pluralidad de datos que definen una porción del estado operativo actual de la unidad funcional (204; 304; 404; 501; 700) en una o más memorias magnéticas asociadas con uno o más circuitos de retención; y transferir a la MRAM datos adicionales de entre la pluralidad de datos que definen otra porción del estado operativo actual desde una memoria de acceso aleatorio (RAM) acoplada dentro de la unidad funcional (204; 304; 404; 501; 700).

14. El procedimiento de la reivindicación 13 que, además, requiere:

25 recibir una señal de reactivación que solicita a la unidad funcional (204; 304; 404; 501; 700) en el modo de espera que entre en un modo operativo; en respuesta a la señal de reactivación, restaurar el suministro eléctrico desde la fuente de alimentación a la unidad funcional (204; 304; 404; 501; 700) en el modo de espera; cargar en la unidad funcional (204; 304; 404; 501; 700) los datos de entre la pluralidad de datos desde las una o más memorias magnéticas; y
30 devolver a la RAM los datos adicionales de entre la pluralidad de datos desde la MRAM.

15. El procedimiento de la reivindicación 9, en el que la interrupción del suministro eléctrico comprende uno o ambos de:

desconectar la fuente de alimentación acoplada al bloque funcional; y crear un circuito abierto entre la fuente de alimentación y el bloque funcional.

35

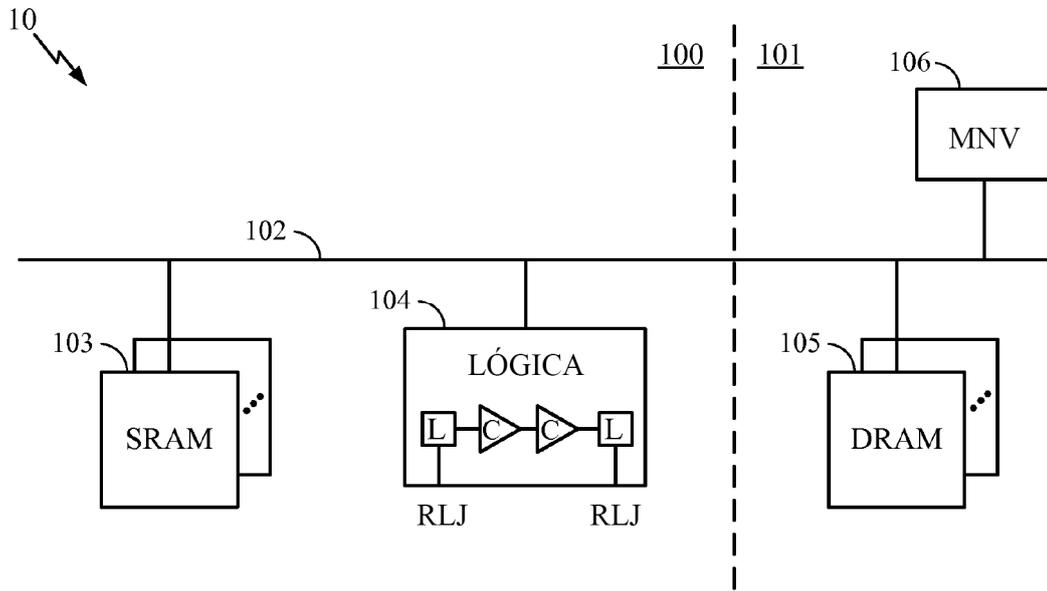


FIG. 1 (Técnica anterior)

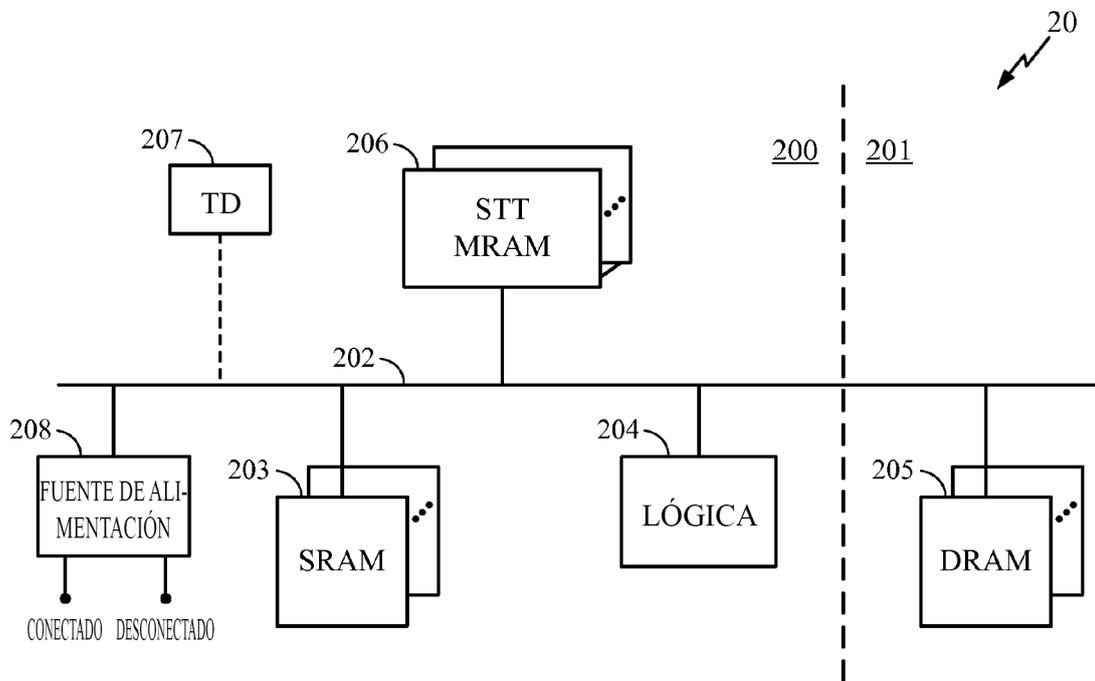


FIG. 2

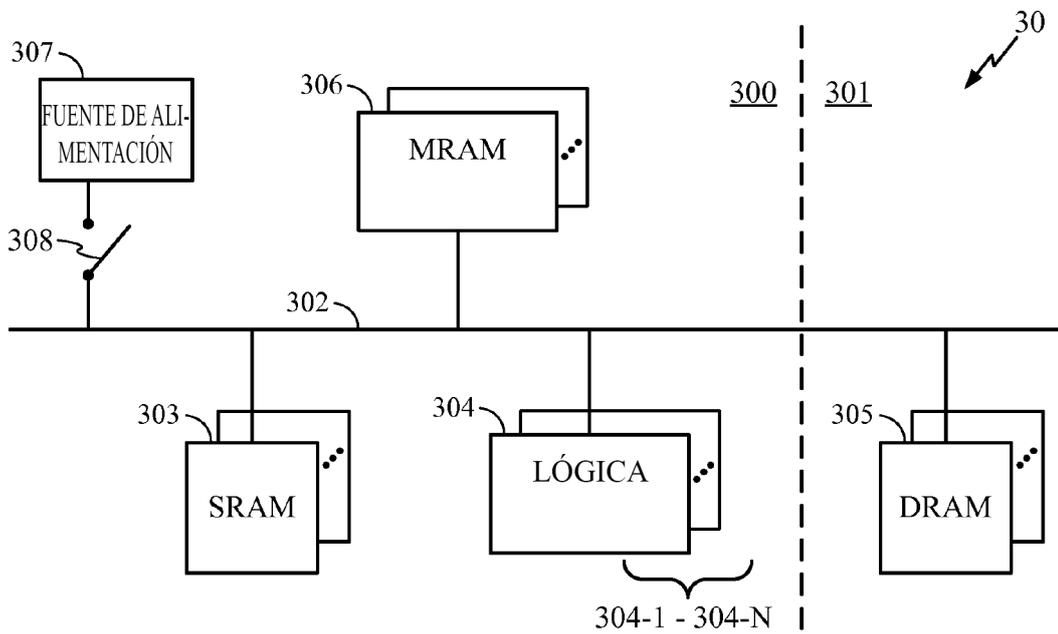


FIG. 3

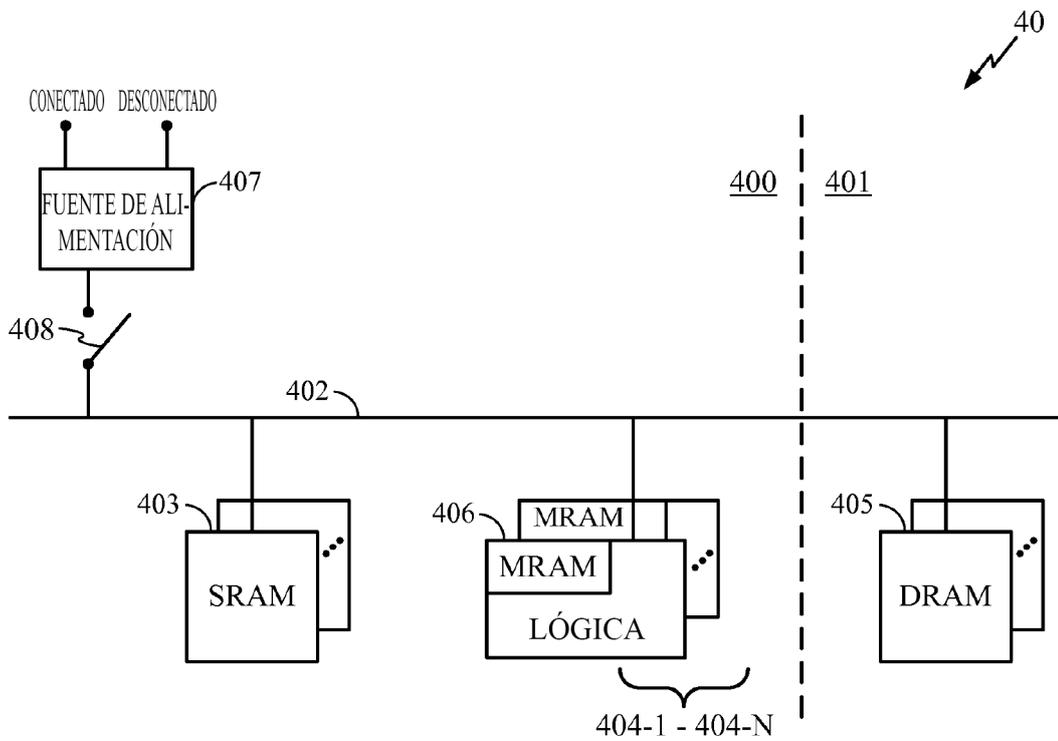


FIG. 4

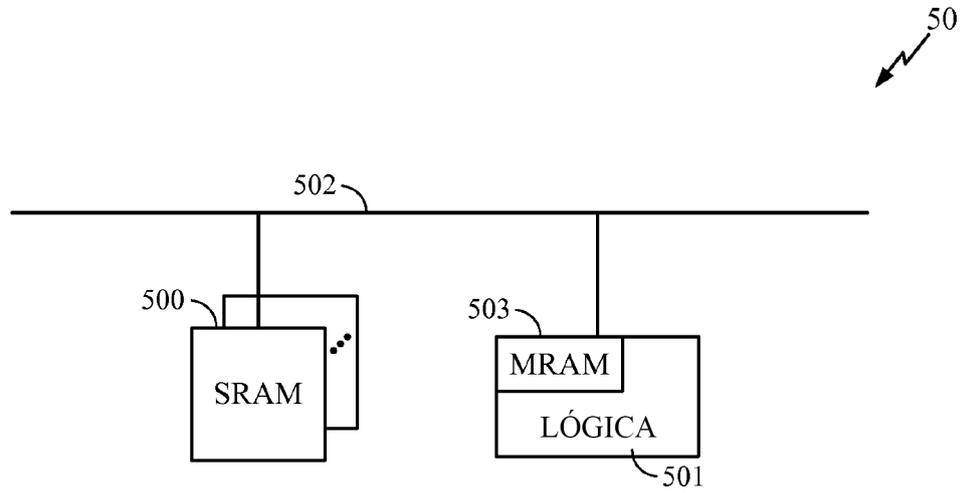


FIG. 5

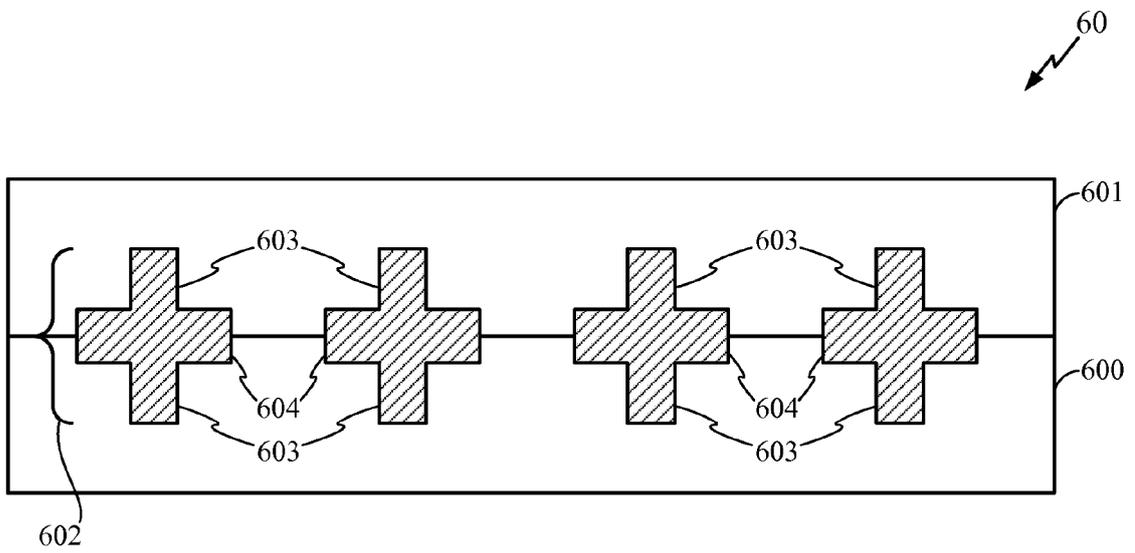


FIG. 6

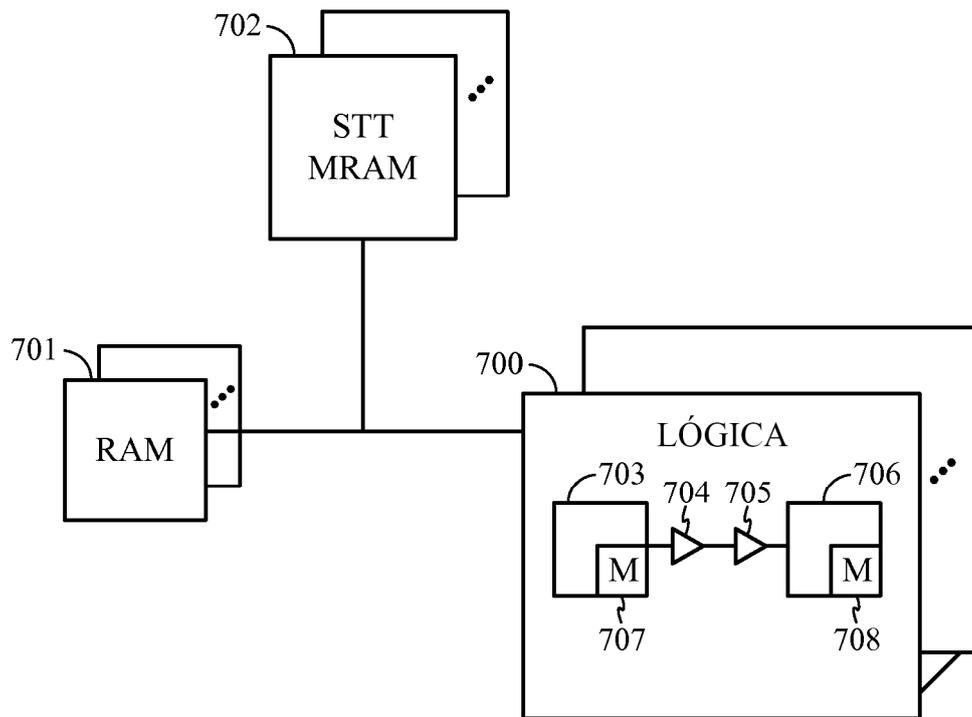


FIG. 7

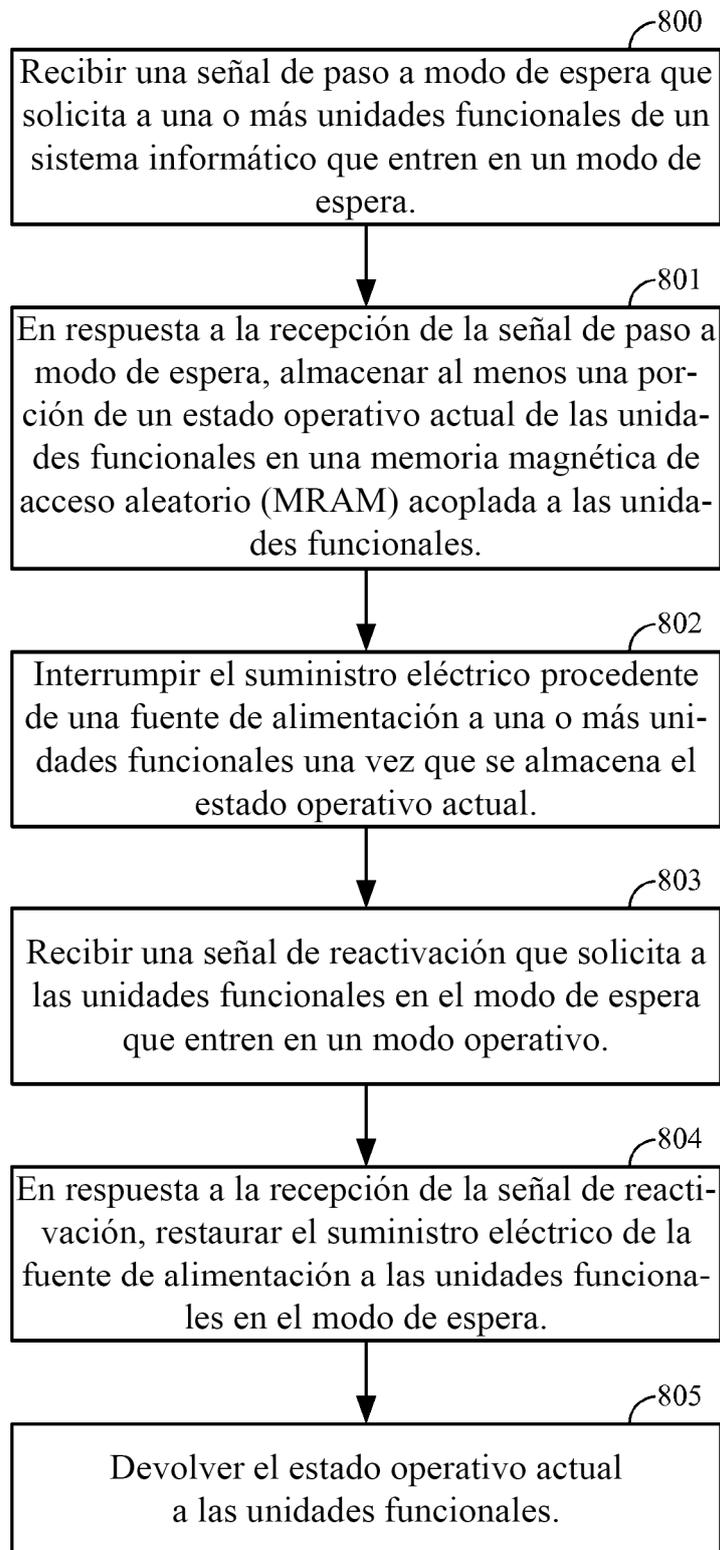


FIG. 8