

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 543 388**

51 Int. Cl.:

G11C 7/14 (2006.01)

G11C 8/08 (2006.01)

G11C 11/418 (2006.01)

G11C 7/08 (2006.01)

G11C 7/22 (2006.01)

G11C 11/419 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **11.11.2010 E 10788432 (2)**

97 Fecha y número de publicación de la concesión europea: **13.05.2015 EP 2499640**

54 Título: **Sistema y procedimiento de operación de un dispositivo de memoria**

30 Prioridad:

12.11.2009 US 617305

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

18.08.2015

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
International IP Administration 5775 Morehouse
Drive
San Diego, CA 92121, US**

72 Inventor/es:

**CHO, SUNG IL;
YOON, SEI SEUNG;
GUNDUBOGULA, NAVEEN;
ABU-RAHMA, MOHAMED H. y
PARK, DONGKYU**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 543 388 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema y procedimiento de operación de un dispositivo de memoria

I. Campo

La presente divulgación se refiere, en general, a la operación de un dispositivo de memoria.

5 II. Descripción de la técnica relacionada

Los avances de la técnica se han traducido en la aparición de unos dispositivos informáticos más pequeños y más potentes. Por ejemplo, actualmente existe una pluralidad de dispositivos informáticos personales portátiles, incluyendo dispositivos informáticos inalámbricos, por ejemplo teléfonos inalámbricos portátiles, asistentes personales de datos (PDAs) y dispositivos de radiomensajería que son de pequeño tamaño, ligeros de peso y que pueden ser fácilmente llevados por los usuarios. Más concretamente, los teléfonos inalámbricos portátiles, por ejemplo los teléfonos celulares y los teléfonos del protocolo de Internet (IP), pueden comunicar paquetes de voz y datos por redes inalámbricas. Así mismo, muchos de estos teléfonos inalámbricos incluyen otros tipos de dispositivos que son incorporados en ellos. Por ejemplo, un teléfono inalámbrico puede también incluir una cámara fija digital, una cámara de video digital, una registradora digital y un reproductor de archivos audio. Así mismo, dichos teléfonos inalámbricos pueden procesar instrucciones ejecutables, incluyendo aplicaciones software, por ejemplo una aplicación de explorador web, que puede ser utilizada para acceder a Internet. En cuanto tales, estos teléfonos inalámbricos pueden incluir capacidades informáticas considerables.

La reducción del consumo de energía de los dispositivos informáticos personales portátiles permite el incremento del tiempo operativo entre la recarga o sustitución de la batería. La reducción de una tensión de alimentación de elementos electrónicos típicamente se traduce en un consumo de energía más bajo. Sin embargo, algunos elementos electrónicos pueden operar a una velocidad más lenta con una reducción de la tensión de alimentación

Dicha velocidad más lenta puede repercutir en la operación de determinados circuitos existentes dentro del dispositivo electrónico. Por ejemplo, algunos dispositivos de memoria, por ejemplo los dispositivos de memoria de acceso aleatorio estática (SRAM), pueden leer un valor de datos almacenado en una célula bit mediante la precarga de un par de líneas de bit acopladas a la célula bit y descargar una de las líneas de bit precargadas en base a un valor de datos almacenado en la célula bit. Un amplificador de lectura acoplado a las líneas de bit puede comparar las tensiones en las líneas de bit y generar una salida indicativa del valor de datos de la célula bit. El amplificador de lectura puede ser controlado a la vista de los condicionamientos competitivos de la espera de un desarrollo suficiente del diferencial de tensión para un resultado fiable pero reduciendo el retardo innecesario de la eficiencia de la energía. Los ahorros de energía pueden obtenerse reduciendo una tensión de alimentación de los elementos de control de la memoria para reducir el consumo de energía, que pueden, al menos parcialmente, ser contrarrestados el incremento de la diferencia de tensión en las líneas de bit cuando la tensión de alimentación reducida provoque la operación retardada del amplificador de lectura. El documento US 4 528 646 se refiere a una memoria de semiconductor con un consumo de corriente reducido. El documento US 2008/037338 se refiere a una memoria que incorpora un circuito de autotemporización que genera unas señales de control de memoria internas.

III. Sumario

Se divulga un sistema de memoria capaz de operar en un intervalo de tensiones de alimentación lógica. Una señal de habilitación de un amplificador de lectura se genera en un circuito de bucle en base a una primera señal en el circuito de bucle, mientras una activación de línea de palabra se basa en una señal posterior que es recibida en un circuito de habilitación de línea de palabra. Mediante el control de la temporización del circuito de habilitación de línea de palabra y del circuito de bucle, un dispositivo de memoria puede ser utilizado en un intervalo más amplio de tensiones de alimentación.

Por ejemplo, mediante el inicio de la operación del circuito de bucle antes del inicio de operación del circuito de habilitación de línea de palabra pueden ser compensados retardos considerables debido a la reducción de la tensión de alimentación lógica para, en el circuito de bucle, mantener un retardo suficientemente constante entre una polarización de línea de palabra y una señal de habilitación de amplificador de lectura. Como resultado de ello, una cantidad de desarrollo de diferencial de tensión durante una lectura de memoria puede resultar sustancialmente no afectada por el descenso de la tensión de alimentación lógica, permitiendo un incremento de los ahorros de energía.

En un ejemplo concreto, se divulga un aparato que incluye una célula bit acoplada a una primera línea de bit y a una segunda línea de bit. El aparato incluye también un amplificador de lectura acoplado a la primera línea de bit y a la segunda línea de bit. El aparato incluye además un circuito de bucle configurado para proporcionar una señal de habilitación de amplificador de lectura al amplificador de lectura en respuesta a la recepción de una primera señal. El aparato incluye un circuito de habilitación de línea de palabra configurado para proporcionar una señal de habilitación de línea de palabra a un circuito de ataque de línea de palabra en respuesta a la recepción de una segunda señal. El circuito de bucle recibe la primera señal antes de que el circuito de habilitación de línea de palabra reciba la segunda señal.

En otro ejemplo concreto, un procedimiento incluye la recepción de una señal de entrada en un dispositivo de memoria que incluye una célula bit que está acoplada a una línea de palabra y que está acoplado a un amplificador de lectura por medio de una primera línea de bit y de una segunda línea de bit. El procedimiento incluye, en respuesta a la recepción de la señal de entrada, el envío de una primera señal a un circuito de bucle para iniciar una operación de circuito de bucle y el envío de una segunda señal a un circuito de habilitación de línea de palabra para iniciar la generación de una señal de línea de palabra en la línea de palabra. La primera señal es enviada antes que la segunda señal.

En una forma de realización, se divulga un dispositivo de acuerdo con la reivindicación 1. En otra forma de realización, se divulga un procedimiento de acuerdo con la reivindicación 9.

Una ventaja específica obtenida por al menos una de las formas de realización divulgadas es que, debido a que el circuito de bucle recibe la primera señal antes de que la señal de aplicación de línea de palabra reciba la segunda señal, se puede admitir un retardo del circuito de bucle en la generación de una señal de habilitación de amplificador de lectura debido a una tensión de alimentación reducida, incluso cuando el retardo sobrepase el tiempo requerido para que se desarrolle un umbral de diferencial de tensión después de que se haya recibido la segunda señal en el circuito de habilitación de línea de palabra. Como resultado de ello, se puede obtener una operación de energía más baja que en aquellos sistemas en los que el circuito de bucle y el circuito de habilitación de línea de palabra son desencadenados por una señal común.

Otros aspectos, ventajas y características de la presente divulgación se pondrán de manifiesto después del examen de la entera solicitud, incluyendo las siguientes secciones: Breve Descripción de los Dibujos, Descripción Detallada y las Reivindicaciones.

IV. Breve descripción de los dibujos

La FIG. 1 es un diagrama de bloques de una primera forma de realización ilustrativa de un sistema de memoria que incorpora un circuito de bucle y un circuito de habilitación de línea de palabra.

la FIG. 2 es un diagrama de una segunda forma de realización ilustrativa de un sistema de memoria que incorpora un circuito de bucle y un circuito de habilitación de línea de palabra.

la FIG. 3 es un diagrama de temporización de una forma de realización concreta de señales del sistema de memoria de la FIG. 2;

la FIG. 4 es un diagrama de flujo de una forma de realización ilustrativa concreta de un procedimiento de operación del sistema de la FIG. 2;

la FIG. 5 es un diagrama de flujo de una primera forma de realización ilustrativa concreta de un procedimiento de operación de un sistema de memoria;

la FIG. 6 es un diagrama de flujo de una segunda forma de realización ilustrativa concreta de un procedimiento de operación de un sistema de memoria;

la FIG. 7 es un diagrama de bloques de un dispositivo portátil que incluye un sistema de memoria que incorpora un circuito de bucle que es habilitado antes que un circuito de habilitación de línea de palabra; y

la FIG. 8 es un diagrama de flujo de datos de una forma de realización ilustrativa concreta de un proceso de fabricación para fabricar dispositivos electrónicos que incluyen un sistema de memoria que incorpora un circuito de bucle que es habilitado antes que un circuito de habilitación de línea de palabra.

V. Descripción detallada

Con referencia a la FIG. 1, se representa una primera forma de realización ilustrativa de un sistema para recuperar datos de una célula bit y se designa, globalmente, con la referencia numeral 100. El sistema 100 incluye una célula bit representativa 102 que está acoplada a una línea de palabra 106, una primera línea de bit 108 y una segunda línea de bit 110. Un amplificador de lectura 104 está acoplado a la primera línea de bit 108 y a la segunda línea de bit 110. Un circuito de habilitación de línea de palabra 112 está acoplado a un circuito de ataque de línea de palabra 138 que está acoplado a la línea de palabra 106. Un circuito de bucle 114 está acoplado al amplificador de lectura 104. El circuito de bucle 114 es sensible a una primera señal 101 y el circuito de habilitación de línea de palabra es sensible a una segunda señal 103. La primera señal 101 es suministrada al circuito de bucle 114 antes de que la segunda señal 103 sea suministrada al circuito de habilitación de línea de palabra 112. Como resultado de ello, se puede ajustar una temporización de una operación del circuito de bucle 114 para adaptarse a un retardo dentro del circuito de bucle 114 debido a un valor de la tensión de alimentación.

En una forma de realización concreta, una célula bit 102 está configurada para almacenar un valor de datos, por ejemplo un valor de datos de lógica elevada o de lógica baja. Por ejemplo, la célula bit 102 puede ser una célula bit de una memoria de acceso aleatorio estática (SRAM). Con fines ilustrativos, la célula bit 102 puede ser una célula bit de 6 transistores (6T). La célula bit 102 es sensible a una tensión en la línea de palabra 106 para hacer que la célula

bit 102 sea selectivamente acoplada a las primera y segunda líneas de bit 108 y 110. En una forma de realización concreta, una tensión aplicada a la línea de palabra 106 puede hacer que la célula bit 102 aplique una primera tensión a la primera línea de bit 108 y una segunda tensión a la segunda línea de bit 110. Por ejemplo, la tensión aplicada a la primera línea de bit 108 puede representar un valor de datos almacenado en la célula bit 102, y un valor de datos complementario, por ejemplo la lógica "no" del valor aplicado a la línea de bit 108, puede ser aplicado a la segunda línea de bit 110 (por ejemplo, una barra de línea de bit, o BLB).

En una forma de realización concreta, el amplificador de lectura 104 está configurado para recibir una primera tensión por medio de la primera línea de bit 108 y una segunda tensión por medio de la segunda línea de bit 110. El amplificador de lectura 104 está configurado para generar un valor de salida 116 indicativo de un diferencial de tensión entre la primera línea de bit 108 y la segunda línea de bit 110. Por ejemplo, cuando la primera línea de bit 108 presenta un voltaje más elevado que la segunda línea de bit 110, el valor de salida 116 puede ser un valor elevado lógico, y cuando la segunda línea de bit 108 presenta una tensión más baja que la segunda línea de bit 110, el valor de salida 116 puede ser un valor bajo lógico. El amplificador de lectura 104 puede ser sensible a una señal de habilitación del amplificador de lectura (SAEN) 105 que es recibida a partir del circuito de bucle 114. El amplificador de lectura 104 puede presentar un umbral de sensibilidad diferencial, para que la diferencia de tensión entre la primera línea de bit 108 y la segunda línea de bit 110 que sobrepase el umbral de sensibilidad diferencial pueda ser fácilmente leída, aunque un diferencial de tensión que no sobrepase el umbral de sensibilidad diferencial no pueda ser fácilmente leído.

En una forma de realización concreta, el circuito de habilitación de línea de palabra 112 es sensible a la segunda señal 103. El circuito de habilitación de línea de palabra 112 está configurado para proporcionar una señal de habilitación de línea de palabra (WLEN) 113 al circuito de ataque de línea de palabra 138 para habilitar el acceso a la célula bit 102 por medio de una señal de línea de palabra. Por ejemplo, el circuito de ataque de línea de palabra 138 puede proporcionar una señal de línea de palabra a las líneas de palabra 106, como por ejemplo una tensión aplicada a la línea de palabra 106 en respuesta a la señal de habilitación de línea de palabra 113 procedente del circuito de línea de palabra 112.

En una forma de realización concreta, un circuito de bucle 114 es sensible a la primera señal 101 y está configurado para proporcionar la señal de habilitación de amplificador de lectura (SAEN) 105 al amplificador de lectura 104. El circuito de bucle 114 puede ser además sensible a una o más señales (no mostradas) indicativas de una descarga de una línea de bit para determinar una temporización para indicar la señal de habilitación de amplificador de lectura 105. Por ejemplo, cuando las primera y segunda líneas de bit 108, 110 están precargadas hasta un nivel de tensión, y después de que la línea de palabra 106 sea polarizada con una tensión para aplicar la célula de bit 102 a las líneas de bit 108, 110, puede transcurrir un espacio de tiempo antes de que se obtenga un diferencia de señal que sobrepase el umbral de sensibilidad diferencial en las líneas de bit 108 y 110. Como resultado de ello, se introduce un retardo en el circuito de bucle 114 de forma que la señal de habilitación de amplificador de lectura 105 está suministrado al amplificador de lectura 104 después de que sea suficiente para unos datos leídos fiables un diferencial de tensión desarrollado en las líneas de bit 108 y 110.

Como se ilustra en las diversas trazas de señal ilustrativas en el programa de temporización de la FIG. 1, la primera señal 101 es activada antes de la activación de la segunda señal 103. El circuito de bucle 114 recibe la primera señal 101 antes de que el circuito 112 de habilitación de línea de palabra reciba la segunda señal 103. Aunque se ilustra una activación como una transición de un nivel lógico bajo a un nivel lógico alto a lo largo de la presente divulgación, se debe entender que las señales de activación puede incluir una transición de un nivel lógico alto a un nivel lógico bajo, o u no o más impulsos, u otras señales de activación. Así mismo, aunque algunas transiciones de señal se ilustran como instantáneas en aras de la claridad de la ilustración, cualquiera o todas las transiciones pueden producirse a lo largo de un periodo de transición y pueden no ser instantáneas.

En respuesta a la activación de la segunda señal 103, la señal de habilitación de línea de palabra 113 es suministrada al circuito de ataque de línea de palabra 138. En respuesta, la tensión de la línea de palabra 106 se ilustra una transición de un nivel lógico bajo a un nivel lógico alto. Con fines ilustrativos, la línea de palabra 106 puede ser suministrada a las puertas de transistores tipo n, de forma que los transistores de efecto de campo de tipo n (NFETs), para acoplar los nodos de la célula bit 102 a las líneas de bit 108 y 110. En respuesta a la transición de la tensión de la línea de palabra 106 al valor lógico alto, un diferencial de tensión entre la primera línea de bit precargada 108 y la segunda línea de bit precargada 110 comience a desarrollar, aumentando con el tiempo hasta que se alcance el umbral de sensibilidad diferencial 120. Poco después de que se alcance el umbral de sensibilidad diferencial 120, la señal de habilitación de amplificador de lectura 105 efectúa una transición de un nivel lógico bajo a un nivel lógico alto y en respuesta a la transición de la señal de habilitación de amplificador de lectura 105, el amplificador de lectura 104 genera la salida de amplificador de lectura 116 que presenta un valor indicativo del diferencial de tensión entre las líneas bit 108 y 110.

El sistema 100 puede ser utilizado en dispositivos electrónicos con tensiones de alimentación diversas. Cuando la tensión de alimentación disminuye, sin embargo, puede aumentar un retardo asociado con los transistores lógicos dentro del circuito de bucle 114. Por ejemplo, cuando una tensión de alimentación se aproxima a una tensión de umbral de un transistor dentro del circuito de bucle 114 puede disminuir una corriente que discurre a través del transistor, ralentizando una operación del conjunto de circuitos dispuesto dentro del circuito de bucle 114. De esta

manera, la señal de habilitación del amplificador de lectura 105 puede experimentar un incremento del retardo en respuesta a la primera señal 101 cuando disminuye la tensión de habilitación, como el caso de diversas aplicaciones de baja energía. Como resultado de ello, si la señal de habilitación del amplificador de lectura 105 se retarda más allá del umbral de sensibilidad diferencial 120, aumenta el consumo de energía debido al incremento del diferencial de tensión entre las líneas de bit 108 y 110. De esta manera, disponiendo la primera señal 101 antes de la segunda señal 103, el amplificador de lectura 105 cuenta con un tiempo adicional para ajustar una tensión operativa más baja. Como resultado de ello, el consumo de energía del sistema 100 se puede reducir y mejorar sustancialmente en el intervalo de las tensiones operativas.

Con referencia a la FIG. 2, se representa y se designa globalmente con la referencial 200 una segunda forma de realización ilustrativa de un sistema para leer datos a partir de una célula bit. El sistema 200 incluye un dispositivo de memoria 220 que incorpora una célula bit representativa 202 acoplada a un amplificador de lectura 204. La célula bit 202 está acoplada a una línea de palabra 206, a una primera línea de bit 208 y a una segunda línea de bit 210. Un circuito de habilitación de línea de palabra 212 está acoplado a un circuito de ataque de línea de palabra 238, el circuito de ataque de línea de palabra 238 está acoplado para disponer una salida para el amplificador de lectura 204 y para el circuito de habilitación de línea de palabra 212. Un circuito de temporización 232 está acoplado para recibir una señal de entrada 231 y para proporcionar una primera señal 201 al circuito de bucle 214 y una segunda señal 203 al circuito de habilitación de línea de palabra 212. En una forma de realización concreta, el sistema 200 de la FIG. 2 se corresponde con el sistema 100 de la FIG. 1.

En una forma de realización concreta, el circuito de temporización 232 incluye una entrada 250 para recibir la señal de entrada 231. Por ejemplo, la señal de entrada 231 puede ser una señal de reloj. Un primer conjunto de puertas 234, como por ejemplo unos inversores acoplados en serie, está adaptado para aplicar un retardo a una señal de entrada 231 para generar la primera señal 201 en una primera salida 252. La primera señal 201 inicia una operación del circuito de bucle 214. Un segundo conjunto de puertas 236 genera la segunda señal 203 en una segunda salida 254. Aunque el circuito de temporización 232 se ilustra con la incorporación de un primer conjunto de puertas 234 y el segundo conjunto de puertas 236, en otras formas de realización el circuito de temporización 232 puede incluir más puertas, menos puertas u otros elementos de circuito, de forma que el circuito de temporización 232 sea sensible a la señal de entrada 231 e incluya la primera salida 252 para suministrar la primera señal 201 y la segunda salida 204 para suministrar la segunda señal 203, cuando la primera señal 201 se produzca antes de la segunda señal 203.

En una forma de realización concreta, el circuito de habilitación de línea de palabra 213 está configurado para suministrar una señal de habilitación de línea de palabra (WLEN) 213 al circuito de ataque de línea de palabra 238 en respuesta a la recepción de la segunda señal 238. El circuito de habilitación de línea de palabra es sensible a la segunda señal 203 para generar la señal de habilitación de línea de palabra 213. El circuito de habilitación de línea de palabra 212 puede también ser sensible a una señal de inhabilitación 245 procedente de una salida del circuito de bucle 214 para inhabilitar la señal de habilitación de línea de palabra 213. La señal de habilitación de línea de palabra 213 es suministrada al circuito de ataque de línea de palabra 238.

En una forma de realización concreta, el circuito de ataque de línea de palabra 238 es sensible a la señal de habilitación de línea de palabra 213 enviada desde el circuito de habilitación de línea de palabra 212. El circuito de ataque de línea de palabra 238 puede ser adaptado para quitar una polarización a la línea de palabra 206 en respuesta a la señal de habilitación de línea de palabra 213. El circuito de ataque de línea de palabra 238 y el dispositivo de memoria 220 que incluye la célula bit representativa 202 pueden existir en un dominio de tensión de memoria 264, mientras otros componentes del sistema 200 pueden existir en un dominio de tensión lógico 260. El dominio de tensión de memoria 264 puede tener una tensión de alimentación más alta 266 (Vdd_H) que una tensión de alimentación 262 (Vdd_L) del dominio de tensión lógico 260. Un desfaseador de nivel (no mostrado) puede estar acoplado entre el circuito de habilitación de línea de palabra y el circuito de ataque de línea de palabra 238 para ajustar una tensión de la señal de habilitación de línea de palabra 213 desde el dominio de tensión lógico 260 hasta el dominio de tensión de memoria 264.

En una forma de realización concreta, el dispositivo de memoria 220 incluye la célula bit representativa 202, la línea de palabra 206, las líneas de bit 208 y 210 y el amplificador de lectura 204. Por ejemplo, el dispositivo de memoria 220 puede ser un dispositivo SRAM y la célula bit 202 puede ser una célula bit de 6T. El dispositivo de memoria 220 puede también incluir una línea de palabra ficticia que esté acoplada a una línea de bit ficticia 243 por medio de múltiples células ficticias 240. La línea de palabra ficticia 242, la línea de bit ficticia 243 y las células ficticias 240 pueden simular una cantidad de capacitancia y carga que puede producirse sobre la línea de palabra 206 y una o más líneas de bit 208 y 210. La línea de bit ficticia 243 puede ser suministrada al circuito de bucle 214 para habilitar el circuito de bucle 214 para obtener la información de temporización relacionada con una descarga de las líneas de bit 208 y 210. Por ejemplo, la línea de bit ficticia 243 puede ser precargada y un tiempo de descarga de la línea de bit ficticia precargada 243 se puede aproximar a un tiempo de descarga de una de las líneas de bit 208 y 210 con arreglo a una diversidad de procesos, tensiones, temperaturas u otras condiciones operativas. La línea de bit ficticia 243 puede, por tanto, ser utilizada para temporizar una señal de habilitación de amplificador de lectura 205 de acuerdo con las condiciones operativas que pueden repercutir en el desarrollo del diferencial de tensión en las líneas de bit 208, 210.

En una forma de realización concreta, el circuito de bucle 214 está acoplado a la línea de bit ficticia 243 e incluye una porción de circuito programable 244. El circuito de bucle 214 también incluye una porción de circuito lógico 246. El circuito de bucle 214 es programable para ajustar un retardo de la señal de habilitación de amplificador de lectura 205. Por ejemplo, el circuito de bucle 214 puede ser programable para mantener un retardo sustancialmente constante entre la activación de la señal de línea de palabra en la línea de palabra 206 y la activación de la señal de habilitación de amplificador de lectura 205. El retardo sustancialmente constante puede ser sustancialmente independiente de una tensión de alimentación de la tensión de dominio lógico 260, por ejemplo la tensión de alimentación Vdd_L 262. En una forma de realización concreta, la porción de circuito programable 244 incluye múltiples dispositivos de descarga 248 que están acoplados a la línea de bit ficticia 243 y que pueden ser controlados para hacer posible un régimen de descarga ajustable de la línea de bit ficticia precargada 243. Por ejemplo, una descarga de la línea de bit ficticia 243 es habilitada por la primera señal 201. La señal de control 215 puede incluir una o más señales a los múltiples dispositivos de descarga 248 por ejemplo para polarizar una o más puertas de transistores de conmutación, para aumentar o reducir un régimen de descarga de la línea de bit ficticia precargada 243.

La porción de circuito lógico 246 es sensible a la descarga de la línea de bit ficticia y genera la señal de habilitación de amplificador de lectura 205. Debido a que la porción de circuito lógico 246 incluye un conjunto de circuitos que puede operar a una velocidad reducida cuando disminuye la tensión de alimentación de dominio lógico 262, Vdd_L, la porción de circuito programable 244 puede ser controlada para compensar el retardo de la porción de circuito lógico 246 de forma que permanezca sustancialmente constante con independencia de la tensión de alimentación 262 del dominio de tensión lógico 260, un retardo entre la línea de palabra 206 que es activada y el amplificador de lectura 204 que es habilitado.

La operación del sistema 200 se describe con respecto a la FIG. 3, que representa un diagrama de temporización de una forma de realización concreta de señales del sistema 200. Se genera la señal de entrada 231, ilustrada como una transición de baja a alta en un tiempo t1. En respuesta a la señal de entrada 231, la primera señal 201 es generada en el tiempo t2. Así mismo, la segunda señal 203 es generada después del tiempo t2.

En respuesta a la primera señal 201, se genera la señal de habilitación el amplificador de lectura 205. La señal de habilitación de amplificador de lectura 205 desencadena una operación de salida de amplificador de lectura 206. Un retardo 302 de la señal de habilitación de amplificador de lectura, desde la transición de la primera señal 201 hasta la transición de la señal de habilitación de amplificador de lectura 205, incluye un retardo programable 304 atribuible a la porción programable 244 y un retardo dependiente de la tensión de alimentación 306 atribuible a la porción de circuito lógico 242. Por ejemplo, en una primera tensión de alimentación Vdd_L1 308, el retardo dependiente de la tensión de alimentación 306 es relativamente corto, mientras que el retardo programable 304 es relativamente largo. A medida que la tensión de alimentación se reduce, por ejemplo en Vdd_L2 310 y Vdd_L3 312, aumenta el retardo dependiente de la tensión de alimentación 306, y disminuye el retardo programable 304 con el fin de mantener el retardo sustancialmente constante 302 de la señal de habilitación de amplificador de lectura 205.

En respuesta a la segunda señal 203, el circuito de habilitación de línea de palabra 212 genera la señal de habilitación de línea de palabra 213. En respuesta a la señal de habilitación de línea de palabra 213, el circuito de ataque de línea de palabra 238 hace pasar la tensión lógica baja en la línea de palabra 206 a una tensión de lógica alta en un tiempo t3. En respuesta a la transición de la línea de palabra 206, las líneas de bit precargadas 208 y 210 comienzan a desarrollar un diferencial de tensión 314 que aumenta desde el tiempo t3 hasta poco después de un tiempo t4. Cuando el diferencial de tensión 314 sobrepasa un umbral 320, por ejemplo un umbral de sensibilidad diferencial del amplificador de lectura 204, la señal de habilitación del amplificador de lectura 205 efectúa la transición en el tiempo t4. Después de que la señal de habilitación de amplificador de lectura 205 efectúa la transición en el tiempo t4, la salida de amplificador de lectura 210 genera la señal de salida de amplificador de lectura 216 indicativa del valor de datos en la célula bit representativa 202.

Mediante el control de la porción programable 244 del circuito de bucle 214, el retardo 302 de la señal de habilitación de amplificador de lectura 205 puede ser sustancialmente constante. Como resultado de ello, se puede mantener un retardo sustancialmente constante 322 entre la línea de palabra 206 que efectúa la transición y el amplificador de lectura 204 que lee el valor diferencial. El retardo sustancialmente constante 322 puede ser programado para que el diferencial de tensión 314 sobrepase el umbral de sensibilidad diferencial 320 antes de que el amplificador de lectura 204 genera la salida 216 indicativa de un valor de datos de la célula bit 202. El retardo sustancialmente constante 322 puede, así mismo, ser programado para que el amplificador de lectura 204 opere antes de que se produzca un consumo de energía sustancialmente añadido debido al desarrollo del diferencial de tensión 314.

Debido a que el circuito de bucle 214 es sensible a la primera señal 201 que se produce antes de la segunda señal 203, el retardo sustancialmente constante 322 puede ser mantenido a lo largo de un intervalo superior de la tensión de alimentación Vdd_L 262 que si el circuito de bucle 214 y el circuito de habilitación de línea de palabra 212 fueran directamente sensibles a una señal común. Por ejemplo, si el circuito de bucle 214 fuera sensible a la segunda señal 203, el retardo 302 de la señal de habilitación de amplificador de lectura no debería sobrepasar el retardo existente entre la segunda señal 203 y el diferencial de tensión 314 que satisficiera el umbral 320 para impedir un consumo de energía innecesario. En la primera tensión de alimentación ilustrada Vdd_L1 308, el retardo programable 304 puede ser ajustado para acortar el retardo 302 para que la señal de habilitación de amplificador de lectura 205 se produzca

en el tiempo t4. Sin embargo, a medida que la tensión de alimentación 262 del dominio de tensión lógico 260 se reduce, aumenta el retardo dependiente de la tensión de alimentación 306. A la menor tensión de alimentación ilustrada, Vdd_L3 312, el incremento del retardo dependiente de la tensión 306 puede ser demasiado amplio para contrarrestar una reducción del retardo programable 304 para mantener la señal de habilitación de amplificador de lectura 205 en el tiempo t4. Como resultado de ello, al reducirse la tensión de alimentación, la señal de habilitación de amplificador de lectura 205 empezaría a dispararse después del tiempo t4, con un correspondiente aumento del consumo de energía debido al mayor desarrollo del diferencial de tensión 314. Por el contrario, mediante el inicio de la operación del circuito de bucle en base a la primera señal 201 en base a la segunda señal 203, el circuito de bucle 214 ofrece una ventana de temporización incrementada (de t2 a t4) y puede mantener el retardo sustancialmente constante 322 a la tensión de alimentación reducida Vdd_L3 312.

Con fines ilustrativos, la operación del sistema 200 que utiliza la tensión de alimentación Vdd_L3 312 del dominio de tensión lógico 260 hace que el retardo 306 de la porción de circuito lógico 246 del circuito de bucle 214 sobrepase el retardo sustancialmente constante 322. De esta manera, si el circuito de bucle 214 fuera sensible a la segunda señal 203, el retardo sustancialmente constante 322 no podría mantenerse a la tensión de alimentación Vdd_L3 312. Sin embargo, como se ilustra en la FIG. 3, el circuito de bucle 214 que recibe la primera señal 201 antes de que el circuito de habilitación de línea de palabra 212 reciba la segunda señal 203, permite que la porción de circuito programable 244 del circuito de bucle 214 compense el retardo 306 de la porción de circuito lógico 246 para mantener el retardo sustancialmente constante 322. El avance de la primera señal 201 en comparación con la segunda señal 203 incrementa el margen de tiempo disponible en la porción de circuito programable 244 para compensar el retardo 306 debido a la porción de circuito lógico 246 y permite que se utilice una tensión de alimentación inferior 262 por el sistema 200 manteniendo al tiempo sustancialmente constante el retardo 322.

Con referencia a la FIG. 4, en ella se ilustra una forma de realización concreta de un procedimiento de operación del sistema de la FIG. 2. La señal de entrada 231 es recibida, en la referencia numeral 402. La primera señal 201 es generada después de un primer retardo y enviada al circuito de bucle 214, en la referencia numeral 404. El primer retardo corresponde a un tiempo de programación a través del primer conjunto 234 de puertas en el circuito de temporización 232.

La señal de habilitación de amplificador de lectura 205 es generada en el circuito de bucle, en la referencia numeral 406. La señal de habilitación de amplificador de lectura 205 puede ser generada después de que la línea de bit ficticia precargada 243 sea descargada a través de uno o más de los dispositivos de descarga 248 correspondientes a un retardo programable 408. En respuesta a la descarga de la línea de bit ficticia 243, la señal de habilitación de amplificador de lectura 205 es generada por la porción de circuito lógico 246 del circuito de bucle 214 después de un retardo dependiente de la tensión 410.

En la referencia numeral 412, el amplificador de lectura 204 revine la señal de habilitación de amplificador de lectura 205 y genera la señal de salida de amplificador de lectura 216 en base al diferencial de tensión de la línea de bit - barra de líneas de bit (BL / BLB) en la primera línea de bit 208 y en la segunda línea de bit 210.

Después de generar la primera señal 201, en la referencia numeral 404, la segunda señal 203 es generada después de un segundo retardo, en la referencia numeral 414. El segundo retardo puede corresponder a un tiempo de propagación a través del segundo conjunto 236 de puertas en el circuito de temporización 232. La segunda señal 203 es suministrada al circuito de habilitación de la línea de palabra 212.

El circuito de habilitación de línea de palabra 212 genera la señal de habilitación de línea de palabra 213 que es enviada al circuito de ataque de línea de palabra 238, en la referencia numeral 416. El circuito de ataque de línea de palabra 238 genera una señal de línea de palabra sobre la línea de palabra 206. Por ejemplo, el circuito de ataque de línea de palabra 238 puede aplicar una polarización a la línea de palabra 206 para encender los transistores de acceso dispuestos en la célula bit 202, en la referencia numeral 418.

La señal de línea de palabra hace que la célula bit 202 comience a descargar, ya sea la primera línea de bit 208 o bien la segunda línea de bit 210 (por ejemplo BL o BLB) e inicia el desarrollo del diferencial de tensión BL / BLB, en la referencia numeral 420. El diferencial de tensión BL / BLB continúa desarrollándose hasta que la polarización de la línea de palabra es desactivada, en la referencia numeral 422. Por ejemplo, en respuesta a la descarga de la línea de bit ficticia 243, puede suministrarse la señal de inhabilitación 245 al circuito de habilitación de línea de palabra 212. El circuito de habilitación de línea de palabra 212 puede responder a la señal de inhabilitación 245 desactivando la señal de habilitación de línea de palabra 213, haciendo que el circuito de ataque de línea de palabra 238 polarice la línea de palabra 206 en un nivel lógico bajo.

El procedimiento de la FIG. 4 se puede llevar a cabo en un procesador integrado en un dispositivo electrónico. Por ejemplo, como se describirá con respecto a la FIG. 7, el envío de la primera señal 201 se puede iniciar por un ordenador u otro dispositivo electrónico. Como alternativa, o de forma adicional, el experto en la materia advertirá que el procedimiento 400 de la FIG. 4 puede ser implantado o iniciado por una matriz de puertas programable sobre el terreno (FPGA), un circuito integrado específico de la aplicación (ASIC), una unidad de procesamiento central (CPU), un procesador digital de la señal (DSP), un controlador, u otro dispositivo hardware o cualquier combinación de estos.

- 5 Con referencia a la FIG. 5, en ella se representa una primera forma de realización de un procedimiento de operación de un sistema de memoria. En una forma de realización ilustrativa, el procedimiento puede llevarse a cabo en el sistema de la FIG. 1 o de la FIG. 2. El procedimiento incluye la recepción de una señal de entrada en un dispositivo de memoria que incluye una célula bit que está acoplada a una línea de palabra y que está acoplada a un amplificador de lectura por medio de una primera línea de bit y de una segunda línea de bit en la referencia numeral 502. Por ejemplo, la señal de entrada 231 de la FIG. 2 es recibida en el circuito de temporización 232 del sistema de memoria 200 que también incluye la célula bit 202 acoplada al amplificador de lectura 204 por medio de las líneas de bit 208 y 210.
- 10 El procedimiento incluye, en respuesta a la recepción de la señal de entrada, el envío de una primera señal a un circuito de bucle para iniciar una operación del circuito de bucle, en la referencia numeral 504, y el envío de una segunda señal a un circuito de habilitación de línea de palabra para iniciar la generación de una señal de línea de palabra en la línea de palabra, en la referencia numeral 506. La primera señal es enviada antes que la segunda señal. Por ejemplo, la primera señal 201 de la FIG. 2 es suministrada al circuito de bucle 214 antes de que la segunda señal 203 sea suministrada al circuito de habilitación de línea de palabra 212.
- 15 Mediante el envío de la primera señal antes de la segunda señal, el circuito de bucle puede ser ajustado para obtener un retardo sustancialmente constante entre una señal de línea de palabra y una señal de habilitación de amplificador de lectura. El retardo sustancialmente constante puede ser sustancialmente independiente de una tensión de dominio lógico. El consumo de energía puede, por tanto, reducirse median te la operación a una tensión de domino lógico reducida sin aumentar sustancialmente el consumo de energía dinámica durante las lecturas de memoria.
- 20 El procedimiento de la FIG. 5 puede llevarse a cabo en un procesador integrado en un dispositivo electrónico. Por ejemplo, como se describirá con respecto a la FIG. 7, la primera señal 201 puede ser generada por un ordenador u otro dispositivo electrónico. Como alternativa, o de manera adicional, el experto en la materia advertirá que el procedimiento 500 de la FIG. 5 puede ser implantado o iniciado por una matriz de puertas programable sobre el terreno (FPGA), un circuito integrado específico de la aplicación (ASIC), una unidad de procesamiento central (UPC), un procesador digital de la señal (DSP), un controlador, u otro dispositivo hardware, o una combinación de estos.
- 25 Con referencia a la FIG. 6, en ella se representa una segunda forma de realización de un procedimiento de operación de un sistema de memoria. En una forma de realización ilustrativa, el procedimiento puede llevarse a cabo en el sistema de la FIG. 1 o de la FIG. 2.
- 30 El procedimiento puede incluir la programación de un circuito de bucle en base a una tensión de alimentación de un dominio lógico para mantener un retardo sustancialmente constante entre una señal de línea de palabra y una señal de habilitación de amplificador de lectura, en la referencia numeral 602. El retardo sustancialmente constante es sustancialmente dependiente de una tensión del dominio lógico. Por ejemplo, el circuito de bucle 214 de la FIG. 2 puede ser programado en base a la tensión de alimentación Vdd_L 262 para mantener el retardo sustancialmente constante 322 de la FIG. 3.
- 35 En una forma de realización concreta, una señal de control es suministrada a múltiples dispositivos de descarga de la porción de circuito programable para controlar un régimen de descarga de una línea de bit ficticia, en la referencia numeral 604. Por ejemplo la señal de control puede ser la señal de control 215 de la FIG. 2 suministrada a los múltiples dispositivos de descarga 248 para controlar un régimen de descarga de la línea de bit ficticia precargada 243.
- 40 Una señal de entrada es recibida en un dispositivo de memoria que incluye una célula bit que está acoplada a una línea de palabra y que está acoplada a un amplificador de lectura por medio de una primera línea de bit y de una segunda línea de bit en la referencia numeral 606. Por ejemplo, la señal de entrada 231 de la FIG. 2 es recibida en el circuito de temporización 252 del sistema de memoria 200 que también incluye la célula bit 202 acoplada al amplificador de lectura 204 por medio de las líneas de bit 208 y 210.
- 45 El procedimiento incluye también en respuesta a la recepción de control de entrada la generación por medio de una primera señal mediante la adición de un primer retardo a la señal de entrada y la generación de una segunda señal mediante la adición a un segundo retardo a la segunda señal, en la referencia numeral 608. Por ejemplo, la primera señal puede ser una primera señal 201 de la FIG. 2 y la segunda señal puede ser la segunda señal 203 de la FIG. 2. La primera señal puede ser generada por un primer conjunto de elementos de retardo, como por ejemplo el primer conjunto de puertas 234 de la FIG. 2, y la segunda señal puede ser generada por un segundo conjunto de elementos de retardo, por ejemplo acoplando de forma seriada los primero y segundo conjuntos de cuerdas 234 y 236 de la FIG. 2.
- 50 La primera señal es enviada al circuito de bucle para iniciar una operación del circuito de bucle, en la referencia numeral 610, y una segunda señal es enviada a un circuito de habilitación de línea de palabra para iniciar la generación de una señal de línea de palabra en la línea de palabra, en la referencia numeral 612. La primera señal es enviada antes de la segunda señal. En una forma de realización concreta, la operación del circuito de bucle genera la señal de habilitación del amplificador de lectura para habilitar el amplificador de lectura para detectar un
- 55

diferencial de tensión de la primera línea de bit y de la segunda línea de bit. Por ejemplo, la primera señal 201 de la FIG. 2 es suministrada al circuito de bucle 214 antes de que la segunda señal 203 sea suministrada al circuito de habilitación de línea de palabra 212.

5 El circuito de habilitación de línea de palabra puede ser un dominio de tensión lógico que tenga una primera tensión de alimentación, por ejemplo la primera tensión de alimentación Vdd_L 262 de la FIG. 2, y la célula bit puede situarse en un dominio de tensión de memoria con una segunda tensión de alimentación, por ejemplo la segunda tensión de alimentación Vdd_H 266 de la FIG. 2. El circuito de bucle puede incluir una porción de circuito programable y una porción de circuito lógico, por ejemplo la porción de circuito programable 244 y la porción de circuito lógico 246. La porción de circuito programable puede ser ajustable para compensar un retardo del circuito lógico debido a un nivel de tensión de alimentación del dominio de tensión lógico.

10 El procedimiento de la FIG. 6 puede llevarse a cabo en un procesador integrado en un dispositivo electrónico. Por ejemplo, como se describirá con respecto a la FIG. 7, la primera señal 201 puede ser generada por un ordenador u otro dispositivo electrónico. Como alternativa, o de manera adicional, el experto en la materia advertirá que el procedimiento 600 de la FIG. 6 puede ser implementado o iniciado por una matriz de puertas programable sobre el terreno (FPGA), un circuito integrado específico de la aplicación (ASIC), una unidad de procesamiento central (UPC), un procesador digital de la señal (DSP), un controlador u otro dispositivo de hardware o una combinación de estos.

15 Con referencia a la FIG. 7, se representa y se indica globalmente mediante la referencia numeral 700, un diagrama de bloques de una forma de realización ilustrativa concreta de un dispositivo electrónico que incluye un dispositivo de memoria con un circuito de bucle que está configurado para ser iniciado antes de que se inicie una habilitación de línea de palabra. El dispositivo 700 incluye un procesador 710, por ejemplo un procesador digital de la señal (DSP), acoplado a una memoria 732 y que incluye un dispositivo de memoria 764 con un circuito de bucle configurado para ser iniciado antes de que se inicie una habilitación de línea de palabra. En un ejemplo ilustrativo, el dispositivo de memoria 764 incluye el sistema de memoria representando en la FIG. 1 o en la FIG. 2, opera de acuerdo con una o más de las FIGs. 3 a 6, o cualquier combinación de las mismas.

20 El procesador 710 puede incluir el dispositivo de memoria 764, por ejemplo un archivo de registros u otra memoria incrustada, y puede incluir un conjunto de circuitos para habilitar el envío de la primera señal y de la segunda señal, por ejemplo, el circuito de temporización 232 de la FIG. 2. En una forma de realización concreta, el procesador 710 puede implementar uno o más de los procedimientos de las FIGs. 4 a 6. En otra forma de realización, el dispositivo de memoria 764 puede estar situado por fuera del procesador 710 y el procesador 710 puede ser configurado para iniciar las operaciones de memoria en el dispositivo de memoria 764, por ejemplo generando la señal de entrada 201 para iniciar una operación de lectura de memoria en el dispositivo de memoria 764.

25 Por ejemplo, la memoria 732 acoplada al procesador 710 puede ser un medio tangible legible por ordenador que almacene el software 734 que incluye unas instrucciones ejecutables por ordenador que son ejecutables por el procesador 710 para generar una señal de entrada en un dispositivo de memoria que incluye una célula bit. La célula bit está acoplada a una línea de palabra y está acoplada a un amplificador de lectura por medio de una primera línea de bit y de una segunda línea de bit, como el sistema de memoria 200 de la FIG. 2. En respuesta a la recepción de la señal de entrada, una primera señal es enviada a un circuito de bucle para iniciar una operación del circuito de bucle. En respuesta a la recepción de la señal de entrada, una segunda señal es enviada a un circuito de habilitación de línea de palabra para iniciar la generación de una señal de línea de palabra en la línea de palabra. La primera señal es enviada antes que la segunda señal, como se ilustra mediante la primera señal 201 y mediante la segunda señal 203 en el diagrama de temporización de la FIG. 3. La operación del circuito de bucle puede generar una señal de habilitación de amplificador de lectura para habilitar el amplificador de lectura para detectar un diferencial de tensión de la primera línea de bit y de la segunda línea de bit.

30 El software 734 puede además incluir unas instrucciones que sean ejecutables para programar el circuito de bucle en base a una tensión de alimentación de un dominio lógico para mantener un retardo sustancialmente constante entre la señal de línea de palabra y la señal de habilitación del amplificador de lectura. Por ejemplo el procesador 710 puede fijar una o más tensiones de la señal de control 214 de la FIG. 2 para operar de forma selectiva uno o más de los elementos de descarga 248 para mantener el retardo sustancialmente constante 322 (ilustrado en la FIG. 3) en base a una tensión de alimentación lógica del procesador 710.

35 La FIG. 7 también muestra un controlador de representación 726 que está acoplado al procesador 710 y a una pantalla 728. Un codificador / decodificador (CODEC) 734 puede también estar acoplado al procesador 710. Un altavoz 736 y un micrófono 738 pueden estar acoplados al CODEC 734.

40 La FIG. 7 indica también que un controlador inalámbrico 740 puede estar acoplado al procesador 710 y a una antena inalámbrica 742. En una forma de realización concreta, el procesador 710, el controlador de representación 726, la memoria 732, el CODEC 734, el controlador inalámbrico 740 y el dispositivo de memoria 764 están incluidos en un dispositivo de sistema compacto de sistema contenido en chip 722. En una forma de realización concreta, un dispositivo de entrada 730 y una alimentación de energía 744 están acoplados al dispositivo del sistema basado en chip 722. Así mismo, en una forma de realización concreta, como se ilustra en la FIG. 7, la pantalla 728, el dispositivo de entrada 730, el altavoz 736, el micrófono 738, la antena inalámbrica 742 y la alimentación de energía

744 están situados por fuera del dispositivo del sistema basado en chip 722. Sin embargo, cada uno de los dispositivos de la pantalla 728, del dispositivo de entrada 730, del altavoz 736, del micrófono 738, de la antena inalámbrica 742 y de la alimentación de energía 744 pueden estar acoplados a un componente del dispositivo del sistema dispuesto en el chip 722, por ejemplo una interfaz o un controlador.

5 Los dispositivos y funcionalidades mencionados con anterioridad pueden ser diseñados y configurados en archivos de ordenador (por ejemplo, RTL, GDSII, GERBER, etc.) almacenados en medios legibles por ordenador. Algunos o todos de los referidos archivos pueden ser suministrados a gestores fabricantes que fabriquen dispositivos en base a dichos archivos. Los productos resultantes incluyen obleas de semiconductor que a continuación sean cortadas en un troquel semiconductor y empaquetadas en un chip semiconductor. Los chips son a continuación empleados en los dispositivos descritos con anterioridad. La FIG. 8 representa una forma de realización ilustrativa concreta de un proceso de fabricación de un dispositivo electrónico 800.

15 La información del dispositivo físico 802 es recibida en el proceso de fabricación 800, por ejemplo en un ordenador de investigación 806. La información del dispositivo físico 802 puede incluir una información de diseño que represente al menos una propiedad física de un dispositivo semiconductor, por ejemplo los sistemas de las FIGs. 1 - 2. Por ejemplo, la información del dispositivo físico 802 puede incluir parámetros físicos, características materiales e información estructural que sea introducida por medio de una interfaz de usuario 804 acoplada al ordenador de investigación 806. El ordenador de investigación 806 incluye un procesador 808, por ejemplo uno o más núcleos de procesamiento acoplados a un medio legible por ordenador, por ejemplo una memoria 810. La memoria 810 puede almacenar unas instrucciones legibles por ordenador que sean ejecutables para hacer que el procesador 808 transforme la información del dispositivo físico 802 para conformarse con un formato de archivo y para generar un archivo de biblioteca 812.

20 En una forma de realización concreta el archivo de biblioteca 812 incluye al menos un archivo de datos que incluye la información de diseño transformada. Por ejemplo el archivo de biblioteca 812 puede incluir una biblioteca de unos dispositivos semiconductores que incluyan el sistema de la FIG. 1 o de la FIG. 2 que sea suministrado para su uso con una herramienta automática de diseño electrónico (EDA) 820.

25 El archivo de biblioteca 812 puede ser utilizado en combinación con la herramienta EDA 820 en un ordenador de diseño 814 que incluya un procesador 816, por ejemplo uno o más núcleos de procesamiento acoplados a una memoria 818. La herramienta EDA 820 puede ser almacenada como instrucciones ejecutables por el procesador en la memoria 818 para permitir que un usuario del ordenador de diseño 814 diseñe un circuito que utilice el sistema de la FIG. 1 o de la FIG. 2, o de una combinación de los mismos, del archivo de biblioteca 812. Por ejemplo, un usuario del ordenador de diseño 814 puede introducir una información del diseño de circuito 822 por medio de una interfaz de usuario 824 acoplada al ordenador de diseño 814. La información de diseño de circuito 822 puede incluir la información de diseño que represente al menos una propiedad física de un dispositivo semiconductor, por ejemplo el sistema de la FIG. 1 o de la FIG. 2, o cualquier combinación de las mismas. Con fines ilustrativos, la información del diseño de circuito puede incluir la identificación de circuitos y relaciones concretas con otros elementos de un diseño de circuito, la información de posicionamiento, la información del tamaño de las características, la información de la interconexión, u otra información representativa de una propiedad física de un dispositivo semiconductor.

30 El ordenador de diseño 814 puede estar configurado para transformar la información de diseño, que incluya la información del diseño de circuito 822 para adaptarse a un formato de archivo. Con fines ilustrativos, la formación del archivo puede incluir un formato de archivos binarios de bases de datos representativo de formas geométricas, marcas de textos y otra información acerca de un trazado de circuito en un formato jerárquico, por ejemplo un formato de archivo de un Sistema de Datos Gráficos (GDSII). El ordenador de diseño 814 puede ser configurado para generar un archivo de datos que incluya la información de diseño transformada, por ejemplo un archivo GDSII 826 que incluya la información que describa el sistema de la FIG. 1 o de la FIG. 2 o cualquier combinación de las mismas, además de otros circuitos o información. Con fines ilustrativos, el archivo de datos puede incluir una información correspondiente a un sistema sobrechip (SOC) que incluya el sistema de la FIG. 1 y que también incluya circuitos y componentes electrónicos adicionales dentro del SOC.

35 El archivo GDSII 826 puede ser recibido en un proceso de fabricación 828 para fabricar el sistema de la FIG. 1 o de la FIG. 2, o cualquier combinación de los mismos, de acuerdo con la información transformada en el archivo GDSII 826. Por ejemplo, un proceso de fabricación de dispositivo puede incluir la provisión del archivo GDSII 826 a un fabricante de máscaras 830 para crear una o más máscaras, por ejemplo máscaras concebidas para ser utilizadas en tratamientos fotolitográficos, ilustrados como una máscara representativa 832. La máscara 832 puede ser utilizada durante el proceso de fabricación para generar una o más obleas 834, las cuales pueden ser sometidas a prueba y separadas en cubos, por ejemplo el cubo representativo 836. El cubo 836 incluye un circuito que incluye el sistema de la FIG. 1 o de la FIG. 2, o cualquier combinación de los mismos.

40 El cubo 836 puede suministrarse a un proceso de embalaje 838 en el que el cubo 836 se incorpore en un paquete representativo 840. Por ejemplo el paquete 840 puede incluir un único cubo 836 o múltiples cubos, por ejemplo como una disposición de un sistema en paquete (SIP). El paquete 840 puede ser configurado para conformarse a uno o más estándares o especificaciones, por ejemplo los estándares de Joint Electron Device Engineering Council (JEDEC).

La información relativa al paquete 840 puede ser distribuida a distintos diseñadores del producto, por ejemplo por medio de una biblioteca componente almacenada en un ordenador 846. El ordenador 846 puede incluir un procesador 848, por ejemplo uno o más núcleos de procesamiento, acoplados a una memoria 850. Una herramienta de placa de circuito impreso (PCB) puede estar almacenada como instrucciones ejecutables por un procesador en la memoria 850 para procesar la información de diseño de la PCB 842 recibida de un usuario del ordenador 846 por medio de una interfaz de usuario 844. La información del diseño de la PCB puede incluir la información del posicionamiento físico de un dispositivo semiconductor empaquetado en una placa de circuito, correspondiendo el dispositivo semiconductor empaquetado al paquete 840 que incluye el sistema de la FIG. 1 o de la FIG. 2, o cualquier combinación de los mismos.

El ordenador 846 puede ser configurado para transformar la información del diseño de la PCB 842 para generar un archivo de datos, como por ejemplo un archivo GERBER 852 con datos que incluyan la información del posicionamiento físico de un dispositivo semiconductor empaquetado sobre una placa de circuito, así como el trazado de las conexiones eléctricas, por ejemplo las trazas y vías, en la que el dispositivo semiconductor empaquetado se corresponda con el paquete 840 que incluya el sistema de la FIG. 1 o de la FIG. 2, o cualquier combinación de las mismas. En otras formas de realización, el archivo de datos generado por la información del diseño de la PCB puede incorporar un formato distinto de un formato GERBER.

El archivo GERBER 852 puede ser recibido en un proceso de montaje de placa 854 y utilizado para crear PCBs, por ejemplo una PCB representativa 856, fabricada de acuerdo con la información de diseño almacenada dentro del archivo GERBER 852. Por ejemplo, el archivo GERBER 852 puede ser cargado en una o más máquinas para llevar a cabo las diversas etapas de un proceso de fabricación de PCB. La PCB 856 puede estar poblada de componentes electrónicos incluyendo el paquete 840 para formar un conjunto de circuito impreso representado (PCA) 858.

El PCA 858 puede ser recibido en un proceso de fabricación de producto 860 e integrado en uno o más dispositivos electrónicos, por ejemplo un primer dispositivo electrónico representativo 862 y un segundo dispositivo electrónico representativo 864. A modo de ilustración y no de ejemplo limitativo, el primer dispositivo electrónico representativo 862, el segundo dispositivo electrónico representativo 864 o ambos, pueden ser seleccionados entre el grupo compuesto por un descodificador, un reproductor de música, un reproductor de vídeo, una unidad de entretenimiento, un dispositivo navegador, un dispositivo de comunicaciones, un asistente personal digital (PDA), una unidad de datos de emplazamiento fijo y un ordenador. En otro ejemplo ilustrativo no limitativo, uno o más de los dispositivos electrónicos 862 y 864 pueden ser unidades distantes, por ejemplo teléfonos móviles, unidades de sistemas de comunicaciones personales portátiles (PCS), unidades de datos portátiles por ejemplo asistentes personales de datos, dispositivos habilitados del sistema de posicionamiento global (GPS), dispositivos de navegación, unidades de datos de localización fijos, por ejemplo un equipamiento de lectura de medición, o cualquier otro dispositivo que almacene o recupere datos o instrucciones de ordenador, o cualquier combinación de los mismos. Aunque una o más de las FIGS. 1 a 7 pueden ilustrar unidades a distancia de acuerdo con las enseñanzas de la divulgación, la divulgación no está limitada a estas unidades ejemplares. Formas de realización de la divulgación pueden ser empleadas de modo apropiado en cualquier dispositivo que incluya un conjunto de circuitos integrados activos que incluyan una memoria y un conjunto de circuitos sobrechip.

Así, el sistema de la FIG. 1 o de la FIG. 2, o cualquier combinación de los mismos, puede ser fabricado procesado e incorporado en un dispositivo electrónico como se describe en el procedimiento ilustrativo 800. Uno o más aspectos de las formas de realización divulgadas con respecto a las FIGS. 1 a 7 pueden ser incluidos en diversas etapas de procesamiento, por ejemplo dentro del archivo de biblioteca 812, del archivo GDSII 826 y el archivo GERBER 852 así como almacenadas en la memoria 810 del ordenador de investigación 806, la memoria 818 del ordenador de diseño 814, la memoria 850 del ordenador 846, la memoria de uno o más ordenadores o procesadores (no mostrados) utilizados en las diversas etapas, por ejemplo, en el proceso de montaje de las placas 854, y también incorporados en una o más formas de realización físicas distintas, por ejemplo en forma de máscara 832 el cubo 836, el paquete 840, el PCA 858, otros productos por ejemplo los circuitos o dispositivos prototípicos (no mostrados) o cualquier combinación de los mismos. Aunque se representan diversas etapas de fabricación representativas a partir de un diseño de dispositivo físico hasta un producto final, en otras formas de realización, pueden ser utilizadas o pueden incluirse menos etapas o etapas adicionales. De modo similar, el procedimiento 800 puede llevarse a cabo por una entidad única o por una o más entidades que lleven a cabo diversas etapas del procedimiento 800.

Los expertos en la materia apreciarán también que los diversos bloques lógicos, configuraciones, módulos, circuitos y etapas de algoritmos ilustrativos descritos en conexión con las formas de realización incluidos en la presente memoria pueden ser implementadas como hardware electrónico, software de ordenador, o combinaciones de ambos. Para ilustrar con claridad esta intercambiabilidad de hardware y software se han descrito en las líneas anteriores con carácter general en términos de funcionalidad diversos componentes, bloques, configuraciones, módulos, circuitos y etapas ilustrativas. Si dicha funcionalidad se implementa como software o hardware depende de los condicionamientos de aplicación y diseños concretos determinados por el sistema global. Los expertos en la materia pueden implementar la funcionalidad descritas de diversas formas para cada aplicación concreta, pero dichas decisiones de implementación no deben ser implementadas como determinantes de un apartamiento del ámbito de la presente divulgación.

5 Las etapas de un procedimiento de un algoritmo descritas en conexión con las formas de realización divulgadas en la presente memoria pueden ser incorporadas directamente en hardware, en un módulo de software ejecutado en un procesador, o en una combinación de los dos. Un módulo de software puede residir en una memoria de acceso aleatorio, en una memoria flash, en una memoria de solo lectura (ROM), en una memoria programable de solo lectura (PROM), en una memoria de solo lectura programable borrable (EPROM), en una memoria de solo lectura programable eléctricamente borrable (EEPROM), registros, disco duro, un disco extraíble, una memoria de solo lectura de disco compacto (CD-ROM), o cualquier otra forma de medio de almacenamiento conocido en la técnica. Un medio de almacenamiento ejemplar está acoplado al procesador de forma que el procesador pueda leer la información procedente de, y escribir la información hacia el medio de almacenamiento. Como alternativa, el medio de almacenamiento puede estar integrado en el procesador. El procesador y el medio de almacenamiento pueden residir en un circuito integrado específico de la aplicación (ASIC). El ASIC puede residir en un dispositivo informático o en un terminal de usuario. Como alternativa, y el procesador y el medio de almacenamiento pueden residir como componentes discretos de un dispositivo informático o de un terminal de usuario.

10
15
20 La descripción precedente de las formas de realización divulgadas se ofrece para permitir que el experto en la materia efectúe o lleve a cabo las formas de realización divulgadas. Diversas modificaciones a estas formas de realización resultarán evidente sin dificultad a los expertos en la materia, y los principios definidos en la presente memoria pueden ser aplicados a otras formas de realización sin apartarse del alcance de la divulgación. Así, la presente divulgación no pretende quedar reivindicada a las formas de realización mostradas en ella, sino que debe concedérsele el margen del alcance posible coherente con los principios y las características novedosas según se definen por las reivindicaciones subsecuentes.

REIVINDICACIONES

1.- Un aparato que comprende:

una célula bit (102, 202) acoplada a una primera línea de bit (108, 208), a una segunda línea de bit (110, 210), y a una línea de palabra (106, 206) que es sensible a un circuito de ataque de línea de palabra (138, 238);

5 un amplificador de lectura (116, 216) acoplado a la primera línea de bit (108, 208) y a la segunda línea de bit (110, 210);

un circuito de temporización (232) configurado para generar una primera señal (101, 201) y una segunda señal (103, 203);

10 un circuito de bucle (114, 214) configurado para suministrar una señal de administración de aplicación de lectura (105, 205) al amplificador de lectura (116, 216) en respuesta a la recepción de la primera señal (101, 201); y

un circuito de habilitación de línea de palabra (112, 212) configurado para proporcionar una señal de habilitación de línea de palabra (113, 213) al circuito de ataque de línea de palabra (138, 238) en respuesta a la recepción de la segunda señal (103, 203),

15 en el que el circuito de bucle (114, 214) es operativo para recibir la primera señal (101, 201) antes de que el circuito de habilitación de línea de palabra (112, 212) reciba la segunda señal (103, 203) y es programable para ajustar un retardo de la señal de habilitación de amplificador de lectura (105, 205).

2.- El aparato de la reivindicación 1, en el que el circuito de temporización (232) es sensible a una señal de entrada (231) para generar la primera señal (101, 201) y la segunda señal (103, 203), en el que el circuito de temporización (232) comprende una primera salida (252) para suministrar la primera señal (101, 201) y una segunda salida (254) para suministrar la segunda señal (103, 203), en el que la primera señal (101, 201) es generada mediante la adición de un primer retardo a la señal de entrada (231), en el que la segunda señal (103, 203) es generada mediante la adición de un segundo retardo a la señal de entrada (231) y en el que el segundo retardo es superior al primer retardo.

25 3.- El aparato de la reivindicación 2, en el que el circuito de temporización (232) comprende:

una entrada (250) para recibir la señal de entrada (231);

un primer conjunto de puertas (234) para generar la primera señal (101, 201) en la primera salida (252), en el que la primera señal (101, 201) inicia la operación del circuito de bucle (114, 214); y

un segundo conjunto de puertas (236) para generar la segunda señal (103, 203) en la segunda salida (254),

30 en el que la segunda señal (103, 203) inicia la operación del circuito de habilitación de línea de palabra (112, 212).

4.- El aparato de la reivindicación 1, en el que el circuito de bucle (114, 214) es programable para mantener un retardo sustancialmente constante entre la activación de una señal de línea de palabra por el circuito de ataque de línea de palabra (138, 238) y la activación de la señal de habilitación de amplificador de lectura (105, 205), y en el que el retardo sustancialmente constante es sustancialmente independiente de una tensión de alimentación de un dominio lógico.

5.- El aparato de la reivindicación 4, en el que:

la tensión de alimentación del dominio lógico hace que un retardo de una porción de circuito lógico (246) del circuito de bucle (114, 214) sobrepase el retardo sustancialmente constante; y

40 una porción de circuito programable (244) del circuito de bucle (114, 214) está configurado para compensar el retardo de la porción de circuito lógico (246) para mantener el retardo sustancialmente constante en base a la recepción de la primera señal (101, 201).

6.- El aparato de la reivindicación 4, en el que la señal de línea de palabra hace que la célula bit (102, 202) inicie un desarrollo de un diferencial de tensión entre la primera línea de bit (108, 208) y la segunda línea de bit (110, 210), en el que el amplificador de lectura (116, 216), posee un umbral de sensibilidad diferencial, y en el que el retardo sustancialmente constante hace que el diferencial de tensión sobrepase el umbral de sensibilidad diferencial antes de que el amplificador de lectura (116, 216) genere una salida indicativa de un valor de datos de una célula bit (102, 202).

7.- El aparato de la reivindicación 1, en el que el circuito de bucle (114, 214) incluye una porción de circuito programable (244) y una porción de circuito lógico (246).

50

8.- El aparato de la reivindicación 7, en el que la porción de circuito programable (244) incluye múltiples dispositivos de descarga (248) que son controlables para habilitar un régimen ajustable de descarga de una línea de bit ficticia precargada.

9.- Un procedimiento que comprende:

5 la recepción de una señal de entrada (231) en un dispositivo de memoria que incluye una célula bit (102, 202) que está acoplada a una línea de palabra (106, 206) que es sensible a un circuito de ataque de línea de palabra (138, 238), y a un amplificador de lectura (116, 216) por medio de una primera línea de bit (108, 208) y de una segunda línea de bit (110, 210); y

en respuesta a la recepción de la señal de entrada (231):

10 la generación de una primera señal (101, 201) y de una segunda señal (103, 203) en un circuito de temporización (232);

el envío de la primera señal (101, 201) a un circuito de bucle (114, 214) que está acoplado al amplificador de lectura (116, 216) para iniciar una operación del circuito de bucle (114, 214); y

15 el envío de la segunda señal (103, 203) a un circuito de habilitación de línea de palabra (112, 212) que está acoplado al circuito de ataque de línea de palabra (138, 238) para iniciar la generación de una señal de línea de palabra en la línea de palabra (206), en el que la primera señal (101, 201) es enviada antes que la segunda señal (103, 203), y en el que el circuito de bucle (114, 214) es programable para ajustar un retardo de una señal de habilitación de amplificador de lectura (105, 205).

20 10.- El procedimiento de la reivindicación 9, en el que la operación del circuito de bucle (114, 214) genera la señal de habilitación de amplificador de lectura (105, 205) para habilitar el amplificador de lectura (116, 216) para detectar un diferencial de tensión de la primera línea de bit (108, 208) y de la segunda línea de bit (110, 210).

25 11.- El procedimiento de la reivindicación 9, en el que el circuito de habilitación de línea de palabra (112, 212) es un dominio de tensión lógico (260) que posee una primera tensión de alimentación (262) y la célula bit (102, 202) está en un dominio de tensión de memoria que posee una segunda tensión de alimentación (266), en el que el circuito de bucle (114, 214) incluye una porción de circuito programable (244) y una porción de circuito lógico (246), y en el que la porción de circuito programable (244) es ajustable para compensar un retardo de la porción de circuito (246) debido a un nivel de tensión de alimentación del dominio de tensión lógico (260).

30 12.- El procedimiento de la reivindicación 11, que comprende además el suministro de una señal de control (215) a múltiples dispositivos de descarga (248) de la porción de circuito programable (244) para controlar un régimen de descarga de una línea de bit ficticia precargada.

35 13.- El procedimiento de la reivindicación 9, que comprende además la programación del circuito de bucle (114, 214) en base a una tensión de alimentación de un dominio lógico para mantener un retardo sustancialmente constante entre la activación de la señal de la línea de trabajo y la activación de la señal de habilitación de amplificador de lectura (105, 205), en el que el retardo sustancialmente constante es sustancialmente independiente de una tensión de dominio lógico.

14.- El procedimiento de la reivindicación 13, que comprende además la generación de la primera señal (101, 201) mediante la adición de un primer retardo a la señal de entrada (231) y la generación de la segunda señal (103, 203), mediante la adición de un segundo retardo a la primera señal (101, 201).

40 15.- Un medio tangible legible por ordenador que almacena instrucciones ejecutables por un ordenador, comprendiendo las instrucciones:

instrucciones ejecutables por un ordenador para generar una señal de entrada (231) en un dispositivo de memoria que incluye una célula bit (102, 202) que está acoplada a una línea de palabra (106, 206) que es sensible a un circuito de ataque de línea de palabra (138, 238), y a un amplificador de lectura (116, 216) por medio de una primera línea de bit (108, 208) y a una segunda línea de bit (110, 210),

45 en el que un circuito de temporización (232) del dispositivo de memoria está configurado para, en respuesta a la recepción de la señal de entrada (231), generar una primera señal (101, 201) y una segunda señal (103, 203),

50 en el que la primera señal (101, 201) es enviada a un circuito de bucle (114, 214) que está acoplado al amplificador de lectura (116, 216) para iniciar una operación del circuito de bucle (114, 214), en el que la segunda señal (103, 203) es enviada a un circuito de habilitación de línea de palabra (112, 212) que está acoplado al circuito de ataque de línea de palabra para iniciar la generación de línea de palabra en la línea de palabra (206), en el que la primera señal (101, 201) es enviada antes que la segunda señal (103, 203), y en el que el circuito de bucle (114, 214) es programable para ajustar un retardo de una señal de habilitación de amplificador de lectura (105, 205).

16.- El medio tangible legible por ordenador de la reivindicación 15, en el que las instrucciones comprenden además instrucciones que son ejecutables por el ordenador para programar el circuito de bucle (114, 214) en base a una tensión de alimentación para mantener un retardo sustancialmente constante entre la señal de línea de palabra y la señal de habilitación de amplificador de lectura (105, 205).

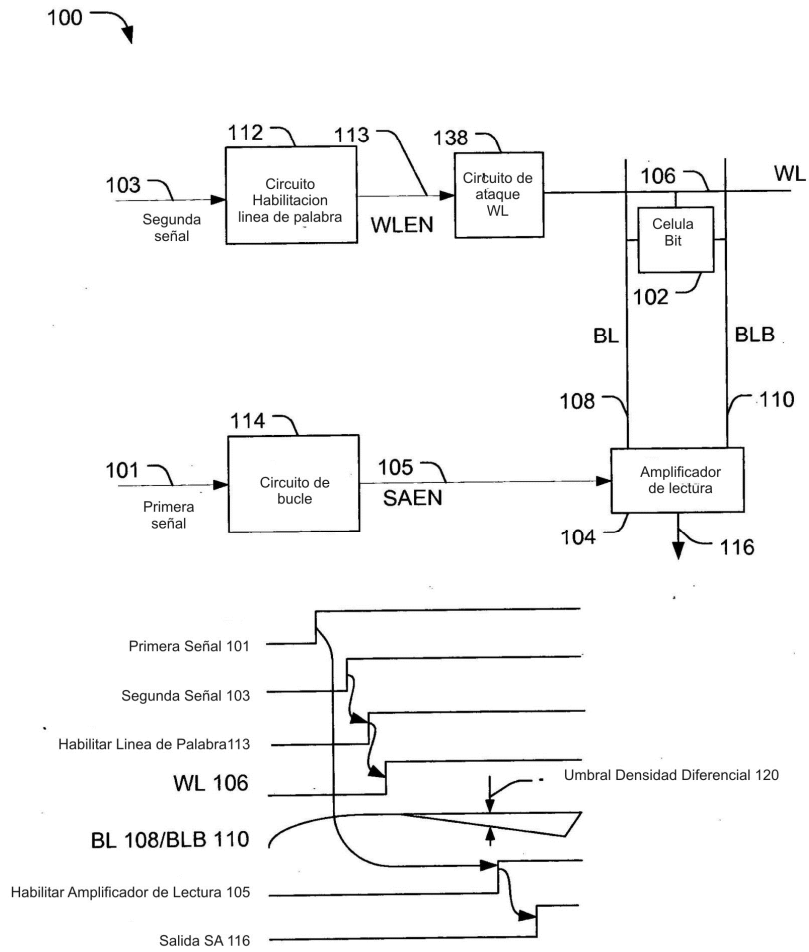


FIG. 1

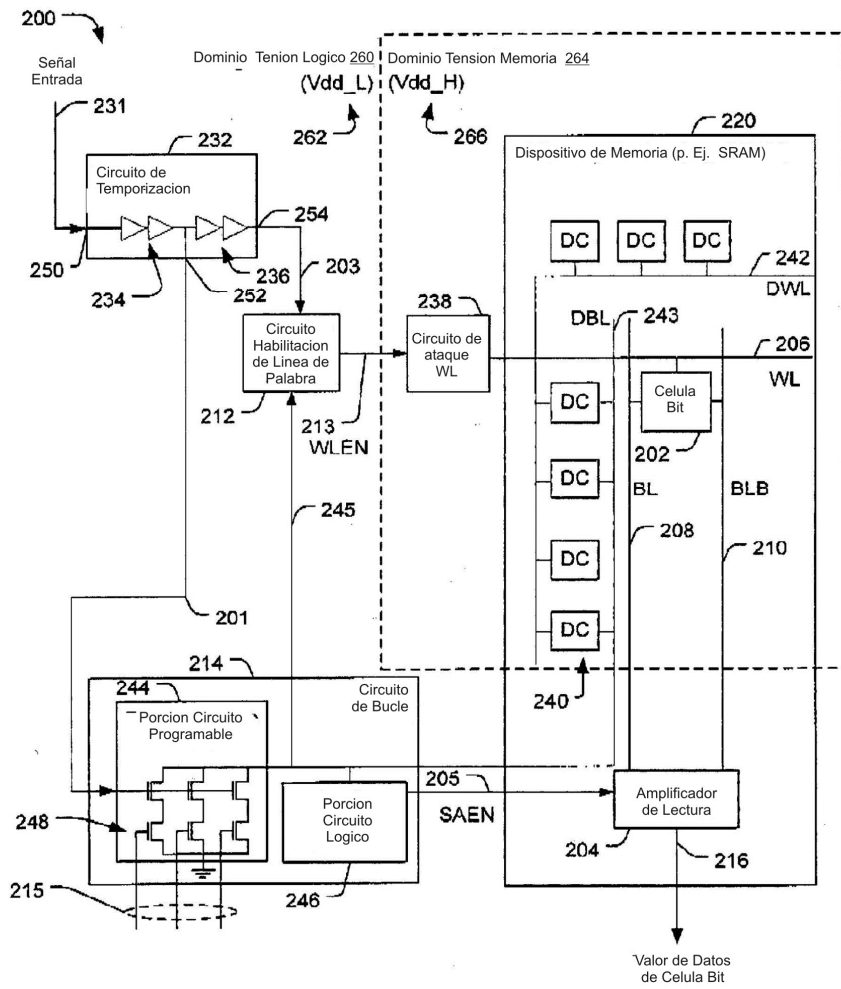


FIG. 2

300

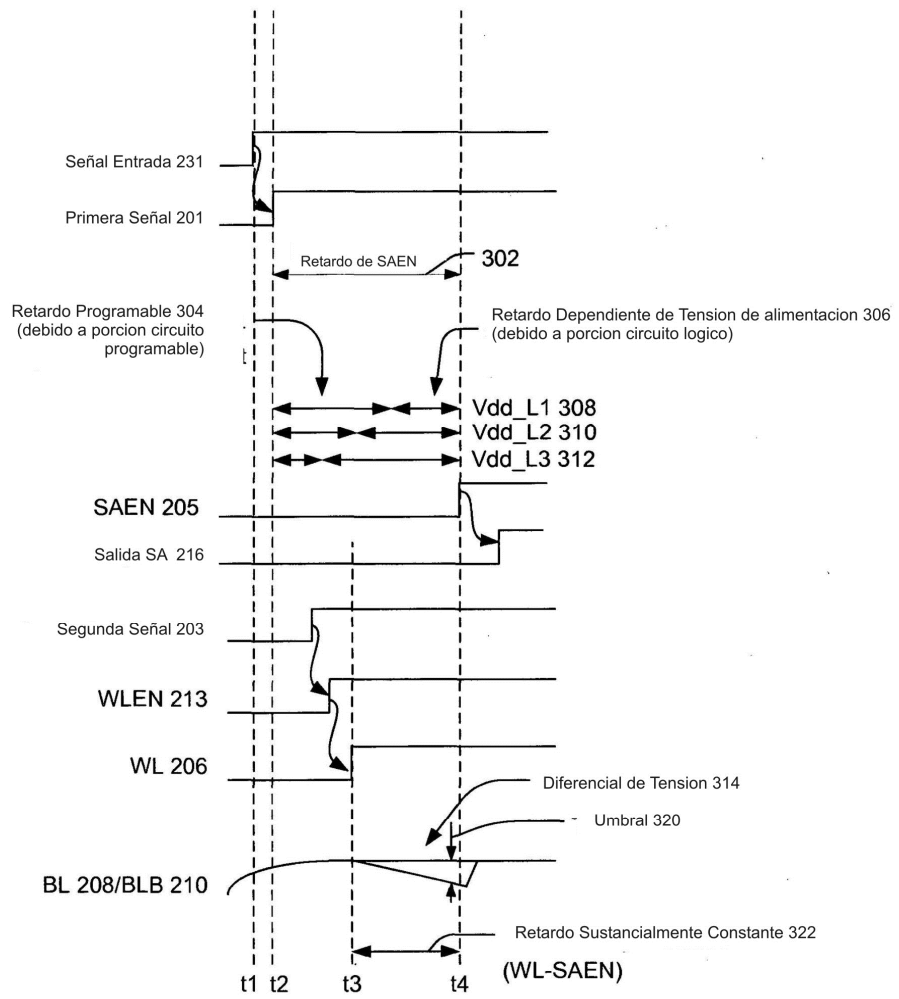


FIG. 3

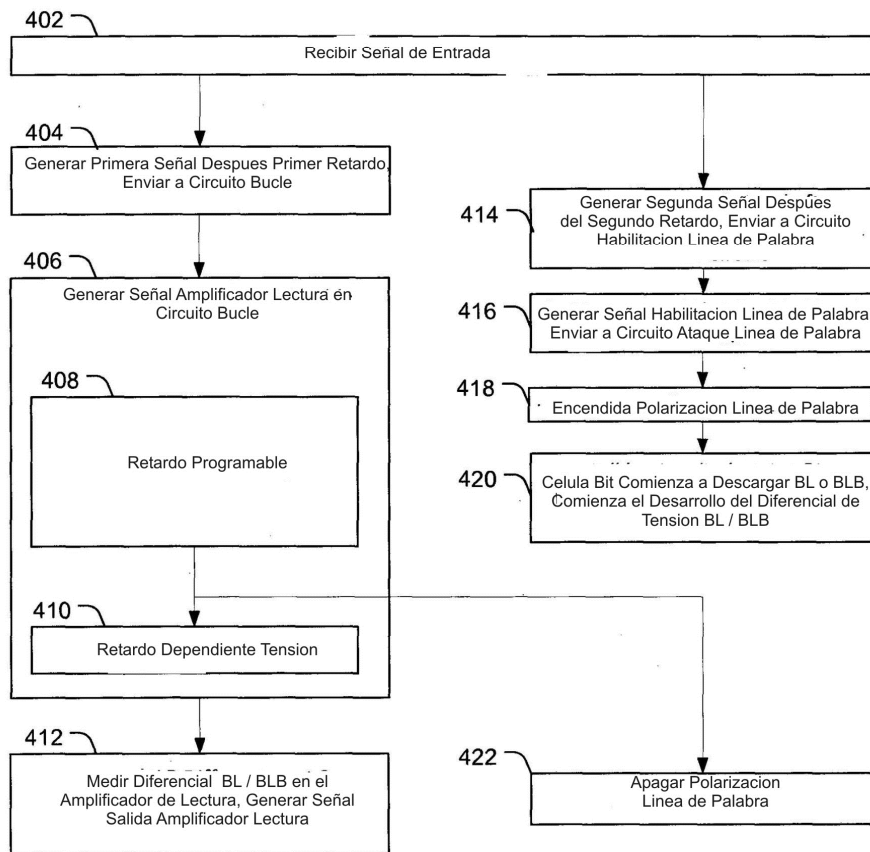


FIG. 4

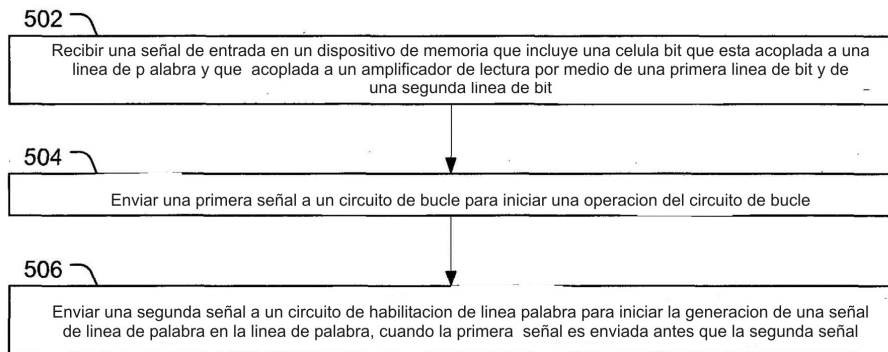


FIG. 5

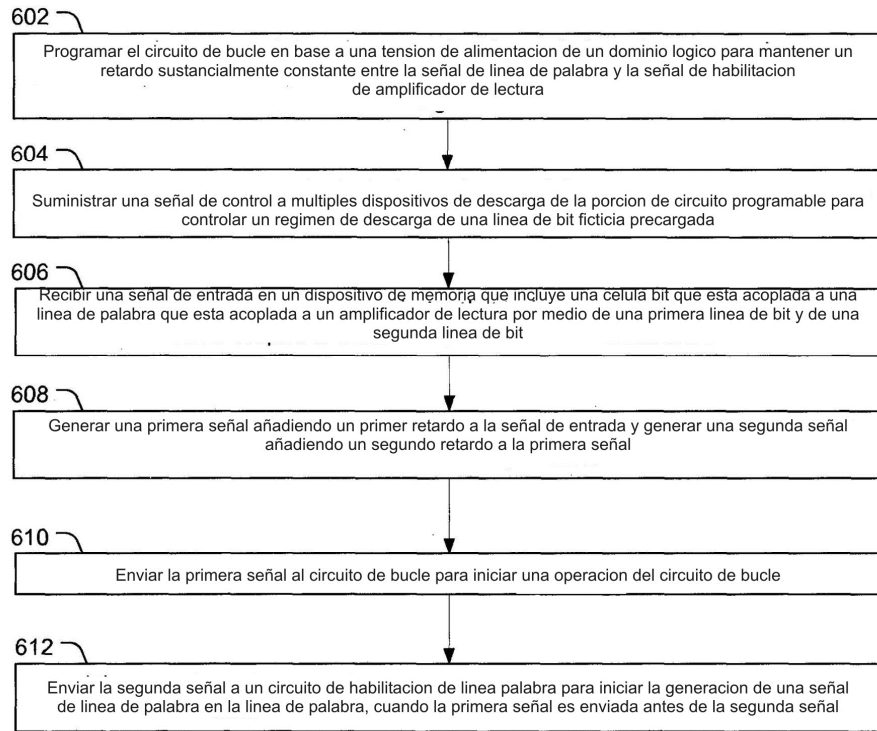


FIG. 6

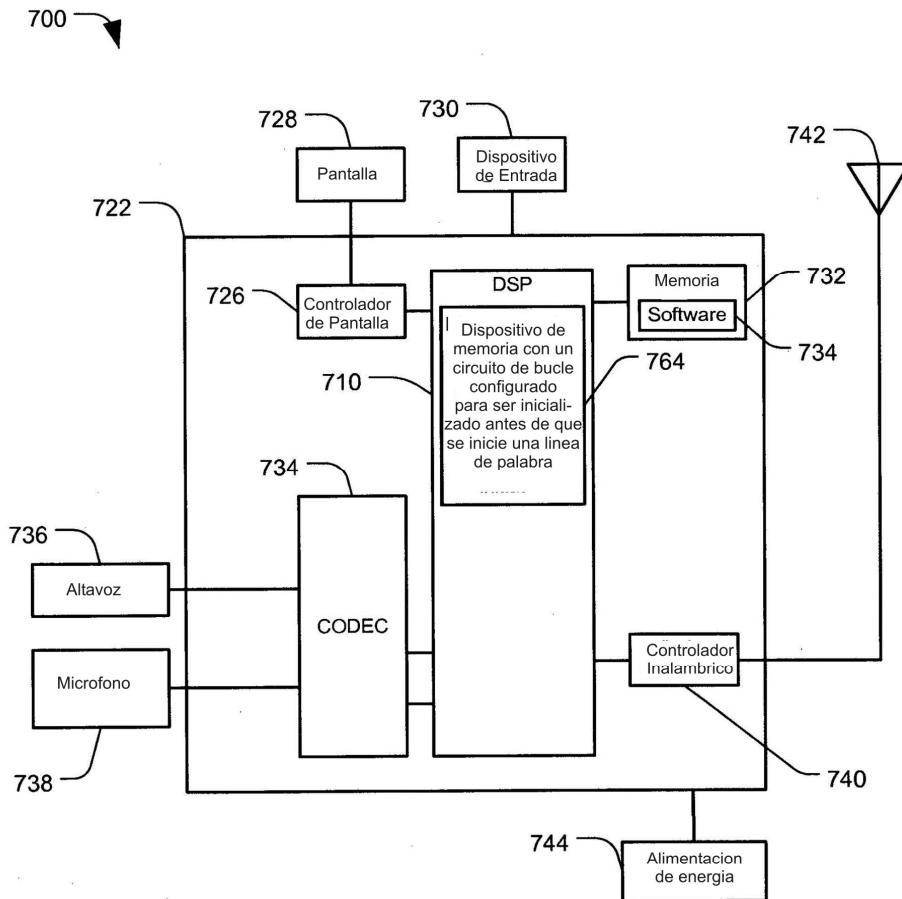


FIG. 7

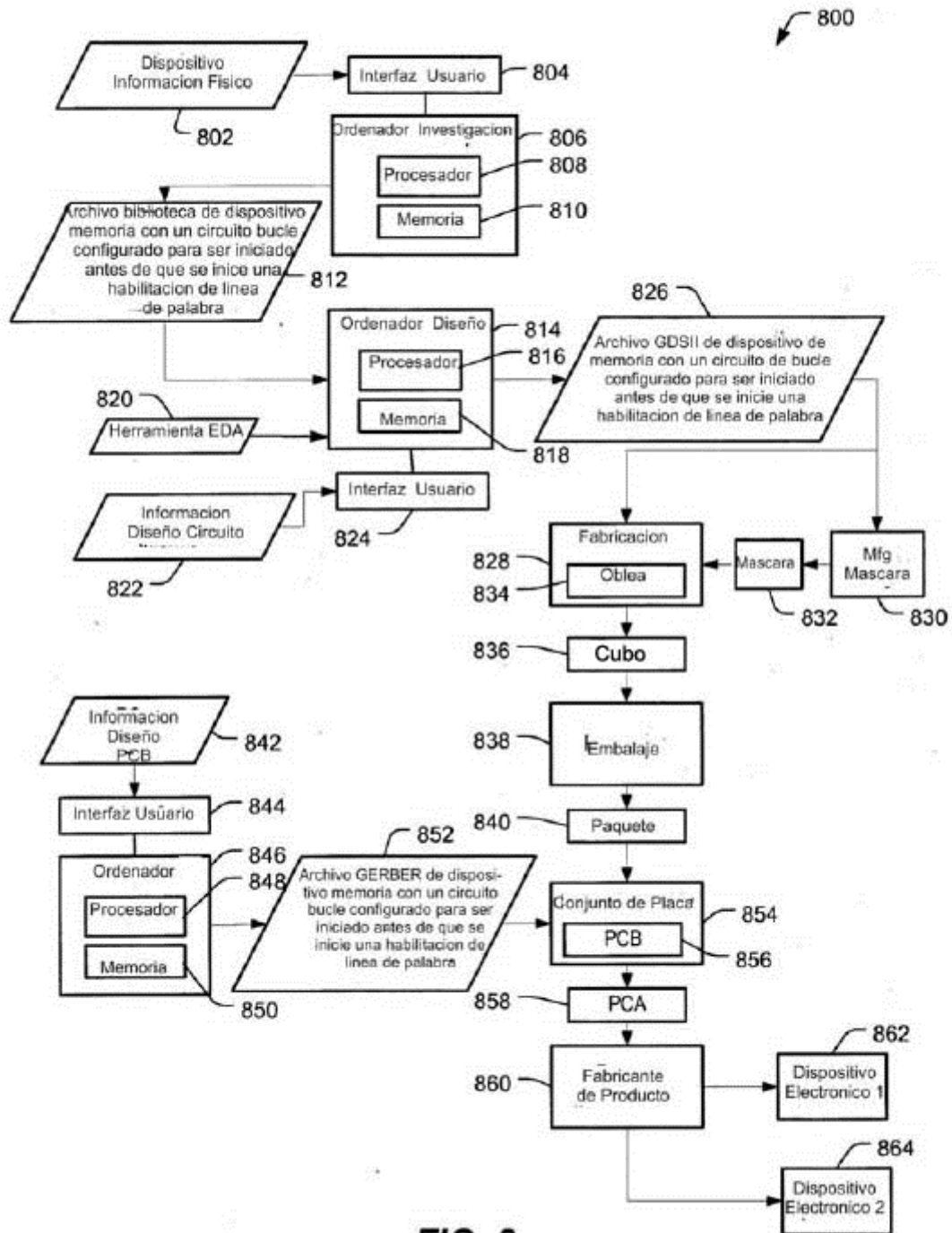


FIG. 8