

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 543 812**

51 Int. Cl.:

H03F 1/52 (2006.01)

H01L 27/02 (2006.01)

H02M 3/07 (2006.01)

H02M 1/32 (2007.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **14.03.2012 E 12716132 (1)**

97 Fecha y número de publicación de la concesión europea: **03.06.2015 EP 2686954**

54 Título: **Protección de descarga electrostática de bomba de carga**

30 Prioridad:

14.03.2011 US 201113047683

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

24.08.2015

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121, US**

72 Inventor/es:

**SRIVASTAVA, ANKIT;
WORLEY, EUGENE R.;
MIAO, GUOQING y
QUAN, XIAOHONG**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 543 812 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Protección de descarga electrostática de bomba de carga

Antecedentes

Campo

5 La divulgación se refiere a la protección de descarga eléctrica y, en particular, a la protección de descarga electrostática (ESD) para amplificadores y otros circuitos que emplean bombas de carga.

Antecedentes

10 Las bombas de carga se utilizan comúnmente en circuitos electrónicos para incrementar o reducir un nivel de suministro de tensión dado, y/o invertir el suministro a un nivel de tensión inverso para alimentar una carga. Una bomba de carga puede encontrar aplicación, por ejemplo, en una arquitectura de amplificador de clase G, en el que las tensiones de suministro proporcionadas a un amplificador pueden variar dependiendo del nivel de la señal de entrada ser amplificada. Las bombas de carga también se pueden emplear para alimentar otros tipos de cargas, además de amplificadores.

15 Para proteger los terminales de una bomba de carga de una descarga electrostática (ESD), los dispositivos de protección tales como diodos Zener y las pinzas amperimétricas con disparo RC, pueden acoplarse entre terminales susceptibles a ESD. Tales dispositivos de protección pueden desviar la corriente de ESD lejos de los circuitos de la bomba de carga y de otros circuitos acoplados a los terminales, evitando así los daños a dichos circuitos. Ejemplos de niveles de ESD, que puede necesitar soportar un circuito tal como se describe, de acuerdo con, por ejemplo, un modelo del cuerpo humano (HBM) conocido en la técnica, o la norma IEC 61000-4-2, publicada por la Comisión
20 Electrotécnica Internacional. Los dispositivos de protección de ESD convencionales pueden emplear componentes incorporados en chip o fuera de chip, con componentes fuera de chip que son normalmente más caros que los componentes incorporados en chip. Se pueden encontrar ejemplos de circuitos de protección de ESD para las bombas de carga en los documentos de patente WO 2007/063474, US 7.054.123.

25 Durante el funcionamiento normal de la bomba de carga, una o más tensiones de suministro de salida de la bomba de carga pueden conmutarse entre niveles altos y bajos, dependiendo de un modo de ganancia seleccionado para la bomba de carga. Tal ganancia que conmuta las tensiones de suministro de salida de la bomba de carga puede causar inadvertidamente que se enciendan una o más pinzas acopladas a las tensiones de suministro, provocando de forma indeseable una fuga de corriente a través de las pinzas. Por otra parte, la corriente provocada por una
30 carga de la bomba de carga, puede causar una ondulación grande en la tensión de suministro de salida de la bomba de carga, contribuyendo también a la fuga de corriente a través de las pinzas.

Sería deseable proporcionar técnicas de protección de ESD que sean óptimamente compatibles con el funcionamiento de la bomba de carga. También sería deseable proporcionar técnicas para integrar dichas técnicas de protección de ESD en chip para disminuir su coste de implementación.

Breve descripción de los dibujos

35 La FIG 1 ilustra una forma de realización ejemplar de una forma de realización de una aplicación de bomba de carga, según la descripción actual.

La FIG 2 ilustra una forma de realización ejemplar de los conmutadores internos ubicados dentro de una bomba de carga, según la divulgación actual.

40 La FIG 2A ilustra una forma de realización ejemplar de la bomba de carga descrita con referencia a la FIG 2, en la que los conmutadores S1-S6 se implementan como una pluralidad de transistores MOS M1-M6.

La FIG 3A ilustra configuraciones ejemplar de los conmutadores S1-S6 en el primer modo de ganancia, o Ganancia = ½, en tres fases.

La FIG 3B ilustra la configuración de los conmutadores en el segundo modo de ganancia o Ganancia = 1, en dos fases.

45 La FIG 4 ilustra una forma de realización ejemplar de un esquema de protección de descarga electrostática (ESD) para los terminales de la bomba de carga descrita, con referencia a la FIG 2.

La FIG 4A ilustra una forma de realización ejemplar de la pinza dinámica.

La FIG 5 ilustra una forma de realización ejemplar de un esquema de protección de descarga electrostática la bomba de carga descrita, con referencia a la FIG 2A.

La FIG 6 ilustra una forma de realización ejemplar del módulo de control M4 525, para generar la tensión D4' para la conducción de M4.

La FIG 7 ilustra un circuito ejemplar para implementar las funciones descritas anteriormente en el presente documento con referencia a la FIG 6.

- 5 La FIG 8 ilustra una forma de realización ejemplar del módulo de control M5 515, para generar la tensión D5' para la conducción de M5.

La FIG 9 ilustra circuitos ejemplares para implementar las funciones descritas anteriormente en el presente documento con referencia a la FIG 8.

La FIG 10 ilustra una forma de realización ejemplar de un esquema de protección de nivel de IEC.

- 10 La FIG 11 ilustra una forma de realización ejemplar de las pinzas primera y segunda IEC.

La FIG 12 ilustra una forma de realización ejemplar de un procedimiento de acuerdo con con la presente divulgación.

Descripción detallada

Varios aspectos de la divulgación se describen a continuación en el presente documento con mayor detalle, con referencia a los dibujos adjuntos. No obstante, la presente divulgación puede ser incorporada en muchas formas diferentes y no debe considerarse limitada a ninguna estructura específica o función presentada a lo largo de la presente divulgación. Por el contrario, estos aspectos son proporcionados de modo que la presente divulgación sea exhaustiva y completa y para transmitir completamente el ámbito de la divulgación a los expertos en la técnica. Sobre la base de las enseñanzas descritas en el presente documento, un experto en la técnica debería apreciar que el ámbito de la divulgación está destinado a cubrir cualquier aspecto de la divulgación divulgado en el presente documento, ya sea implementada independientemente o combinada con cualquier otro aspecto de la divulgación. Por ejemplo, un aparato puede aplicarse o un procedimiento puede ser practicado usando cualquier número de los aspectos expuestos en el presente documento. Además, el ámbito de la divulgación se destina a cubrir tal aparato o procedimiento, que se practica usando otra estructura, funcionalidad, o estructura y funcionalidad, además de o de forma distinta de los diversos aspectos de la divulgación expuestos en el presente documento. Debe entenderse que cualquier aspecto de la divulgación divulgado en el presente documento puede ser realizado por uno o más elementos de una reivindicación.

La descripción detallada que se establece a continuación en relación con los dibujos adjuntos está concebida como una descripción de aspectos ejemplares de la invención y no está diseñada para representar solo los aspectos ejemplares en que puede practicarse la invención. El término "ejemplar" utilizado a lo largo de esta descripción significa "servir como un ejemplo, ejemplo o ilustración" y no debe necesariamente interpretarse como preferida o ventajosa sobre otros aspectos ejemplares. La descripción detallada incluye detalles específicos con el fin de proporcionar una comprensión global de los aspectos ejemplares de la invención. Será evidente para aquellos expertos en la técnica que los aspectos ejemplares de la invención pueden practicarse sin estos detalles específicos. En algunos casos, los dispositivos y estructuras bien conocidos aparecen en forma de diagrama de bloque para evitar el oscurecimiento de la novedad de los aspectos ejemplares presentados en el presente documento.

La FIG 1 ilustra una forma de realización ejemplar de una forma de realización de una aplicación de bomba de carga, según la presente divulgación. Obsérvese que la aplicación de la bomba de carga mostrada en la FIG 1 se muestra con fines ilustrativos y no pretende limitar el ámbito de la presente divulgación a cualquier aplicación de bomba de carga particular.

40 En la FIG 1 se proporciona una bomba de carga 120 con una tensión de suministro Vdd 105a de un suministro de energía 10. En una forma de realización ejemplar, el suministro de energía 10 puede, por ejemplo, ser un suministro de energía de modo de conmutación (SMPS), que también puede suministrar energía a otros módulos electrónicos. La bomba de carga 120 genera tensiones de salida Vpos 120a y Vneg 120b de la tensión Vdd 105a, configurando una pluralidad de conmutadores (no mostrados en la FIG 1) en la bomba de carga 120 hasta cargar y descargar sucesivamente un condensador flotante Cfly 125. En la forma de realización ejemplar mostrada, la ganancia de la bomba de carga, o el aumento relativo del nivel de Vdd a los niveles de Vpos y Vneg, es controlada por un cp_gain de señal de control 110a. Asimismo, el cambio de frecuencia, que determina la frecuencia a la cual se activan los conmutadores de la bomba de carga interna, es controlado por una señal de control cp_fclk 110b. Las señales de control cp_gain y cp_fclk pueden ser proporcionadas a un módulo de control del conmutador 123, que controla la apertura y cierre de los conmutadores de la bomba de carga interna.

Como se muestra en la FIG 1, los condensadores Cpos 161 y Cneg 162 pueden proporcionarse para almacenar la energía suministrada por la bomba de carga y para mantener los niveles de tensión Vpos 120a y Vneg 120b, respectivamente, para suministrar energía a un amplificador 20. El amplificador de potencia 20 amplifica una tensión de salida en el nodo de 20a para generar una tensión de salida en el nodo 20b.

La FIG 2 ilustra una forma de realización ejemplar de los conmutadores internos ubicados dentro de una bomba de carga, según la presente divulgación. Obsérvese que la bomba de carga particular mostrada en la FIG 2 se describe con fines ilustrativos y no pretende limitar el ámbito de la presente divulgación a cualquier implementación particular de conmutadores en una bomba de carga. Cualquier experto en la técnica apreciará que un número y/o topología alternativos de los conmutadores se pueden usar para llevar a cabo las mismas funciones que se describen en el presente documento con referencia a la FIG 2. Tales ejemplos de realización alternativos están destinados a incluirse dentro del ámbito de la presente divulgación.

En la FIG 2, el condensador flotante Cfly 125 tiene nodos C1p y C1n acoplados a una pluralidad de conmutadores S1-S6. C1p y C1n también pueden ser denotados en el presente documento como los primer y segundo nodos de condensador flotante, respectivamente. Los conmutadores S1-S6 están configurados para abrirse y cerrarse, por ejemplo, mediante el módulo de control del conmutador 123 mostrado en la FIG 1, a través de una serie de fases de funcionamiento descritas adicionalmente a continuación en el presente documento para generar las tensiones de salida Vpos 120a y Vneg 120b. En particular, en un primer modo de ganancia que corresponde a Ganancia = $\frac{1}{2}$, Vpos 120a y Vneg 120b pueden corresponder a $V_{dd}/2$ y $-V_{dd}/2$, respectivamente, mientras que en un segundo modo de ganancia correspondiente a Ganancia = 1, Vpos 120a y Vneg 120b pueden corresponder a Vdd y -Vdd, respectivamente.

Obsérvese que el conmutador S4 también puede ser denotado en el presente documento como el "conmutador de tierra", mientras que el conmutador S5 también se puede denotar en el presente documento como el "conmutador Vneg".

La FIG 2A ilustra una forma de realización ejemplar de la bomba de carga descrita con referencia a la FIG 2, en la que los conmutadores S1-S6 se implementan como una pluralidad de transistores MOS M1-M6. Cada uno de los transistores M1-M6 es conducido por un conductor correspondiente 201-206, que puede amortiguar las tensiones de control Control 1-6, generadas por, por ejemplo, el módulo de control del conmutador 123. Se apreciará que, en ciertas formas de realización ejemplares, los tamaños de los transistores individuales, junto con sus circuitos de conducción, pueden variar entre sí, en función de la tensión esperada y la carga actual a ser manipuladas por cada transistor.

La FIG 3A ilustra configuraciones ejemplar de los conmutadores S1-S6 en el primer modo de ganancia, o Ganancia = $\frac{1}{2}$, en tres fases. Como se muestra en la FIG 3A, durante la Fase I, los nodos C1p y C1n de Cfly están acoplados a los nodos Vdd y Vpos, respectivamente. Durante la Fase II, los nodos C1p y C1n se acoplan a los nodos Vpos y GND, respectivamente. Durante la Fase III, los nodos C1p y C1n se acoplan a los nodos GND y Vneg, respectivamente.

Se apreciará a partir de la configuración antes mencionada de conmutadores que la tensión total a través de Cfly se acercará a $V_{dd}/2$ en estado estacionario (sujeto a la corriente provocada por un módulo de carga que no se muestra), como las fases I y II, divide eficazmente la tensión de suministro Vdd en media entre Vpos y GND, durante las Fases I y II. Durante la Fase III, Cfly se invierte, y Vneg se acerca a $-V_{dd}/2$.

La FIG 3B ilustra la configuración de los conmutadores en el segundo modo de ganancia o Ganancia = 1, en dos fases. Como se muestra en la FIG 3B, durante la Fase I, el nodo C1P de Cfly está acoplado tanto a Vdd como a Vpos, mientras que el nodo C1n de Cfly está acoplado a GND. En esta fase, la tensión de suministro Vdd carga directamente el nodo C1P de Cfly a través del conmutador S1. Vdd también está acoplado al nodo de tensión de salida positiva Vpos a través de la conexión en serie de los conmutadores S1 y S3, cargando así uno de los terminales del condensador CPOs 161 (no mostrado en la FIG 3A). En la Fase I, la tensión total a través de Cfly se aproxima a Vdd, y Vpos también se aproxima a Vdd.

Durante la Fase II, los nodos C1p y C1n se acoplan a los nodos GND y Vneg, respectivamente. En esta fase, C1n está acoplado al nodo de tensión de salida negativo Vneg a través de S5, causando con ello que la tensión Vneg se aproxime a -Vdd, y la carga de uno de los terminales del condensador Cneg 162 (no mostrado en la FIG 3B).

Cualquier experto en la técnica apreciará, además, que en realizaciones ejemplares alternativas, la secuencia de las fases no necesita ser como se muestra en las FIG 3A y 3B, y puede estar dispuesta de forma alternativa. Por ejemplo, cualquiera de las fases que se muestran pueden ser conmutadas en secuencia. Además, se apreciará que en determinadas aplicaciones de la bomba de carga que no requieren una tensión de suministro invertida (negativa), la Fase III de modo de ganancia = $\frac{1}{2}$ puede omitirse. Tales ejemplos de realización alternativos están destinados a incluirse dentro del ámbito de la presente divulgación.

La FIG 4 ilustra una forma de realización ejemplar de un esquema de protección de descarga electrostática (ESD) para los terminales de la bomba de carga descrita, con referencia a la FIG 2. Obsérvese que el esquema de protección de ESD ejemplar de la FIG 4 se muestra solo con fines ilustrativos y no está destinado a limitar el ámbito de la presente divulgación.

En la FIG 4, los nodos etiquetados 400a-400f corresponden a los terminales eléctricamente acoplados a Vdd, GND, Vpos, Vneg, C1P y C1n, respectivamente. En una realización ejemplar, cada uno de los nodos puede estar acoplado a un adaptador de salida, que conecta el terminal respectivo a un terminal fuera de chip. Como se muestra en la FIG

4, y se describe adicionalmente a continuación en el presente documento, está provista una pluralidad de pinzas y diodos de protección polarizados inversamente entre los nodos, para derivar la corriente en caso de que se acumule una tensión alta entre cualquiera de los nodos.

5 Por ejemplo, en la FIG 4, una pinza 410 está dispuesta entre Vdd 400a y Vneg 400d. Una pinza dinámica 420 está dispuesto entre Vdd 400a y GND 400b. Una pinza dinámica 430 está dispuesta entre GND 400b y Vneg 400d. En una forma de realización ejemplar, la pinza 410 puede estar diseñada para una tensión más alta que las pinzas 420 y 430, ya que se espera que la pinza 410 soporte la diferencia de tensión más alta en el circuito entre los nodos Vdd y Vneg.

10 En una forma de realización ejemplar, una pinza dinámica puede indicar, por ejemplo, un transistor de efecto de campo muy grande con disparo RC, o "BigFET", tal como se ilustra en la FIG 4A. Se apreciará que tales pinzas pueden detectar un evento de ESD entre los terminales A y B, y funcionan para encender el BigFET dentro de la pinza al detectar dicho evento de ESD. Obsérvese que el funcionamiento de la pinza en la FIG 4A será evidente para cualquier experto en la técnica, a la luz de los principios divulgados en el presente documento. Obsérvese adicionalmente que la pinza dinámica de la FIG 4A se muestra con fines ilustrativos, y no pretende limitar el ámbito de la presente divulgación a cualquier implementación particular de una pinza.

15 En la FIG 4 se muestra adicionalmente un diodo polarizado inversamente 451 provisto entre Vdd 400a y Vpos 400c, y un diodo polarizado inversamente 452 provisto entre Vpos 400c y GND 400b. Los diodos 453 y 454 están dispuestos de manera similar entre Vdd 400a y C1P 400e y C1P 400e y GND 400b, respectivamente. Los diodos 455 y 456 están dispuestos entre Vdd 400a y C1n 400f, y C1n 400f y Vneg 400c, respectivamente. Finalmente, un diodo 457 está dispuesto entre C1P 400e y C1n 400f.

20 Se apreciará que, durante el funcionamiento de carga de la bomba, cuando la ganancia de la bomba de carga se desconecta, por ejemplo, de Ganancia = $\frac{1}{2}$ a Ganancia = 1, una proporción relativamente grande de tensión transitoria puede aparecer en el nodo 400d acoplado a Vneg, debido al cambio rápido en el nivel de tensión que se espera de $-\frac{Vdd}{2}$ a $-Vdd$. Dicha tensión transitoria puede causar una corriente de fuga indeseada en la pinza dinámica 430 de acoplamiento de Vneg 400d a GND 400b. Por consiguiente, sería ventajoso proporcionar técnicas para la protección de ESD en el nodo 400d acoplado a Vneg, que está optimizado para las oscilaciones de tensión esperadas durante el funcionamiento de la bomba de carga.

25 La FIG 5 ilustra una forma de realización ejemplar de un esquema de protección de descarga electrostática la bomba de carga descrita, con referencia a la FIG 2A. Obsérvese que la forma de realización ejemplar de la FIG 5 se muestra solo con fines ilustrativos y no está destinada a limitar el ámbito de la presente divulgación. Del mismo modo, los elementos etiquetados en las FIG 4 y 5 pueden corresponder a los elementos que realizan funciones similares, salvo que se observe lo contrario.

30 En la FIG 5, un primer módulo de detección de ESD 510 está configurado para detectar un evento de descarga electrostática entre los nodos Vdd 400a y Vneg 400d. El módulo 510 genera una señal indicadora DetA, cuyo valor es un alto lógico si se detecta el evento de ESD y, si no se detecta, es un bajo lógico. Además, un segundo módulo de detección de ESD 520 está configurado para detectar un evento de descarga electrostática entre los nodos GND 400b y Vneg 400d. El módulo 520 genera una señal indicadora DetB, cuyo valor es un alto lógico si se detecta el evento de ESD y, si no se detecta, es un bajo lógico. Obsérvese que esta memoria descriptiva y en las reivindicaciones, cada DetA y DetB bien puede denotar una señal o una tensión, dependiendo del contexto, y dicho significado será evidente para cualquier experto en la técnica.

35 En la FIG 5, el transistor M4 está acoplado entre los nodos GND 400b y C1n 400f. El transistor M4 mostrado en la FIG 5 puede ser idéntico al transistor conmutador M4 mostrado en la FIG 2A, también indicado como el conmutador de tierra. Sin embargo, en lugar de la tensión de excitación D4, que excita el transistor M4 en la FIG 2A, la tensión de excitación de M4 en la FIG 5 es una tensión D4' relacionada, que es generada por el módulo de control M4 525. El módulo 525 acepta la señal del indicador DetB desde el módulo 520.

40 El transistor M5 está acoplado entre los nodos C1n 400f y Vneg 400d. El transistor M5 mostrado en la FIG 5 puede ser idéntico al transistor conmutador M5 mostrado en la FIG 2A, también indicado como el conmutador Vneg. Sin embargo, en lugar de la tensión de excitación D5, que excita el transistor M5 en la FIG 2A, la tensión de excitación de M5 en la FIG 5 es una tensión D5' relacionada, que es generado por el módulo de control M5 515. El módulo 515 acepta las señales de indicador DetA y DetB de los módulos 510 y 520, respectivamente.

45 De acuerdo con el esquema de protección de ESD mostrado en la FIG 5, cuando se produce un evento de ESD entre GND 400b y C1n 400f, la corriente fluye desde GND a través del módulo de detección ESD 520 a Vneg y, también, de Vneg a C1n través del diodo 456. En respuesta, el módulo de detección ESD 520 fija la señal de indicador DetB alta, y el módulo de control M4 525 gira, correspondientemente, el transistor M4 utilizando D4'. El encendido de M4 ofrece una ruta eléctricamente conductiva desde GND a C1n, evitando así que se forme una tensión excesiva entre estos nodos.

50 Del mismo modo, cuando se produce un evento de ESD entre C1n 400f y Vneg 400d, la corriente fluye desde C1n través del diodo 455 a Vdd, y desde Vdd a Vneg a través del módulo de detección de ESD 510. En respuesta, el

módulo de detección EDS 510 fija la señal de indicador DetA alta, y el módulo de control M5 515 encienden, correspondientemente, el transistor M5 utilizando D5'. Esto proporciona una ruta conductora de C1n a Vneg.

Además, cuando se produce un evento de ESD entre GND y Vneg, el módulo de detección EDS 520 fija la señal de indicador DetB alta. En respuesta, el módulo de control M4 525 y el módulo de control M5 515 encienden automáticamente ambos transistores M4 y M5 a través de D4' y D5', respectivamente. Esto proporciona una ruta conductora desde GND 400b a Vneg 400d, a través de la conexión en serie de M4 y M5.

La FIG 6 ilustra una forma de realización ejemplar del módulo de control M4 525, para generar la tensión D4' para la conducción de M4. Obsérvese que los bloques funcionales en la FIG 6 solo se muestran con fines ilustrativos, y no están destinados a limitar el ámbito de la presente divulgación. En ejemplos de realización alternativos, se apreciará que se puede combinar cualquiera de los bloques funcionales, y/o elementos lógicos adicionales, claros para cualquier experto en la técnica, se pueden introducir según sea necesario. Tales ejemplos de realización alternativos están destinados a incluirse dentro del ámbito de la presente divulgación.

En la FIG 6, el conductor M4 204 se dispone con una entrada inhabilitada 600a, que, tras la activación, puede desactivar selectivamente la capacidad de conducción del conductor M4 204. La entrada deshabilitada 600a está acoplada a la señal de indicador DetB generada por el módulo de detección de ESD 520. La señal de indicador DetB está dotada también de un módulo de actuación de compuerta 610. El módulo de actuación de compuerta 610 está configurado para actuar la compuerta de M4 alta en respuesta a DetB alta, encendiendo así el transistor M4. Cuando DetB es bajo, el módulo de actuación de compuerta 610 puede presentar una alta impedancia a la compuerta de M4.

La FIG 7 ilustra circuitos ejemplares para implementar la funciones descritas anteriormente en el presente documento con referencia a la FIG 6. Obsérvese que los circuitos ejemplares se muestran con fines ilustrativos y no pretenden limitar el ámbito de la presente divulgación a cualquier implementación particular de los bloques descritos.

En la FIG 7, un módulo de detección de ESD 520.1 ejemplar incluye un condensador 710 acoplado a una resistencia 712 en un nodo de soporte de la tensión DetB. En una forma de realización ejemplar, el condensador 710 puede ser, por ejemplo, 5 pF, y la resistencia 712 puede ser, por ejemplo, de 200 kOhm. Se apreciará que estos valores pueden ser escogidos para establecer una constante de tiempo particular RC, por ejemplo, 1 microsegundo para el módulo 520.1. En una forma de realización ejemplar, el condensador 710 puede ser un condensador MOS incorporado en chip. Se apreciará que, en ausencia de corriente desde GND a Vneg, la tensión DetB permanecerá cercano a Vneg, mientras que un pico de corriente de GND a Vneg hará que la tensión DetB sea alta.

En la FIG 7, la tensión DetB está acoplada además a un inversor 720, que incluye los transistores 722, 724. La salida del inversor 720 está acoplada a un módulo de actuación de compuerta ejemplar 610.1. El módulo 610.1 incluye un transistor PMOS 730 y un diodo 732. Se apreciará que, cuando el transistor 730 está apagado, el módulo 610.1 forma efectivamente un circuito abierto entre la compuerta de M4 y GND. Sin embargo, cuando el transistor 730 se activa por la salida del inversor 720, el diodo 732 acopla eléctricamente la compuerta de M4 a GND, encendiendo así M4.

También se muestra en la FIG 7, un conductor M4 204.1 ejemplar, que incluyen los transistores 740, 742, 744 y 746, cuyo funcionamiento puede ser desactivado por un transistor desplegable 750, que puede desactivar selectivamente el transistor 746.

La FIG 8 ilustra una forma de realización ejemplar del módulo de control M5 515, para generar la tensión D5' para la conducción de M5. Como se describió anteriormente en el presente documento para el módulo 515, se apreciará que los bloques funcionales de la FIG 8 se muestran con fines ilustrativos y no están destinados a limitar el ámbito de la presente divulgación. En ejemplos de realización alternativos, se apreciará que cualquiera de los bloques funcionales se puede combinar y/o se pueden introducir elementos lógicos adicionales según sea necesario. Tales ejemplos de realización alternativos están destinados a incluirse dentro del ámbito de la presente divulgación.

En la FIG 8, el conductor M5 205 se dispone con una entrada inhabilitada 800a, que, tras la activación, puede desactivar selectivamente la capacidad de conducción del conductor M5 205. La entrada deshabilitada 800a está acoplada a la señal de indicador DetA generada por el módulo de detección de ESD 510, y a la señal de indicador DetB generada por el módulo de detección de ESD 520. Las señales DetA y DetB también se proporcionan a un módulo de actuación de compuerta 810. El módulo de actuación de compuerta 810 está configurado para actuar la compuerta de M5 alta en respuesta a DetA o DetB altos, encendiendo así el transistor M5. Cuando DetA y DetB son bajos, el módulo de actuación de compuerta 810 puede presentar una alta impedancia a la compuerta de M5.

La FIG 9 ilustra circuitos ejemplares para implementarlas funciones antes descritas anteriormente en el presente documento con referencia a la FIG 8. Obsérvese que los circuitos ejemplares se muestran con fines ilustrativos y no pretenden limitar el ámbito de la presente divulgación a cualquier implementación particular de los bloques descritos.

En la FIG 9, un módulo de detección ejemplar de ESD 510.1 incluye un condensador 910 acoplado a una resistencia 912 en un nodo que soporta la tensión DetA. En una forma de realización ejemplar, el condensador 910 puede ser,

por ejemplo, 5 pF, y la resistencia 912 puede ser, por ejemplo, de 200 kOhm. Se apreciará que, en ausencia de corriente desde Vdd a Vneg, la tensión DetA permanecerá cercano a Vneg, mientras que un pico de corriente de Vdd a Vneg hará que la tensión DetA sea alta. En la FIG 9, la tensión DetA está acoplada además a un inversor 920, que incluye los transistores 922, 924. La salida del inversor 920 está acoplada a un módulo de actuación de compuerta ejemplar 810.1. El módulo 810.1 incluye un transistor PMOS 930 y un diodo 932. Se apreciará que, cuando el transistor 930 está apagado, el módulo 810.1 forma efectivamente un circuito abierto entre la compuerta de M5 y C1n. Sin embargo, cuando el transistor 930 se activa por la salida del inversor 920, el diodo 932 acopla eléctricamente la compuerta de M5 a C1n.

También se muestra en la FIG 9, un conductor M5 205.1 ejemplar, que incluye los transistores 940, 942, 944 y 946, cuyo funcionamiento puede ser desactivado por un transistor desplegable 950, que puede desactivar selectivamente el transistor 946.

En un aspecto adicional de la presente divulgación, se describen técnicas para proporcionar protección de nivel de IEC en chip para un amplificador de potencia. De acuerdo con la protección de ESD 61000-4-2 de la Comisión Electrotécnica Internacional (IEC), la bomba de carga y el circuito amplificador de potencia descritos en el presente documento pueden ser diseñados para soportar, por ejemplo, una corriente de descarga eléctrica de hasta 30 amps a un adaptador de salida del amplificador de potencia con respecto a GND. La FIG 10 ilustra una forma de realización ejemplar de un esquema de protección de nivel de IEC. En la FIG 10, algunos elementos están etiquetados de manera similar a los elementos anteriores descritos anteriormente en el presente documento. En tales casos, se apreciará que los elementos etiquetados de manera similar pueden realizar funciones similares, a menos que se observe lo contrario.

En la FIG 10, una sección de la bomba de carga 1000A se interconecta con una sección del amplificador de potencia 1000B. En una forma de realización ejemplar, tanto la sección de la bomba de carga 1000A como la sección del amplificador de potencia 1000B pueden ser proporcionados en un solo chip. Los diodos 451 y 452 y las pinzas 410 y 420 se proporcionan junto con la pinza M4-M5 1010 para proporcionar funciones de protección de ESD para la bomba de carga 1000A, como se ha descrito con anterioridad. En una forma de realización ejemplar, la pinza M4-M5 1010 puede implementar las técnicas de protección de ESD, como se describe con referencia a las FIG 5-9.

En la sección del amplificador de potencia 1000B, un amplificador de potencia 20.1 está configurado para amplificar una tensión de entrada en el nodo 20.1a, para generar una tensión de salida en el nodo 20.1b. Las tensiones de salida de la bomba de carga Vpos y Vneg se proporcionan a través de los transistores 1082 y 1084, respectivamente, para excitar la salida del amplificador de potencia 20.1b. Obsérvese que una pinza dinámica 1070 se puede proporcionar adicionalmente entre Vdd y GND.

En la FIG 10, una primera pinza IEC 1090 se proporciona para sujetar el nodo de salida 20.1b a Vpos, y una segunda pinza IEC 1092 se proporciona para sujetar el nodo de salida 20.1b a GND. En una realización ejemplar, cada una de las pinzas IEC 1090 y 1092 puede ser una pinza de retroceso en chip, por ejemplo, implementada como un transistor de compuerta a tierra NMOS (GGNMOS). Se apreciará que la provisión de la primera pinza IEC 1090 puede reducir ventajosamente la tensión de drenaje a fuente a través del transistor PMOS 1082 para que sea menor que una tensión de cebado, por ejemplo, de 10 voltios, impidiendo así que el transistor PMOS 1082 entre en condición de retroceso. En una forma de realización ejemplar, el balastado de drenaje o un bloque salicide no necesita ser proporcionado para el transistor PMOS 1082, mientras que el transistor NMOS 1084 puede incorporar un mínimo balastado de drenaje, por ejemplo, 0,43 micrómetros.

Se apreciará que, cuando está presente en el nodo de salida 20.1b un evento de ESD, que implica una tensión positiva grande, la segunda pinza IEC 1092 deriva la corriente de ESD del nodo de salida 20.1b a GND a través del diodo 531. Cuando un evento de ESD, que implica una gran tensión negativa está presente en el nodo de salida 20.1b, la corriente de ESD se desvía de GND al nodo de salida 20.1b a través del diodo 452 y la primera pinza IEC 1090. Además, una trayectoria conductora paralela también está presente para derivar la corriente de ESD de GND al nodo de salida 20.1b a través de la pinza M4-M5 1010 y un diodo inverso presente en la segunda pinza IEC 1092.

La FIG 11 ilustra una realización ejemplar de la primera y segunda pinzas IEC 1090 y 1092. En la FIG 11, la primera pinza 1090.1 es una pinza de retroceso con iniciación de sustrato conocido en la técnica. Como se muestra en la FIG 11, el sustrato de NMOS 1132 está conectado a Vneg. Durante un evento IEC negativo, cuando la tensión del adaptador en la salida 20.1b se hace negativa, el diodo de cuerpo del NMOS 1132 se enciende, inyectando así corriente en el sustrato de NMOS 1132, y encendiendo la parasitaria BJT presente dentro del NMOS. La segunda pinza 1092.1 es una pinza de retroceso de actuación de compuerta. La actuación de compuerta en el NMOS funcionará para bajar el umbral para la ruptura por avalancha del diodo de sustrato de drenaje de NMOS 1144. Esto ayuda a que el dispositivo entre en el modo retroceso (por ejemplo, encendiendo el parasitario BJT dentro del NMOS 1144) a la tensión de cebado del dispositivo. Si no se aplica actuación de compuerta, entonces el dispositivo entraría en retroceso en la tensión de disparo del dispositivo, que es mucho más alta que la tensión de cebado. Por ejemplo, la tensión de cebado puede ser de 5 V, y la tensión de disparo puede ser de 8 V para un dispositivo NMOS.

La FIG 12 ilustra una forma de realización ejemplar de un procedimiento 1200 de acuerdo con con la presente divulgación. Obsérvese que el procedimiento de la FIG 12 se muestra con fines ilustrativos y no pretende limitar el ámbito de la presente divulgación a cualquier procedimiento particular mostrado.

5 En la FIG 12, en el bloque 1210, una pluralidad de conmutadores están configurados para acoplar eléctricamente (de forma sucesiva) y desacoplar los primer y segundo nodos de un condensador flotante a una pluralidad de nodos. La pluralidad de nodos puede comprender un nodo de tensión de suministro, un nodo de tensión de salida positiva, un nodo de tensión de salida negativa y un nodo de tierra. En una forma de realización ejemplar, la pluralidad de conmutadores comprende un conmutador Vneg, que acopla el segundo nodo del condensador flotante al nodo de tensión de salida negativa.

10 En el bloque 1220, se detecta un evento de ESD entre el nodo de tensión de alimentación y el nodo de tensión de salida negativa.

En el bloque 1230, el conmutador Vneg está configurado para acoplar eléctricamente el segundo nodo del condensador flotante al nodo de tensión de salida negativa en respuesta a la detección del evento de ESD entre el nodo de tensión de suministro y el nodo de tensión de salida negativa.

15 En el bloque 1240, también se detecta un evento de ESD entre el nodo de tierra y el nodo de tensión de salida negativa.

En el bloque 1250, el conmutador de tierra está configurado para acoplar eléctricamente el nodo de tierra al segundo nodo del condensador flotante en respuesta a la detección del evento de ESD entre el nodo de tierra y el nodo de tensión de salida negativa.

20 En esta memoria descriptiva y en las reivindicaciones se entenderá que, cuando un elemento se denomina como "conectado a" o "acoplado a" otro elemento, puede estar directamente conectado o acoplado al otro elemento o elementos intervinientes, que puedan estar presentes. En contraste, cuando un elemento se designa como "directamente conectado a" o "directamente acoplado a" otro elemento, no hay elementos intermedios presentes. Además, cuando un elemento se designa "eléctricamente acoplado" a otro elemento, denota que está presente una
25 ruta de baja resistencia entre dichos elementos, mientras que cuando un elemento se designa como simplemente "acoplado" a otro elemento, puede o no puede haber una ruta de baja resistencia entre tales elementos.

Los expertos en la técnica entenderán que la información y las señales pueden representarse usando cualquiera de una variedad de diferentes tecnologías y técnicas. Por ejemplo, datos, instrucciones, comandos, información, señales, bits, símbolos y chips, que pueden haber sido mencionados a lo largo de la descripción anterior, pueden
30 representarse mediante tensiones, corrientes, ondas electromagnéticas, campos o partículas magnéticas, campos o partículas ópticas, o cualquier combinación de los mismos.

Los expertos en la técnica apreciarán además que los diversos bloques, módulos, circuitos y pasos de algoritmo lógicos ilustrativos descritos en conexión con los aspectos ejemplares divulgados en el presente documento pueden implementarse como hardware electrónico, software informático o combinaciones de ambos. Para ilustrar claramente
35 esta intercambiabilidad de hardware y software, anteriormente se han descrito diversos componentes ilustrativos, bloques, módulos, circuitos y pasos, generalmente, en términos de su funcionalidad. Si tal funcionalidad se implementa como hardware o software, dependerá de la aplicación particular y el las limitaciones de diseño impuestas sobre todo el sistema. Los expertos en la técnica pueden implementar la funcionalidad descrita de varias maneras para cada aplicación particular, pero tales decisiones de implementación no deberían interpretarse como
40 causantes de un alejamiento del ámbito de los aspectos ejemplares de la invención.

Los diversos bloques, módulos y circuitos lógicos ilustrativos descritos en conexión con los aspectos ejemplares divulgados en el presente documento pueden implementarse o realizarse con un procesador de propósito general, un procesador de señal digital (DSP), un circuito integrado de aplicación específica (ASIC), un campo programable
45 Gate Array (FPGA) u otro dispositivo lógico programable, compuerta o transistor lógico, componentes de hardware discretos o cualquier combinación de los mismos diseñada para realizar las funciones descritas en el presente documento. Un procesador de propósito general puede ser un microprocesador, pero, en la alternativa, el procesador puede ser cualquier procesador, excitador, microexcitador o máquina de estado convencional. Un procesador también puede implementarse como una combinación de dispositivos informáticos, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores
50 en conjunción con un núcleo DSP o cualquier otra configuración.

Los pasos de un procedimiento o algoritmo descrito en conexión con los aspectos ejemplares divulgados en el presente documento pueden realizarse directamente en hardware, en un módulo de software ejecutado por un procesador o en una combinación de los dos. Un módulo de software puede residir en la memoria de acceso
55 aleatorio (RAM), en la memoria flash, en la memoria de solo lectura (ROM), en la ROM programable eléctricamente (EPROM), en la ROM programable y borrable eléctricamente (EEPROM), en registros, en el disco duro, en un disco extraíble, en un CD-ROM o en cualquier otra forma de medio de almacenamiento conocido en la técnica. Un medio de almacenamiento ejemplar se acopla al procesador, de manera que el procesador pueda leer la información del medio de almacenamiento y escribir la información en el medio de almacenamiento. En la alternativa, el medio de

almacenamiento puede ser integral al procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en un terminal de usuario. En la alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en un terminal de usuario.

5 En uno o más aspectos ejemplares, las funciones descritas pueden implementarse en hardware, software, firmware o cualquier combinación de los mismos. Si se implementan en software, las funciones pueden almacenarse en o ser transmitidas a través de, como una o más instrucciones o código, en un medio legible por ordenador. Los medios legibles por ordenador incluyen tanto medios de almacenamiento informáticos como los medios de comunicación, incluyendo cualquier medio que facilita la transferencia de un programa informático de un lugar a otro. Un medio de almacenamiento puede ser cualquier medio disponible al que se puede acceder por un ordenador. A modo de ejemplo no exhaustivo, tales medios legibles por ordenador pueden comprender RAM, ROM, EEPROM, CD-ROM u otro almacenamiento en disco óptico, almacenamiento en disco magnético u otros dispositivos de almacenamiento magnético, o cualquier otro medio que puede ser utilizado para llevar o almacenar el código de programa deseado en forma de instrucciones o estructuras de datos y que se puede acceder a través de un ordenador. Además, cualquier conexión se denomina correctamente un medio legible por ordenador. Por ejemplo, si el software es transmitido desde una página web, servidor o cualquier otra fuente remota usando un cable coaxial, cable de fibra óptica, cable de par trenzado, una línea de abonado digital de alta velocidad (DSL) o tecnología sin hilos como infrarrojos, radio y microondas, entonces el cable coaxial, el cable de fibra óptica, el cable de par trenzado, el DSL o las tecnologías sin hilos como los infrarrojos, radio o microondas están incluidos en la definición de medio. Disco , como se usa en el presente documento, incluye disco compacto (CD), disco láser, disco óptico, disco versátil digital (DVD), disquete y disco Blu-Ray, donde el disco normalmente reproduce datos magnéticamente, mientras que los discos reproducen datos ópticamente con láser. Las combinaciones anteriormente descritas también deberían incluirse en el ámbito de los medios legibles por ordenador.

25 La descripción anterior de los aspectos ejemplares divulgados se proporciona para posibilitar que cualquier experto en la técnica pueda hacer o usar la invención. Las diversas modificaciones a estos aspectos ejemplares serán fácilmente evidentes para los expertos en la técnica , y los principios genéricos definidos en el presente documento se pueden aplicar a otros aspectos ejemplares sin salirse del alcance de la invención definida por las reivindicaciones. Así, la presente divulgación no pretende limitarse a los aspectos ejemplares mostrados en el presente documento sino que ha de estar de acuerdo con el ámbito más amplio consistente con los principios y características novedosas divulgadas en el presente documento.

30

REIVINDICACIONES

1. Un aparato que comprende:

5 una pluralidad de conmutadores (M1-M6) configurados para sucesivamente acoplar y desacoplar eléctricamente los primer (C1p) y segundo (C1n) nodos de un condensador flotante (125) a una pluralidad de nodos (Vin, Vpos, Vneg, GND), en el que la pluralidad de conmutadores comprende un primer conmutador (M5) que acopla el segundo nodo del condensador flotante a un nodo de tensión de salida negativa (Vneg), el primer conmutador está configurado para acoplar eléctricamente el segundo nodo del condensador flotante al nodo de tensión de salida negativa en respuesta a la detección de un evento de ESD entre un nodo de tensión de suministro (Vdd) y el nodo de tensión de salida negativa.

10 2. El aparato de la reivindicación 1, que comprende adicionalmente un primer módulo de detección de ESD (510) configurado para detectar un evento de ESD entre el nodo de tensión de suministro y el nodo de tensión de salida negativa, estando el primer conmutador configurado para acoplar eléctricamente el segundo nodo del condensador flotante al nodo de tensión de salida negativa en respuesta a un evento de ESD detectado por el primer módulo de detección de ESD.

15 3. El aparato de la reivindicación 2, en el que la pluralidad de conmutadores comprende adicionalmente un conmutador de tierra que acopla el nodo de tierra al segundo nodo del condensador flotante, adicionalmente comprendiendo el aparato:

20 un segundo módulo de detección de ESD configurado para detectar un evento de ESD entre el nodo de tierra y el nodo de tensión de salida negativa, estando el conmutador de tierra configurado adicionalmente para acoplar eléctricamente el nodo de tierra al segundo nodo del condensador flotante en respuesta a un evento de detección de ESD detectado por el segundo módulo de detección de ESD.

4. El aparato de la reivindicación 2, que comprende adicionalmente un diodo polarizado directamente desde el nodo de tensión de salida negativa al segundo nodo del condensador flotante.

25 5. El aparato de la reivindicación 3, estando el primer conmutador configurado adicionalmente para acoplar eléctricamente el segundo nodo del condensador flotante al nodo de tensión de salida negativa en respuesta a un evento de ESD detectado por el segundo módulo de detección de ESD; y preferiblemente comprende adicionalmente un diodo polarizado directamente desde el segundo nodo del condensador flotante al nodo de tensión de suministro.

30 6. El aparato de la reivindicación 2, comprendiendo el primer conmutador un transistor NMOS, comprendiendo adicionalmente el aparato un circuito de excitación para excitar el transistor NMOS durante el funcionamiento normal de la bomba de carga, estando el circuito de excitación configurado para desactivarse en respuesta al evento de ESD detectado por el primer módulo de detección de ESD, comprendiendo adicionalmente el aparato un primer módulo de actuación de compuerta configurado para actuar la compuerta del transistor NMOS del primer conmutador en respuesta al evento de ESD detectado por el primer módulo de detección de ESD.

35 7. El aparato de la reivindicación 6, estando el circuito de excitación configurado para desactivarse en respuesta al evento de ESD detectado por el segundo módulo de detección de ESD, estando el primer módulo de actuación de compuerta configurado adicionalmente para actuar la compuerta del transistor NMOS del primer conmutador en respuesta al evento de ESD detectado por el segundo módulo de detección de ESD.

8. El aparato de la reivindicación 2, comprendiendo el primer módulo de detección de ESD:

40 un condensador que acopla el nodo de tensión de suministro a un primer nodo de tensión de detección de ESD; y una resistencia que acopla el primer nodo de tensión de detección de ESD al nodo de tensión de salida negativa.

9. El aparato de la reivindicación 6, comprendiendo el primer módulo de detección de ESD:

45 un condensador que acopla el nodo de tensión de suministro con un primer nodo de tensión de detección de ESD; y una resistencia que acopla el primer nodo de tensión de detección de ESD y el nodo de tensión de salida negativa; comprendiendo el primer módulo de actuación de compuerta: un transistor PMOS que incluye una fuente acoplada al segundo nodo del condensador flotante; y un diodo que acopla el drenaje del transistor PMOS con la compuerta del transistor NMOS del primer conmutador, estando el diodo polarizado directamente desde el drenaje del transistor PMOS con la compuerta del transistor NMOS; incluyendo adicionalmente el aparato:

50 un inversor que acopla el primer nodo de tensión de detección de ESD a la compuerta del transistor PMOS del primer módulo de actuación de compuerta; y preferiblemente el conmutador de tierra que incluye un transistor NMOS, incluyendo adicionalmente el aparato un circuito de excitación para excitar el transistor NMOS durante el funcionamiento normal de la bomba de carga, estando el circuito de excitación configurado para desactivarse en respuesta al evento de ESD detectado por el segundo módulo de detección de ESD, incluyendo adicionalmente el aparato un segundo módulo de actuación de compuerta, configurado para actuar la compuerta del transistor NMOS

del conmutador de tierra en respuesta al evento de ESD detectado por el segundo módulo de detección de ESD; comprendiendo el segundo módulo de detección de ESD:

5 un condensador que acopla el nodo de tierra a un nodo de tensión de detección de ESD; y una resistencia que acopla el segundo nodo de tensión de detección de ESD al nodo de tensión de salida negativa; incluyendo el segundo módulo de actuación de compuerta:

un transistor PMOS que incluye una fuente acoplada al segundo nodo del condensador flotante; y un diodo que acopla el drenaje del transistor PMOS a la compuerta del transistor NMOS del conmutador de tierra, estando el diodo polarizado directamente desde el drenaje del transistor PMOS a la compuerta del transistor NMOS; comprendiendo adicionalmente el aparato:

10 un inversor que acopla el segundo nodo de tensión de detección de ESD a la compuerta del transistor PMOS del segundo módulo de actuación de compuerta.

15 **10.** El aparato de la reivindicación 3, incluyendo el conmutador de tierra un transistor NMOS, incluyendo adicionalmente el aparato un circuito de excitación para excitar el transistor NMOS durante el funcionamiento normal de la bomba de carga, estando el circuito de excitación configurado para desactivarse en respuesta al evento de ESD detectado por el segundo módulo de detección de ESD, incluyendo adicionalmente el aparato un segundo módulo de actuación de compuerta configurado para actuar la compuerta del transistor NMOS del conmutador de tierra, en respuesta al evento de ESD detectado por el segundo módulo de detección de ESD; comprendiendo preferiblemente el segundo módulo de detección de ESD:

20 un condensador que acopla el nodo de tierra a un segundo nodo de tensión de detección de ESD; y una resistencia que acopla el segundo nodo de tensión de detección de ESD al nodo de tensión de salida negativa; incluyendo el segundo módulo de actuación de compuerta:

25 un transistor PMOS que incluye una fuente acoplada al segundo nodo del condensador flotante; y un diodo que acopla el drenaje del transistor PMOS a la compuerta del transistor NMOS del conmutador de tierra, estando el diodo polarizado directamente desde el drenaje del transistor PMOS a la compuerta del transistor NMOS; incluyendo adicionalmente el aparato:

un inversor que acopla el segundo nodo de tensión de detección de ESD a la compuerta del transistor PMOS del segundo módulo de actuación de compuerta.

11. El aparato de la reivindicación 3, comprendiendo el segundo módulo de detección de ESD:

30 un condensador que acopla el nodo de tierra a un segundo nodo de tensión de detección de ESD; y una resistencia que acopla el segundo nodo de tensión de detección de ESD al nodo de tensión de salida negativa.

12. El aparato de la reivindicación 2, que incluye adicionalmente:

35 un amplificador de potencia acoplado a un nodo de tensión de salida positiva y al nodo de tensión de salida negativa, incluyendo el amplificador de potencia un nodo de salida; y una primera pinza de retroceso en chip que acopla el nodo de salida del amplificador de potencia al nodo de tensión de salida positiva; y preferiblemente la primera pinza de retroceso en chip incluye una pinza de retroceso iniciada por substrato; o comprende adicionalmente:

un amplificador de potencia acoplado a un nodo de tensión de salida positiva y a un nodo de tensión de salida negativa incluyendo el amplificador de potencia un nodo de salida; y una segunda pinza de retroceso en chip que acopla el nodo de salida del amplificador de potencia con el nodo de tensión de salida negativa; e incluyendo preferiblemente la segunda pinza de retroceso en chip una pinza de retroceso de actuación de compuerta.

40 **13.** Un procedimiento que comprende:

45 configurar una pluralidad de conmutadores (M1-M6) para sucesivamente acoplar y desacoplar eléctricamente los primer (C1p) y segundo (C1n) nodos de un condensador flotante (125) a una pluralidad de nodos (Vin, Vpos, Vneg, GND), en el que la pluralidad de conmutadores comprende un primer conmutador (M5) que acopla el segundo nodo del condensador flotante a un nodo de tensión de salida negativa (Vneg); y detectar un evento de ESD (510) entre un nodo de tensión de suministro (Vdd) y el nodo de tensión de salida negativa; y configurar el primer conmutador para acoplar eléctricamente el segundo nodo del condensador flotante al nodo de tensión de salida negativa en respuesta a la detección del evento de ESD.

50 **14.** El procedimiento de la reivindicación 13, en el que la pluralidad de conmutadores comprende adicionalmente un conmutador de tierra que acopla un nodo de tierra al segundo nodo del condensador flotante, comprendiendo adicionalmente el procedimiento:

detectar un evento de ESD entre el nodo de tierra y el nodo de tensión de salida negativa; y configurar el conmutador de tierra para acoplar eléctricamente el nodo de tierra al segundo nodo del condensador flotante en

respuesta a la detección del evento de ESD entre el nodo de tierra y el nodo de tensión de salida negativa; y preferiblemente que comprende adicionalmente:

5 configurar el primer conmutador para acoplar eléctricamente el segundo nodo del condensador flotante al nodo de tensión de salida negativa en respuesta a la detección del evento de ESD entre el nodo de tensión de suministro y el nodo de tensión de salida negativa.

15. El procedimiento de la reivindicación 13, que comprende adicionalmente:

10 amplificar una tensión de entrada usando un amplificador de potencia para generar una tensión de salida en un nodo de salida, estando el amplificador de potencia acoplado a un nodo de tensión de salida positiva y a un nodo de tensión de salida negativa; y que acopla el nodo de salida del amplificador de potencia al nodo de tensión de salida positiva usando una primera pinza de retroceso en chip que incluye una pinza de retroceso iniciada por substrato; o que comprende adicionalmente:

15 amplificar una tensión de entrada usando un amplificador de potencia para generar una tensión de salida en un nodo de salida, estando el amplificador de potencia acoplado a un nodo de tensión de salida positiva y al nodo de tensión de salida negativa; y que acopla el nodo de salida del amplificador de potencia al nodo de tensión de salida negativa usando una segunda pinza de retroceso en chip que incluye una pinza de retroceso de actuación de compuerta.

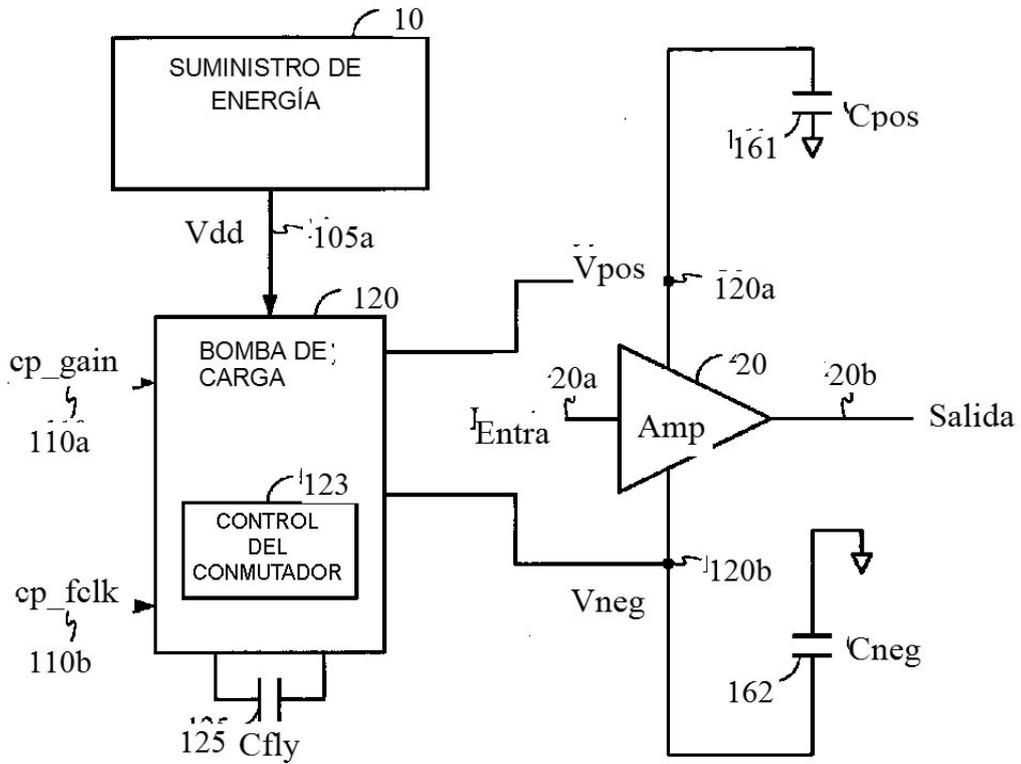


FIG 1

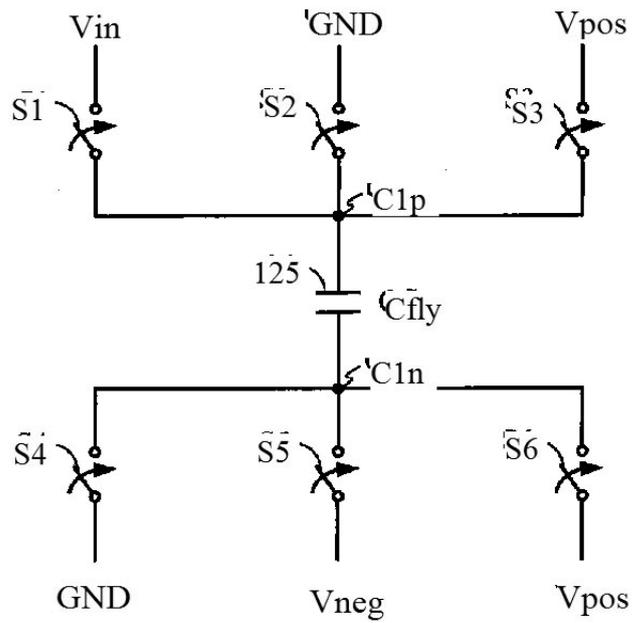


FIG 2

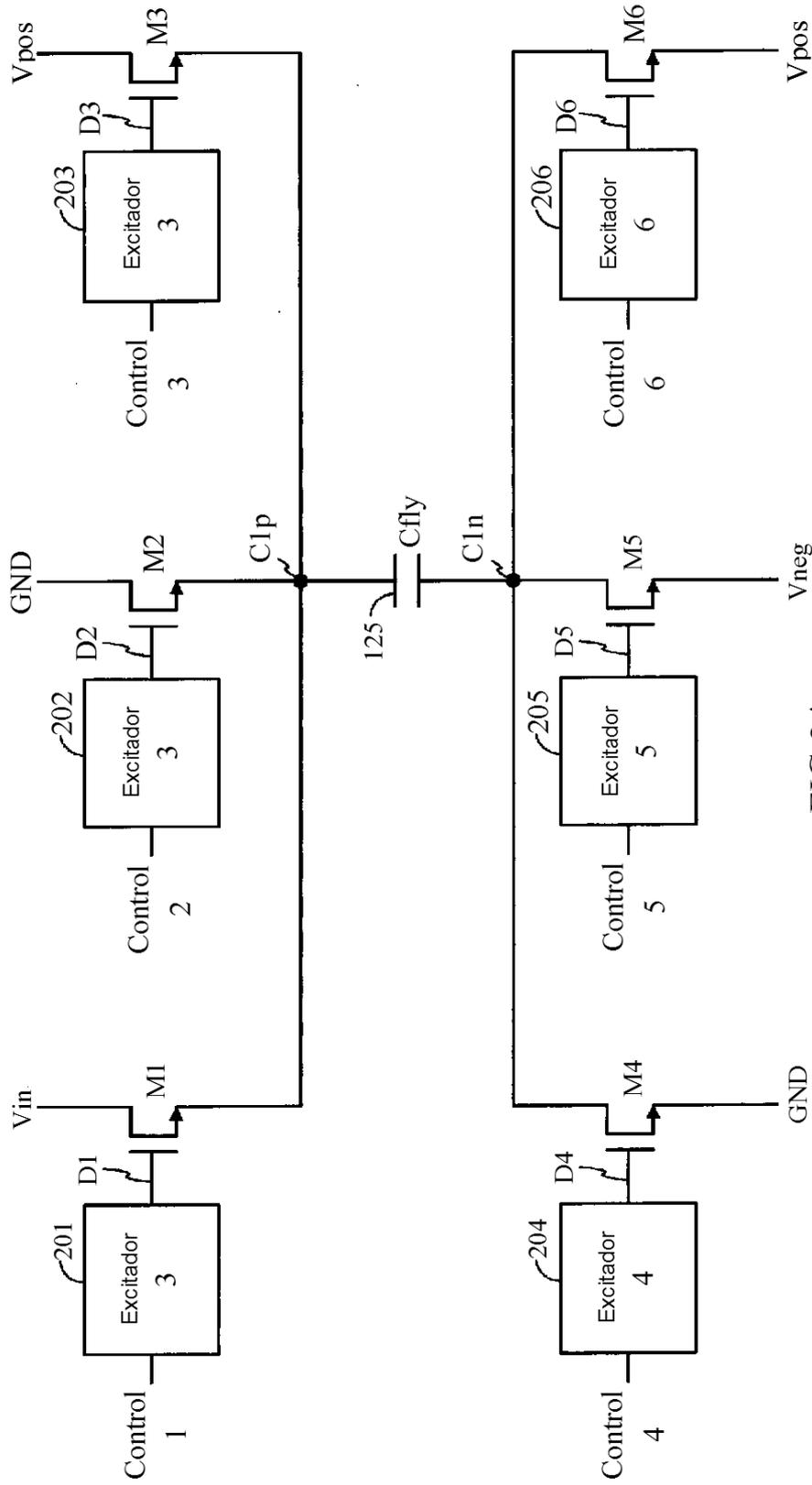


FIG 2A

Modo de ganancia

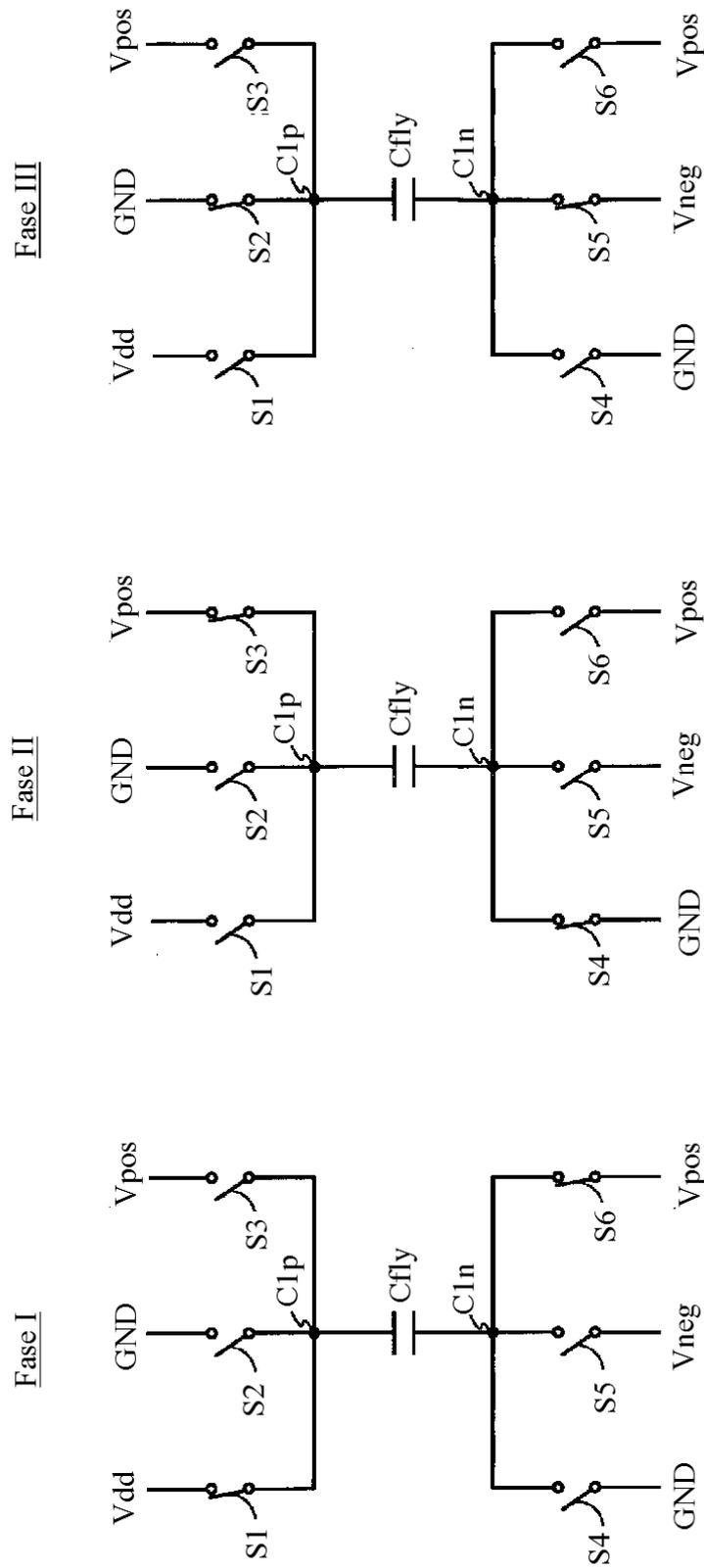


FIG 3A

Modo de ganancia = 1

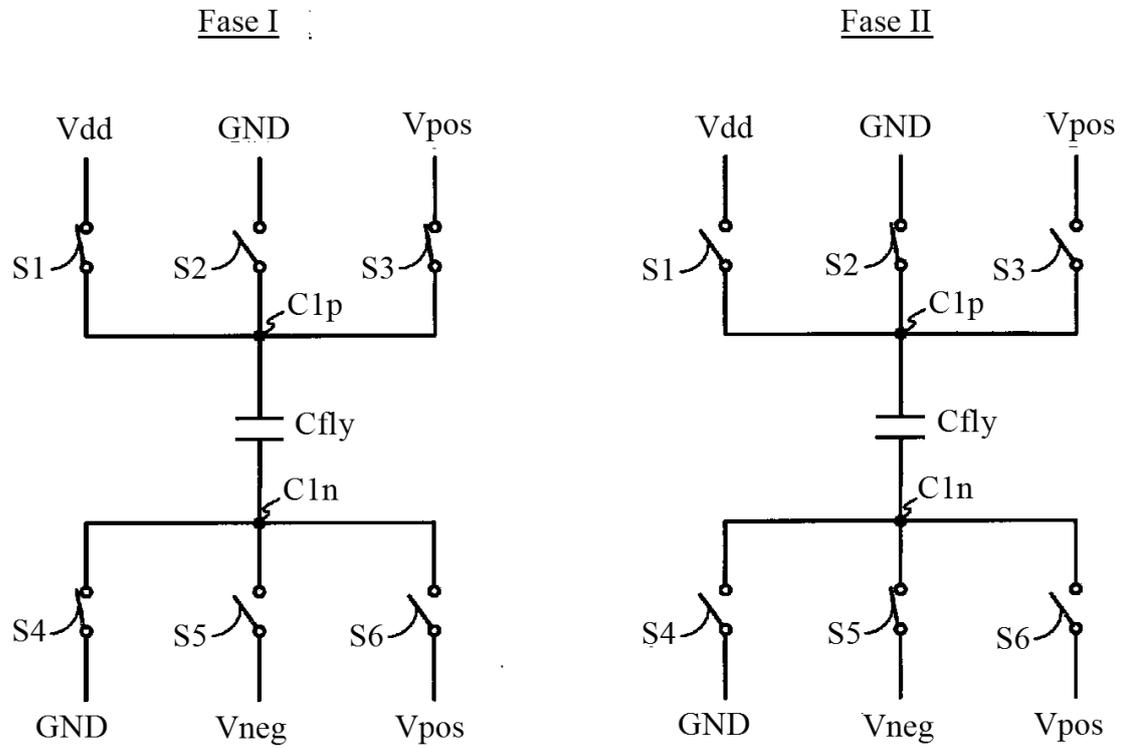


FIG 3B

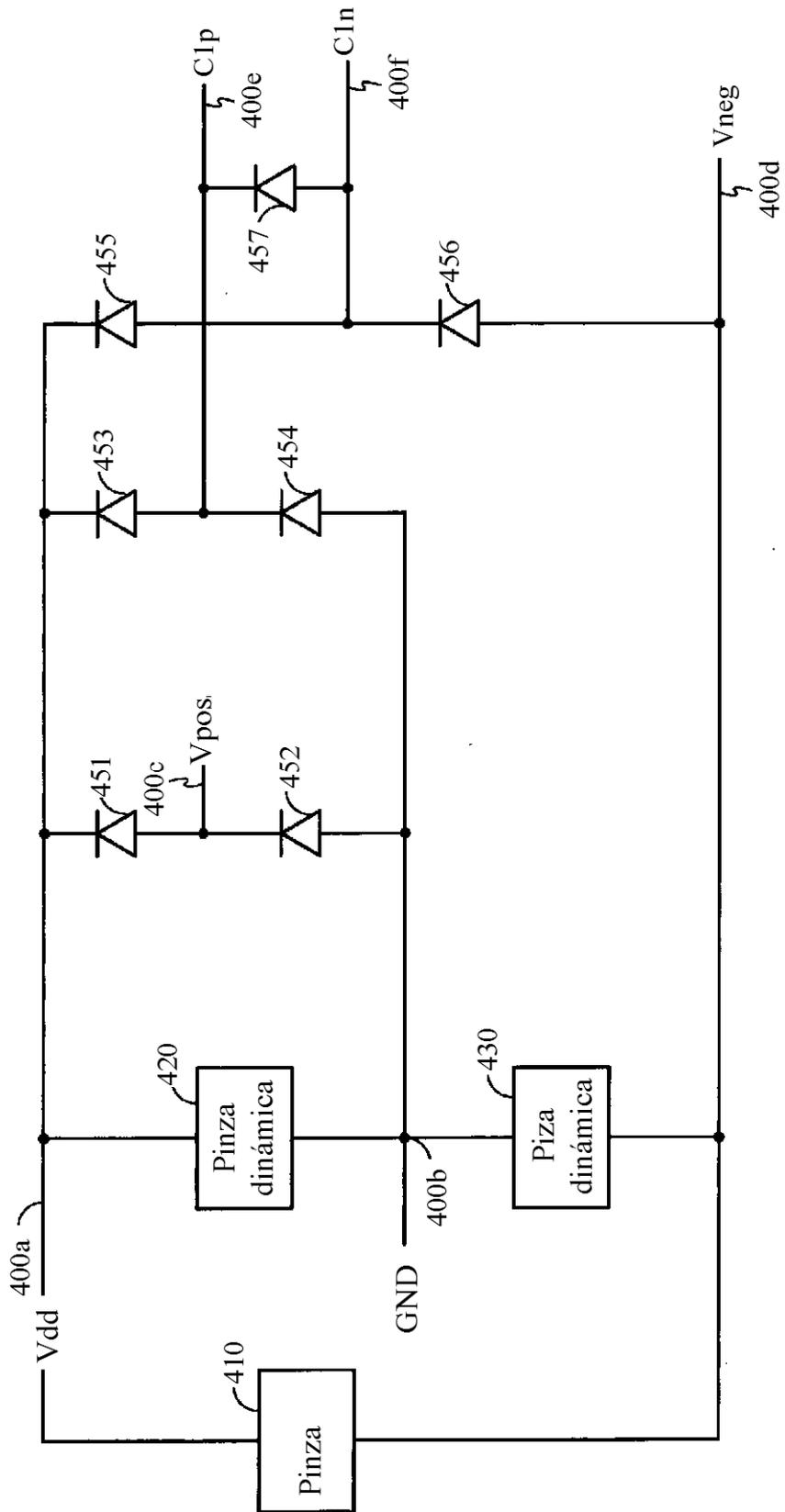


FIG 4

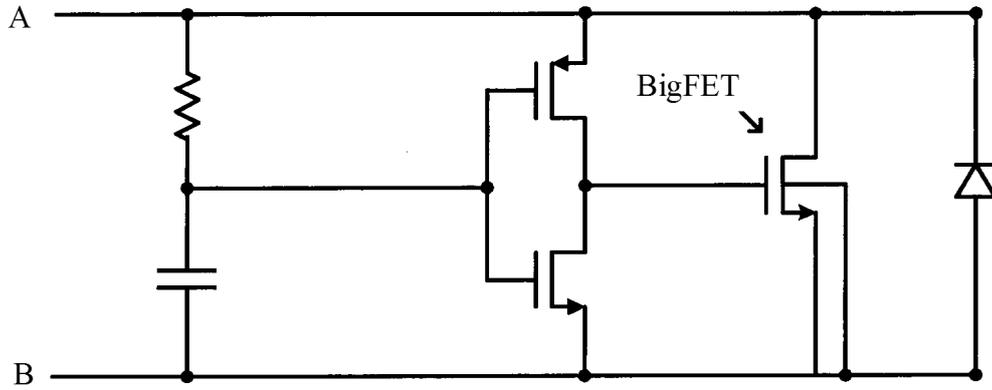


FIG 4A

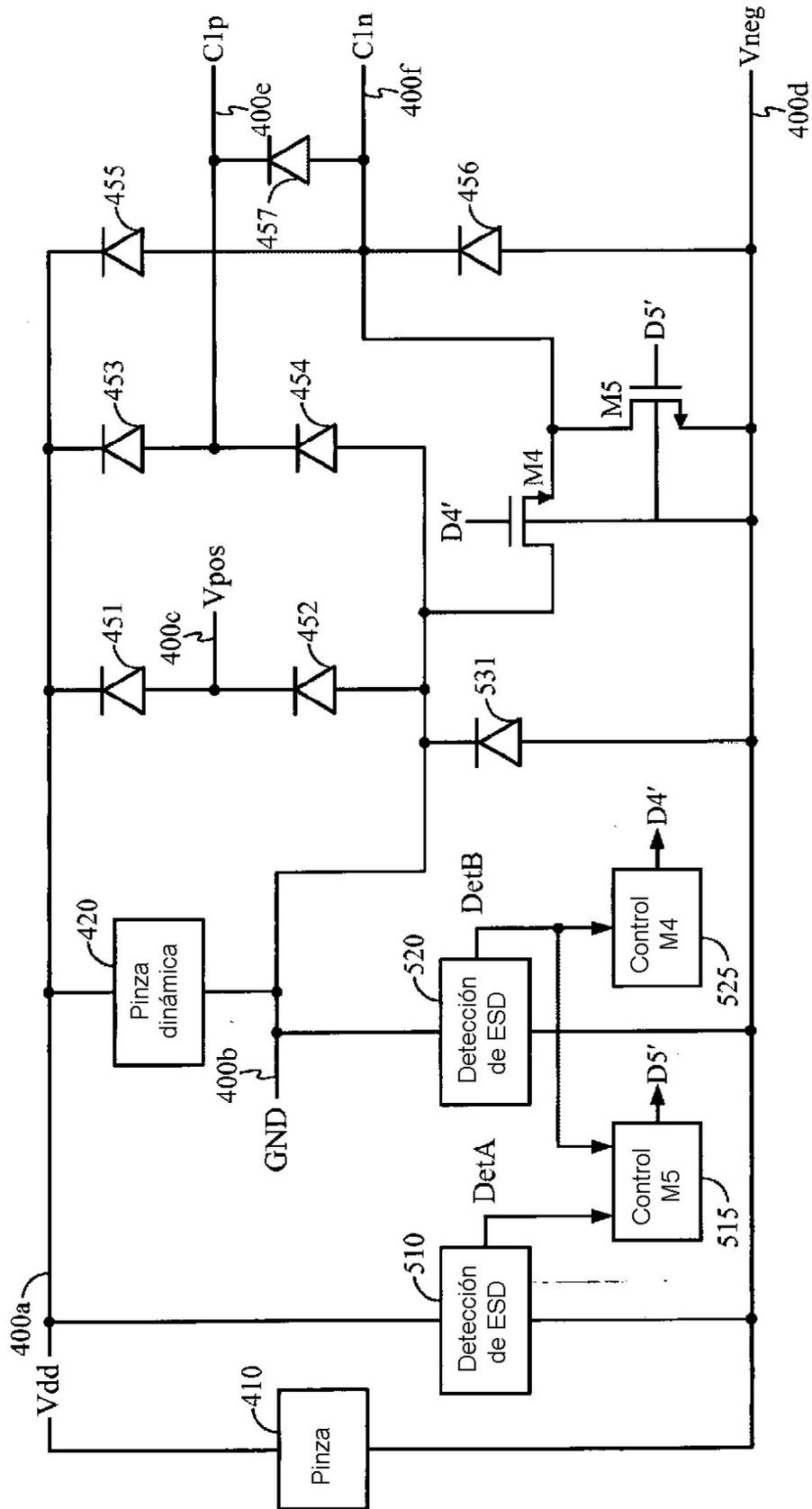


FIG 5

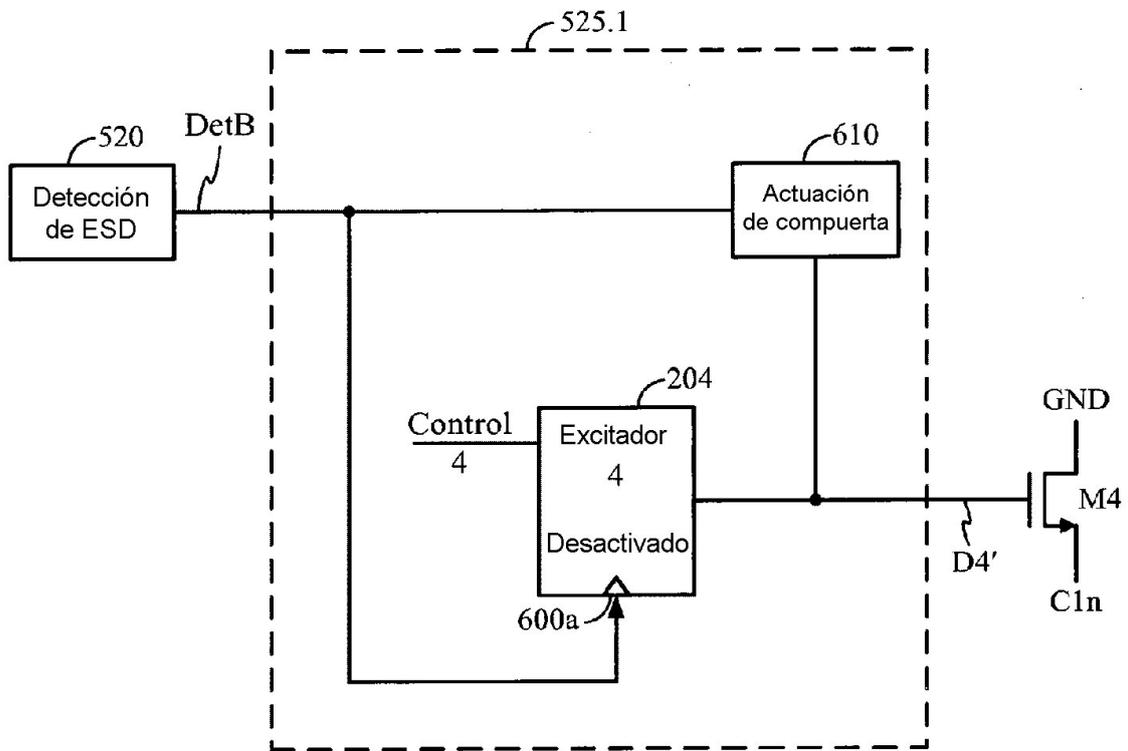


FIG 6

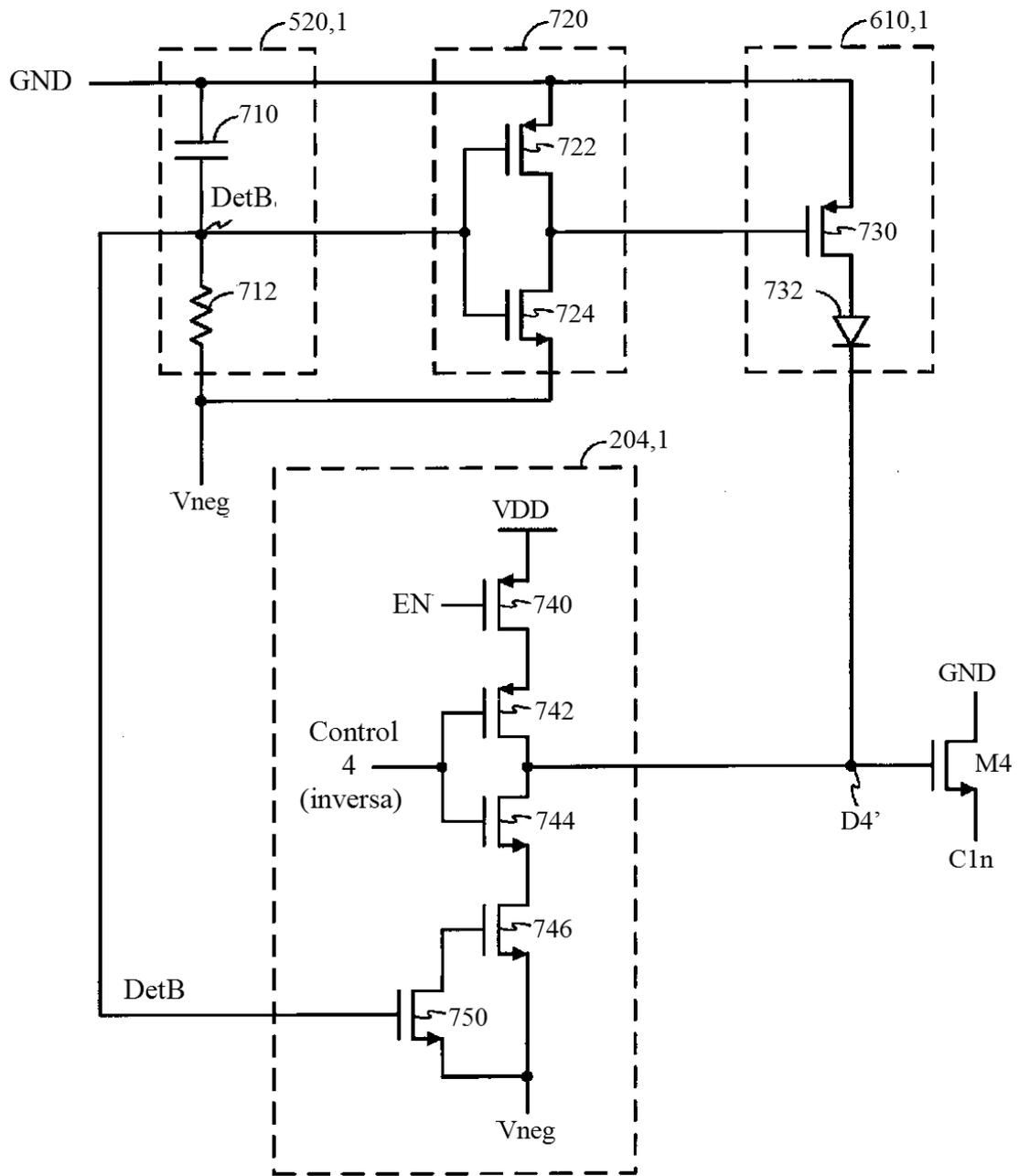


FIG 7

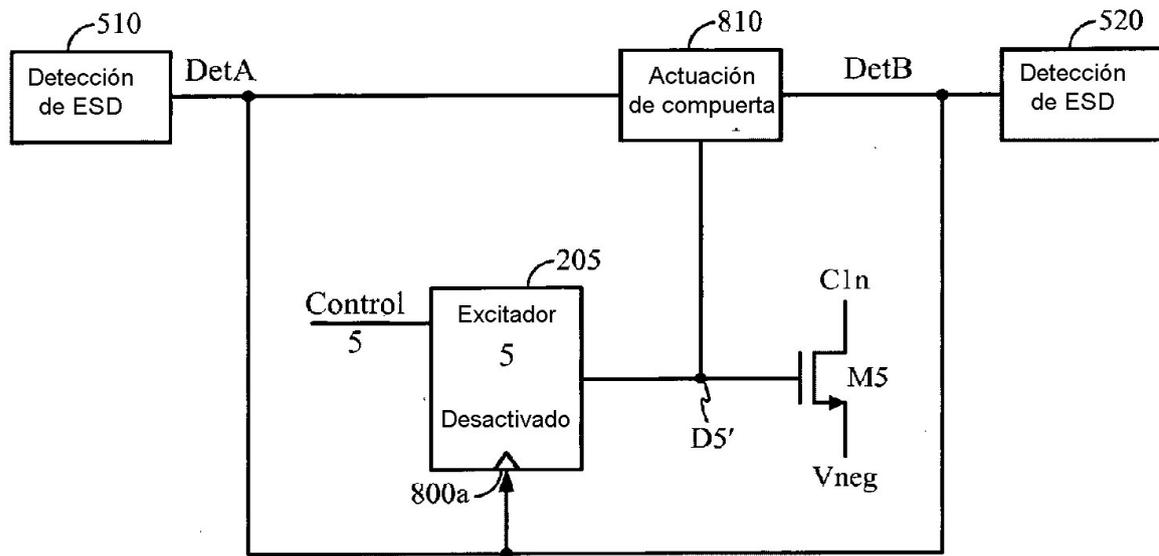


FIG 8

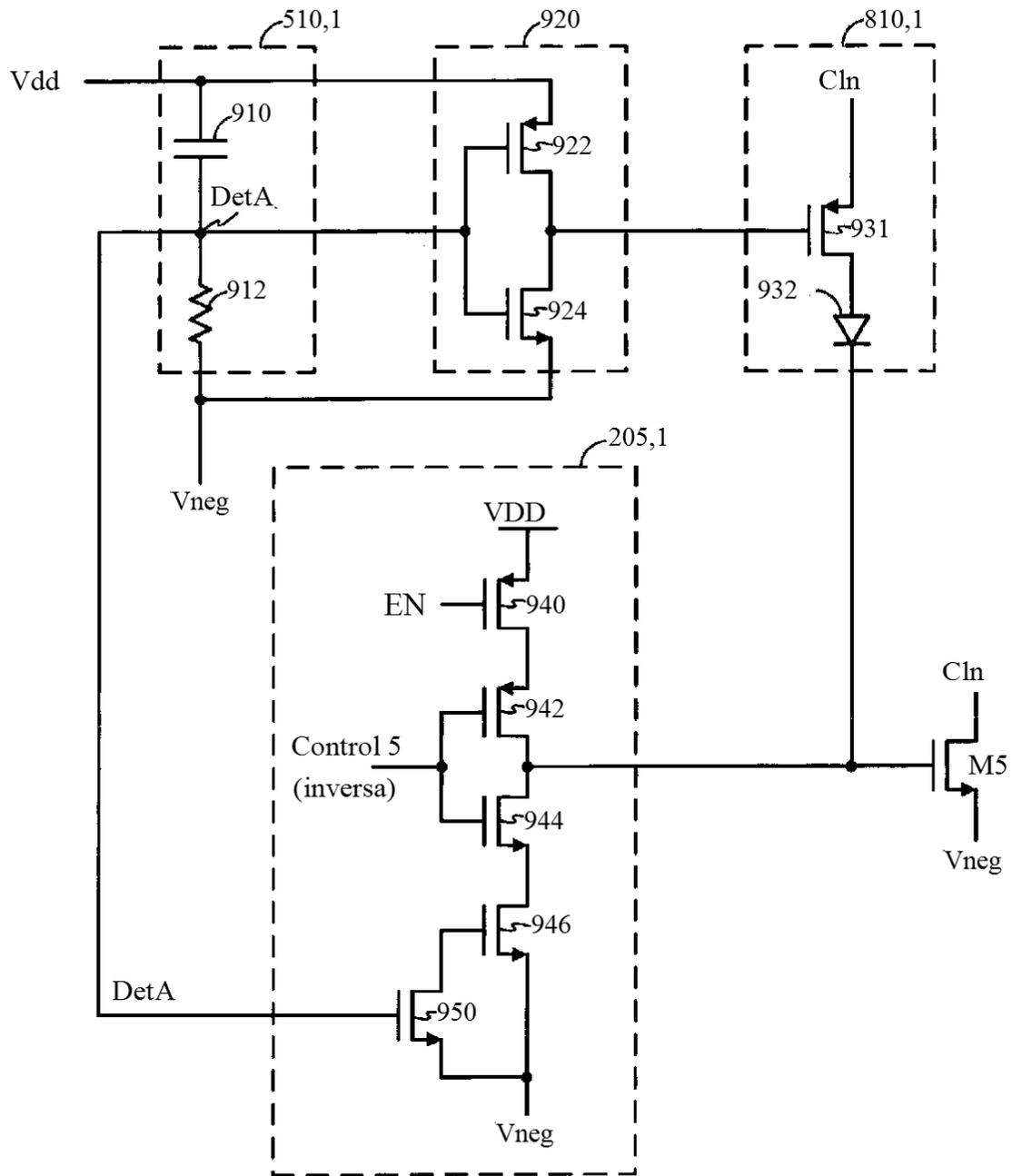


FIG 9

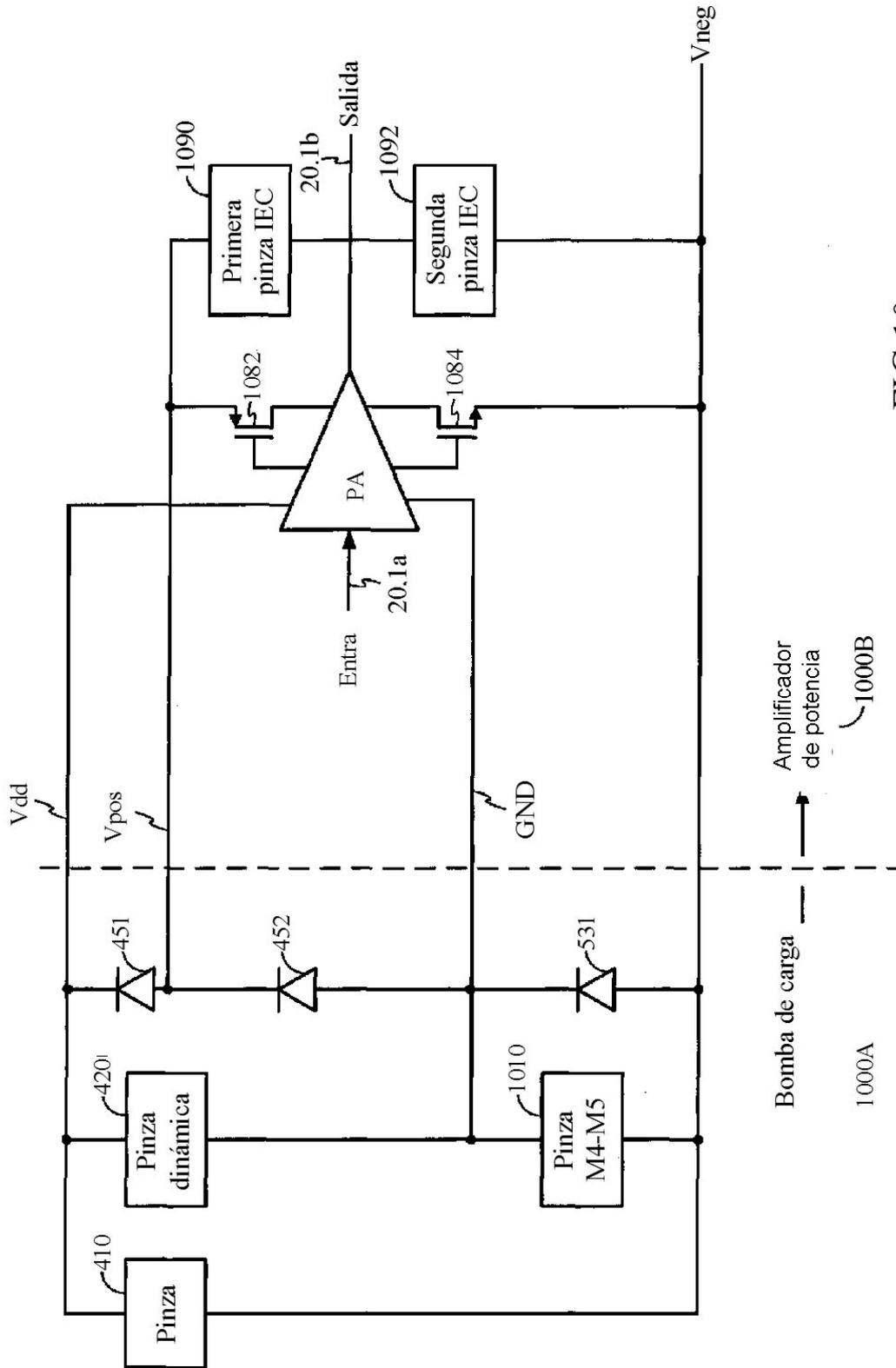


FIG 10

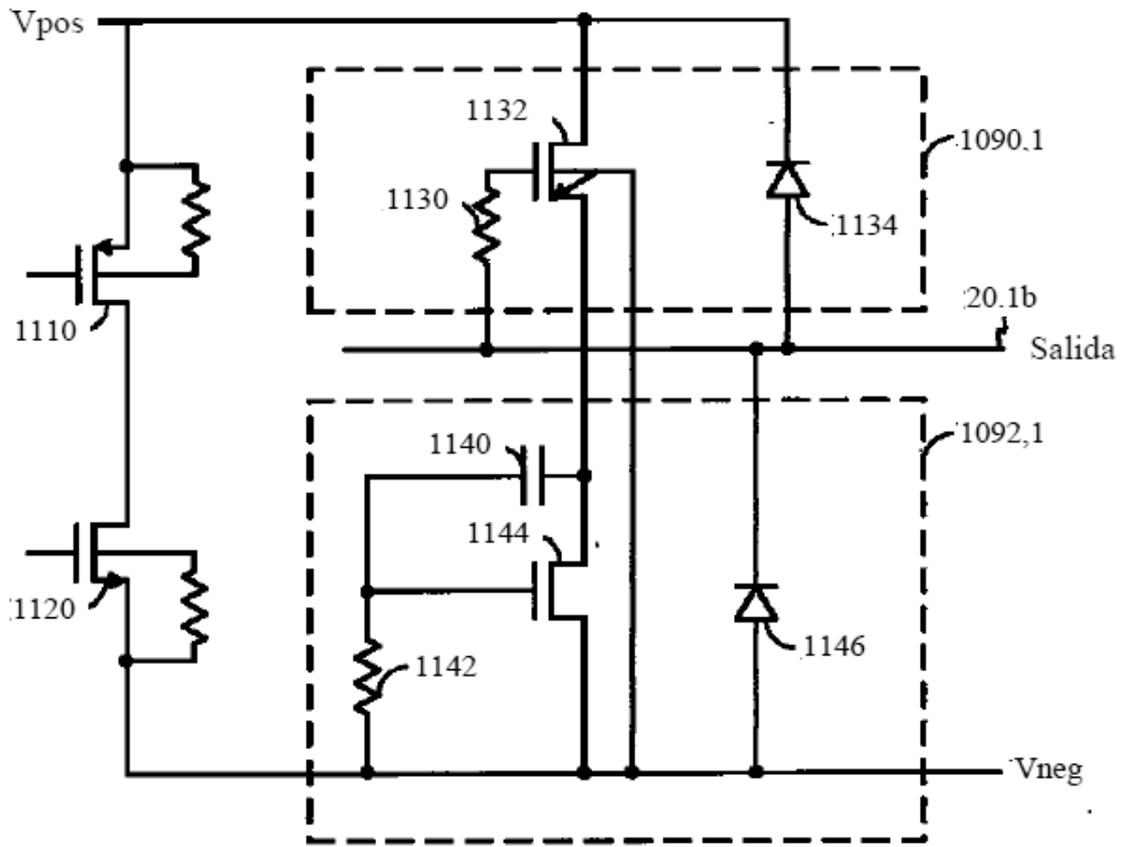


FIG 11

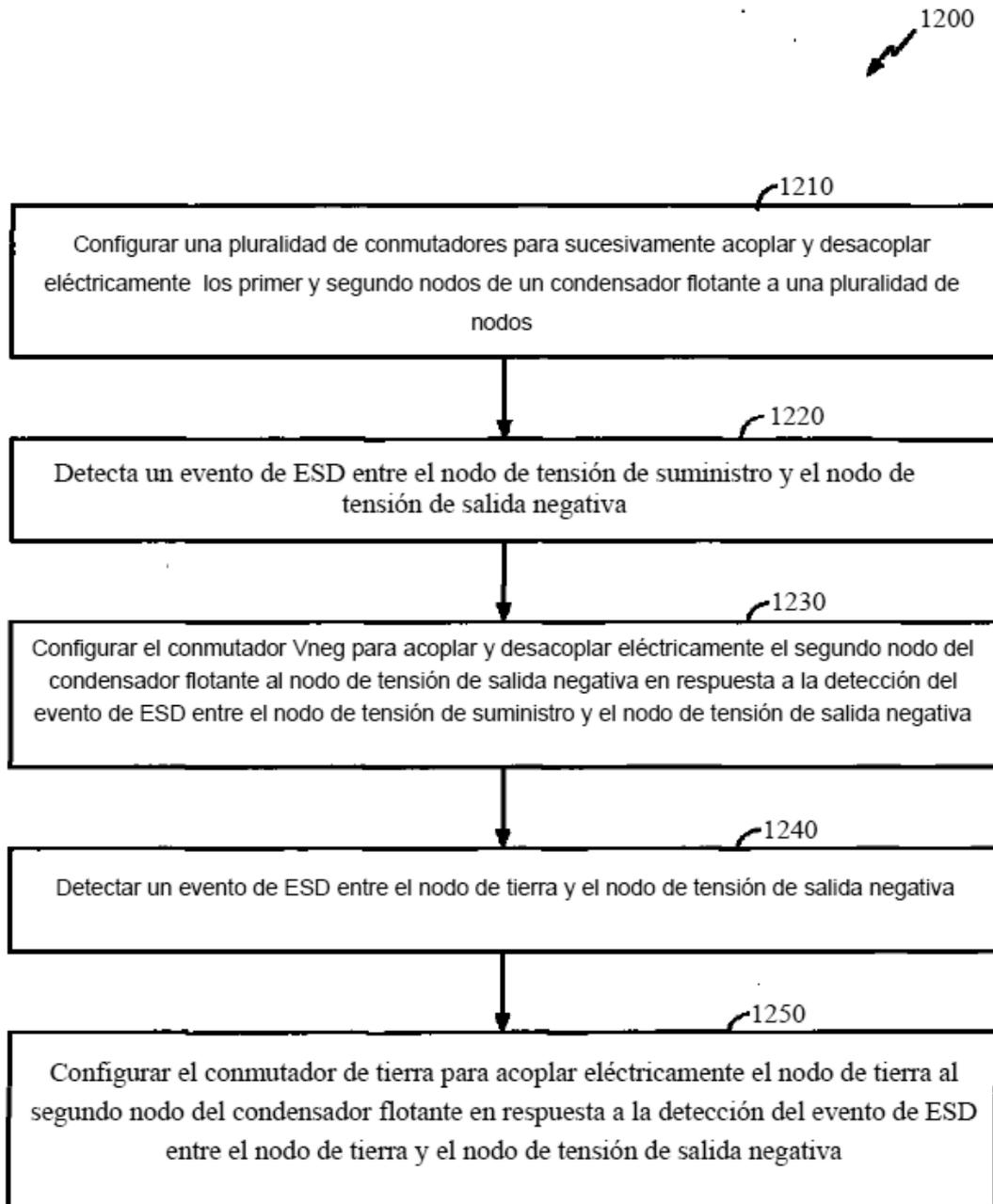


FIG 12