

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 544 610**

51 Int. Cl.:

H03M 13/11 (2006.01)
H03M 13/27 (2006.01)
H03M 13/29 (2006.01)
H03M 13/35 (2006.01)
H03M 13/03 (2006.01)
H03M 13/25 (2006.01)
H04L 27/36 (2006.01)
H03M 13/15 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **25.08.2011** **E 11821631 (6)**

97 Fecha y número de publicación de la concesión europea: **22.07.2015** **EP 2613443**

54 Título: **Dispositivo de procesamiento de datos y método de procesamiento de datos**

30 Prioridad:

03.09.2010 JP 2010197393

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

02.09.2015

73 Titular/es:

SONY CORPORATION (100.0%)
1-7-1 Konan Minato-ku
Tokyo 108-0075, JP

72 Inventor/es:

SHINOHARA, YUJI;
KIKUCHI, ATSUSHI;
YAMAMOTO, MAKIKO y
YOKOKAWA, TAKASHI

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 544 610 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de procesamiento de datos y método de procesamiento de datos

5 CAMPO TÉCNICO

La presente invención se refiere a un dispositivo de procesamiento de datos y a un método de procesamiento de datos y más en particular, a modo de ejemplo, a un dispositivo de procesamiento de datos y un método de procesamiento de datos que son capaces de mejorar la resistencia al error de datos.

10

ANTECEDENTES DE LA INVENCION

Un código LDPC (Control de Paridad de Baja Densidad) tiene una alta capacidad de corrección de errores y, recientemente, a modo de ejemplo, se ha comenzado a utilizar ampliamente para un sistema de transmisión que incluye la difusión digital por satélite tal como una DVB (Difusión de Vídeo Digital)-S.2 (a modo de ejemplo, véase Documento 1 no patente) que se emplea en Europa. Además, el código LDPC se revisa para su empleo para difusión digital terrestre de la siguiente generación.

15

Según las recientes investigaciones pueden entenderse, utilizando el código LDPC, de forma similar a un código Turbo o semejante, que una capacidad próxima al límite de Shannon puede adquirirse a medida que aumenta la longitud del código. Además, puesto que el código LDPC tiene una propiedad de que una distancia mínima está en proporción a la longitud del código, el código LDPC tiene una buena característica de probabilidad de error de bloques como su característica propia y tiene una ventaja en que no ocurre, en la mayor parte de los casos, un así denominado fenómeno de nivel inferior de error, que se observa en las características de decodificación del código Turbo o similar.

20

25

En adelante, se describirá más concretamente el código LDPC. El código LDPC es un código lineal y, en este caso, se describirá como siendo de dos dimensiones, lo que no es necesario.

30

El código LDPC tiene una característica distintiva en que se dispersa una matriz de control de paridad que define el código LDPC. En este caso, una matriz dispersa es una matriz en la que el número de "1" de elementos de la matriz es muy pequeño (una matriz en la que la mayoría de los elementos son "0").

35

La Figura 1 ilustra, a modo de ejemplo, una matriz de control de paridad H de un código LDPC.

En la matriz de control de paridad H ilustrada en la Figura 1, el peso de ponderación (el número de "1") (peso de columna) de cada columna es "3" y el peso (peso de fila) de cada fila es "6".

40

En la codificación (codificación LDPC), en conformidad con el código LDPC, a modo de ejemplo, una matriz de generación G se genera sobre la base de la matriz de control de paridad H y una palabra de código (código LDPC) se genera multiplicando los bits de información de dos dimensiones por la matriz de generación G.

45

Más concretamente, un dispositivo de codificación que realiza la codificación de LDPC, en primer lugar, calcula una matriz de generación G que satisface la Ecuación $GH^T = 0$ con H^T que es una matriz transpuesta de la matriz de control de paridad H. En este caso, en donde la matriz de generación G es una matriz de tipo $K \times N$, el dispositivo de codificación genera una palabra de código $c (= uG)$ formada por N bits multiplicando la matriz de generación G por una fila de bits (vector u) de bits de información formados por K bits. La palabra de código (código LDPC) que se genera por el dispositivo de codificación se recibe en el lado de recepción a través de un canal de comunicaciones predeterminado.

50

La decodificación del código LDPC es un algoritmo propuesto por Gallager que le denomina decodificación probabilística y puede realizarse en conformidad con un algoritmo de transmisión de mensaje que está basado en la propagación de creencia en un así denominado gráfico de Tanner que está formado por un nodo variable (también denominado un nodo de mensaje) y un nodo de control. En adelante, el nodo variable y el nodo de control simplemente se referirán como nodos cuando sea adecuado.

55

La Figura 2 ilustra la secuencia de decodificación de un código LDPC.

60

En adelante, un valor real (LLR recibido) que se adquiere representando la probabilidad de "0" del valor del i-ésimo bit de código del código LDPC (una palabra de código) que se recibe en el lado de recepción como una relación de probabilidad logarítmica se referirá también como un valor recibido u_{oi} cuando sea adecuado. Además, un mensaje que es objeto de salida desde un nodo de control se indica por u_i y un mensaje que sale desde un nodo variable se indica por v_i .

65

En primer lugar, en la decodificación de un código LDPC, según se ilustra en la Figura 2, en la etapa S11, el código LDPC se recibe, el mensaje (mensaje de nodo de control) u_i se inicializa a "0", una variable k que toma un valor

entero como un contador de un proceso de repetición se inicializa a "0" y el proceso prosigue con la etapa S12. En la etapa S12, sobre la base de un valor recibido u_{0i} que se adquiere recibiendo el código LDPC, se adquiere un mensaje v_i (mensaje de nodo variable) realizando un cálculo (cálculo del nodo variable) representado en la Ecuación (1) y se adquiere un mensaje u_j realizando un cálculo (cálculo del nodo de control) representado en la Ecuación (2) sobre la base del mensaje v_i .

$$v_i = u_{0i} + \sum_{j=1}^{d_v-1} u_j \quad (1)$$

$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{v_i}{2}\right) \quad (2)$$

En este caso d_v y d_c representadas en las ecuaciones (1) y (2), son parámetros que representan los números de "1" de la matriz de control de paridad H en la dirección vertical (columna) y la dirección horizontal (fila), que se pueden seleccionar de forma arbitraria y, a modo de ejemplo, en el caso de un código (3, 6) $d_v = 3$ y $d_c = 6$.

Además, en el cálculo del nodo variable representado en la Ecuación (1) y el cálculo del nodo de control representado en la Ecuación (2), cada entrada de mensaje desde una bifurcación (borde) (una línea que une el nodo variable y el nodo de control) al que un mensaje ha de ser objeto de salida no se establece como el objetivo del cálculo y en consecuencia, los márgenes de cálculo son 1 a d_v-1 y 1 a d_c-1 . El cálculo del nodo de control representado en la Ecuación (2) se efectúa realmente disponiendo una tabla de una función $R(v_1, v_2)$ representada en la Ecuación (3) que se define como una salida para dos entradas v_1 y v_2 por anticipado y de forma consecutiva (recursiva) utilizando la tabla según se representa en la Ecuación (4).

$$x = 2 \tanh^{-1} \{ \tanh(v_1/2) \tanh(v_2/2) \} = R(v_1, v_2) \quad (3)$$

$$u_j = R(v_1, R(v_2, R(v_3, \dots R(v_{d_c-2}, v_{d_c-1}))) \quad (4)$$

Además, en la etapa S12, una variable k se incrementa en uno y el proceso prosigue con la etapa S13. En la etapa S13, se determina si la variable k es mayor, o no, que un número de decodificación de repetición predeterminado de C veces. En la etapa S13, en un caso en donde la variable k se determina como no siendo mayor que C, el proceso se reenvía a la etapa S12 y se repite el mismo proceso.

Por otro lado, en un caso en donde la variable k se determina como siendo mayor que C en la etapa S13, el proceso prosigue con la etapa S14, se adquiere un mensaje v_i como un resultado de decodificación que finalmente es objeto de salida realizando un cálculo representado en la Ecuación (5) y es también objeto de salida, en donde finaliza el proceso de decodificación del código LDPC.

$$v_i = u_{0i} + \sum_{j=1}^{d_v} u_j \quad (5)$$

En este caso, el cálculo representado en la Ecuación (5), a diferencia del cálculo del nodo variable representado en la Ecuación (1), se realiza utilizando mensajes u_j suministrados desde todas las bifurcaciones que están conectadas al nodo variable.

La Figura 3 ilustra, a modo de ejemplo, la matriz de control de paridad H de un código LDPC (3, 6) (tasa codificada de 1/2, longitud de código de 12).

En la matriz de control de paridad H ilustrada en la Figura 3, de forma similar a la ilustrada en la Figura 1, el peso de ponderación una columna es 3 y el peso de ponderación de una fila es 6.

La Figura 4 ilustra un denominado gráfico de Tanner de la matriz de control de paridad H ilustrada en la Figura 3.

En este caso, en la Figura 4, un nodo que se indica por un signo más "+" es un nodo de control y un nodo que se indica por un signo igual "=" es un nodo variable. El nodo de control y el nodo variable corresponden a una fila y una columna de la matriz de control de paridad H. Una línea unida entre un nodo de control y nodo variable es una bifurcación (borde) y corresponde a "1" del elemento de la matriz de control de paridad.

Dicho de otro modo, en un caso en donde un elemento de la j-ésima fila y de la i-ésima columna de la matriz de control de paridad es "1", en la Figura 4, un i-ésimo nodo variable (un nodo de "=") desde la parte superior y un j-ésimo nodo de control (un nodo de "+"), desde la parte superior están conectados a través de una bifurcación. Una bifurcación representa que un bit de código correspondiente al nodo variable tiene una condición de restricción que corresponde al nodo de control.

En un algoritmo de producto de sumas que es un método de decodificación de un código LDPC, se realizan repetidamente un cálculo del nodo variable y un cálculo del nodo de control.

La Figura 5 ilustra un cálculo del nodo variable que se realiza en un nodo variable.

En el nodo variable, un mensaje v_i que corresponde a una bifurcación que es un objetivo de cálculo, se adquiere por mediante el cálculo del nodo variable que se representa en la Ecuación (1) utilizando los mensajes u_1 y u_2 suministrados desde las bifurcaciones restantes conectadas al nodo variable y un valor recibido u_0 . Los mensajes que corresponden a las otras bifurcaciones se adquieren de la misma manera.

La Figura 6 ilustra un cálculo del nodo de control que se realiza en un nodo de control.

En este caso, el cálculo del nodo de control representado en la Ecuación (2) puede volverse a expresar en la Ecuación (6) utilizando la relación de una Ecuación de $a \times b = \exp\{\ln(|a|) + \ln(|b|)\} \times \text{sign}(a) \times \text{sign}(b)$. En este caso, $\text{sign}(x)$ es 1 cuando $x \geq 0$ y es -1 cuando $x < 0$.

[Ecuación 6]

$$\begin{aligned} u_j &= 2 \tanh^{-1} \left(\prod_{i=1}^{d_c-1} \tanh \left(\frac{v_i}{2} \right) \right) \\ &= 2 \tanh^{-1} \left[\exp \left\{ \sum_{i=1}^{d_c-1} \ln \left(\left| \tanh \left(\frac{v_i}{2} \right) \right| \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign} \left(\tanh \left(\frac{v_i}{2} \right) \right) \right] \\ &= 2 \tanh^{-1} \left[\exp \left\{ - \left(\sum_{i=1}^{d_c-1} - \ln \left(\tanh \left(\frac{|v_i|}{2} \right) \right) \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \right] \end{aligned} \quad (6)$$

En un caso en donde $x \geq 0$, cuando una función $\phi(x)$ se define como una Ecuación de $\phi(x) = \ln(\tanh(x/2))$, se satisface una Ecuación de $\phi^{-1}(x) = 2 \tanh^{-1}(e^x)$ y en consecuencia, la Ecuación (6) puede transformarse en la Ecuación (7).

[Ecuación 7]

$$u_j = \phi^{-1} \left(\sum_{i=1}^{d_c-1} \phi(|v_i|) \right) \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \quad (7)$$

En un nodo de control, el cálculo del nodo de control representado en la Ecuación (2) se realiza sobre la base de la Ecuación (7).

Dicho de otro modo, en un nodo de control, según se ilustra en la Figura 6, un mensaje u_j que corresponde a una bifurcación, que es un objetivo de cálculo, puede adquirirse mediante el cálculo del nodo de control representado en

la Ecuación (7) utilizando los mensajes v_1, v_2, v_3, v_4 y v_5 suministrados desde las bifurcaciones restantes conectadas al nodo de control. Mensajes correspondientes a las otras bifurcaciones se adquieren de la misma manera.

Además, la función $\phi(x)$ representada en la Ecuación (7) puede representarse como una Ecuación de $\phi(x) = \ln((e^x+1)/(e^x-1))$ y $\phi(x) = \phi^{-1}(x)$ para $x > 0$. Con el fin de poner en práctica las funciones $\phi(x)$ y $\phi^{-1}(x)$ en hardware, existen casos en donde las funciones se ponen en práctica utilizando LUTs (tablas de consulta) y las tablas LUTs son las mismas para ambas funciones.

LISTA DE REFERENCIAS

DOCUMENTO NO PATENTE

Documento de no patente 1: DVB-S.2: ETSI EN 302 307 V1.1.2 (2006-06)

SUMARIO DE LA INVENCION

PROBLEMAS A RESOLVERSE POR LA INVENCION

Un código LDPC se utiliza en DVB-S.2 que es una norma de la difusión digital por satélite o DVB-T.2, que es una norma de difusión digital terrestre de la siguiente generación. Además, el código LDPC está planificado para emplearse en una norma DVB-C.2 que es una norma de la difusión digital de CATV (Televisión por Cable) de la siguiente generación.

En la difusión digital que cumple la norma DVB tal como DVB-S.2, un código LDPC se establece (simboliza) como un símbolo de modulación ortogonal (modulación digital) tal como QPSK (Modulación por Desplazamiento de Fase en Cuadratura) y el símbolo es objeto de mapeado de correspondencia en un punto de la señal y es objeto de transmisión.

En la simbolización del código LDPC, un intercambio de bits de código del código LDPC se realiza en unidades de dos o más bits d código y los bits de código después del intercambio se consideran como bits de un símbolo.

Como sistemas para intercambiar los bits de código para la simbolización de un código LDPC, se proponen varios sistemas y, a modo de ejemplo, dicho sistema se define también en DVB-T.2.

Sin embargo, DVB-T.2 es una norma de difusión digital que se utiliza, en particular, para terminales fijos tales como receptores de televisión instalados en viviendas o aparatos similares y puede no ser adecuada para la difusión digital que se utiliza especialmente para terminales móviles.

Dicho de otro modo, la escala circuital de un terminal móvil necesita ser más pequeña que la de un terminal fijo y necesita conseguirse un bajo consumo de energía del terminal móvil. En consecuencia, en la difusión digital que se utiliza en particular para terminales móviles, con el fin de disminuir una carga que sea necesaria para un proceso tal como decodificación de un código LDPC o una operación similar en un terminal móvil, a modo de ejemplo, existen casos en donde el número de veces de repetición de la decodificación de un código LDPC (el número C de veces de repetición) o la longitud de código del código LDPC está limitada más que en el caso de la difusión digital que se utiliza en particular para terminales fijos.

Sin embargo, incluso bajo dicha limitación, necesita mantenerse la resistencia al error en alguna medida.

La presente invención está destinada a considerar dicha situación y su objetivo es mejorar la resistencia al error de datos tales como un código LDPC.

SOLUCIONES A PROBLEMAS

Según un primer aspecto de la presente invención, se da a conocer un dispositivo de procesamiento de datos según la reivindicación 1 o un método de procesamiento de datos según la reivindicación 2.

Según un segundo aspecto de la presente invención, se da a conocer un dispositivo de procesamiento de datos en conformidad con la reivindicación 3 o un método de procesamiento de datos en conformidad con la reivindicación 6.

En conformidad con un primer aspecto de la presente invención, la codificación se realiza utilizando un código LDPC que tiene una longitud de código de 4320 bits y una tasa codificada de 1/2.

En conformidad con el segundo aspecto de la presente invención, la decodificación de un código LDPC que tiene una longitud de código de 4320 bits y una tasa codificada de 1/2 se realiza a este respecto.

En este caso, el dispositivo de procesamiento de datos puede ser un dispositivo independiente o un bloque interno que configura un dispositivo.

En conformidad con el primero a segundo aspectos de la idea inventiva, puede mejorarse la resistencia al error.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

- 5 La Figura 1 es un diagrama que ilustra una matriz de control de paridad H de un código LDPC.
- La Figura 2 es un diagrama de flujo que ilustra la secuencia de decodificación de un código LDPC.
- 10 La Figura 3 es un diagrama que ilustra, a modo de ejemplo, una matriz de control de paridad de un código LDPC.
- La Figura 4 es un diagrama que ilustra un denominado gráfico de Tanner de una matriz de control de paridad.
- La Figura 5 es un diagrama que ilustra un nodo de vibración.
- 15 La Figura 6 es un diagrama que ilustra un nodo de control.
- La Figura 7 es un diagrama que ilustra una configuración, a modo de ejemplo, de un sistema de transmisión en conformidad con una forma de realización de la presente invención.
- 20 La Figura 8 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un dispositivo de transmisión 11.
- La Figura 9 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un intercalador de bits 116.
- 25 La Figura 10 es un diagrama que ilustra una matriz de control de paridad.
- La Figura 11 es un diagrama que ilustra una matriz de paridad.
- 30 La Figura 12 es un diagrama que ilustra una matriz de control de paridad de un código LDPC que se define en la norma de DVB-S.2.
- La Figura 13 es un diagrama que ilustra una matriz de control de paridad de un código LDPC que se define en la norma de DVB-S.2.
- 35 La Figura 14 es un diagrama que ilustra la disposición de puntos de señales de 16 QAM.
- La Figura 15 es un diagrama que ilustra la disposición de puntos de señales de 64 QAM.
- 40 La Figura 16 es un diagrama que ilustra la disposición de puntos de señales de 64 QAM.
- La Figura 17 es un diagrama que ilustra la disposición de puntos de señales de 64 QAM.
- 45 La Figura 18 es un diagrama que ilustra el proceso de un demultiplexor 25.
- La Figura 19 es un diagrama que ilustra el proceso de un demultiplexor 25.
- La Figura 20 es un diagrama que ilustra un gráfico de Tanner para decodificar un código LDPC.
- 50 La Figura 21 representa diagramas que ilustran una matriz de paridad H_T que tiene una estructura escalonada y un denominado gráfico de Tanner correspondiente a la matriz de paridad H_T .
- La Figura 22 es un diagrama que ilustra la matriz de paridad H_T de la matriz de control de paridad H que corresponde al código LDPC después del intercalado de paridad.
- 55 La Figura 23 es un diagrama que ilustra una matriz de control de paridad transformada.
- La Figura 24 es un diagrama que ilustra el proceso de un intercalador gemelo de columna 24;
- 60 La Figura 25 es un diagrama que ilustra el número de columnas de una memoria 31 que se necesita para el intercalado gemelo de columnas y las direcciones de sus posiciones iniciales de escritura.
- La Figura 26 es un diagrama que ilustra el número de columnas de una memoria 31 que se necesita para el intercalado gemelo de columnas y las direcciones de sus posiciones iniciales de escritura.
- 65

La Figura 27 es un diagrama de flujo que ilustra el proceso por el intercalador de bits 116 y un codificador QAM 117.

La Figura 28 es un diagrama que ilustra un modelo de un canal de comunicaciones utilizado en una simulación.

5 La Figura 29 es un diagrama que ilustra la relación entre una tasa de error y una frecuencia Doppler f_d de una fluctuación que se adquiere mediante una simulación.

La Figura 30 es un diagrama que ilustra la relación entre una tasa de error y una frecuencia Doppler f_d de una fluctuación que se adquiere mediante una simulación.

10 La Figura 31 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un codificador de LDPC 115.

La Figura 32 es un diagrama de flujo que ilustra el proceso del codificador LDPC 115.

15 La Figura 33 es un diagrama que ilustra, a modo de ejemplo, de una tabla de valores iniciales de una matriz de control de paridad que tiene una tasa codificada de 1/4 y una longitud de código de 16200.

La Figura 34 es un diagrama que ilustra un método de adquisición de una matriz de control de paridad H a partir de una tabla de valores iniciales de matriz de control de paridad.

20 La Figura 35 es un diagrama que ilustra, a modo de ejemplo, una tabla de valores iniciales de una matriz de control de paridad que tiene una tasa codificada de 1/4 y una longitud de código de 4320.

25 La Figura 36 es un diagrama que ilustra, a modo de ejemplo, una tabla de valores iniciales de una matriz de control de paridad que tiene una tasa codificada de 1/3 y una longitud de código de 4320.

La Figura 37 es un diagrama que ilustra, a modo de ejemplo, una tabla de valores iniciales de una matriz de control de paridad que tiene una tasa codificada de 5/12 y una longitud de código de 4320.

30 La Figura 38 es un diagrama que ilustra, a modo de ejemplo, una tabla de valores iniciales de una matriz de control de paridad que tiene una tasa codificada de 1/2 y una longitud de código de 4320.

La Figura 39 es un diagrama que ilustra, a modo de ejemplo, una tabla de valores iniciales de una matriz de control de paridad que tiene una tasa codificada de 7/12 y una longitud de código de 4320.

35 La Figura 40 es un diagrama que ilustra, a modo de ejemplo, una tabla de valores iniciales de una matriz de control de paridad que tiene una tasa codificada de 2/3 y una longitud de código de 4320.

40 La Figura 41 es un diagrama que ilustra, a modo de ejemplo, una tabla de valores iniciales de una matriz de control de paridad que tiene una tasa codificada de 3/4 y una longitud de código de 4320.

La Figura 42 es un diagrama que ilustra, a modo de ejemplo, una tabla de valores iniciales de una matriz de control de paridad que tiene una tasa codificada de 5/6 y una longitud de código de 4320.

45 La Figura 43 es un diagrama que ilustra, a modo de ejemplo, una tabla de valores iniciales de una matriz de control de paridad que tiene una tasa codificada de 11/12 y una longitud de código de 4320.

La Figura 44 es un diagrama que ilustra, a modo de ejemplo, un denominado gráfico de Tanner de un conjunto de una secuencia de grados que tiene un peso de ponderación de columna de 3 y un peso de ponderación de fila de 6.

50 La Figura 45 es un diagrama que ilustra, a modo de ejemplo, un denominado gráfico de Tanner de un conjunto de un tipo multiborde.

55 La Figura 46 es un diagrama que ilustra una longitud de ciclo mínima y un umbral de rendimiento de una matriz de control de paridad de un código LDPC que tiene una longitud de código de 4320.

La Figura 47 es un diagrama que ilustra una matriz de control de paridad de un código LDPC que tiene una longitud de código de 4320.

60 La Figura 48 es un diagrama que ilustra una matriz de control de paridad de un código LDPC que tiene una longitud de código de 4320.

La Figura 49 es un diagrama que ilustra el número de columnas de la memoria 31 que se necesita para el intercalado de torsión de columnas y direcciones de sus posiciones iniciales de escritura.

65 La Figura 50 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde se

realiza el intercalado de torsión de columnas.

La Figura 51 es un diagrama que ilustra un proceso de intercambio en conformidad con el modo actual.

La Figura 52 es un diagrama que ilustra un proceso de intercambio en conformidad con el modo actual.

5 La Figura 53 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolo en un caso en donde un código LDPC que tenga una longitud de código de $4k$ y una tasa codificada de $1/4$ se modula en 64 QAM y un múltiplo b es dos.

10 La Figura 54 es un diagrama que ilustra una regla de asignación en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $1/4$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 55 es un diagrama que ilustra el intercambio de bits de código en conformidad con la regla de asignación en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $1/4$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 56 es un diagrama que ilustra un grupo de bits de código y un grupo de bits de símbolo en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $1/3$ se modula en 64 QAM y el múltiplo b es dos.

20 La Figura 57 es un diagrama que ilustra una regla de asignación en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $1/3$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 58 es un diagrama que ilustra el intercambio de bits de código en conformidad con la regla de asignación en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $1/3$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 59 es un diagrama que ilustra un grupo de bit de código y un grupo de bits de símbolo en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $5/12$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 60 es un diagrama que ilustra una regla de asignación en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $5/12$ se modula en 64 QAM y el múltiplo b es dos.

35 La Figura 61 es un diagrama que ilustra el intercambio de bits de código en conformidad con la regla de asignación en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $5/12$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 62 es un diagrama que ilustra un grupo de bits de código y un grupo de bits de símbolo en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $1/2$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 63 es un diagrama que ilustra una regla de asignación en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $1/2$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 64 es un diagrama que ilustra el intercambio de bits de código en conformidad con la regla de asignación en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $1/2$ se modula en 64 QAM y el múltiplo b es dos.

50 La Figura 65 es un diagrama que ilustra un grupo de bits de código y un grupo de bits de símbolo en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $7/12$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 66 es un diagrama que ilustra una regla de asignación en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $7/12$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 67 es un diagrama que ilustra el intercambio de bits de código en conformidad con la regla de asignación en un caso en donde un código LDPC que tiene una longitud de código es $4k$ y una tasa codificada de $7/12$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 68 es un diagrama que ilustra un grupo de bits de código y un grupo de bits de símbolo en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $2/3$ se modula en 64 QAM y el múltiplo b es dos.

65 La Figura 69 es un diagrama que ilustra una regla de asignación en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $2/3$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 104 es un diagrama que ilustra un grupo de bits de código y un grupo de bits de símbolo en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $11/12$ se modula en 16 QAM y el múltiplo b es dos.

La Figura 105 es un diagrama que ilustra un grupo de bits de código y un grupo de bits de símbolo en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $11/12$ se modula en 16 QAM y el múltiplo b es dos.

La Figura 106 es un diagrama que ilustra el intercambio de bits de código en conformidad con la regla de asignación en un caso en donde un código LDPC que tiene una longitud de código $4k$ y una tasa codificada de $11/12$ se modula en 16 QAM y el múltiplo b es dos.

La Figura 107 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $1/4$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 108 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $1/3$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 109 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $5/12$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 110 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $1/2$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 111 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $7/12$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 112 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $2/3$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 113 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $3/4$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 114 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $5/6$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 115 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $11/12$ se modula en 64 QAM y el múltiplo b es dos.

La Figura 116 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $1/4$ se modula en 16 QAM y el múltiplo b es dos.

La Figura 117 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $1/3$ se modula en 16 QAM y el múltiplo b es dos.

La Figura 118 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $5/12$ se modula en 16 QAM y el múltiplo b es dos.

La Figura 119 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $1/2$ se modula en 16 QAM y el múltiplo b es dos.

La Figura 120 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $7/12$ se modula en 16 QAM y el múltiplo b es dos.

- La Figura 121 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $2/3$ se modula en 16 QAM y el múltiplo b es dos.
- La Figura 122 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $3/4$ se modula en 16 QAM y el múltiplo b es dos.
- La Figura 123 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $5/6$ se modula en 16 QAM y el múltiplo b es dos.
- La Figura 124 es un diagrama que ilustra un resultado de simulación de una relación BER en un caso en donde un código LDPC que tiene una longitud de código de $4k$ y una tasa codificada de $11/12$ se modula en 16 QAM y el múltiplo b es dos.
- La Figura 125 es un diagrama que ilustra, a modo de ejemplo, una tabla de valores iniciales de una matriz de control de paridad que tiene una tasa codificada de $1/2$ y una longitud de código de 4320.
- La Figura 126 es un diagrama que ilustra, a modo de ejemplo, una tabla de valores iniciales de una matriz de control de paridad que tiene una tasa codificada de $7/12$ y una longitud de código de 4320.
- La Figura 127 es un diagrama que ilustra, a modo de ejemplo, una tabla de valores iniciales de una matriz de control de paridad que tiene una tasa codificada de $2/3$ y una longitud de código de 4320.
- La Figura 128 es un diagrama que ilustra, a modo de ejemplo, una tabla de valores iniciales de una matriz de control de paridad que tiene una tasa codificada de $3/4$ y una longitud de código de 4320.
- La Figura 129 es un diagrama que ilustra una longitud de ciclo mínima y un umbral de rendimiento de una matriz de control de paridad de un código LDPC que tiene una longitud de código de 4320.
- La Figura 130 es un diagrama que ilustra una matriz de control de paridad de un código LDPC que tiene una longitud de código de 4320.
- La Figura 131 es un diagrama que ilustra un resultado de simulación de una relación BER.
- La Figura 132 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un dispositivo de recepción 12.
- La Figura 133 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un desintercalador de bits 165.
- La Figura 134 es un diagrama de flujo de un proceso que se realiza por un decodificador QAM 164, el desintercalador de bits 165 y un decodificador de LDPC 166.
- La Figura 135 es un diagrama que ilustra, a modo de ejemplo, una matriz de control de paridad de un código LDPC.
- La Figura 136 es un diagrama que ilustra una matriz (matriz de control de paridad transformada) que se adquiere realizando la sustitución de filas y la sustitución de columnas para una matriz de control de paridad.
- La Figura 137 es un diagrama que ilustra una matriz de control de paridad transformada que se divide en unidades de 5×5 .
- La Figura 138 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un dispositivo de decodificación que realiza cálculos de nodos P en su totalidad.
- La Figura 139 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un decodificador de LDPC 166.
- La Figura 140 es un diagrama que ilustra el proceso de un multiplexor 54 que configura el desintercalador de bits 165.
- La Figura 141 es un diagrama que ilustra el proceso de un desintercalador de columnas con torsión 55.
- La Figura 142 es un diagrama de bloques que ilustra otra configuración, a modo de ejemplo, del demultiplexor de

bits 165.

La Figura 143 es un diagrama de bloques que ilustra una primera configuración, a modo de ejemplo, de un sistema de recepción al que se puede aplicar el dispositivo de recepción 12.

La Figura 144 es un diagrama de bloques que ilustra una segunda configuración, a modo de ejemplo, de un sistema de recepción al que se puede aplicar el dispositivo de recepción 12.

La Figura 145 es un diagrama de bloques que ilustra una tercera configuración, a modo de ejemplo, de un sistema de recepción al que se puede aplicar el dispositivo de recepción 12.

La Figura 146 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un ordenador en conformidad con una forma de realización de la presente invención.

MODO PARA REALIZACIÓN DE LA INVENCION

Configuración, a modo de ejemplo, de un sistema de transmisión en conformidad con la presente invención

La Figura 7 ilustra una configuración, a modo de ejemplo, de un sistema de transmisión (en este caso, un sistema representa una agregación lógica de una pluralidad de dispositivos haciendo caso omiso de si los dispositivos de las configuraciones están dispuestos en el mismo receptáculo o no) en conformidad con una forma de realización de la presente invención.

En la Figura 7, el sistema de transmisión está configurado mediante un dispositivo de transmisión 11 y un dispositivo de recepción 12.

El dispositivo de transmisión 11 envía (difunde) (transmite) un programa que se utiliza, en particular, para un terminal fijo o un terminal móvil. Dicho de otro modo, el dispositivo de transmisión 11, a modo de ejemplo, codifica datos objetivo que es un objetivo de transmisión tal como datos de vídeo o datos de audio como un programa que se utiliza, en particular, para un terminal fijo o un terminal móvil en un código LDPC y transmite el código LDPC, a modo de ejemplo, a través de un canal de comunicaciones 13 que es una onda terrestre.

El dispositivo de recepción 12, a modo de ejemplo, es un terminal móvil, recibe el código LDPC que se transmite desde el dispositivo de transmisión 11 a través del canal de comunicaciones 13, decodifica el código LDPC en los datos objetivo y proporciona, a la salida, los datos objetivos.

En este caso, el código LDPC que se utiliza en el sistema de transmisión, ilustrado en la Figura 7, se conoce que presenta una capacidad muy alta en un canal de comunicaciones de AWGN (Ruido Gaussiano Blanco Aditivo).

Sin embargo, en el canal de comunicaciones 13 de una onda terrestre o similar, existe un caso en donde se produce un error de ráfaga o borrado. A modo de ejemplo, en un sistema OFDM (Multiplexación por División de Frecuencia Ortogonal), bajo un entorno de múltiples rutas en donde una relación D/U (Relación de Deseada a Indeseada) es 0 dB (la potencia de indeseada = eco es la misma que la potencia de deseada = ruta principal), existe un caso en donde la potencia de un símbolo específico es cero (borrado) en conformidad con un retardo de un eco (una ruta distinta de la ruta principal).

Además, también en una fluctuación (un canal de comunicación al que se añade un eco de una frecuencia Doppler con un retardo de cero), en un caso en donde el valor de la relación D/U es 0 dB, existe un caso práctico en donde la potencia de todos los símbolos de la OFDM en un tiempo específico es cero (borrado) debido a la frecuencia Doppler.

Además, existe un caso en donde se produce un error de ráfaga basado en el estado de un cableado formado a partir de una unidad de recepción (no ilustrada en la Figura) en el lado del dispositivo de recepción 12 tal como una antena que recibe una señal transmitida desde el dispositivo de transmisión 11 al dispositivo de recepción 12 o la inestabilidad de la potencia del dispositivo de recepción 12.

Asimismo, en la decodificación de un código LDPC, en una columna de la matriz de control de paridad H y, además, en un nodo variable que corresponde al bit de código del código LDPC, según se ilustra en la Figura 5 anteriormente descrita, el cálculo del nodo variable representado en la Ecuación (1) se realiza acompañando a la adición del bit de código (el valor recibido u_0 del mismo) del código LDPC y en consecuencia, cuando se produce un error en el bit de código que se utiliza para el cálculo del nodo variable, disminuye la exactitud de un mensaje demandado.

Además, en la decodificación de un código LDPC, en un nodo de control, el cálculo del nodo de control representado en la Ecuación (7) se realiza utilizando mensajes adquiridos en los nodos variables conectados al nodo de control y en consecuencia, cuando el número de nodos de control que tienen errores (incluyendo borrado) que ocurren al mismo tiempo en una pluralidad de nodos variables (bits de código del código LDPC que les corresponde), conectados aumenta, se degrada la capacidad de codificación.

Dicho de otro modo, a modo de ejemplo, cuando dos o más nodos variables conectados a un nodo de control han sido borrados al mismo tiempo, el nodo de control reenvía un mensaje de una probabilidad igual para una probabilidad de un valor de cero y una probabilidad de un valor de uno a todos los nodos variables. En tal caso, el

5 nodo de control que reenvía el mensaje de una probabilidad igual no contribuye a un proceso de decodificación (un conjunto de un cálculo de nodo variable y un cálculo de nodo de control) y, como resultado, el número de repeticiones del proceso de decodificación necesita ser grande, por lo que se degrada la capacidad de decodificación y aumenta el consumo de energía del dispositivo de recepción 12 que decodifica el código LDPC.

10 Por lo tanto, en el sistema de transmisión ilustrado en la Figura 7, la resistencia a un error de ráfaga o borrado se mejora mientras que se mantiene la capacidad en el canal de comunicaciones de AWGN.

[Configuración, a modo de ejemplo, del dispositivo de transmisión 11]

15 La Figura 8 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, del dispositivo de transmisión 11 ilustrado en la Figura 7.

En el dispositivo de transmisión 11, uno o más flujos continuos de entrada, como datos objetivo, se suministran un multiplexor/adaptación de modos 111.

20 El multiplexor/adaptación de modos 111 realiza la selección del modo y la multiplexación de uno o más flujos continuos de entrada que se le suministran y a su vez, suministra los datos requeridos como resultado de lo que antecede a una zona de bits de relleno 112.

25 La zona de bits de relleno 112 realiza el relleno de ceros (inserción de Nulo), lo que es necesario para los datos suministrados desde el multiplexor/adaptación de modos 111 y suministra los datos adquiridos como su resultado a un cifrador BB 113.

30 El cifrador BB 113 realiza un proceso de difusión de energía para los datos suministrados desde la zona de bits de relleno 112 y suministra los datos adquiridos como resultado a un codificador BCH 114.

El codificador BCH 114 realiza la codificación de BCH para los datos suministrados desde el cifrador BB 113 y suministra los datos adquiridos como resultado a un codificador LDPC 115 como datos objetivos de LDPC que es un

35 El codificador LDPC 115 realiza la codificación de LDPC para los datos objetivo de LDPC suministrados desde el codificador BCH 114, en conformidad con una matriz de control de paridad en donde una matriz de paridad que es una parte del código LDPC correspondiente a un bit de paridad tiene una estructura escalonada y proporciona, a la salida, un código LDPC en donde los datos objetivo de LDPC se establecen como bits de información.

40 Dicho de otro modo, el codificador de LDPC 115 realiza la codificación de LDPC para codificar los datos objetivos de LDPC en un código de LDPC tal como un código de LDPC, a modo de ejemplo, definido en la norma DVB-T.2 y proporciona, a la salida, el código LDPC adquirido como resultado de lo que antecede.

45 En este caso, en la norma de DVB-T.2, se utiliza un código LDPC definido en la norma de DVB-S.2 exceptuado para un caso en donde se tiene una longitud de código de 16200 bits y una tasa codificada de 3/5. El código LDPC definido en la norma de DVB-T.2 es un código IRA (Irregular Repetir Acumular) y una matriz de paridad de la matriz de control de paridad del código LDPC tiene una estructura escalonada. La matriz de paridad y la estructura escalonada se describirán a continuación. El código IRA, a modo de ejemplo, se describe en el documento "Códigos de Repetir-Acumular Irregular", H. Jin, A. Khandekar y R. J. McEliece, en Proceedings de second International Symposium on Turbo codes and Related Topics, páginas 1-8, septiembre 2000.

50 El código LDPC que es objeto de salida desde el codificador LDPC 115 se suministra a un intercalador de bits 116.

55 El intercalador de bits 116 realiza la intercalación de bits que se describirá a continuación para el código LDPC suministrado desde el codificador de LDPC 115 y suministra el código LDPC después de la intercalación de bits a un codificador QAM 117.

60 El codificador QAM 117 realiza una modulación ortogonal (modulación multivalor) realizando el mapeado de correspondencia del código LDPC suministrado desde el intercalador de bits 116 en un punto de señal de la modulación ortogonal que representa un símbolo en unidades (unidades de símbolo) de bits de código del código LDPC de un bit o más.

65 Dicho de otro modo, el codificador QAM 117 realiza la modulación ortogonal efectuando un mapeado de correspondencia del código LDPC suministrado desde el intercalador de bits 116 en un punto de señal definido en un modo de modulación utilizado para realizar la modulación ortogonal del código LDPC en un plano de IQ

(constelación IQ) que se define por un eje I que representa una componente I que está en fase con una onda portadora y un eje Q que representa una componente Q ortogonal a la onda portadora.

En este caso, como modos de modulación de la modulación ortogonal realizada por el codificador QAM 117, a modo de ejemplo, existen modos de modulación que incluyen modos de modulación definidos en la norma de DVB-T, o lo que es lo mismo, a modo de ejemplo, existen modulaciones QPSK (Modulación por Desplazamiento de Fase en Cuadratura), 16 QAM (Modulación de Amplitud en Cuadratura), 64 QAM, 256 QAM, 1024 QAM y 4096 QAM. En el codificador QAM 117, el modo de modulación de la modulación ortogonal, a modo de ejemplo, se establece por anticipado, en conformidad con una operación de un operador del dispositivo de transmisión 11. Además, en el codificador QAM 117, a modo de ejemplo, se pueden realizar la modulación tipo 4 PAM (Modulación por Amplitud de Pulsos) y cualquier otro tipo de modulación ortogonal.

Los datos (símbolos mapeados en puntos de señales) adquiridos mediante el proceso realizado en el codificador QAM 117 se suministran a un intercalador temporal 118.

El intercalador temporal 118 realiza una intercalación temporal (intercalación en la dirección del tiempo) en unidades de símbolos para los datos (símbolos) suministrados desde el codificador QAM 117 y suministra los datos adquiridos como un resultado de la operación anterior a un codificador MISO/MIMO 119.

El codificador MISO/MIMO 119 realiza una codificación de tiempo-espacio para los datos (símbolos) suministrados desde el intercalador temporal 118 y suministra los datos resultantes a un intercalador de frecuencia 120.

El intercalador de frecuencia 120 realiza la intercalación de frecuencia (intercalación en la dirección de la frecuencia) en unidades de símbolos para los datos (símbolos) suministrados desde el codificador MISO/MIMO 119 y suministra los datos resultantes a un constructor de tramas/unidad de asignación de recursos 131.

Asimismo, a modo de ejemplo, los datos de control (señalización) utilizados para el control de la transmisión tales como un preámbulo denominado L1 o similar se suministran a un codificador BCH 121.

El codificador BCH 121 realiza la codificación de BCH para los datos de control que se le suministran, de forma similar al codificador BCH 114 y suministra los datos adquiridos como resultado de lo que antecede a un codificador de LDPC 122.

El codificador LDPC 122 realiza la codificación de LDPC para los datos suministrados desde el codificador BCH 121 como datos objetivos de LDPC, de forma similar al codificador LDPC 115 y suministra un código LDPC adquirido como un resultado a un codificador QAM 123.

El codificador QAM 123, de forma similar al codificador QAM 117, efectúa un mapeado de correspondencia del código LDPC suministrado desde el codificador LDPC 122 en unidades (en unidades de símbolos) de bits de código de uno o más bits del código LDPC en un punto de señal de la modulación ortogonal que representa un solo símbolo, realiza la modulación ortogonal para los datos resultantes y suministra datos (símbolos) adquiridos como resultado a un intercalador de frecuencia 124.

El intercalador de frecuencias 124, de forma similar al intercalador de frecuencias 120, realiza la intercalación de frecuencias para los datos (símbolos) suministrados desde el codificador QAM 123 en unidades de símbolos y suministra los datos resultantes al constructor de tramas/unidad de asignación de recursos 131.

La unidad de asignación de recursos/constructor de tramas 131 inserta símbolos piloto en posiciones necesarias de los datos (símbolos) suministrados desde los intercaladores de frecuencias 120 y 124, configura una trama configurada por símbolos de un número predeterminado utilizando los datos resultantes (símbolos) y suministra la trama a una unidad de generación de OFDM 132.

La unidad de generación de OFDM 132 genera una señal OFDM correspondiente a la trama suministrada desde la unidad de asignación de recursos/constructor de tramas 131 sobre la base de la trama y transmite la señal de OFDM a través del canal de comunicaciones 13 (Figura 7).

La Figura 9 ilustra una configuración, a modo de ejemplo, de un intercalador de bits 116 ilustrado en la Figura 8.

El intercalador de bits 116 es un dispositivo de procesamiento de datos que intercala datos y está configurado por un intercalador de paridad 23, un intercalador de columnas con torsión 24 y un demultiplexor (DEMUX) 25.

El intercalador de paridad 23 realiza la intercalación de paridad en donde un bits de paridad del código LDPC suministrado desde el codificador LDPC 115 es intercalado en una posición de otro bit de paridad y suministra un código LDPC después de la intercalación de paridad al intercalador de columnas con torsión 24.

El intercalador de columnas con torsión 24 realiza la intercalación de torsión de columnas para el código LDPC

suministrado desde el intercalador de paridad 23 y suministra el código LDPC después de la intercalación de torsión de columnas al demultiplexor 25.

5 Dicho de otro modo, en el codificador QAM 117 ilustrado en la Figura 8, el código LDPC se transmite con los bits de código de uno o más bits del código LDPC que es objeto de mapeado de correspondencia en un punto de señal que representa un símbolo de la modulación ortogonal.

10 En el intercalador de columnas con torsión 24, a modo de ejemplo, la intercalación de columnas con torsión según se describirá a continuación, se realiza como un proceso de clasificación en el que los bits de código del código LDPC que se suministran desde el intercalador de paridad 23 son clasificados de modo que una pluralidad de bits de código del código LDPC que correspondan a "1" que está presente en una fila arbitraria de la matriz de control de paridad que se utiliza por el codificador LDPC 115 no están incluidos en un símbolo.

15 El demultiplexor 25 adquiere un código LDPC cuya resistencia a AWGN se mejora realizando un proceso de intercambio en donde las posiciones de dos o más bits de código del código LDPC que forman un símbolo son intercambiados para el código LDPC suministrado desde el intercalador de columnas con torsión 24. A continuación, el demultiplexor 25 suministra dos o más bits de código del código LDPC que se adquiere por el proceso de intercambio para el codificador QAM 117 (Figura 8) como un símbolo.

20 A continuación, la Figura 10 ilustra una matriz de control de paridad H que se utiliza para codificar un LDPC por el codificador de LDPC 115 ilustrado en la Figura 8.

25 La matriz de control de paridad H tiene una estructura denominada LDGM (Matriz de Generación de Baja Densidad) y puede representarse en la Ecuación $H = [H_A | H_T]$ (una matriz en la que los elementos de una matriz de información H_A se establecen como elementos a la izquierda y los elementos de una matriz de paridad H_T se establecen como elementos a la derecha) utilizando la matriz de información H_A de la parte de los bits de código del código LDPC que corresponden a bits de información y la matriz de paridad H_T que corresponde a los bits de paridad.

30 En este caso, de entre los bits de código de un código LDPC (una palabra de código), el número de los bits de información y el número de bits de paridad se refieren como una longitud de información K y una longitud de paridad M, respectivamente y el número de los bits de código de un código LDPC se refiere como una longitud de código N ($= K + M$).

35 La longitud de información K y la longitud de paridad M con respecto a un código LDPC específico de una longitud de código N se determinan sobre la base de una tasa codificada. Además, la matriz de control de paridad H es una matriz de M filas x N columnas. Además, la matriz de información H_A es una matriz de tipo $M \times K$ y la matriz de paridad H_T es una matriz de $M \times M$.

40 La Figura 11 ilustra una matriz de paridad H_T de una matriz de control de paridad H de un código LDPC definido en la norma de DVB-T.2 (y DVB-S.2).

45 En la matriz de paridad H_T de la matriz de control de paridad H de un código LDPC definido en la norma de DVB-T.2, según se ilustra en la Figura 11, los elementos de '1' tienen una estructura escalonada en donde los elementos están alineados en un modelo escalonado en un sentido. El peso de ponderación de la fila de la matriz de paridad H_T es 1 para una primera fila y 2 para todas las filas restantes. Además, el peso de ponderación de columna es 1 para la última columna y es 2 para todas las columnas restantes.

50 Según se indicó con anterioridad, el código LDPC de la matriz de control de paridad H en donde la matriz de paridad H_T tiene una estructura escalonada se puede generar fácilmente utilizando la matriz de control de paridad H.

55 Dicho de otro modo, el código LDPC (una palabra de código) se representa como un vector de fila c y el vector de columna adquirido mediante la transposición del vector de fila se representa como c^T . En el vector de fila c que es un código LDPC, la parte de bits de información se representa como un vector de fila A y la parte de los bits de paridad se representa como un vector de fila T.

60 En tal caso, el vector de fila c puede representarse en la Ecuación $c = [A | T]$ (un vector de fila en donde los elementos del vector de fila A se establecen como elementos del lado izquierdo y los elementos del vector de fila T se establecen como elementos en el lado derecho) utilizando el vector de fila A como bits de información y el vector de fila T como bits de paridad.

65 La matriz de control de paridad H y el vector de fila $c = [A | T]$ como un código LDPC necesitan satisfacer la Ecuación $Hc^T = 0$ y el vector de fila T como bits de paridad que configuran el vector de fila $c = [A | T]$ que satisface la Ecuación $Hc^T = 0$ que se puede adquirir de forma secuencial (por turnos) estableciendo los elementos de cada fila a 0 en orden desde los elementos de la primera fila del vector de columna Hc^T representado en la Ecuación $Hc^T = 0$ en un caso en donde la matriz de paridad H_T de la matriz de control de paridad H $= [H_A | H_T]$ tiene una estructura escalonada ilustrada en la Figura 11.

La Figura 12 es un diagrama que ilustra la matriz de control de paridad H de un código LDPC que se define por la norma de DVB-T.2.

5 En la matriz de control de paridad H del código LDPC definido en la norma de DVB-T.2, el peso de ponderación de columna se establece a X para KX columnas desde la primera columna, el peso de ponderación de columna se establece en 3 para las K3 columnas posteriores, el peso de ponderación de la columna se establece en 2 para las (M - 1) columnas posteriores y el peso de ponderación de columna se establece a 1 para la última 1 columna.

10 En este caso, $KX + K3 + M - 1 + 1$ es lo mismo que la longitud de código N.

La Figura 13 es un diagrama que ilustra números de columnas KX, K3 y M y el peso de ponderación de la columna X para cada tasa codificada r del código LDPC definido en la norma de DVB-T.2.

15 En la norma de DVB-T.2, los códigos LDPC de longitudes de código N de 64800 bits y 16200 bits se definen.

Para el código LDPC cuya longitud de código N es 64800 bits, se definen 11 tasas codificadas (tasas nominales) de 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10 y, para el código LDPC en donde la longitud de código N es 16200 bits, se definen 10 tasas codificadas de 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6 y 8/9.

20 En adelante, la longitud de código N de 64800 bits se refiere también como 64k bits y la longitud de código N de 16200 bits se refiere también como 16k bits.

25 En un código LDPC, se conoce que un bit de código correspondiente a un mayor peso de ponderación de columna de la matriz de control de paridad H tiene una tasa de errores más baja.

En la matriz de control de paridad H definida en la norma de DVB-T.2 ilustrada en las Figuras 12 y 13, cuando una columna está situada en el lado frontal (lado izquierdo), el peso de ponderación de columna tiende a ser grande y, en consecuencia, en un código LDPC correspondiente a la matriz de control de paridad H, un bit de código situado en el lado frontal es más fuerte para el error (tiene resistencia al error) y el último bit de código tiende a ser más débil para el error.

30 La Figura 14 ilustra la disposición de 16 símbolos (puntos de señales correspondientes a dichos símbolos) en un plano IQ en un caso en donde QAM 16 se realiza por el codificador de QAM 117 ilustrado en la Figura 8.

35 Dicho de otro modo, la referencia A en la Figura 14 ilustra símbolos de los 16 QAM definidos en la norma de DVB-T.2.

40 En la 16 QAM, un símbolo se representa utilizando cuatro bits y $16 = (2^4)$ están presentes. Los 16 símbolos están dispuestos con el punto de origen del plano IQ establecido como su centro de modo que la dirección I x la dirección Q tiene una forma de 4×4 cuadrados.

45 Cuando un (i + 1)-ésimo bit desde los bits más significativo de una fila de bits que se representa por un símbolo se indica por un bit y_i , cuatro bits se representan por un símbolo de los 16 QAM que pueden representarse como bits y_0 , y_1 , y_2 e y_3 en orden desde los bits más significativo. En un caso en donde el modo de modulación es el de 16 QAM, 4 bits de los bits de código del código LDPC se forman como un símbolo (valor de símbolo) de 4 bits y_0 a y_3 (simbolizado).

50 La referencia B de la Figura 14 ilustra los contornos de bits de 4 bits (en adelante, también referido como bits de símbolos) y_0 a y_3 representados por símbolos de la 16 QAM.

En este caso, el contorno de bits de un bit de símbolo y_i (en la Figura 14, $i = 0, 1, 2$, o 3) representa un contorno límite entre un símbolo cuyo bit de símbolo y_i es 0 y un símbolo cuyo bit de símbolo y_i es 1.

55 Según se ilustra en B en la Figura 14, para el símbolo más significativo y_0 de entre los cuatro bits de símbolo y_0 a y_3 representados por un símbolo de 16 QAM, solamente una posición en el eje Q del plano IQ forma un contorno de bits y, para el segundo (segundo desde los bits más significativo) bit de símbolo y_1 , solamente una posición del eje I del plano IQ forma un contorno límite de bits.

60 Además, para el tercer bit de símbolo y_2 , en los símbolos 4×4 , dos posiciones incluyendo una posición entre las primera y segunda columnas desde la izquierda y una posición entre las tercera y cuarta columnas forman contornos límites de bits.

65 Además para el cuarto bit de símbolo y_3 , en los 4×4 símbolos, dos posiciones incluyendo una posición entre las primera y segunda filas desde la parte superior y una posición entre las tercera y cuarta filas forman contornos límites de bits.

Resulta difícil para un bit de símbolo y_i representado por un símbolo tener un error puesto que el número de símbolos situados alejados desde el contorno límite de bits aumenta en este caso (la probabilidad de error es baja) y es fácil para el bit de símbolo y_i tener un error puesto que el número de símbolos situados próximos al contorno límite de bits también aumenta (la probabilidad de error es alta).

Cuando un bit en el que es difícil que ocurra un error (fuerte para error) se refiere como un "bit fuerte" y un bit en el que es fácil que ocurra un error (débil para error) se refiere como un "bit débil", de entre los cuatro bits de símbolo y_0 a y_3 de un símbolo de la 16 QAM, el bit de símbolo más significativo y_0 y el segundo bit de símbolo y_1 son bits fuertes y el tercer bit de símbolo y_2 y el cuarto bit de símbolo y_3 son bits débiles.

Las Figuras 15 a 17 ilustran las disposiciones de 64 símbolos (puntos de señales correspondientes) en un plano IQ en un caso en donde se realiza la modulación 64 QAM por el codificador de QAM 117 ilustrado en la Figura 8, dicho de otro modo, los símbolos de 16 QAM de la norma de DVB-T.2.

En la 64 QAM, un símbolo se representa utilizando seis bits y $64 = (2^6)$ símbolos están presentes. Los 64 símbolos están dispuestos con el punto de origen del plano IQ establecido como su centro, de modo que la dirección I x la dirección Q tiene una forma de 8×8 cuadrados.

Los bits de símbolo de un símbolo de la 64 QAM pueden representarse como bits y_0, y_1, y_2, y_3, y_4 e y_5 en orden desde los bits más significativo. En un caso en donde el modo es la 64 QAM, 6 bits de bits de código del código LDPC se forman como un símbolo de 6 bits y_0 a y_5 .

En este caso, la Figura 15 ilustra los contornos límites de bits del bit de símbolo más significativo y_0 y el segundo bit de símbolo y_1 de entre los bits de símbolo y_0 a y_5 de símbolos de la modulación 64 QAM, respectivamente. La Figura 16 ilustra contornos límites de bits del tercer bit de símbolo contenido y_2 del cuarto bit de símbolo y_3 respectivamente y la Figura 17 ilustra contornos límites de bits del quinto bit de símbolo y_4 y el sexto bit de símbolo y_5 , respectivamente.

Según se ilustra en la Figura 15, para cada uno de los bit de símbolo más significativo y_0 y el segundo bit de símbolo y_1 , solamente una posición forma un contorno límite de bits, según se ilustra en la Figura 16, para cada uno del tercer bit de símbolo y_2 y del cuarto bit de símbolo y_3 , dos posiciones forman contornos límites de bits y, según se ilustra en la Figura 17, para cada uno del quinto bit de símbolo y_4 y del sexto bit de símbolo y_5 , cuatro posiciones forman contornos límites de bits.

De este modo, de entre los bits de símbolo y_0 a y_5 de símbolos de la modulación 64 QAM, el bit de símbolo más significativo y_0 y el segundo bit de símbolo y_1 son bits fuertes y el tercer bit de símbolo y_2 y el cuarto bit de símbolo y_3 son bits fuertes próximos. Además, el quinto bit de símbolo y_4 y el sexto bit de símbolo y_5 son bits débiles.

Sobre la base de las 14 y 15 a 17, puede entenderse que, de entre los bits de símbolo de símbolos de modulación ortogonal, los bits de alto orden tienden a ser bits fuertes y los bits de bajo orden tienden a ser bits débiles.

En este caso, según se describe haciendo referencia a las Figuras 12 y 13, de entre los códigos LDPC objeto de salida por el codificador LDPC 115 (Figura 8), existen bits de código que son fuertes para el error y bits de código que son débiles para el error.

Además, según se describe haciendo referencia a las Figuras 14 a 17, de entre los bits de símbolo de símbolos de la modulación ortogonal realizada por el codificador de QAM 117 existen bits fuertes y bits débiles.

De este modo cuando los bits de código del código LDPC que son débiles para el error se asignan a bits de símbolo débiles de símbolos de la modulación ortogonal, la resistencia al error disminuye como un conjunto completo.

De este modo, en una tendencia para asignar bits de código del código LDPC que sean débiles para el error a bits fuertes (bits de símbolos) de símbolos de la modulación ortogonal, se propone la presencia de un intercalador que intercala bits de código del código LDPC.

El demultiplexor 25 ilustrado en la Figura 9 puede realizar el proceso del intercalador.

La Figura 18 es un diagrama que ilustra el proceso del demultiplexor 25 ilustrado en la Figura 9.

Dicho de otro modo, la referencia A de la Figura 18 ilustra una configuración funcional, a modo de ejemplo, del demultiplexor 25.

El demultiplexor 25 está configurado por una memoria 31 y una unidad de intercambio 32.

Un código LDPC se aplica la memoria 31 desde el codificador LDPC 115.

La memoria 31 tiene una capacidad de memoria de mb bits en la dirección de la fila (horizontal) y $N/(mb)$ bits en la dirección de la columna (vertical), escribe bits de código del código LDPC que se suministra en la dirección de la columna, efectúa la lectura de los bits de código en la dirección de las filas y suministra los bits de código a la unidad de intercambio 32.

En este caso, N (= longitud de información K + longitud de paridad M), según se describió con anterioridad, representa la longitud de código del código LDPC.

Además, m representa el número de bits de los bits de código del código LDPC que forma un símbolo y b es un número entero positivo predeterminado y es un múltiplo utilizado para la multiplicación integral de m . El demultiplexor 25, según se describió con anterioridad, forma los bits de código del código LDPC como un símbolo (simboliza) y el múltiplo b representa el número de símbolos adquiridos por un proceso de simbolización del demultiplexor 25 en un sentido.

La referencia A de la Figura 18 representa una configuración, a modo de ejemplo, del demultiplexor 25 en un caso en donde el modo de modulación es 64 QAM y, en consecuencia, el número m de bits de los bits de código del código LDPC que forma un símbolo es seis bits.

En la referencia A de la Figura 18, el múltiplo b es uno y, en consecuencia, la memoria 31 tiene una capacidad de memoria de $N/(6 \times 1) \times (6 \times 1)$ bits en la dirección de la columna $\times$ la dirección de la fila.

En adelante, una zona de memoria de la memoria 31 que tiene un bit en la dirección de las filas y se extiende en la dirección de la columna se referirá como una columna cuando sea adecuado. En la referencia A de la Figura 18, la memoria 31 está configurada por 6 ($= 6 \times 1$) columnas.

En el demultiplexor 25, la escritura de los bits de código del código LDPC desde el lado superior de las columnas que configuran la memoria 31 al lado inferior (dirección de la columna) se realiza desde el lado izquierdo hacia la columna situada en el lado derecho.

A continuación, cuando está concluida la escritura de los bits de código hasta la parte situada más debajo de la columna más a la derecha, los bits de código son objeto de lectura en unidades de seis bits (mb bits) en la dirección de la fila desde la primera fila de todas las columnas que configuran la memoria 31 y los bits de código se suministran a la unidad de intercambio 32.

La unidad de intercambio 32 realiza un proceso de intercambio en donde las posiciones de los bits de código de 6 bits que se suministran desde la memoria 31 se intercambian y se proporciona, a la salida, 6 bits adquiridos como un resultado como 6 bits de símbolo y_0, y_1, y_2, y_3, y_4 y y_5 que representan un símbolo de la modulación 64 QAM.

Dicho de otro modo, los bits de código de mb bits (en este caso, 6 bits) son objeto de la lectura en la memoria 31 en la dirección de las filas y cuando un i -ésimo bit ($i = 0, 1, \dots, mb-1$) desde los bits más significativo de los bits de código de mb bits son objeto de lectura desde la memoria 31 se representa como un bit b_i , los bits de código de 6 bits objeto de lectura desde la memoria 31 en la dirección de las filas puede representarse como bits, b_0, b_1, b_2, b_3, b_4 y b_5 en orden desde los bits más significativo.

Sobre la base del peso de ponderación de la columna descrito haciendo referencia a las Figuras 12 y 13, los bits de código situados en el lado del bit b_0 son bits de código que son fuertes para el error y los bits de código situados en el lado del bit b_5 son bits de código que son débiles para el error.

La unidad de intercambio 32 puede realizar un proceso de intercambio en donde las posiciones de los bits de código de 6 bits b_0 a b_5 suministrados desde la memoria 31 son intercambiados de modo que los bits de código que sean débiles para el error de entre los bits de código de 6 bits b_0 a b_5 suministrados desde la memoria 31, se asignan a bits fuertes de entre los bits de símbolo y_0 a y_5 de un símbolo de la modulación 64 QAM.

En este caso, puesto que los modos de intercambio para intercambiar los bits de código de 6 bits b_0 a b_5 suministrados desde la memoria 31 y la asignación de los bits de código a 6 bits de símbolo y_0 a y_5 que representa un símbolo de la modulación 64 QAM, varios modos se proponen por las empresas interesadas.

La referencia B de la Figura 18 ilustra un primer modo de intercambio, el punto C de la Figura 18 ilustra un segundo modo de intercambio y el punto D de la Figura 18 ilustra un tercer modo de intercambio.

En B a D de la Figura 18 (similar también en el caso de la Figura 19 a describirse más adelante), un segmento que une bits b_i e y_j representa la asignación del bit de código b_i al bit de símbolo y_j de un símbolo (intercambio de la posición del bit de código con la posición del bit de símbolo y_j).

Cuando se está en el primer modo de intercambio ilustrado en B de la Figura 18, se propone un modo en el que cualquiera de los tres tipos de método de intercambio se utiliza y, como el segundo modo de intercambio ilustrado en

C de la Figura 18, se propone un modo en el que se emplea cualquiera de los dos tipos de métodos de intercambio.

Como el tercer modo de intercambio ilustrado en D de la Figura 18, se propone un modo en el que seis tipos de método de intercambio son secuencialmente seleccionados y utilizados.

La Figura 19 ilustra una configuración, a modo de ejemplo, del demultiplexor 25 y un cuarto modo de intercambio en un caso en donde el modo de modulación es 64 QAM (en consecuencia, el número m de bits de los bits de código de un código LDPC que son objeto de mapeado de correspondencia en un símbolo es, de forma similar al caso ilustrado en la Figura 18, 6 bits) y el múltiplo b es 2.

En un caso en donde el múltiplo b es 2, la memoria 31 tiene una capacidad de memoria de $N/(6 \times 2) \times (6 \times 2)$ bits en la dirección de la columna x la dirección de la fila y y está configurado por 12 ($= 6 \times 2$) columnas.

La referencia A de la Figura 19 ilustra la secuencia de escritura de un código LDPC en la memoria 31.

En el demultiplexor 25, según se describe con referencia a la Figura 18, la escritura de los bits de código del código LDPC desde el lado superior de las columnas que configuran la memoria 31 al lado inferior (dirección de las columnas) se realiza desde el lado izquierdo hacia la columna situada en el lado derecho.

A continuación, cuando está completa la escritura de los bits de código en la parte más inferior de la columna más a la derecha, los bits de código son objeto de lectura en unidades de 12 bits (mb bits) en la dirección de las filas desde la primera fila de todas las columnas que configuran la memoria 31 y los bits de código se suministran a la unidad de intercambio 32.

La unidad de intercambio 32 realiza un proceso de intercambio en donde las posiciones de los bits de código de 12 bits que se suministran desde la memoria 31 son intercambiados en conformidad con el cuarto modo de intercambio y se proporciona, a la salida, 12 bits adquiridos como su resultado puesto que 12 bits representan dos símbolos (b símbolos) de 64 QAM, o dicho de otro modo, 6 bits de símbolo y_0, y_1, y_2, y_3, y_4 , e y_5 representan un símbolo de la modulación 64 QAM y 6 bits de símbolo y_0, y_1, y_2, y_3, y_4 , e y_5 representan el siguiente símbolo.

En este caso, la referencia B de la Figura 19 ilustra el cuarto modo de intercambio del proceso de intercambio realizado por la unidad de intercambio 32 ilustrada en A de la Figura 19.

En un caso en donde el múltiplo b es 2 (similar incluso en un caso en donde el múltiplo es tres o más), en el proceso de intercambio, los bits de código de mb bits se asignan a los bits de símbolo de mb bits de símbolo b consecutivos. En adelante, incluyendo un caso ilustrado en la Figura 19, por comodidad de descripción, un $i + 1$ -ésimo bit de los bits de símbolo de mb -bit de símbolo b consecutivos, desde los bits más significativo, se representan como un bit (bit de símbolo) y_i .

Además, un método de intercambio adecuado, o dicho de otro modo, si, o no, una tasa de errores en el canal de comunicaciones AWGN se mejora todavía más se determina de forma diferente sobre la base de la tasa codificada y de la longitud de código del código LDPC, del módulo de modulación y factores similares.

Intercalación de paridad

A continuación, la intercalación de paridad realizada por el intercalador de paridad 23 según se ilustra en la Figura 9 se describirá haciendo referencia a las Figuras 20 a 22.

La Figura 20 ilustra un denominado gráfico de Tanner (una parte del mismo) de una matriz de control de paridad de un código LDPC.

Según se ilustra en la Figura 20, cuando una pluralidad de, a modo de ejemplo, dos nodos variables (bits de código correspondientes) conectados a un nodo de control tienen errores tales que se borran al mismo tiempo, el nodo de control reenvía un mensaje de una probabilidad igual para una probabilidad de un valor de cero y una probabilidad de un valor de uno a todos los nodos variables conectados al nodo de control. En consecuencia, cuando una pluralidad de nodos variables conectados al mismo nodo de control sufre borrados al mismo tiempo o en un momento similar, se degrada la capacidad de decodificación.

Un código LDPC definido en la norma de DVB-T.2, que es objeto de salida por el codificador LDPC 115 ilustrado en la Figura 8, es un código IRA y la matriz de paridad H_T de la matriz de control de paridad H , según se ilustra en la Figura 11, tiene una estructura escalonada.

La Figura 21 ilustra una matriz de paridad H_T que tiene una estructura escalonada y un denominado gráfico de Tanner correspondiente a la matriz de paridad H_T .

Dicho de otro modo, la referencia A de la Figura 21 ilustra una matriz de paridad H_T que tiene una estructura escalonada y la referencia B de la Figura 21 ilustra un gráfico de Tanner correspondiente a la matriz de paridad H_T .

ilustrada en la referencia A de la Figura 21.

En la matriz de paridad H_T que tiene una estructura escalonada, en cada fila, los elementos de '1' son adyacentes entre sí (exceptuado para la primera fila). En consecuencia, en el denominado gráfico de Tanner de la matriz de paridad H_T , dos nodos variables adyacentes entre sí que corresponden a filas de dos elementos adyacentes entre sí de los cuales los valores de la matriz de paridad H_T son '1' están conectados al mismo nodo de control.

De este modo, cuando los bits de paridad correspondientes a dos nodos variables adyacentes entre sí anteriormente descritos tienen errores al mismo tiempo debido a un error de ráfaga, borrado y causa similar, el nodo de control conectado a dos nodos variables (nodos variables que adquieren mensajes utilizando bits de paridad) correspondientes a los dos bits de paridad que tienen errores reenvía un mensaje de una probabilidad igual para una probabilidad de un valor de 0 y una probabilidad de un valor de uno para los nodos variables conectados al nodo de control y, en consecuencia, se degrada la capacidad de decodificación. A continuación, cuando una longitud de ráfaga (el número de bits de los bits de paridad que tienen errores consecutivos) es grande, aumenta el número de nodos de control que reenvían los mensajes de una probabilidad igual y se degrada todavía más la capacidad de decodificación.

De este modo, con el fin de evitar la degradación de la capacidad de decodificación anteriormente descrita, el intercalador de paridad 23 (Figura 9) realiza la intercalación de paridad en donde los bits de paridad del código LDPC suministrado desde el codificador de LDPC 115 se intercalan en la posición de otro bit de paridad.

La Figura 22 ilustra la matriz de paridad H_T de la matriz de control de paridad H que corresponde al código LDPC después de que la intercalación de paridad se realice por el intercalador de paridad 23 ilustrado en la Figura 9.

En este caso, la matriz de información H_A de la matriz de control de paridad H que corresponde al código LDPC definido en la norma de DVB-T.2, que es objeto de salida por el codificador LDPC 115, tiene una estructura cíclica.

La estructura cíclica representa una estructura en la que una columna coincide con otra columna cuando se desplaza de forma cíclica y, a modo de ejemplo, incluye también una estructura en la que, para cada P columnas, la posición de "1" de cada fila de las P columnas es una posición adquirida mediante desplazamiento cíclico de la primera columna de las P columnas en la dirección de las columnas en un valor que está en proporción a un valor q adquirido dividiendo la longitud de paridad M . En adelante, cuando sea adecuado, las P columnas de la estructura cíclica se refieren como el número de columnas unitarias de la estructura cíclica.

Como los códigos LDPC definidos en la norma DVB-T.2, según se describió con referencia a las Figuras 12 y 13, existen dos tipos de códigos LDPC, que tienen longitudes de código N de 64800 bits y 16200 bits y, para cualquiera de los dos tipos de códigos LDPC, el número P de columnas unitarias de la estructura cíclica se define como 360 que es uno de divisores excepto para "1" y M de entre los divisores de la longitud de paridad M .

Además, la longitud de paridad M es un valor distinto de un número primo que se representa por la Ecuación $M = q \times P = q \times 360$ que utiliza un valor q que es distinto en función de la tasa codificada. En consecuencia, el valor q , similarmente al número P de columnas unitarias de la estructura cíclica, es uno de divisores exceptuado para "1" y M de entre los divisores de la longitud de paridad M y pueden adquirirse dividiendo la longitud de paridad M por el número P de columnas unitarias de la estructura cíclica (el producto de P y q que son divisores de la longitud de paridad M se convierte en la longitud de paridad M).

Según se describió con anterioridad, cuando la longitud de información es K , un número entero que es igual o mayor que cero y menor que P es x y un número entero que es igual o mayor que cero y menor que q es y , el intercalador de paridad 23 intercala un $(K + qx + y + 1)$ -ésimo bit de código de entre los bits de código de un código LDPC de N bits en la posición de un $(K + Py + x + 1)$ -ésimo bit de código como intercalación de paridad.

Puesto que el $(K + qx + y + 1)$ -ésimo bit de código y el $(K + Py + x + 1)$ -ésimo bit de código son bits de código después del $(K + 1)$ -ésimo bit de código, los bits de código son bits de paridad y en consecuencia, las posiciones de los bits de paridad del código LDPC se desplazan en conformidad con la intercalación de paridad.

En conformidad con dicha intercalación de paridad, el número de nodos variables (bit de paridad correspondientes) conectados a un mismo nodo de control disminuye por el número P de columnas unitarias de la estructura cíclica, es decir, en este caso, 360 bits y en consecuencia, en un caso en donde la longitud de ráfaga es menor que 360 bits, puede evitarse una situación en donde una pluralidad de nodos variables conectados al mismo nodo de control tienen errores al mismo tiempo, por lo que puede mejorarse la resistencia a un error de ráfaga.

Además, el código LDPC después de la intercalación de paridad en donde el $(K + qx + y + 1)$ -ésimo bit de código se intercala en la posición del $(K + Py + x + 1)$ -ésimo bit de código coincide con un código LDPC de una matriz de control de paridad (en adelante, también referida como una matriz de control de paridad transformada) adquirida por sustitución de columnas en donde la $(K + qx + y + 1)$ -ésima columna de la matriz de control de paridad original H se sustituye con la $(K + Py + x + 1)$ -ésima columna.

En la matriz de paridad de la matriz de control de paridad transformada, según se ilustra en la Figura 22, una estructura pseudo-cíclica en unidades de P columnas (en la Figura 22, 360 columnas) aparece en este momento operativo.

En este caso, la estructura pseudo-cíclica representa una estructura en la que se forma una estructura cíclica exceptuada para una parte de la estructura.

En la matriz de control de paridad transformada adquirida realizando la sustitución de columnas correspondiente a la intercalación de paridad para la matriz de control de paridad de un código LDPC definido en la norma de DVB-T.2, el número de elementos de '1' es menor que uno (un elemento de 0 está presente) en una parte (una matriz de desplazamiento que se describirá más adelante) de la 360-ésima fila $\times$ 360-ésima columna de la parte de la esquina derecha y, en ese punto, no se forma una estructura cíclica (completa) sino una estructura pseudo-cíclica en un sentido.

Además, la matriz de control de paridad transformada ilustrada en la Figura 22 es una matriz adquirida realizando para la matriz de control de paridad original H no solamente la sustitución de columnas correspondiente a la intercalación de paridad sino también la sustitución de filas (sustitución de filas) de modo que la matriz de control de paridad transformada está configurada como una matriz constitutiva que se describirá más adelante.

Intercalación de columnas con torsión

A continuación, la intercalación de torsión de columnas como el proceso de clasificación realizado por el intercalador de columnas con torsión 24, que se ilustra en la Figura 9, se describirá haciendo referencia a las Figuras 23 a 26.

El dispositivo de transmisión 11 ilustrado en la Figura 8, transmite uno o más bits de los bits de código del código LDPC como un solo símbolo. Dicho de otro modo, a título de ejemplo, en un caso en donde dos bits de los bits de código estén configurados como un solo símbolo, a modo de ejemplo, QPSK se utiliza como el modo de modulación y, en un caso en donde cuatro bits de los bits de código se configuran como un solo símbolo, a modo de ejemplo, se utiliza la modulación 16 QAM como el modo de modulación.

En un caso en donde dos o más bits de los bits de código se transmiten como un solo símbolo, cuando ocurre un borrado o situación similar en un símbolo, todos los bits de código del símbolo tienen errores (borrados).

En consecuencia, para mejorar la capacidad de decodificación, con el fin de disminuir una probabilidad de la ocurrencia de borrados al mismo tiempo en una pluralidad de nodos variables (bit de código correspondiente) conectados al mismo nodo de control, resulta necesario evitar una conexión de nodos variables correspondientes a bits de código de un símbolo para el mismo nodo de control.

Asimismo, según se describió con anterioridad, en la matriz de control de paridad H de un código LDPC según se define en la norma de DVB-T.2, que es objeto de salida por el codificador LDPC 115, la matriz de información H_A tiene una estructura cíclica y la matriz de paridad H_T tiene una estructura escalonada. Según se describe haciendo referencia a la Figura 22, en la matriz de control de paridad transformada que es una matriz de control de paridad de un código LDPC después de la intercalación de paridad, una estructura cíclica (más concretamente, la estructura pseudo-cíclica según se describió anteriormente) aparece también en la matriz de paridad.

La Figura 23 ilustra una matriz de control de paridad transformada.

Dicho de otro modo, la referencia A en la Figura 23 ilustra una matriz de control de paridad transformada de una matriz de control de paridad H de un código LDPC que tiene una longitud de código N de 64800 bits y una tasa codificada (r) de 3/4.

En la referencia A de la Figura 23, en la matriz de control de paridad transformada, la posición de un elemento que tenga un valor de 1 se presenta como un punto (·).

La referencia B de la Figura 23 ilustra un proceso realizado por el demultiplexor 25 (Figura 9) para un código LDPC de la matriz de control de paridad transformada ilustrada en A de la Figura 23, es decir, un código LDPC después de la intercalación de paridad como un objetivo.

En la referencia B de la Figura 23, los bits de código del código LDPC después de la intercalación de paridad son objeto de escritura en cuatro columnas que configuran la memoria 31 del demultiplexor 25 en la dirección de las columnas utilizando el modo de modulación como la modulación 16 QAM.

Los bits de código objeto de escritura en las cuatro columnas que configuran la memoria 31 en la dirección de la columna son objeto de lectura en unidades de cuatro bits en la dirección de las filas con el fin de formar un solo símbolo.

En este caso, los bits de código B_0 , B_1 , B_2 y B_3 de cuatro bits, que forman un símbolo, pueden ser bits de código correspondientes a '1' presentes en una fila arbitraria de la matriz de control de paridad transformada de A ilustrada en la Figura 23 y, en tal caso, los nodos variables correspondientes a los bits de código B_0 , B_1 , B_2 y B_3 están conectados a un mismo nodo de control.

En consecuencia, en un caso en donde los bits de código B_0 , B_1 , B_2 y B_3 de cuatro bits que forman un símbolo, son bits de código correspondientes a '1' presentes en una fila arbitraria de la matriz de control de paridad transformada, cuando ocurre un borrado en el símbolo, por lo que no puede adquirirse un mensaje adecuado en el mismo nodo de control al que están conectados los nodos variables correspondientes a los bits de código B_0 , B_1 , B_2 y B_3 con lo que se degrada la capacidad de decodificación.

También para una tasa codificada distinta de la tasa codificada de 3/4, de forma similar, una pluralidad de bits de código correspondientes a una pluralidad de nodos variables conectados a un mismo nodo de control pueden formarse como un símbolo de la 16 QAM.

De este modo, el intercalador de columnas con torsión 24 realiza la intercalación de torsión de columnas en donde bits de código del código LDPC después de la intercalación de paridad, que se suministran desde el intercalador de paridad 23, son intercalados de modo que una pluralidad de bits de código correspondientes a '1' presente en una fila arbitraria de la matriz de control de paridad transformada no se incluyan en un solo símbolo.

La Figura 24 es un diagrama que ilustra la intercalación de torsión de columnas.

Dicho de otro modo, la Figura 24 ilustra la memoria 31 (Figuras 18 y 19) del demultiplexor 25.

La memoria 31, según se ilustra en la Figura 18, tiene una capacidad de memoria de mb bits en la dirección de las columnas (vertical) y $N/(mb)$ bits en la dirección de las filas (horizontal) y está configurada por mb columnas. A continuación, el intercalador de columnas con torsión 24 realiza la escritura de bits de código del código LDPC en la memoria 31 en la dirección de las columnas y controla la posición de inicio de escritura en el momento de la lectura en la dirección de las filas, con lo que se realiza la intercalación de torsión de columnas.

Dicho de otro modo, el intercalador de columnas con torsión 24 cambia adecuadamente la posición de inicio de escritura desde donde se inicia la escritura de un bit de código para cada una de una pluralidad de columnas, con lo que se configura una pluralidad de bits de código que forman un símbolo, que son objeto de lectura en la dirección de las filas y no para ser bits de código correspondientes a '1' presentes en una fila arbitraria de la matriz de control de paridad transformada (los bits de código del código LDPC se clasifican de modo que una pluralidad de bits de código correspondientes a '1' presentes en una fila arbitraria de la matriz de control de paridad no estén incluidos en el mismo símbolo).

En este caso, la Figura 24 ilustra una configuración, a modo de ejemplo, de la memoria 31 en un caso en donde el modo de modulación es 16 QAM y el múltiplo b descrito con referencia a la Figura 18 es 1. En consecuencia, el número m de bits de los bits de código de un código LDPC que forman un símbolo es de cuatro bits y la memoria 31 está configurada por cuatro ($= mb$) columnas.

El intercalador de columnas con torsión 24 (en lugar del demultiplexor 25 ilustrado en la Figura 18) realiza la escritura de los bits de código del código LDPC desde el lado superior de las cuatro columnas que configuran la memoria 31 al intercalado inferior (dirección de columnas) desde el lado izquierdo hacia la columna situada en el lado derecho.

A continuación, cuando está concluida la escritura de los bits de código hasta la columna más a la derecha, el intercalador de columnas con torsión 24 efectúa la lectura de bits de código en unidades de cuatro bits (mb bits) en la dirección de las filas desde la primera fila de todas las columnas que configuran la memoria 31 y proporciona, a la salida, los bits de código como un código LDPC después de la intercalación de torsión de columnas para la unidad de intercambio 32 (Figuras 18 y 19) del demultiplexor 25.

Sin embargo, cuando la dirección de la posición de inicio (más superior) de cada columna es 0 y la dirección de cada posición en la dirección de las columnas se representa como un número entero en el orden ascendente, en el intercalador de columnas con torsión 24, la posición de inicio de escritura se establece en una posición de dirección 0 para la columna más a la izquierda, la posición de iniciación de escritura se establece en una posición de dirección 2 para la segunda columna (desde el lado izquierdo), la posición de inicio de escritura se establece en una posición de dirección 4 para la tercera columna y la posición de inicio de escritura se establece en una posición de dirección 7 para la cuarta columna.

Para cada columna que tenga la posición de inicio de escritura distinta de la posición de dirección 0, después de que el bit de código sea objeto de escritura en la posición más baja, la posición de escritura se reenvía al inicio (la posición de la dirección 0) y se realiza la escritura hasta una posición inmediatamente anterior a la posición de inicio

de la escritura. A continuación, se realiza la escritura para la siguiente columna (el lado derecho).

Al realizar la intercalación de torsión de columnas en la forma anteriormente indicada, para un código LDPC definido según la norma de DVB-T.2, puede evitarse que una pluralidad de bits de código correspondiente a una pluralidad de nodos variables conectados al mismo nodo de control formen un solo símbolo (están incluidos en el mismo símbolo) de 16 QAM, con lo que puede mejorarse la capacidad de decodificación en un canal de comunicaciones que tenga un borrado.

La Figura 25 ilustra el número de columnas de la memoria 31 necesarias para la intercalación de torsión de columnas y las direcciones de sus posiciones iniciales de escritura para cada modo de modulación para códigos LDPC, que se definen en la norma de DVB-T.2, que tiene una longitud de código N de 64800 y 11 tasas codificadas. Utilizando un múltiplo b de 1 y empleando, a modo de ejemplo, QPSK como el modo de modulación, en un caso en donde el número m de bits de un símbolo es dos bits, según se ilustra en la Figura 25, la memoria 31 tiene dos columnas que memorizan 2×1 (= mb) bits en la dirección de las filas y memoriza $64800/(2 \times 1)$ bits en la dirección de las columnas.

De entre las dos columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0 y la posición de inicio de escritura de una segunda columna es la posición de dirección 2.

A modo de ejemplo, en un caso en donde uno de los primeros a terceros modos de intercambio, ilustrados en la Figura 18, se utiliza como el modo de intercambio del proceso de intercambio realizado por el demultiplexor 25 (Figura 9) o similar, el múltiplo b es 1.

Utilizando un múltiplo b de 2 y empleando, a modo de ejemplo, QPSK como el modo de modulación, en un caso en donde el número m de bits de un símbolo es dos bits, según se ilustra en la Figura 25, la memoria 31 tiene cuatro columnas que memorizan 2×2 (= mb) bits en la dirección de las filas y memoriza $64800/(2 \times 2)$ bits en la dirección de las columnas.

De entre las cuatro columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 2, la posición de inicio de escritura de una tercera columna es la posición de dirección 4 y la posición de inicio de escritura de una cuarta columna es la posición de dirección 7.

A modo de ejemplo, en un caso en donde el cuarto modo de intercambio, ilustrado en la Figura 19, se utiliza como el modo de intercambio del proceso de intercambio realizado por el demultiplexor 25 (Figura 9) o similar, el múltiplo b es 2.

Utilizando un múltiplo b de 1 y empleando, a modo de ejemplo, 16 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es cuatro bits, según se ilustra en la Figura 25, la memoria 31 tiene cuatro columnas que memorizan 4×1 bits en la dirección de las filas y memoriza $64800/(4 \times 1)$ bits en la dirección de las columnas.

De entre las cuatro columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 2, la posición de inicio de escritura de una tercera columna es la posición de dirección 4 y la posición de inicio de escritura de una cuarta columna es la posición de dirección 7.

Utilizando un múltiplo b de 2 y empleando, a modo de ejemplo, 16 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es cuatro bits, según se ilustra en la Figura 25, la memoria 31 tiene ocho columnas que memorizan 4×2 bits en la dirección de las filas y memoriza $64800/(4 \times 2)$ bits en la dirección de las columnas.

De entre las ocho columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 0, la posición de inicio de escritura de una tercera columna es la posición de dirección 2, la posición de inicio de escritura de una cuarta columna es la posición de dirección 4, la posición de inicio de escritura de una quinta columna es la posición de dirección 4, la posición de inicio de escritura de una sexta columna es la posición de dirección 5, la posición de inicio de escritura de una séptima columna es la posición de dirección 7 y la posición de inicio de escritura de una octava columna es la posición de dirección 7.

Utilizando un múltiplo b de 1 y empleando, a modo de ejemplo, 64 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es seis bits, según se ilustra en la Figura 25, la memoria 31 tiene seis columnas que memorizan 6×1 bits en la dirección de las filas y memoriza $64800/(6 \times 1)$ bits en la dirección de las columnas.

De entre las seis columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la

posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 2, la posición de inicio de escritura de una tercera columna es la posición de dirección 5, la posición de inicio de escritura de una cuarta columna es la posición de dirección 9, la posición de inicio de escritura de una quinta columna es la posición de dirección 10 y la posición de inicio de escritura de una sexta columna es la posición de dirección 13.

Utilizando un múltiplo b de 2 y empleando, a modo de ejemplo, 64 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es seis bits, según se ilustra en la Figura 25, la memoria 31 tiene 12 columnas que memorizan 6×2 bits en la dirección de las filas y memoriza $64800/(6 \times 2)$ bits en la dirección de las columnas.

De entre las doce columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 0, la posición de inicio de escritura de una tercera columna es la posición de dirección 2, la posición de inicio de escritura de una cuarta columna es la posición de dirección 2, la posición de inicio de escritura de una quinta columna es la posición de dirección 3, la posición de inicio de escritura de una sexta columna es la posición de dirección 4, la posición de inicio de escritura de una séptima columna es la posición de dirección 4, la posición de inicio de escritura de una octava columna es la posición de dirección 5, la posición de inicio de escritura de una novena columna es la posición de dirección 5, la posición de inicio de escritura de una décima columna es la posición de dirección 7, la posición de inicio de escritura de una undécima columna es la posición de dirección 8 y la posición de inicio de escritura de una duodécima columna es la posición de dirección 9.

Utilizando un múltiplo b de 1 y empleando, a modo de ejemplo, 256 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es ocho bits, según se ilustra en la Figura 25, la memoria 31 tiene 8 columnas que memorizan 8×1 bits en la dirección de las filas y memoriza $64800/(8 \times 1)$ bits en la dirección de las columnas.

De entre las ocho columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 0, la posición de inicio de escritura de una tercera columna es la posición de dirección 2, la posición de inicio de escritura de una cuarta columna es la posición de dirección 4, la posición de inicio de escritura de una quinta columna es la posición de dirección 4, la posición de inicio de escritura de una sexta columna es la posición de dirección 5, la posición de inicio de escritura de una séptima columna es la posición de dirección 7 y la posición de inicio de escritura de una octava columna es la posición de dirección 7.

Utilizando un múltiplo b de 2 y empleando, a modo de ejemplo, 256 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es ocho bits, según se ilustra en la Figura 25, la memoria 31 tiene 16 columnas que memorizan 8×2 bits en la dirección de las filas y memoriza $64800/(8 \times 2)$ bits en la dirección de las columnas.

De entre las dieciséis columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 2, la posición de inicio de escritura de una tercera columna es la posición de dirección 2, la posición de inicio de escritura de una cuarta columna es la posición de dirección 2, la posición de inicio de escritura de una quinta columna es la posición de dirección 2, la posición de inicio de escritura de una sexta columna es la posición de dirección 3, la posición de inicio de escritura de una séptima columna es la posición de dirección 7, la posición de inicio de escritura de una octava columna es la posición de dirección 15, la posición de inicio de escritura de una novena columna es la posición de dirección 16, la posición de inicio de escritura de una décima columna es la posición de dirección 20, la posición de inicio de escritura de una undécima columna es la posición de dirección 22, la posición de inicio de escritura de una duodécima columna es la posición de dirección 22, la posición de inicio de escritura de una decimotercera columna es la posición de dirección 27, la posición de inicio de escritura de una decimocuarta columna es la posición de dirección 27, la posición de inicio de escritura de una decimoquinta columna es la posición de dirección 28 y la posición de inicio de escritura de decimosexta columna es la posición de dirección 32.

Utilizando un múltiplo b de 1 y empleando, a modo de ejemplo, 1024 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es diez bits, según se ilustra en la Figura 25, la memoria 31 tiene diez columnas que memorizan 10×1 bits en la dirección de las filas y memoriza $64800/(10 \times 1)$ bits en la dirección de las columnas.

De entre las diez columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 3, la posición de inicio de escritura de una tercera columna es la posición de dirección 6, la posición de inicio de escritura de una cuarta columna es la posición de dirección 8, la posición de inicio de escritura de una quinta columna es la posición de dirección 11, la posición de inicio de escritura de una sexta columna es la posición de dirección 13, la posición de inicio de escritura de una séptima columna es la posición de dirección 15, la posición de inicio de escritura de una octava columna es la posición de dirección 17, la posición de inicio de escritura de una novena columna es la posición de dirección 18 y la posición de inicio de escritura de una décima columna es la posición de

dirección 20.

Utilizando un múltiplo b de 2 y empleando, a modo de ejemplo, 1024 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es diez bits, según se ilustra en la Figura 25, la memoria 31 tiene 20 columnas que memorizan 10×2 bits en la dirección de las filas y memoriza $64800/(10 \times 2)$ bits en la dirección de las columnas.

De entre las 20 columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 1, la posición de inicio de escritura de una tercera columna es la posición de dirección 3, la posición de inicio de escritura de una cuarta columna es la posición de dirección 4, la posición de inicio de escritura de una quinta columna es la posición de dirección 5, la posición de inicio de escritura de una sexta columna es la posición de dirección 6, la posición de inicio de escritura de una séptima columna es la posición de dirección 6, la posición de inicio de escritura de una octava columna es la posición de dirección 9, la posición de inicio de escritura de una novena columna es la posición de dirección 13, la posición de inicio de escritura de una décima columna es la posición de dirección 14, la posición de inicio de escritura de una undécima columna es la posición de dirección 14, la posición de inicio de escritura de una duodécima columna es la posición de dirección 16, la posición de inicio de escritura de una decimotercera columna es la posición de dirección 21, la posición de inicio de escritura de una decimocuarta columna es la posición de dirección 21, la posición de inicio de escritura de una decimoquinta columna es la posición de dirección 23, la posición de inicio de escritura de decimosexta columna es la posición de dirección 25, la posición de inicio de escritura de una décimo séptima columna es la posición de dirección 25, la posición de inicio de escritura de una décimo octava columna es la posición de dirección 26, la posición de inicio de escritura de una décimo novena columna es la posición de dirección 28 y la posición de inicio de escritura de una vigésima columna es la posición de dirección 30.

Utilizando un múltiplo b de 1 y empleando, a modo de ejemplo, 4096 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es 12 bits, según se ilustra en la Figura 25, la memoria 31 tiene 12 columnas que memorizan 12×1 bits en la dirección de las filas y memoriza $64800/(12 \times 1)$ bits en la dirección de las columnas.

De entre las 12 columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 0, la posición de inicio de escritura de una tercera columna es la posición de dirección 2, la posición de inicio de escritura de una cuarta columna es la posición de dirección 2, la posición de inicio de escritura de una quinta columna es la posición de dirección 3, la posición de inicio de escritura de una sexta columna es la posición de dirección 4, la posición de inicio de escritura de una séptima columna es la posición de dirección 4, la posición de inicio de escritura de una octava columna es la posición de dirección 5, la posición de inicio de escritura de una novena columna es la posición de dirección 5, la posición de inicio de escritura de una décima columna es la posición de dirección 7, la posición de inicio de escritura de una undécima columna es la posición de dirección 8 y la posición de inicio de escritura de una duodécima columna es la posición de dirección 9.

Utilizando un múltiplo b de 2 y empleando, a modo de ejemplo, 4096 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es 12 bits, según se ilustra en la Figura 25, la memoria 31 tiene 24 columnas que memorizan 12×2 bits en la dirección de las filas y memoriza $64800/(12 \times 2)$ bits en la dirección de las columnas.

De entre las 24 columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 5, la posición de inicio de escritura de una tercera columna es la posición de dirección 8, la posición de inicio de escritura de una cuarta columna es la posición de dirección 8, la posición de inicio de escritura de una quinta columna es la posición de dirección 8, la posición de inicio de escritura de una sexta columna es la posición de dirección 8, la posición de inicio de escritura de una séptima columna es la posición de dirección 10, la posición de inicio de escritura de una octava columna es la posición de dirección 10, la posición de inicio de escritura de una novena columna es la posición de dirección 10, la posición de inicio de escritura de una décima columna es la posición de dirección 12, la posición de inicio de escritura de una undécima columna es la posición de dirección 13, la posición de inicio de escritura de una decimotercera columna es la posición de dirección 16, la posición de inicio de escritura de una decimocuarta columna es la posición de dirección 17, la posición de inicio de escritura de una decimoquinta columna es la posición de dirección 19, la posición de inicio de escritura de una decimosexta columna es la posición de dirección 21, la posición de inicio de escritura de una décimo séptima columna es la posición de dirección 23, la posición de inicio de escritura de una décimo octava columna es la posición de dirección 26, la posición de inicio de escritura de una décimo novena columna es la posición de dirección 37, la posición de inicio de escritura de una vigésima columna es la posición de dirección 39, la posición de inicio de escritura de una 21ª columna es la posición de dirección 40, la posición de inicio de escritura de una 22ª columna es la posición de dirección 41, la posición de inicio de escritura de una 23ª columna es la posición de dirección 41 y la posición de inicio de escritura de una 24ª columna es la posición de dirección 41.

La Figura 26 ilustra el número de columnas de la memoria 31 que se necesita para la intercalación de torsión de columnas y las direcciones de las posiciones iniciales de escritura correspondientes para cada modo de modulación para códigos LDPC, que se definen en la norma de DVB-T.2, tienen una longitud de código N de 16200 y 10 tasas codificadas.

Utilizando un múltiplo b de 1 y empleando, a modo de ejemplo, QPSK como el modo de modulación, en un caso en donde el número m de bits de un símbolo es dos bits, según se ilustra en la Figura 26, la memoria 31 tiene dos columnas que memorizan 2×1 bits en la dirección de las filas y memoriza $16200/(2 \times 1)$ bits en la dirección de las columnas.

De entre las dos columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0 y la posición de inicio de escritura de una segunda columna es la posición de dirección 0.

Utilizando un múltiplo b de 2 y empleando, a modo de ejemplo, QPSK como el modo de modulación, en un caso en donde el número m de bits de un símbolo es dos bits, según se ilustra en la Figura 26, la memoria 31 tiene cuatro columnas que memorizan 2×2 bits en la dirección de las filas y memoriza $16200/(2 \times 2)$ bits en la dirección de las columnas.

De entre las cuatro columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 2, la posición de inicio de escritura de una tercera columna es la posición de dirección 3 y la posición de inicio de escritura de una cuarta columna es la posición de dirección 3.

Utilizando un múltiplo b de 1 y empleando, a modo de ejemplo, 16 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es cuatro bits, según se ilustra en la Figura 26, la memoria 31 tiene cuatro columnas que memorizan 4×1 bits en la dirección de las filas y memoriza $16200/(4 \times 1)$ bits en la dirección de las columnas.

De entre las cuatro columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 2, la posición de inicio de escritura de una tercera columna es la posición de dirección 3 y la posición de inicio de escritura de una cuarta columna es la posición de dirección 3.

Utilizando un múltiplo b de 2 y empleando, a modo de ejemplo, 16 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es cuatro bits, según se ilustra en la Figura 26, la memoria 31 tiene ocho columnas que memorizan 4×2 bits en la dirección de las filas y memoriza $16200/(4 \times 2)$ bits en la dirección de las columnas.

De entre las ocho columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 0, la posición de inicio de escritura de una tercera columna es la posición de dirección 0, la posición de inicio de escritura de una cuarta columna es la posición de dirección 1, la posición de inicio de escritura de una quinta columna es la posición de dirección 7, la posición de inicio de escritura de una sexta columna es la posición de dirección 20, la posición de inicio de escritura de una séptima columna es la posición de dirección 20 y la posición de inicio de escritura de una octava columna es la posición de dirección 21.

Utilizando un múltiplo b de 1 y empleando, a modo de ejemplo, 64 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es seis bits, según se ilustra en la Figura 26, la memoria 31 tiene seis columnas que memorizan 6×1 bits en la dirección de las filas y memoriza $16200/(6 \times 1)$ bits en la dirección de las columnas.

De entre las seis columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 0, la posición de inicio de escritura de una tercera columna es la posición de dirección 2, la posición de inicio de escritura de una cuarta columna es la posición de dirección 3, la posición de inicio de escritura de una quinta columna es la posición de dirección 7 y la posición de inicio de escritura de una sexta columna es la posición de dirección 7.

Utilizando un múltiplo b de 2 y empleando, a modo de ejemplo, 64 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es seis bits, según se ilustra en la Figura 26, la memoria 31 tiene 12 columnas que memorizan 6×2 bits en la dirección de las filas y memoriza $16200/(6 \times 2)$ bits en la dirección de las columnas.

De entre las doce columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 0, la posición de inicio de escritura de una tercera columna es la posición de dirección 0, la posición de inicio de escritura

de una cuarta columna es la posición de dirección 2, la posición de inicio de escritura de una quinta columna es la posición de dirección 2, la posición de inicio de escritura de una sexta columna es la posición de dirección 2, la posición de inicio de escritura de una séptima columna es la posición de dirección 3, la posición de inicio de escritura de una octava columna es la posición de dirección 3, la posición de inicio de escritura de una novena columna es la posición de dirección 3, la posición de inicio de escritura de una décima columna es la posición de dirección 6, la posición de inicio de escritura de una undécima columna es la posición de dirección 7 y la posición de inicio de escritura de una duodécima columna es la posición de dirección 7.

Utilizando un múltiplo b de 1 y empleando, a modo de ejemplo, 256 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es ocho bits, según se ilustra en la Figura 26, la memoria 31 tiene 8 columnas que memorizan 8×1 bits en la dirección de las filas y memoriza $16200/(8 \times 1)$ bits en la dirección de las columnas.

De entre las ocho columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 0, la posición de inicio de escritura de una tercera columna es la posición de dirección 0, la posición de inicio de escritura de una cuarta columna es la posición de dirección 1, la posición de inicio de escritura de una quinta columna es la posición de dirección 7, la posición de inicio de escritura de una sexta columna es la posición de dirección 20, la posición de inicio de escritura de una séptima columna es la posición de dirección 20 y la posición de inicio de escritura de una octava columna es la posición de dirección 21.

Utilizando un múltiplo b de 1 y empleando, a modo de ejemplo, 1024 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es diez bits, según se ilustra en la Figura 26, la memoria 31 tiene diez columnas que memorizan 10×1 bits en la dirección de las filas y memoriza $16200/(10 \times 1)$ bits en la dirección de las columnas.

De entre las diez columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 1, la posición de inicio de escritura de una tercera columna es la posición de dirección 2, la posición de inicio de escritura de una cuarta columna es la posición de dirección 2, la posición de inicio de escritura de una quinta columna es la posición de dirección 3, la posición de inicio de escritura de una sexta columna es la posición de dirección 3, la posición de inicio de escritura de una séptima columna es la posición de dirección 4, la posición de inicio de escritura de una octava columna es la posición de dirección 4, la posición de inicio de escritura de una novena columna es la posición de dirección 5 y la posición de inicio de escritura de una décima columna es la posición de dirección 7.

Utilizando un múltiplo b de 2 y empleando, a modo de ejemplo, 1024 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es diez bits, según se ilustra en la Figura 26, la memoria 31 tiene 20 columnas que memorizan 10×2 bits en la dirección de las filas y memoriza $16200/(10 \times 2)$ bits en la dirección de las columnas.

De entre las 20 columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 0, la posición de inicio de escritura de una tercera columna es la posición de dirección 0, la posición de inicio de escritura de una cuarta columna es la posición de dirección 2, la posición de inicio de escritura de una quinta columna es la posición de dirección 2, la posición de inicio de escritura de una sexta columna es la posición de dirección 2, la posición de inicio de escritura de una séptima columna es la posición de dirección 2, la posición de inicio de escritura de una octava columna es la posición de dirección 2, la posición de inicio de escritura de una novena columna es la posición de dirección 5, la posición de inicio de escritura de una décima columna es la posición de dirección 5, la posición de inicio de escritura de una undécima columna es la posición de dirección 5, la posición de inicio de escritura de una duodécima columna es la posición de dirección 5, la posición de inicio de escritura de una decimotercera columna es la posición de dirección 5, la posición de inicio de escritura de una decimocuarta columna es la posición de dirección 7, la posición de inicio de escritura de una decimoquinta columna es la posición de dirección 7, la posición de inicio de escritura de una decimosexta columna es la posición de dirección 7, la posición de inicio de escritura de una décimo séptima columna es la posición de dirección 7, la posición de inicio de escritura de una décimo octava columna es la posición de dirección 8 y la posición de inicio de escritura de una vigésima columna es la posición de dirección 10.

Utilizando un múltiplo b de 1 y empleando, a modo de ejemplo, 4096 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es 12 bits, según se ilustra en la Figura 26, la memoria 31 tiene 12 columnas que memorizan 12×1 bits en la dirección de las filas y memoriza $16200/(12 \times 1)$ bits en la dirección de las columnas.

De entre las 12 columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 0, la posición de inicio de escritura de una tercera columna es la posición de dirección 0, la posición de inicio de escritura de una cuarta columna es la posición de dirección 2, la posición de inicio de escritura de una quinta columna es la posición

de dirección 2, la posición de inicio de escritura de una sexta columna es la posición de dirección 2, la posición de inicio de escritura de una séptima columna es la posición de dirección 3, la posición de inicio de escritura de una octava columna es la posición de dirección 3, la posición de inicio de escritura de una novena columna es la posición de dirección 3, la posición de inicio de escritura de una décima columna es la posición de dirección 6, la posición de inicio de escritura de una undécima columna es la posición de dirección 7 y la posición de inicio de escritura de una duodécima columna es la posición de dirección 7.

Utilizando un múltiplo b de 2 y empleando, a modo de ejemplo, 4096 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es 12 bits, según se ilustra en la Figura 26, la memoria 31 tiene 24 columnas que memorizan 12×2 bits en la dirección de las filas y memoriza $16200/(12 \times 2)$ bits en la dirección de las columnas.

De entre las 24 columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 0, la posición de inicio de escritura de una tercera columna es la posición de dirección 0, la posición de inicio de escritura de una cuarta columna es la posición de dirección 0, la posición de inicio de escritura de una quinta columna es la posición de dirección 0, la posición de inicio de escritura de una sexta columna es la posición de dirección 0, la posición de inicio de escritura de una séptima columna es la posición de dirección 0, la posición de inicio de escritura de una octava columna es la posición de dirección 1, la posición de inicio de escritura de una novena columna es la posición de dirección 1, la posición de inicio de escritura de una décima columna es la posición de dirección 1, la posición de inicio de escritura de una undécima columna es la posición de dirección 2, la posición de inicio de escritura de una duodécima columna es la posición de dirección 2, la posición de inicio de escritura de una decimotercera columna es la posición de dirección 2, la posición de inicio de escritura de una decimocuarta columna es la posición de dirección 3, la posición de inicio de escritura de una decimoquinta columna es la posición de dirección 7, la posición de inicio de escritura de decimosexta columna es la posición de dirección 9, la posición de inicio de escritura de una décimo séptima columna es la posición de dirección 9, la posición de inicio de escritura de una décimo octava columna es la posición de dirección 9, la posición de inicio de escritura de una décimo novena columna es la posición de dirección 10, la posición de inicio de escritura de una vigésima columna es la posición de dirección 10, la posición de inicio de escritura de la 21ª columna es la posición de dirección 10, la posición de inicio de escritura de una 22ª columna es la posición de dirección 10, la posición de inicio de escritura de una 23ª columna es la posición de dirección 10 y la posición de inicio de escritura de una 24ª columna es la posición de dirección 11.

La Figura 27 es un diagrama de flujo que ilustra el proceso realizado por el codificador LDPC 115, el intercalador de bits 116 y el codificador QAM 117 según se ilustra en la Figura 8.

El codificador LDPC 115 espera el suministro de datos objetivos de LDPC procedentes del codificador BCH 114; en la etapa S101, codifica los datos objetivos de LDPC en un código LDPC y suministra el código LDPC al intercalador de bits 116 y el proceso prosigue con la etapa S102.

El intercalador de bits 116, en la etapa S102, realiza la intercalación de bits para el código LDPC suministrado desde el codificador LDPC 115 como un objetivo, suministra un símbolo adquirido simbolizando el código LDPC después de la intercalación de bits para el codificador QAM 117 el proceso prosigue con la etapa S103.

Dicho de otro modo, en la etapa S102, en el intercalador de bits 116 (Figura 9), el intercalador de paridad 23 realiza la intercalación de paridad para el código LDPC suministrado desde el codificador LDPC 115 como un objetivo y suministra el código LDPC después de la intercalación de paridad al intercalador de columnas con torsión 24.

El intercalador de columnas con torsión 24 realiza la intercalación de torsión de columnas para el código LDPC suministrado desde el intercalador de paridad 23 como un objetivo y suministra el código LDPC intercalado al demultiplexor 25.

El demultiplexor 25 intercambia los bits de código del código LDPC después la intercalación de torsión de columnas realizada por el intercalador de columnas con torsión 24 y realiza un proceso de intercambio en donde los bits de código después del intercambio se establecen como bits de símbolo (bits que representa un símbolo) de un símbolo.

En este caso, el proceso de intercambio realizado por el demultiplexor 25 puede realizarse en conformidad con no solamente los primeros a cuartos modos de intercambio ilustrados en las Figuras 18 y 19 sino también en una regla de asignación. La regla de asignación es una regla utilizada para asignar los bits de código de un código LDPC a bits de símbolo que representan un símbolo y se describirán más adelante en detalle.

El símbolo adquirido por el proceso de intercambio realizado por el demultiplexor 25 se suministra desde el demultiplexor 25 al codificador QAM 117.

El codificador QAM 117, en la etapa S103, realiza un mapeado de correspondencia del símbolo suministrado desde el demultiplexor 25 en un punto de señal determinado en el modo de modulación de modulación ortogonal realizada por el codificador QAM 117 con el fin de obtener una modulación ortogonal y suministrar datos adquiridos como un

resultado al intercalador temporal 118.

Realizando la intercalación de paridad y la intercalación de torsión de columnas en la forma anteriormente descrita, la resistencia a un borrado o un error de ráfaga en un caso en donde una pluralidad de bits de código de un código LDPC se transmita como un solo símbolo puede mejorarse de esta manera.

En este caso, en la Figura 9, para la conveniencia de la descripción, aunque el intercalador de paridad 23 que es un bloque que realiza la intercalación de paridad y el intercalador de columnas con torsión 24 que es un bloque que realiza la intercalación de torsión de columnas están configurados por separado, mientras que el intercalador de paridad 23 y el intercalador de columnas con torsión 24 pueden estar configurados de forma integral.

Dicho de otro modo, la intercalación de paridad y la intercalación de torsión de columnas pueden realizarse mediante escritura y lectura de un bit de código en/desde una memoria y puede representarse mediante una matriz que transforma una dirección (dirección de escritura) para la escritura de un bit de código en una dirección (dirección de lectura) para la lectura de un bit de código.

En consecuencia, cuando una matriz adquirida multiplicando una matriz que representa la intercalación de paridad y una matriz que representa la intercalación de torsión de columnas se adquiere, transformando un bit de código que utiliza la matriz, se realiza la intercalación de paridad y un resultado de la intercalación de torsión de columnas de un código LDPC puede adquirirse después de la intercalación de paridad.

Además, el intercalador de paridad 23 y el intercalador de columnas con torsión 24, así como el demultiplexor 25 pueden estar configurados de forma integral.

Dicho de otro modo, el proceso de intercambio realizado por el demultiplexor 25 puede representarse también por una matriz que transforma una dirección de escritura de la memoria 31 que memoriza un código LDPC en una dirección de lectura.

En consecuencia, una matriz que se adquiere multiplicando una matriz que representa la intercalación de paridad, una matriz que representa la intercalación de torsión de columna y una matriz que representa el proceso de intercambio se adquieren juntas, mientras que la intercalación de paridad, la intercalación de torsión de columnas y el proceso de intercambio se pueden realizar conjuntamente utilizando la matriz.

Además, cualquiera de las funciones de intercalación de paridad y de intercalación de torsión de columnas puede realizarse o ambas no pueden realizarse.

A continuación, una simulación para medir una tasa de errores (tasa binaria de errores) realizada para el dispositivo transmisor 11, que se ilustra en la Figura 8, se describirá haciendo referencia a las Figuras 28 a 30.

La simulación se realiza utilizando un canal de comunicaciones que tiene una fluctuación con una relación D/U de 0 dB.

La Figura 28 ilustra un modelo de un canal de comunicaciones utilizado en la simulación.

Dicho de otro modo, la referencia A en la Figura 28 ilustra un modelo de una fluctuación utilizada en la simulación.

Además, la referencia B de la Figura 28 ilustra un modelo para un canal de comunicaciones que tiene una fluctuación representada por el modelo ilustrado en la referencia A de la Figura 28.

En la referencia B de la Figura 8, H ilustra un modelo de la fluctuación ilustrada en A de la Figura 28. En la referencia B de la Figura 28, N representa ICI (Interferencia entre portadoras) y un valor previsto $E[N^2]$ de la potencia se aproxima en AWGN por simulación.

Las Figuras 29 y 30 ilustran la relación entre una tasa de errores y una frecuencia Doppler f_d de una fluctuación que se adquiere mediante una simulación.

La Figura 29 ilustra la relación entre una tasa de errores y una frecuencia Doppler f_d en un caso en donde el modo de modulación es 16 QAM, la tasa codificada (r) es (3/4) y el modo de intercambio es el primer modo de intercambio. La Figura 30 ilustra la relación entre una tasa de errores y una frecuencia Doppler f_d en un caso en donde el modo de modulación es 64 QAM, la tasa codificada (r) es (5/6) y el modo de intercambio es el primer modo de intercambio.

Además, en las Figuras 29 y 30, una línea gruesa representa la relación entre una tasa de errores y una frecuencia Doppler f_d en un caso en donde la totalidad de la intercalación de paridad, la intercalación de torsión de columnas y el proceso de intercambio se realizan y una línea delgada representa la relación entre una tasa de errores y una frecuencia Doppler f_d en un caso en donde solamente se realiza el proceso de intercambio a partir de la intercalación de paridad, la intercalación de torsión de columnas y el proceso de intercambio.

En cualquiera de las Figuras 29 y 30, puede entenderse que se mejora (disminuye) la tasa de errores en el caso en donde la intercalación de paridad, la intercalación de torsión de columnas y el proceso de intercambio se realizan que en el caso en donde solamente se realiza el proceso de intercambio.

[Configuración, a modo de ejemplo, del codificador LDPC 115]

La Figura 31 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un codificador LDPC 115 ilustrado en la Figura 8.

Además, el codificador LDPC 122 ilustrado en la Figura 8 está configurado de forma similar.

Según se ilustra haciendo referencia a las Figuras 12 y 13, en la norma de DVB-T.2, se definen los códigos LDPC que tienen dos clases de longitudes de código N que incluyen 64800 bits y 16200 bits.

Para el código LDPC que tiene una longitud de código N de 64800 bits, se definen 11 tasas codificadas de 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10 y, para el código LDPC que tiene una longitud de código N de 16200 bits, se definen 10 tasas codificadas de 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6 y 8/9 (Figuras 12 y 13).

El codificador LDPC 115, a modo de ejemplo, puede realizar la codificación (codificación de corrección de errores) en conformidad con los códigos LDPC, que tienen la longitud de código N de 64800 bits y de 16200 bits, de cada tasa codificada en conformidad con una matriz de control de paridad H preparada para cada longitud de código N y cada tasa codificada.

El codificador LDPC 115 está configurado mediante una unidad de procesamiento de codificación 601 y una unidad de memorización 602.

La unidad de procesamiento de codificación 601 está configurada por una unidad de ajuste de tasa codificada 611, una unidad de lectura de tabla de valores iniciales 612, una unidad de generación de matriz de control de paridad 613, una unidad de lectura de bits de información 614, una unidad de cálculo de paridad de codificación 615 y una unidad de control 616, realiza la codificación LDPC de datos objetivos de LDPC suministrados al codificador LDPC 115 y suministra un código LDPC adquirido como resultado al intercalador de bits 116 (Figura 8).

Dicho de otro modo, la unidad de ajuste de tasa codificada 611, a modo de ejemplo, establece una longitud de código N y una tasa codificada del código LDPC en conformidad con una operación del operador o similar.

La unidad de lectura de tabla de valores iniciales 612 realiza la lectura de una tabla de valores iniciales de la matriz de control de paridad, que se describirá más adelante, en correspondencia con la longitud de código N y la tasa codificada establecida por la unidad de establecimiento de tasa codificada 611 desde la unidad de memoria 602.

La unidad generadora de matriz de control de paridad 613 genera una matriz de control de paridad H disponiendo elementos de '1' de la matriz de información H_A correspondiente a la longitud de información K (= longitud de código N – longitud de paridad M) en función de la longitud de código N y de la tasa codificada establecida por la unidad de establecimiento de tasa codificada 611 en la dirección de las columnas en el periodo de 360 columnas (el número P de columnas unitarias de la estructura cíclica) sobre la base de la tabla de valores iniciales de matriz de control de paridad objeto de lectura por la unidad de lectura de tabla de valores iniciales 612 y memoriza la matriz de control de paridad generada en la unidad de memoria 602.

La unidad de lectura de bits de información 614 efectúa la lectura (extrae) bits de información correspondientes a la longitud de información K desde los datos objetivos LDPC suministrados desde el codificador LDPC 115.

La unidad de cálculo de paridad de codificación 615 efectúa la lectura de la matriz de control de paridad H generada por la unidad generadora de matriz de control de paridad 613 desde la unidad de memoria 602 y calcula un bits de paridad para los bits de información leídos por la unidad de lectura de bits de información 614 sobre la base de una Ecuación predeterminada utilizando la matriz de control de paridad H, con lo que se genera una palabra de código (códigos LDPC).

La unidad de control 616 controla cada bloque que configura la unidad de procesamiento de codificación 601.

En la unidad de memoria 602, una pluralidad de tablas valores iniciales de matriz de control de paridad correspondiente a una pluralidad de tasas codificadas ilustradas en las Figuras 12 y 13 y similares, a modo de ejemplo, para longitudes de código N de 64800 bits y de 16200 bits son memorizadas. Además, la unidad de memoria 602 memoriza temporalmente datos necesarios para el proceso de la unidad de procesamiento de codificación 601.

La Figura 32 es un diagrama de flujo que ilustra el proceso del codificador LDPC 115 que se ilustra en la Figura 31.

En la etapa S201, la unidad de establecimiento de tasa codificada 611 determina (establece) una longitud de código N y una tasa codificada r para realizar la codificación de LDPC.

5 En la etapa S202, la unidad de lectura de tabla de valores iniciales 612 efectúa la lectura de una tabla de valores iniciales de matriz de control de paridad, que se establece por anticipado, correspondiente a la longitud de código N y a la tasa codificada r determinada por la unidad de establecimiento de tasa codificada 611 a partir de la unidad de memoria 602.

10 En la etapa S203, la generadora de matriz de control de paridad 613 adquiere (genera) una matriz de control de paridad H de un código LDPC que tiene la longitud de código N y la tasa codificada r determinada por la unidad de establecimiento de tasas codificadas 611 utilizando la tabla de valores iniciales de matriz de control de paridad objeto de lectura desde la unidad de memoria 602 mediante la unidad de lectura de tablas de valores iniciales 612 y memoriza la matriz de control de paridad en la unidad de memoria 602 suministrando la matriz de control de paridad correspondiente.

15 En la etapa S204, la unidad de lectura de bits de información 614 efectúa la lectura de bits de información de una longitud de información K (=N x r) que corresponde a la longitud de código N y la tasa codificada r determinada por la unidad de establecimiento de tasas codificadas 611 a partir de los datos objetivos de LDPC suministrados desde el codificador LDPC 115 y efectúa la lectura de la matriz de control de paridad H adquirida por la unidad generadora de matriz de control de paridad 613 a partir de la unidad de memoria 602 y suministra los bits de información y la matriz de control de paridad para la unidad de cálculo de paridad de codificación 615.

20 En la etapa S205, la unidad de cálculo de paridad de codificación 615 calcula secuencialmente bits de paridad de la palabra de código c que satisface la Ecuación (8).

Ecuación (8)

$$Hc^T = 0$$

30 En la Ecuación (8), c representa un vector de fila como una palabra de código (código LDPC) y c^T representa la transposición del vector de fila c.

35 En este caso, según se describió con anterioridad, cuando en el vector de fila c como el código LDPC (una palabra de código) la parte de bits de información se representa por un vector de fila A y la parte de bits de paridad se representa por un vector de fila T, pudiéndose el vector de fila c representarse por la Ecuación $c = [A|T]$ utilizando el vector de fila A como los bits de información y el vector de fila T como los bits de paridad.

40 La matriz de control de paridad H y el vector de fila $c = [A|T]$ como un código LDPC necesita satisfacer la Ecuación $Hc^T = 0$ y el vector de fila T como bits de paridad para la configuración del vector de fila $c = [A|T]$ que satisface la Ecuación $Hc^T = 0$ pueden adquirirse secuencialmente estableciendo los elementos de cada fila a cero en orden a partir de los elementos de la primera fila del vector de columna Hc^T incluido en la Ecuación $Hc^T = 0$ en un caso en donde la matriz de paridad H_T de la matriz de control de paridad $H = [H_A|H_T]$ tiene la estructura escalonada ilustrada en la Figura 11.

45 Cuando se adquieren los bits de paridad T para los bits de información A, la unidad de cálculo de prioridad de codificación 615 proporciona, a la salida, una palabra de código $c = [A|T]$ representada utilizando los bits de información A y los bits de paridad T como un resultado de la codificación LDPC de los bits de información A.

50 En adelante, en la etapa S206, la unidad de control 616 determina si finaliza, o no, la codificación de LDPC. En un caso en donde la codificación de LDPC se determina no para finalizar en la etapa S206, dicho de otro modo, a modo de ejemplo, en un caso en donde existen todavía datos objetivos LDPC para los que ha de realizarse la codificación LDPC, el proceso se reenvía a la etapa S201 (o la etapa S204) y luego, el proceso de la etapa S201 (o la etapa S204) a la etapa S206 se repite de nuevo.

55 Por otro lado, en un caso en donde la codificación de LDPC se determina para que finalice en la etapa S206, dicho de otro modo, a modo de ejemplo, en un caso en donde no exista datos objetivos LDPC para los que ha de realizarse la codificación LDPC, el codificador LDPC 115 finaliza el proceso.

60 Según se indicó con anterioridad, la tabla de valores iniciales de la matriz de control de paridad correspondiente a cada longitud de código N y cada tasa codificada r es objeto de preparación y el codificador LDPC 115 realiza la codificación LDPC para una longitud de código predeterminada N y una tasa codificada r predeterminada utilizando la matriz de control de paridad H generada a partir de la tabla de valores iniciales de matriz de control de paridad correspondiente a la longitud de código N predeterminada y a la tasa codificada r predeterminada.

65 [Realización, a modo de ejemplo, de la tabla de valores iniciales de la matriz de control de paridad]

La tabla de valores iniciales de la matriz de control de paridad es una tabla que representa las posiciones de los elementos de '1' de la matriz de información H_A (Figura 10) de la matriz de control de paridad H correspondiente a la longitud de información K en conformidad con la longitud de código N y la tasa codificada r del código LDPC (el código LDPC definido por la matriz de control de paridad H) para cada 360 columnas (el número P de columnas unitarias de la estructura cíclica) y se prepara por anticipado para cada matriz de control de paridad H de cada longitud de código N y cada tasa codificada r .

La Figura 33 es un diagrama que ilustra, a modo de ejemplo, la tabla de valores iniciales de la matriz de control de paridad.

Dicho de otro modo, la Figura 33 ilustra una tabla de valores iniciales de la matriz de control de paridad para una matriz de control de paridad H que tiene una longitud de código N de 16200 bits y una tasa codificada r de 1/4 definida en la norma de DVB-T.2.

La unidad generadora de matriz de control de paridad 613 (Figura 31) adquiere una matriz de control de paridad H según se indica a continuación utilizando la tabla de valores iniciales de matriz de control de paridad.

La Figura 34 ilustra un método de adquisición de la matriz de control de paridad H a partir de la tabla de valores iniciales de la matriz de control de paridad.

La tabla de valores iniciales de la matriz de control de paridad ilustrada en la Figura 34 representa una tabla de valores iniciales de la matriz de control de paridad para una matriz de control de paridad H que tenga una longitud de código N de 16200 bits y una tasa codificada r de 2/3 según se define en la norma DVB-T.2.

La tabla de valores iniciales de matriz de control de paridad, según se describió con anterioridad, es una tabla que representa las posiciones de elementos de '1' de la matriz de información H_A (Figura 10) correspondiente a la longitud de información K en conformidad con la longitud de código N y la tasa codificada r del código LDPC para cada 360 columnas (el número P de columnas unitarias de la estructura cíclica) y, en la i -ésima fila, un número de fila (un número de fila cuando el número de fila de la primera de la matriz de control de paridad H es 0) del $(1 + 360 \times (i - 1))$ -ésimo elemento de "1" de la matriz de control de paridad H correspondiente al número del peso de ponderación de la columna incluido en la $(1 + 360 \times (i - 1))$ -ésima columna es objeto de alineación.

En este caso, puesto que la matriz de paridad H_T (Figura 10) de la matriz de control de paridad H correspondiente a la longitud de paridad M se determina según se ilustra en la Figura 21, en conformidad con la tabla de valores iniciales de la matriz de control de paridad, la matriz de información H_A (Figura 10) de la matriz de control de paridad H correspondiente a la longitud de información K es objeto de adquisición.

El número de fila $k + 1$ de la tabla de valores iniciales de la matriz de control de paridad difiere en función de la longitud de información K .

Entre la longitud de información K y el número de fila $k + 1$ de la tabla de valores iniciales de la matriz de control de paridad, se satisface la relación de la Ecuación (9)

Ecuación (9)

$$K = (k + 1) \times 360$$

En este caso, el número 360 representado en la Ecuación (9) es el número P de columnas unitarias de la estructura cíclica descrita con referencia a la Figura 22.

En la tabla de valores iniciales de la matriz de control de paridad ilustrada en la Figura 34, 13 valores numéricos están alineados desde la primera fila a la tercera fila y tres valores numéricos están alineados desde la cuarta fila a la $(k + 1)$ -ésima fila (la 30ª fila en la Figura 34).

En consecuencia, el peso de ponderación de columna de la matriz de control de paridad H que se adquiere a partir de la tabla de valores iniciales de la matriz de control de paridad que se ilustra en la Figura 34 es 13 desde la primera columna a la $((1 + 360) \times (3 - 1) - 1)$ -ésima columna y es 3 desde la $((1 + 360) \times (3 - 1))$ -ésima columna a la K -ésima columna.

En la primera fila de la tabla de valores iniciales de la matriz de control de paridad ilustrada en la Figura 34, están dispuestos los números 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 y 2622 y esto representa que, en la primera columna de la matriz de control de paridad H , los elementos de filas que tienen números de fila de 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 y 2622 son '1' (además, los otros elementos son '0').

Además, en la segunda fila de la tabla de valores iniciales de la matriz de control de paridad ilustrada en la 34, están

dispuestos los números 1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 y 3108 y esto representa que, en la 361 ($= 1 + 360 \times (2 - 1)$) columna de la matriz de control de paridad H, los elementos de las filas que tienen números de filas de 1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 y 3108 son '1'.

5 Según se indicó con anterioridad, la tabla de valores iniciales de la matriz de control de paridad representa las posiciones de los elementos de '1' de la matriz de información H_A de la matriz de control de paridad H para cada 360 columnas.

10 En cada columna distinta de la $(1 + 360 \times (i - 1))$ -ésima columna de la matriz de control de paridad H, o lo que es lo mismo, cada una de la $(2 + 360 \times (i - 1))$ -ésima columna a la $(360 \times i)$ -ésima columna, el $(1 + 360 \times (i - 1))$ -ésimo elemento de "1" determinado sobre la base de la tabla de valores iniciales de la matriz de control de paridad está dispuesto con un desplazamiento cíclico periódico en conformidad con la longitud de paridad M para el lado inferior (lado inferior de la columna).

15 Dicho de otro modo, a título de ejemplo, la $(2 + 360 \times (i - 1))$ -ésima columna se adquiere mediante un desplazamiento cíclico de la $(1 + 360 \times (i - 1))$ -ésima columna por $M/360 (= q)$ al lado inferior y la siguiente $(3 + 360 \times (i - 1))$ -ésima columna se adquiere mediante desplazamiento cíclico de la $(1 + 360 \times (i - 1))$ -ésima columna por $2 \times M/360 (= 2 \times q)$ en el lado inferior (con el desplazamiento cíclico de la $2 + 360 \times (i - 1)$ -ésima columna por $M/360 (= q)$ al lado inferior).

20 Cuando el valor numérico de la j-ésima columna (j-ésima desde el lado izquierdo) de la i-ésima fila (la i-ésima desde el lado superior) de la tabla de valores iniciales de la matriz de control de paridad se representa como h_{ij} , y el número de fila del j-ésimo elemento de "1" de la w-ésima columna de la matriz de control de paridad H se representa como H_{w-j} , el número de fila H_{w-j} del elemento de "1" de la w-ésima columna de la matriz de control de paridad H distinta a la $(1 + 360 \times (i - 1))$ -ésima columna pueden adquirirse a partir de la Ecuación (10).

Ecuación (10)

$$30 \quad H_{w-j} = \text{mod}\{h_{ij} + \text{mod}((w - 1), P) \times q, M\}$$

En este caso, $\text{mod}(x \text{ y})$ representa un resto adquirido dividiendo x por y.

35 Además, P es el número de columnas unitarias de la estructura cíclica descrita con anterioridad y, a modo de ejemplo, es 360 según se describió anteriormente en la norma de DVB-T.2. Además q es un valor $M/360$ adquirido dividiendo la longitud de paridad M por el número P ($= 360$) de columnas unitarias de la estructura cíclica.

40 La unidad generadora de matriz de control de paridad 613 (Figura 31) especifica un número de fila del $(1 + 360 \times (i - 1))$ -ésimo elemento de "1" de la matriz de control de paridad H sobre la base de la tabla de valores iniciales de la matriz de control de paridad.

45 Además, la unidad generadora de matriz de control de paridad 613 (Figura 31) adquiere el número de fila H_{w-j} del elemento de "1" de la w-ésima columna de la matriz de control de paridad H distinta de la $(1 + 360 \times (i - 1))$ -ésima columna sobre la base de la Ecuación (10) y genera una matriz de control de paridad H en donde los elementos de los números de filas adquiridos en la forma anteriormente indicada, son elementos '1'.

[Código LDPC que tiene una longitud de código N de 4320 Bits]

50 En un caso en donde la difusión digital especialmente utilizada para terminales móviles puede realizarse mientras que las especificaciones de un dispositivo de transmisión y de un dispositivo de recepción cumplen la norma DVB-T.2, que es una norma de difusión digital especialmente utilizada para terminales fijos, no se cambian de ser posible, lo que resulta ventajoso en términos de coste.

55 Sin embargo, en conformidad con la norma DVB-T.2, mientras que los códigos LDPC que tienen longitudes de código N de 64k bits y de 16k bits se definen, no se define un código LDPC que tenga una longitud de código más corta.

60 Asimismo, la cantidad de memoria y la magnitud de un retardo que se requiere para la decodificación del código LDPC o similar son más pequeñas para un código LDPC de una longitud de código corta que la de un código LDPC de una longitud de código larga y en consecuencia, el código LDPC de una longitud de código corta puede ser de utilidad para la difusión digital particularmente atizada para terminales móviles.

65 De este modo, el dispositivo de transmisión 11 (Figura 7) puede realizar una difusión digital especialmente utilizada para terminales móviles empleando un código LDPC de una longitud de código más corta que la longitud de código del código LDPC (códigos LDPC que tengan longitudes de código N de 64k bits y de 16k bits) definidos en la norma DVB-T.2 como un código LDPC (en adelante, también referido como un LDPC móvil) para la difusión digital

especialmente utilizada para terminales móviles.

Además, en el código LDPC móvil, desde el punto de vista del mantenimiento de la compatibilidad con la norma DVB-T.2 según pueda ser posible, de forma similar al código LDPC definido en la norma DVB-T.2, la matriz de paridad H_T de la matriz de control de paridad H tiene una estructura escalonada (Figura 11).

Además, en el código LDPC móvil, de forma similar al código LDPC definido en la norma DVB-T.2, la matriz de información H_A de la matriz de control de paridad H tiene una estructura cíclica y el número P de columnas unitarias de la estructura cíclica es 360.

Además, la longitud de código N del código LDPC móvil que es más corta que la longitud del código LDPC definido en la norma DVB-T.2 y (de forma similar al código LDPC definido en la norma DVB-T.2) es un múltiplo del número P de columnas unitarias de la estructura cíclica, a modo de ejemplo, 4320 bits (en adelante, también referida como 4k bits) se utiliza a este respecto.

Las Figuras 35 a 43 son diagramas que ilustran realizaciones, a modo de ejemplo, de la tabla de valores iniciales de la matriz de control de paridad de un código LDPC que tiene una longitud de código N de 4k bits (para móvil) según se describió anteriormente.

Dicho de otro modo, la Figura 35 ilustra una tabla de valores iniciales de la matriz de control de paridad para una matriz de control de paridad H que tiene una longitud de código N de 4k bits y una tasa codificada r de 1/4.

La Figura 36 ilustra una tabla de valores iniciales de la matriz de control de paridad para una matriz de control de paridad H que tiene una longitud de código N de 4k bits y una tasa codificada r de 1/3.

La Figura 37 ilustra una tabla de valores iniciales de la matriz de control de paridad para una matriz de control de paridad H que tiene una longitud de código N de 4k bits y una tasa codificada r de 5/12.

La Figura 38 ilustra una tabla de valores iniciales de la matriz de control de paridad para una matriz de control de paridad H que tiene una longitud de código N de 4k bits y una tasa codificada r de 1/2.

La Figura 39 ilustra una tabla de valores iniciales de la matriz de control de paridad para una matriz de control de paridad H que tiene una longitud de código N de 4k bits y una tasa codificada r de 7/12.

La Figura 40 ilustra una tabla de valores iniciales de la matriz de control de paridad para una matriz de control de paridad H que tiene una longitud de código N de 4k bits y una tasa codificada r de 2/3.

La Figura 41 ilustra una tabla de valores iniciales de la matriz de control de paridad para una matriz de control de paridad H que tiene una longitud de código N de 4k bits y una tasa codificada r de 3/4.

La Figura 42 ilustra una tabla de valores iniciales de la matriz de control de paridad para una matriz de control de paridad H que tiene una longitud de código N de 4k bits y una tasa codificada r de 5/6.

La Figura 43 ilustra una tabla de valores iniciales de la matriz de control de paridad para una matriz de control de paridad H que tiene una longitud de código N de 4k bits y una tasa codificada r de 11/12.

Para la difusión digital específicamente utilizada para terminales móviles, el codificador LDPC 115 (Figuras 8 y 31) realizan la codificación en un código LDPC que tiene una longitud de código N de 4k bits y una tasa codificada r de 1/4, 1/3, 5/12, 1/2, 7/12, 2/3, 3/4, 5/6 y 11/12 utilizando la matriz de control de paridad H adquirida a partir de la tabla de valores iniciales de la matriz de control de paridad ilustrada en las Figuras 35 a 43.

Los códigos LDPC adquiridos utilizando la matriz de control de paridad H adquirida a partir de la tabla de valores iniciales de la matriz de control de paridad ilustrada en las Figuras 35 a 43 son códigos LDPC que tienen una alta capacidad.

En este caso, un código LDPC que tiene alta capacidad es un código LDPC que se adquiere a partir de una matriz de control de paridad H adecuada.

Además, cuando un código LDPC adquirido a partir de la matriz de control de paridad H se transmite a una relación E_s/N_0 baja (una relación de potencia de señal a potencia de ruido por símbolo) o una relación E_b/N_0 baja (una relación de potencia de señal a potencia de ruido por bit), una matriz de control de paridad H adecuada es una matriz de control de paridad que satisface una condición predeterminada en donde la tasa BER (tasa binaria de errores) es pequeña.

La matriz de control de paridad H adecuada puede adquirirse, a modo de ejemplo, realizando una simulación de la medición del valor de BER cuando códigos LDPC adquiridos a partir de varias matrices de control de paridad, que

satisfacen una condición predeterminada, se transmiten a una baja relación E_s/N_o .

Como la condición predeterminada a satisfacer por una matriz de control de paridad H adecuada, a modo de ejemplo, existente una condición de que un resultado de análisis adquirido utilizando un método de analizar la capacidad de un código denominado de evolución de la densidad es buena, una condición en la que un bucle de elementos de '1' denominado ciclo 4 no existe o similar.

En este caso, cuando los elementos de '1' están densamente presentes en la matriz de información H_A , como ciclo-4, es conocido que la capacidad de decodificación del código LDPC es degradada y en consecuencia, cuando ha de satisfacerse una condición predeterminada por una matriz de control de paridad H adecuada, se requiere que no exista el ciclo-4.

La condición predeterminada a satisfacerse por una matriz de control de paridad H adecuada puede determinarse adecuadamente desde un punto de vista de la mejora de la capacidad de decodificación del código LDPC, facilidad (simplificación) del proceso de decodificación del código LDPC y condiciones similares.

Las Figuras 44 y 45 son diagramas que ilustran una evolución de densidad adquirida como un resultado de análisis como la condición predeterminada a satisfacerse por una matriz de control de paridad H adecuada.

La evolución de la densidad es un método de análisis de código para calcular un valor previsto de una probabilidad de error para todos los códigos LDPC (conjunto) que tienen una longitud de código N de infinito matemático que se especifica por una secuencia de grados que se describirá más adelante.

A modo de ejemplo, cuando el valor de la varianza del ruido aumenta todavía más desde cero en un canal de AWGN, en primer lugar, el valor previsto de la probabilidad de error de un conjunto es cero y, cuando el valor de varianza de ruido es igual o mayor que un umbral, el valor previsto no es cero.

En conformidad con la evolución de la densidad, al comparar los umbrales (en adelante, también referidos como umbrales de capacidad) del valor de varianza del ruido para el que el valor previsto de la probabilidad de error no es cero, la capacidad (el grado de adecuación de una matriz de control de paridad) de un conjunto puede determinarse de esta manera.

Además, para un código LDPC específico, determinando un conjunto al que pertenece el código LDPC y realizando una evolución de la densidad para el conjunto, se puede estimar una capacidad aproximada del código LDPC.

De este modo, cuando un conjunto que tenga una alta capacidad se encuentra, un código LDPC que tenga una alta capacidad puede encontrarse de entre los códigos LDPC que pertenecen al conjunto.

En este caso, la secuencia de grados anteriormente descrita representa, para una longitud de código N de un código LDPC, una relación de nodos variables o nodos de control que tienen un peso de ponderación de cada valor.

A modo de ejemplo, un código LDPC regular (3,6) que tiene una tasa codificada de 1/2 pertenece a un conjunto que se especifica por una secuencia de grados en donde el peso (peso de columna) de todos los nodos de variables es 3 y el peso de fila) de todos los nodos de control es 6.

La Figura 44 ilustra un denominado gráfico de Tanner de dicho conjunto.

En el gráfico de Tanner ilustrado en la Figura 44, el número de nodos de variables, cada uno representado por un círculo blanco (marca ○) en la Figura que están presentes, es N que es el mismo valor que la longitud de código N y el número de nodos de control representados cada uno por un cuadrado (marca □) en la Figura, que están presentes, es N/2 que es el mismo que un valor adquirido multiplicando longitud de código N por la tasa codificada de 1/2.

Tres ramas de derivación (bordes), cuyo número es el mismo que el peso de columna están conectados a cada nodo de variable y de este modo, un total de 3N ramas de derivación conectadas a N nodos de variables están presentes.

Además, seis ramas de derivación, cuyo número es el mismo que el peso de fila, están conectadas a cada nodo de control y de este modo, un total de 3N ramas de derivación conectadas a N/2 nodos de control están presentes.

Además, en el denominado gráfico de Tanner ilustrado en la Figura 44, está presente un intercalador.

El intercalador redispone aleatoriamente las 3N ramas de derivación conectadas a los N nodos de variables y conecta cada rama de derivación después de la redistribución para una de las 3N ramas de derivación conectadas a los N/2 nodos de control.

En el intercalador, existen solamente $(3N)!$ ($= (3N) \times (3N - 1) \times \dots \times 1$) clases de modelos de redistribución para redistribuir $3N$ ramas de derivación conectadas a los N nodos de variables. En consecuencia, un conjunto especificado con una secuencia de grados en la que el peso de todos los nodos de variables es 3 y el peso de todos los nodos de control es 6 es un conjunto de $(3N)!$ códigos LDPC.

En una simulación para adquirir un código LDPC que tenga una alta capacidad (matriz de control de paridad adecuada), se utiliza un conjunto de tipo de múltiples bordes en la evolución de la densidad.

En el tipo de múltiples bordes, el intercalador por intermedio del cual pasan las ramas de derivación conectadas a los nodos de variables y las ramas de derivación conectadas a los nodos de control se divide en una pluralidad de partes (múltiples bordes) y en consecuencia, la especificación del conjunto se realiza con mayor exactitud.

La Figura 45 es un diagrama que ilustra, a modo de ejemplo, un gráfico de Tanner de un conjunto del tipo de múltiples bordes.

En el gráfico de Tanner ilustrado en la Figura 45, están presentes dos intercaladores que incluyen un primer intercalador y un segundo intercalador.

Además, en el gráfico de Tanner ilustrado en la Figura 45, solamente v_1 nodos de variables, que tienen cada uno una rama de derivación conectada al primer intercalador y ninguna rama de derivación conectada al segundo intercalador están presentes, solamente v_2 nodos de variables, que tienen cada uno una rama de derivación conectada al primer intercalador y dos ramas de derivación conectadas al segundo intercalador, están presentes y solamente v_3 nodos de variables, que tienen cada uno ninguna rama de derivación conectada al primer intercalador y dos ramas de derivación conectadas al segundo intercalador están presentes.

Además, en el gráfico de Tanner ilustrado en la Figura 45, solamente c_1 nodos de control, que tienen cada uno dos ramas de derivación conectadas al primer intercalador y ninguna rama de derivación conectada al segundo intercalador están presentes, solamente c_2 nodos de control, que tienen cada uno dos ramas de derivación conectada al primer intercalador y dos ramas de derivación conectadas al segundo intercalador, están presentes y solamente c_3 nodos de control, que tienen cada uno ninguna rama de derivación conectada al primer intercalador y tres ramas de derivación conectadas al segundo intercalador, están presentes.

En este caso, la evolución de la densidad y su puesta en práctica, a modo de ejemplo, se escriben en la referencia "Sobre el diseño de códigos de baja densidad de control de paridad dentro de 0.0045 dB del límite de Shannon ", S.Y. Chung, G.D. Forney, T.J. Richardson, R. Urbanke, IEEE Communications Letters, Vol. 5, N° 2, febrero 2001.

En una simulación para adquirir un código LDPC móvil (la tabla de valores iniciales de la matriz de control de paridad) ilustrada en las Figuras 35 a 43, un conjunto del que el umbral de capacidad, que es E_b/N_0 , en el que comienza a disminuir (reducirse) el valor de BER en conformidad con la evolución de la densidad del tipo de múltiples bordes es un valor predeterminado o menor es objeto de búsqueda y, entre los códigos LDPC pertenecientes al conjunto, un código LDPC que disminuye el BER en una pluralidad de modos de modulación utilizados para la difusión digital específicamente utilizados para terminales móviles tales como 16 QAM o 64 QAM se seleccionan como un código LDPC que tiene una alta capacidad.

En este caso, según se describió con anterioridad, en la difusión digital específicamente utilizada para terminales móviles, un código LDPC de 4k bits del que la longitud de código N es más corta que la de los códigos LDPC (códigos LDPC que tienen longitudes de código N de 16k y 64k bits) definidos en la norma DVB-T.2 tiene resistencia al error en el canal de comunicaciones 13 (Figura 7) que es más baja que la de un código LDPC que tiene una longitud de código N larga definida en la norma DVB-T.2.

En consecuencia, en la difusión digital específicamente utilizada para terminales móviles, con el fin de mejorar la resistencia al error, un modo de modulación en el que el número de puntos de señales es relativamente pequeño tal como QPSK, 16 QAM o 64 QAM se emplea a este respecto.

Las tablas de valores iniciales de la matriz de control de paridad que se ilustran en las Figuras 35 a 43 anteriormente descritas son las tablas de valores iniciales de la matriz de control de paridad de un código LDPC que tiene una longitud de código N de 4k bits que se adquieren por intermedio de la simulación según se describió con anterioridad.

La Figura 46 es un diagrama que ilustra una longitud de ciclo mínima y un umbral de capacidad de la matriz de control de paridad H que se adquiere a partir de las tablas de valores iniciales de matriz de control de paridad de nueve clases de códigos LDPC que tienen una longitud de código N de 4k bits y tasas codificadas r de $1/4$, $1/3$, $5/12$, $1/2$, $7/12$, $2/3$, $3/4$, $5/6$ y $11/12$ según se ilustra en las Figuras 35 a 43.

En la matriz de control de paridad H adquirida a partir de las tablas de valores iniciales de la matriz de control de paridad que se ilustran en las Figuras 35 a 43, la longitud de ciclo mínima de las matrices de control de paridad H

que tienen tasas codificadas r de $1/4$ y $1/3$ es 8 ciclos y la longitud de ciclo mínima de las matrices de control de paridad H que tienen tasas codificadas r de $5/12$, $1/2$, $7/12$, $2/3$, $3/4$, $5/6$ y $11/12$ es 6 ciclos.

En consecuencia, en la matriz de control de paridad H adquirida a partir de las tablas de valores iniciales de la matriz de control de paridad que se ilustran en las Figuras 35 a 43, el ciclo-4 no está presente.

Además, a medida que disminuye la tasa codificada r , aumenta la redundancia del código LDPC y en consecuencia, se mejora (disminuye) el umbral de capacidad cuando disminuye la tasa codificada r .

La Figura 47 es un diagrama que ilustra la matriz de control de paridad H (en adelante, también referida como una matriz de control de paridad H de un código LDPC móvil) de las Figuras 35 a 43 (adquirida a partir de las tablas de valores iniciales de la matriz de control de paridad).

En la matriz de control de paridad H del código LDPC móvil, se establece un peso de columna a X para KX columnas desde la primera columna, un peso de columna se establece a Y para las KY columnas posteriores, un peso de columna se establece a dos para las $(M-1)$ columnas posteriores y un peso de columna se establece a uno para la última columna.

En este caso, $KX + KY + M - 1 + 1$ es lo mismo que la longitud de código $N = 4320$ bits.

La Figura 48 es un diagrama que ilustra el número de columnas KX , KY y M los pesos de columna X y para cada tasa codificada r ($= 1/4$, $1/3$, $5/12$, $1/2$, $7/12$, $2/3$, $3/4$, $5/6$ y $11/12$) del código LDPC móvil.

Para una matriz de control de paridad H de un código LDPC móvil que tiene una longitud de código N de $4k$, similarmente a la matriz de control de paridad definida en la norma DVB-T.2 descrita con referencia a las Figuras 12 y 13, cuando una columna está situada en el lado frontal (lado izquierdo), el peso de columna tiende a ser mayor y en consecuencia, un bit de código del código LDPC móvil que está situado en el lado frontal tiende a ser fuerte al error (tiene resistencia al error).

Intercalación de torsión de columnas del código LDPC que tiene una longitud de código N de 4320 bits

En el codificador LDPC 115 (Figuras 8 y 31), en un caso en donde la codificación LDPC en un código LDPC móvil se realiza utilizando las matrices de control de paridad H ilustradas en las Figuras 35 a 43 (adquiridas a partir de las tablas de valores iniciales de la matriz de control de paridad), la posición de inicio de escritura de cada columna (Figura 24) de la memoria 31 en la intercalación de torsión de columna como un proceso de redistribución realizado por el intercalador de columnas con torsión 24 (Figura 9) es diferente de la posición de inicio de la escritura (Figuras 25 y 26) en el caso de un código LDPC definido en la norma DVB-T.2.

La Figura 49 es un diagrama que ilustra el número de columnas de la memoria 31 que son necesarias para la intercalación de torsión de columna y las direcciones de las posiciones de inicio de escritura para los códigos LDPC móviles.

Dicho de otro modo, la Figura 49 ilustra el número de columnas de la memoria 31 necesarias para la intercalación de torsión de columnas y sus direcciones de las posiciones de inicio de escritura para cada modo de modulación para códigos LDPC móviles, que se ilustran en las Figuras 35 a 43, que tienen una longitud de código N de $4k$ bits y nueve clases (puede adquirirse a partir de la matriz de control de paridad H adquirida desde las tablas de valores iniciales de matriz de control de paridad) de tasas codificadas r de $1/4$, $1/3$, $5/12$, $1/2$, $7/12$, $2/3$, $3/4$, $5/6$ y $11/12$.

Además, para los códigos LDPC móviles, como los modos de modulación, según se describió con anterioridad, QPSK, 16 QAM y 64 QAM, que tienen números de puntos de señales relativamente pequeños se emplean a este respecto.

Utilizando un múltiplo b de 1 y empleando el QPSK como el modo de modulación, en un caso en donde el número m de bits de un símbolo es dos bits, la memoria 31 tiene dos columnas que memorizan 2×1 bits en la dirección de las filas y memoriza $N/(mb) = 4320/(2 \times 1)$ bits en la dirección de las columnas.

De entre las dos columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0 y la posición de inicio de escritura de una segunda columna es la posición de dirección 2.

Utilizando un múltiplo b de 2 y empleando el QPSK como el modo de modulación, en un caso en donde el número m de bits de un símbolo es dos bits, la memoria 31 tiene cuatro columnas que memorizan 2×2 bits en la dirección de las filas y memoriza $N/(mb) = 4320/(2 \times 2)$ bits en la dirección de las columnas.

De entre las cuatro columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 0, la posición de inicio de escritura de una tercera columna es la posición de dirección 1 y la posición de inicio de

escritura de una cuarta columna es la posición de dirección 0.

Utilizando un múltiplo b de 1 y empleando 16 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es cuatro bits, la memoria 31 tiene cuatro columnas que memorizan 4×1 bits en la dirección de las filas y memoriza $N/(mb) = 4320/(4 \times 1)$ bits en la dirección de las columnas.

Las posiciones de inicio de escritura de las cuatro columnas de la memoria 31 son las mismas que las de un caso en donde el múltiplo b es 2 y la QPSK se utiliza como el modo de modulación.

Dicho de otro modo, De entre las cuatro columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 0, la posición de inicio de escritura de una tercera columna es la posición de dirección 1 y la posición de inicio de escritura de una cuarta columna es la posición de dirección 0.

Utilizando un múltiplo b de 2 y empleando 16 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es cuatro bits, la memoria 31 tiene ocho columnas que memorizan 4×2 bits en la dirección de las filas y memoriza $N/(mb) = 4320/(4 \times 2)$ bits en la dirección de las columnas.

De entre las ocho columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 8, la posición de inicio de escritura de una tercera columna es la posición de dirección 10, la posición de inicio de escritura de una cuarta columna es la posición de dirección 10, la posición de inicio de escritura de una quinta columna es la posición de dirección 25, la posición de inicio de escritura de una sexta columna es la posición de dirección 54, la posición de inicio de escritura de una séptima columna es la posición de dirección 62 y la posición de inicio de escritura de una octava columna es la posición de dirección 69.

Utilizando un múltiplo b de 1 y empleando el 64 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es seis bits, la memoria 31 tiene seis columnas que memorizan 6×1 bits en la dirección de las filas y memoriza $N/(mb) = 4320/(6 \times 1)$ bits en la dirección de las columnas.

De entre las seis columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 0, la posición de inicio de escritura de una tercera columna es la posición de dirección 1, la posición de inicio de escritura de una cuarta columna es la posición de dirección 1, la posición de inicio de escritura de una quinta columna es la posición de dirección 0 y la posición de inicio de escritura de una sexta columna es la posición de dirección 0.

Utilizando un múltiplo b de 2 y empleando, a modo de ejemplo, 64 QAM como el modo de modulación, en un caso en donde el número m de bits de un símbolo es seis bits, según se ilustra en la Figura 49, la memoria 31 tiene 12 columnas que memorizan 6×2 bits en la dirección de las filas y memoriza $4320/(6 \times 2)$ bits en la dirección de las columnas.

De entre las doce columnas de la memoria 31, la posición de inicio de escritura de una primera columna es la posición de dirección 0, la posición de inicio de escritura de una segunda columna es la posición de dirección 2, la posición de inicio de escritura de una tercera columna es la posición de dirección 10, la posición de inicio de escritura de una cuarta columna es la posición de dirección 12, la posición de inicio de escritura de una quinta columna es la posición de dirección 15, la posición de inicio de escritura de una sexta columna es la posición de dirección 17, la posición de inicio de escritura de una séptima columna es la posición de dirección 20, la posición de inicio de escritura de una octava columna es la posición de dirección 21, la posición de inicio de escritura de una novena columna es la posición de dirección 23, la posición de inicio de escritura de una décima columna es la posición de dirección 25, la posición de inicio de escritura de una undécima columna es la posición de dirección 26 y la posición de inicio de escritura de una duodécima columna es la posición de dirección 30.

Al realizar la intercalación de torsión de columnas según se describió anteriormente para el código LDPC móvil que tenga una longitud de código N de 4k bits según se ilustra en las Figuras 35 a 43, puede evitarse que una pluralidad de bits de código correspondiente a una pluralidad de nodos de variables conectados al mismo nodo de control formen un símbolo (están incluidos en el mismo símbolo) de la modulación QPSK, la 16 QAM o la 64 QAM, en donde la capacidad de decodificación en un canal de comunicaciones que tenga un borrado puede mejorarse de este modo.

La Figura 50 es un diagrama que ilustra un resultado de simulación de un valor BER en un caso en donde la intercalación de torsión de columnas se realiza para un código LDPC móvil.

En la simulación, un canal de comunicaciones (canal) en el que ocurre el denominado desvanecimiento de Rayleigh que tiene una probabilidad de borrado de 0.167, en donde se borra un símbolo, es objeto de consideración, un código LDPC (Figura 40) que tiene una longitud de código N de 4k bits y una tasa codificada de 2/3 se utiliza como el código LDPC móvil y QPSK se utiliza como el modo de modulación.

En la Figura 50, el eje horizontal representa E_s/N_0 (una relación de potencia de señal a potencia de ruido por símbolo) y el eje vertical representa el valor BER.

- 5 Además, en la Figura 50, una línea continua representa un valor BER en un caso en donde la intercalación de paridad y la intercalación de torsión de columnas se realizan y una línea de puntos representa un BER en un caso en donde se realiza la intercalación de paridad sin realizar la intercalación de torsión de columnas.

- 10 Haciendo referencia a la Figura 50, en el caso en donde se realiza la intercalación de columnas con torsión, en comparación con el caso en donde no se realiza la intercalación de columnas con torsión, el valor BER se mejora como un conjunto y en consecuencia, se entiende que se mejora la resistencia al error.

Proceso de intercambio de un código LDPC que tenga una longitud de código N de 4320 bits

- 15 En un caso en donde un código LDPC móvil que tenga una longitud de código corta N anteriormente descrita, es decir, un código LDPC que tenga una longitud de código N de 4k bits se utiliza en la difusión digital específicamente utilizada para terminales móviles, disminuyendo la resistencia al error en el canal de comunicaciones 13 (Figura 7).

- 20 De este modo, en la difusión digital específicamente utiliza para terminales móviles, es preferible tomar una contramedida para mejorar la resistencia al error.

- 25 Como una contramedida para mejorar la resistencia al error, que no sea un método de utilización de un modo de modulación en el que el número de puntos de señales es relativamente pequeño tal como el modo 16 QAM o el 64 QAM según se describió con anterioridad, a modo de ejemplo, existe un proceso de intercambio realizado por el demultiplexor 25 (Figura 9).

- 30 En el proceso de intercambio, mientras que, a modo de ejemplo, existen los primeros a cuarto modos de intercambio anteriormente descritos y los modos de intercambio definidos en la norma de DVB-T.2 y similar como los modos de intercambio en donde bits de código de un código LDPC definido en la norma de DVB-T.2 o similar se intercambian, en un caso en donde la difusión digital específicamente utilizada para terminales móviles se realiza utilizando el código LDPC anteriormente descrito (código LDPC móvil) que tenga una longitud de código N de 4k bits, es necesario emplear un proceso de intercambio que sea adecuado para el código LDPC que tiene una longitud de código N de 4k bits.

- 35 Además, como un proceso de intercambio utilizado para el código LDPC que tiene una longitud de código N de 4k bits, es preferible que se utilice un proceso de intercambio de un tipo para mejorar todavía la resistencia al error.

- 40 De este modo, el demultiplexor 25 (Figura 9), según se describe con referencia a la Figura 27, está configurado para realizar un proceso de intercambio en conformidad con una regla de asignación.

- En adelante, se describirá un proceso de intercambio en conformidad con una regla de asignación y, antes de la descripción, se describirá un proceso de intercambio en conformidad con un modo de intercambio (en adelante, referido como un modo actual) que ha sido ya propuesto.

- 45 En un caso en donde se realiza un proceso de intercambio en conformidad con el modo actual para un código LDPC (en adelante, referido como un código definido) definido en la norma DVB-T.2 o similar por el demultiplexor 25, el proceso de intercambio se describirá haciendo referencia a las Figuras 51 y 52.

- 50 La Figura 51 ilustra, a modo de ejemplo, un proceso de intercambio del modo actual en un caso en donde el código LDPC es un código LDPC que tiene una longitud de código N de 64800 bits y una tasa codificada de 3/5 definida en la norma DVB-T.2.

- 55 Dicho de otro modo, la referencia A en la Figura 51 ilustra, a modo de ejemplo, el proceso de intercambio del modo actual en un caso en donde el código LDPC es un código definido que tiene una longitud de código N de 64800 bits y una tasa codificada de 3/5, siendo el modo de modulación el de 16 QAM y el múltiplo b es 2.

En un caso en donde el modo de modulación es 16 QAM, 4 (= m) bits de los bits de código son objeto de mapeado de correspondencia en cualquier de 16 puntos de señales definidos en la modulación 16 QAM como un símbolo.

- 60 Además, en un caso en donde la longitud de código N es 64800 bits y el múltiplo b es 2, la memoria 31 (Figuras 18 y 19) del demultiplexor 25 tiene 8 columnas que memorizan 4×2 (= mb) bits en la dirección de las filas y memoriza $64800/(4 \times 2)$ bits en la dirección de las columnas.

- 65 En el demultiplexor 25, cuando los bits de código de un código LDPC son objeto de escritura en la dirección de las columnas de la memoria 31 y la escritura de bits de código (una palabra de código) de 64800 bits está completada, los bits de código escritos en la memoria 31 son objeto de lectura en unidades de 4×2 (= mb) bits en la dirección de

las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b_0 a b_7 de $4 \times 2 (= mb)$ bits de modo que los bits de código $b_0, b_1, b_2, b_3, b_4, b_5, b_6$, y b_7 de $4 \times 2 (= mb)$ bits leídos desde la memoria 31, a modo de ejemplo, según se ilustra en A de la Figura 51, se asignan a bits de símbolo $y_0, y_1, y_2, y_3, y_4, y_5, y_6$ e y_7 de $4 \times 2 (= mb)$ bits de $2 (= b)$ símbolos consecutivos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b_0 se asigna el bit de símbolo y_7 ;

el bit de código b_1 al bit de símbolo y_1 ;

el bit de código b_2 al bit de símbolo y_4 ;

el bit de código b_3 al bit de símbolo y_2 ;

el bit de código b_4 al bit de símbolo y_5 ;

el bit de código b_5 al bit de símbolo y_3 ;

el bit de código b_6 bit de símbolo y_6 ; y

el bit de código b_7 el bit de símbolo y_0 .

La referencia B de la Figura 51 ilustra, a modo de ejemplo, el proceso de intercambio del modo actual en un caso en donde el código LDPC es un código definido que tiene una longitud de código N de 64800 bits y una tasa codificada de $3/5$, siendo el modo de modulación el de 64 QAM y el múltiplo b es 2.

En un caso en donde el modo de modulación es 64 QAM, $6 (= m)$ bits de los bits de código son objeto de mapeado de correspondencia en cualquiera de los 64 puntos de señales definidos en la modulación 64 QAM como un símbolo.

Además, en un caso en donde la longitud de código N es 64800 bits y el múltiplo b es 2, la memoria 31 (Figuras 18 y 19) del multiplexor 25 tiene 12 columnas que memorizan $6 \times 2 (= mb)$ bits en la dirección de las filas y memoriza $64800/(6 \times 2)$ bits en la dirección de las columnas.

En el demultiplexor 25, cuando los bits de código de un código LDPC se escriben en la dirección de las columnas de la memoria 31 y se completa la escritura de los bits de código (una palabra de código) de 64800 bits, los bits de código escritos en la memoria 31 son objeto de lectura en unidades de $6 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 and 19).

La unidad de intercambio 32 intercambia los bits de código b_0 a b_{11} de $6 \times 2 (= mb)$ bits de modo que los bits de código $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}$, y b_{11} de $6 \times 2 (= mb)$ bits leídos desde la memoria 31, a modo de ejemplo, según se ilustra en B de la Figura 51, se asignan a los bits de símbolo $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}$ e y_{11} de $6 \times 2 (= mb)$ bits de $2 (= b)$ símbolos consecutivos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b_0 se asigna al bit de símbolo y_{11} ;

el bit de código b_1 al bit de símbolo y_7 ;

el bit de código b_2 al bit de símbolo y_3 ;

el bit de código b_3 al bit de símbolo y_{10} ;

el bit de código b_4 al bit de símbolo y_6 ;

el bit de código b_5 al bit de símbolo y_2 ;

el bit de código b_6 al bit de símbolo y_9 ;

el bit de código b_7 al bit de símbolo y_5 ;

el bit de código b_8 al bit de símbolo y_1 ;

el bit de código b_9 al bit de símbolo y_8 ;

el bit de código b_{10} al bit de símbolo y_4 ; y

el bit de código b_{11} al bit de símbolo y_0 .

La referencia C de la Figura 51 ilustra, a modo de ejemplo, un proceso de intercambio del modo actual en un caso en donde el código LDPC es un código definido que tiene una longitud de código N de 64800 bits y una tasa codificada de 3/5, siendo el modo de modulación el de 256 QAM y el múltiplo b es 2.

En un caso en donde el modo de modulación es 256 QAM, 8 (= m) bits de los bits de código son objeto de mapeado de correspondencia en cualquiera de 256 puntos de señales definidos en la modulación 256 QAM como un símbolo.

Además, en un caso en donde la longitud de código N es 64800 bits y el múltiplo b es 2, la memoria 31 (Figuras 18 and 19) del multiplexor 25 tiene 16 columnas que memorizan 8×2 (= mb) bits en la dirección de las filas y memoriza $64800/(8 \times 2)$ bits en la dirección de las columnas.

En el multiplexor 25, cuando los bit de código de un código LDPC son escritos en la dirección de las columnas de la memoria 31 y se completa la escritura de los bits de código (una palabra de código) de 64800 bits, los bits de código escritos en la memoria 31 son objeto de lectura en unidades de 8×2 (= mb) bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b_0 a b_{15} de 8×2 (= mb) bit de modo que los bits de código $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}, b_{11}, b_{12}, b_{13}, b_{14}$, y b_{15} de 8×2 (= mb) bits leídos desde la memoria 31, a modo de ejemplo, según se ilustra en la referencia C de la Figura 51, se asignan a bits de símbolo $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}, y_{11}, y_{12}, y_{13}, y_{14}$ e y_{15} de 8×2 (= mb) bits de 2 (= b) símbolos consecutivos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b_0 se asigna al bit de símbolo y_{15} ;

el bit de código b_1 al bit de símbolo y_1 ;

el bit de código b_2 al bit de símbolo y_{13} ;

el bit de código b_3 al bit de símbolo y_3 ;

el bit de código b_4 al bit de símbolo y_8 ;

el bit de código b_5 al bit de símbolo y_{11} ;

el bit de código b_6 al bit de símbolo y_9 ;

el bit de código b_7 al bit de símbolo y_5 ;

el bit de código b_8 al bit de símbolo y_{10} ;

el bit de código b_9 al bit de símbolo y_6 ;

el bit de código b_{10} al bit de símbolo y_4 ;

el bit de código b_{11} al bit de símbolo y_7 ;

el bit de código b_{12} al bit de símbolo y_{12} ;

el bit de código b_{13} al bit de símbolo y_2 ;

el bit de código b_{14} al bit de símbolo y_{14} ; y

el bit de código b_{15} al bit de símbolo y_0 .

La Figura 52 ilustra, a modo de ejemplo, un proceso de intercambio del modo actual en un caso en donde el código LDPC es un código definido que tiene una longitud de código N de 16200 bits y una tasa codificada de 3/5.

Dicho de otro modo, la referencia A de la Figura 52 ilustra, a modo de ejemplo, el proceso de intercambio del modo

actual en un caso en donde el código LDPC es un código LDPC que tiene una longitud de código N de 16200 bits y una tasa codificada de 3/5, siendo el modo de modulación el de 16 QAM y el múltiplo b es 2.

En un caso en donde el modo de modulación es 16 QAM, 4 (= m) bits de los bits de código son objeto de mapeado de correspondencia en cualquiera de 16 puntos de señales definidos en la modulación 16 QAM como un solo símbolo.

Además, en un caso en donde la longitud de código N es 16200 bits y el múltiplo b es 2, la memoria 31 (Figuras 18 y 19) del multiplexor 25 tiene 8 columnas que memorizan 4×2 (= mb) bits en la dirección de las filas y memoriza $16200/(4 \times 2)$ bits en la dirección de las columnas.

En el demultiplexor 25 cuando los bits de código de un código LDPC se escriben en la dirección de las columnas de la memoria 31 y se completa la escritura de bits de código (una palabra de código) de 16200 bits, los bits de código escritos en la memoria 31 son objeto de lectura en unidades de 4×2 (= mb) bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b_0 a b_7 de 4×2 (= mb) bits de modo que los bits de código $b_0, b_1, b_2, b_3, b_4, b_5, b_6$, y b_7 de 4×2 (= mb) bits leídos desde la memoria 31, a modo de ejemplo, según se ilustra en A de la Figura 52, se asignan a los bits de símbolo $y_0, y_1, y_2, y_3, y_4, y_5, y_6$ e y_7 de 4×2 (= mb) bits de 2 (= b) símbolos consecutivos.

Dicho de otro modo, la unidad de intercambio 32, similarmente al caso de la referencia A de la Figura 51 anteriormente descrita, realiza un proceso de intercambio en donde los bits de código b_0 a b_7 se asignan a los bits de símbolo y_0 a y_7 .

La referencia B de la Figura 52 ilustra, a modo de ejemplo, el proceso de intercambio del modo actual en un caso en donde el código LDPC es un código definido que tiene una longitud de código N de 16200 bits y una tasa codificada de 3/5, siendo el modo de modulación el de 64 QAM y el múltiplo b es 2.

En un caso en donde modo de modulación es 64 QAM, 6 (= m) bits de los bits de códigos son objeto de mapeado de correspondencia en cualquiera de 64 puntos de señales definidos en la modulación 64 QAM como un solo símbolo.

Además, en un caso en donde la longitud de código N es 16200 bits y el múltiplo b es 2, la memoria 31 (Figuras 18 y 19) del multiplexor 25 tiene 12 columnas que memorizan 6×2 (= mb) bits en la dirección de las filas y memoriza $16200/(6 \times 2)$ bits en la dirección de las columnas.

En el demultiplexor 25, cuando los bits de código de un código LDPC se escriben en la dirección de las columnas de la memoria 31 y se completa la escritura de bits de código (una palabra de código) de 16200 bits, los bits de código escritos en la memoria 31 son objeto de lectura en unidades de 6×2 (= mb) bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b_0 a b_{11} de 6×2 (= mb) bits de modo que los bits de código $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}$, y b_{11} de 6×2 (= mb) bits leídos desde la memoria 31, a modo de ejemplo, según se ilustra en la referencia B de la 52, se asignan a los bits de símbolo $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}$ e y_{11} de 6×2 (= mb) bits de 2 (= b) símbolos consecutivos.

Dicho de otro modo, la unidad de intercambio 32, similarmente al caso de la referencia B de la Figura 51 anteriormente descrita, realiza un proceso de intercambio en donde los bits de código b_0 a b_{11} se asignan a los bits de símbolo y_0 a y_{11} .

La referencia C de la Figura 52 ilustra, a modo de ejemplo, el proceso de intercambio del modo actual en un caso en donde el código LDPC es un código definido que tiene una longitud de código N de 16200 bits y una tasa codificada de 3/5, siendo el modo de modulación el de 256 QAM y el múltiplo b es 1.

En un caso en donde el modo de modulación es 256 QAM, 8 (= m) bits de los bits de código son objeto de mapeado de correspondencia con cualquiera de 256 puntos de señales definidos en el modo 256 QAM como un solo símbolo.

Además, en un caso en donde la longitud de código N es 16200 bits y el múltiplo b es 1, la memoria 31 (Figuras 18 y 19) del multiplexor 25 tiene 8 columnas que memorizan 8×1 (= mb) bits en la dirección de las filas y memoriza $16200/(8 \times 1)$ bits en la dirección de las columnas.

En el demultiplexor 25, cuando los bits de código de un código LDPC se escriben en la dirección de las columnas de la memoria 31 y se completa la escritura de bits de código (una palabra de código) de 16200 bits, los bits de código escritos en la memoria 31 son objeto de lectura en unidades de 8×1 (= mb) bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b_0 a b_7 de 8×1 (= mb) bits de modo que los bits de código b_0 , b_1 , b_2 , b_3 , b_4 , b_5 , b_6 , y b_7 de 8×1 (= mb) bits leídos desde la memoria 31, a modo de ejemplo, según se ilustra en la referencia C de la Figura 52, se asignan a bit de símbolo y_0 , y_1 , y_2 , y_3 , y_4 , y_5 , y_6 , e y_7 de 8×1 (= mb) bits de 1 (= b) símbolo.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b_0 se asigna al bit de símbolo y_7 ;

el bit de código b_1 al bit de símbolo y_3 ;

el bit de código b_2 al bit de símbolo y_1 ;

el bit de código b_3 al bit de símbolo y_5 ;

el bit de código b_4 al bit de símbolo y_2 ;

el bit de código b_5 al bit de símbolo y_6 ;

el bit de código b_6 al bit de símbolo y_4 ; y

el bit de código b_7 al bit de símbolo y_0 ;

A continuación, se describirá un proceso de intercambio (en adelante, referido como un proceso en conformidad con un nuevo modo de intercambio) en conformidad con una regla de asignación.

Además, en la difusión digital específicamente utilizada para terminales móviles, un modo de modulación en donde el número de puntos de señales es pequeño tal como QPSK, 16 QAM o 64 QAM se utiliza a este respecto y, en este caso, el nuevo modo de intercambio se describirá para el caso de 16 QAM y en el caso de 64 QAM.

En un caso en donde el modo de modulación es QPSK, no existe ninguna superioridad ni inferioridad de la resistencia al error descrita con referencia a las Figuras 14 a 17 entre los bit de símbolo y_0 e y_1 de dos bits que representa cuatro símbolos (puntos de señales) del modo de modulación QPSK y en consecuencia, el proceso de intercambio no necesita realizarse (aun cuando se realiza el proceso de intercambio, no variará la resistencia al error).

Las Figuras 53 a 55 son diagramas que ilustran el nuevo modo de intercambio.

En el nuevo modo de intercambio, la unidad de intercambio 32 del multiplexor 25 realiza el intercambio de bits de código de mb bits en conformidad con una regla de asignación determinada por anticipado.

La regla de asignación es una regla utilizada para asignar bits de código de un código LDPC a bits de símbolos. En la regla de asignación, un conjunto de grupos es una combinación de un grupo de bits de código de bits de código y un grupo de bits de símbolo de bits de símbolo que asigna bits de código del grupo de bits de código, el grupo de bits de código del conjunto de grupos, los bits de código de cada grupo de bits de símbolo y el número de bits (en adelante, también referido como un número de bits de grupo) de los bits de símbolo se definen en esta disposición operativa.

En este caso, entre los bits de código, según se describió anteriormente, existe una diferencia en la probabilidad de error y existe también una diferencia en la probabilidad de error entre los bits de símbolos. Un grupo de bits de código es un grupo en donde los bits de código se dividen sobre la base de la probabilidad de error y un grupo de bits de símbolo es un grupo en el que bits de símbolo se dividen sobre la base de la probabilidad de error.

La Figura 53 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolo en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/4, el modo de modulación es 64 QAM y el múltiplo b es 2.

En este caso, los bits de código de 6×2 (= mb) bits leídos desde la memoria 31 pueden dividirse en tres grupos de bits de código Gb1, Gb2 y Gb3 según se ilustra en la referencia A de la Figura 53 sobre la base de las diferencias en la probabilidad de error.

En este caso, un grupo de bits de código Gb#i es un grupo en el que la probabilidad de error de bits de código pertenecientes al grupo de bits de código Gb#i es buena (baja) a medida que el sufijo #i se hace más pequeño.

En adelante, el ($\#i + 1$)-ésimo bit desde los bits más significativo de los bits de código de mb bits leídos en la dirección de las filas desde la memoria 31 se representa como un bit $b\#i$ y el ($\#i + 1$)-ésimo bit desde los bits más significativo de bits de símbolo de mb bits de b símbolos consecutivos se representa como un bit $y\#i$.

En la referencia A de la Figura 53, un bit de código b0 pertenece al grupo de bits de código Gb1, los bits de código b1 y b2 pertenecen al grupo de bits de código Gb2 y los bits de código b3, b4, b5, b6, b7, b8, b9, b10 y b11 pertenecen al grupo de bits de código Gb3.

En un caso en donde el modo de modulación es 64 QAM y el múltiplo b es 2, los bit de símbolo $6 \times 2 (= mb)$ bits pueden dividirse en tres grupos de bits de símbolo Gy1, Gy2 y Gy3, según se ilustra en la referencia B de la Figura 53, sobre la base de las diferencias en la probabilidad de error.

En este caso, un grupo de bits de símbolo Gy#i, similarmente a los grupos de bits de código, es un grupo en donde la probabilidad de error de bits de símbolo que pertenecen al grupo de bits de símbolo Gy#i es buena a medida que el sufijo #i se hace más pequeño.

En la referencia B de la Figura 53, los bits de símbolo y0, y1, y6 e y7 pertenecen al grupo de bits de símbolo Gy1, los bits de símbolo y2, y3, y8 e y9 pertenecen al grupo de bits de símbolo Gy2 y los bits de símbolo y4, y5, y10 e y11 pertenecen al grupo de bits de símbolo Gy3.

La Figura 54 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/4, el modo de modulación es 64 QAM y el múltiplo b es 2.

En la regla de asignación ilustrada en la Figura 54, una combinación del grupo de bits de código Gb1 y del grupo de bits de símbolo Gy3 se define como un conjunto de grupos. Además, el número de bits de grupo del conjunto de grupos se define como un bit.

En adelante, el conjunto de grupos y el número de bit de grupo se refieren colectivamente como información del conjunto de grupos. Además, a modo de ejemplo, un conjunto de grupos del grupo de bits de código Gb1 y del grupo de bits de símbolo Gy3 y un bit que es el número de bits de grupo del conjunto de grupos son objeto de escritura como información de conjunto de grupos (Gb1, Gy3, 1).

En la regla de asignación ilustrada en la Figura 54, además de la información del conjunto de grupos (Gb1, Gy3, 1), se define la información del conjunto de grupos (Gb2, Gy3, 2), (Gb3, Gy3, 1), (Gb3, Gy2, 4), y (Gb3, Gy1, 4).

A modo de ejemplo, la información del conjunto de grupos (Gb1, Gy3, 1) representa que un bit de bits de código perteneciente al grupo de bits de código Gb1 se asigna a un bit de bits de símbolo pertenecientes al grupo de bits de símbolo Gy3.

En consecuencia, en la regla de asignación ilustrada en la Figura 54, en conformidad con la información del conjunto de grupos (Gb1, Gy3, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb1 cuya probabilidad de error es la mejor para un bit de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor se define a este respecto, en conformidad con la información del conjunto de grupos (Gb2, Gy3, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor a dos bits de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor se define en este momento, en conformidad con la información del conjunto de grupos (Gb3, Gy3, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor a un bit de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor se define en este momento, en conformidad con la información del conjunto de grupos (Gb3, Gy2, 4), la asignación de cuatro bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor a cuatro bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define en este momento y, en conformidad con la información del conjunto de grupos (Gb3, Gy1, 4), la asignación de cuatro bits de los bits de código del grupo de bits de código Gb3, cuya probabilidad de error es la tercera mejor, a cuatro bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor de define a continuación.

Según se describió con anterioridad, los grupos de bits de código son grupos en donde los bits de código se dividen sobre la base de la probabilidad de error y los grupos de bits de símbolo son grupos en los que los bits de símbolo se dividen sobre la base de la probabilidad de error. En consecuencia, la regla de asignación puede considerarse como definiendo una combinación de una probabilidad de error de un bit de código y una probabilidad de error de un bit de símbolo al que se asigna el bit de código.

De este modo, la regla de asignación que define una combinación de una probabilidad de error de un bit de código y una probabilidad de error de un bit de símbolo al que se asigna el bit de código, a modo de ejemplo, se determina mediante una simulación de la medición del valor BER o similar, de modo que se mejore la resistencia al error (resistencia un ruido).

Además, aun cuando un destino de asignación de un bit de código de un grupo de bits de código se cambie dentro

de los bits que pertenecen al mismo grupo de bits de símbolos, no resulta influida (en su mayor parte) la resistencia al error.

En consecuencia, con el fin de mejorar la resistencia al error, la información del conjunto de grupos que minimiza el valor de BER (Tasa Binaria de Errores), dicho de otro modo, una combinación (conjunto de grupos) de un grupo de bits de código de bits de código y un grupo de bits de símbolo de bits de símbolo en donde los bits de código del grupo de bits de código se asignan, los grupos de bits de código del conjunto de grupos, el bit de código de cada grupo de bits de símbolo y el número de bits (números de bits de grupo) de los bits de símbolo se definen como una regla de asignación y los bits de código pueden intercambiarse en conformidad con la regla de asignación de modo que los bits de código se asignen a los bits de símbolo

Sin embargo, un método de asignación específico para asignar un bit de código específico a un bit de símbolo en conformidad con la regla de asignación necesita determinarse por anticipado entre el dispositivo de transmisión 11 y el dispositivo de recepción 12 (Figura 7).

La Figura 55 ilustra, a modo de ejemplo, el intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 54.

Dicho de otro modo, la referencia A de la Figura 55 ilustra, un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 54 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/4, el modo de modulación es 64 QAM y el múltiplo b es 2.

En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/4, el modo de modulación es 64 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(6 \times 2)) \times (6 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $6 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b0 a b11 de $6 \times 2 (= mb)$ bits en conformidad con la regla de asignación ilustrada en la Figura 54, de modo que los bits de código b0 a b11 de $6 \times 2 (= mb)$ bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en A de la Figura 55, asignados a bits de símbolo y0 a y11 de $6 \times 2 (= mb)$ bits de dos (=b) símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b0 se asigna al bit de símbolo y11;

el bit de código b1 al bit de símbolo y10;

el bit de código b2 al bit de símbolo y4;

el bit de código b3 al bit de símbolo y5;

el bit de código b4 al bit de símbolo y2;

el bit de código b5 al bit de símbolo y3;

el bit de código b6 al bit de símbolo y8;

el bit de código b7 al bit de símbolo y9;

el bit de código b8 al bit de símbolo y6;

el bit de código b9 al bit de símbolo y7;

el bit de código b10 al bit de símbolo y1; y

el bit de código b11 al bit de símbolo y0.

La referencia B de la Figura 55 ilustra un segundo ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 54 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/4, el modo de modulación es 64 QAM y el múltiplo b es 2.

Según se ilustra en la referencia B de la Figura 55, la unidad de intercambio 32 realiza un proceso de intercambio

para bits de código b0 a b11 de 6×2 (= mb) bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 54, en donde:

el bit de código b0 se asigna al bit de símbolo y11;

el bit de código b1 al bit de símbolo y10;

el bit de código b2 al bit de símbolo y4;

el bit de código b3 al bit de símbolo y5;

el bit de código b4 al bit de símbolo y9;

el bit de código b5 al bit de símbolo y8;

el bit de código b6 al bit de símbolo y3;

el bit de código b7 al bit de símbolo y2;

el bit de código b8 al bit de símbolo y0;

el bit de código b9 al bit de símbolo y1;

el bit de código b10 al bit de símbolo y6; y

el bit de código b11 al bit de símbolo y7.

En este caso, todos los métodos de asignación de un bit de código b#i a un bit de símbolo y#i que se ilustran en la referencia A de la Figura 55 y la referencia B de la Figura 55 están en conformidad con la regla de asignación (siguen la regla de asignación) ilustrada en la Figura 54.

La Figura 56 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolo un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/3, el modo de modulación es 64 QAM y el múltiplo b es 2.

En este caso, los bits de código de 6×2 (= mb) bits leídos desde la memoria 31 pueden dividirse en tres grupos de bits de código Gb1, Gb2, y Gb3 según se ilustra en la referencia A de la Figura 56 sobre la base de las diferencias en la probabilidad de error.

En la referencia A de la Figura 56, un bit de código b0 pertenece al grupo de bits de código Gb1, los bits de código b1 a b3 pertenecen al grupo de bits de código Gb2 y los bits de código b4 a b 11 pertenecen al grupo de bits de código Gb3.

En un caso en donde el modo de modulación es 64 QAM y el múltiplo b es 2, los bits de símbolo de 6×2 (= mb) bits pueden dividirse en tres grupos de bits de símbolo Gy1, Gy2 y Gy3, según se ilustra en B de la Figura 56, sobre la base de las diferencias en la probabilidad de error.

En la referencia B de la Figura 56, similarmente a la referencia B de la Figura 53, los bits de símbolo y0, y1, y6, e y7 pertenecen al grupo de bits de símbolo Gy1, los bits de símbolo y2, y3, y8 e y9 pertenecen al grupo de bits de símbolo Gy2 y los bits de símbolo y4, y5, y10 e y11 pertenecen al grupo de bits de símbolo Gy3.

La Figura 57 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/3, el modo de modulación es 64 QAM y el múltiplo b es 2.

En la regla de asignación ilustrada en la Figura 57, la información del conjunto de grupos (Gb1, Gy1, 1), (Gb2, Gy3, 2), (Gb2, Gy1, 1), (Gb3, Gy3, 2), (Gb3, Gy2, 4) y (Gb3, Gy1, 2) se definen en este momento.

Dicho de otro modo, en la regla de asignación ilustrada en la Figura 57, en conformidad con la información del conjunto de grupos (Gb1, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb1 cuya probabilidad de error es la mejor a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, en conformidad con la información del conjunto de grupos (Gb2, Gy3, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor a dos bits de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor se define, en conformidad con la información del conjunto de grupos (Gb2, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor a un bit

de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, en conformidad con la información del conjunto de grupos (Gb3, Gy3, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor se define, en conformidad con la información del conjunto de grupos (Gb3, Gy2, 4), la asignación de cuatro bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a cuatro bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define, y, en conformidad con la información del conjunto de grupos (Gb3, Gy1, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define en este momento.

La Figura 58 ilustra, a modo de ejemplo, el intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 57.

Dicho de otro modo, la referencia A de la Figura 58 ilustra un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 57 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/3, el modo de modulación es 64 QAM y el múltiplo b es 2.

En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/3, el modo de modulación es 64 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(6 \times 2)) \times (6 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $6 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b0 a b11 de $6 \times 2 (= mb)$ bits en conformidad con la regla de asignación ilustrada en la Figura 57 de modo que los bits de código b0 a b11 de $6 \times 2 (= mb)$ bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en la referencia A de la Figura 58, asignados a bits de símbolo y0 a y11 de $6 \times 2 (= mb)$ bits de dos ($=b$) símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y11;

el bit de código b2 al bit de símbolo y1;

el bit de código b3 al bit de símbolo y10;

el bit de código b4 al bit de símbolo y4;

el bit de código b5 al bit de símbolo y8;

el bit de código b6 al bit de símbolo y2;

el bit de código b7 al bit de símbolo y9;

el bit de código b8 al bit de símbolo y3;

el bit de código b9 al bit de símbolo y7;

el bit de código b10 al bit de símbolo y5; y

el bit de código b11 al bit de símbolo y6.

La referencia B de la Figura 58 ilustra un segundo ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 57 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/3, el modo de modulación es 64 QAM y el múltiplo b es 2.

Según se ilustra en la referencia B de la Figura 58, la unidad de intercambio 32 realiza un proceso de intercambio para los bits de código b0 a b11 de $6 \times 2 (= mb)$ bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 57, en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y10;

el bit de código b2 al bit de símbolo y1;

el bit de código b3 al bit de símbolo y11;

el bit de código b4 al bit de símbolo y5;

el bit de código b5 al bit de símbolo y3;

el bit de código b6 al bit de símbolo y9;

el bit de código b7 al bit de símbolo y2;

el bit de código b8 al bit de símbolo y8;

el bit de código b9 al bit de símbolo y6;

el bit de código b10 al bit de símbolo y4; y

el bit de código b11 al bit de símbolo y7.

La Figura 59 es un diagrama que ilustra los grupos de bits de código y los grupos de bits de símbolo en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/12, el modo de modulación es 64 QAM y el múltiplo b es 2.

En este caso, los bits de código de 6×2 (= mb) bits leídos desde la memoria 31 pueden dividirse en tres grupos de bits de código Gb1, Gb2 y Gb3 según se ilustra en la referencia A de la Figura 59 sobre la base de las diferencias en la probabilidad de error.

En la referencia A de la Figura 59, un bit de código b0 pertenece al grupo de bits de código Gb1, los bits de código b1 a b4 pertenecen al grupo de bits de código Gb2 y los bits de código b5 a b11 pertenecen al grupo de bits de código Gb3.

En un caso en donde el modo de modulación es 64 QAM y el múltiplo b es 2, los bits de símbolo de 6×2 (= mb) bits pueden dividirse en tres grupos de bits de símbolo Gy1, Gy2 y Gy3, según se ilustra en la referencia B de la Figura 59, sobre la base de las diferencias en la probabilidad de error.

En la referencia B de la Figura 59, similarmente a la referencia B de la Figura 53, los bits de símbolo y0, y1, y6 e y7 pertenecen al grupo de bits de símbolo Gy1, los bits de símbolo y2, y3, y8 e y9 pertenecen al grupo de bits de símbolo Gy2 y los bits de símbolo y4, y5, y10 e y11 pertenecen al grupo de bits de símbolo Gy3.

La Figura 60 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/12, el modo de modulación es 64 QAM y el múltiplo b es 2.

En la regla de asignación ilustrada en la Figura 60, se define la información del conjunto de grupos (Gb1, Gy1, 1), (Gb2, Gy3, 3), (Gb2, Gy1, 1), (Gb3, Gy2, 4), (Gb3, Gy1, 2) y (Gb3, Gy3, 1)

Dicho de otro modo, en la regla de asignación ilustrada en la Figura 60, en conformidad con la información del conjunto de grupos (Gb1, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb1 cuya probabilidad de error es la mejor a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, en conformidad con la información del conjunto de grupos (Gb2, Gy3, 3), la asignación de tres bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor a tres bits de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor se define, en conformidad con la información del conjunto de grupos (Gb2, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor, se define, en conformidad con la información del conjunto de grupos (Gb3, Gy2, 4), la asignación de cuatro bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a cuatro bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb3, Gy1, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor, se define, y, en conformidad con la información del conjunto de grupos (Gb3, Gy3, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb3 cuya

probabilidad de error es la tercera mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor se define en este momento operativo.

La Figura 61 ilustra, a modo de ejemplo, el intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 60.

Dicho de otro modo, la referencia A de la Figura 61 ilustra un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 60 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/12, el modo de modulación es 64 QAM y el múltiplo b es 2.

En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/12, el modo de modulación es 64 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(6 \times 2)) \times (6 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $6 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b0 a b11 de $6 \times 2 (= mb)$ bits en conformidad con la regla de asignación ilustrada en la Figura 60 de modo que los bits de código b0 a b11 de $6 \times 2 (= mb)$ bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en la referencia A de la Figura 61, asignados a bits de símbolo y0 a y11 de $6 \times 2 (= mb)$ bits de dos (=b) símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y11;

el bit de código b2 al bit de símbolo y1;

el bit de código b3 al bit de símbolo y10;

el bit de código b4 al bit de símbolo y4;

el bit de código b5 al bit de símbolo y8;

el bit de código b6 al bit de símbolo y2;

el bit de código b7 al bit de símbolo y9;

el bit de código b8 al bit de símbolo y3;

el bit de código b9 al bit de símbolo y7;

el bit de código b10 al bit de símbolo y5; y

el bit de código b11 al bit de símbolo y6.

La referencia B de la Figura 61 ilustra un segundo ejemplo de intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 60 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/12, el modo de modulación es 64 QAM y el múltiplo b es 2.

Según se ilustra en la referencia B de la Figura 61, la unidad de intercambio 32 realiza un proceso de intercambio para los bits de código b0 a b11 de $6 \times 2 (= mb)$ bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 60, en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y4;

el bit de código b2 al bit de símbolo y1;

el bit de código b3 al bit de símbolo y11;

el bit de código b4 al bit de símbolo y10;

el bit de código b5 al bit de símbolo y3;

el bit de código b6 al bit de símbolo y9;

el bit de código b7 al bit de símbolo y2;

el bit de código b8 al bit de símbolo y8;

el bit de código b9 al bit de símbolo y6;

el bit de código b10 al bit de símbolo y5; y

el bit de código b11 al bit de símbolo y7.

La Figura 62 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolo en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/2, el modo de modulación es 64 QAM y el múltiplo b es 2.

En este caso, los bits de código de $6 \times 2 (= mb)$ bits leídos desde la memoria 31 pueden dividirse en tres grupos de bits de código Gb1, Gb2 y Gb3 según se ilustra en la referencia A de la Figura 62 sobre la base de las diferencias en la probabilidad de error.

En la referencia A de la Figura 62, un bit de código b0 pertenece al grupo de bits de código Gb1, los bits de código b1 a b5 pertenecen al grupo de bits de código Gb2 y los bits de código b6 a b11 pertenecen al grupo de bits de código Gb3.

En un caso en donde el modo de modulación es 64 QAM y el múltiplo b es 2, los bits de símbolo de $6 \times 2 (= mb)$ bits pueden dividirse en tres grupos de bits de símbolo Gy1, Gy2 y Gy3, según se ilustra en la referencia B de la Figura 62, sobre la base de las diferencias en la probabilidad de error.

En la referencia B de la Figura 62, similarmente a la referencia B de la Figura 53, los bits de símbolo y0, y1, y6 e y7 pertenecen al grupo de bits de símbolo Gy1, los bits de símbolo y2, y3, y8 e y9 pertenecen al grupo de bits de símbolo Gy2 y los bits de símbolo y4, y5, y10 e y11 pertenecen al grupo de bits de símbolo Gy3.

La Figura 63 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/2, el modo de modulación es 64 QAM y el múltiplo b es 2.

En la regla de asignación ilustrada en la Figura 63, se define la información del conjunto de grupos (Gb1, Gy1, 1), (Gb2, Gy3, 3), (Gb2, Gy1, 1), (Gb2, Gy2, 1), (Gb3, Gy2, 3), (Gb3, Gy1, 2) y (Gb3, Gy3, 1).

Dicho de otro modo, en la regla de asignación ilustrada en la Figura 63, en conformidad con la información del conjunto de grupos (Gb1, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb1 cuya probabilidad de error es la mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy3, 3), la asignación de tres bits de los bits de código del grupo de bits de código Gb2, cuya probabilidad de error es la segunda mejor, a tres bits de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb3, Gy2, 3), la asignación de tres bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a tres bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb3, Gy1, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, y, en conformidad con la información del conjunto de grupos (Gb3, Gy3, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor se define en esta instancia operativa.

La Figura 64 ilustra un ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 63.

Dicho de otro modo, la referencia A de la Figura 64 ilustra un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 63 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/2, el modo de modulación es 64 QAM y el múltiplo b es 2.

En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/2, el modo de modulación es 64 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(6 \times 2)) \times (6 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $6 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b0 a b11 de $6 \times 2 (= mb)$ bits en conformidad con la regla de asignación ilustrada en la Figura 63 de modo que los bits de código b0 a b11 de $6 \times 2 (= mb)$ bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en la referencia A de la Figura 64, asignados a bits de símbolo y0 a y11 de $6 \times 2 (= mb)$ bits de dos (=b) símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y11;

el bit de código b2 al bit de símbolo y1;

el bit de código b3 al bit de símbolo y10;

el bit de código b4 al bit de símbolo y4;

el bit de código b5 al bit de símbolo y8;

el bit de código b6 al bit de símbolo y2;

el bit de código b7 al bit de símbolo y9;

el bit de código b8 al bit de símbolo y3;

el bit de código b9 al bit de símbolo y7;

el bit de código b10 al bit de símbolo y5; y

el bit de código b11 al bit de símbolo y6.

La referencia B de la Figura 64 ilustra un segundo ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 63 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/2, el modo de modulación es 64 QAM y el múltiplo b es 2.

Según se ilustra en la referencia B de la Figura 64, la unidad de intercambio 32 realiza un proceso de intercambio para bits de código b0 a b11 de $6 \times 2 (= mb)$ bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 63, en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y4;

el bit de código b2 al bit de símbolo y1;

el bit de código b3 al bit de símbolo y11;

el bit de código b4 al bit de símbolo y10;

el bit de código b5 al bit de símbolo y8;

el bit de código b6 al bit de símbolo y9;

el bit de código b7 al bit de símbolo y2;

el bit de código b8 al bit de símbolo y3;

5 el bit de código b9 al bit de símbolo y7;

el bit de código b10 al bit de símbolo y5; y

el bit de código b11 al bit de símbolo y6.

10 La Figura 65 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolo en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 7/12, el modo de modulación es 64 QAM y el múltiplo b es 2.

15 En este caso, los bits de código de $6 \times 2 (= mb)$ bits leídos desde la memoria 31 pueden dividirse en tres grupos de bits de código Gb1, Gb2 y Gb3 según se ilustra en la referencia A de la Figura 65 sobre la base de las diferencias en la probabilidad de error.

20 En la referencia A de la Figura 65, un bit de código b0 pertenece al grupo de bits de código Gb1, los bits de código b1 a b6 pertenecen al grupo de bits de código Gb2 y los bits de código b7 a b11 pertenecen al grupo de bits de código Gb3.

25 En un caso en donde el modo de modulación es 64 QAM y el múltiplo b es 2, los bits de símbolo de $6 \times 2 (= mb)$ bits pueden dividirse en tres grupos de bits de símbolo Gy1, Gy2 y Gy3, según se ilustra en B de la Figura 65, sobre la base de las diferencias en la probabilidad de error.

30 En la referencia B de la Figura 65, similarmente a la referencia B de la Figura 53, los bits de símbolo y0, y1, y6 e y7 pertenecen al grupo de bits de símbolo Gy1, los bits de símbolo y2, y3, y8 e y9 pertenecen al grupo de bits de símbolo Gy2 y los bits de símbolo y4, y5, y10 e y11 pertenecen al grupo de bits de símbolo Gy3.

La Figura 66 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 7/12, el modo de modulación es 64 QAM y el múltiplo b es 2.

35 En la regla de asignación ilustrada en la Figura 66, se define la información del conjunto de grupos (Gb1, Gy1, 1), (Gb2, Gy3, 3), (Gb2, Gy1, 1), (Gb2, Gy2, 2), (Gb3, Gy2, 2), (Gb3, Gy1, 2) y (Gb3, Gy3, 1).

Dicho de otro modo, en la regla de asignación ilustrada en la Figura 66, en conformidad con la información del conjunto de grupos (Gb1, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb1, cuya probabilidad de error es la mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy3, 3), la asignación de tres bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor a tres bits de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, en conformidad con la información del conjunto de grupos (Gb2, Gy2, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb3, Gy2, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb3, Gy1, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor, se define y, en conformidad con la información del conjunto de grupos (Gb3, Gy3, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor se define.

60 La Figura 67 ilustra un ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 66.

Dicho de otro modo, la referencia A de la Figura 67 ilustra un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 66 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 7/12, el modo de modulación es 64 QAM y el múltiplo b es 2.

En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 7/12, el modo de modulación es 64 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(6 \times 2)) \times (6 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de 6×2 (= mb) bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b0 a b11 de 6×2 (= mb) bits en conformidad con la regla de asignación ilustrada en la Figura 66 de modo que los bits de código b0 a b11 de 6×2 (= mb) bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en la referencia A de la Figura 67, asignados a bits de símbolo y0 a y11 de 6×2 (= mb) bits de dos (=b) símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y11;

el bit de código b2 al bit de símbolo y1;

el bit de código b3 al bit de símbolo y10;

el bit de código b4 al bit de símbolo y4;

el bit de código b5 al bit de símbolo y8;

el bit de código b6 al bit de símbolo y2;

el bit de código b7 al bit de símbolo y9;

el bit de código b8 al bit de símbolo y3;

el bit de código b9 al bit de símbolo y7;

el bit de código b10 al bit de símbolo y5; y

el bit de código b11 al bit de símbolo y6.

La referencia B de la Figura 67 ilustra un segundo ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 66 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 7/12, el modo de modulación es 64 QAM y el múltiplo b es 2.

Según se ilustra en la referencia B de la Figura 67, la unidad de intercambio 32 realiza un proceso de intercambio para bits de código b0 a b11 de 6×2 (= mb) bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 66, en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y4;

el bit de código b2 al bit de símbolo y1;

el bit de código b3 al bit de símbolo y11;

el bit de código b4 al bit de símbolo y10;

el bit de código b5 al bit de símbolo y2;

el bit de código b6 al bit de símbolo y8;

el bit de código b7 al bit de símbolo y3;

el bit de código b8 al bit de símbolo y9;

el bit de código b9 al bit de símbolo y7;

el bit de código b10 al bit de símbolo y5; y

el bit de código b11 al bit de símbolo y6.

La Figura 68 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolo en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 2/3, el modo de modulación es 64 QAM y el múltiplo b es 2.

En este caso, los bits de código de $6 \times 2 (= mb)$ bits leídos desde la memoria 31 pueden dividirse en tres grupos de bits de código Gb1, Gb2 y Gb3 según se ilustra en la referencia A de la Figura 68 sobre la base de las diferencias en la probabilidad de error.

En la referencia A de la Figura 68, un bit de código b0 pertenece al grupo de bits de código Gb1, los bits de código b1 a b7 pertenecen al grupo de bits de código Gb2 y los bits de código b8 a b11 pertenecen al grupo de bits de código Gb3.

En un caso en donde el modo de modulación es 64 QAM y el múltiplo b es 2, los bits de símbolo de $6 \times 2 (= mb)$ bits pueden dividirse en tres grupos de bits de símbolo Gy1, Gy2 y Gy3, según se ilustra en la referencia B de la Figura 68, sobre la base de las diferencias en la probabilidad de error.

En la referencia B de la Figura 68, similarmente a la referencia B de la Figura 53, los bits de símbolo y0, y1, y6 e y7 pertenecen al grupo de bits de símbolo Gy1, los bits de símbolo y2, y3, y8, e y9 pertenecen al grupo de bits de símbolo Gy2 y los bits de símbolo y4, y5, y10 e y11 pertenecen al grupo de bits de símbolo Gy3.

La Figura 69 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 2/3, el modo de modulación es 64 QAM y el múltiplo b es 2.

En la regla de asignación ilustrada en la Figura 69, se define la información del conjunto de grupos (Gb1, Gy2, 1), (Gb2, Gy2, 1), (Gb2, Gy3, 3), (Gb2, Gy1, 3), (Gb3, Gy3, 1), (Gb3, Gy2, 2) y (Gb3, Gy1, 1).

Dicho de otro modo, en la regla de asignación ilustrada en la Figura 69, en conformidad con la información del conjunto de grupos (Gb1, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb1 cuya probabilidad de error es la mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy3, 3), la asignación de tres bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, de los tres bits de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor se define, en conformidad con la información del conjunto de grupos (Gb2, Gy1, 3), la asignación de tres bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor de los tres bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, en conformidad con la información del conjunto de grupos (Gb3, Gy3, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor se define, en conformidad con la información del conjunto de grupos (Gb3, Gy2, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define, y, en conformidad con la información del conjunto de grupos (Gb3, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define en esta instancia operativa.

La Figura 70 ilustra un ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 69.

Dicho de otro modo, la referencia A de la Figura 70 ilustra un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 69 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 2/3, el modo de modulación es 64 QAM y el múltiplo b es 2.

En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 2/3, el modo de modulación es 64 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(6 \times 2)) \times (6 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $6 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b0 a b11 de $6 \times 2 (= mb)$ bits en conformidad con la regla de asignación ilustrada en la Figura 69 de modo que los bits s de códigos b0 a b11 de $6 \times 2 (= mb)$ bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en A de la Figura 70, asignados a bits de símbolo y0 a y11 de $6 \times 2 (= mb)$ bits de dos (=b) símbolos.

- 5 Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:
- el bit de código b0 se asigna al bit de símbolo y2;
 - 10 el bit de código b1 al bit de símbolo y8;
 - el bit de código b2 al bit de símbolo y5;
 - el bit de código b3 al bit de símbolo y11;
 - 15 el bit de código b4 al bit de símbolo y0;
 - el bit de código b5 al bit de símbolo y6;
 - 20 el bit de código b6 al bit de símbolo y1;
 - el bit de código b7 al bit de símbolo y10;
 - el bit de código b8 al bit de símbolo y4;
 - 25 el bit de código b9 al bit de símbolo y9;
 - el bit de código b10 al bit de símbolo y3; y
 - 30 el bit de código b11 al bit de símbolo y7.

La referencia B de la Figura 70 ilustra un segundo ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 69 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 2/3, el modo de modulación es 64 QAM y el múltiplo b es 2.

- 35 Según se ilustra en la referencia B de la Figura 70, la unidad de intercambio 32 realiza un proceso de intercambio para bits de código b0 a b11 de $6 \times 2 (= mb)$ bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 69, en donde:
- 40 el bit de código b0 se asigna al bit de símbolo y2;
 - el bit de código b1 al bit de símbolo y8;
 - el bit de código b2 al bit de símbolo y11;
 - 45 el bit de código b3 al bit de símbolo y5;
 - el bit de código b4 al bit de símbolo y0;
 - 50 el bit de código b5 al bit de símbolo y6;
 - el bit de código b6 al bit de símbolo y1;
 - el bit de código b7 al bit de símbolo y10;
 - 55 el bit de código b8 al bit de símbolo y4;
 - el bit de código b9 al bit de símbolo y3;
 - 60 el bit de código b10 al bit de símbolo y9; y
 - el bit de código b11 al bit de símbolo y7.

- 65 La Figura 71 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolo en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 3/4, el modo de modulación es 64 QAM y el múltiplo b es 2.

En este caso, el bit de código de $6 \times 2 (= mb)$ bits leídos desde la memoria 31 pueden dividirse en tres grupos de bits de código Gb1, Gb2 y Gb3 según se ilustra en A de la Figura 71 sobre la base de las diferencias en la probabilidad de error.

En la referencia A de la Figura 71, un bit de código b0 pertenece al grupo de bits de código Gb1, los bits de código b1 a b8 pertenecen al grupo de bits de código Gb2 y los bits de código b9 a b11 pertenecen al grupo de bits de código Gb3.

En un caso en donde el modo de modulación es 64 QAM y el múltiplo b es 2, los bits de símbolo de $6 \times 2 (= mb)$ bits pueden dividirse en tres grupos de bits de símbolo Gy1, Gy2 y Gy3, según se ilustra en la referencia B de la Figura 71, sobre la base de las diferencias en la probabilidad de error.

En la referencia B de la Figura 71, similarmente a la referencia B de la Figura 53, los bits de símbolo y0, y1, y6 e y7 pertenecen al grupo de bits de símbolo Gy1, los bits de símbolo y2, y3, y8 e y9 pertenecen al grupo de bits de símbolo Gy2 y los bits de símbolo y4, y5, y10 e y11 pertenecen al grupo de bits de símbolo Gy3.

La Figura 72 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 3/4, el modo de modulación es 64 QAM y el múltiplo b es 2.

En la regla de asignación ilustrada en la Figura 72, se define la información del conjunto de grupos (Gb1, Gy2, 1), (Gb2, Gy2, 1), (Gb2, Gy3, 4), (Gb2, Gy1, 3), (Gb3, Gy2, 2) y (Gb3, Gy1, 1).

Dicho de otro modo, en la regla de asignación ilustrada en la Figura 72, en conformidad con la información del conjunto de grupos (Gb1, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb1 cuya probabilidad de error es la mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy3, 4), la asignación de cuatro bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a cuatro bits de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy1, 3), la asignación de tres bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a tres bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor, se define, en conformidad con la información del conjunto de grupos (Gb3, Gy2, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define, y, en conformidad con la información del conjunto de grupos (Gb3, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define.

La Figura 73 ilustra un ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 72.

Dicho de otro modo, la referencia A de la Figura 73 ilustra un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 72 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 3/4, el modo de modulación es 64 QAM y el múltiplo b es 2.

En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 3/4, el modo de modulación es 64 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(6 \times 2)) \times (6 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $6 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b0 a b11 de $6 \times 2 (= mb)$ bits en conformidad con la regla de asignación ilustrada en la Figura 72 de modo que los bits de código b0 a b11 de $6 \times 2 (= mb)$ bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en la referencia A de la Figura 73, asignados a bits de símbolo y0 a y11 de $6 \times 2 (= mb)$ bits de dos (=b) símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b0 se asigna al bit de símbolo y2;

el bit de código b1 al bit de símbolo y8;

el bit de código b2 al bit de símbolo y5;

5 el bit de código b3 al bit de símbolo y11;

el bit de código b4 al bit de símbolo y0;

el bit de código b5 al bit de símbolo y6;

10 el bit de código b6 al bit de símbolo y1;

el bit de código b7 al bit de símbolo y10;

15 el bit de código b8 al bit de símbolo y4;

el bit de código b9 al bit de símbolo y9;

el bit de código b10 al bit de símbolo y3; y

20 el bit de código b11 al bit de símbolo y7.

La referencia B de la Figura 73 ilustra una segunda bits de código en conformidad con la regla de asignación ilustrada en la Figura 72 En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 3/4, el modo de modulación es 64 QAM y el múltiplo b es 2.

25

Según se ilustra en B de la Figura 73, la unidad de intercambio 32 realiza un proceso de intercambio para bits de código b0 a b11 de 6×2 (= mb) bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 72, en el que:

30

el bit de código b0 se asigna al bit de símbolo y2;

el bit de código b1 al bit de símbolo y8;

35 el bit de código b2 al bit de símbolo y4;

el bit de código b3 al bit de símbolo y10;

el bit de código b4 al bit de símbolo y1;

40 el bit de código b5 al bit de símbolo y0;

el bit de código b6 al bit de símbolo y6;

45 el bit de código b7 al bit de símbolo y11;

el bit de código b8 al bit de símbolo y5;

el bit de código b9 al bit de símbolo y3;

50 el bit de código b10 al bit de símbolo y9; y

el bit de código b11 al bit de símbolo y7.

55 La Figura 74 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolo en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/6, el modo de modulación es 64 QAM y el múltiplo b es 2.

En este caso, los bits de código de 6×2 (= mb) bits leídos desde la memoria 31 pueden dividirse en tres grupos de bits de código Gb1, Gb2 y Gb3 según se ilustra en la referencia A de la Figura 74 sobre la base de las diferencias en la probabilidad de error.

60

En la referencia A de la Figura 74, los bits de código b0 y b1 pertenecen al grupo de bits de código Gb1, los bits de código b2 a b9 pertenecen al grupo de bits de código Gb2 y los bits de código b10 y b11 pertenecen al grupo de bits de código Gb3.

65

En un caso en donde el modo de modulación es 64 QAM y el múltiplo b es 2, los bits de símbolo de $6 \times 2 (= mb)$ bits pueden dividirse en tres grupos de bits de símbolo Gy1, Gy2 y Gy3, según se ilustra en la referencia B de la Figura 74, sobre la base de las diferencias en la probabilidad de error.

- 5 En la referencia B de la Figura 74, similarmente a la referencia B de la Figura 53, los bits de símbolo y0, y1, y6 e y7 pertenecen al grupo de bits de símbolo Gy1, los bits de símbolo y2, y3, y8 e y9 pertenecen al grupo de bits de símbolo Gy2 y los bits de símbolo y4, y5, y10 e y11 pertenecen al grupo de bits de símbolo Gy3.

- 10 La Figura 75 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/6, el modo de modulación es 64 QAM y el múltiplo b es 2.

En la regla de asignación ilustrada en la Figura 75, se define la información del conjunto de grupos (Gb1, Gy2, 2), (Gb2, Gy3, 4), (Gb2, Gy1, 3), (Gb2, Gy2, 1), (Gb3, Gy2, 1) y (Gb3, Gy1, 1).

- 15 Dicho de otro modo, en la regla de asignación ilustrada en la Figura 75, en conformidad con la información del conjunto de grupos (Gb1, Gy2, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb1 cuya probabilidad de error es la mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy3, 4), la asignación de cuatro bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a cuatro bits de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy1, 3), la asignación de tres bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a tres bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb3, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define, y, en conformidad con la información del conjunto de grupos (Gb3, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define.

- 35 La Figura 76 ilustra un ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 75.

- 40 Dicho de otro modo, la referencia A de la Figura 76 ilustra un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 75 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/6, el modo de modulación es 64 QAM y el múltiplo b es 2.

- 45 En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/6, el modo de modulación es 64 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(6 \times 2)) \times (6 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $6 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

- 50 La unidad de intercambio 32 intercambia los bits de código b0 a b11 de $6 \times 2 (= mb)$ bits en conformidad con la regla de asignación ilustrada en la Figura 75 de modo que los bits de código b0 a b11 de $6 \times 2 (= mb)$ bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en la referencia A de la Figura 76, asignados a bits de símbolo y0 e y11 de $6 \times 2 (= mb)$ bits de dos ($=b$) símbolos.

- 55 Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b0 se asigna al bit de símbolo y2;

el bit de código b1 al bit de símbolo y8;

- 60 el bit de código b2 al bit de símbolo y5;

el bit de código b3 al bit de símbolo y11;

el bit de código b4 al bit de símbolo y0;

- 65 el bit de código b5 al bit de símbolo y6;

el bit de código b6 al bit de símbolo y1;

el bit de código b7 al bit de símbolo y10;

5

el bit de código b8 al bit de símbolo y4;

el bit de código b9 al bit de símbolo y9;

10

el bit de código b10 al bit de símbolo y3; y

el bit de código b11 al bit de símbolo y7.

15

La referencia B de la Figura 76 ilustra un segundo ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 75 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/6, el modo de modulación es 64 QAM y el múltiplo b es 2.

20

Según se ilustra en la referencia B de la Figura 76, la unidad de intercambio 32 realiza un proceso de intercambio para bits de código b0 a b11 de $6 \times 2 (= mb)$ bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 75, en donde:

el bit de código b0 se asigna al bit de símbolo y8;

25

el bit de código b1 al bit de símbolo y2;

el bit de código b2 al bit de símbolo y4;

30

el bit de código b3 al bit de símbolo y10;

el bit de código b4 al bit de símbolo y6;

el bit de código b5 al bit de símbolo y0;

35

el bit de código b6 al bit de símbolo y1;

el bit de código b7 al bit de símbolo y11;

40

el bit de código b8 al bit de símbolo y5;

el bit de código b9 al bit de símbolo y9;

el bit de código b10 al bit de símbolo y3; y

45

el bit de código b11 al bit de símbolo y7.

50

La Figura 77 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolos en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 11/12, el modo de modulación es 64 QAM y el múltiplo b es 2.

En este caso, los bits de código de $6 \times 2 (= mb)$ bits leídos desde la memoria 31 pueden dividirse en tres grupos de bits de código Gb1, Gb2 y Gb3 según se ilustra en la referencia A de la Figura 77 sobre la base de las diferencias en la probabilidad de error.

55

En la referencia A de la Figura 77, un bit de código b0 pertenece al grupo de bits de código Gb1, los bits de código b1 a b10 pertenecen al grupo de bits de código Gb2 y un bit de código b11 pertenece al grupo de bits de código Gb3.

60

En un caso en donde el modo de modulación es 64 QAM y el múltiplo b es 2, los bits de símbolo de $6 \times 2 (= mb)$ bits pueden dividirse en tres grupos de bits de símbolo Gy1, Gy2 y Gy3, según se ilustra en la referencia B de la Figura 77, sobre la base de las diferencias en la probabilidad de error.

65

En la referencia B de la Figura 77, similarmente a la referencia B de la Figura 53, los bits de símbolo y0, y1, y6 e y7 pertenecen al grupo de bits de símbolo Gy1, los bits de símbolo y2, y3, y8 e y9 pertenecen al grupo de bits de símbolo Gy2 y los bits de símbolo y4, y5, y10 e y11 pertenecen al grupo de bits de símbolo Gy3.

La Figura 78 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 11/12, el modo de modulación es 64 QAM y el múltiplo b es 2.

- 5 En la regla de asignación ilustrada en la Figura 78, se define la información del conjunto de grupos (Gb1, Gy2, 1), (Gb2, Gy2, 3), (Gb2, Gy3, 4), (Gb2, Gy1, 3), (Gb3, Gy1, 1).

10 Dicho de otro modo, en la regla de asignación ilustrada en la Figura 78, en conformidad con la información del conjunto de grupos (Gb1, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb1 cuya probabilidad de error es la mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy2, 3), la asignación de tres bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a tres bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy3, 4), la asignación de cuatro bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a cuatro bits de los bits de símbolo del grupo de bits de símbolo Gy3 cuya probabilidad de error es la tercera mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy1, 3), la asignación de tres bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a tres bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, y, en conformidad con la información del conjunto de grupos (Gb3, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define.

25 La Figura 79 ilustra un ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 78.

30 Dicho de otro modo, la referencia A de la Figura 79 ilustra un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 78 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 11/12, el modo de modulación es 64 QAM y el múltiplo b es 2.

35 En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 11/12, el modo de modulación es 64 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(6 \times 2)) \times (6 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $6 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

40 La unidad de intercambio 32 intercambia los bits de código b_0 a b_{11} de $6 \times 2 (= mb)$ bits en conformidad con la regla de asignación ilustrada en la Figura 78 de modo que los bits de código b_0 a b_{11} de $6 \times 2 (= mb)$ bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en la referencia A de la Figura 79, asignados a bits de símbolo y_0 a y_{11} de $6 \times 2 (= mb)$ bits de dos ($=b$) símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

45 el bit de código b_0 se asigna al bit de símbolo y_2 ;

el bit de código b_1 al bit de símbolo y_8 ;

el bit de código b_2 al bit de símbolo y_5 ;

50 el bit de código b_3 al bit de símbolo y_{11} ;

el bit de código b_4 al bit de símbolo y_0 ;

55 el bit de código b_5 al bit de símbolo y_6 ;

el bit de código b_6 al bit de símbolo y_1 ;

el bit de código b_7 al bit de símbolo y_{10} ;

60 el bit de código b_8 al bit de símbolo y_4 ;

el bit de código b_9 al bit de símbolo y_9 ;

65 el bit de código b_{10} al bit de símbolo y_3 ; y

el bit de código b11 al bit de símbolo y7.

La referencia B de la Figura 79 ilustra un segundo ejemplo de intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 78 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 11/12, el modo de modulación es 64 QAM y el múltiplo b es 2.

Según se ilustra en la referencia B de la Figura 79, la unidad de intercambio 32 realiza un proceso de intercambio para bits de código b0 a b11 de $6 \times 2 (= mb)$ bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 78, en donde:

el bit de código b0 se asigna al bit de símbolo y2;

el bit de código b1 al bit de símbolo y3;

el bit de código b2 al bit de símbolo y10;

el bit de código b3 al bit de símbolo y4;

el bit de código b4 al bit de símbolo y6;

el bit de código b5 al bit de símbolo y1;

el bit de código b6 al bit de símbolo y0;

el bit de código b7 al bit de símbolo y11;

el bit de código b8 al bit de símbolo y5;

el bit de código b9 al bit de símbolo y8;

el bit de código b10 al bit de símbolo y9; y

el bit de código b11 al bit de símbolo y7.

La Figura 80 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolos en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/4, el modo de modulación es 16 QAM y el múltiplo b es 2.

En este caso, los bits de código de $4 \times 2 (= mb)$ bits leídos desde la memoria 31 pueden dividirse en tres grupos de bits de código Gb1, Gb2 y Gb3 según se ilustra en la referencia A de la Figura 80 sobre la base de las diferencias en la probabilidad de error.

En la referencia A de la Figura 80, un bit de código b0 pertenece al grupo de bits de código Gb1, un bit de código b1 pertenece al grupo de bits de código Gb2 y los bits de código b2 a b7 pertenecen al grupo de bits de código Gb3.

En un caso en donde el modo de modulación es 16 QAM y el múltiplo b es 2, los bits de símbolo de $4 \times 2 (= mb)$ bits pueden dividirse en dos grupos de bits de símbolos Gy1 y Gy2, según se ilustra en la referencia B de la Figura 80, sobre la base de las diferencias en la probabilidad de error.

En la referencia B de la Figura 80, los bits de símbolo y0, y1, y4 e y5 pertenecen al grupo de bits de símbolo Gy1 y los bits de símbolo y2, y3, y6 e y7 pertenecen al grupo de bits de símbolo Gy2.

La Figura 81 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/4, el modo de modulación es 16 QAM y el múltiplo b es 2.

En la regla de asignación ilustrada en la Figura 81, se define la información del conjunto de grupos (Gb1, Gy2, 1), (Gb2, Gy2, 1), (Gb3, Gy2, 2) y (Gb3, Gy1, 4).

Dicho de otro modo, en la regla de asignación ilustrada en la Figura 81, en conformidad con la información del conjunto de grupos (Gb1, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb1 cuya probabilidad de error es la mejor a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb3, Gy2, 2), la asignación de dos bits

de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define, y, en conformidad con la información del conjunto de grupos (Gb3, Gy1, 4), la asignación de cuatro bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a cuatro bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define.

La Figura 82 ilustra un ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 81.

Dicho de otro modo, la referencia A de la Figura 82 ilustra bits de código en conformidad con la regla de asignación ilustrada en la Figura 81 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/4, el modo de modulación es 16 QAM y el múltiplo b es 2.

En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/4, el modo de modulación es 16 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(4 \times 2)) \times (4 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $4 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b0 a b7 de $4 \times 2 (= mb)$ bits en conformidad con la regla de asignación ilustrada en la Figura 81 de modo que los bits de código b0 a b7 de $4 \times 2 (= mb)$ bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en la referencia A de la Figura 82, asignados a bits de símbolo y0 a y7 de $4 \times 2 (= mb)$ bits de dos (=b) símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b0 se asigna al bit de símbolo y7;

el bit de código b1 al bit de símbolo y6;

el bit de código b2 al bit de símbolo y4;

el bit de código b3 al bit de símbolo y3;

el bit de código b4 al bit de símbolo y2;

el bit de código b5 al bit de símbolo y5;

el bit de código b6 al bit de símbolo y1; y

el bit de código b7 al bit de símbolo y0.

La referencia B de la Figura 82 ilustra un segundo ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 81 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/4, el modo de modulación es 16 QAM y el múltiplo b es 2.

Según se ilustra en la referencia B de la Figura 82, la unidad de intercambio 32 realiza un proceso de intercambio para bits de código b0 a b7 de $4 \times 2 (= mb)$ bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 81, en donde:

el bit de código b0 se asigna al bit de símbolo y7;

el bit de código b1 al bit de símbolo y6;

el bit de código b2 al bit de símbolo y1;

el bit de código b3 al bit de símbolo y2;

el bit de código b4 al bit de símbolo y3;

el bit de código b5 al bit de símbolo y4;

el bit de código b6 al bit de símbolo y0; y

el bit de código b7 al bit de símbolo y5.

La Figura 83 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolos en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de $1/3$, el modo de modulación es 16 QAM y el múltiplo b es 2.

En este caso, los bits de código de $4 \times 2 (= mb)$ bits leídos desde la memoria 31 pueden dividirse en cuatro grupos de bits de código $Gb1$, $Gb2$, $Gb3$ y $Gb4$ según se ilustra en la referencia A de la Figura 83 sobre la base de las diferencias en la probabilidad de error.

En la referencia A de la Figura 83, un bit de código $b0$ pertenece al grupo de bits de código $Gb1$, un bit de código $b1$ pertenece al grupo de bits de código $Gb2$, un bit de código $b2$ pertenece al grupo de bits de código $Gb3$ y los bits de código $b3$ a $b7$ pertenecen al grupo de bits de código $Gb4$.

En un caso en donde el modo de modulación es 16 QAM y el múltiplo b es 2, los bits de símbolo de $4 \times 2 (= mb)$ bits pueden dividirse en dos grupos de bits de símbolos $Gy1$ y $Gy2$, según se ilustra en la referencia B de la Figura 83, sobre la base de las diferencias en la probabilidad de error.

En la referencia B de la Figura 83, similarmente al caso de la referencia B de la Figura 80, los bits de símbolo $y0$, $y1$, $y4$ e $y5$ pertenecen al grupo de bits de símbolo $Gy1$ y los bits de símbolo $y2$, $y3$, $y6$ e $y7$ pertenecen al grupo de bits de símbolo $Gy2$.

La Figura 84 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de $1/3$, el modo de modulación es 16 QAM y el múltiplo b es 2.

En la regla de asignación ilustrada en la Figura 84, se define la información del conjunto de grupos ($Gb1$, $Gy2$, 1), ($Gb2$, $Gy2$, 1), ($Gb3$, $Gy1$, 1), ($Gb4$, $Gy2$, 2) y ($Gb4$, $Gy1$, 3).

Dicho de otro modo, en la regla de asignación ilustrada en la Figura 84, en conformidad con la información del conjunto de grupos ($Gb1$, $Gy2$, 1), la asignación de un bit de los bits de código del grupo de bits de código $Gb1$ cuya probabilidad de error es la mejor a un bit de los bits de símbolo del grupo de bits de símbolo $Gy2$ cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos ($Gb2$, $Gy2$, 1), la asignación de un bit de los bits de código del grupo de bits de código $Gb2$ cuya probabilidad de error es la segunda mejor a un bit de los bits de símbolo del grupo de bits de símbolo $Gy2$ cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos ($Gb3$, $Gy1$, 1), la asignación de un bit de los bits de código del grupo de bits de código $Gb3$ cuya probabilidad de error es la tercera mejor, a un bit de los bits de símbolo del grupo de bits de símbolo $Gy1$ cuya probabilidad de error es la mejor, se define, en conformidad con la información del conjunto de grupos ($Gb4$, $Gy2$, 2), la asignación de dos bits de los bits de código del grupo de bits de código $Gb4$ cuya probabilidad de error es la cuarta mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo $Gy2$ cuya probabilidad de error es la segunda mejor, se define, y, en conformidad con la información del conjunto de grupos ($Gb4$, $Gy1$, 3), la asignación de tres bits de los bits de código del grupo de bits de código $Gb4$ de cuya probabilidad de error es la cuarta mejor, a tres bits de los bits de símbolo del grupo de bits de símbolo $Gy1$ cuya probabilidad de error es la mejor se define.

La Figura 85 ilustra un ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 84.

Dicho de otro modo, la referencia A de la Figura 85 ilustra un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 84 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de $1/3$, el modo de modulación es 16 QAM y el múltiplo b es 2.

En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de $1/3$, el modo de modulación es 16 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(4 \times 2)) \times (4 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $4 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código $b0$ a $b7$ de $4 \times 2 (= mb)$ bits en conformidad con la regla de asignación ilustrada en la Figura 84 de modo que los bits de código $b0$ a $b7$ de $4 \times 2 (= mb)$ bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en la referencia A de la Figura 85, asignados a bits de símbolo $y0$ a $y7$ de $4 \times 2 (= mb)$ bits de dos $(=b)$ símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código $b0$ se asigna al bit de símbolo $y7$;

el bit de código b1 al bit de símbolo y6;

el bit de código b2 al bit de símbolo y4;

5

el bit de código b3 al bit de símbolo y3;

el bit de código b4 al bit de símbolo y2;

10

el bit de código b5 al bit de símbolo y5;

el bit de código b6 al bit de símbolo y1; y

el bit de código b7 al bit de símbolo y0.

15

La referencia B de la Figura 85 ilustra un segundo ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 84 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/3, el modo de modulación es 16 QAM y el múltiplo b es 2.

20

Según se ilustra en la referencia B Figura 85, la unidad de intercambio 32 realiza un proceso de intercambio para bits de código b0 a b7 de 4×2 (= mb) bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 84, en donde:

25

el bit de código b0 se asigna al bit de símbolo y7;

el bit de código b1 al bit de símbolo y6;

el bit de código b2 al bit de símbolo y4;

30

el bit de código b3 al bit de símbolo y2;

el bit de código b4 al bit de símbolo y3;

35

el bit de código b5 al bit de símbolo y0;

el bit de código b6 al bit de símbolo y5; y

el bit de código b7 al bit de símbolo y1.

40

La Figura 86 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolos en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/12, el modo de modulación es 16 QAM y el múltiplo b es 2.

45

En este caso, los bits de código de 4×2 (= mb) bits leídos desde la memoria 31 pueden dividirse en cuatro grupos de bits de código Gb1, Gb2, Gb3 y Gb4 según se ilustra en la referencia A de la Figura 86 sobre la base de las diferencias en la probabilidad de error.

50

En la referencia A de la Figura 86, un bit de código b0 pertenece al grupo de bits de código Gb1, los bits de código b1 y b2 pertenecen al grupo de bits de código Gb2, un bit de código b3 pertenece al grupo de bits de código Gb3 y los bits de código b4 a b7 pertenecen al grupo de bits de código Gb4.

55

En un caso en donde el modo de modulación es 16 QAM y el múltiplo b es 2, los bits de símbolo de 4×2 (= mb) bits pueden dividirse en dos grupos de bits de símbolos Gy1 y Gy2, según se ilustra en la referencia B de la Figura 86, sobre la base de las diferencias en la probabilidad de error.

60

En la referencia B de la Figura 86, similarmente al caso de la referencia B de la Figura 80, los bits de símbolo y0, y1, y4 e y5 pertenecen al grupo de bits de símbolo Gy1 y los bits de símbolo y2, y3, y6 e y7 pertenecen al grupo de bits de símbolo Gy2.

65

La Figura 87 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/12, el modo de modulación es 16 QAM y el múltiplo b es 2.

65

En la regla de asignación ilustrada en la Figura 87, se define la información del conjunto de grupos (Gb1, Gy1, 1), (Gb2, Gy1, 1), (Gb2, Gy2, 1), (Gb3, Gy2, 1), (Gb4, Gy1, 2) y (Gb4, Gy2, 2).

Dicho de otro modo, en la regla de asignación ilustrada en la Figura 87, en conformidad con la información del conjunto de grupos (Gb1, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb1 cuya probabilidad de error es la mejor a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, en conformidad con la información del conjunto de grupos (Gb2, Gy2, 1), la asignación de un bit del bit de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define, en conformidad con la información del conjunto de grupos (Gb3, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define, en conformidad con la información del conjunto de grupos (Gb4, Gy1, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb4 cuya probabilidad de error es la cuarta mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, y, en conformidad con la información del conjunto de grupos (Gb4, Gy2, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb4 cuya probabilidad de error es la cuarta mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define.

La Figura 88 ilustra un ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 87.

Dicho de otro modo, la referencia A de la Figura 88 ilustra bits de código en conformidad con la regla de asignación ilustrada en la Figura 87 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/12, el modo de modulación es 16 QAM y el múltiplo b es 2.

En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/12, el modo de modulación es 16 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(4 \times 2)) \times (4 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $4 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b0 a b7 de $4 \times 2 (= mb)$ bits en conformidad con la regla de asignación ilustrada en la Figura 87 de modo que los bits de código b0 a b7 de $4 \times 2 (= mb)$ bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en la referencia A de la Figura 88, asignados a bits de símbolo y0 a y7 de $4 \times 2 (= mb)$ bits de dos $(=b)$ símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:
el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y4;

el bit de código b2 al bit de símbolo y2;

el bit de código b3 al bit de símbolo y6;

el bit de código b4 al bit de símbolo y1;

el bit de código b5 al bit de símbolo y5;

el bit de código b6 al bit de símbolo y3; y

el bit de código b7 al bit de símbolo y7.

La referencia B de la Figura 88 ilustra un segundo ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 87 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/12, el modo de modulación es 16 QAM y el múltiplo b es 2.

Según se ilustra en la referencia B de la Figura 88, la unidad de intercambio 32 realiza un proceso de intercambio para bits de código b0 a b7 de $4 \times 2 (= mb)$ bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 87, en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y4;

el bit de código b2 al bit de símbolo y2;

5 el bit de código b3 al bit de símbolo y6;

el bit de código b4 al bit de símbolo y5;

el bit de código b5 al bit de símbolo y1;

10 el bit de código b6 al bit de símbolo y3; y

el bit de código b7 al bit de símbolo y7.

15 La Figura 89 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolos en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/2, el modo de modulación es 16 QAM y el múltiplo b es 2.

20 En este caso, los bits de código de $4 \times 2 (= mb)$ bits leídos desde la memoria 31 pueden dividirse en tres grupos de bits de código Gb1, Gb2 y Gb3 según se ilustra en la referencia A de la Figura 89 sobre la base de las diferencias en la probabilidad de error.

25 En la referencia A de la Figura 89, un bit de código b0 pertenece al grupo de bits de código Gb1, los bits de código b1 a b3 pertenecen al grupo de bits de código Gb2 y los bits de código b4 a b7 pertenecen al grupo de bits de código Gb3.

30 En un caso en donde el modo de modulación es 16 QAM y el múltiplo b es 2, los bits de símbolo de $4 \times 2 (= mb)$ bits pueden dividirse en dos grupos de bits de símbolos Gy1 y Gy2, según se ilustra en la referencia B de la Figura 89, sobre la base de las diferencias en la probabilidad de error.

En la referencia B de la Figura 89, similarmente al caso de la referencia B de la Figura 80, los bits de símbolo y0, y1, y4 e y5 pertenecen al grupo de bits de símbolo Gy1 y los bits de símbolo y2 y3 y6, e y7 pertenecen al grupo de bits de símbolo Gy2.

35 La Figura 90 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/2, el modo de modulación es 16 QAM y el múltiplo b es 2.

40 En la regla de asignación ilustrada en la Figura 90, se define la información del conjunto de grupos (Gb1, Gy2, 1), (Gb2, Gy2, 2), (Gb2, Gy1, 1), (Gb3, Gy2, 1) y (Gb3, Gy1, 3).

45 Dicho de otro modo, en la regla de asignación ilustrada en la Figura 90, en conformidad con la información del conjunto de grupos (Gb1, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb1 cuya probabilidad de error es la mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define, en conformidad con la información del conjunto de grupos (Gb2, Gy2, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, de los dos bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define, en conformidad con la información del conjunto de grupos (Gb2, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, en conformidad con la información del conjunto de grupos (Gb3, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, y, en conformidad con la información del conjunto de grupos (Gb3, Gy1, 3), la asignación de tres bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a tres bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define.

La Figura 91 ilustra un ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 90.

60 Dicho de otro modo, la referencia A de la Figura 91 ilustra un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 90 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/2, el modo de modulación es 16 QAM y el múltiplo b es 2.

65 En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y

una tasa codificada de 1/2, el modo de modulación es 16 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(4 \times 2)) \times (4 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de 4×2 (= mb) bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b0 a b7 de 4×2 (= mb) bits en conformidad con la regla de asignación ilustrada en la Figura 90 de modo que los bits de código b0 a b7 de 4×2 (= mb) bits leídos desde la memoria 31 are, a modo de ejemplo, según se ilustra en la referencia A de la Figura 91, asignados a bits de símbolo y0 a y7 de 4×2 (= mb) bits de dos (=b) símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b0 se asigna al bit de símbolo y7;

el bit de código b1 al bit de símbolo y6;

el bit de código b2 al bit de símbolo y4;

el bit de código b3 al bit de símbolo y3;

el bit de código b4 al bit de símbolo y2;

el bit de código b5 al bit de símbolo y5;

el bit de código b6 al bit de símbolo y1; y

el bit de código b7 al bit de símbolo y0.

La referencia B de la Figura 91 ilustra un segundo ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 90 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 1/2, el modo de modulación es 16 QAM y el múltiplo b es 2.

Según se ilustra en la referencia B de la Figura 91, la unidad de intercambio 32, en conformidad con la regla de asignación ilustrada en la Figura 90, para bits de código b0 a b7 de 4×2 (= mb) bits leídos desde la memoria 31, en donde:

el bit de código b0 se asigna al bit de símbolo y7;

el bit de código b1 al bit de símbolo y3;

el bit de código b2 al bit de símbolo y4;

el bit de código b3 al bit de símbolo y6;

el bit de código b4 al bit de símbolo y2;

el bit de código b5 al bit de símbolo y0;

el bit de código b6 al bit de símbolo y5; y

el bit de código b7 al bit de símbolo y1.

La Figura 92 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolos en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 7/12, el modo de modulación es 16 QAM y el múltiplo b es 2.

En este caso, los bits de código de 4×2 (= mb) bits leídos desde la memoria 31 pueden dividirse en cuatro grupos de bits de código Gb1, Gb2, Gb3 y Gb4 según se ilustra en la referencia A de la Figura 92 sobre la base de las diferencias en la probabilidad de error.

En la referencia A de la Figura 92, un bit de código b0 pertenece al grupo de bits de código Gb1, los bits de código b1 a b3 pertenecen al grupo de bits de código Gb2, un bit de código b4 pertenece al grupo de bits de código Gb3 y los bits de código b5 a b7 pertenecen al grupo de bits de código Gb4.

En un caso en donde el modo de modulación es 16 QAM y el múltiplo b es 2, los bits de símbolo de 4×2 (= mb) bits

pueden dividirse en dos grupos de bits de símbolos Gy1 y Gy2, según se ilustra en la referencia B de la Figura 92, sobre la base de las diferencias en la probabilidad de error.

En la referencia B de la Figura 92, similarmente al caso de la referencia B de la Figura 80, los bits de símbolo y0, y1, y4 e y5 pertenecen al grupo de bits de símbolo Gy1 y los bits de símbolo y2, y3, y6 e y7 pertenecen al grupo de bits de símbolo Gy2.

La Figura 93 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 7/12, el modo de modulación es 16 QAM y el múltiplo b es 2.

En la regla de asignación ilustrada en la Figura 93, se define la información del conjunto de grupos (Gb1, Gy1, 1), (Gb2, Gy1, 1), (Gb2, Gy2, 2), (Gb3, Gy1, 1), (Gb4, Gy1, 1) y (Gb4, Gy2, 2).

Dicho de otro modo, en la regla de asignación ilustrada en la Figura 93, en conformidad con la información del conjunto de grupos (Gb1, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb1 cuya probabilidad de error es la mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, en conformidad con la información del conjunto de grupos (Gb2, Gy2, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define, en conformidad con la información del conjunto de grupos (Gb3, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, en conformidad con la información del conjunto de grupos (Gb4, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb4 cuya probabilidad de error es la cuarta mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, y, en conformidad con la información del conjunto de grupos (Gb4, Gy2, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb4 cuya probabilidad de error es la cuarta mejor a dos bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define.

La Figura 94 ilustra un ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 93.

Dicho de otro modo, la referencia A de la Figura 94 ilustra un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 93 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 7/12, el modo de modulación es 16 QAM y el múltiplo b es 2.

En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 7/12, el modo de modulación es 16 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(4 \times 2)) \times (4 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $4 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b0 a b7 de $4 \times 2 (= mb)$ bits en conformidad con la regla de asignación ilustrada en la Figura 93 de modo que los bits de código b0 a b7 de $4 \times 2 (= mb)$ bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en la referencia A de la Figura 94, asignados a bits de símbolo y0 a y7 de $4 \times 2 (= mb)$ bits de dos (=b) símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y4;

el bit de código b2 al bit de símbolo y2;

el bit de código b3 al bit de símbolo y6;

el bit de código b4 al bit de símbolo y1;

el bit de código b5 al bit de símbolo y5;

el bit de código b6 al bit de símbolo y3;

el bit de código b7 al bit de símbolo y7.

5 La referencia B de la Figura 94 ilustra un segundo ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 93 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 7/12, el modo de modulación es 16 QAM y el múltiplo b es 2.

10 Según se ilustra en la referencia B de la Figura 94, la unidad de intercambio 32 realiza un proceso de intercambio para bits de código b0 a b7 de 4×2 (= mb) bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 93, en donde:

el bit de código b0 se asigna al bit de símbolo y0;

15 el bit de código b1 al bit de símbolo y4;

el bit de código b2 al bit de símbolo y6;

20 el bit de código b3 al bit de símbolo y2;

el bit de código b4 al bit de símbolo y1;

el bit de código b5 al bit de símbolo y5;

25 el bit de código b6 al bit de símbolo y7; y

el bit de código b7 al bit de símbolo y3.

30 La Figura 95 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolos en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 2/3, el modo de modulación es 16 QAM y el múltiplo b es 2.

35 En este caso, el bit de código de 4×2 (= mb) bits leídos desde la memoria 31 pueden dividirse en cuatro grupos de bits de código Gb1, Gb2, Gb3 y Gb4 según se ilustra en la referencia A de la Figura 95 sobre la base de las diferencias en la probabilidad de error.

40 En la referencia A de la Figura 95, un bit de código b0 pertenece al grupo de bits de código Gb1, los bits de código b1 a b4 pertenecen al grupo de bits de código Gb2, un bit de código b5 pertenece al grupo de bits de código Gb3, y los bits de código b6 y b7 pertenecen al grupo de bits de código Gb4.

45 En un caso en donde el modo de modulación es 16 QAM y el múltiplo b es 2, los bits de símbolo de 4×2 (= mb) bits pueden dividirse en dos grupos de bits de símbolos Gy1 y Gy2, según se ilustra en la referencia B de la Figura 95, sobre la base de las diferencias en la probabilidad de error.

La referencia B de la Figura 95, similarmente al caso de la referencia B de la Figura 80, los bits de símbolo y0, y1, y4 e y5 pertenecen al grupo de bits de símbolo Gy1 y los bits de símbolo y2, y3, y6 e y7 pertenecen al grupo de bits de símbolo Gy2.

50 La Figura 96 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 2/3, el modo de modulación es 16 QAM y el múltiplo b es 2.

55 En la regla de asignación ilustrada en la Figura 96, se define la información del conjunto de grupos (Gb1, Gy1, 1), (Gb2, Gy1, 2), (Gb2, Gy2, 2), (Gb3, Gy1, 1) y (Gb4, Gy2, 2).

60 Dicho de otro modo, en la regla de asignación ilustrada en la Figura 96, en conformidad con la información del conjunto de grupos (Gb1, Gy1, 1), la asignación de un bit de los de código del grupo de bits de código Gb1 cuya probabilidad de error es la mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy1, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy2, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb3, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a un bit de los bits de símbolo del

grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, y, en conformidad con la información del conjunto de grupos (Gb4, Gy2, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb4 cuya probabilidad de error es la cuarta mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define.

La Figura 97 ilustra un ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 96.

Dicho de otro modo, la referencia A de la Figura 97 ilustra un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 96 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 2/3, el modo de modulación es 16 QAM y el múltiplo b es 2.

En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 2/3, el modo de modulación es 16 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(4 \times 2)) \times (4 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $4 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b0 a b7 de $4 \times 2 (= mb)$ bits en conformidad con la regla de asignación ilustrada en la Figura 96 de modo que los bits de código b0 a b7 de $4 \times 2 (= mb)$ bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en la referencia A de la Figura 97, asignados a bits de símbolo y0 a y7 de $4 \times 2 (= mb)$ bits de dos ($=b$) símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y4;

el bit de código b2 al bit de símbolo y2;

el bit de código b3 al bit de símbolo y6;

el bit de código b4 al bit de símbolo y1;

el bit de código b5 al bit de símbolo y5;

el bit de código b6 al bit de símbolo y3; y

el bit de código b7 al bit de símbolo y7.

La referencia B de la Figura 97 ilustra un segundo ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 96 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 2/3, el modo de modulación es 16 QAM y el múltiplo b es 2.

Según se ilustra en la referencia B Figura 97, la unidad de intercambio 32 realiza un proceso de intercambio, en conformidad con la regla de asignación ilustrada en la Figura 96, para los bits de código b0 a b7 de $4 \times 2 (= mb)$ bits leídos desde la memoria 31, en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y1;

el bit de código b2 al bit de símbolo y6;

el bit de código b3 al bit de símbolo y2;

el bit de código b4 al bit de símbolo y4;

el bit de código b5 al bit de símbolo y5;

el bit de código b6 al bit de símbolo y7; y

el bit de código b7 al bit de símbolo y3.

La Figura 98 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolos en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 3/4, el modo de modulación es 16 QAM y el múltiplo b es 2.

En este caso, los bits de código de $4 \times 2 (= mb)$ bits leídos desde la memoria 31 pueden dividirse en tres grupos de bits de código Gb1, Gb2 y Gb3 según se ilustra en la referencia A de la Figura 98 sobre la base de las diferencias en la probabilidad de error.

En la referencia A de la Figura 98, un bit de código b0 pertenece al grupo de bits de código Gb1, los bits de código b1 a b5 pertenecen al grupo de bits de código Gb2 y los bits de código b6 y b7 pertenecen al grupo de bits de código Gb3.

En un caso en donde el modo de modulación es 16 QAM y el múltiplo b es 2, los bits de símbolo de $4 \times 2 (= mb)$ bits pueden dividirse en dos grupos de bits de símbolos Gy1 y Gy2, según se ilustra en B de la Figura 98, sobre la base de las diferencias en la probabilidad de error.

En la referencia B de la Figura 98, similarmente al caso de la referencia B de la Figura 80, los bits de símbolo y0, y1, y4 e y5 pertenecen al grupo de bits de símbolo Gy1 y los bits de símbolo y2, y3, y6 e y7 pertenecen al grupo de bits de símbolo Gy2.

La Figura 99 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 3/4, el modo de modulación es 16 QAM y el múltiplo b es 2.

En la regla de asignación ilustrada en la Figura 99, se define la información del conjunto de grupos (Gb1, Gy1, 1), (Gb2, Gy1, 3), (Gb2, Gy2, 2) y (Gb3, Gy2, 2).

Dicho de otro modo, en la regla de asignación ilustrada en la Figura 99, en conformidad con la información del conjunto de grupos (Gb1, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb1 cuya probabilidad de error es la mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy1, 3), la asignación de tres bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a tres bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, en conformidad con la información del conjunto de grupos (Gb2, Gy2, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, y, en conformidad con la información del conjunto de grupos (Gb3, Gy2, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define.

La Figura 100 ilustra un ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 99.

Dicho de otro modo, la referencia A de la Figura 100 ilustra un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 99 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 3/4, el modo de modulación es 16 QAM y el múltiplo b es 2.

En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 3/4, el modo de modulación es 16 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(4 \times 2)) \times (4 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $4 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b0 a b7 de $4 \times 2 (= mb)$ bits en conformidad con la regla de asignación ilustrada en la Figura 99 de modo que los bits de código b0 a b7 de $4 \times 2 (= mb)$ bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en la referencia A de la Figura 100, asignados a bits de símbolo y0 a y7 de $4 \times 2 (= mb)$ bits de dos (=b) símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y4;

el bit de código b2 al bit de símbolo y2;

el bit de código b3 al bit de símbolo y6;

el bit de código b4 al bit de símbolo y1;

el bit de código b5 al bit de símbolo y5;

el bit de código b6 al bit de símbolo y3; y

el bit de código b7 al bit de símbolo y7.

La referencia B de la Figura 100 ilustra un segundo ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 99 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 3/4, el modo de modulación es 16 QAM y el múltiplo b es 2.

Según se ilustra en la referencia B de la Figura 100, la unidad de intercambio 32 realiza un proceso de intercambio para bits de código b0 a b7 de 4×2 (= mb) bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 99, en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y5;

el bit de código b2 al bit de símbolo y6;

el bit de código b3 al bit de símbolo y2;

el bit de código b4 al bit de símbolo y4;

el bit de código b5 al bit de símbolo y1;

el bit de código b6 al bit de símbolo y7; y

el bit de código b7 al bit de símbolo y3.

La Figura 101 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolos en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/6, el modo de modulación es 16 QAM y el múltiplo b es 2.

En este caso, los bits de código de 4×2 (= mb) bits leídos desde la memoria 31 pueden dividirse en cinco grupos de bits de código Gb1, Gb2, Gb3, Gb4 y Gb5 según se ilustra en la referencia A de la Figura 101 sobre la base de las diferencias en la probabilidad de error.

En la referencia A de la Figura 101, un bit de código b0 pertenece al grupo de bits de código Gb1, un bit de código b1 pertenece al grupo de bits de código Gb2, los bits de código b2 a b5 pertenecen al grupo de bits de código Gb3, un bit de código b6 pertenece al grupo de bits de código Gb4 y un bit de código b7 pertenece al grupo de bits de código Gb5.

En un caso en donde el modo de modulación es 16 QAM y el múltiplo b es 2, los bits de símbolo de 4×2 (= mb) bits pueden dividirse en dos grupos de bits de símbolos Gy1 y Gy2, según se ilustra en la referencia B de la Figura 101, sobre la base de las diferencias en la probabilidad de error.

En la referencia B de la Figura 101, similarmente al caso de la referencia B de la Figura 80, los bits de símbolo y0, y1, y4 e y5 pertenecen al grupo de bits de símbolo Gy1 y los bits de símbolo y2, y3, y6 e y7 pertenecen al grupo de bits de símbolo Gy2.

La Figura 102 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/6, el modo de modulación es 16 QAM y el múltiplo b es 2.

En la regla de asignación ilustrada en la Figura 102, se define la información del conjunto de grupos (Gb1, Gy1, 1), (Gb2, Gy1, 1), (Gb3, Gy2, 2), (Gb3, Gy1, 2), (Gb4, Gy2, 1) y (Gb5, Gy2, 1).

Dicho de otro modo, en la regla de asignación ilustrada en la Figura 102, en conformidad con la información del conjunto de grupos (Gb1, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb1 cuya

probabilidad de error es la mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor, se define, en conformidad con la información del conjunto de grupos (Gb2, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor, se define, en conformidad con la información del conjunto de grupos (Gb3, Gy2, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor, se define, en conformidad con la información del conjunto de grupos (Gb3, Gy1, 2), la asignación de dos bits de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a dos bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, en conformidad con la información del conjunto de grupos (Gb4, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb4 cuya probabilidad de error es la cuarta mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define, y en conformidad con la información del conjunto de grupos (Gb5, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb5 cuya probabilidad de error es la quinta mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define.

La Figura 103 ilustra un ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 102.

Dicho de otro modo, la referencia A de la Figura 103 ilustra un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 102 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/6, el modo de modulación es 16 QAM y el múltiplo b es 2.

En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/6, el modo de modulación es 16 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(4 \times 2)) \times (4 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $4 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b0 a b7 de $4 \times 2 (= mb)$ bits en conformidad con la regla de asignación ilustrada en la Figura 102 de modo que los bits de código b0 a b7 de $4 \times 2 (= mb)$ bits leídos desde la memoria 31 sean, a modo de ejemplo, según se ilustra en la referencia A de la Figura 103, asignados a bits de símbolo y0 a y7 de $4 \times 2 (= mb)$ bits de dos (=b) símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y4;

el bit de código b2 al bit de símbolo y2;

el bit de código b3 al bit de símbolo y6;

el bit de código b4 al bit de símbolo y1;

el bit de código b5 al bit de símbolo y5;

el bit de código b6 al bit de símbolo y3; y

el bit de código b7 al bit de símbolo y7.

La referencia B de la Figura 103 ilustra un segundo ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 102 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 5/6, el modo de modulación es 16 QAM y el múltiplo b es 2.

Según se ilustra en la referencia B de la Figura 103, la unidad de intercambio 32 realiza un proceso de intercambio para bits de código b0 a b7 de $4 \times 2 (= mb)$ bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 102, en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y4;

el bit de código b2 al bit de símbolo y6;

el bit de código b3 al bit de símbolo y2;

el bit de código b4 al bit de símbolo y5;

el bit de código b5 al bit de símbolo y1;

el bit de código b6 al bit de símbolo y3; y

el bit de código b7 al bit de símbolo y7.

La Figura 104 es un diagrama que ilustra grupos de bits de código y grupos de bits de símbolos en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 11/12, el modo de modulación es 16 QAM y el múltiplo b es 2.

En este caso, los bits de código de $4 \times 2 (= mb)$ bits leídos desde la memoria 31 pueden dividirse en tres grupos de bits de código Gb1, Gb2 y Gb3 según se ilustra en la referencia A de la Figura 104 sobre la base de las diferencias en la probabilidad de error.

En la referencia A de la Figura 104, un bit de código b0 pertenece al grupo de bits de código Gb1, los bits de código b1 a b6 pertenecen al grupo de bits de código Gb2 y un bit de código b7 pertenece al grupo de bits de código Gb3.

En un caso en donde el modo de modulación es 16 QAM y el múltiplo b es 2, los bits de símbolo de $4 \times 2 (= mb)$ bits pueden dividirse en dos grupos de bits de símbolos Gy1 y Gy2, según se ilustra en la referencia B de la Figura 104, sobre la base de las diferencias en la probabilidad de error.

En la referencia B de la Figura 104, similarmente al caso de la referencia B de la Figura 80, los bits de símbolo y0, y1, y4 e y5 pertenecen al grupo de bits de símbolo Gy1 y los bits de símbolo y2, y3, y6 e y7 pertenecen al grupo de bits de símbolo Gy2.

La Figura 105 ilustra una regla de asignación en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 11/12, el modo de modulación es 16 QAM y el múltiplo b es 2.

En la regla de asignación ilustrada en la Figura 105, se define la información del conjunto de grupos (Gb1, Gy1, 1), (Gb2, Gy2, 3), (Gb2, Gy1, 3) y (Gb3, Gy2, 1).

Dicho de otro modo, en la regla de asignación ilustrada en la Figura 105, en conformidad con la información del conjunto de grupos (Gb1, Gy1, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb1 cuya probabilidad de error es la mejor a un bit de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, en conformidad con la información del conjunto de grupos (Gb2, Gy2, 3), la asignación de tres bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor, a tres bits de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define, en conformidad con la información del conjunto de grupos (Gb2, Gy1, 3), la asignación de tres bits de los bits de código del grupo de bits de código Gb2 cuya probabilidad de error es la segunda mejor a tres bits de los bits de símbolo del grupo de bits de símbolo Gy1 cuya probabilidad de error es la mejor se define, y, en conformidad con la información del conjunto de grupos (Gb3, Gy2, 1), la asignación de un bit de los bits de código del grupo de bits de código Gb3 cuya probabilidad de error es la tercera mejor, a un bit de los bits de símbolo del grupo de bits de símbolo Gy2 cuya probabilidad de error es la segunda mejor se define.

Figura 106 ilustra un ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 105.

Dicho de otro modo, en la referencia A de la Figura 106 ilustra un primer ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 105 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 11/12, el modo de modulación es 16 QAM y el múltiplo b es 2.

En un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 11/12, el modo de modulación es 16 QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(4320/(4 \times 2)) \times (4 \times 2)$ bits en la dirección de las columnas $\times$ la dirección de las filas son objeto de lectura en unidades de $4 \times 2 (= mb)$ bits en la dirección de las filas y se suministran a la unidad de intercambio 32 (Figuras 18 y 19).

La unidad de intercambio 32 intercambia los bits de código b0 a b7 de 4×2 (= mb) bits en conformidad con la regla de asignación ilustrada en la Figura 105 de modo que los bits de código b0 a b7 de 4×2 (= mb) bits leídos desde la memoria 31 are, a modo de ejemplo, según se ilustra en la referencia A de la Figura 106, asignados a bits de símbolo y0 a y7 de 4×2 (= mb) bits de dos (=b) símbolos.

Dicho de otro modo, la unidad de intercambio 32 realiza un proceso de intercambio en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y4;

el bit de código b2 al bit de símbolo y2;

el bit de código b3 al bit de símbolo y6;

el bit de código b4 al bit de símbolo y1;

el bit de código b5 al bit de símbolo y5;

el bit de código b6 al bit de símbolo y3; y

el bit de código b7 al bit de símbolo y7.

La referencia B de la Figura 106 ilustra un segundo ejemplo del intercambio de bits de código en conformidad con la regla de asignación ilustrada en la Figura 105 en un caso en donde el código LDPC es un código LDPC móvil que tiene una longitud de código N de 4320 bits y una tasa codificada de 11/12, el modo de modulación es 16 QAM y el múltiplo b es 2.

Según se ilustra en la referencia B de la Figura 106, la unidad de intercambio 32 realiza un proceso de intercambio para bits de código b0 a b7 de 4×2 (= mb) bits leídos desde la memoria 31, en conformidad con la regla de asignación ilustrada en la Figura 105, en donde:

el bit de código b0 se asigna al bit de símbolo y0;

el bit de código b1 al bit de símbolo y5;

el bit de código b2 al bit de símbolo y3;

el bit de código b3 al bit de símbolo y2;

el bit de código b4 al bit de símbolo y4;

el bit de código b5 al bit de símbolo y1;

el bit de código b6 al bit de símbolo y6; y

el bit de código b7 al bit de símbolo y7.

Las Figuras 107, 108, 109, 110, 111, 112, 113, 114, 115, 116, 117, 118, 119, 120, 121, 122, 123 y 124 ilustran resultados de simulación de tasas BERs (Tasas Binarias de Errores) en un caso en donde el proceso de intercambio del nuevo modo de intercambio se realiza y un caso en donde no se realiza el proceso de intercambio.

Dicho de otro modo, las Figuras 107 a 115 ilustran valores BERs en un caso en donde los códigos LDPC móvil (Figuras 35 a 43) que tienen una longitud de código N de 4320 y tasas codificadas de 1/4, 1/3, 5/12, 1/2, 7/12, 2/3, 3/4, 5/6 y 11/12 se establecen como objetivos y 64 QAM se utiliza como el modo de modulación.

Las Figuras 116 a 124 ilustran valores BERs en un caso en donde los códigos LDPC móviles que tienen una longitud de código N de 4320 bits y tasas codificadas de 1/4, 1/3, 5/12, 1/2, 7/12, 2/3, 3/4, 5/6 y 11/12 se establecen como objetivos y 16 QAM se utiliza como el modo de modulación.

En este caso, en las Figuras 107 a 124, el múltiplo b es 2.

En las Figuras 107 a 123, el eje horizontal representa la relación E_s/N_0 (una relación de potencia de señal a potencia de ruido por símbolo) y el eje vertical representa el valor BER. Además, un círculo blanco (O) representa el valor BER en un caso en donde el proceso de intercambio del nuevo modo de intercambio se realiza y el asterisco representa el valor BER en un caso en donde no se realiza el proceso de intercambio.

Según se ilustra en las Figuras 107 a 124, en conformidad con el proceso de intercambio del nuevo modo de intercambio, en comparación con un caso en donde no se realiza el proceso de intercambio, se mejora el valor BER como un conjunto o en una relación E_b/N_0 de un determinado nivel y superior y en consecuencia, puede entenderse que se mejora la resistencia al error.

En este caso, como un método de intercambio de bits de código de un código LDPC en el proceso de intercambio realizado por la unidad de intercambio 32, o dicho de otro modo, un modelo (en adelante también referido como un modelo de asignación de bits) de asignación de bits de código de un código LDPC y bits de símbolos que representan un símbolo, para códigos LDPC que tienen tasas codificadas mutuamente diferentes, modelos de asignación de bits específicamente utilizados para los códigos LDPC pueden utilizarse a este respecto.

Sin embargo, cuando los modelos de asignación de bits específicamente utilizados para los códigos LDPC se utilizan para los códigos LDPC que tienen tasas codificadas mutuamente diferentes, es necesario establecer una pluralidad de modelos de asignación de bits en el dispositivo de transmisión 11 y el modelo de asignación de bits necesita cambiarse (conmutarse) para los códigos LDPC que tienen tasas codificadas mutuamente diferentes.

Asimismo, en conformidad con el proceso de intercambio descrito con referencia a las Figuras 53 a 106, el número de los modelos de asignación de bits a establecerse en el dispositivo de transmisión 11 puede disminuir.

Dicho de otro modo, en un caso en donde la longitud de código N es 4320 bits y el modo de modulación es 64 QAM, utilizando un modelo de asignación de bits para asignar bits de código b0, b1, b2, b3, b4, b5, b6, b7, b8, b9, b10 y b11 a bits de símbolo y11, y10, y4, y5, y2, y3, y8, y9, y6, y7, y1, e y0, respectivamente, según se ilustra en la referencia A de la Figura 55, para un código LDPC que tiene una tasa codificada de 1/4, utilizando un modelo de asignación de bits para asignar bits de código b0 a b11 a bits de símbolo y0, y11, y1, y10, y4, y8, y2, y9, y3, y7, y5, e y6, respectivamente, que se ilustra en la referencia A de las Figuras 58, 61, 64 y 67, para códigos LDPC que tienen tasas codificadas de 1/3, 5/12, 1/2 y 7/12 y empleando un modelo de asignación de bits para asignar bits de código b0 a b11 a bits de símbolo y2, y8, y5, y11, y0, y6, y1, y10, y4, y9, y3, e y7, respectivamente, que se ilustran en la referencia A de las Figuras 70, 73, 76 y 79, para códigos LDPC que tienen tasas codificadas de 2/3, 3/4, 5/6 y 11/12, solamente tres modelos de asignación de bits pueden montarse en el dispositivo de transmisión 11.

Además, en un caso en donde la longitud de código N es 4320 bits y el modo de modulación es 16 QAM, utilizando un modelo de asignación de bits para asignar bits de código b0 a b7 a bits de símbolo y7, y6, y4, y3, y2, y5, y1, e y0, respectivamente, que se ilustra en la referencia A de las Figuras 82, 85 y 91, para códigos LDPC que tienen tasas codificadas de 1/4, 1/3 y 1/2 y utilizando un modelo de asignación de bits para asignar bits de código b0 a b7 a bits de símbolo y0, y4, y2, y6, y1, y5, y3, e y7, respectivamente, que se ilustra en la referencia A de las Figuras 88, 94, 97, 100, 103 y 106, para códigos LDPC que tienen tasas codificadas de 5/12, 7/12, 2/3, 3/4, 5/6 y 11/12, solamente dos modelos de asignación de bits pueden montarse en el dispositivo de transmisión 11.

En esta forma de realización, para mayor claridad de la descripción, mientras que la unidad de intercambio 32 del demultiplexor 25 ha sido descrita para realizar el proceso de intercambio para bits de código leídos desde la memoria 31 como objetivos, el proceso de intercambio puede realizarse controlando la escritura o lectura de bits de código en/desde la memoria 31.

Dicho de otro modo, el proceso de intercambio, a modo de ejemplo, puede realizarse efectuando el control de la dirección (dirección objeto de lectura) desde donde un bit de código es objeto de lectura de modo que la lectura de los bits de código desde la memoria 31 se realice en el orden de bits de código después del intercambio.

Código LDPC (segundo código de 4k) que tiene una longitud de código N de 4320 bits

Sin embargo, para un código LDPC (en adelante, también referido como un primer código de 4k) que tenga una longitud de código de 4k bits adquiridos utilizando la matriz de control de paridad que se adquiere a partir de las tablas de valores iniciales de la matriz de control de paridad que se ilustran en las Figuras 35 a 43, desde el punto de vista de mantener la compatibilidad con la norma DVB-T.2, lo más posible, similarmente al caso de un código LDPC definido en la norma DVB-T.2, 360 que se define en la norma DVB-T.2 se utiliza como el número P de unidades de columnas de la estructura cíclica.

Sin embargo, existen casos en donde al compatibilidad con la norma DVB-T.2 se demanda que se 'sacrifique' más o menos con el fin de mejorar el valor de BER.

Las Figuras 125 a 128 son diagramas que ilustran ejemplos de la tabla de valores iniciales de la matriz de control de paridad de un segundo código 4k que es un código LDPC móvil que tiene una longitud de código de 4k bits distinto del primer código 4k.

Dicho de otro modo, la Figura 125 ilustra una tabla de valores iniciales de la matriz de control de paridad H que tiene una longitud de código N de 4k bits y una tasa codificada r de 1/2.

La Figura 126 ilustra una tabla de valores iniciales de la matriz de control de paridad para una matriz de control de paridad H que tiene una longitud de código N de 4k bits y una tasa codificada r de 7/12.

5 La Figura 127 ilustra una tabla de valores iniciales de la matriz de control de paridad para una matriz de control de paridad H que tiene una longitud de código N de 4k bits y una tasa codificada r de 2/3.

La Figura 128 ilustra una tabla de valores iniciales de la matriz de control de paridad para una matriz de control de paridad H que tiene una longitud de código N de 4k bits y una tasa codificada r de 3/4.

10 Además, la matriz de paridad de la matriz de control de paridad adquirida a partir de las tablas de valores iniciales de la matriz de control de paridad que se ilustra en las Figuras 125 a 128 tiene una estructura escalonada (Figura 11).

15 Además, para el segundo código 4k que es un código LDPC que tiene una longitud de código de 4k bits que se adquiere utilizando la matriz de control de paridad adquirida a partir de las tablas de valores iniciales de la matriz de control de paridad que se ilustran en las Figuras 125 a 128, similarmente al código LDPC definido en la norma DVB-T.2, la matriz de información de la matriz de control de paridad H tiene una estructura cíclica.

20 Sin embargo, para el segundo código 4k, el número P de unidades de columnas de la estructura cíclica no es 360 sino 72, que es un divisor de 360.

25 El codificador LDPC 115 (Figuras 8 y 31) puede realizar la codificación LDPC en cualquiera de los segundos códigos 4k que tiene una longitud de código N de 4k bits y una tasa codificada r de cualquiera de cuatro tipos que incluyen 1/2, 7/12, 2/3 y 3/4 utilizando una matriz de control de paridad adquirida a partir de las tablas de valores iniciales de la matriz de control de paridad ilustradas en las Figuras 125 a 128.

30 Dicho de otro modo, el codificador LDPC 115 establece el número P de columnas unitarias de la estructura cíclica que no es de 360 sino de 72, adquiere una matriz de control de paridad a partir de las tablas de valores iniciales de la matriz de control de paridad ilustrada en las Figuras 125 a 128, similarmente al caso descrito con referencia a la Figura 34 y realiza una codificación LDPC en el segundo código 4k utilizando la matriz de control de paridad.

35 Los segundos códigos 4k (sus tablas de valores iniciales de matriz de control de paridad) ilustrados en las Figuras 125 a 128 se adquieren realizando la misma simulación que la simulación para adquirir los primeros códigos 4k ilustrados en las Figuras 35 a 43.

40 Dicho de otro modo, en una simulación para adquirir el segundo código 4k, un conjunto cuyo umbral de capacidad, que es E_b/N_0 , en donde el BER comienza a reducirse (disminuir) en conformidad con la evolución de la densidad del tipo de múltiples bordes es un valor predeterminado o menor es objeto de búsqueda y, entre los códigos LDPC que pertenecen al conjunto, un código LDPC que disminuye el valor de BER en una pluralidad de modos de modulación utilizados para la difusión digital específicamente utilizada para terminales móviles, tal como 16 QAM o 64 QAM se seleccionan como un código LDPC que tiene una alta capacidad.

45 En consecuencia, en la simulación para adquirir el segundo código 4k, similarmente a la simulación para adquirir el primer código 4k, con el fin de mejorar la resistencia al error, se utiliza un modo de modulación en donde el número de puntos de señales es relativamente pequeño tal como QPSK, 16 QAM o 64 QAM.

50 La Figura 129 es un diagrama que ilustra una longitud de ciclo mínima y un umbral de capacidad de la matriz de control de paridad que se adquiere a partir de las tablas de valores iniciales de la matriz de control de paridad de los segundos códigos 4k que tienen tasas codificadas r de cuatro clases de 1/2, 7/12, 2/3 y 3/4 ilustradas en las Figuras 125 a 128.

55 Todas las longitudes de ciclo mínimas de la matriz de control de paridad que se adquieren a partir de las tablas de valores iniciales de la matriz de control de paridad que se ilustran en las Figuras 125 a 128 son seis ciclos y el ciclo-4 no está presente.

Además, a medida que disminuye la tasa codificada r, aumenta la redundancia del código LDPC y en consecuencia, se mejora (disminuye) el umbral de capacidad a medida que disminuye la tasa codificada r.

60 La Figura 130 es un diagrama que ilustra la matriz de control de paridad (del segundo código 4k adquirido a partir de las tablas de valores iniciales de la matriz de control de paridad) de las Figuras 125 a 128.

65 En la matriz de control de paridad del segundo código 4k, similarmente al caso del primer código 4k descrito con referencia a las Figuras 47 y 48, un peso de ponderación columna se establece a X para KX columnas desde la primera columna, un peso de ponderación de columnas se establece a Y para las KY columnas posteriores, un peso de columna se establece a dos para las (M - 1) columnas posteriores y un peso de columna se establece a uno para la última columna.

En este caso, $KX + KY + M - 1 + 1$ es lo mismo que la longitud de código $N = 4320$ bits.

El número de columnas KX , KY y M y los pesos de columnas X e Y del segundo código 4k para cada tasa codificada r de $1/2$, $7/12$, $2/3$ y $3/4$ son según se representa en la Figura 130.

Para una matriz de control de paridad del segundo código 4k, similarmente a la matriz de control de paridad definida en la norma DVB-T.2 descrita con referencia a las Figuras 12 y 13 o la matriz de control de paridad del primer código 4k, como una columna se localiza en el lado frontal (lado izquierdo), el peso de columna tiende a ser mayor y en consecuencia, un bit de código del segundo código 4k que está situado en el lado frontal tiende a ser fuerte para el error (tiene resistencia al error).

La Figura 131 es un diagrama que ilustra un resultado de simulación del valor BER que se realiza para el segundo código 4k.

En la simulación, se considera un canal de comunicaciones (canal) de AWGN, se utiliza BPSK como el modo de modulación y se utiliza 50 como el número C de repetición de la decodificación.

En la Figura 131, el eje horizontal representa la relación E_s/N_0 (una relación de potencia de señal a potencia de ruido por símbolo), y el eje vertical representa el valor BER.

Con conformidad con los inventores de la presente invención, se comprueba que el valor BER del segundo código 4k se mejora más que el del primer código 4k para cualquiera de las tasas codificadas r de $1/2$, $7/12$, $2/3$ y $3/4$ y, en conformidad con el segundo código 4k, se puede mejorar la resistencia al error.

[Configuración, a modo de ejemplo, del dispositivo de recepción 12]

La Figura 132 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, del dispositivo de recepción 12 ilustrado en la Figura 7.

Una unidad de procesamiento OFDM (operación OFDM) 151 recibe una señal OFDM procedente del dispositivo de transmisión 11 (Figura 7) y realiza el procesamiento de señal de la señal OFDM. Los datos (símbolos) adquiridos por la unidad de procesamiento de OFDM 151, que realiza el procesamiento de señales, se suministra a una unidad de gestión de tramas (Frame Management) 152.

La unidad de gestión de tramas 152 realiza el procesamiento (análisis de tramas) de una trama configurada por los símbolos suministrados desde la unidad de procesamiento de OFDM 151 y suministra símbolos de los datos y símbolos objetivos de los datos de control adquiridos como un resultado a los desintercaladores de frecuencia 161 y 153.

El desintercalador de frecuencias 153 realiza la desintercalación de frecuencias para los símbolos suministrados desde la unidad de gestión de tramas 152 en unidades de símbolos y suministra datos resultantes a un decodificador de QAM 154.

El decodificador de QAM 154 realiza una demodulación ortogonal para los símbolos (símbolos dispuestos en puntos de señales) suministrados desde el desintercalador de frecuencias 153 mediante un demapeado de correspondencia (decodificación de disposición de puntos de señales), los símbolos y suministra datos (código LDPC) adquiridos como un resultado a un decodificador LDPC 155.

El decodificador LDPC 155 realiza la decodificación LDPC del código LDPC suministrado desde el decodificador de QAM 154 y suministra datos objetivos de LDPC (en este caso, un código bit de código BCH) adquiridos como un resultado a un decodificador de BCH 156.

El decodificador de BCH 156 realiza la decodificación BCH de los datos objetivos de LDPC suministrados desde el decodificador LDPC 155 y proporciona, a la salida, datos de control (señalización) adquiridos como su resultado.

Por otro lado, el desintercalador de frecuencias 161 realiza la desintercalación de frecuencias para los símbolos suministrados desde la unidad de gestión de tramas 152 en unidades de símbolos y suministra datos resultantes a un decodificador de MIMO/MISO 162.

El decodificador de MIMO/MISO 162 realiza una decodificación de tiempos y espacial de los datos (símbolos) suministrados desde el desintercalador de frecuencias 161 y suministra los datos resultantes a un desintercalador de tiempos 163.

El desintercalador de tiempos 163 realiza la desintercalación de tiempos para los datos (símbolos) suministrados desde el decodificador de MIMO/MISO 162 en unidades de símbolos y suministra los datos resultantes a un decodificador de QAM 164.

El decodificador de QAM 164 realiza la demodulación ortogonal para los símbolos (símbolos dispuestos en puntos de señales) suministrados desde el desintercalador de tiempos 163 mediante un demapeado de correspondencia (decodificación de disposición de puntos de señales) de los símbolos y suministra datos (símbolos) adquiridos como un resultado a un desintercalador de bits 165.

El desintercalador de bits 165 realiza la desintercalación de bits de los datos (símbolos) suministrados desde el decodificador de QAM 164 y suministra un código LDPC adquirido como un resultado a un decodificador LDPC 166.

El decodificador LDPC 166 realiza una decodificación LDPC del código LDPC suministrado desde el desintercalador de bits 165 y suministra datos objetivos de LDPC (en este caso, un código BCH) adquiridos como un resultado a un decodificador de BCH 167.

El decodificador de BCH 167 realiza una decodificación BCH de los datos objetivos LDPC suministrados desde el decodificador LDPC 166 y suministra los datos adquiridos como un resultado a un descifrador BB 168.

El descifrador BB 168 realiza un proceso de difusión de banda de energía para los datos suministrados desde el decodificador de BCH 167 y suministra los datos adquiridos como un resultado a una unidad de supresión nula 169.

La unidad de supresión de nulos 169 suprime los nulos insertados desde los bits de relleno 112 ilustrados en la Figura 8 a partir de los datos suministrados desde el descifrador BB 168 y suministra los datos resultantes a un demultiplexor 170.

El demultiplexor 170 separa uno o más flujos (datos objetivos) que se multiplexan en los datos suministrados desde la unidad de supresión de nulos 169 y proporciona, a la salida, los flujos como flujos de salida.

La Figura 133 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, del desintercalador de bits 165 ilustrado en la Figura 132.

El desintercalador de bits 165 está configurado por un multiplexor (MUX) 54 y un desintercalador de columnas con torsión 55 y realiza la desintercalación de bits de símbolos (bits) de los símbolos suministrados desde el decodificador de QAM 164 (Figura 132).

Dicho de otro modo, el multiplexor 54, para los bits de símbolos del símbolo suministrado desde el decodificador de QAM 164, realiza un proceso de intercambio inverso (un proceso inverso del proceso de intercambio) correspondiente al proceso de intercambio realizado por el demultiplexor 25 ilustrado en la Figura 9, es decir, un proceso de intercambio inverso en el que las posiciones de los bits de código (bits de símbolos) de un código LDPC que han sido intercambiados por el proceso de intercambio se retornan a las posiciones originales y suministra un código LDPC adquirido como su resultado al desintercalador de columnas con torsión 55.

El desintercalador de columnas con torsión 55, para el código LDPC suministrado desde el multiplexor 54, realiza una desintercalación de torsión de columnas (proceso inverso de la intercalación de torsión de columnas) correspondiente a la intercalación de torsión de columnas como un proceso de redistribución de filas realizado por el intercalador de columnas con torsión 24 ilustrado en la Figura 9, es decir, a modo de ejemplo, la desintercalación de torsión de columnas como un proceso de clasificación inverso en donde los bits de código de un código LDPC cuyas filas han sido cambiadas por la intercalación de torsión de columnas como un proceso de clasificación se retornan a la disposición original.

Más concretamente, el desintercalador de columnas con torsión 55 realiza la escritura de los bits de código de un código LDPC en una memoria de desintercalación configurada similarmente a la memoria 31 ilustrada en la Figura 24 o similar y además, realiza la lectura de los bits de código, con lo que se realiza la desintercalación de torsión de columnas.

Sin embargo, en el desintercalador de columnas con torsión 55, la escritura de los bits de código se realiza en la dirección de las filas de la memoria de desintercalación utilizando la dirección leída en el momento de la lectura de los bits de código desde la memoria 31 como una dirección de escritura. Además, la lectura de bits de código se realiza en la dirección de las columnas de la memoria de desintercalación utilizando una dirección de escritura en el momento de la escritura de los bits de código en la memoria 31 como una dirección de lectura.

Un código LDPC adquirido como resultado de la desintercalación de torsión de columnas se suministra desde el desintercalador de columnas con torsión 55 al decodificador LDPC 166.

En este caso, aunque la intercalación de paridad, la intercalación de torsión de columnas y el proceso de intercambio han sido realizados en el orden para el código LDPC suministrado desde el decodificador de QAM 164 al desintercalador de bits 165, en el desintercalador de bits 165, solamente el proceso de intercambio inverso correspondiente al proceso de intercambio y la desintercalación de columnas con torsión correspondiente a la intercalación de columnas con torsión se realizan y la desintercalación de paridad (proceso inverso de la

intercalación de paridad) correspondiente a la intercalación de paridad, es decir, la desintercalación de paridad en donde los bits de código de un código LDPC, cuyas filas han sido cambiadas por la intercalación de paridad, se retornan a las filas originales, cuyo proceso no se realiza.

5 En consecuencia, desde el desintercalador de bits 165 (el desintercalador de columnas con torsión 55) al decodificador LDPC 166, se suministra un código LDPC para el que se ha realizado el proceso de intercambio inverso y la desintercalación de torsión de columnas pero no se ha realizado la desintercalación de prioridad.

10 El decodificador LDPC 166 realiza la decodificación LDPC del código LDPC suministrado desde el desintercalador de bits 165 utilizando una matriz de control de paridad transformada adquirida realizando al menos la sustitución de columnas correspondiente a la intercalación de paridad para la matriz de control de paridad H utilizada por el codificador LDPC 115 que se ilustra en la Figura 8 en el proceso de codificación LDPC y proporciona, a la salida, datos adquiridos como un resultado de la decodificación de los datos objetivos de LDPC.

15 La Figura 134 es un diagrama de flujo que ilustra el proceso realizado por el decodificador de QAM 164, el desintercalador de bits 165 y el decodificador LDPC 166 ilustrados en la Figura 133.

20 En la etapa S111, el decodificador QAM 164 realiza una demodulación ortogonal mediante el demapeado de correspondencia del símbolo (un símbolo mapeado en un punto de señal) suministrado desde el desintercalador de tiempos 163 y suministra los datos resultantes al desintercalador de bits 165 y el proceso prosigue con la etapa S112.

25 En la etapa S112, el desintercalador de bits 165 realiza la desintercalación (desintercalación de bits) de bits de símbolos de un símbolo suministrado desde el decodificador QAM 164 y el proceso prosigue con la etapa S113.

30 Dicho de otro modo, en la etapa S112, en el desintercalador de bits 165, el multiplexor 54 realiza un proceso de intercambio inverso para los bits de símbolos del símbolo suministrado desde el decodificador QAM 164 como un objetivo y suministra bits de código del código LDPC que se adquieren como un resultado al desintercalador de columnas con torsión 55.

35 El desintercalador de columnas con torsión 55 realiza la desintercalación de torsión de columnas para el código LDPC suministrado desde el multiplexor 54 como un objetivo y suministra un código LDPC adquirido como un resultado al decodificador LDPC 166.

40 En la etapa S113, el decodificador LDPC 166 realiza la decodificación de LDPC del código LDPC suministrado desde el desintercalador de columnas con torsión 55 utilizando una matriz de control de paridad transformada que se adquiere realizando al menos la sustitución de filas correspondiente a la intercalación de paridad para la matriz de control de paridad H que se utiliza en el proceso de codificación LDPC por el codificador LDPC 115 ilustrado en la Figura 8 y proporciona, a la salida, datos adquiridos como un resultado al decodificador BCH 167 como resultado de la decodificación de los datos objetivos de LDPC.

45 Además, según se ilustra en la Figura 133, similarmente al caso de la Figura 9, para mejor claridad de la descripción, aunque el multiplexor 54 que realiza el proceso de intercambio inverso y el desintercalador de columnas con torsión 55 que realiza la desintercalación de torsión de columnas están configurados para estar separados, el multiplexor 54 y el desintercalador de columnas con torsión 55 pueden configurarse de forma integrada.

50 Además, en el intercalador de bits 116 ilustrado en la Figura 9, en un caso en donde no se realiza la intercalación de torsión de columnas, en el desintercalador de bits 165 ilustrado en la Figura 133, no es necesario el desintercalador de columnas con torsión 55.

A continuación, la decodificación LDPC realizada por el decodificador LDPC 166 ilustrado en la Figura 132, se describirá con mayor detalle.

55 En el decodificador LDPC 166 ilustrado en la Figura 132, según se describió con anterioridad, el proceso de intercambio inverso y la desintercalación de torsión de columnas se realizan por el desintercalador de columnas con torsión 55 y la decodificación LDPC de un código LDPC para el que no se realiza la desintercalación de paridad se efectúa utilizando una matriz de control de paridad transformada adquirida realizando al menos una sustitución de filas correspondiente a la intercalación de paridad para la matriz de control de paridad H utilizada en el proceso de codificación de LDPC por el codificador LDPC 115 ilustrado en la Figura 8.

60 En este caso, la decodificación LDPC ha sido propuesta por cuanto que puede suprimir la escala de circuitos y suprimir la frecuencia de servicio para estar en una gama que pueda ser suficientemente puesta en práctica realizando la decodificación LDPC con el uso de la matriz de control de paridad transformada (a modo de ejemplo, véase patente n° 4224777).

65 De este modo, en primer lugar, la decodificación LDPC que utiliza la matriz de control de paridad transformada que

ha sido propuesta, se describirá haciendo referencia a las Figuras 135 a 138.

La Figura 135 es un diagrama que ilustra un ejemplo de una matriz de control de paridad H de un código LDPC que tiene una longitud de código N de 90 y una tasa codificada de 2/3.

En la Figura 135 (similarmente al caso de las Figuras 136 y 137 a describirse más adelante), "0" se representa por un punto ("·").

En la matriz de control de paridad H ilustrada en la Figura 135, la matriz de paridad tiene una estructura escalonada.

La Figura 136 ilustra una matriz de control de paridad H' adquirida realizando la sustitución de filas de la Ecuación (11) y la sustitución de columnas de la Ecuación (12) para la matriz de control de paridad H ilustrada en la Figura 135.

Ecuación 11

Sustitución de filas: $(6s + t + 1)$ -ésima $\rightarrow$ $(5t + s + 1)$ -ésima.

Ecuación 12

Sustitución de columnas: $(6x + y + 61)$ -ésima $\rightarrow$ $(5y + x + 61)$ -ésima.

En este caso, en las ecuaciones (11) y (12), s, t, x e y son números enteros respectivamente en el margen de $0 \leq s < 5$, $0 \leq t < 6$, $0 \leq x < 5$ y $0 \leq t < 6$.

En conformidad con la sustitución de filas de la Ecuación (11), la sustitución se realiza para estar en un estado en donde las primera, séptima, 13ª, 19ª y 25ª filas, que tengan un resto de 1 al dividirse por 6, sustituyen a las primera, segunda, tercera, cuarta y quinta filas, respectivamente y las segunda, octava, 14ª, 20ª y 26ª que tienen un resto de 2 cuando se dividen por 6, sustituyen a la sexta, séptima, octava, novena y décima filas, respectivamente.

Además, en conformidad con la sustitución de columnas de la Ecuación (12), la sustitución se realiza para estar en un estado en el que las 61ª, 67ª, 73ª, 79ª y 85ª columnas que tengan un resto de 1 al dividirse por 6 sustituyen a las 61ª, 62ª, 63ª, 64ª y 65ª columnas, respectivamente y las 62ª, 68ª, 74ª, 80ª y 86ª columnas que tengan un resto de 2 cuando se dividen por 6 sustituyen a las 66ª, 67ª, 68ª, 69ª y 70ª columnas, respectivamente, para la 61-ésima y columnas posteriores (matriz de paridad).

De este modo, la matriz adquirida realizando la sustitución de filas y la sustitución de columnas para la matriz de control de paridad H ilustrada en la Figura 135 es la matriz de control de paridad H' ilustrada en la Figura 136.

En este caso, incluso en un caso en donde la sustitución de filas de la matriz de control de paridad H se realiza, no influye en la disposición de los bits de código de un código LDPC.

Además, la sustitución de columnas de la Ecuación (12) corresponde a la intercalación de paridad en donde el $(K + qx + y + 1)$ -ésimo bit de código se intercala en la posición del $(K + Py + x + 1)$ -ésimo bit de código cuando la longitud de información K es 60, el número P de columnas unitarias de la estructura cíclica es 5 y el divisor q (= M/P) de la longitud de paridad es M (en este caso, 30) es 6.

Cuando la matriz de control de paridad (en adelante, referida como una matriz de control de paridad transformada, cuando sea adecuado) H' ilustrada en la Figura 136, se multiplica por un código LDPC de la matriz de control de paridad (en adelante, referida como la matriz de control de paridad original) H ilustrada en la Figura 135 para lo que se ha realizado la misma sustitución que en la Ecuación (12), un vector cero se proporciona a la salida. Dicho de otro modo, cuando un vector de fila adquirido al realizar la sustitución de columnas de la Ecuación (12) para el vector de fila c es un código LDPC (una palabra de código) de la matriz de control de paridad original H se indica por c', sobre la base de la propiedad de que la matriz de control de paridad, Hc^T se convierte en un vector cero y en consecuencia, es evidente que $H'c'^T$ se hace también un vector cero.

Según se describió con anterioridad, la matriz de control de paridad transformada H' ilustrada en la Figura 136 es una matriz de control de paridad de un código LDPC adquirido realizando la sustitución de columnas de la Ecuación (12) para el código LDPC c de la matriz de control de paridad original H.

En consecuencia, realizando la sustitución de columnas de la Ecuación (12) para el código LDPC c de la matriz de control de paridad original H, la decodificación (decodificación LDPC) del código LDPC c' después de la sustitución de columnas utilizando la matriz de control de paridad transformada H' ilustrada en la Figura 136 y la realización de la sustitución inversa de la sustitución de columnas de la Ecuación (12) para el resultado de decodificación, un resultado de decodificación que es el mismo que el de un caso en donde el código LDPC de la matriz de control de paridad original H se decodifica utilizando la matriz de control de paridad H que puede adquirirse.

La Figura 137 ilustra la matriz de control de paridad transformada H' ilustrada en la Figura 136 con un espaciado en unidades de matrices 5×5 .

En la Figura 137, la matriz de control de paridad transformada H' se representa como una combinación de una matriz unidad de 5×5 , una matriz (en adelante, referida como una cuasi matriz unitaria, cuando se apropiado) adquirida estableciendo uno o más '1' de la matriz unitaria a cero, una matriz (en adelante, referida como una matriz desplazada, cuando sea apropiada) adquirida desplazando cíclicamente la matriz unitaria o la matriz cuasi unitaria, una suma (en adelante, referida como una matriz suma, cuando se apropiado) de dos o más de la matriz unitaria, la matriz cuasi unitaria y la matriz desplazada y una matriz de 5×50 .

La matriz de control de paridad transformada H' ilustrada en la Figura 137 puede considerarse coordinación estando configurada por matrices unitarias 5×5 , matrices casi unitarias, matrices desplazadas, matrices suma y matrices 0. De este modo, en adelante, dichas matrices 5×5 que constituyen la matriz de control de paridad transformada H' se refieren como matrices constitutivas, cuando sea apropiado.

Para decodificar un código LDPC de una matriz de control de paridad representada como una matriz constitutiva $P \times P$, se puede utilizar una arquitectura en donde P cálculos del nodo de control y cálculos de nodos de variables se realizan al mismo tiempo.

La Figura 138 es un diagrama de bloques que ilustra una configuración, a modo de ejemplo, de un dispositivo de decodificación que realiza dicho proceso de decodificación.

Dicho de otro modo, la Figura 138 ilustra una configuración, a modo de ejemplo, de un dispositivo de decodificación que decodifica un código LDPC utilizando la matriz de control de paridad transformada H' ilustrada en la Figura 137 adquirida realizando al menos la sustitución de columnas de la Ecuación (12) para la matriz de control de paridad original H ilustrada en la Figura 135.

El dispositivo de decodificación ilustrado en la Figura 138 está configurado por una memoria de almacenamiento de datos de rama de derivación 300 que está formada por seis dispositivos FIFOs 300₁ a 300₆, un selector 301, que selecciona uno de los dispositivos FIFOs 300₁ a 300₆, una unidad de cálculo del nodo de control 302, dos circuitos de desplazamiento cíclico 303 y 308, una memoria de almacenamiento de datos de rama de derivación 304 configurada por 18 dispositivos FIFOs 304₁ a 304₁₈, un selector 305 que selecciona uno de los dispositivos FIFOs 304₁ a 304₁₈, una memoria de datos de recepción 306 que memoriza los datos recibidos, una unidad de cálculo de nodos de variables 307, una unidad de cálculo de palabras decodificadas 309, una unidad de redistribución de datos 310 y una unidad de redistribución de datos de decodificación 311.

En primer lugar, un método de memorización de datos en la memoria de almacenamiento de datos de rama de derivación 300 y 304 se describirá a continuación.

La memoria de almacenamiento de datos de rama de derivación 300 está configurada por seis dispositivos FIFOs 300₁ a 300₆ correspondientes a un número adquirido dividiendo el número 30 de la matriz de control de paridad transformada H' ilustrada en la Figura 137 por el número 5 de filas de la matriz constitutiva. El dispositivo FIFO 300_y ($y = 1, 2, \dots, 6$) está configurado por áreas de memoria de una pluralidad de etapas y mensajes correspondientes a cinco ramas de derivación, que corresponde al número de filas y al número de columnas de la matriz constitutiva, pueden ser objeto de lectura o escritura al mismo tiempo desde/en la zona de memorización de cada etapa. Además, el número de etapas del área de memorización del dispositivo FIFO 300_y se establece a 9 que es un valor máximo del número de '1' (peso de Hamming) de la matriz de control de paridad transformada ilustrada en la Figura 137 en la dirección de las filas.

En el dispositivo FIFO 300₁, los datos (mensaje v_i suministrados desde los nodos de variables) correspondientes a las posiciones de '1' en la primera fila a la quinta fila de la matriz de control de paridad transformada H' ilustrada en la Figura 137 se memoriza en la forma que rellena cada fila en la dirección horizontal (0 se ignora). Dicho de otro modo, cuando la j -ésima fila y la i -ésima columna se indica por $a(j, i)$, en la zona de memorización de la primera etapa del dispositivo FIFO 300₁, los datos correspondientes a la posición de '1' en la matriz unitaria 5×5 desde (1, 1) a (5, 5) de la matriz de control de paridad transformada H' son memorizados. En la zona de memorización de la segunda etapa, los datos correspondientes a las posiciones de '1' en una matriz desplazada (una matriz desplazada adquirida desplazando cíclicamente la matriz unitaria 5×5 al lado derecho por tres) de (1, 21) a (5, 25) de la matriz de control de paridad transformada H' se memoriza. Además, en las zonas de memorización de la tercera u octava etapas, similarmente, los datos se memorizan en correspondencia con la matriz de control de paridad transformada H' . En las zonas de memorización de la novena etapa, los datos correspondientes a las posiciones de '1' en una matriz desplazada (una matriz desplazada adquirida sustituyendo '1' en la primera fila en la matriz unitaria 5×5 con '0' y desplazando cíclicamente una matriz resultante al lado izquierdo en uno) desde (1, 86) a (5, 90) de la matriz de control de paridad transformada H' se memorizan.

En el dispositivo FIFO 300₂, los datos correspondientes a las posiciones de '1' en la sexta fila a la décima fila de la

matriz de control de paridad transformada H' ilustrada en la Figura 137 se memoriza. Dicho de otro modo, en la zona de memorización de la primera etapa del dispositivo FIFO 300₂, los datos correspondientes a las posiciones de '1' en una primera matriz desplazada que configura una matriz suma (una matriz suma que es una suma de una primera matriz desplazada adquirida mediante un desplazamiento cíclico de una matriz unitaria 5 × 5 al lado derecho en uno y una segunda matriz desplazada adquirida desplazando cíclicamente la matriz unitaria al lado derecho en dos) desde (6, 1) a (10, 5) de la matriz de control de paridad transformada H' se memorizan. Además, en la zona de memorización de la segunda etapa, los datos correspondientes a las posiciones de '1' en la segunda matriz desplazada que configura una matriz suma de (6, 1) a (10, 5) de la matriz de control de paridad transformada H' se memorizan.

Dicho de otro modo, para una matriz constitutiva cuyo peso de ponderación es dos o más, cuando la matriz constitutiva está representada como una suma de múltiples partes de una matriz unitaria P × P cuyo peso es 1, una matriz cuasi unitaria en la que uno o más elementos de '1' en la matriz unitaria se establece a 0, o una matriz desplazada adquirida desplazando cíclicamente la matriz unitaria o la matriz cuasi unitaria, los datos (mensajes correspondientes a ramas de derivación que pertenecen a la matriz unitaria, la matriz cuasi unitaria o la matriz desplazada) que corresponde a las posiciones de '1' en la matriz unitaria de un peso de ponderación de 1, la matriz cuasi unitaria o la matriz desplazada se memorizan en la misma dirección (un mismo dispositivo FIFO de entre los FIFOs 300₁ a 300₆)

Posteriormente, también en las zonas de memorización de las tercera a novena etapas, los datos se memorizan en asociación con la matriz de control de paridad transformada H'.

Además, en los dispositivos FIFOs 300₃ a 300₆, los datos se memorizan similarmente en asociación con la matriz de control de paridad transformada H'.

La memoria de almacenamiento de datos de rama de derivación 304 está configurada por 18 dispositivos FIFOs 304₁ a 304₁₈, que corresponden a un número adquirido dividiendo el número de columnas de la matriz de paridad transformada H', que es 90, por 5 que es el número de columnas de la matriz constitutiva. El dispositivo FIFO 304_x (x = 1, 2, ..., 18) está configurado por zonas de memorización de una pluralidad de etapas y mensajes correspondientes a cinco ramas de derivación, que corresponde al número de filas y al número de columnas de la matriz constitutiva transformada H', pueden ser objeto de lectura o de descendente desde/en la zona de memorización de cada etapa al mismo tiempo.

En el dispositivo FIFO 304₁, los datos (mensajes u_i desde los nodos de control) correspondientes a las posiciones de '1' en la primera fila a la quinta fila de la matriz de control de paridad transformada H' ilustrada en la Figura 137 se memorizan en la forma de relleno de cada fila en la dirección vertical (se ignora 0). Dicho de otro modo, en la zona de memorización de la primera etapa del dispositivo FIFO 304₁, los datos correspondientes a las posiciones de '1' en la matriz unitaria 5 × 5 desde (1, 1) a (5, 5) de la matriz de control de paridad transformada H' se memorizan. En la zona de memorización de la segunda etapa, los datos correspondientes a las posiciones de '1' en una matriz desplazada que configura una matriz suma (una matriz suma que es una suma de la primera matriz desplazada adquirida mediante el desplazamiento cíclico de la matriz unitaria 5 × 5 al lado derecho en uno y una segunda matriz desplazada adquirida desplazando cíclicamente la matriz unitaria al lado derecho en dos) desde (6, 1) a (10, 5) de la matriz de control de paridad transformada H' se memorizan. Además, en la zona de memorización de la tercera etapa, los datos correspondientes a las posiciones de '1' en la segunda matriz desplazada que configura la matriz suma desde (6, 1) a (10, 5) de la matriz de control de paridad transformada H' se memorizan.

Dicho de otro modo, para una matriz constitutiva de cuyo peso de ponderación es dos o más, cuando la matriz constitutiva se representa como una suma de múltiples partes de una matriz unitaria P × P cuyo peso de ponderación es 1, una matriz cuasi unitaria en la que uno o más elementos de '1' en la matriz unitaria se establece a 0, o una matriz desplazada adquirida mediante un desplazamiento cíclico de la matriz unitaria o de la matriz cuasi unitaria, los datos (mensajes correspondientes a ramas de derivación que pertenecen a la matriz unitaria, la matriz cuasi unitaria o la matriz desplazada) correspondientes a las posiciones de '1' en la múltiple unitaria de un peso de ponderación de 1, la matriz cuasi unitaria o la matriz desplazada se memorizan en la misma dirección (un mismo dispositivo FIFO de entre los dispositivos FIFOs 304₁ a 304₁₈).

Posteriormente, también en las zonas de memorización de las cuarta y quinta etapas, los datos se memorizan en asociación con la matriz de control de paridad transformada H'. El número de etapas de la zona de memorización del dispositivo FIFO 304₁ se establece a 5 que es un valor máximo del número de '1' (peso de Hamming) en la primera columna a la quinta columna de la matriz de control de paridad transformada H'.

También en los dispositivos FIFOs 304₂ y 304₃, los datos se memorizan similarmente en asociación con la matriz de control de paridad transformada H' y cada longitud (el número de etapas) es 5. En los dispositivos FIFOs 304₄ a 304₁₂, los datos se memorizan similarmente en asociación con la matriz de control de paridad transformada H' y cada longitud es 3. En los dispositivos FIFOs 304₁₃ a 304₁₈, los datos se memorizan similarmente en asociación con la matriz de control de paridad transformada H' y cada longitud es 2.

A continuación, se describirá la operación del dispositivo de decodificación ilustrado en la Figura 138.

La memoria de almacenamiento de datos de ramas de derivación 300 está configurada por 6 dispositivos FIFOs 300₁ a 300₆ y selecciona un dispositivo FIFO para memorizar datos desde entre los FIFOs 300₁ a 300₆ sobre la base de la información (datos de matriz) D312 en una fila de la matriz de control de paridad transformada H' a la que cinco mensajes D311 suministrados desde el circuito de desplazamiento cíclico 308 de la etapa anterior pertenecen y memoriza secuencialmente los cinco mensajes D311 en el dispositivo FIFO seleccionado en su totalidad. Además, para poder efectuar la lectura de datos, la memoria de almacenamiento de datos de rama de derivación 300 efectúa una lectura secuencial de cinco mensajes D300₁ desde el FIFO 300₁ y suministra los mensajes leídos al selector 301 de la etapa siguiente. Después de completar la lectura de los mensajes desde el dispositivo FIFO 300₁ la memoria de almacenamiento de datos de rama de derivación 300 efectúa una lectura secuencial de los mensajes también desde los dispositivos FIFOs 300₂ a 300₆ y suministra los mensajes leídos al selector 301.

El selector 301 selecciona cinco mensajes desde el dispositivo FIFO a partir de los que los datos actuales son objeto de lectura desde los dispositivos FIFOs 300₁ a 300₆ en conformidad con una señal de selección D301 y suministra los mensajes seleccionados a la unidad de cálculo de nodo de control 302 como mensajes D302.

La unidad de cálculo de nodos de control 302 está configurada por cinco calculadores de nodos de control 302₁ a 302₅ y realizan los cálculos de nodos de control sobre la base de la Ecuación (7) utilizando los mensajes D302 (D302₁ a D302₅) (mensaje v_i representado en la Ecuación (7)) suministrados por intermedio del selector 301 y suministra los mensajes D303 (D303₁ a D303₅) (mensaje u_j representado en la Ecuación (7)) adquiridos como resultado de los cálculos de nodos de control para el circuito de desplazamiento cíclico 303.

El circuito de desplazamiento cíclico 303 desplaza cíclicamente los cinco mensajes D303₁ a D303₅ adquiridos por la unidad de cálculo de nodos de control 302 sobre la base de la información (datos de matriz) D305 sobre el número de desplazamientos cíclicos realizados para la matriz unitaria que es el origen de la matriz de control de paridad transformada H' para una rama de derivación correspondiente y suministra un resultado a la memoria de almacenamiento de datos de ramas de derivación 304 como mensajes D304.

La memoria de almacenamiento de datos de ramas de derivación 304 está configurada por 18 FIFOs 304₁ a 304₁₈ y selecciona un dispositivo FIFO para memorizar datos desde entre los FIFOs 304₁ a 304₁₈ sobre la base de la información D305 sobre la fila de la matriz de control de paridad transformada H' a la que pertenecen los cinco mensajes D304 suministrados desde el circuito de desplazamiento cíclico 303 de la etapa anterior y efectúa una memorización secuencial de los cinco mensajes D304 en el dispositivo FIFO seleccionado, en su totalidad. Además, con el fin de la lectura de datos, la memoria de almacenamiento de datos de ramas de derivación 304 realiza una lectura secuencial de cinco mensajes D306₁ desde el dispositivo FIFO 304₁ y suministra los mensajes leídos al selector 305 de la etapa siguiente. Después de completada la lectura de datos desde FIFO 304₁, la memoria de almacenamiento de datos de ramas de derivación 304 efectúa una lectura secuencial de mensajes también desde los dispositivos FIFOs 304₂ a 304₁₈ y suministra los mensajes leídos al selector 305.

El selector 305 selecciona cinco mensajes desde el FIFO desde donde los datos actuales son objeto de lectura desde los FIFOs 304₁ a 304₁₈ en conformidad con la señal de selección D307 y suministra los mensajes seleccionados a la unidad de cálculo de nodos variables 307 y a la unidad de cálculo de palabras decodificadas 309 como un mensaje D308.

Mientras tanto, la unidad de redistribución de datos de recepción 310 redispone el código LDPC D313 recibido a través de un canal de comunicaciones realizando la sustitución de columnas de la Ecuación (12) y suministra los datos resultantes a la memoria de datos de recepción 306 como datos de recepción D314. La memoria de datos de recepción 306 calcula una relación LLR (relación de probabilidad logarítmica) de recepción sobre la base de los datos de recepción D314 suministrados desde la unidad de reposición de datos de recepción 310, memoriza la LLR de recepción y suministra LLRs de recepción juntos para cada cinco recepciones a la unidad de cálculo de nodos variables 307 y a la unidad de cálculo de palabras decodificadas 309 como un valor de recepción D309.

La unidad de cálculo de nodos variables 307 está configurada por cinco calculadores de nodos variables 307₁ a 307₅ y realiza cálculos de nodos variables basados en la Ecuación (1) utilizando los mensajes D308 (D308₁ a D308₅) (mensaje u_j representado en la Ecuación (1)) suministrados por intermedio del selector 305 y cinco valores de recepción D309 (valor de recepción u_{0i} representado en la Ecuación (1)) suministrados desde la memoria de datos de recepción 306 y suministra los mensajes D310 (D310₁ a D310₅) (mensaje v_i representado en la Ecuación (1)) adquiridos como resultados de los cálculos al circuito de desplazamiento cíclico 308.

El circuito de desplazamiento cíclico 308 efectúa un desplazamiento cíclico de los mensajes D310₁ a D310₅ calculados por unidad de cálculo de nodos variables 307 sobre la base de la información sobre el número de desplazamientos cíclicos realizados para la matriz unitaria que es el origen de la matriz de control de paridad transformada H' para la rama de derivación correspondiente y suministra un resultado a la memoria de almacenamiento de datos de ramas de derivación 300 como un mensaje D311.

Realizando las operaciones anteriormente descritas en un solo ciclo, la decodificación de un código LDPC puede realizarse una vez. Después de que el código LDPC se decodifique durante un número de veces predeterminado, el dispositivo de decodificación ilustrado en la Figura 138 adquiere un resultado de decodificación final utilizando la unidad de cálculo de palabras decodificadas 309 y la unidad de redistribución de datos de decodificación 311 y proporciona, a la salida, el resultado.

Dicho de otro modo, la unidad de cálculo de palabras decodificadas 309 está configurada por cinco calculadores de palabras decodificadas 309₁ a 309₅ y calcula un resultado de decodificación (palabra decodificada) sobre la base de la Ecuación (5) como una etapa final de una pluralidad de veces de decodificación utilizando los cinco mensajes D308 (D308₁ a D308₅) (mensaje u_j representado en la Ecuación (5)) procedente del selector 305 y cinco valores de recepción D309 (valor de recepción u_{0i} representado en la Ecuación (5)) suministrados desde la memoria de datos de recepción 306 y suministra datos decodificados D315 que se adquieren como un resultado a la unidad de redistribución de datos de decodificación 311.

La unidad de redistribución de datos de decodificación 311 redistribuye la secuencia de los datos decodificados D315 suministrados desde la unidad de cálculo de palabras decodificadas 309 como un objetivo realizando la sustitución inversa de la sustitución de columnas que se ilustra en la Ecuación (12) para los datos decodificados y proporciona los datos resultantes como un resultado de decodificación final D316.

Según se indicó con anterioridad, al realizar una o ambas de la sustitución de filas y de la sustitución de columnas para la matriz de control de paridad (matriz de control de paridad original), la matriz de control de paridad se transforma en una combinación de una matriz unitaria $P \times P$, una matriz cuasi unitaria en donde uno o más elementos de '1' en la matriz unitaria se establecen a '0', una matriz desplazada adquirida mediante desplazamiento cíclico de la matriz unitaria o de la matriz cuasi unitaria, una matriz suma que es una suma de una pluralidad de matrices de la matriz unitaria, la matriz cuasi unitaria o la matriz desplazada y una matriz $P \times P$ 0, o lo que es lo mismo, una matriz de control de paridad (matriz de control de paridad transformada) que puede representarse como una combinación de matrices constitutivas y en consecuencia, se puede utilizar una arquitectura en donde P cálculos de nodos de control y cálculos de nodos variables pueden realizarse simultáneamente en la decodificación de un código LDPC. En consecuencia, realizando simultáneamente P cálculos de nodos, la frecuencia operativa puede suprimirse dentro de un margen utilizable y por ello, se pueden realizar numerosos procesos de decodificación repetitivos.

El decodificador LDPC 166 que configura el dispositivo de recepción 12 ilustrado en la Figura 132, similarmente al dispositivo de decodificación ilustrado en la Figura 138, realiza simultáneamente P cálculos de nodos de control y cálculos de nodos variables con lo que se realiza la decodificación LDPC.

Para simplificar la descripción, cuando la matriz de control de paridad de un código LDPC procedente del codificador LDPC 115 que configura el dispositivo de transmisión 11 ilustrado en la Figura 8 es, a modo de ejemplo, la matriz de control de paridad H ilustrada en la Figura 135 en donde la matriz de paridad tiene una estructura escalonada, en el intercalador de paridad 23 del dispositivo de transmisión 11, la intercalación de paridad en donde el $(K + qx + y + 1)$ -ésimo bit de código se intercala en la posición del $(K + Py + x + 1)$ -ésimo bit de código que se realiza con la longitud de información K establecida a 60, el número P de columnas unitarias de la estructura cíclica establecido a 5 y el divisor $q (= M/P)$ de la longitud de paridad M establecido a 6.

Puesto que esta intercalación de paridad, según se describió anteriormente, corresponde a la sustitución de columnas de la Ecuación (12), el decodificador LDPC 166 no necesita realizar la sustitución de columnas de la Ecuación (12).

En consecuencia, el dispositivo de recepción 12 ilustrado en la Figura 132, según se describió con anterioridad, realiza un proceso que es similar al del dispositivo de decodificación ilustrado en la Figura 138 con la excepción de que un código LDPC para el que no se realiza la desintercalación de paridad, es decir, un código LDPC en el estado operativo en donde se ha realizado la sustitución de filas de la Ecuación (12) se suministra al decodificador LDPC 166 desde el desintercalador de columnas con torsión 55 y el decodificador LDPC 166 no realiza la sustitución de columnas de la Ecuación (12).

Dicho de otro modo, la Figura 139 ilustra un ejemplo de configuración del decodificador LDPC 166 ilustrado en la Figura 132.

Según se ilustra en la Figura 139, el decodificador LDPC 166 está configurado similarmente al dispositivo de decodificación ilustrado en la Figura 138 con la excepción de que no está dispuesta la unidad de redistribución de datos de recepción 310 ilustrada en la Figura 138 y realiza el mismo proceso que el del dispositivo de decodificación ilustrado en la Figura 138 con la excepción de que no se realiza la sustitución de columnas de la Ecuación (12) y por ello, no se presentará aquí su descripción.

Según se indicó con anterioridad, puesto que el decodificador LDPC 166 puede configurarse sin la disposición de la unidad de redistribución de datos de recepción 310, la escala puede ser más pequeña que la que tiene el dispositivo

de decodificación ilustrado en la Figura 138.

Para facilitar la descripción, en las Figuras 135 a 139, mientras la longitud de código N del código LDPC se establece a 90, la longitud de información K se establece a 60, el número P (el número de filas y el número de columnas de la matriz constitutiva) de columnas unitarias de la estructura cíclica se establece a 5 y el divisor q (= M/P) de la longitud de paridad M se establece a 6, la longitud de código N, la longitud de información K, el número P de columnas unitarias de la estructura cíclica y el divisor q (= M/P) no tienen la limitación de los valores anteriormente descritos.

Dicho de otro modo, en el dispositivo de transmisión 11 ilustrado en la Figura 8, mientras que el codificador LDPC 115 proporciona, a modo de ejemplo, un código LDPC que tiene una longitud de código N de 64800, 16200 o 4320, una longitud de información K de $N - Pq$ (= $N - M$), el número P de columnas unitarias de la estructura cíclica de 360, 72, o 60, un divisor q de M/P, el decodificador LDPC 166 ilustrado en la Figura 139 puede aplicarse también a un caso en donde se realiza la decodificación LDPC para dicho código LDPC como un objetivo realizando simultáneamente P cálculos de nodo de control y cálculos de nodos variables.

La Figura 140 es un diagrama que ilustra el proceso de multiplexor 54 que configura el desintercalador de bits 165 ilustrado en la Figura 133.

Dicho de otro modo, la referencia A de la Figura 140 ilustra un ejemplo de configuración funcional del multiplexor 54.

El multiplexor 54 está configurado por una unidad de intercambio inverso 1001 y una memoria 1002.

El multiplexor 54, para bits de símbolos del símbolo suministrados desde el decodificador QAM 164 de la etapa anterior, realiza un proceso de intercambio inverso (un proceso inverso del proceso de intercambio) correspondiente al proceso de intercambio realizado por el demultiplexor 25 del dispositivo de transmisión 11, es decir, un proceso de intercambio inverso en donde las posiciones de los bits de código (bits de símbolos) de un código LDPC, que han sido intercambiados por el proceso de intercambio, se retornan a las posiciones originales y se suministra un código LDPC adquirido como un resultado al desintercalador de columnas con torsión 55 de la etapa siguiente.

Dicho de otro modo, en el multiplexor 54, los bits de símbolo $y_0, y_1, \dots, y_{mb-1}$ de mb bits de b símbolos se suministran a la unidad de intercambio inverso 1001 en unidades de b símbolos (consecutivos).

La unidad de intercambio inverso 1001 realiza el intercambio inverso en donde los bits de símbolos y_0 a y_{mb-1} de mb bits se retornan a la disposición original de los bits de código $b_0, b_1, \dots, b_{mb-1}$ (la disposición de los bits de código b_0 a b_{mb-1} antes del intercambio realizado por la unidad de intercambio 32 que configura el demultiplexor 25 dispuesto en el lado del dispositivo de transmisión 11) de los mb bits originales y proporciona, a la salida, los bits de código b_0 a b_{mb-1} de mb bits adquiridos como un resultado.

La memoria 1002, similarmente a la memoria 31 que configura el demultiplexor 25 del lado del dispositivo de transmisión 11 tiene una capacidad de memorización para memorizar mb bits en la dirección de las filas (horizontal) y $N/(mb)$ bits en la dirección de las columnas (vertical). Dicho de otro modo, la memoria 1002 está configurada por mb columnas que memorizan $N/(mb)$ bits.

Sin embargo, en la memoria 1002, los bits de código de un código LDPC procedentes de la unidad de intercambio inverso 1001 son objeto de escritura en una dirección en la que los bits de código suministrados desde la memoria 31 del demultiplexor 25 del dispositivo de transmisión 11 son objeto de lectura y los bits de código escritos en la memoria 1002 son objeto de lectura en una dirección en la que los bits de código se escriben en la memoria 31.

Dicho de otro modo, en el multiplexor 54 del dispositivo de recepción 12, según se ilustra en la referencia A de la Figura 140, la escritura de bits de código de un código LDPC proporcionado por la unidad de intercambio inverso 1001 en unidades de mb bits en la dirección de las filas se realiza secuencialmente a partir de la primera fila de la memoria 1002 a las filas inferiores.

A continuación, cuando se completa la escritura de bits de código correspondientes a una longitud de código, el multiplexor 54 efectúa la lectura de bits de código desde la memoria 1002 en la dirección de las columnas y suministra los bits de código leídos al desintercalador de columnas con torsión 55 de la etapa siguiente.

En este caso, la referencia B de la Figura 140 es un diagrama que ilustra la lectura de bits de código desde la memoria 1002.

En el multiplexor 54, la lectura de los bits de código de un código LDPC desde el lado superior de la columna que configura la memoria 1002 para la dirección descendente (dirección de columnas) se realiza desde el lado izquierdo hacia la columna situada en el lado derecho.

La Figura 141 es un diagrama que ilustra el proceso del intercalador de columnas con torsión 55 que configura el

desintercalador de bits 165 ilustrado en la Figura 133.

Dicho de otro modo, la Figura 141 ilustra una configuración, a modo de ejemplo, de la memoria 1002 del multiplexor 54.

La memoria 1002 tiene una capacidad de memorización para memorizar mb bits en la dirección de las columnas (vertical) y N/(mb) bits en la dirección de las filas (horizontal) y se configura por mb columnas.

El desintercalador de columnas con torsión 55 realiza la desintercalación de torsión de columnas mediante la escritura de bits de código de un código LDPC en la memoria 1002 en la dirección de las filas y controlando la posición de inicio de escritura para la lectura de los bits de código en la dirección de las columnas.

Dicho de otro modo, en el desintercalador de columnas con torsión 55, cambiando adecuadamente la posición de inicio de escritura en la que se inicia la lectura de bits de código para cada una de una pluralidad de columnas, se realiza un proceso de clasificación inversa en donde la disposición de bits de código redispuesta por intermedio de la intercalación de torsión de columnas se retorna a la disposición original.

En este caso, la Figura 141 ilustra un ejemplo de configuración de la memoria 1002 en un caso en donde el modo de modulación es 16 QAM y el múltiplo b es 1, descrita con referencia a la Figura 24. En consecuencia, el número m de bits de un símbolo es cuatro bits y la memoria 1002 se configura 4 (= mb) columnas.

El desintercalador de columnas con torsión 55, en lugar de multiplexor 54, realiza secuencialmente la escritura de bits de código de una salida de código LDPC por la unidad de intercambio 1001 en la dirección de las filas desde la primera fila de la memoria 1002 a las filas inferiores.

A continuación, cuando se completa la escritura de bits de código correspondientes a una longitud de código, el desintercalador de columnas con torsión 55 realiza la lectura de bits de código desde el lado superior de la memoria 1002 a la dirección descendente (dirección de columnas) desde el lado izquierdo hacia la columna situada en el lado derecho.

En este caso, el desintercalador de columnas con torsión 55 efectúa la lectura de bits de código desde la memoria 1002 con la posición de inicio de escritura en donde el intercalador de columnas con torsión 24 situado en el lado del dispositivo de transmisión 11 realiza la escritura del conjunto de bits de código como la posición de inicio de lectura de los bits de código.

Dicho de otro modo, cuando la dirección de la posición del inicio (parte más superior) de cada columna es 0 y la dirección de cada posición en la dirección de las columnas se representa como un número entero en el orden ascendente, en un caso en donde el modo de modulación es 16 QAM y el múltiplo b es 1, en el desintercalador de columnas con torsión 55, la posición de inicio de lectura se establece en una posición de dirección 0 para la columna situada más a la izquierda, la posición de inicio de lectura se establece a una posición de dirección 2 para la segunda columna (desde el lado izquierdo), la posición de inicio de lectura se establece una posición de dirección 4 para la tercera columna y la posición de inicio de lectura se establece para una posición de dirección 7 para la cuarta columna.

Para cada columna que tiene la posición de inicio de lectura distinta de la posición de dirección 0, después de que se realice la lectura de bits de código hasta la posición más inferior, la posición de lectura se retorna al inicio (la posición de dirección 0) y la lectura se realiza hasta una posición inmediatamente antes de la posición de inicio de lectura. En adelante, la lectura se realiza a partir de la columna siguiente (el lado derecho).

Realizando la intercalación de torsión de columnas en la forma anteriormente descrita, la disposición de los bits de código redispuestos mediante la intercalación de torsión de columnas se retorna a la disposición original.

La Figura 142 es un diagrama de bloques que ilustra otra configuración, a modo de ejemplo, del desintercalador de bits 165 ilustrado en la Figura 132.

En dicha figura, las mismas referencias numéricas se asignan a una parte correspondiente al caso de la Figura 133, y, en adelante, no se presentará su descripción, cuando sea apropiado.

La configuración del desintercalador de bits 165 ilustrado en la Figura 142 es la misma que la del caso ilustrado en la Figura 133 con la excepción de que se dispone recientemente de un desintercalador de paridad 1011.

Según se ilustra en la Figura 142, el desintercalador de bits 165 se configura por un multiplexor (MUX) 54, un desintercalador de columnas con torsión 55 y un desintercalador de paridad 1011 y realiza la intercalación de bits de código de un código LDPC suministrado desde el decodificador de QAM 164.

Dicho de otro modo, el multiplexor 54, para un código LDPC suministrado desde el decodificador QAM 164, realiza

un proceso de intercambio inverso (un proceso inverso del proceso de intercambio) correspondiente al proceso de intercambio realizado por el demultiplexor 25 del dispositivo de transmisión 11, es decir, un proceso de intercambio inverso en donde las posiciones de los bits de código que han sido intercambiadas por el proceso de intercambio se retornan a las posiciones originales y suministra un código LDPC adquirido como un resultado al desintercalador de columnas con torsión 55.

El desintercalador de columnas con torsión 55, para el código LDPC suministrado desde el multiplexor 54, realiza la desintercalación de torsión de columnas correspondiente a la intercalación de torsión de columnas como un proceso de redistribución realizado por el intercalador de columnas con torsión 24 del dispositivo de transmisión 11.

Un código LDPC adquirido como resultado de la desintercalación de torsión de columnas se suministra desde el desintercalador de columnas con torsión 55 al desintercalador de paridad 1011.

El desintercalador de paridad 1011, para los bits de código después de que se realice la desintercalación de torsión de columnas por el desintercalador de columnas con torsión 55, realiza la desintercalación de paridad (un proceso inverso de la intercalación de paridad) correspondiente a la intercalación de paridad realizada por el intercalador de paridad 23 del dispositivo de transmisión 11, dicho de otro modo, la desintercalación de paridad en donde los bits de código del código LDPC redistribuidos mediante la intercalación de paridad se retornan a la disposición original.

Un código LDPC adquirido como resultado de la desintercalación de paridad se suministra desde el desintercalador de paridad 1011 al decodificador LDPC 166.

En consecuencia, en el desintercalador de bits 165 ilustrado en la Figura 142, se suministra un código LDPC para el que se ha realizado el proceso de intercambio inverso, la desintercalación de torsión de columnas y la desintercalación de paridad, es decir, un código LDPC adquirido mediante la codificación LDPC en conformidad con la matriz de control de paridad H para el decodificador LDPC 166.

El decodificador LDPC 166 realiza la decodificación LDPC del código LDPC suministrado desde el desintercalador de bits 165 utilizando la matriz de control de paridad H utilizada por el codificador LDPC 115 del dispositivo de transmisión 11 en el proceso de codificación LDPC o una matriz de control de paridad transformada adquirida realizando al menos la sustitución de columnas correspondiente a la intercalación de paridad para la matriz de control de paridad H y proporciona los datos adquiridos como un resultado de la decodificación de los datos objetivos de LDPC.

En este caso, en la Figura 142, puesto que el código LDPC adquirido realizando la codificación de LDPC en conformidad con la matriz de control de paridad H se suministra desde el desintercalador de bits 165 (el desintercalador de paridad 1011) al decodificador LDPC 166 en un caso en donde la decodificación de LDPC del código LDPC se realiza utilizando la matriz de control de paridad H utilizada por el codificador LDPC 115 del dispositivo de transmisión 11 en el proceso de codificación LDPC, el decodificador LDPC 166, a modo de ejemplo, puede configurarse por un dispositivo de decodificación que realiza la decodificación de LDPC en conformidad con un modo de decodificación serie completo en donde el cálculo de mensajes (mensajes de nodos de control y mensajes de nodos de variables) se realiza secuencialmente para cada nodo o bien, un dispositivo de decodificación que realiza la decodificación de LDPC en conformidad con un modo de decodificación en paralelo completo en donde el cálculo de mensajes se realiza simultáneamente (en un modo en paralelo) para todos los nodos.

Además, en el decodificador LDPC 166, en un caso en donde se realiza la decodificación LDPC de un código LDPC usando la matriz de control de paridad transformada adquirida realizando al menos la sustitución de columnas correspondiente a la intercalación de paridad para la matriz de control de paridad H utilizada por el codificador LDPC 115 del dispositivo de transmisión 11 en el proceso de codificación LDPC, el decodificador LDPC 166 puede configurarse por un dispositivo de decodificación que tienen una arquitectura en donde se realizan simultáneamente P (o un divisor de P distinto de uno) cálculos de nodos de control y cálculos de nodos de variables y el dispositivo de decodificación (Figura 138) que incluye una unidad de redistribución de datos de recepción 310 redistribuye los bits de código del código LDPC realizando la sustitución de columnas tal como la sustitución de columnas utilizada para adquirir la matriz de control de paridad transformada para el código LDPC.

En la Figura 142, para mayor claridad de la descripción, mientras el multiplexor 54, realiza el proceso de intercambio inverso, el desintercalador de columnas con torsión 55 realiza la desintercalación de torsión de columnas y el desintercalador de paridad 1011 realiza la desintercalación de paridad se configuran por separado, dos o más de entre el multiplexor 54, el desintercalador de columnas con torsión 55 y el desintercalador de paridad 1011, similarmente al intercalador de paridad 23, el intercalador de columnas con torsión 24 y el demultiplexor 25 del dispositivo de transmisión 11, pueden configurarse de manera integrada.

[Ejemplo de configuración del sistema de recepción]

La Figura 143 es un diagrama de bloques que ilustra una primera configuración, a modo de ejemplo, de un sistema de recepción al que se puede aplicar el dispositivo de recepción 12.

Según se ilustra en la Figura 143, el sistema de recepción está configurado por una unidad de adquisición 1101, una unidad de procesamiento de decodificación de canal de transmisión 1102 y una unidad de procesamiento de decodificación origen de información 1103.

La unidad de adquisición 1101 adquiere una señal que incluye un código LDPC que puede adquirirse realizando al menos la codificación LDPC de datos objetivos de LDPC tales como datos de vídeo y datos de audio de un programa a través de un canal de transmisión no ilustrado en la Figura tal como la difusión digital terrestre, la difusión digital por satélite, una red de CATV, la red de interrogación u otras redes y suministra la señal a la unidad de procesamiento de decodificación de canal de transmisión 1102.

En este caso, en donde la señal adquirida por la unidad de adquisición 1101 es objeto de difusión, a modo de ejemplo, por intermedio de una onda terrestre, una onda de satélite, una red de CATV (televisión por cable) o similar desde una estación de difusión, la unidad de adquisición 1101 está configurada por un sintonizador, un STB (Set Top Box) y dispositivos similares. Por el contrario, en un caso en donde la señal adquirida por la unidad de adquisición 1101 se transmite, a modo de ejemplo, mediante multiplexación desde un servidor web tal como IPTV (Televisión de Protocolo Internet), la unidad de adquisición 11, a modo de ejemplo, se configura por una I/F (interfaz) de red tal como NIC (Tarjeta de Interfaz de Red).

La unidad de procesamiento de decodificación de canal de transmisión 1102 corresponde al dispositivo de recepción 12. La unidad de procesamiento de decodificación de canal de transmisión 1102 realiza un proceso de decodificación de canal de transmisión que incluye al menos un proceso para corregir un error que se produce en el canal de transmisión para la señal adquirida por la unidad de adquisición 1101 a través del canal de transmisión y suministra una señal adquirida como un resultado a la unidad de procesamiento de decodificación de fuente de información 1103.

Dicho de otro modo, la señal adquirida por la unidad de adquisición 1101 a través del canal de transmisión es una señal que se adquiere realizando al menos la codificación de corrección de errores para corregir un error que se produce en el canal de transmisión y la unidad de procesamiento de decodificación de canal de transmisión 1102 realiza un proceso de decodificación de canal de transmisión tal como un proceso de corrección de errores para la señal.

En este caso, como la codificación de corrección de error, a modo de ejemplo, existen la codificación LDPC y la codificación BCH. De este modo, como la codificación de corrección de error, se realiza al menos la codificación LDPC.

Además, en el proceso de decodificación del canal de transmisión, puede incluirse la demodulación de una señal modulada o un proceso similar.

La unidad de procesamiento de decodificación de fuente de información 1103 realiza un proceso de decodificación de fuente de información que incluye al menos un proceso de descompresión de información comprimida de la información original para la señal para la que se ha realizado el proceso de decodificación de canal de transmisión.

Dicho de otro modo, la codificación comprimida que comprime la información puede realizarse para la señal adquirida por la unidad de adquisición 1101 a través del canal de transmisión con el fin de disminuir la cantidad de datos tales como de vídeo o de audio como información y, en tal caso, la unidad de procesamiento de decodificación de fuente de información 1103 realiza un proceso de decodificación de fuente de información tal como un proceso de descompresión de información comprimida en la información original (proceso de descompresión) para la señal para la que se ha realizado el proceso de decodificación de canal de transmisión.

Además, en un caso en donde no se ha realizado la codificación de compresión para la señal adquirida por la unidad de adquisición 1101 a través del canal de transmisión, la unidad de procesamiento de decodificación de fuente de información 1103 no realiza el proceso de descompresión de la información comprimida en la información original.

En este caso, como el proceso de descompresión, a modo de ejemplo, existe la decodificación MPEG o similar.

Además, en el proceso de decodificación del canal de transmisión, puede incluirse el descifrado o un proceso similar distinto del proceso de descompresión.

En el sistema de recepción configurado en la forma anteriormente descrita, la codificación de compresión tal como la codificación MPEG se realiza para datos tales como de vídeo o de audio y una señal para la que se ha realizado la codificación de corrección de errores tal como la codificación LDPC se adquiere por la unidad de adquisición 1101 a través del canal de transmisión y suministra a la unidad de procesamiento de decodificación de canal de transmisión 1102.

En la unidad de procesamiento de decodificación de canal de transmisión 1102, para la señal suministrada desde la unidad de adquisición 1101, a modo de ejemplo, se realiza un proceso similar al de la unidad de demodulación ortogonal 51, el decodificador QAM 164, el desintercalador de bits 165 y el decodificador LDPC 166 (o el

decodificador LDPC 166) se realiza como un proceso de decodificación de canal de transmisión y una señal adquirida como un resultado se suministra a la unidad de procesamiento de decodificación de fuente de información 1103.

5 La unidad de procesamiento de decodificación de fuente de información 1103 realiza un proceso de decodificación de fuente de información tal como una decodificación MPEG para la señal suministrada desde la unidad de procesamiento de decodificación de canal de transmisión 1102 y proporciona una señal de vídeo o una señal de audio adquirida como resultado.

10 El sistema de recepción ilustrado en la Figura 143, según se indicó con anterioridad, a modo de ejemplo, puede aplicarse a un sintonizador de televisión que recibe la difusión de televisión como difusión digital o similar.

Además, la unidad de adquisición 1101, la unidad de procesamiento de decodificación de canal de transmisión 1102 y la unidad de procesamiento de decodificación de fuente de información 1103 pueden configurarse, respectivamente, como un dispositivo independiente (hardware (IC (circuito integrado) o similar) o un módulo de software).

Además, con respecto a la unidad de adquisición 1101, la unidad de procesamiento de decodificación de canal de transmisión 1102 y la unidad de procesamiento de decodificación de fuente de información 1103, un conjunto de la unidad de adquisición 1101 y la unidad de procesamiento de decodificación de canal de transmisión 1102, un conjunto de la unidad de procesamiento de decodificación de canal de transmisión 1102 y de la unidad de procesamiento de decodificación de fuente de información 1103 o un conjunto de la unidad de adquisición 1101, la unidad de procesamiento de decodificación de canal de transmisión 1102 y la unidad de procesamiento de decodificación de fuente de información 1103 pueden configurarse como un dispositivo independiente.

La Figura 144 es un diagrama de bloques que ilustra una segunda configuración, a modo de ejemplo, de un sistema de recepción al que se puede aplicar el dispositivo de recepción 12.

En esta figura, la misma referencia numérica se asigna una parte correspondiente a la del caso ilustrado en la Figura 143 y por ello, no se presentará su descripción, cuando se apropiado.

El sistema de recepción ilustrado en la Figura 144 incluye una unidad de adquisición 1101, una unidad de procesamiento de decodificación de canal de transmisión 1102 y una unidad de procesamiento de decodificación de fuente de información 1103, que es la misma que la del caso ilustrado en la Figura 143, y una unidad de salida 1111 está allí recientemente dispuesta, lo que es diferente del caso ilustrado en la Figura 143.

La unidad de salida 1111, a modo de ejemplo, es un dispositivo de presentación visual que presenta una salida de vídeo o un altavoz que proporciona una señal de audio y con salidas de vídeo, audio o similares como una salida de señal desde la unidad de procesamiento de decodificación de fuente de información 1103. Dicho de otro modo, la unidad de salida 1111 visualiza una imagen o proporciona una señal de audio.

El sistema de recepción ilustrado en la Figura 144, en la forma anteriormente descrita, a modo de ejemplo, puede aplicarse a un receptor de TV (receptor de televisión) que recibe difusión de televisión como difusión digital o un receptor de radio que recibe difusión de radio o dispositivo similar.

Además, en un caso en donde no se ha realizado la codificación de compresión para la señal adquirida por la unidad de adquisición 1101, la salida de señal por la unidad de procesamiento de decodificación de canal de transmisión 1102 se suministra a la unidad de salida 1111.

La Figura 145 es un diagrama de bloques que ilustra una tercera configuración, a modo de ejemplo, de un sistema de recepción al que puede aplicarse el dispositivo de recepción 12.

En esta figura, la misma referencia numérica se asigna a una parte correspondiente a la del caso ilustrado en la Figura 143 y por ello no se presentará su descripción, cuando se apropiado.

El sistema de recepción ilustrado en la Figura 145 incluye una unidad de adquisición 1101 y una unidad de procesamiento de decodificación de canal de transmisión 1102, que es la misma que el caso ilustrado en la Figura 143.

Sin embargo, en el sistema de recepción ilustrado en la Figura 145, la unidad de procesamiento de decodificación de fuente de información 1103 no está dispuesta, pero una unidad de registro 1121 está recientemente dispuesta, lo que es diferente del caso ilustrado en la Figura 143.

La unidad de registro 1121 registra (memoriza) una señal (a modo de ejemplo, un paquete TS paquete de TS de MPEG) procedente de la unidad de procesamiento de decodificación de canal de transmisión 1102 en un soporte de registro (memorización) tal como un disco óptico, un disco duro (disco magnético) o una memoria instantánea.

El sistema de recepción ilustrado en la Figura 145, en la forma anteriormente indicada, puede aplicarse a un dispositivo registrador que registra la difusión de televisión o similar.

Además, en la Figura 145, el sistema de recepción puede configurarse con el fin de incluir una unidad de procesamiento de decodificación de fuente de información 1103 y una señal para la que se ha realizado el proceso de decodificación de fuente de información por la unidad de procesamiento de decodificación de fuente de información 1103, dicho de otro modo, una imagen o una señal de audio adquirida a través de la decodificación puede registrarse en la unidad de registro 1121.

Ordenador en conformidad con la forma de realización

A continuación, la serie anteriormente descrita de procesos puede realizarse mediante hardware o mediante software. En un caso en donde la serie de procesos se realiza por software, un programa que configura el software está instalado para un ordenador de uso general o similar.

La Figura 146 ilustra un ejemplo de configuración de un ordenador en conformidad con una forma de realización al que se instala un programa que ejecuta la serie anteriormente descrita de procesos.

El programa puede registrarse en un disco duro 705 o una memoria ROM 703 como un soporte de registro incorporado en el ordenador por anticipado.

Como alternativa, el programa puede memorizarse (registrarse) temporalmente o permanentemente en un soporte de registro extraíble 711 tal como un disco flexible, un CD-ROM (disco compacto de memoria de solamente lectura), un disco MO (magneto-óptico), un DVD (disco versátil digital), un disco magnético una memoria de semiconductores. Dicho soporte de registro extraíble 711 puede proporcionarse como un así denominado software de paquetes.

Además, en lugar de instalar el programa en el ordenador desde un soporte de registro extraíble 711 según se describió con anterioridad, el programa puede transmitirse al ordenador en una manera inalámbrica desde un sitio de descarga a través de un satélite utilizado para difusión por satélite digital o transmitirse al ordenador en una manera cableada a través de una red tal como una red de área local (LAN) o la red interrogación y, en el ordenador, el programa transmitido según se describió con anterioridad puede recibirse por una unidad de comunicaciones 708 e instalarse en un disco duro incorporado 705.

El ordenador incluye una CPU (Unidad Central de Procesamiento) 702. Una interfaz de entrada/salida 710 está conectada a la unidad CPU 702 a través de un bus 701 y cuando una instrucción es objeto de entrada desde un usuario a través de la interfaz de entrada/salida 710 operando una unidad de entrada 707 que está configurada por un teclado, un ratón, un micrófono o similar, la unidad CPU 702 ejecuta un programa que se memoriza en la memoria ROM (Memoria de solamente lectura) 703 en conformidad con la instrucción. Como alternativa, la unidad CPU 702 carga un programa memorizado en el disco duro 705, un programa que se transmite desde un satélite o una red, se recibe por la unidad de comunicaciones 708 y se instala en el disco duro 705 o un programa objeto de lectura desde un soporte de registro extraíble 711 cargado en una unidad de disco 709 e instalado en el disco duro 705 en una memoria RAM (memoria de acceso aleatorio) 704 y ejecuta el programa. De este modo, la unidad CPU 702 realiza un proceso en conformidad con el diagrama de flujo anteriormente descrito o un proceso realizado sobre la base de la configuración antes descrita de los diagramas de bloques. A continuación, cuando sea necesario, la CPU 702 proporciona el resultado del procesamiento, a modo de ejemplo, desde una unidad de salida 706 configurada por una pantalla LCD (Pantalla de Cristal Líquido), un altavoz o similar a través de la interfaz de entrada/salida 710, transmite el resultado del procesamiento desde la unidad de comunicaciones 708 o registra el resultado del procesamiento en un disco duro 705.

En este caso, concretamente en esta especificación, las etapas de procesamiento que describen un programa utilizado para hacer que un ordenador realice varios procesos no necesita realizarse necesariamente en una serie temporal en conformidad con la secuencia descrita en el diagrama de flujo y un proceso (a modo de ejemplo, un proceso en paralelo o un proceso utilizando un objeto) que se realiza en una manera en paralelo en una manera individual se incluye en ella.

Además, el programa puede procesarse por un solo ordenador o puede procesarse por una pluralidad de ordenadores en una manera distribuida. Además, el programa puede transmitirse a un ordenador distante y ejecutarse.

Además, una forma de realización de la presente invención no está limitada a las formas de realización anteriormente descritas y se pueden realizar varios cambios sin desviarse por ello del concepto de la idea inventiva de la presente invención.

Dicho de otro modo, un código LDPC (la tabla de valores iniciales de la matriz de control de paridad) utilizado en la difusión digital específicamente utilizada para terminales móviles o similares según se describió con anterioridad puede utilizarse para la difusión digital específicamente utilizada para terminales fijos o similares.

LISTA DE SIGNOS DE REFERENCIA

5	11	Dispositivo de transmisión
	12	Dispositivo de recepción
	23	Intercalador de paridad
10	24	Intercalador de columnas con torsión
	25	Demultiplexor
15	31	Memoria
	32	Unidad de intercambio
	54	Multiplexor
20	55	Intercalador de columnas con torsión
	111	Adaptación de modos /multiplexor
	112	Dispositivo de relleno
25	113	Cifrador BB
	114	Codificador BCH
30	115	Codificador LDPC
	116	Intercalador de bits
35	117	Codificador de QAM
	118	Intercalador de tiempos
	119	Codificador MISO/MIMO
40	120	Intercalador de frecuencias
	121	Codificador BCH
45	122	Codificador LDPC
	123	Codificador QAM
	124	Intercalador de frecuencias
50	131	Constructor de tramas/unidad de asignación de recursos
	132	Unidad generadora OFDM
55	151	Unidad de procesamiento de OFDM
	152	Unidad de gestión de tramas
	153	Desintercalador de frecuencias
60	154	Decodificador QAM
	155	Decodificador LDPC
65	156	Decodificador BCH
	161	Desintercalador de frecuencias

	162	Decodificador MIMO/MISO
5	163	Desintercalador de tiempos
	164	Decodificador QAM
	165	Desintercalador de bits
10	166	Decodificador LDPC
	167	Decodificador BCH
15	168	Descifrador BB
	169	Unidad de supresión de nulos
	170	Demultiplexor
20	300	Memoria de almacenamiento de datos de rama de derivación
	301	Selector
25	302	Unidad de cálculo de nodos de control
	303	Circuito de desplazamiento cíclico
	304	Memoria de almacenamiento de datos de rama de derivación
30	305	Selector
	306	Memoria de datos de recepción
35	307	Unidad de cálculo de nodos variables
	308	Circuito de desplazamiento cíclico
	309	Unidad de cálculo de palabras decodificadas
40	310	Unidad de redistribución de datos de recepción
	311	Unidad de redistribución de datos decodificados
45	601	Unidad de procesamiento de codificación
	602	Unidad de memorización
	611	Unidad de establecimiento de tasas codificadas
50	612	Unidad de lectura de tablas de valores iniciales
	613	Unidad generadora de matriz de control de paridad
55	614	Unidad de lectura de bits de información
	615	Unidad de cálculo de paridad de codificación
	616	Unidad de control
60	701	Bus
	702	CPU
65	703	Memoria ROM
	704	Memoria RAM

	705	Disco duro
5	706	Unidad de salida
	707	Unidad de entrada
	708	Unidad de comunicaciones
10	709	Unidad de disco
	710	Interfaz de entrada/salida
15	711	Soporte de registro extraíble
	1001	Unidad de intercambio inverso
	1002	Memoria
20	1011	Desintercalador de paridad
	1101	Unidad de adquisición
25	1101	Unidad de procesamiento de decodificación de canal de transmisión
	1103	Unidad de procesamiento de decodificación de fuente de información
	1111	Unidad de salida
30	1121	Unidad de registro

REIVINDICACIONES

1. Un dispositivo de procesamiento de datos que realiza la codificación de bits de información que comprende:

5 una unidad de codificación que realiza la codificación de los bits de información en una palabra de código de un código de Control de Paridad de Baja Densidad, LDPC, que tiene una longitud de código de 4320 bits y una tasa codificada de 1/2 sobre la base de una matriz de control de paridad del código LDPC,

10 en donde la matriz de control de paridad incluye una matriz de información de 2160 filas x 2160 columnas y una matriz de paridad de 2160 filas x 2160 columnas,

15 en donde la matriz de paridad tiene una estructura escalonada, en la que los elementos están alineados en un modelo escalonado y en donde la matriz de información está representada por una tabla de valores iniciales de la matriz de control de paridad que representa, en su i -ésima fila, $1 \leq i \leq 30$, posiciones de elementos de '1' dentro de la $(1 + 72(i-1))$ -ésima columna de la matriz de información y

la tabla de valores iniciales de la matriz de control de paridad está constituida como sigue:

20 142 150 213 247 507 538 578 828 969 1042 1107 1315 1509 1584 1612 1781 1934 2106 2117
 3 17 20 31 97 466 571 580 842 983 1152 1226 1261 1392 1413 1465 1480 2047 2125
 49 169 258 548 582 839 873 881 931 995 1145 1209 1639 1654 1776 1826 1865 1906 1956
 148 393 396 486 568 806 909 965 1203 1256 1306 1371 1402 1534 1664 1736 1844 1947 2055
 185 191 263 290 384 769 981 1071 1202 1357 1554 1723 1769 1815 1842 1880 1910 1926 1991
 424 444 923 1679
 25 91 436 535 978
 362 677 821 1695
 1117 1392 1454 2030
 35 840 1477 2152
 1061 1202 1836 1879
 30 242 286 1140 1538
 111 240 481 760
 59 1268 1899 2144
 737 1299 1395 2072
 34 288 810 1903
 35 232 1013 1365 1729
 410 783 1066 1187
 113 885 1423 1560
 760 909 1475 2048
 68 254 420 1867
 40 283 325 334 970
 168 321 479 554
 378 836 1913 1928
 101 238 964 1393
 304 460 1497 1588
 45 151 192 1075 1614
 297 313 677 1303
 329 447 1348 1832
 582 831 984 1900,

50 y en donde las posiciones de los elementos de '1' dentro de la w -ésima columna, $(2 + 72(i-1)) \leq w \leq (72 i)$, de la matriz de información se determina sobre la base de las posiciones de elementos de '1' dentro de la $(1 + 72(i-1))$ -ésima columna mediante desplazamiento cíclico en conformidad con mod $((w-1), 72) \times q$ con $q = 30$ y mod (x, y) representando un resto adquirido dividiendo x por y .

55 2. Un método de codificación de bits de información que comprende:

codificar los bits de información en una palabra de código de un código de Control de Paridad de Baja Densidad, LDPC, que tiene una longitud de código de 4320 bits y una tasa codificada de 1/2, sobre la base de una matriz de control de paridad del código LDPC,

60 en donde la matriz de control de paridad incluye una matriz de información de 2160 filas x 2160 columnas y una matriz de paridad de 2160 filas x 2160 columnas,

65 en donde la matriz de paridad tiene una estructura escalonada, en la que los elementos están alineados en un modelo escalonado y en donde la matriz de información está representada por una tabla de valores iniciales de matriz de control de paridad que representa, en su i -ésima fila, $1 \leq i \leq 30$ posiciones de elementos de '1' dentro de la

(1 + 72(i-1))-ésima columna de la matriz de información y

la tabla de valores iniciales de la matriz de control de paridad está constituida como sigue:

5 142 150 213 247 507 538 578 828 969 1042 1107 1315 1509 1584 1612 1781 1934 2106 2117
 3 17 20 31 97 466 571 580 842 983 1152 1226 1261 1392 1413 1465 1480 2047 2125
 49 169 258 548 582 839 873 881 931 995 1145 1209 1639 1654 1776 1826 1865 1906 1956
 148 393 396 486 568 806 909 965 1203 1256 1306 1371 1402 1534 1664 1736 1844 1947 2055
 185 191 263 290 384 769 981 1071 1202 1357 1554 1723 1769 1815.1842 1880 1910 1926 1991
 10 424 923 1679
 91 436 535 978
 362 677 821 1695
 1117 1392 1454 2030
 35 840 1477 2152
 15 1061 1202 1836 1879
 242 286 1140 1538
 111 240 481 760
 59 1268 1899 2144
 737 1299 1395 2072
 20 34 288 810 1903
 232 1013 1365 1729
 410 783 1066 1187
 113 885 1423 1560
 760 909 1475 2048
 25 68 254 420 1867
 283 325 334 970
 168 321 479 554
 378 836 1913 1928
 101 238 964 1393
 30 304 460 1497 1588
 151 192 1075 1614
 297 313 677 1303
 329 447 1348 1832
 582 831 984 1900,

y en donde las posiciones de los elementos de '1' dentro de la w-ésima columna, $(2 + 72(i-1)) \leq w \leq (72 i)$, de la matriz de información se determina sobre la base de las posiciones de elementos de '1' dentro de la (1 + 72(i-1))-ésima columna mediante desplazamiento cíclico en conformidad con mod $((w-1), 72) \times q$ con $q = 30$ y mod (x, y) representado un resto adquirido dividiendo x por y .

3. Un dispositivo de procesamiento de datos para decodificar un código de Control de Paridad de Baja Densidad, LDPC, con el dispositivo de procesamiento de datos comprendiendo:

una unidad de decodificación para decodificar una palabra de código del código LDPC que tiene una longitud de código de 4320 bits y una tasa codificada de 1/2, sobre la base de una matriz de control de paridad del código LDPC en bits de información,

en donde la matriz de control de paridad incluye una matriz de información de 2160 filas x 2160 columnas y una matriz de paridad de 2160 filas x 2160 columnas,

en donde la matriz de paridad tiene una estructura escalonada, en la que los elementos están alineados en un modelo escalonado y en donde la matriz de información está representada por una tabla de valores iniciales de matriz de control de paridad que representa, en su i-ésima fila, $1 \leq i \leq 30$ posiciones de elementos de '1' dentro de la (1 + 72(i-1))-ésima columna de la matriz de información y

la tabla de valores iniciales de la matriz de control de paridad está constituida como sigue:

142 150 213 247 507 538 578 828 969 1042 1107 1315 1509 1584 1612 1781 1934 2106 2117
 3 17 20 31 97 466 571 580 842 983 1152 1226 1261 1392 1413 1465 1480 2047 2125
 49 169 258 548 582 839 873 881 931 995 1145 1209 1639 1654 1776 1826 1865 1906 1956
 148 393 396 486 568 806 909 965 1203 1256 1306 1371 1402 1534 1664 1736 1844 1947 2055
 185 191 263 290 384 769 981 1071 1202 1357 1554 1723 1769 1815 1842 1880 1910 1926 1991
 424 444 923 1679
 91 436 535 978
 362 677 821 1695
 1117 1392 1454 2030

35 840 1477 2152
 1061 1202 1836 1879
 242 286 1140 1538
 111 240 481 760
 5 59 1268 1899 2144
 737 1299 1395 2072
 34 288 810 1903
 232 1013 1365 1729
 410 783 1066 1187
 10 113 885 1423 1560
 760 909 1475 2048
 68 254 420 1867
 283 325 334 970
 168 321 479 554
 15 378 836 1913 1928
 101 238 964 1393
 304 460 1497 1588
 151 192 1075 1614
 297 313 677 1303
 20 329 447 1348 1832
 582 831 984 1900,

y las posiciones de elementos de '1' dentro de la w -ésima columna, $(2 + 72(i-1)) \leq w \leq (72 i)$, de la matriz de información se determinan sobre la base de las posiciones de elementos de '1' dentro de la $(1 + 72(i-1))$ -ésima columna mediante desplazamiento cíclico en conformidad con mod $((w-1), 72) \times q$ con $q = 30$ y mod (x, y) representando un resto adquirido dividiendo x por y .

4. El aparato de procesamiento de datos según la reivindicación 3, que incluye:

un desintercalador de paridad para desintercalar solamente bits de paridad de la palabra de código de LDPC.

5. El aparato de procesamiento de datos según la reivindicación 3, que incluye:

una unidad de memorización para memorizar la palabra de código de LDPC en una pluralidad de columnas;

un desintercalador de columnas con torsión para desintercalar los datos memorizados en una pluralidad de columnas en la dirección de la columna,

6. Un método de procesamiento de datos para decodificar un código de Control de Paridad de Baja Densidad, LDPC, que comprende:

una etapa de decodificación para decodificar una palabra de código del código LDPC que tiene una longitud de código de 4320 bits y una tasa codificada de $1/2$

sobre la base de una matriz de control de paridad del código LDPC,

en donde la matriz de control de paridad incluye una matriz de información de 2160 filas x 2160 columnas y una matriz de paridad de 2160 filas x 2160 columnas,

en donde la matriz de paridad tiene una estructura escalonada, en la que los elementos están alineados en un modelo escalonado y en donde la matriz de información está representada por una tabla de valores iniciales de matriz de control de paridad que representa, en su i -ésima fila, $1 \leq i \leq 30$, posiciones de elementos de '1' dentro de la $(1 + 72(i-1))$ -ésima columna de la matriz de información y

la tabla de valores iniciales de la matriz de control de paridad está constituida como sigue:

142 150 213 247 507 538 578 828 969 1042 1107 1315 1509 1584 1612 1781 1934 2106 2117
 3 17 20 31 97 466 571 580 842 983 1152 1226 1261 1392 1413 1465 1480 2047 2125
 49 169 258 548 582 839 873 881 931 995 1145 1209 1639 1654 1776 1826 1865 1906 1956
 148 393 396 486 568 806 909 965 1203 1256 1306 1371 1402 1534 1664 1736 1844 1947 2055
 185 191 263 290 384 769 981 1071 1202 1357 1554 1723 1769 1815 1842 1880 1910 1926 1991
 424 444 923 1679
 91 436 535 978
 362 677 821 1695
 1117 1392 1454 2030
 35 840 1477 2152

1061 1202 1836 1879
 242 286 1140 1538
 111 240 481 760
 59 1268 1899 2144
 5 737 1299 1395 2072
 34 288 810 1903
 232 1013 1365 1729
 410 783 1066 1187
 113 885 1423 1560
 10 760 909 1475 2048
 68 254 420 1867
 283 325 334 970
 168 321 479 554
 378 836 1913 1928
 15 101 238 964 1393
 304 460 1497 1588
 151 192 1075 1614
 297 313 677 1303
 329 447 1348 1832
 20 582 831 984 1900,

y en donde las posiciones de elementos de '1' dentro de la w -ésima columna, $(2 + 72(i-1)) \leq w \leq (72 i)$, de la matriz de información se determina sobre la base de las posiciones de elementos de '1' dentro de la $(1 + 72(i-1))$ -ésima columna mediante desplazamiento cíclico en conformidad con mod $((w-1), 72) \times q$ con $q = 30$ y mod (x, y) representando un resto adquirido dividiendo x por y .

FIG. 1

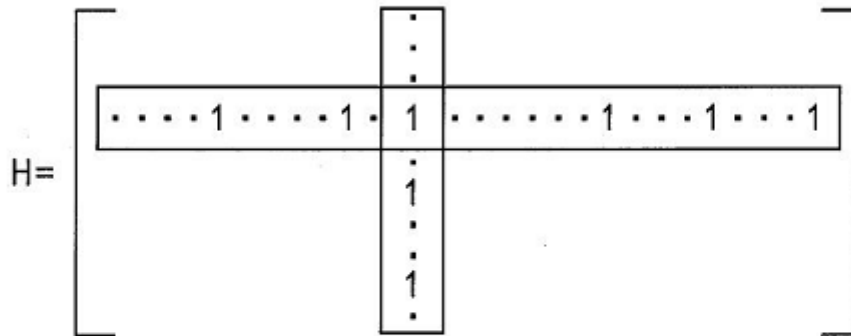


FIG. 2

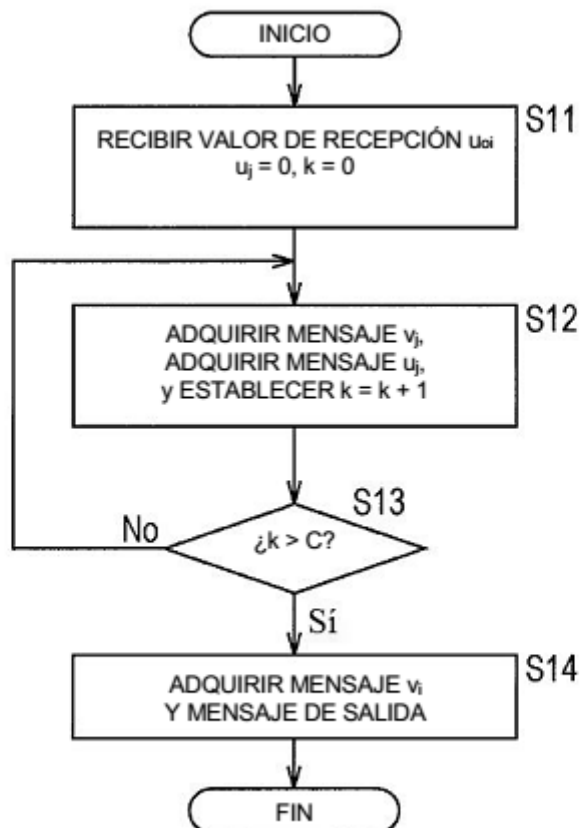


FIG. 3

$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \end{bmatrix}$$

FIG. 4

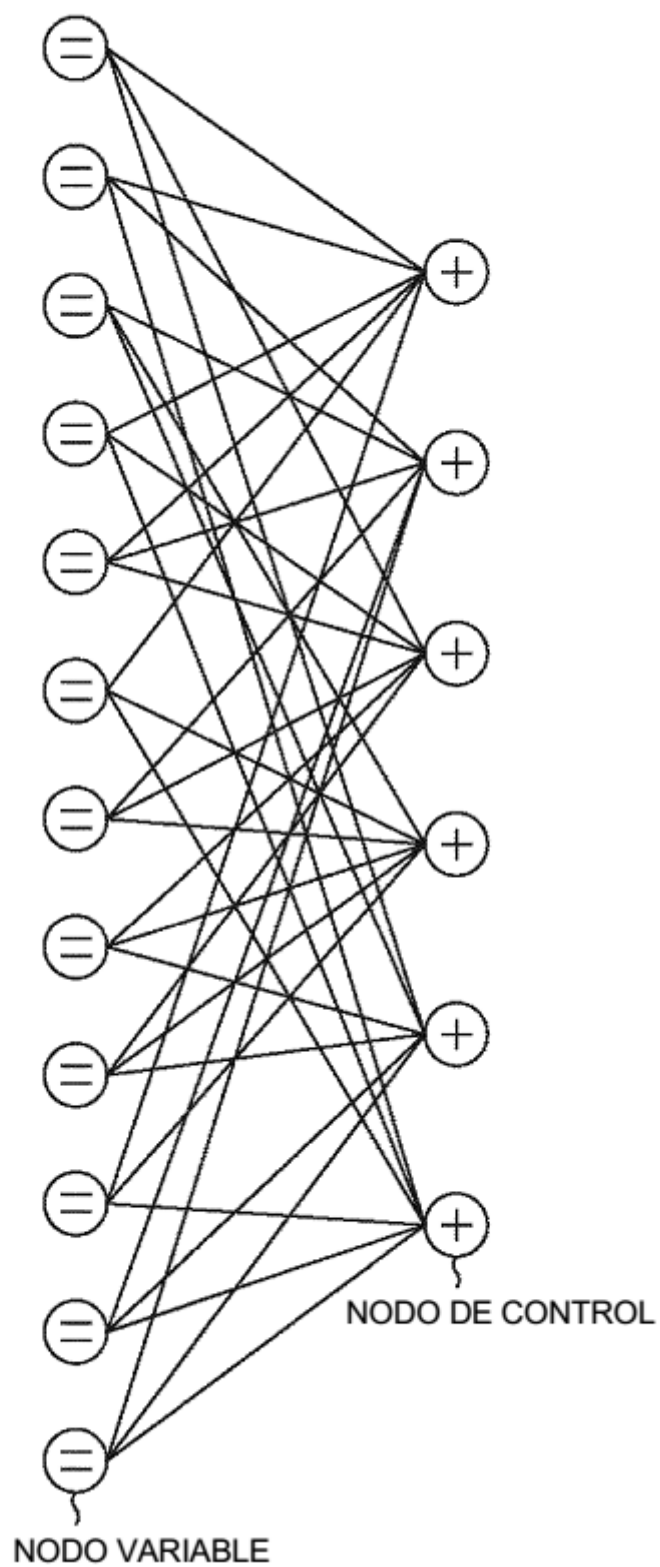


FIG. 5

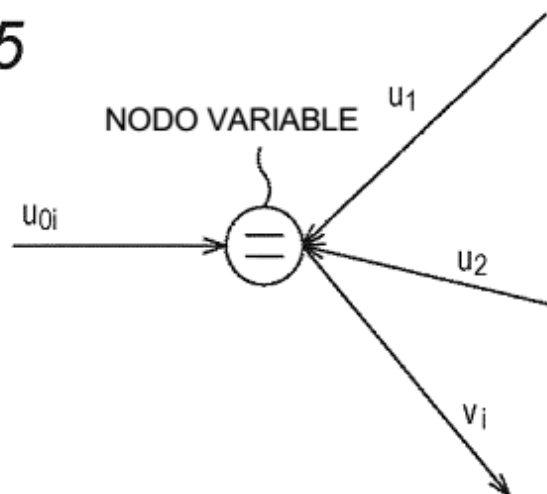


FIG. 6

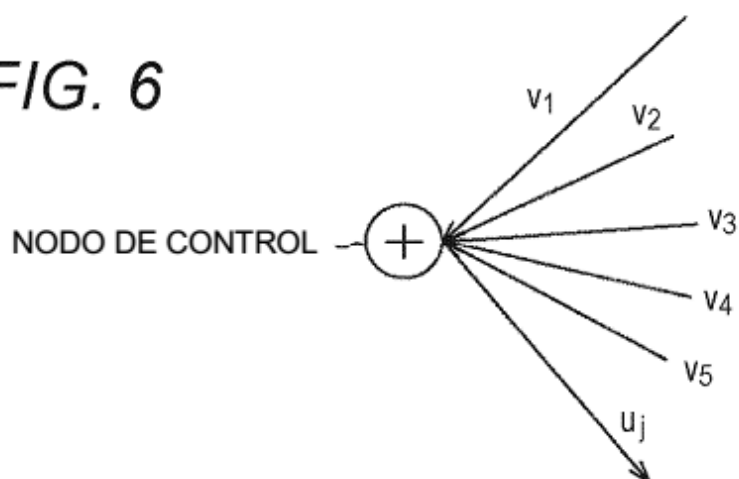


FIG. 7

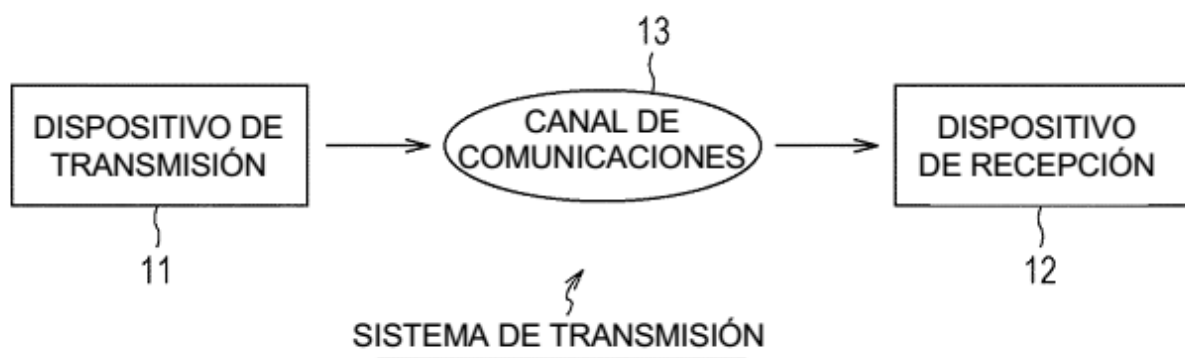


FIG. 8

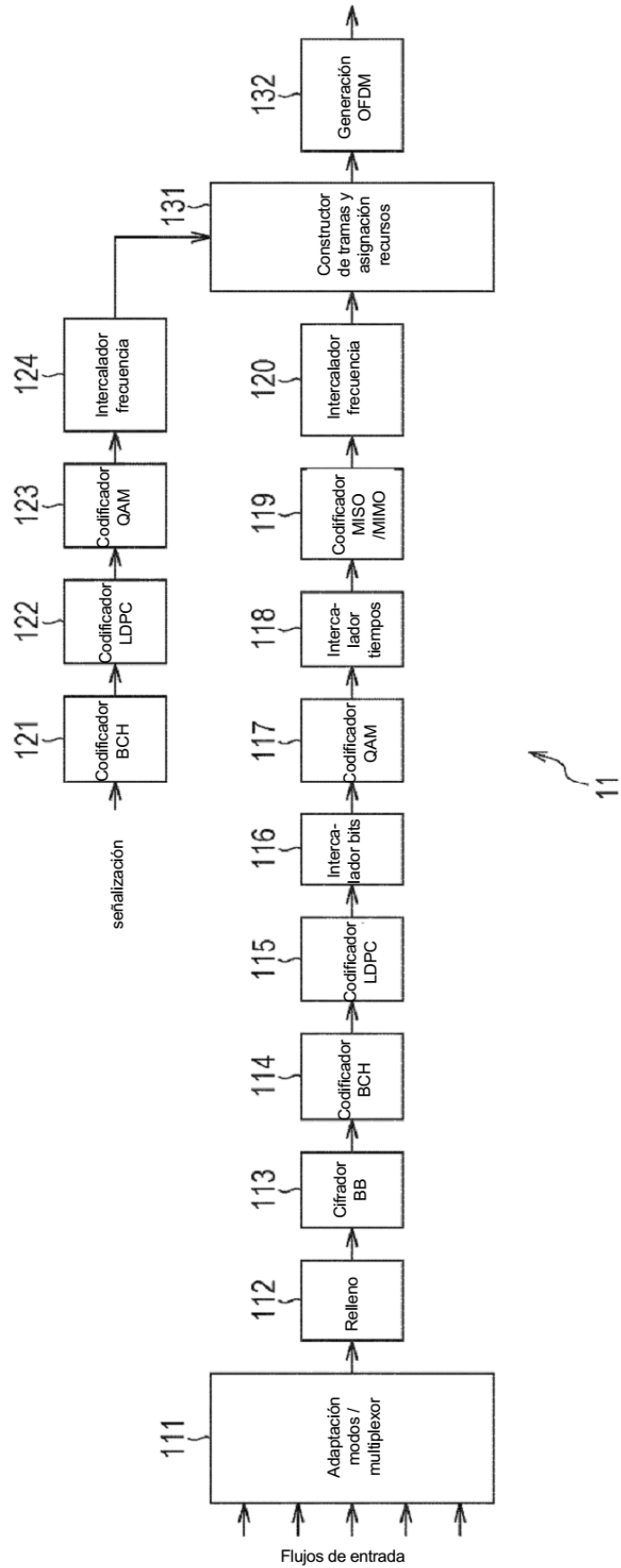


FIG. 9

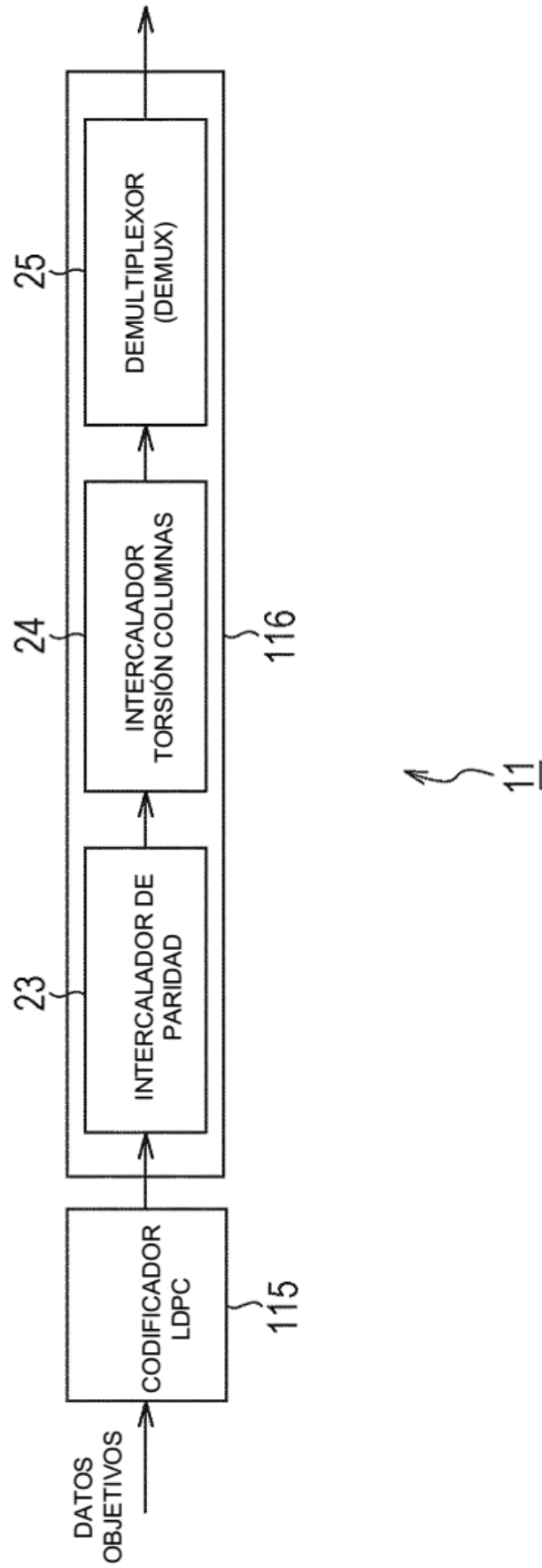


FIG. 10

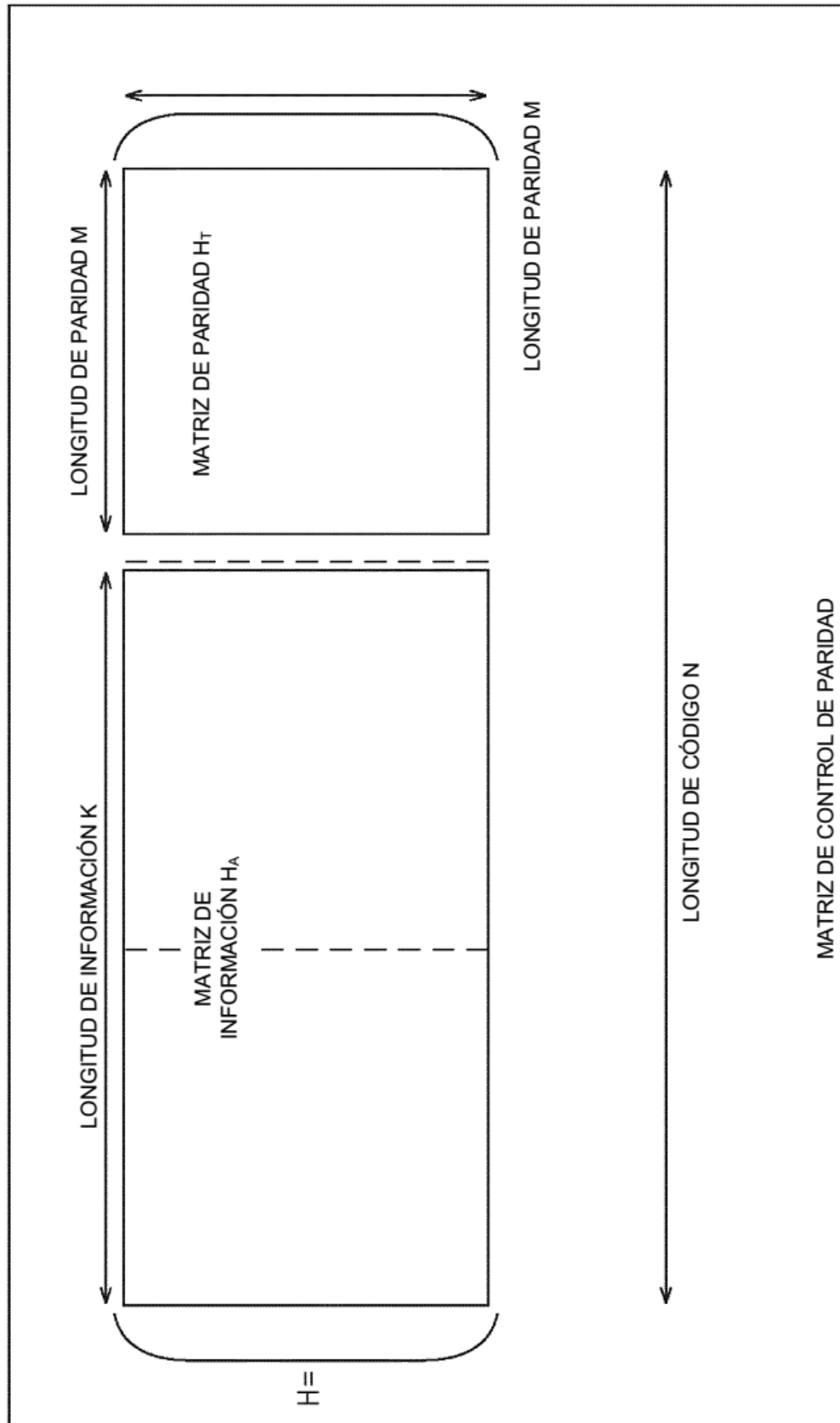


FIG. 11

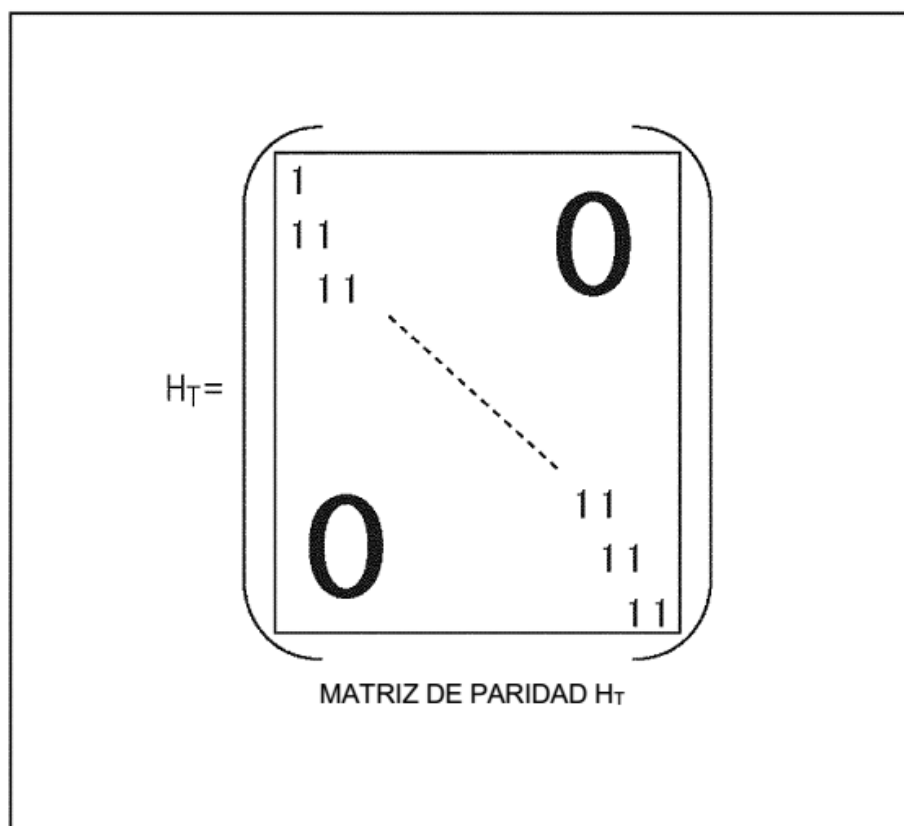


FIG. 12

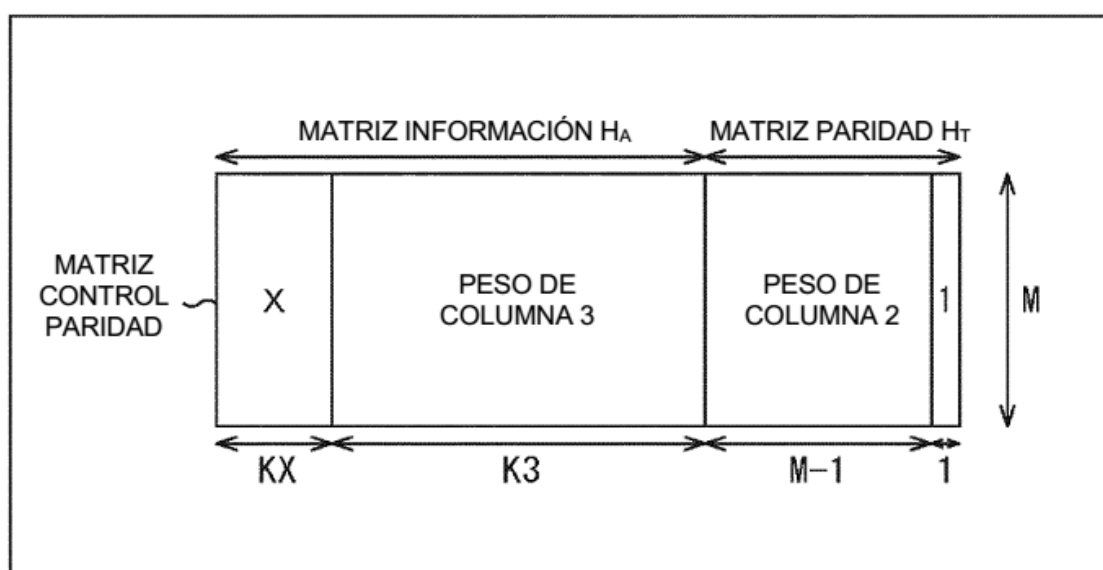


FIG. 13

TASA CODIFICADA nominal	N=64800				N=16200			
	X	KX	K3	M	X	KX	K3	M
1/4	12	5400	10800	48600	12	1440	1800	12960
1/3	12	7200	14400	43200	12	1800	3600	10800
2/5	12	8640	17280	38880	12	2160	4320	9720
1/2	8	12960	19440	32400	8	1800	5400	9000
3/5	12	12960	25920	25920	12	3240	6480	6480
2/3	13	4320	38880	21600	13	1080	9720	5400
3/4	12	5400	43200	16200	12	360	11520	4320
4/5	11	6480	45360	12960	-	0	12600	3600
5/6	13	5400	48600	10800	13	360	12960	2880
8/9	4	7200	50400	7200	4	1800	12600	1800
9/10	4	6480	51840	6480	----	----	----	----

NÚMERO DE
COLUMNAS
DE CADA
PESO DE
COLUMNA

FIG. 14

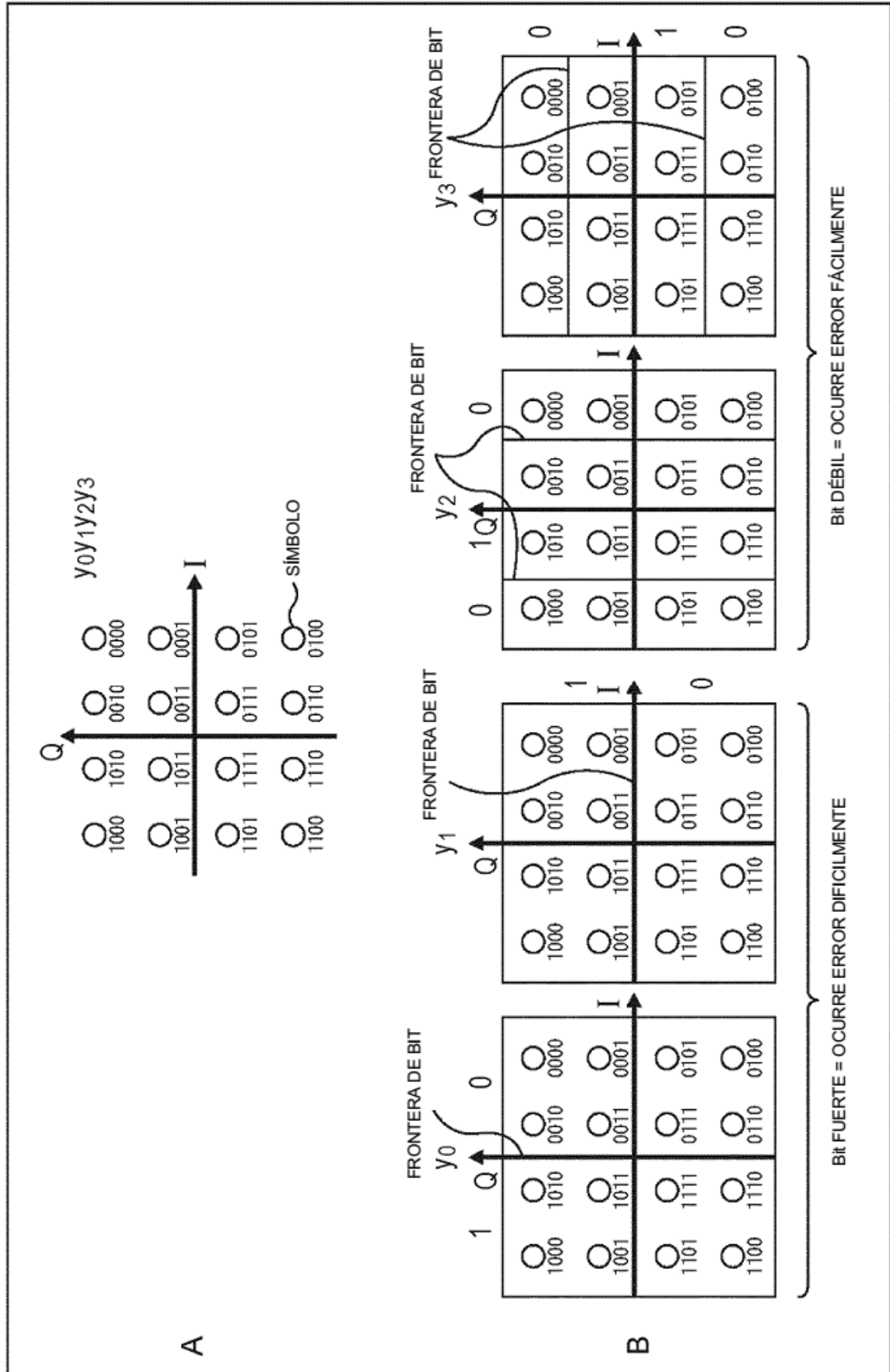


FIG. 15

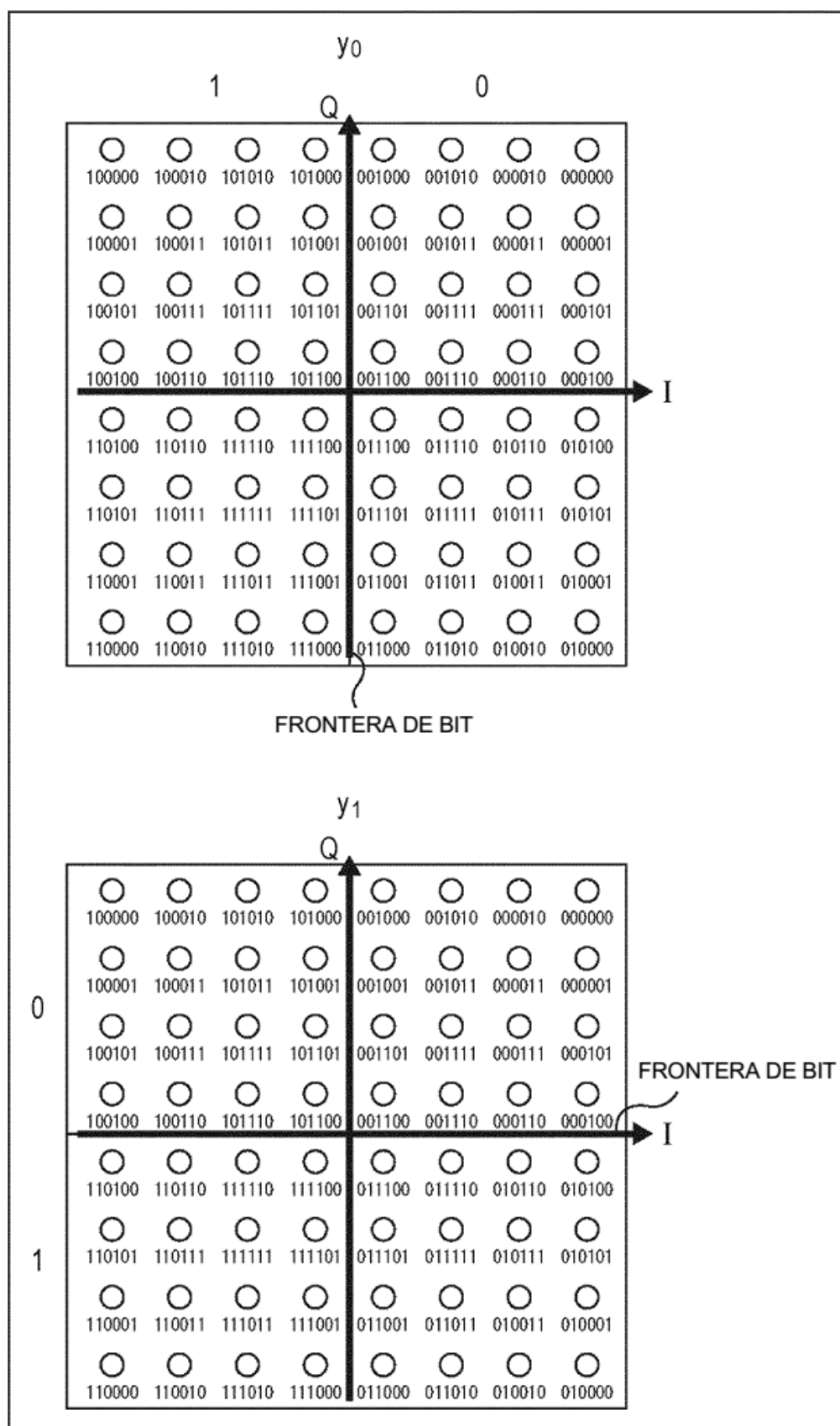


FIG. 16

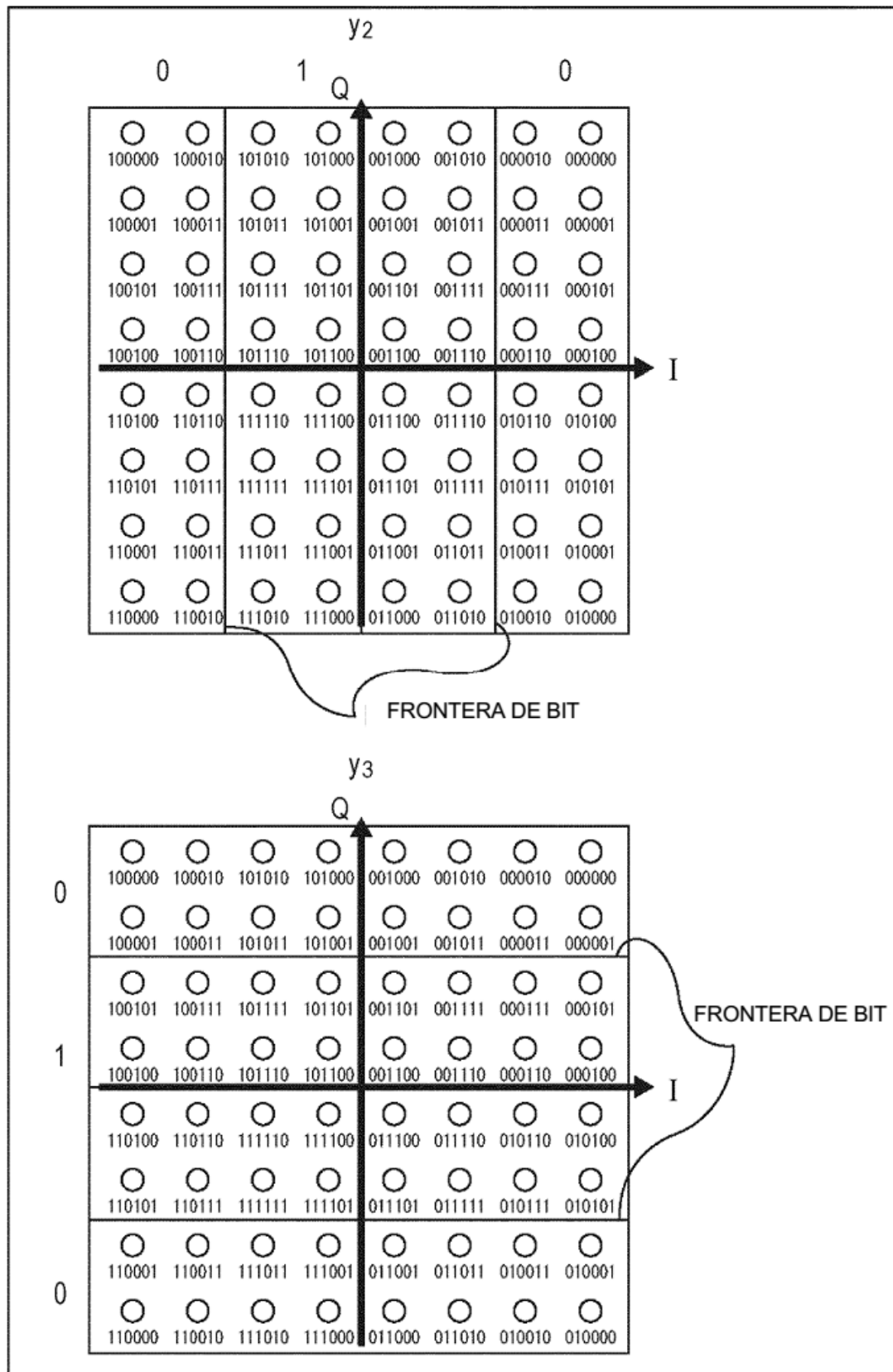


FIG. 17

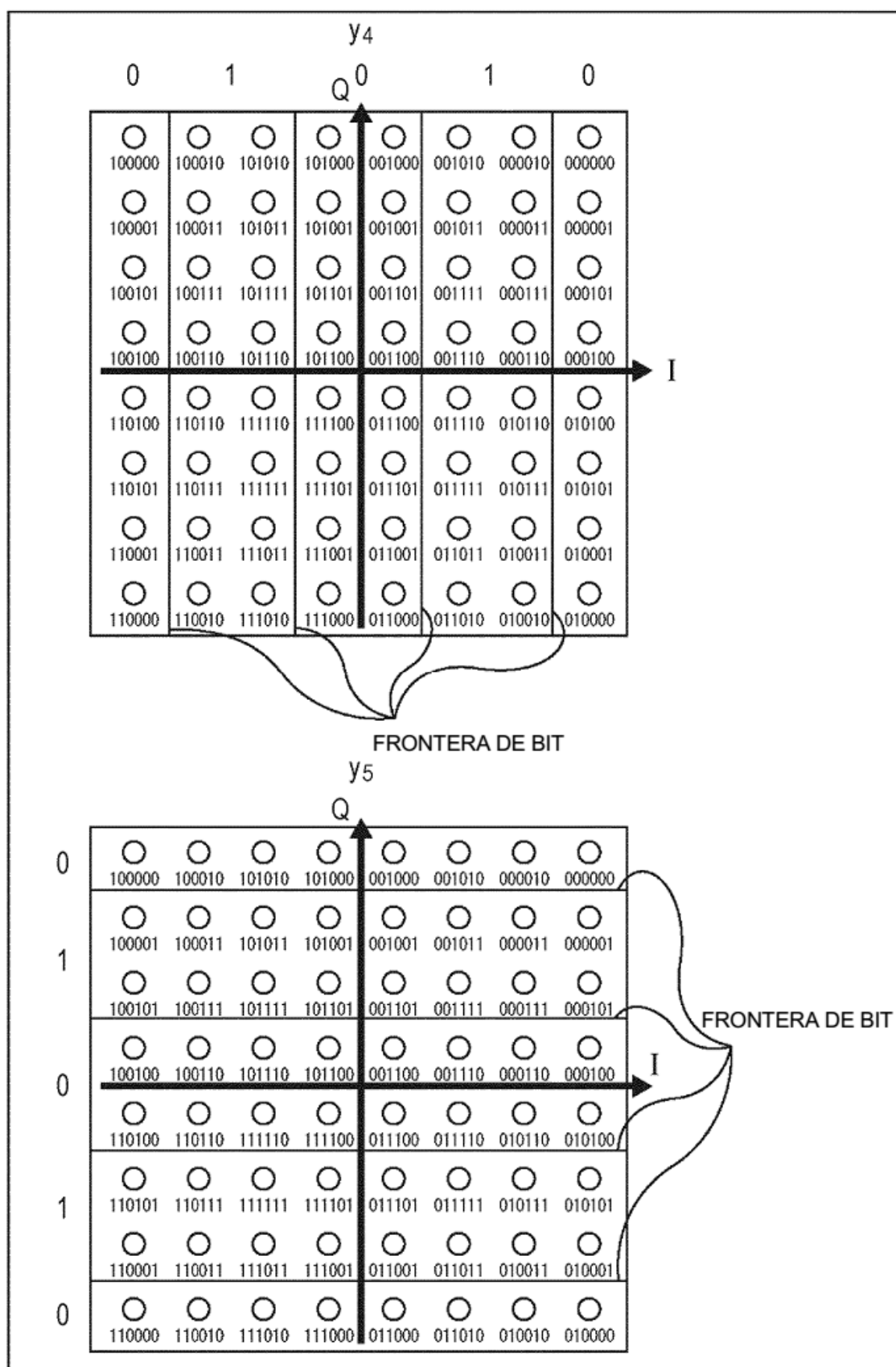


FIG. 18

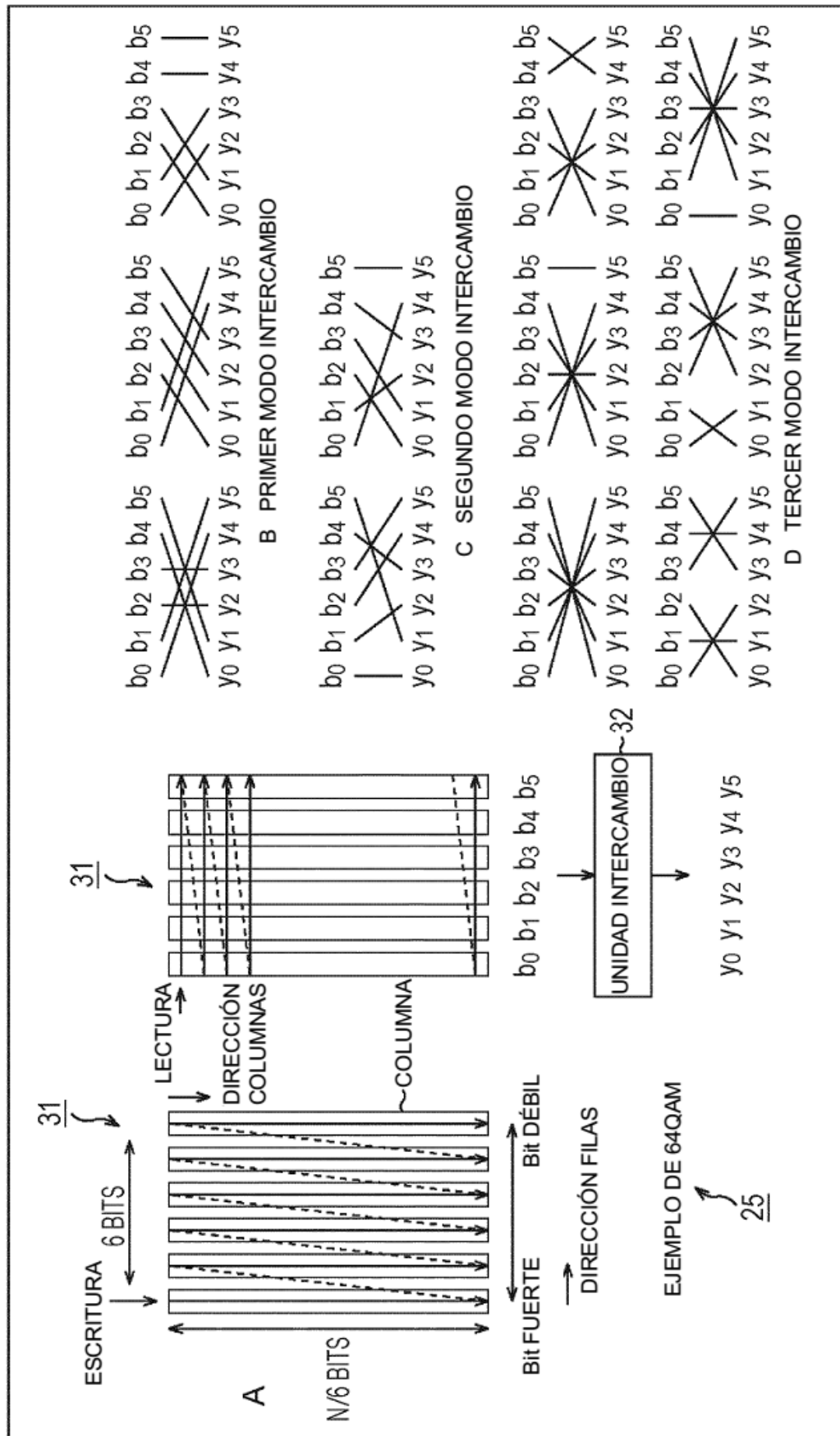


FIG. 19

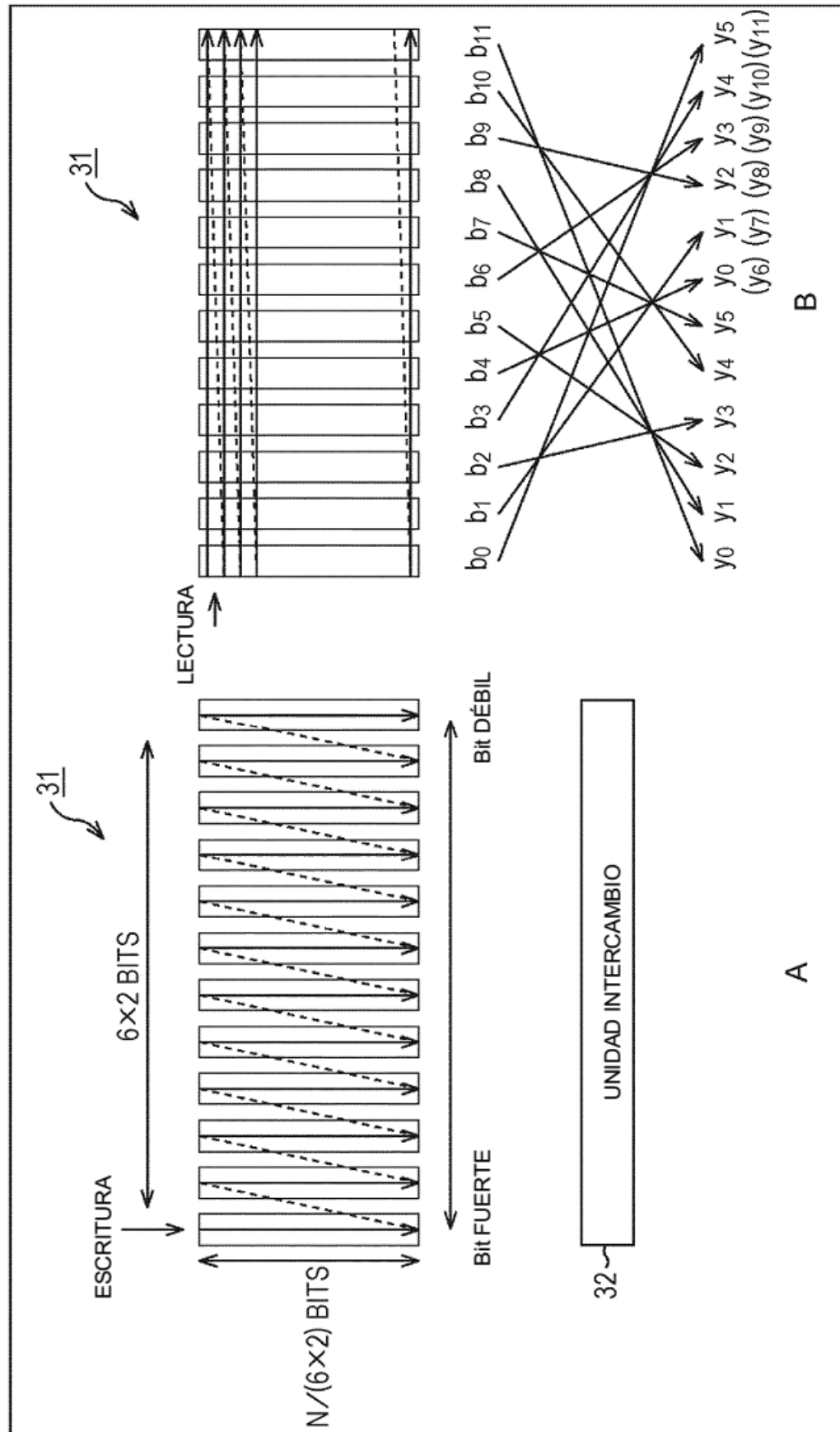


FIG. 20

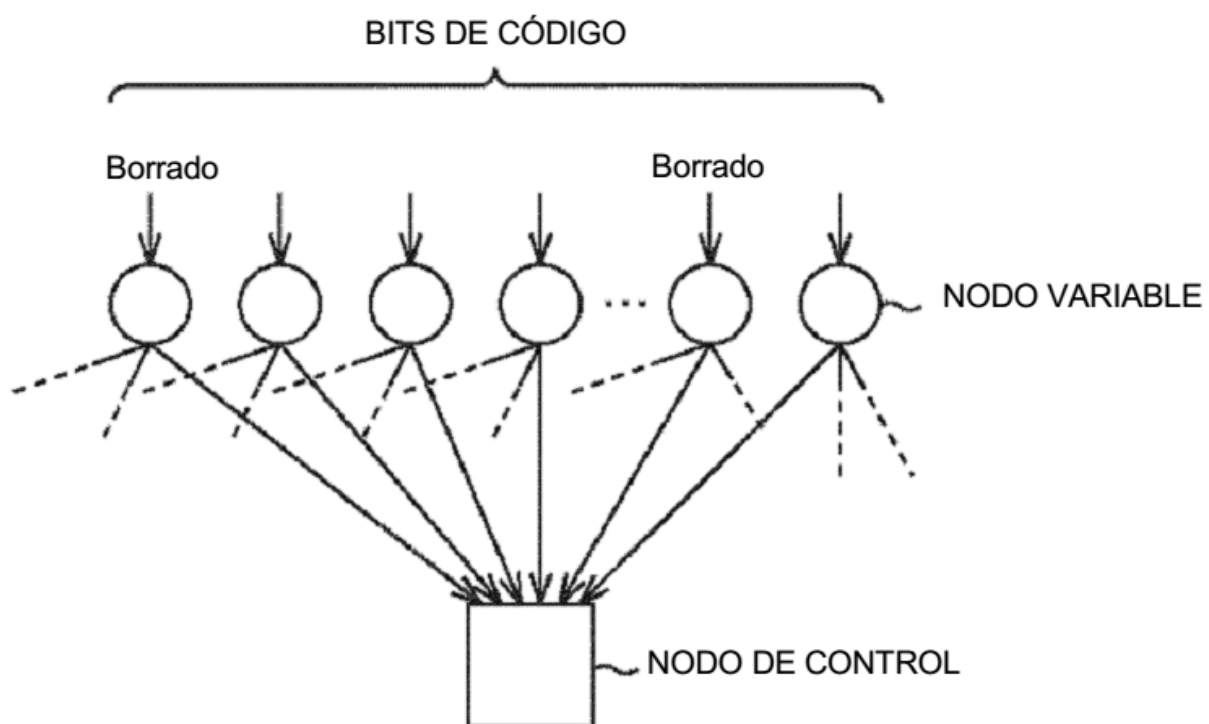
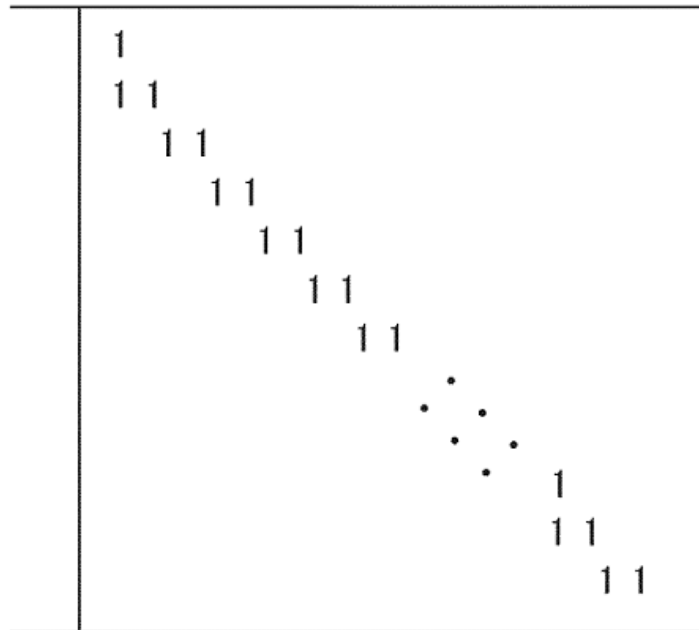
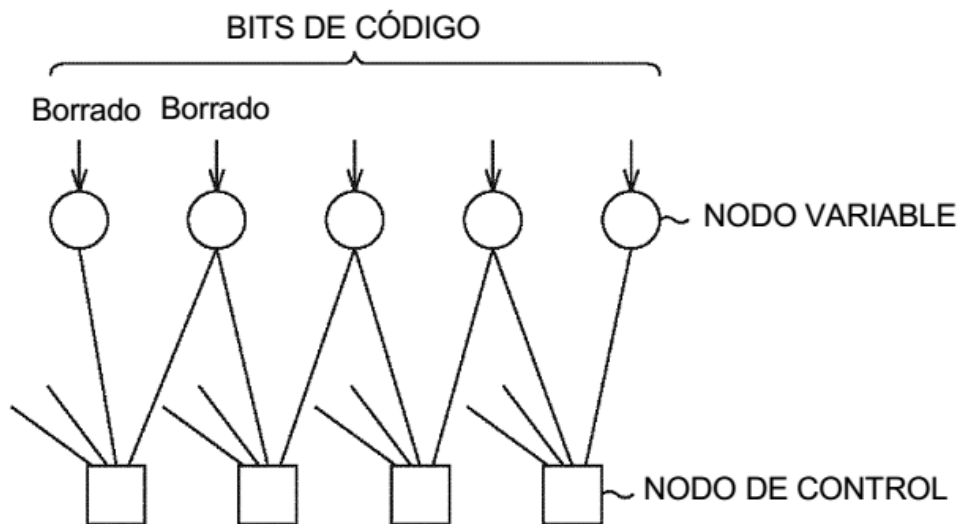


FIG. 21



ESTRUCTURA EN ESCALERA DE MATRIZ
DE PARIDAD

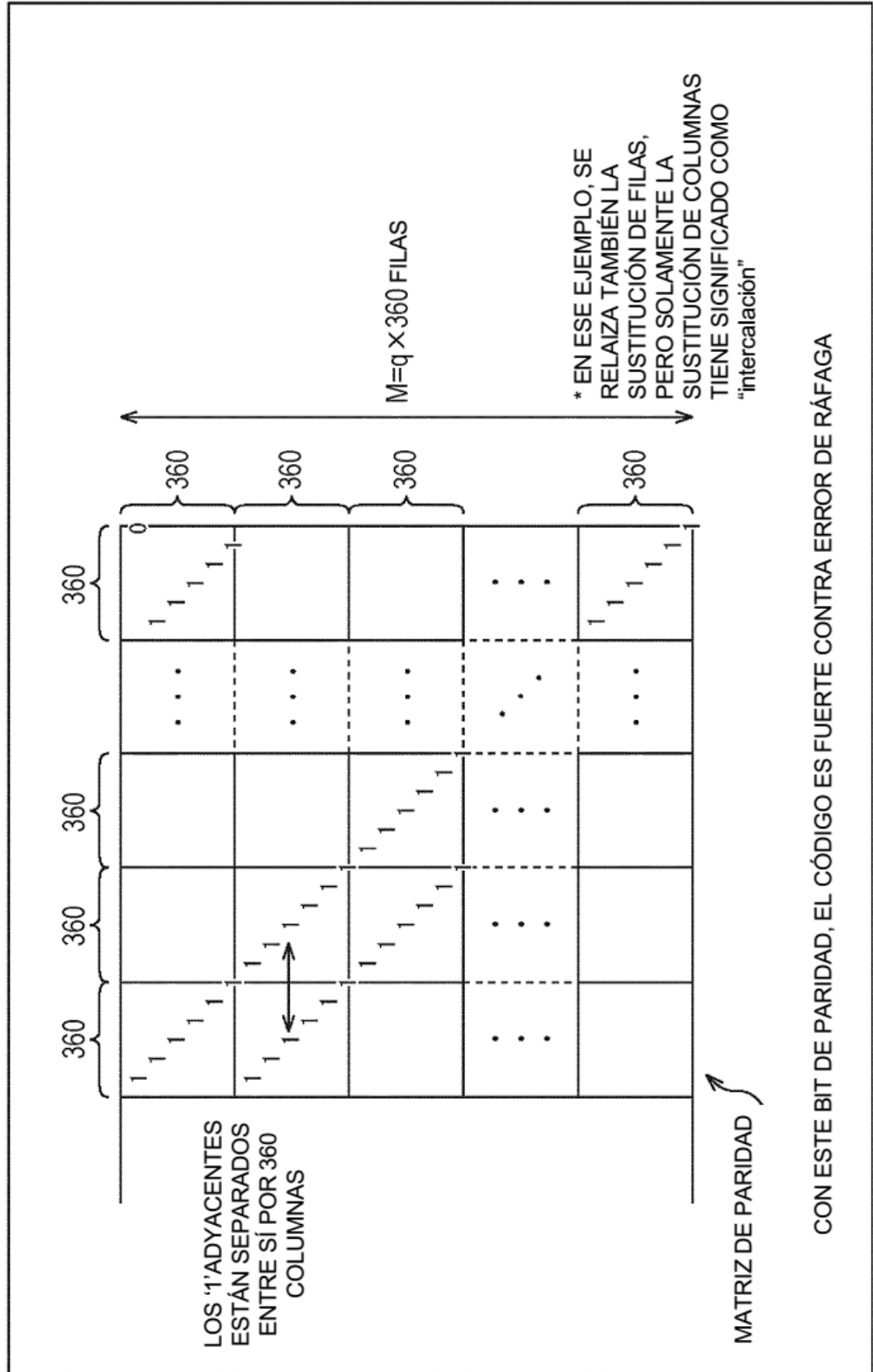
A



ESTRUCTURA EN ESCALERA
PARTE DE Gráfico de Tanner

B

FIG. 22



CON ESTE BIT DE PARIDAD, EL CÓDIGO ES FUERTE CONTRA ERROR DE RÁFAGA

FIG. 23

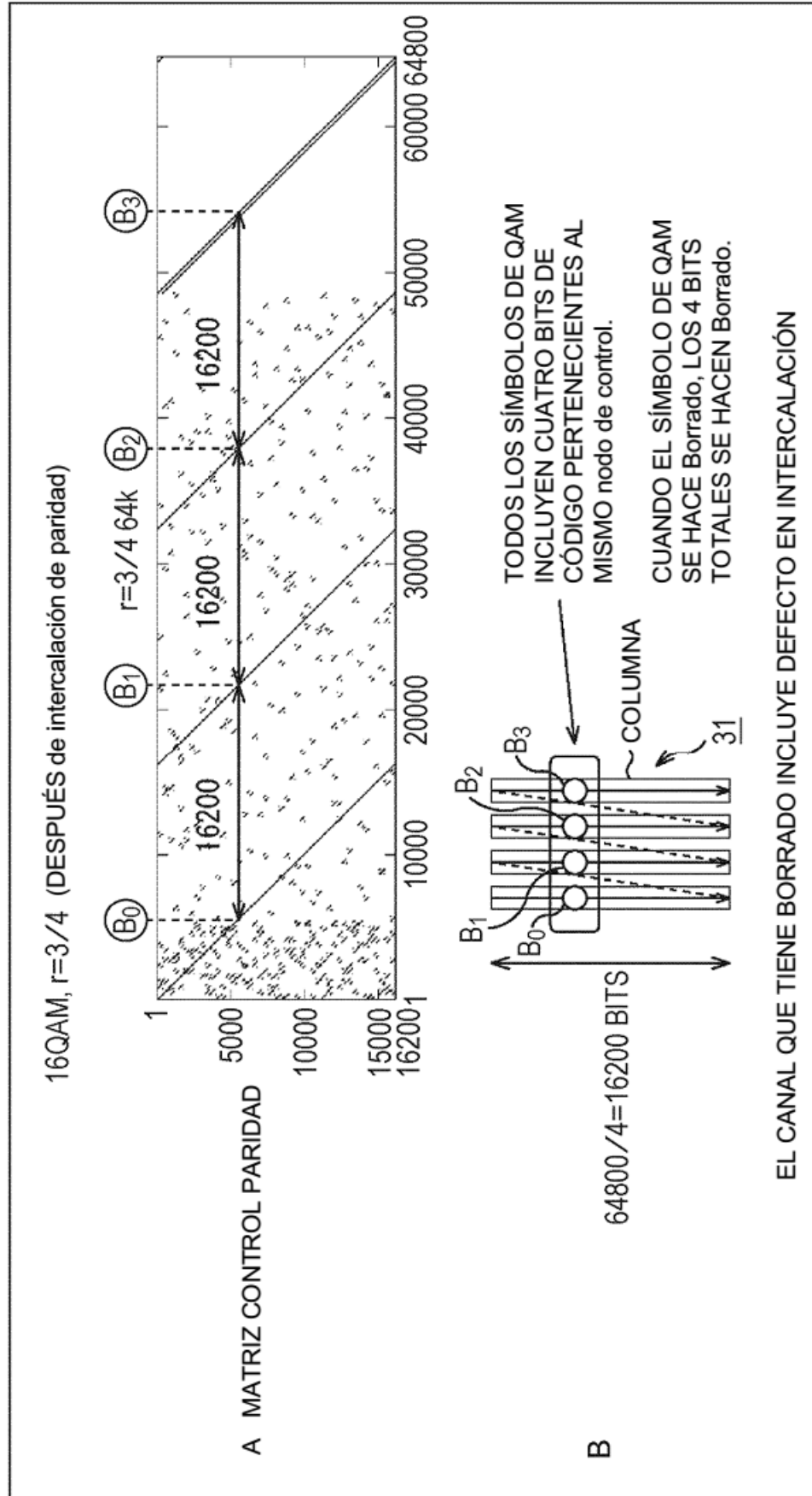


FIG. 24

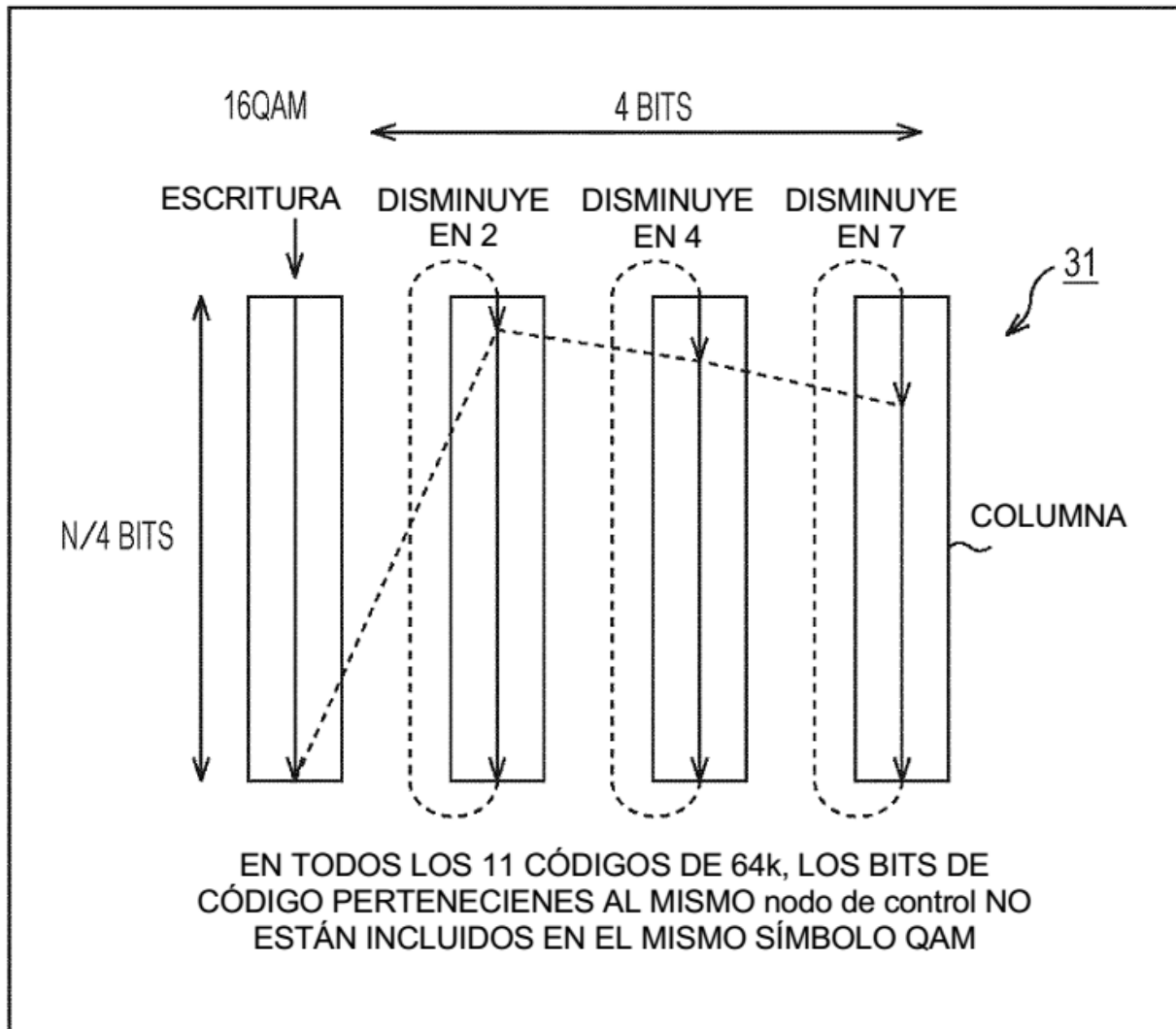


FIG. 25

NÚMERO DE COLUMNAS DE MEMORIA mb		b = 1 PRIMERO A TERCER MODOS INTERCAMBIO		b = 2 CUARTO MODOS INTERCAMBIO		POSICIÓN DE INICIO DE ESCRITURA DE mb COLUMNAS																							
2	QPSK					1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
4	16QAM					0	2	4	7																				
6	64QAM					0	2	5	9	10	13																		
8	256QAM					0	0	2	4	4	5	7	7																
10	1024QAM					0	3	6	8	11	13	15	17	18	20														
12	4096QAM					0	0	2	2	3	4	4	5	5	7	8	9												
16						0	2	2	2	2	3	7	15	16	20	22	22	27	27	28	32								
20						0	1	3	4	5	6	6	9	13	14	14	16	21	21	23	25	25	26	28	30				
24						0	5	8	8	8	8	10	10	10	12	13	16	17	19	21	22	23	26	37	39	40	41	41	41

FIG. 26

NÚMERO REQUERIDO DE COLUMNAS DE MEMORIA mb	b = 1 PRIMERO A TERCER MODOS INTERCAMBIO	b = 2 CUARTO MODO INTERCAMBIO	POSICIÓN DE INICIO DE ESCRITURA DE mb COLUMNAS																							
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
2	QPSK		0	0																						
4	16QAM	QPSK	0	2	3	3																				
6	64QAM		0	0	2	3	7	7																		
8	256QAM	16QAM	0	0	0	1	7	20	20	21																
10	1024QAM		0	1	2	2	3	4	4	5	7															
12	4096QAM	64QAM	0	0	0	2	2	2	3	3	6	7	7													
20		1024QAM	0	0	0	2	2	2	2	2	5	5	5	5	5	7	7	7	7	8	8	10				
24		4096QAM	0	0	0	0	0	0	0	1	1	1	2	2	2	3	7	9	9	9	10	10	10	10	10	11

FIG. 27

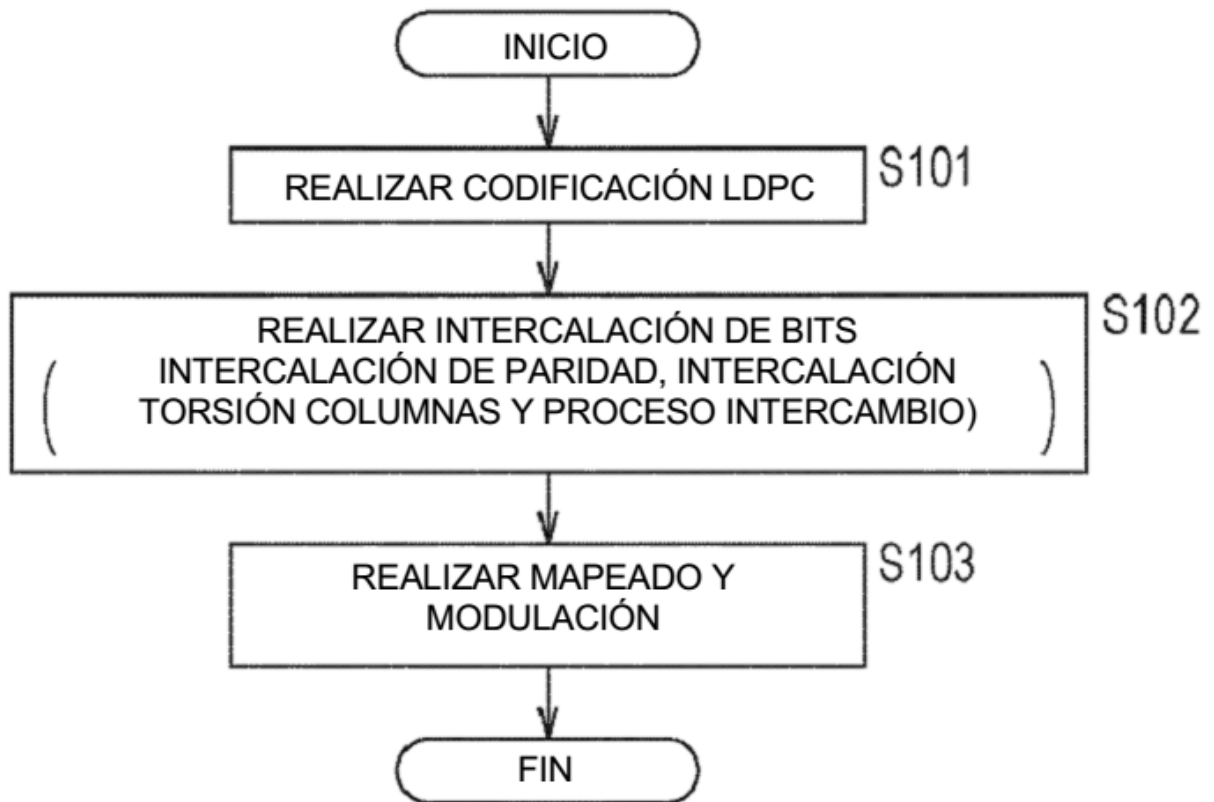
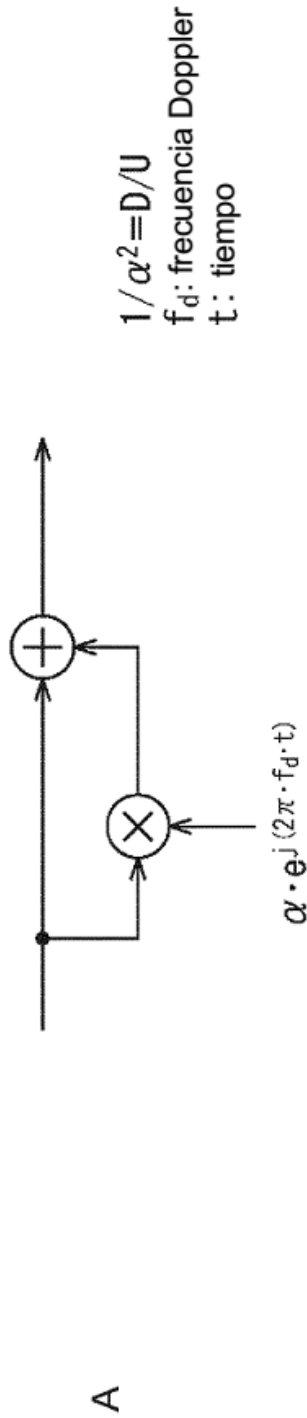
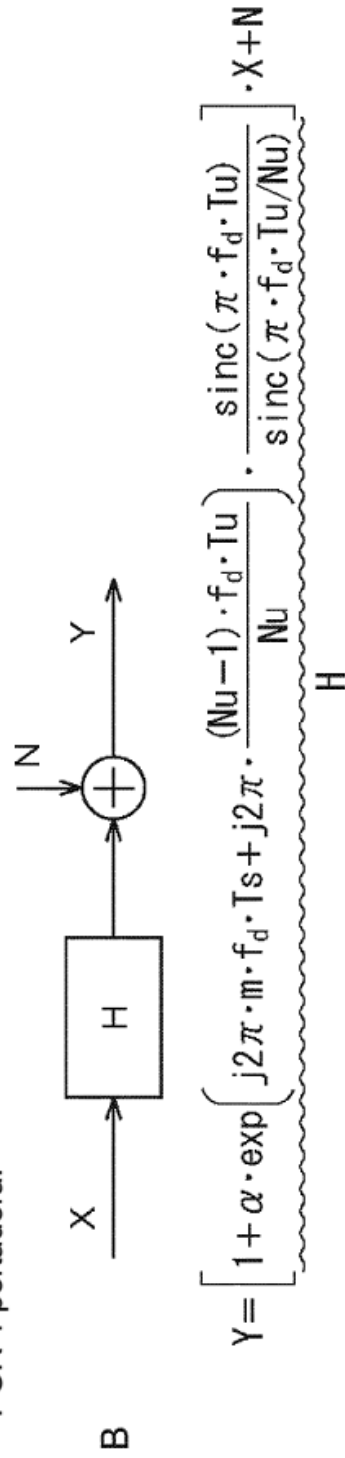


FIG. 28

MODELO REDUCCIÓN EQUIVALENTE DE Fluctuación



EN ESTE CANAL, SE TRANSMITE UN SÍMBOLO OFDM Y DESPUÉS DE QUE SE REALICE FFT EN EL LADO DE RECEPCIÓN, SE REALIZA UNA SIMULACIÓN USANDO EL MODELO DE CORTE POR 1 portadora.



m : número de símbolos
 T_s : longitud de símbolo (seg.)
 T_u : longitud de símbolo efectiva (seg.)
 N_u : número de portadoras OFDM

$$E[N^2] = \alpha^2 \cdot \left(1 - \left| \frac{\text{sinc}(\pi \cdot f_d \cdot Tu)}{\text{sinc}(\pi \cdot f_d \cdot Tu/Nu)} \right|^2 \right)$$

POTENCIA APROXIMADA DE |C| PARA AWGN

FIG. 29

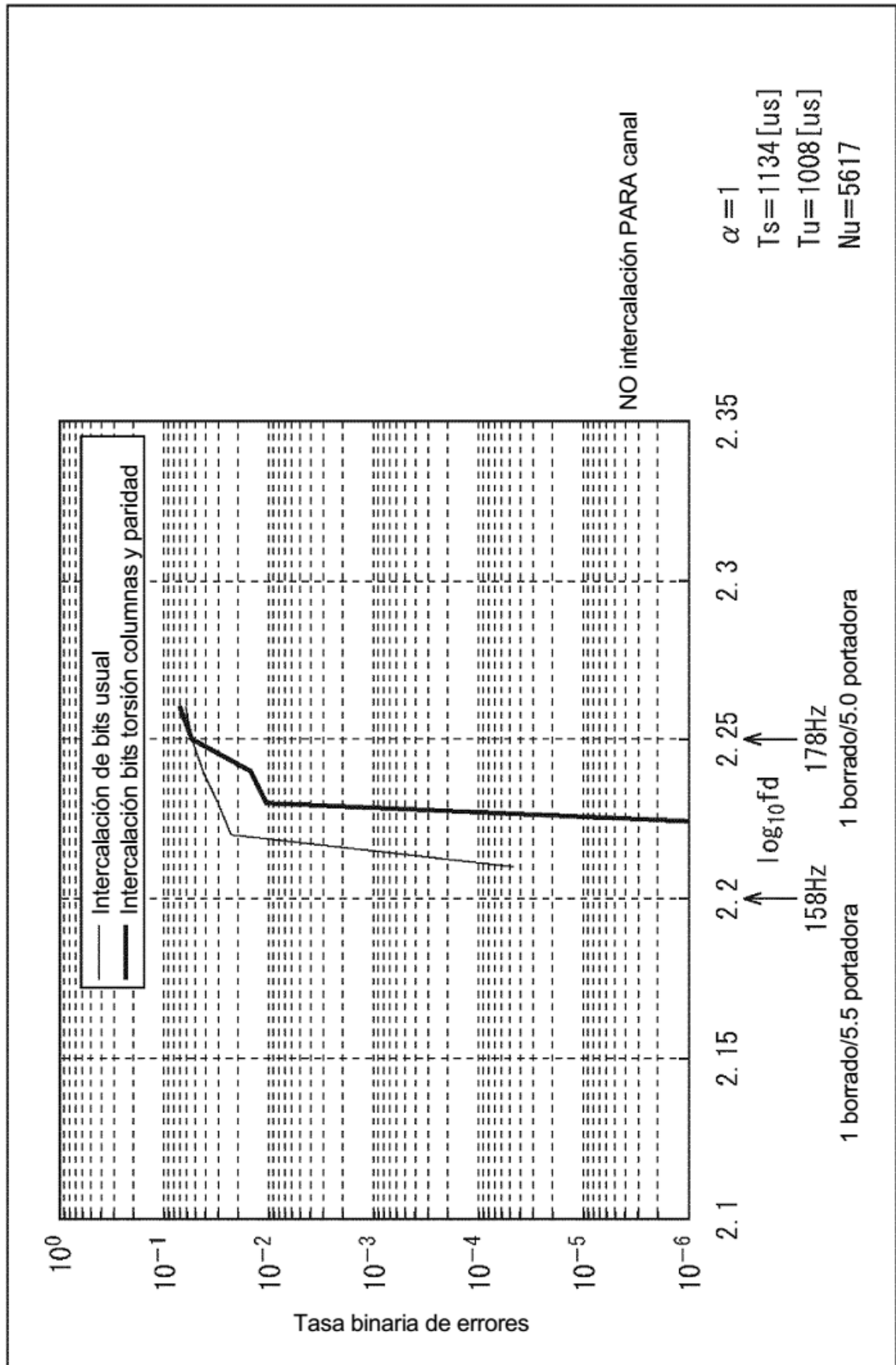


FIG. 30

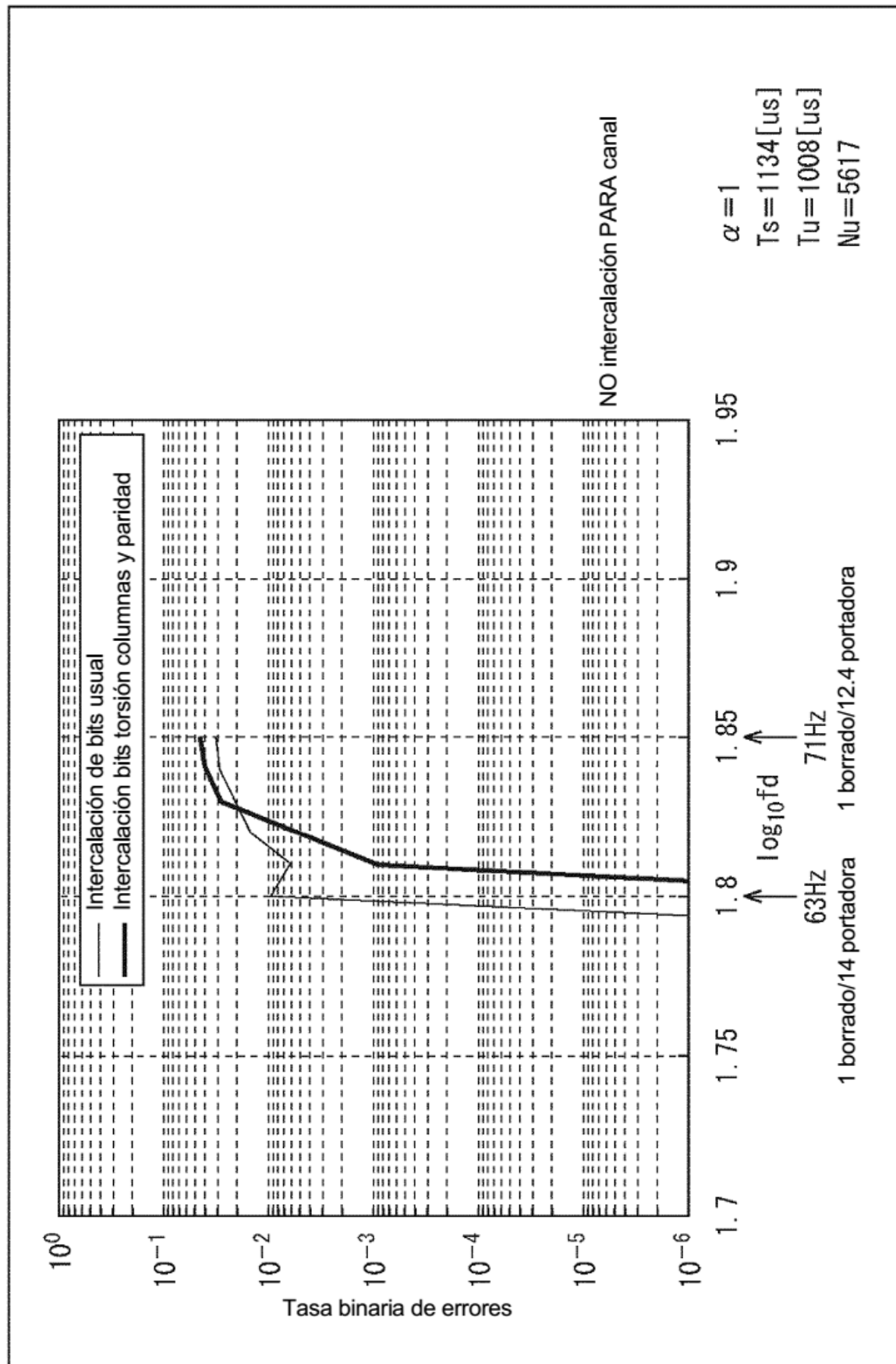


FIG. 31

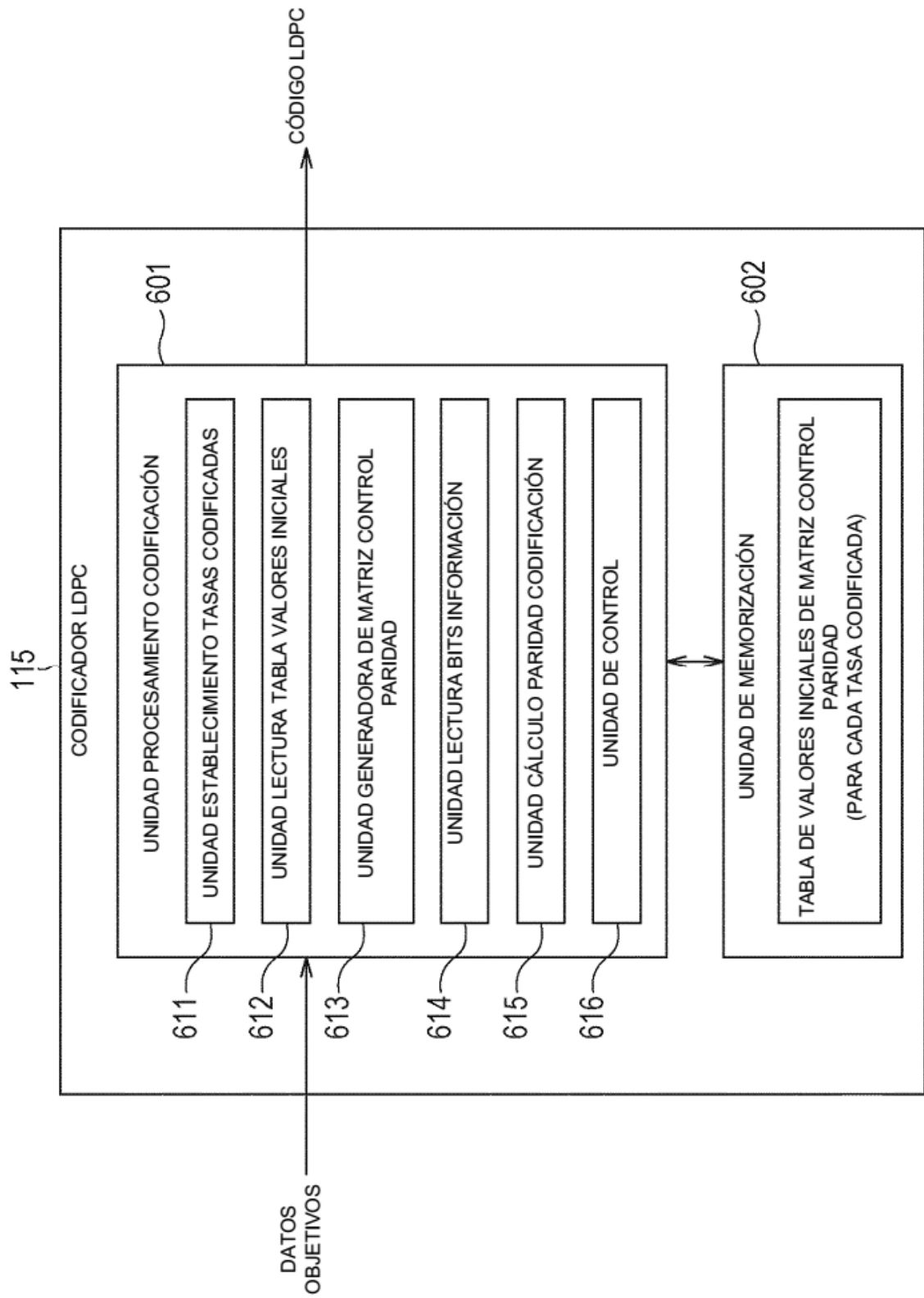


FIG. 32

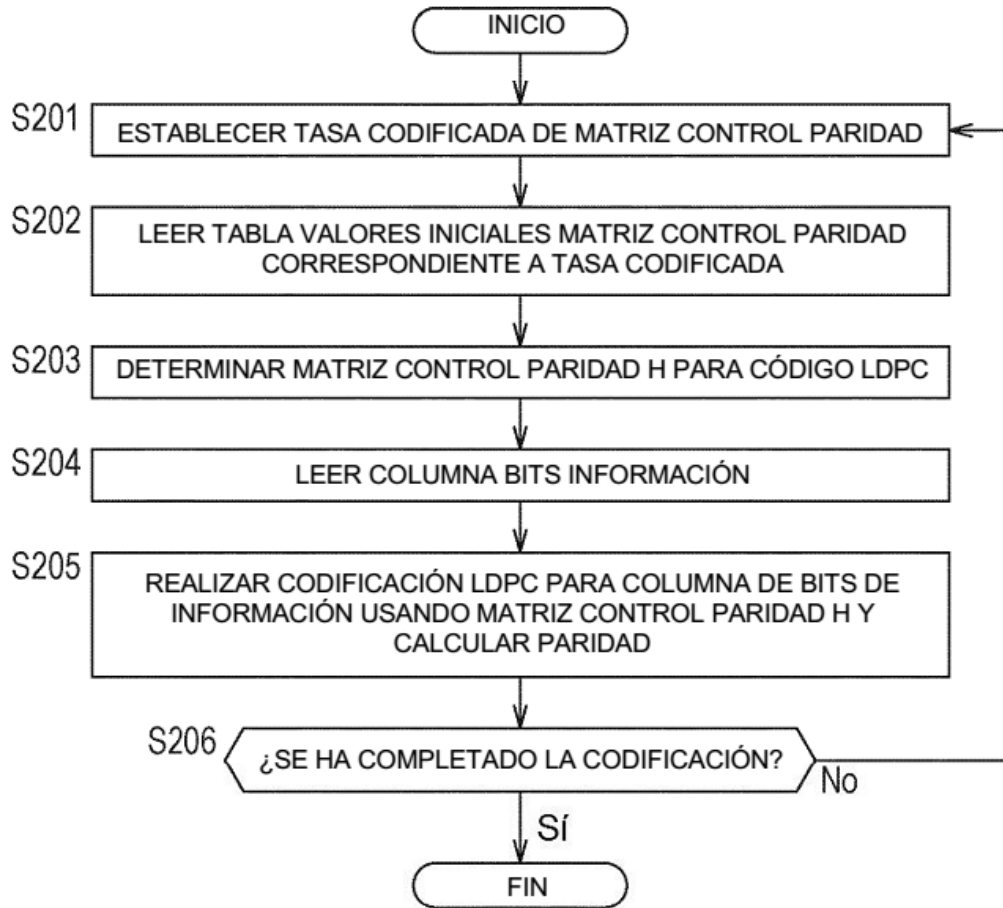


FIG. 33

r1/4 16K											
6295	9626	304	7695	4839	4936	1660	144	11203	5567	6347	12557
10691	4988	3859	3734	3071	3494	7687	10313	5964	8069	8296	11090
10774	3613	5208	11177	7676	3549	8746	6583	7239	12265	2674	4292
11869	3708	5981	8718	4908	10650	6805	3334	2627	10461	9285	11120
7844	3079	10773									
3385	10854	5747									
1360	12010	12202									
6189	4241	2343									
9840	12726	4977									

FIG. 34

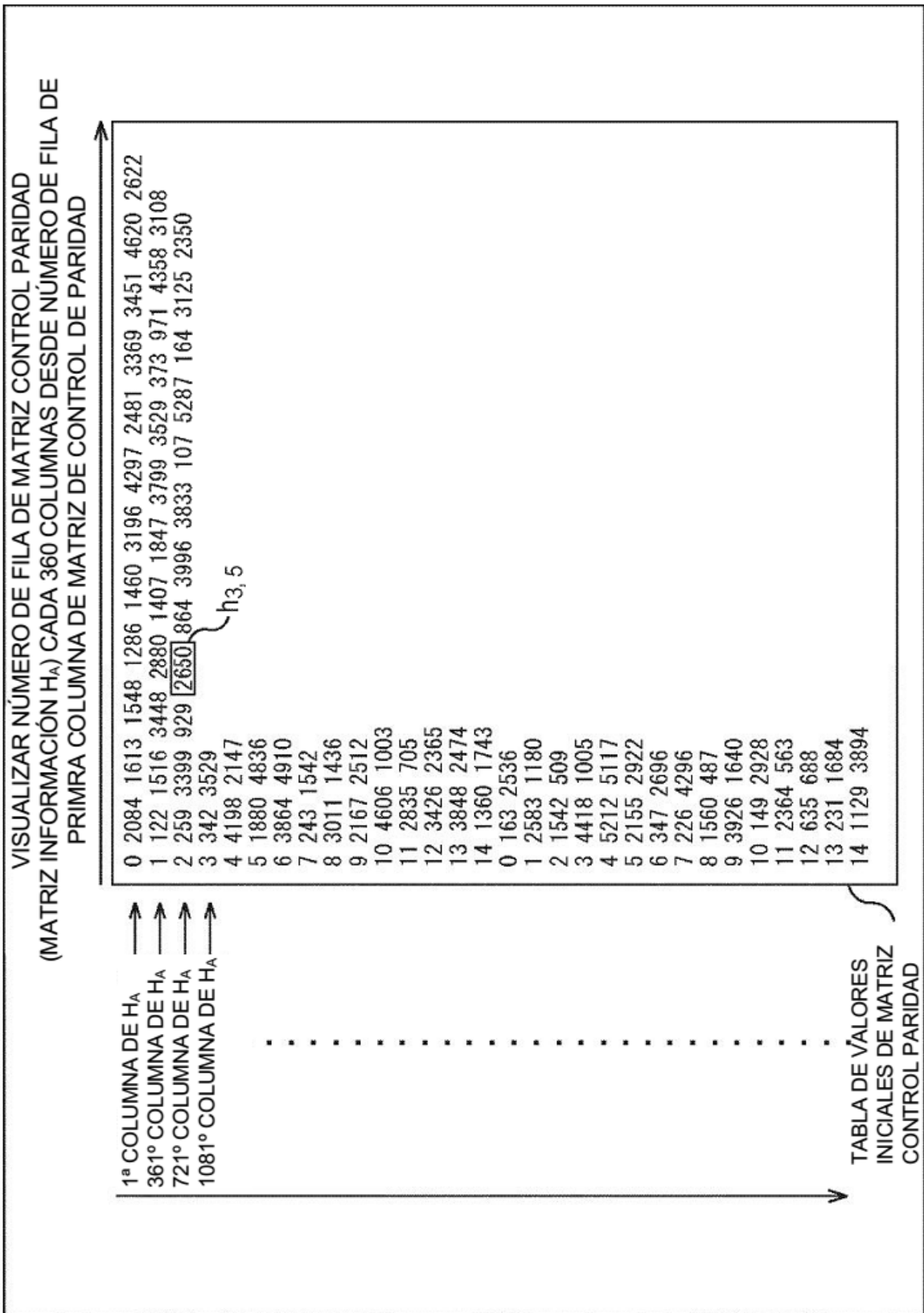


FIG. 35

TABLA VALORES INICIALES DE MATRIZ CONTROL PARIDAD DE N=4320 Y r=1/4

58	311	554	679	783	1280	1500	1545	1821	2089	2105	2251	3004
255	728	2316	2854	3170								
162	2083	2446	2637	2693								

FIG. 36

TABLA VALORES INICIALES DE MATRIZ CONTROL PARIDAD DE N=4320 Y r=1/3

231	416	587	952	1189	1523	1602	1750	1833	1894	2236	2620	2869
951	1160	2509	2849									
472	1089	2326	2787									
474	591	2500	2866									

FIG. 37

TABLA VALORES INICIALES DE MATRIZ CONTROL PARIDAD DE N=4320 Y r=5/12

24	441	446	550	880	921	980	1038	1515	1710	1847	2234	2360
55	131	1943	2409									
69	178	405	1962									
284	449	728	808									
357	915	975	1708									

FIG. 38

TABLA VALORES INICIALES DE MATRIZ CONTROL PARIDAD DE N=4320 Y r=1/2

}

118	375	395	490	552	599	895	954	1005	1517	1576	1739	2030
194	1547	1598	1801									
140	238	253	1734									
243	378	919	1188									
201	1005	1033	1128									
202	727	782	1100									

FIG. 39

TABLA VALORES INICIALES DE MATRIZ CONTROL PARIDAD DE N=4320 Y r=7/12

}

125	447	543	634	864	1112	1124	1206	1268	1484	1568	1668	1672
105	605	821	1587									
50	531	803	1595									
226	410	810	1378									
27	925	933	966									
131	261	687	1079									
207	1054	1706	1764									

FIG. 40

TABLA VALORES INICIALES DE MATRIZ CONTROL PARIDAD DE N=4320 Y r=2/3

15	253	313	501	563	582	865	911	977	1266	1276	1356	1427
256	743	982	1109									
343	525	976	1102									
12	502	539	782									
556	593	1120	1420									
18	119	431	460									
178	253	416	771									
74	100	205	1214									

FIG. 41

TABLA VALORES INICIALES DE MATRIZ CONTROL PARIDAD DE N=4320 Y r=3/4

109	116	136	141	178	238	250	503	566	723	978	1065	1068
113	191	586	1003									
219	426	583	1061									
329	429	576	855									
121	231	337	620									
199	216	676	831									
223	560	686	713									
632	944	1015	1043									
171	365	514	882									

FIG. 42

TABLA VALORES INICIALES DE MATRIZ CONTROL PARIDAD DE N=4320 Y r=5/6

S

20	44	158	177	274	312	352	384	420	547	670	678	709
1	7	21	39	153	160	236	281	353	419	473	507	668
248	257	661	701									
229	568	596	700									
233	456	632	707									
193	481	485	544									
18	142	144	373									
80	91	389	556									
123	233	306	348									
159	377	506	658									

FIG. 43

TABLA VALORES INICIALES DE MATRIZ CONTROL PARIDAD DE N=4320 Y r=11/12

S

0	300	314	326	336	344	351	355	357
0	124	215	280					
0	121	213	279					
0	118	211	278					
0	115	209	277					
0	112	207	276					
0	109	205	275					
0	106	203	274					
0	103	201	273					
0	100	199	272					
0	78	197	271					

FIG. 44

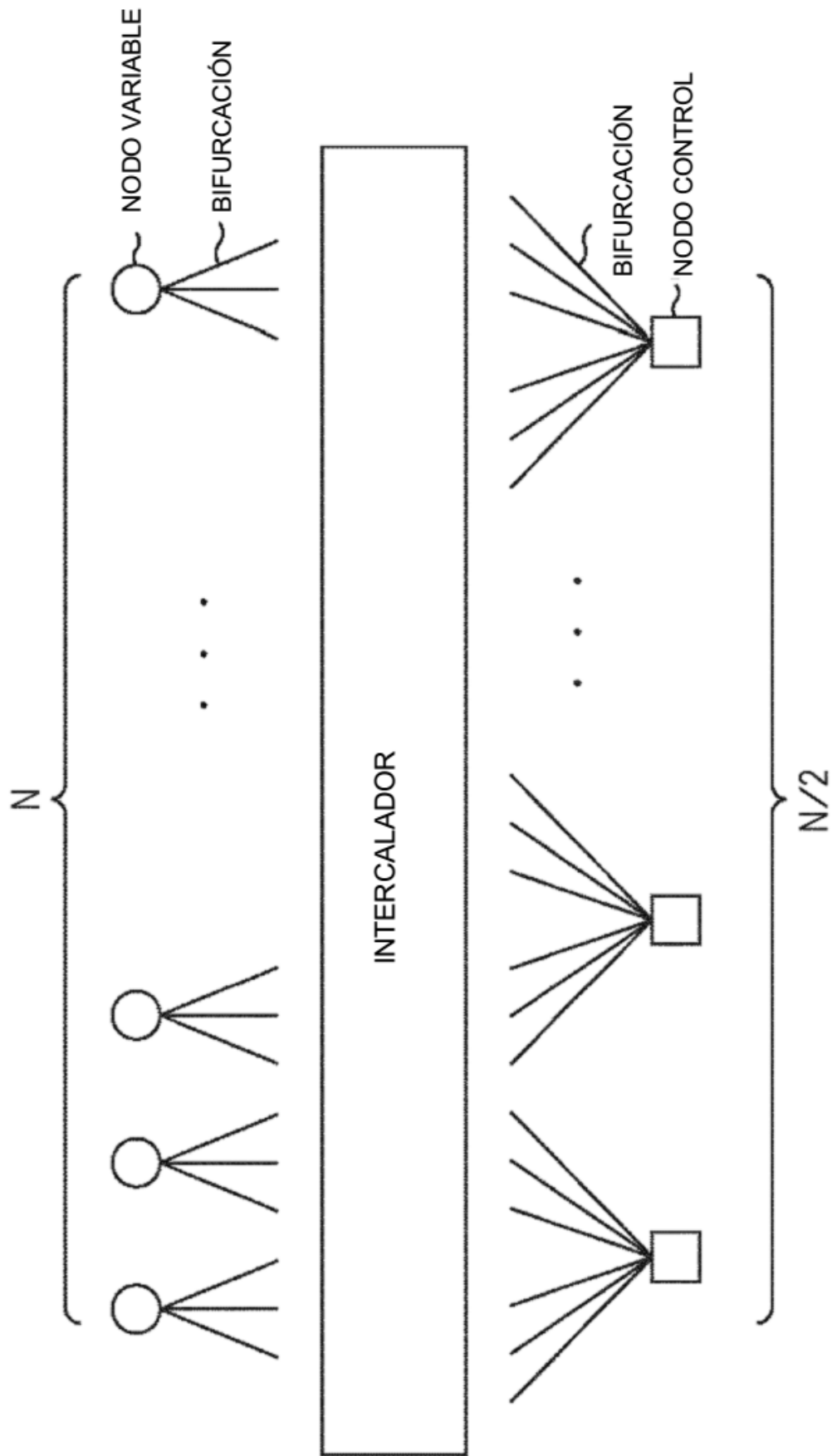


FIG. 45

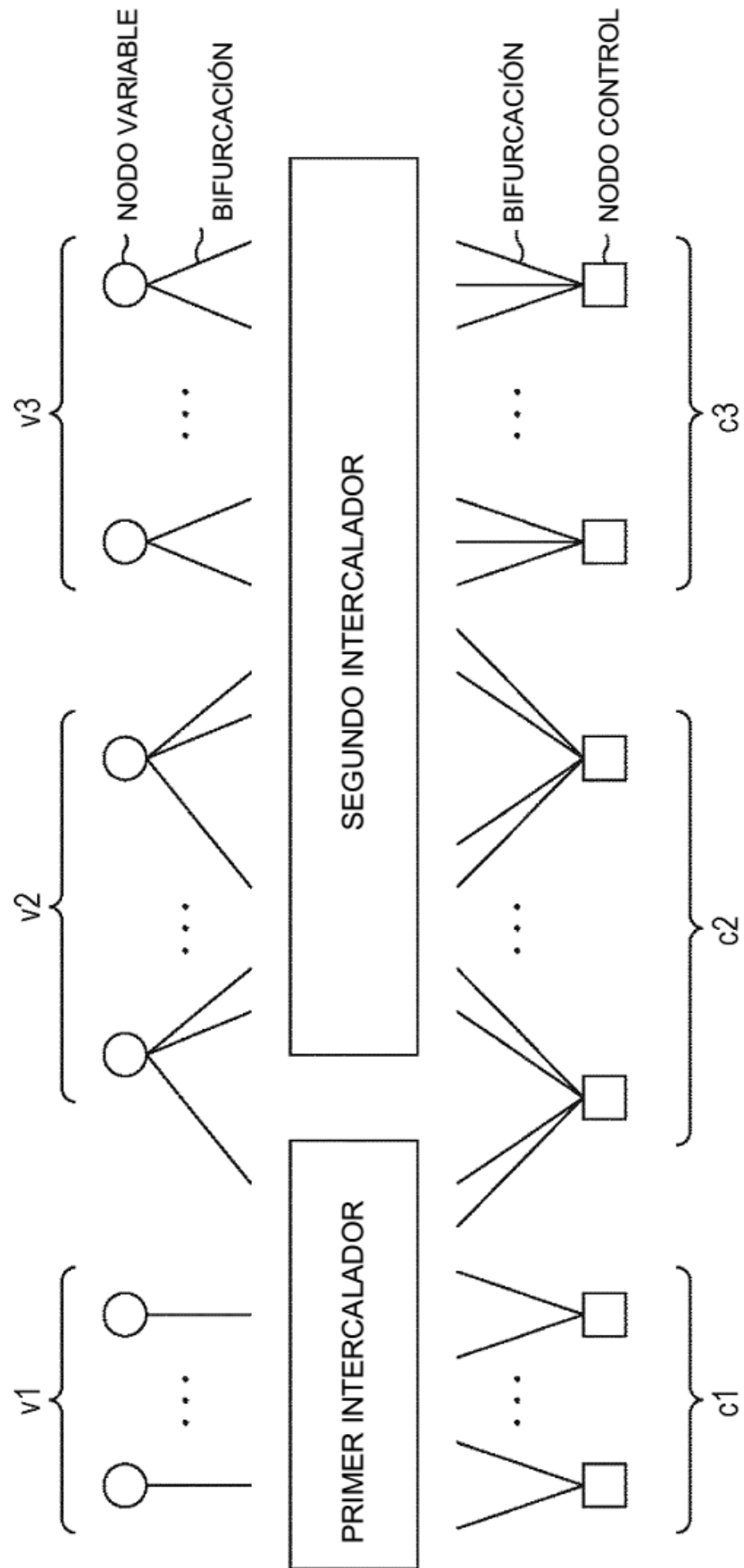


FIG. 46

TASA CODIFICADA	LONGITUD CICLO MÍNIMA	UMBRAL CAPACIDAD (Eb/No)
1/4	8	0.15
1/3	8	0.08
5/12	6	0.36
1/2	6	0.70
7/12	6	1.09
2/3	6	1.54
3/4	6	2.08
5/6	6	2.83
11/12	6	3.85

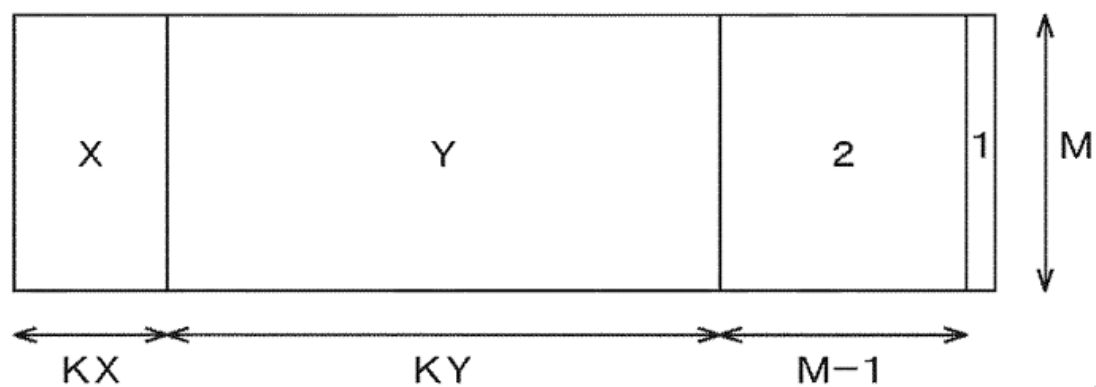
FIG. 47

FIG. 48

tasa	X	KX	Y	KY	M
1/4	13	360	5	720	3240
1/3	13	360	4	1080	2880
5/12	13	360	4	1440	2520
1/2	13	360	4	1800	2160
7/12	13	360	4	2160	1800
2/3	13	360	4	2520	1440
3/4	13	360	4	2880	1080
5/6	13	720	4	2880	720
11/12	9	360	4	3600	360

FIG. 49

			POSICIÓN INICIO ESCRITURA DE mb COLUMNAS																											
NÚMERO REQUERIDO DE COLUMNAS MEMORIA mb	b=1	b=2	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24				
2 QPSK			0	2																										
4 16QAM		QPSK	0	0	1	0																								
6 64QAM			0	0	1	1	0	0																						
8		16QAM	0	8	10	10	25	54	62	69																				
12		64QAM	0	2	10	12	15	17	20	21	23	25	26	30																

FIG. 50

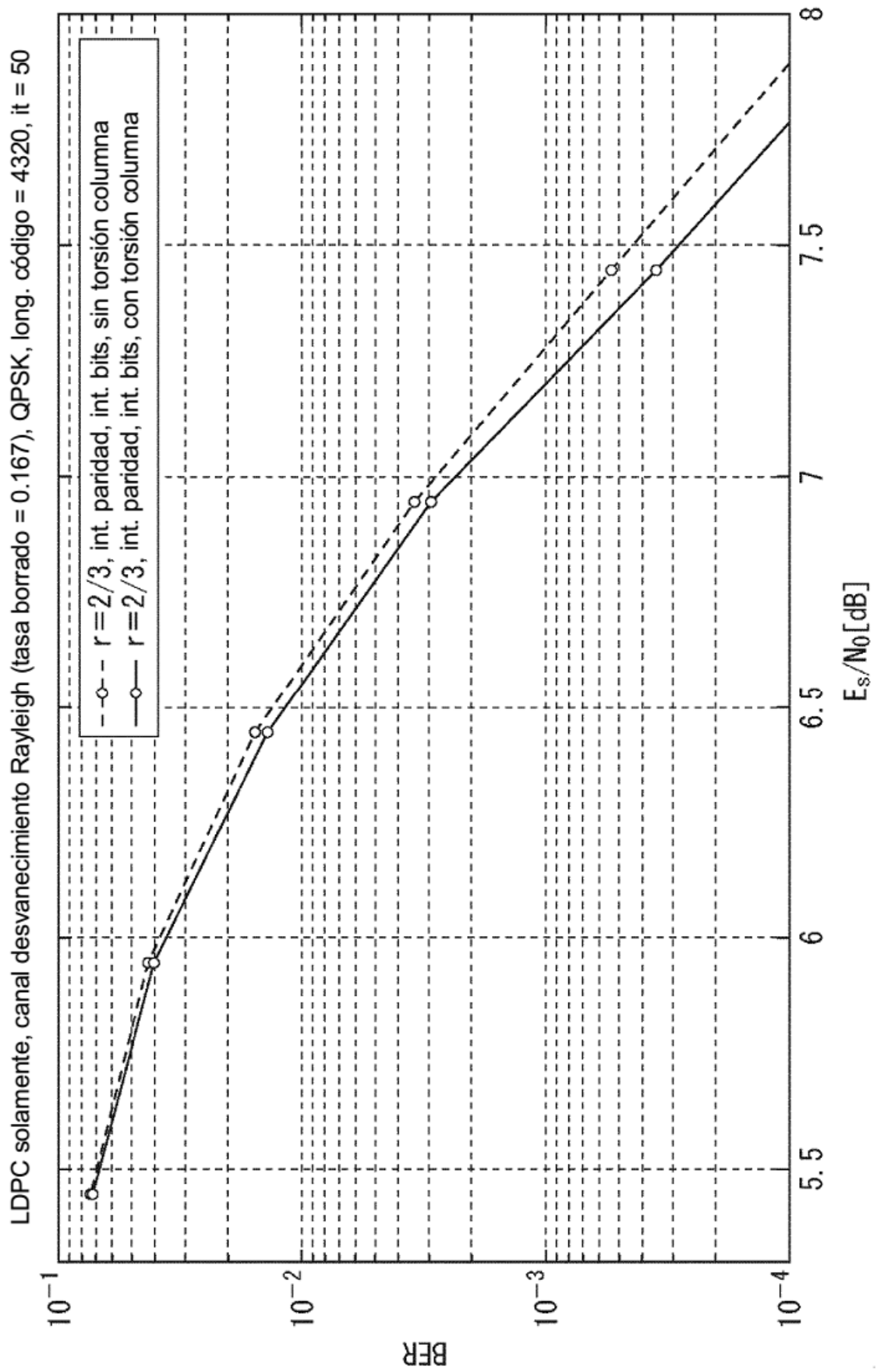


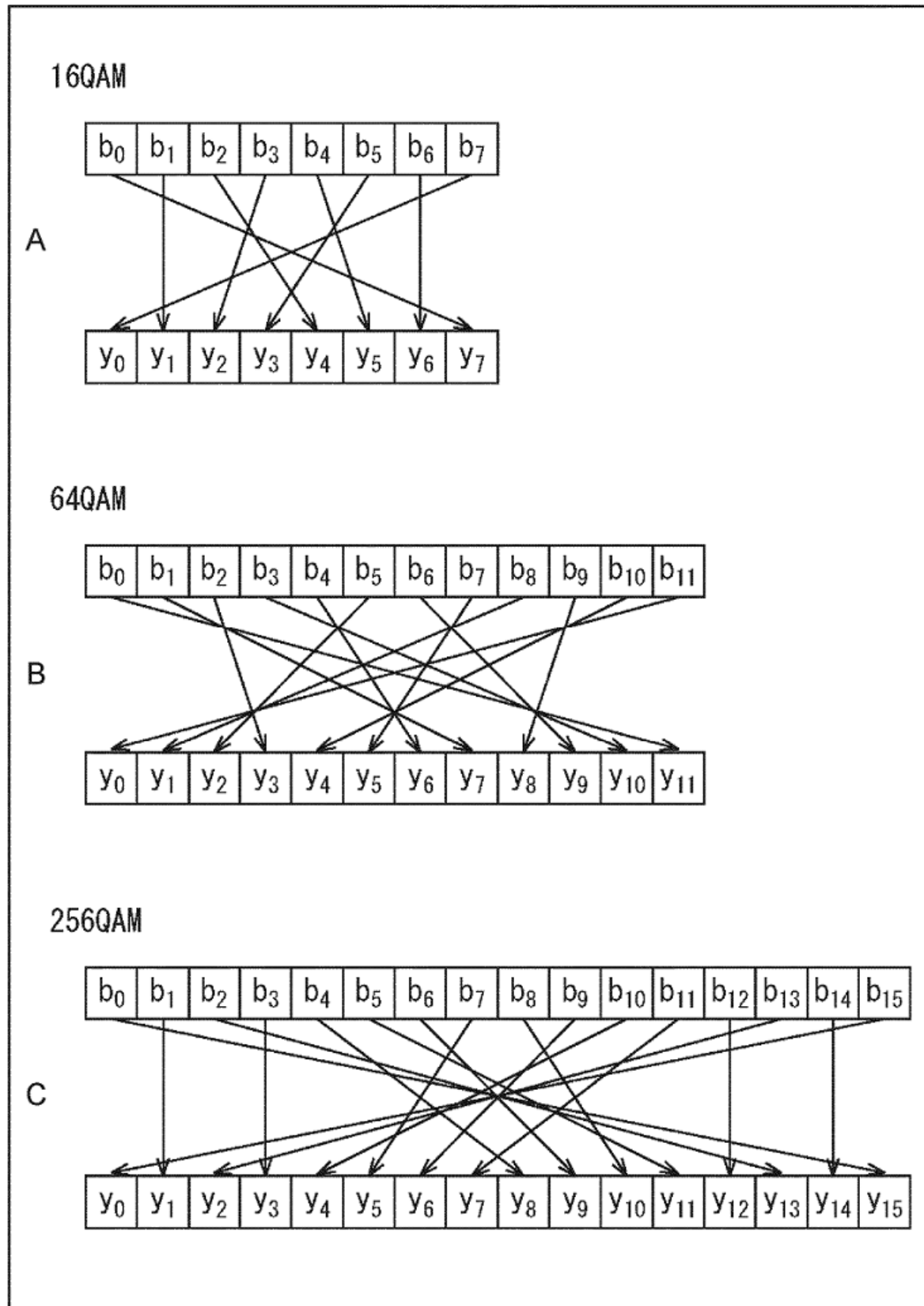
FIG. 51

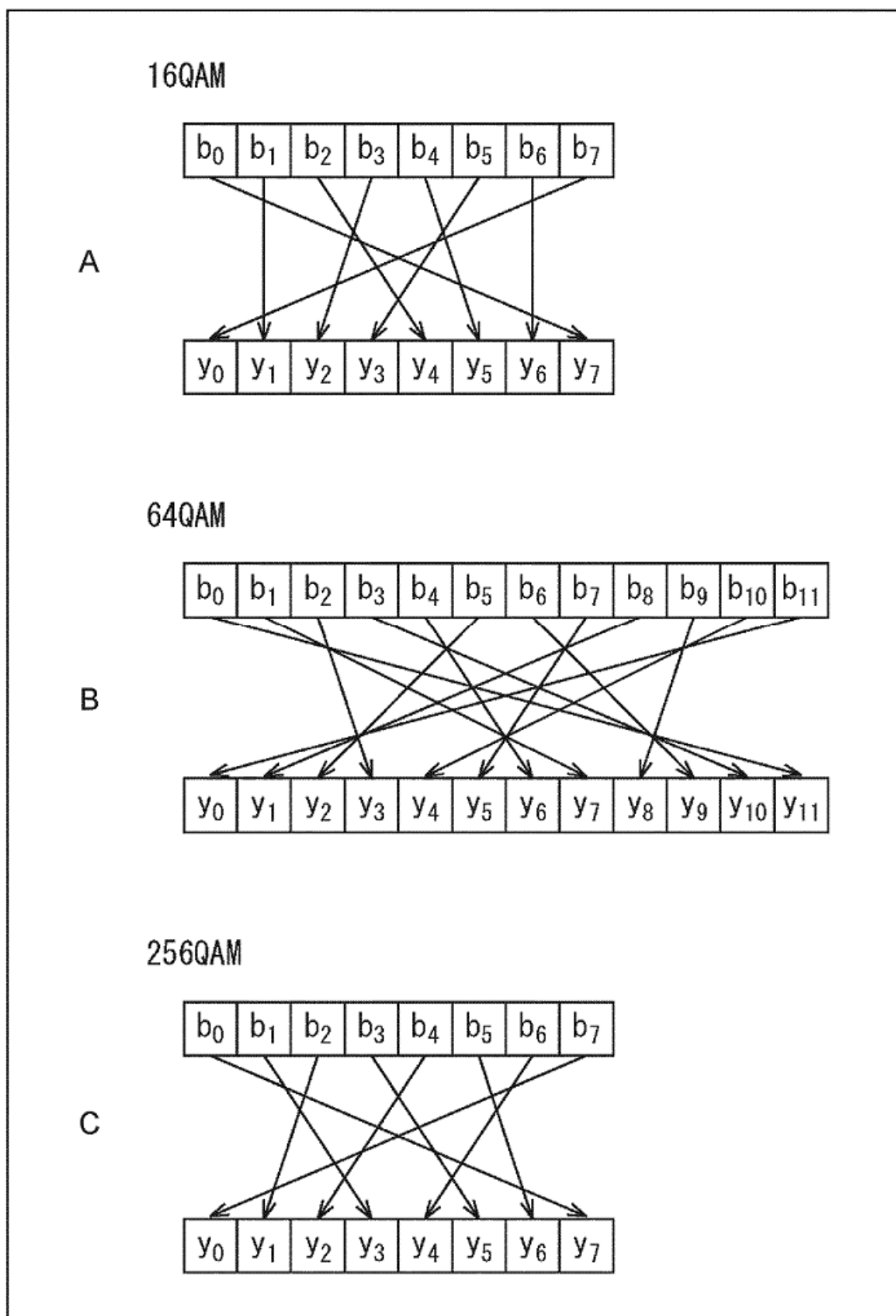
FIG. 52

FIG. 53

64QAM r1/4 4K

A BITS CÓDIGO

Gb1	Gb2	Gb2	Gb3	Gb3	Gb3	Gb3	Gb3	Gb3	Gb3	Gb3	Gb3	Gb3	Gb3	Gb3	Gb3
b0	b1	b2	b3	b4	b5	b6	b7	b8	b9	b10	b11	b12	b13	b14	b15

B BITS SÍMBOLO

y0	y1	y2	y3	y4	y5	y6	y7	y8	y9	y10	y11
Gy1	Gy1	Gy2	Gy2	Gy3	Gy3	Gy1	Gy1	Gy2	Gy2	Gy3	Gy3

FIG. 54

64QAM r1/4 4K

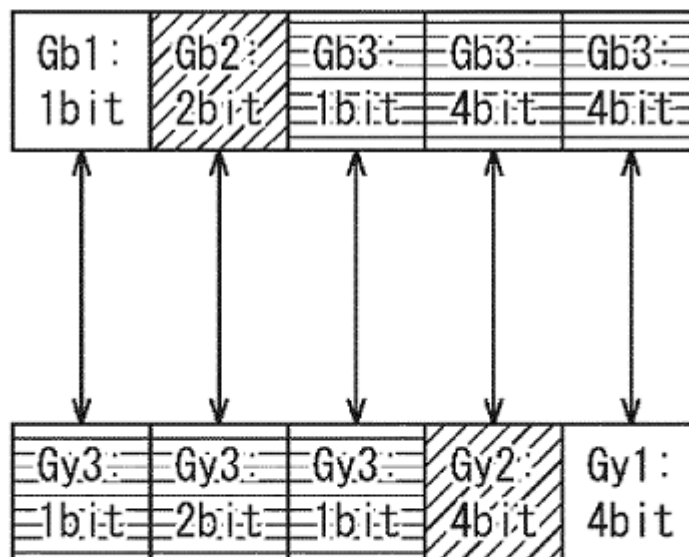


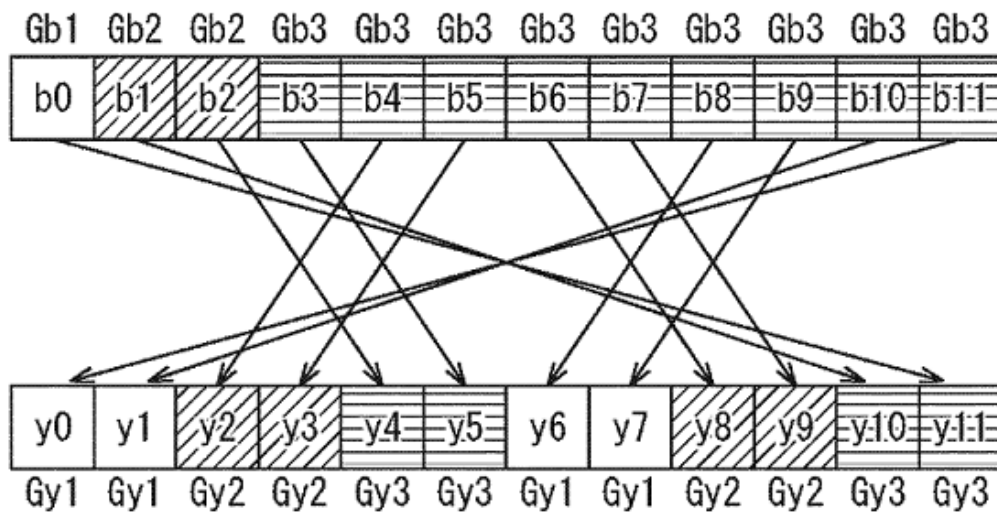
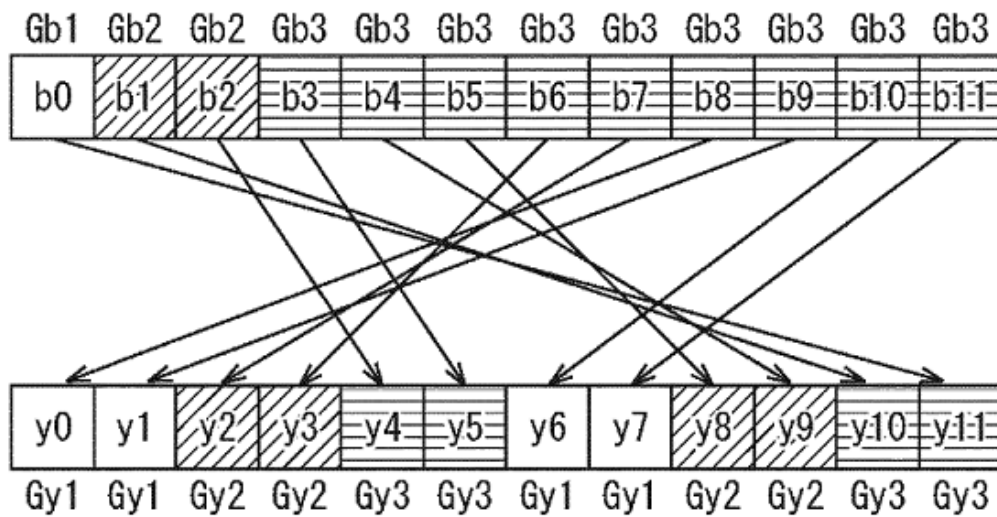
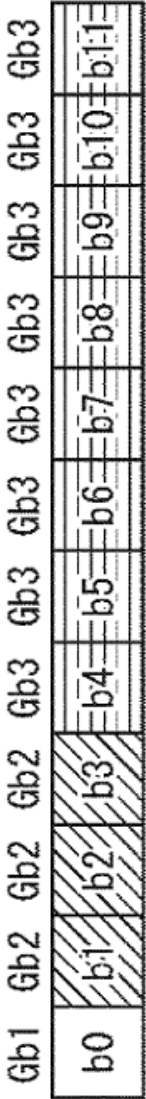
FIG. 5564QAM r1/4 4K**A****B**

FIG. 56

64QAM r1/3 4K

A BITS CÓDIGO



B BITS SÍMBOLO :

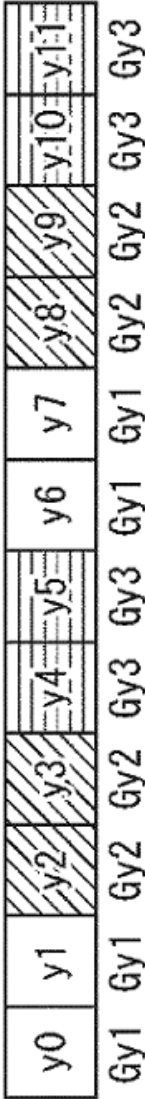


FIG. 57

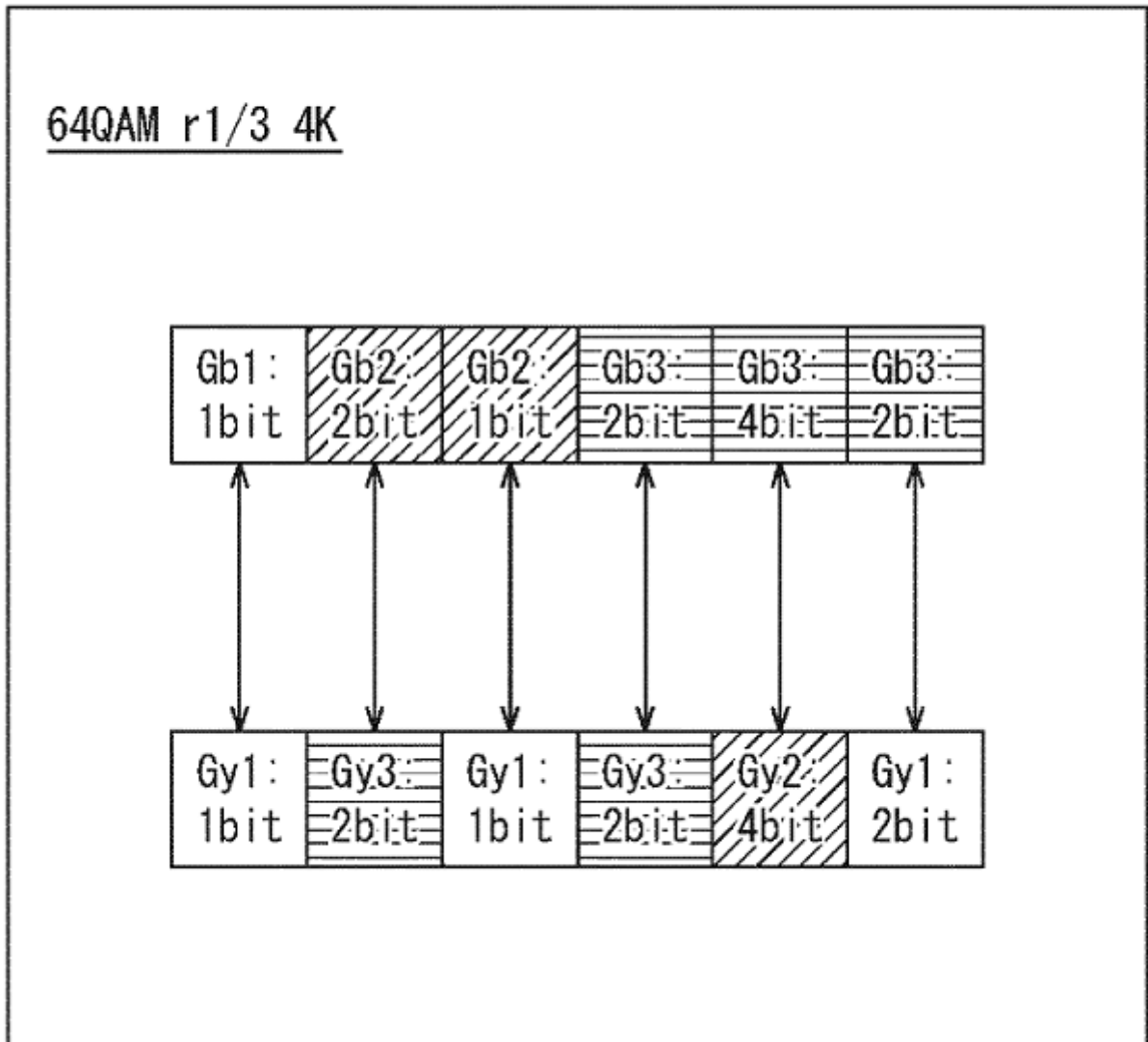


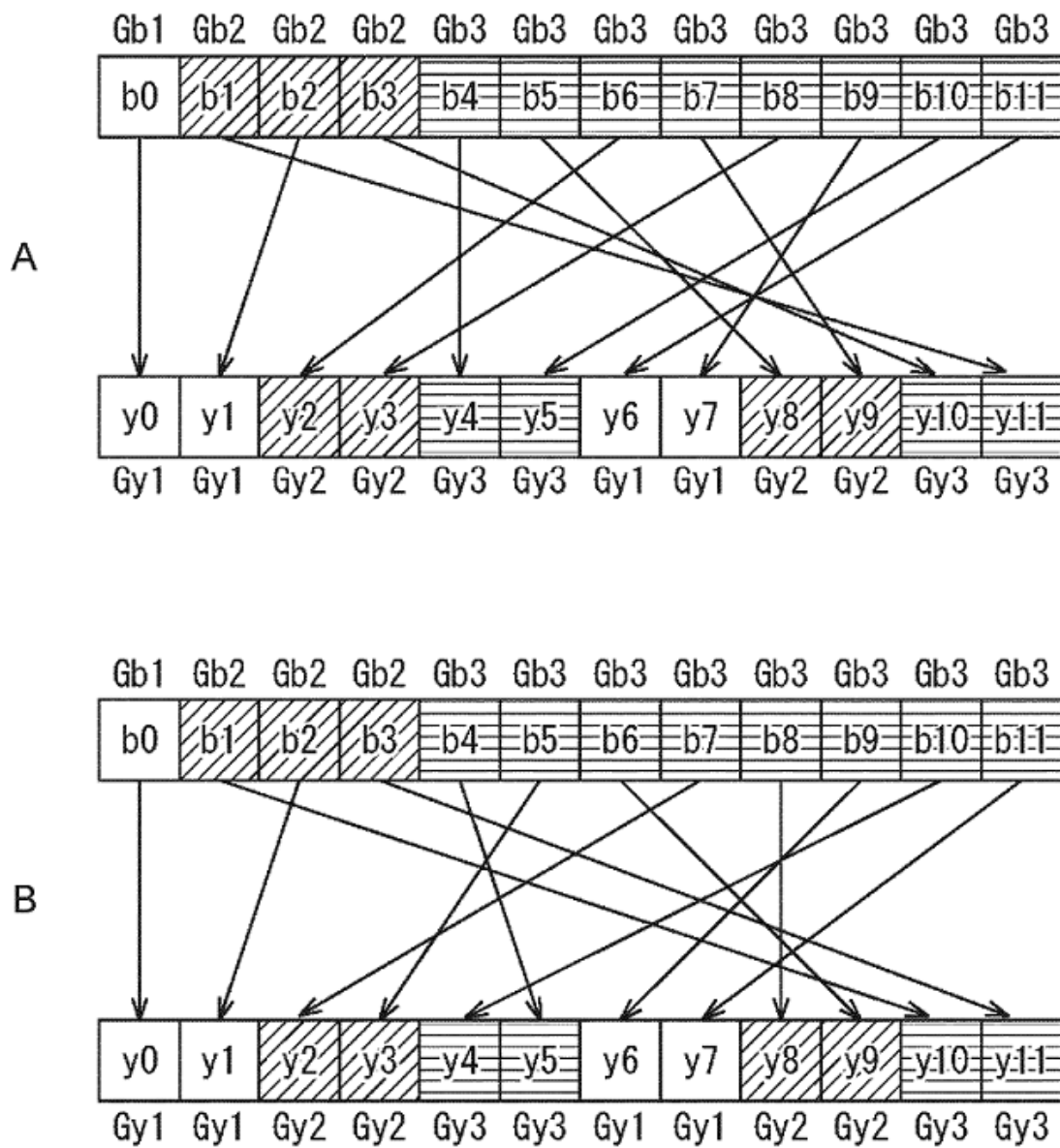
FIG. 5864QAM r1/3 4K

FIG. 59

64QAM r5/12 4K

A BITS CÓDIGO

Gb1	Gb2	Gb2	Gb2	Gb2	Gb3	Gb3	Gb3	Gb3	Gb3	Gb3	Gb3	Gb3	Gb3
b0	b1	b2	b3	b4	b5	b6	b7	b8	b9	b10	b11	b12	b13

B BITS SÍMBOLO

y0	y1	y2	y3	y4	y5	y6	y7	y8	y9	y10	y11
Gy1	Gy1	Gy2	Gy2	Gy3	Gy3	Gy1	Gy1	Gy2	Gy2	Gy3	Gy3

FIG. 60

64QAM r5/12 4K

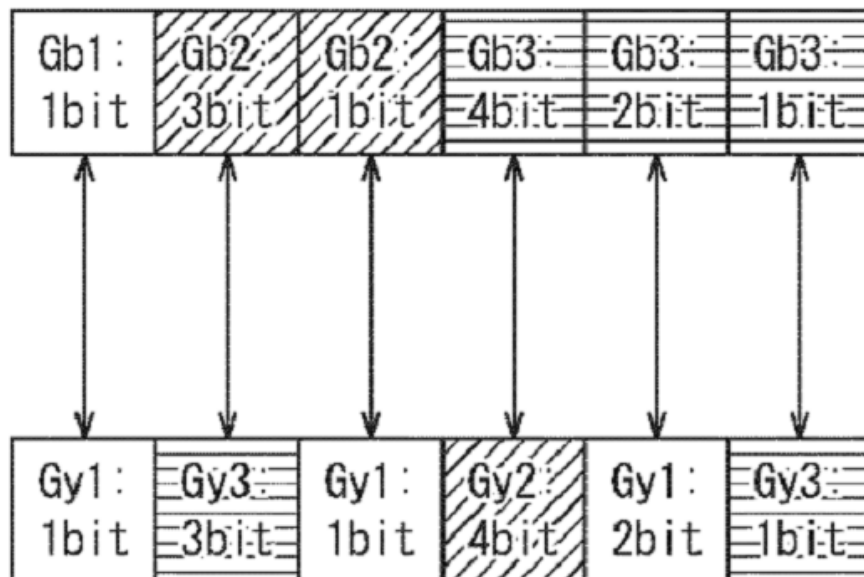


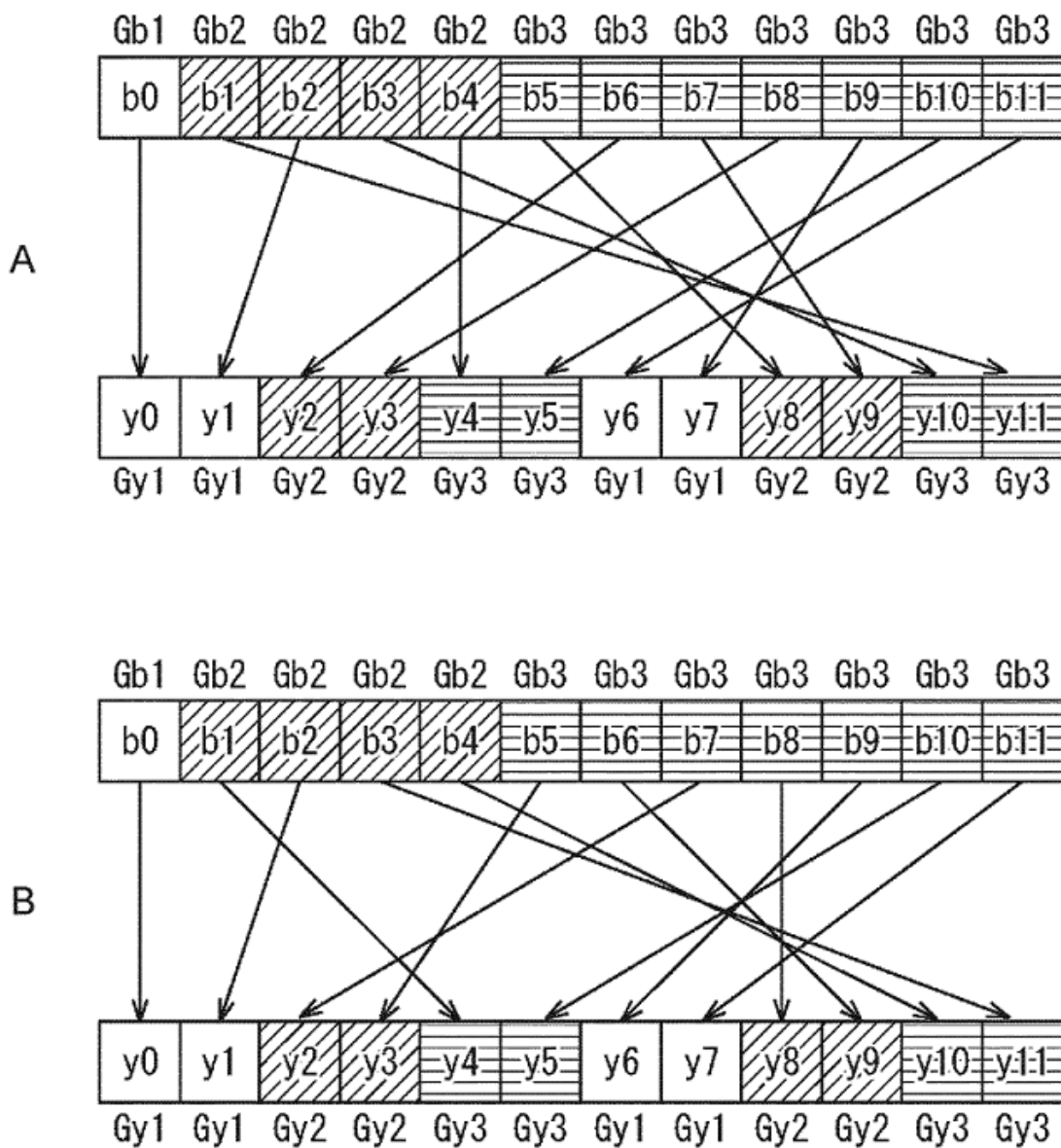
FIG. 6164QAM r5/12 4K

FIG. 62

64QAM r1/2 4K

A BITS CÓDIGO



B BITS SÍMBOLO

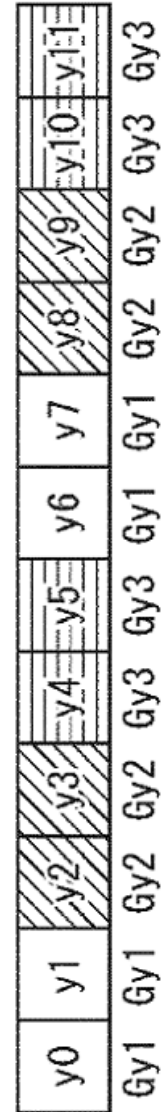


FIG. 63

64QAM r1/2 4K

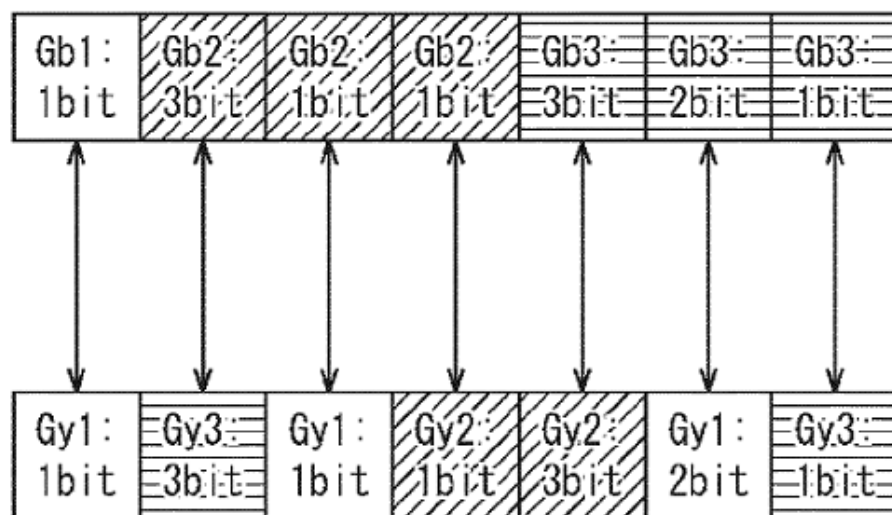


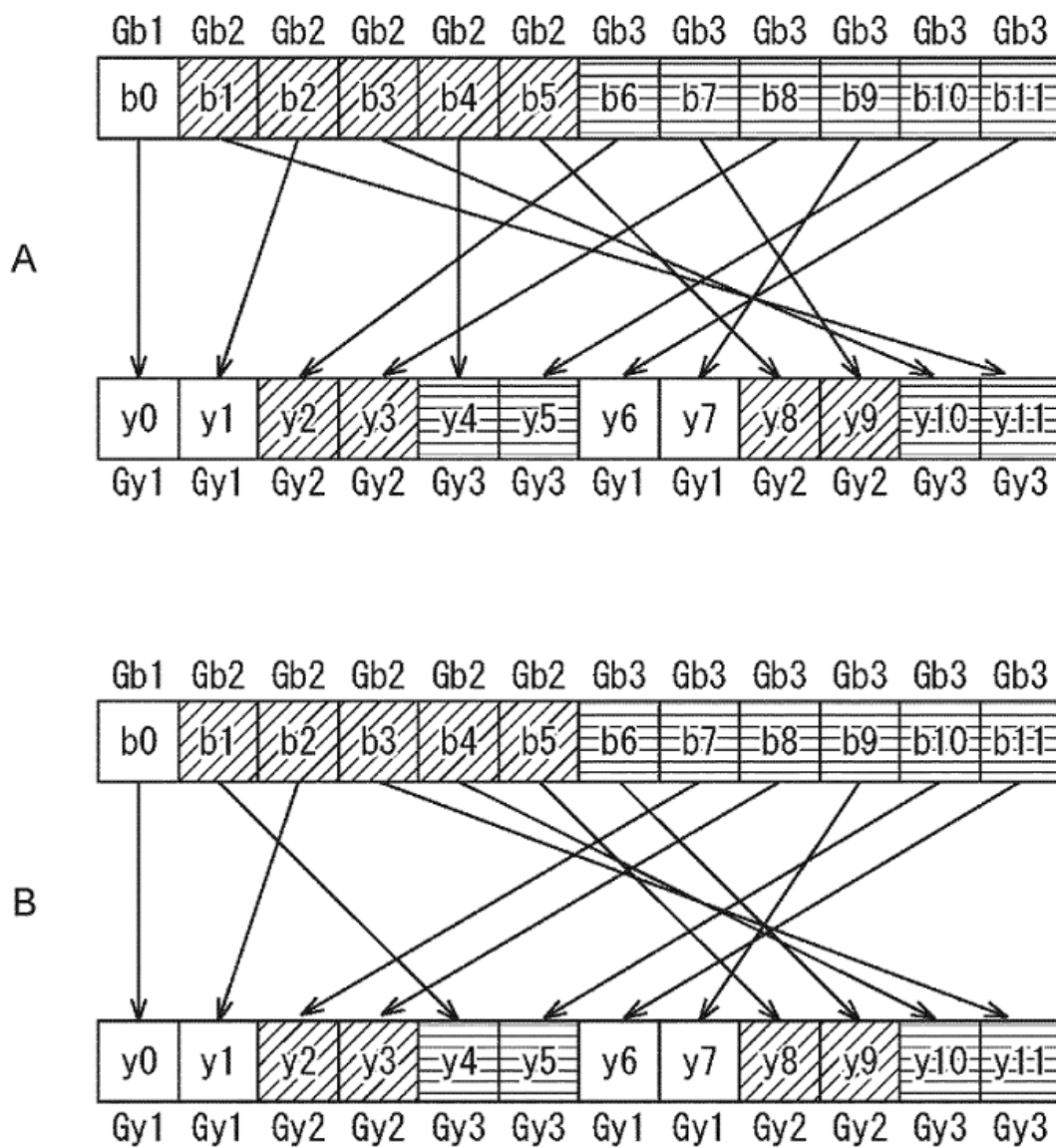
FIG. 6464QAM r1/2 4K

FIG. 65

64QAM r7/12 4K

A BITS CÓDIGO



B BITS SÍMBOLO

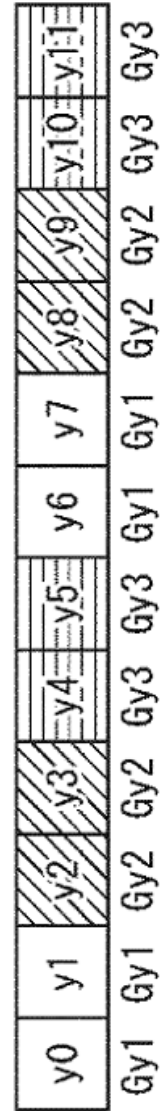


FIG. 66

64QAM r7/12 4K

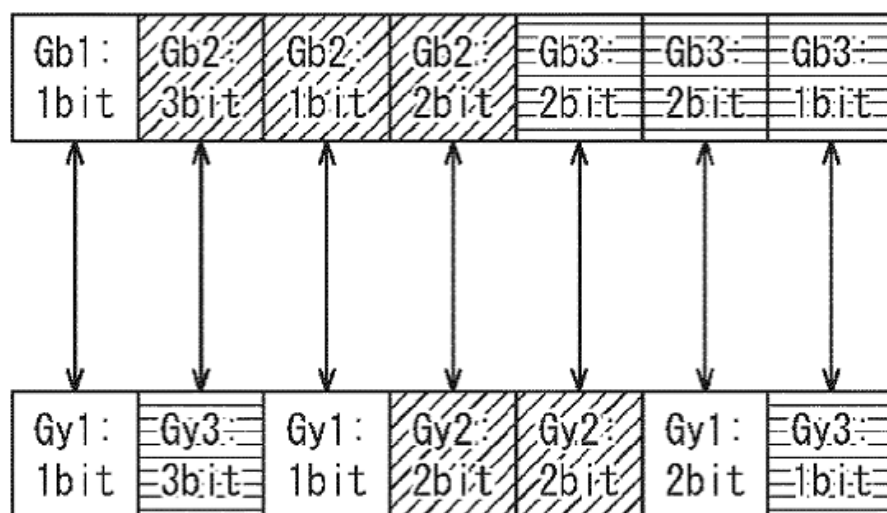


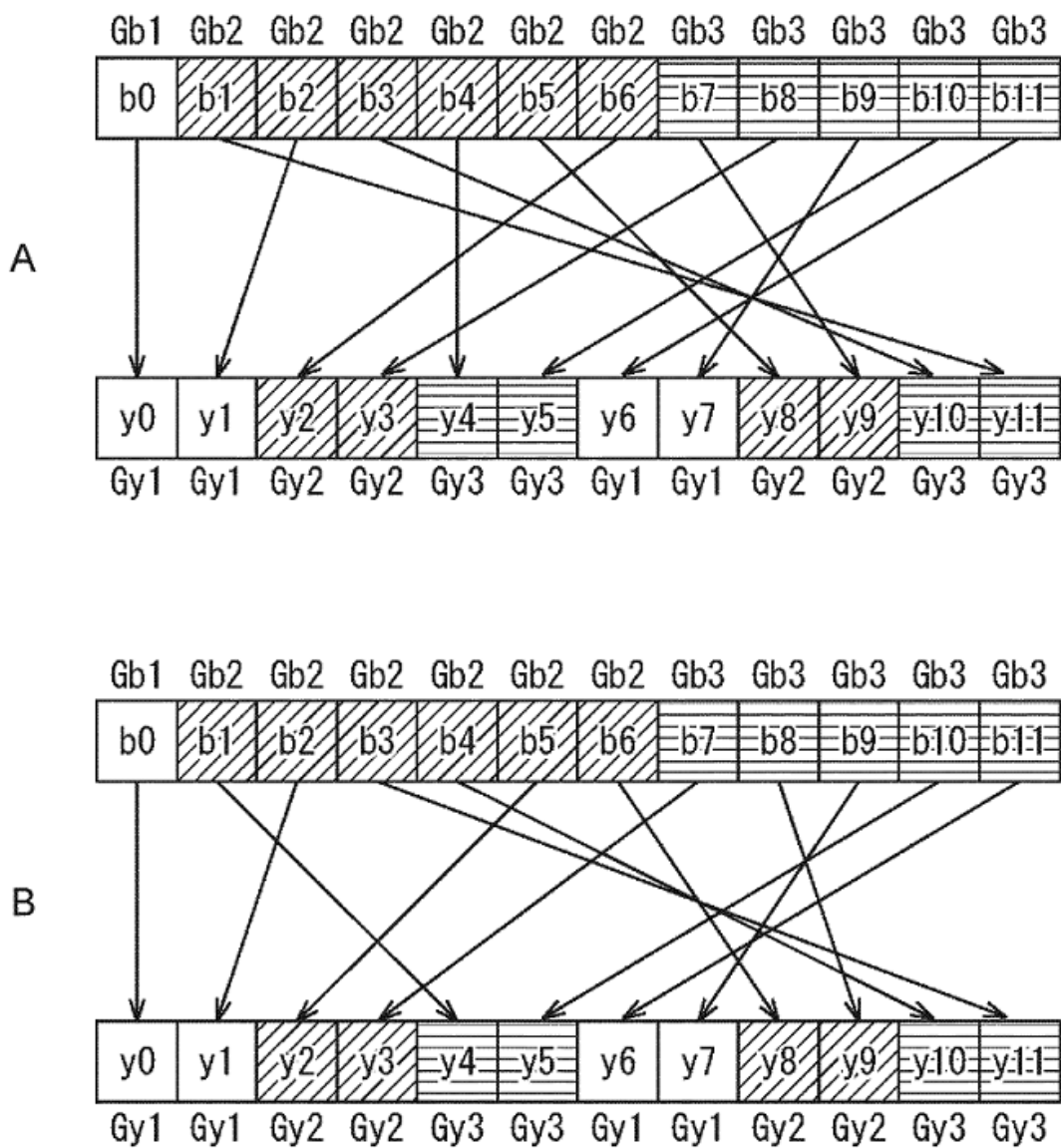
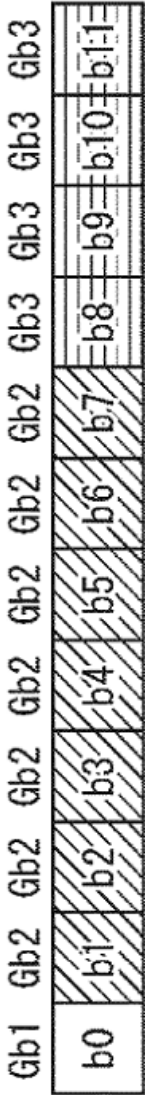
FIG. 6764QAM r7/12 4K

FIG. 68

64QAM r2/3 4K

A BITS CÓDIGO



B BITS SÍMBOLO

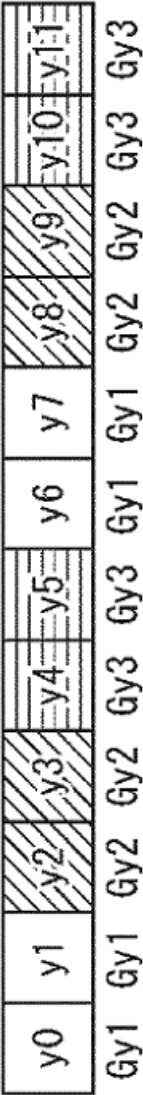


FIG. 69

64QAM r2/3 4K

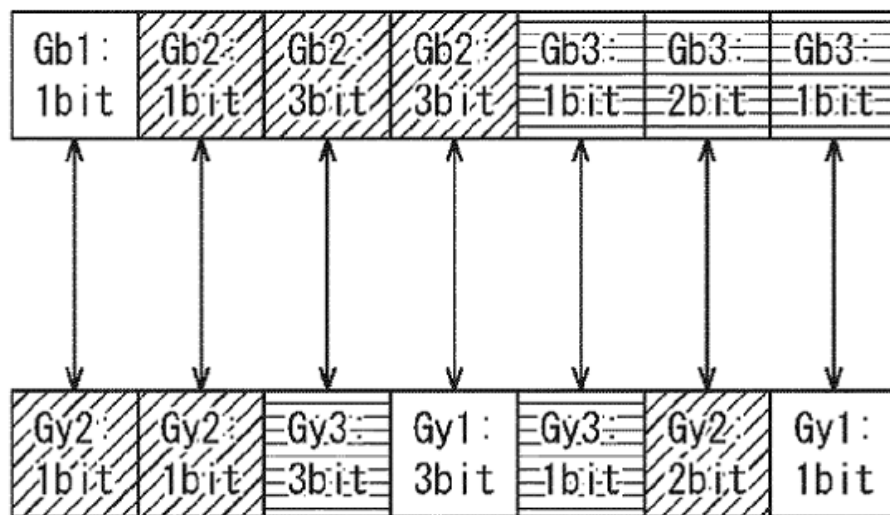


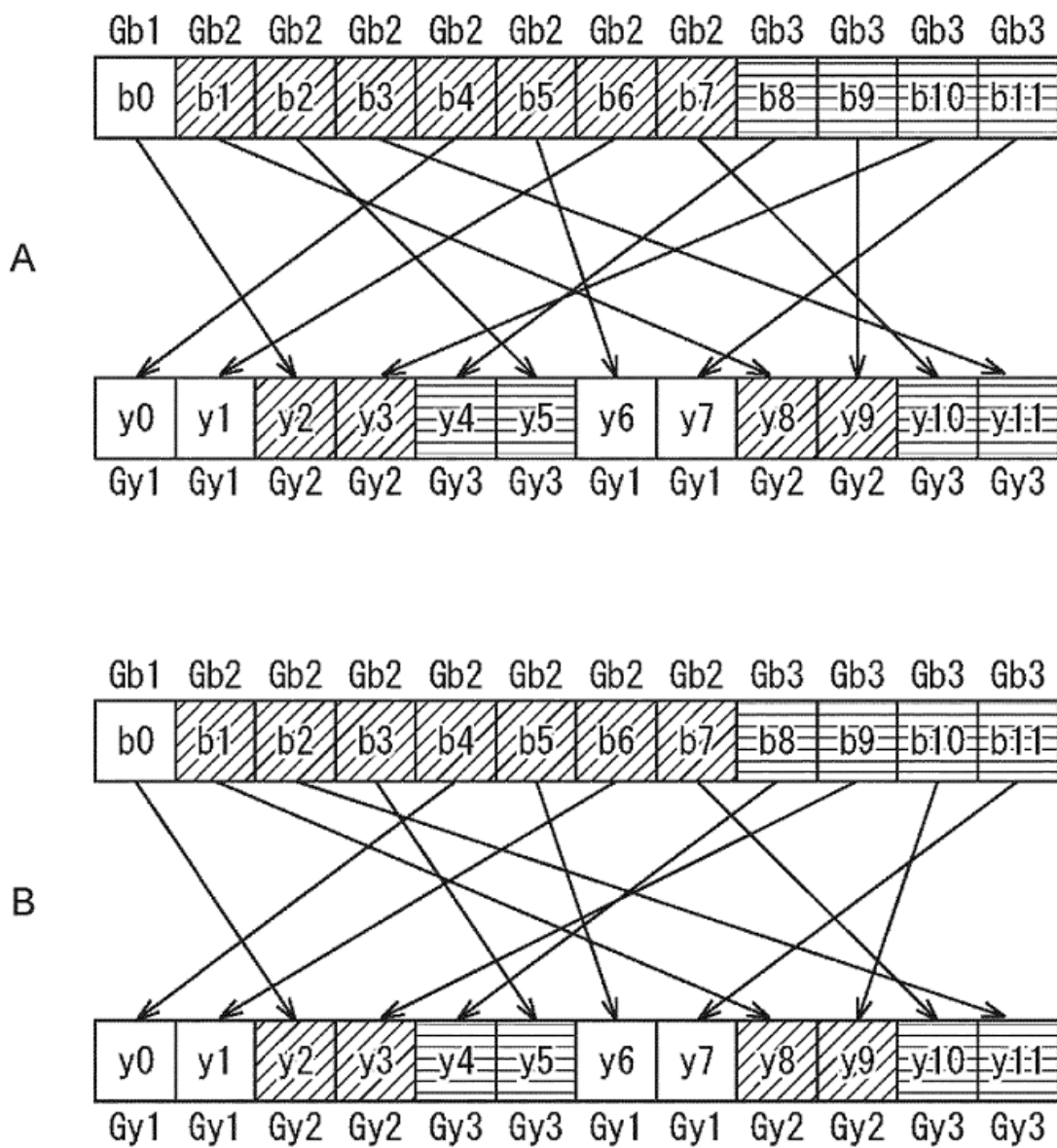
FIG. 7064QAM r2/3 4K

FIG. 72

64QAM r3/4 4K

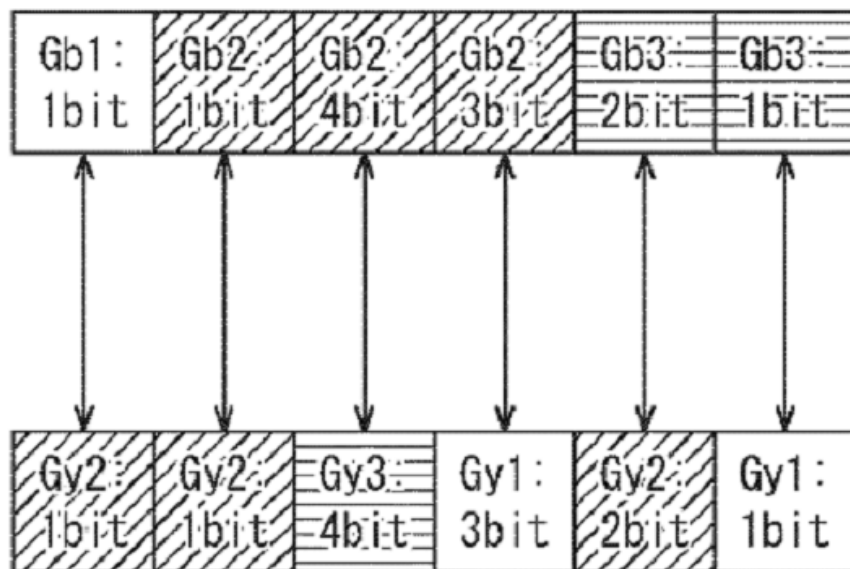


FIG. 73

64QAM r3/4 4K

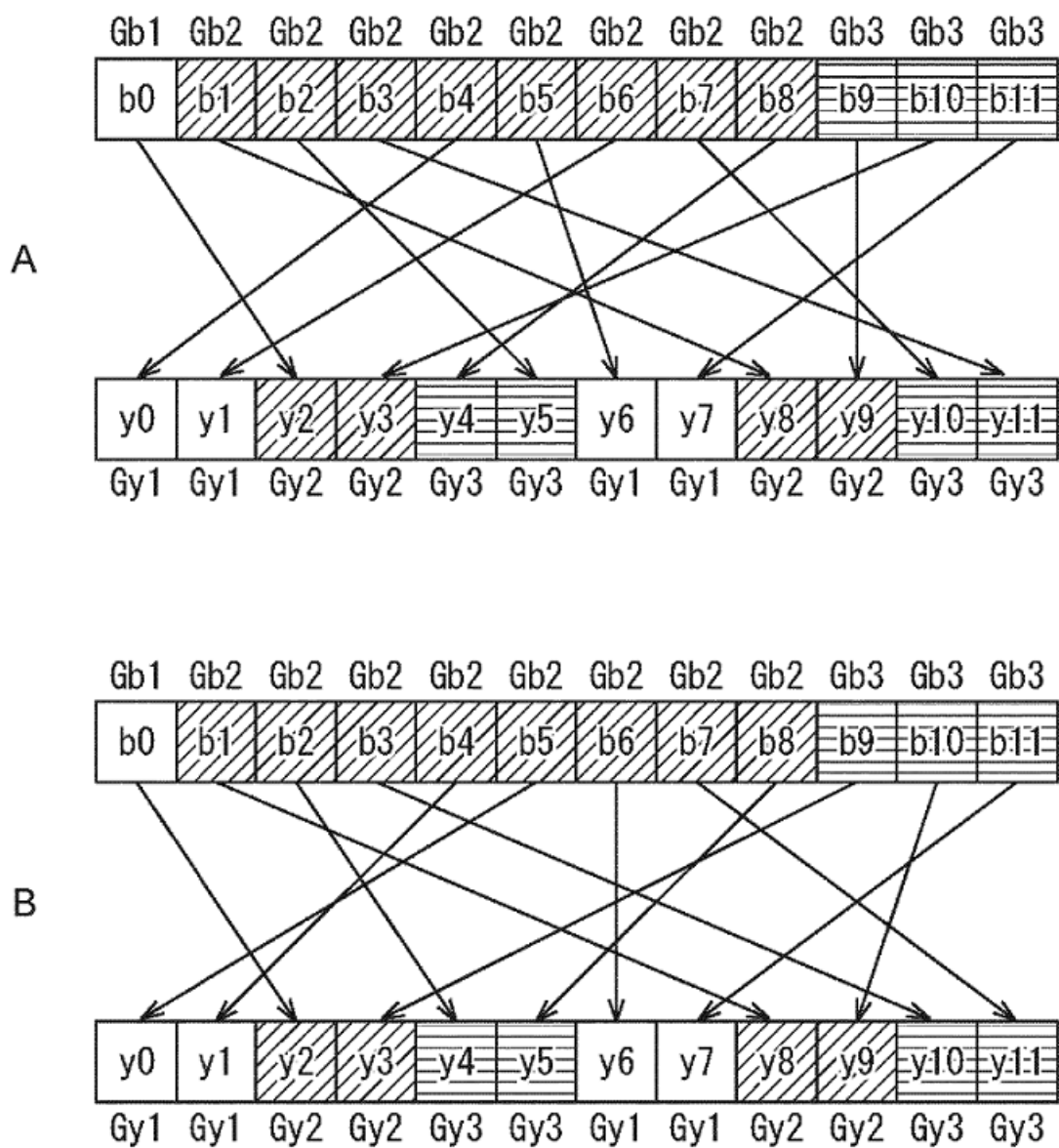


FIG. 74

64QAM r5/6 4K

A BITS CÓDIGO

Gb1	Gb1	Gb2	Gb2	Gb2	Gb2	Gb2	Gb2	Gb2	Gb2	Gb2	Gb2	Gb2	Gb2
b0	b1	b2	b3	b4	b5	b6	b7	b8	b9	b10	b11	b12	b13

B BITS SÍMBOLO ;

y0	y1	y2	y3	y4	y5	y6	y7	y8	y9	y10	y11
Gy1	Gy1	Gy2	Gy2	Gy3	Gy3	Gy1	Gy1	Gy2	Gy2	Gy3	Gy3

FIG. 75

64QAM r5/6 4K

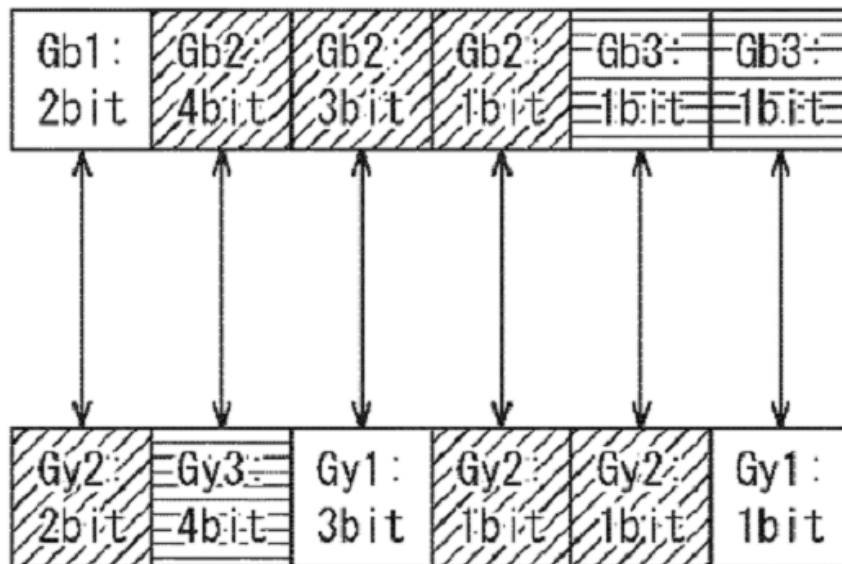


FIG. 76

64QAM r5/6 4K

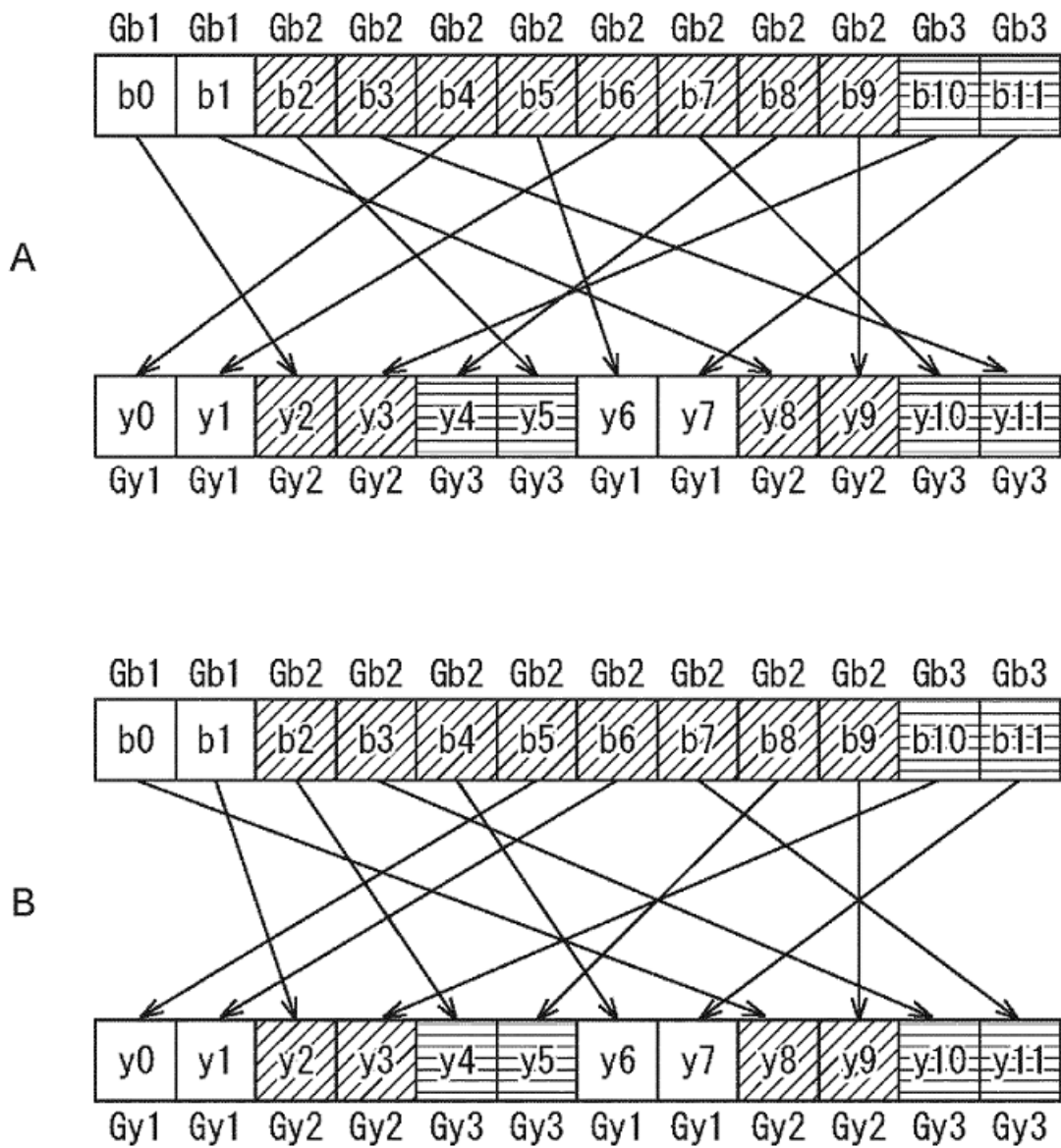


FIG. 77

64QAM r11/12 4K

A BITS CÓDIGO

[illegible]

B BITS SÍMBOLO

y0	y1	y2	y3	y4	y5	y6	y7	y8	y9	y10	y11
Gy1	Gy1	Gy2	Gy2	Gy3	Gy3	Gy1	Gy1	Gy2	Gy2	Gy3	Gy3

FIG. 78

64QAM r11/12 4K

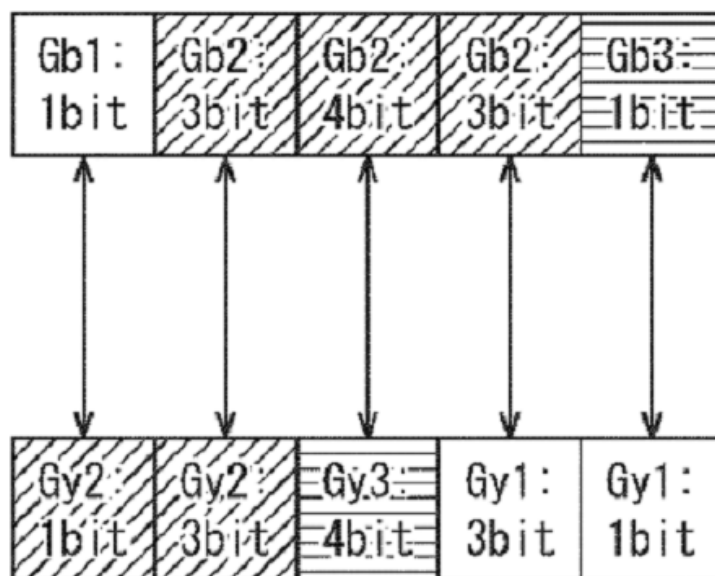


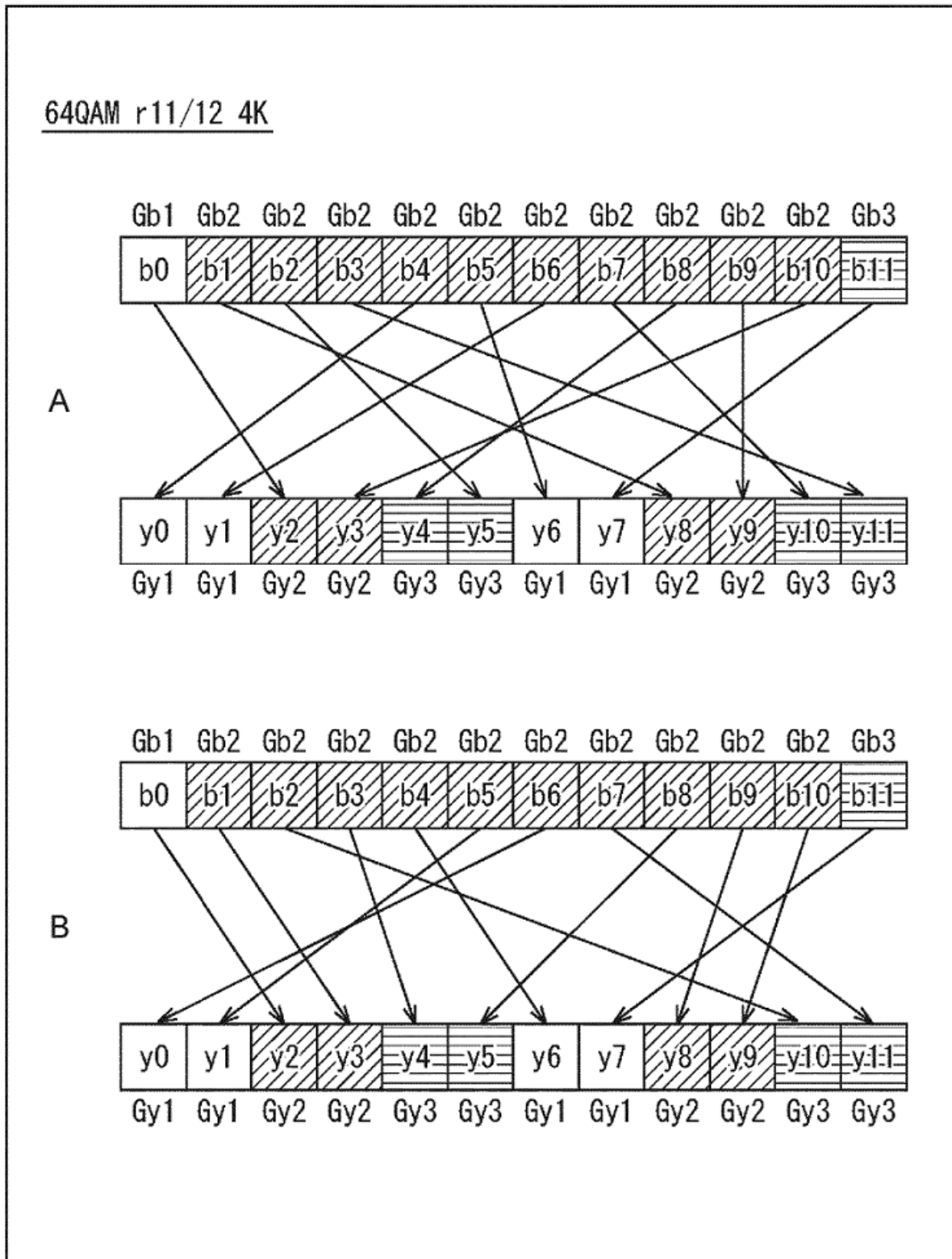
FIG. 79

FIG. 80

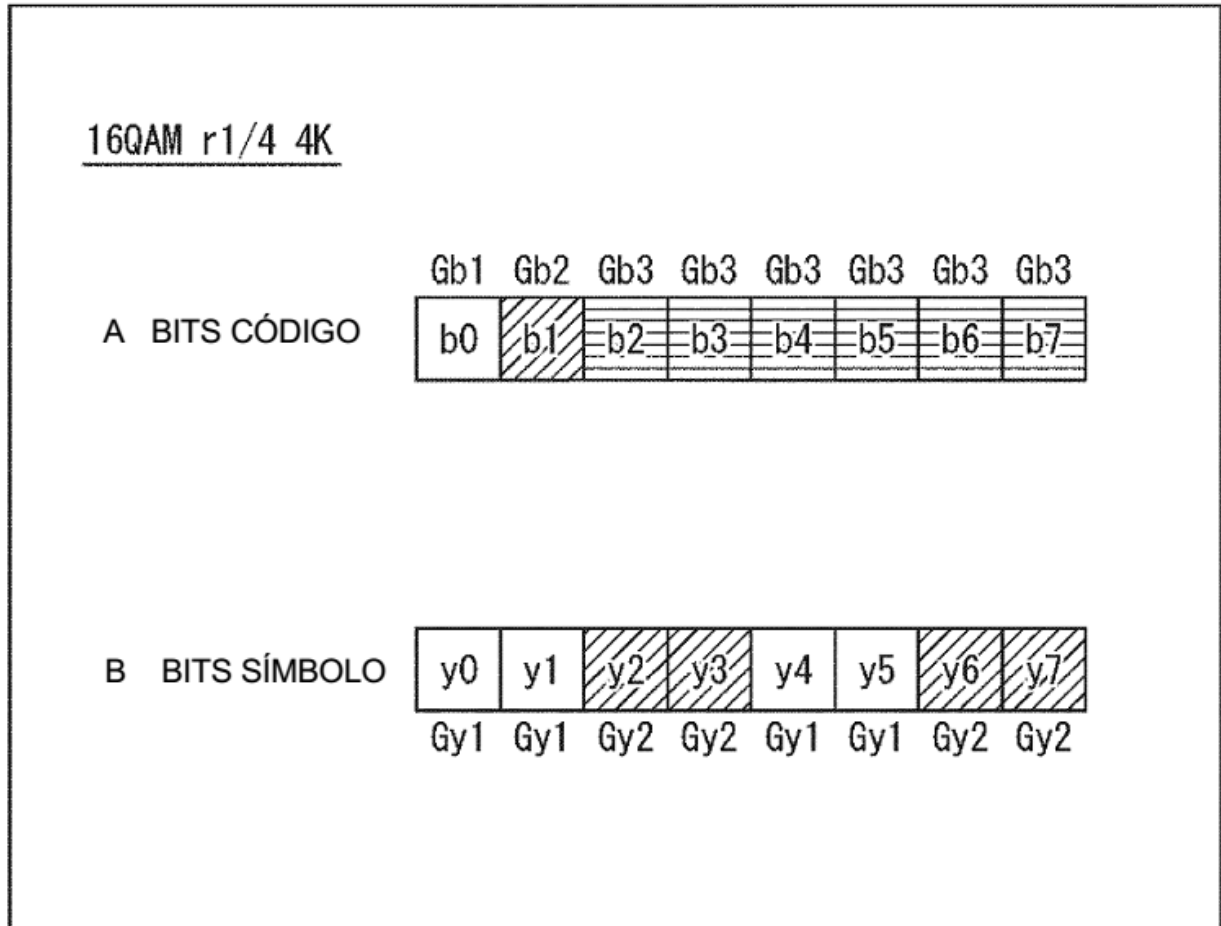


FIG. 81

16QAM r1/4 4K

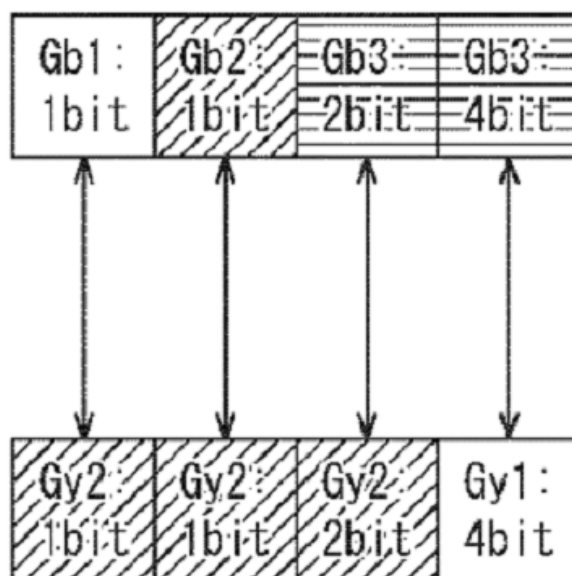
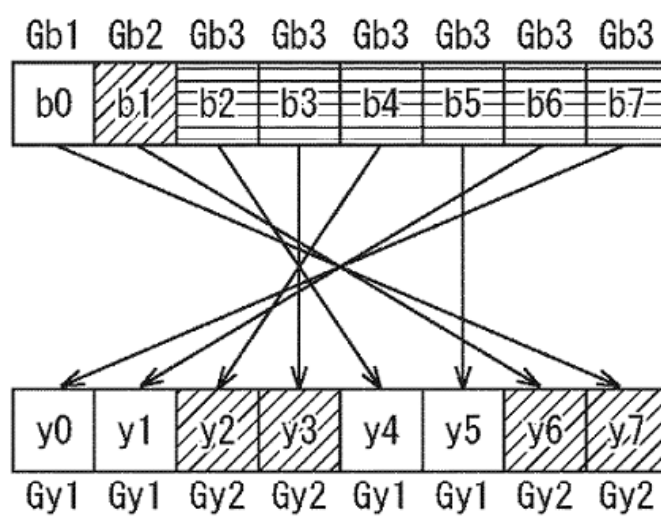


FIG. 82

16QAM r1/4 4K

A



B

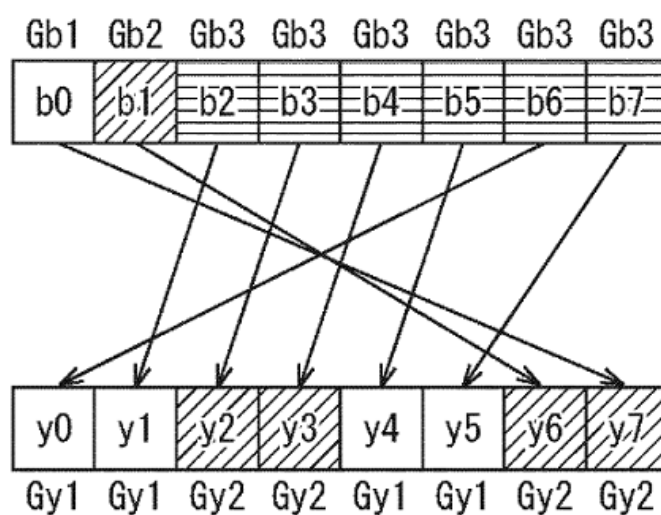


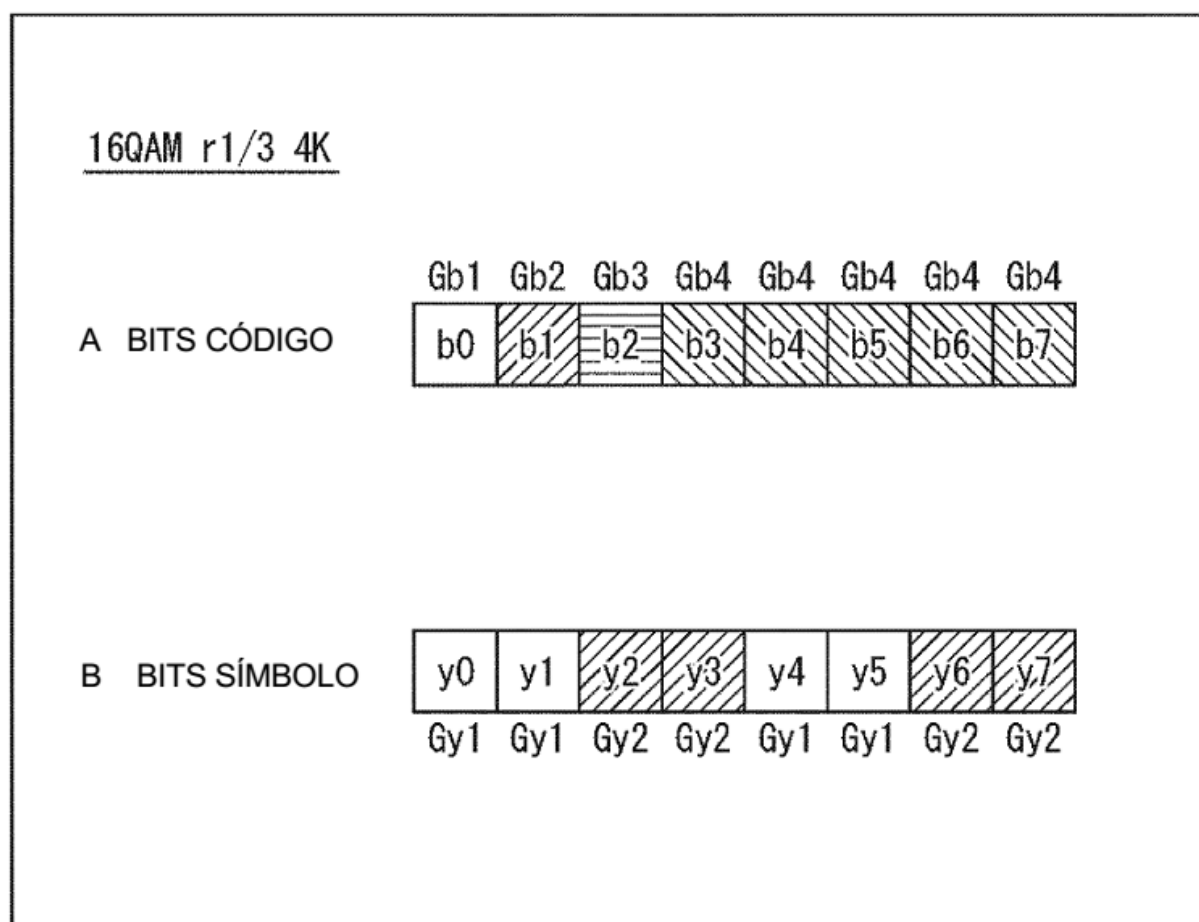
FIG. 83

FIG. 84

16QAM r1/3 4K

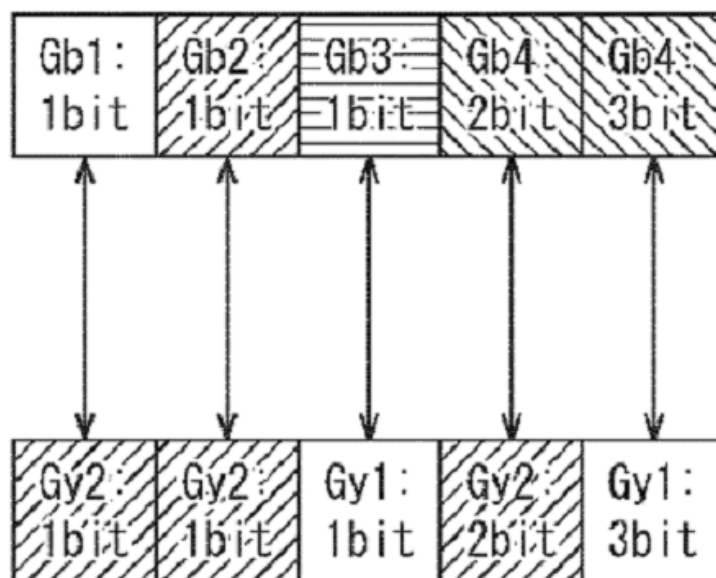


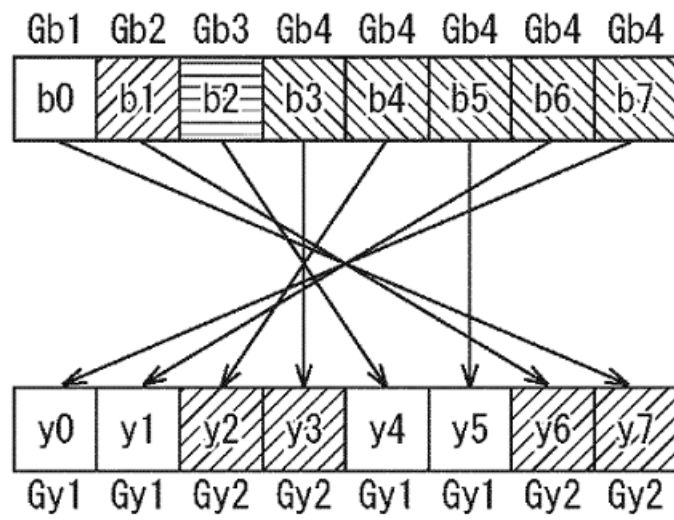
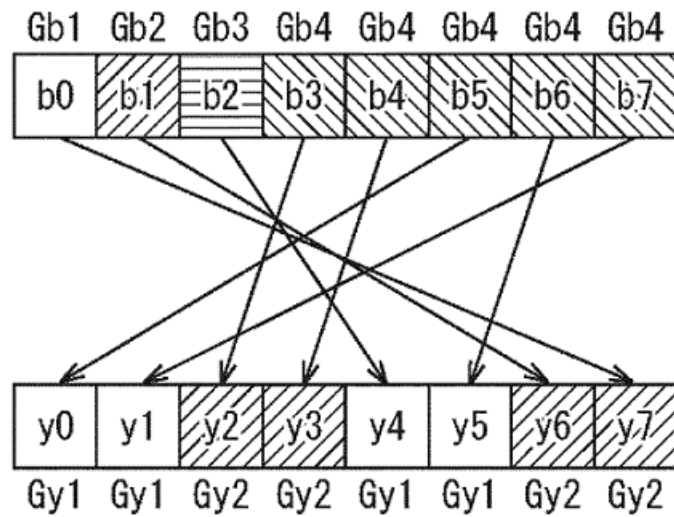
FIG. 8516QAM r1/3 4K**A****B**

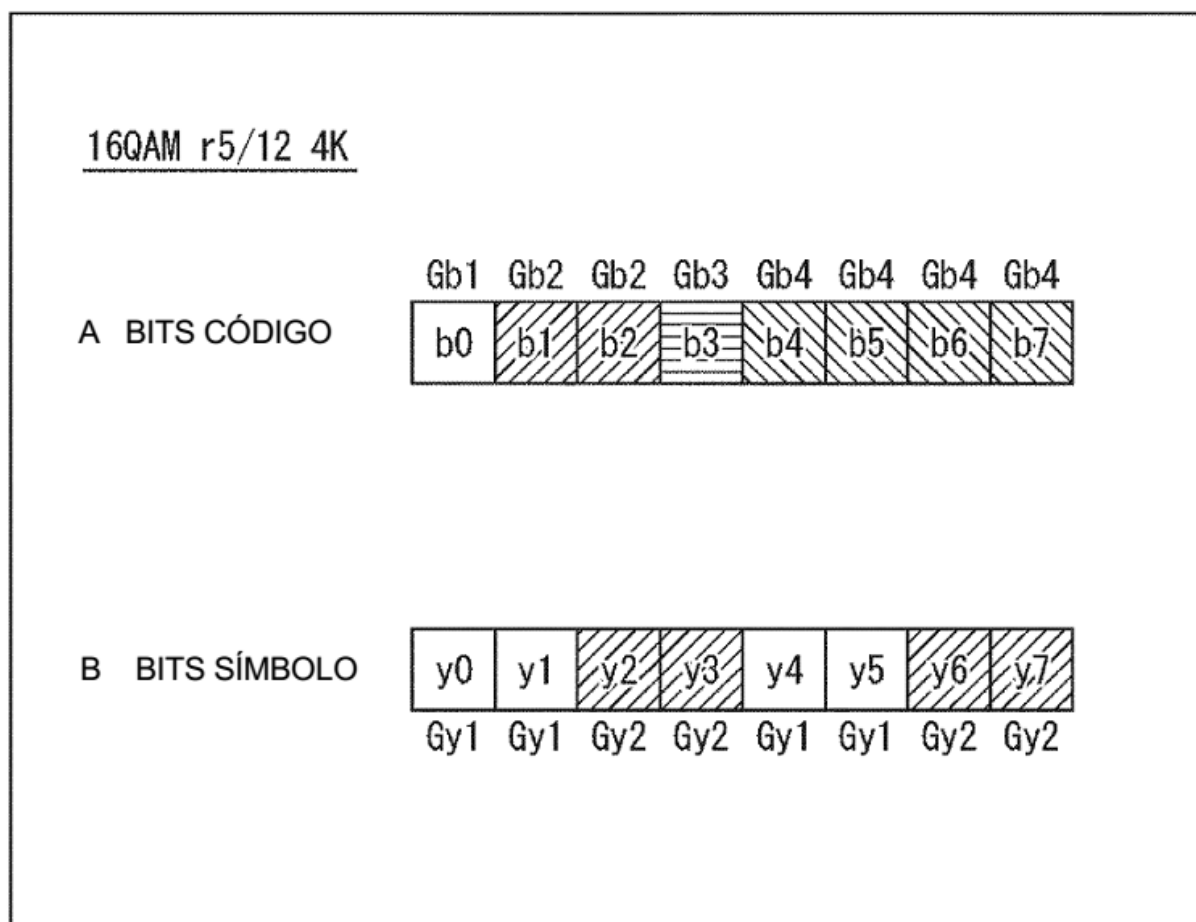
FIG. 86

FIG. 87

16QAM r5/12 4K

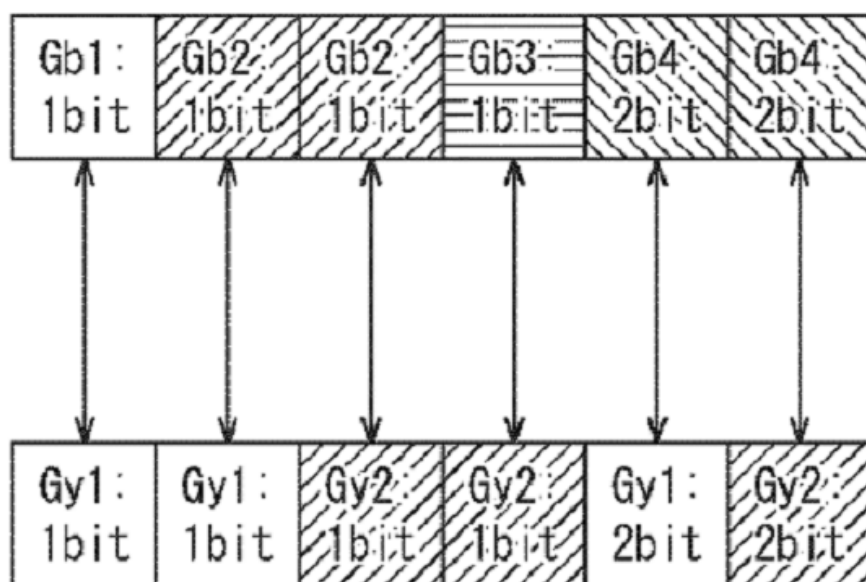


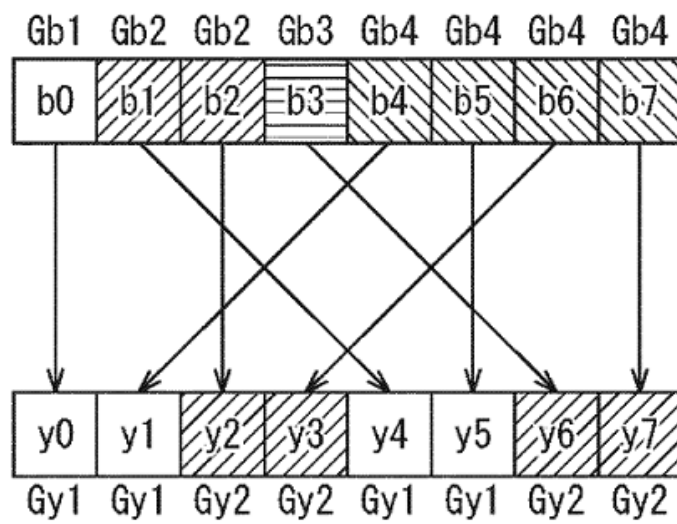
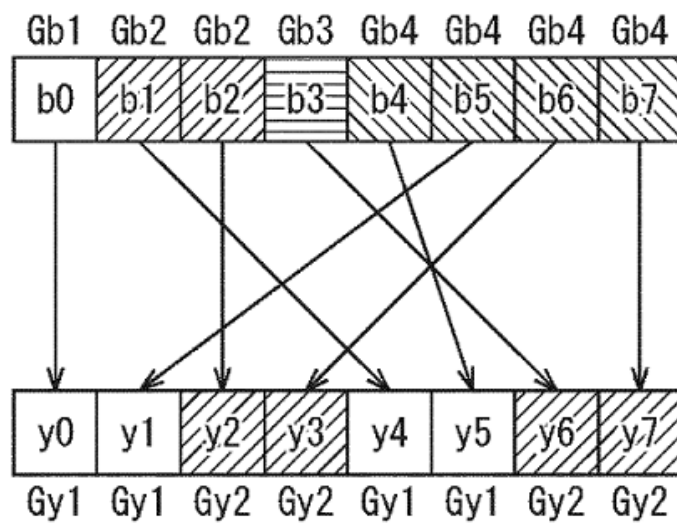
FIG. 8816QAM r5/12 4K**A****B**

FIG. 8916QAM r1/2 4K

A BITS CÓDIGO

Gb1	Gb2	Gb2	Gb2	Gb3	Gb3	Gb3	Gb3
b0	b1	b2	b3	b4	b5	b6	b7

B BITS SÍMBOLO

y0	y1	y2	y3	y4	y5	y6	y7
Gy1	Gy1	Gy2	Gy2	Gy1	Gy1	Gy2	Gy2

FIG. 90

16QAM r1/2 4K

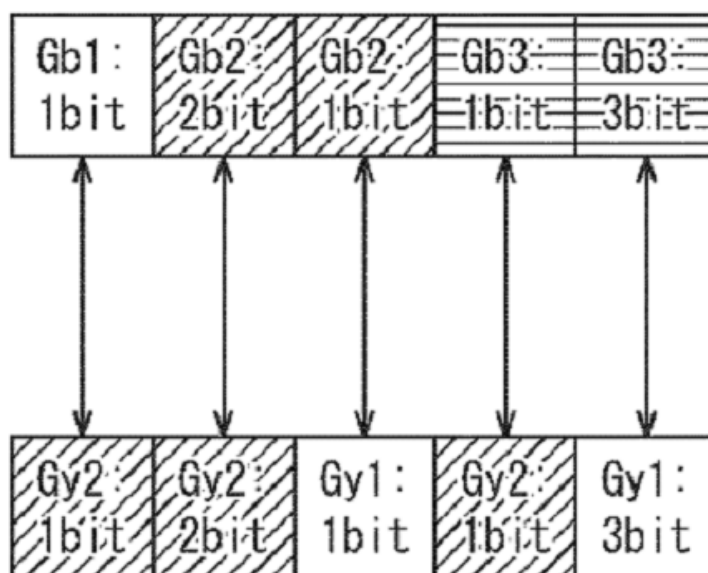
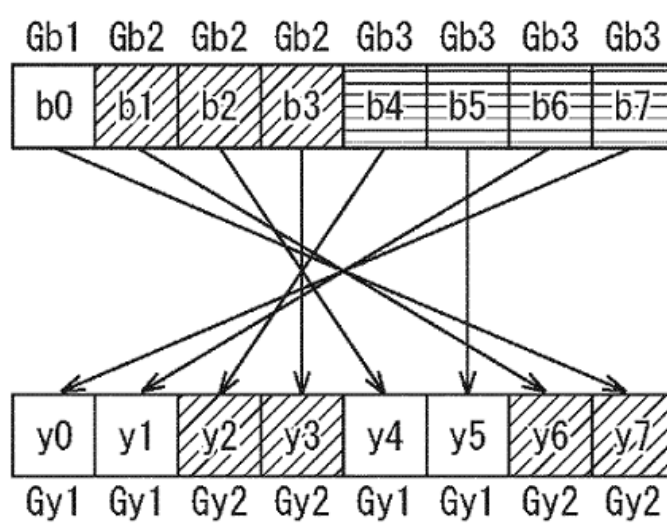
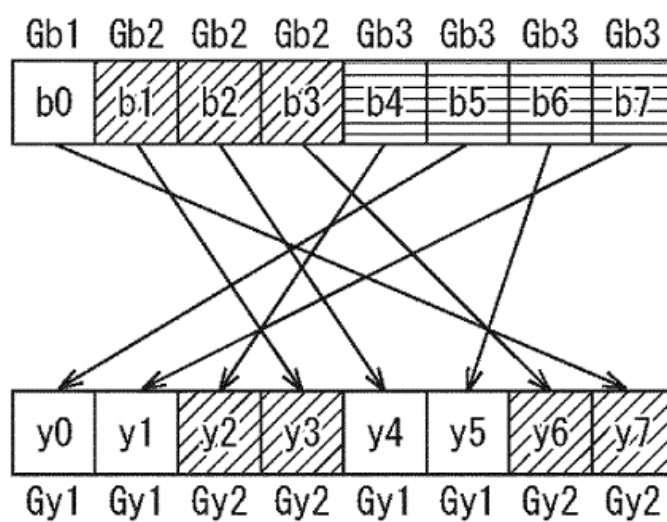
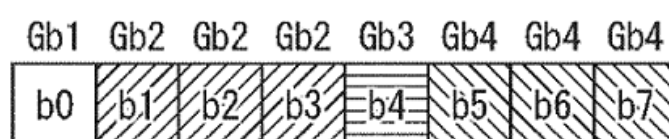


FIG. 9116QAM r1/2 4K**A****B**

*FIG. 92*16QAM r7/12 4K

A BITS CÓDIGO



B BITS SÍMBOLO

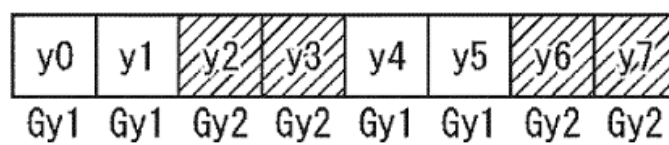


FIG. 93

16QAM r7/12 4K

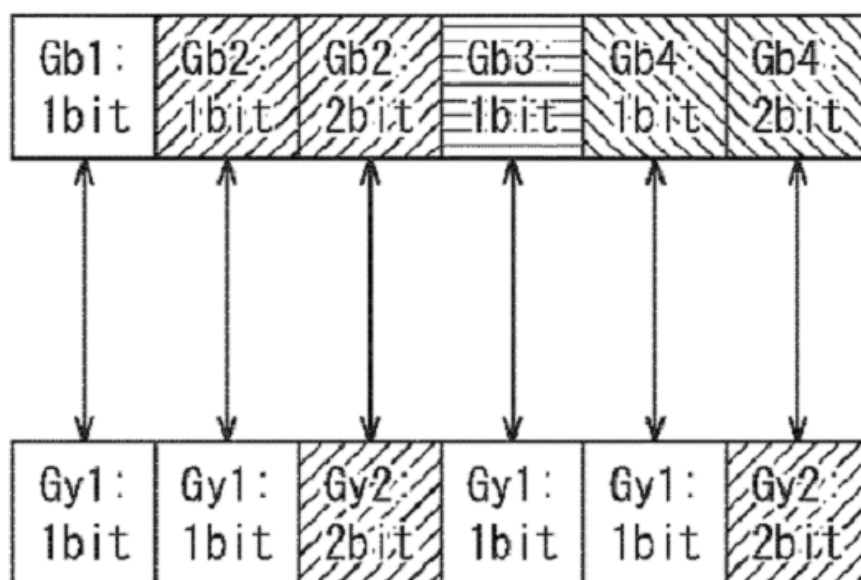


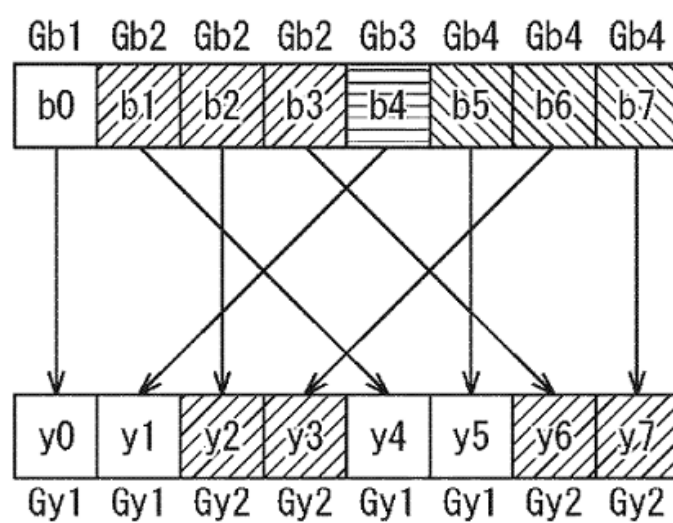
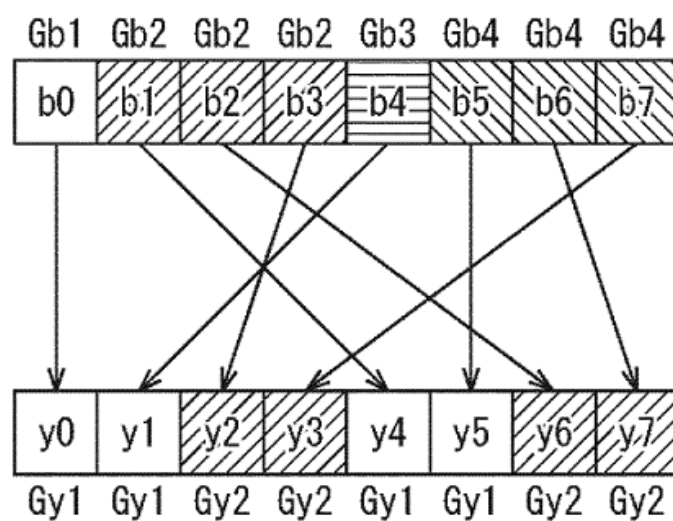
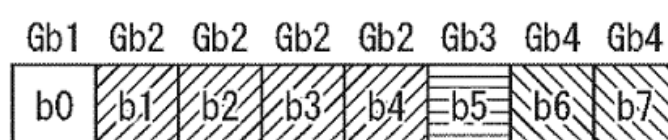
FIG. 9416QAM r7/12 4K**A****B**

FIG. 9516QAM r2/3 4K

A BITS CÓDIGO



B BITS SÍMBOLO

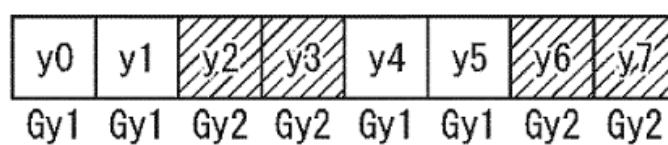


FIG. 96

16QAM r2/3 4K

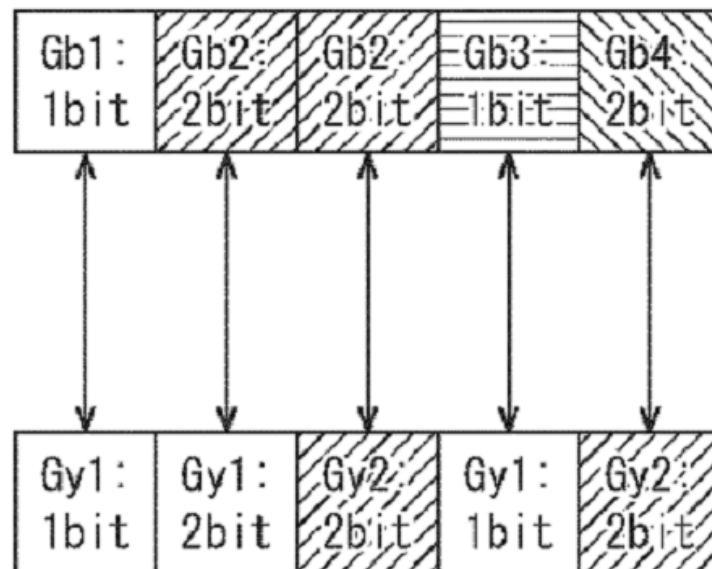


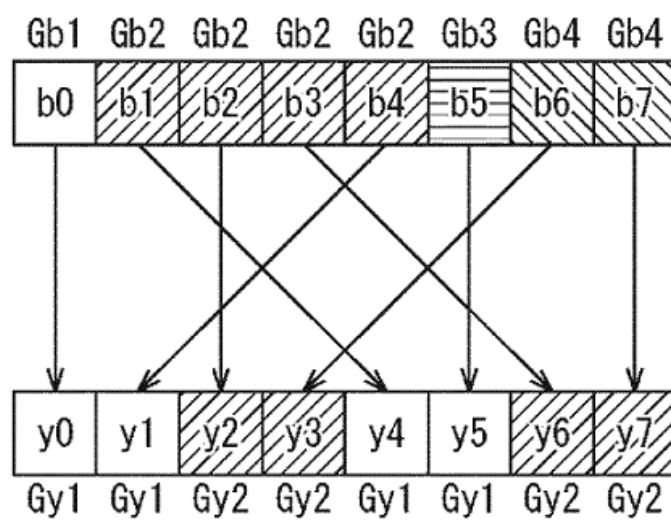
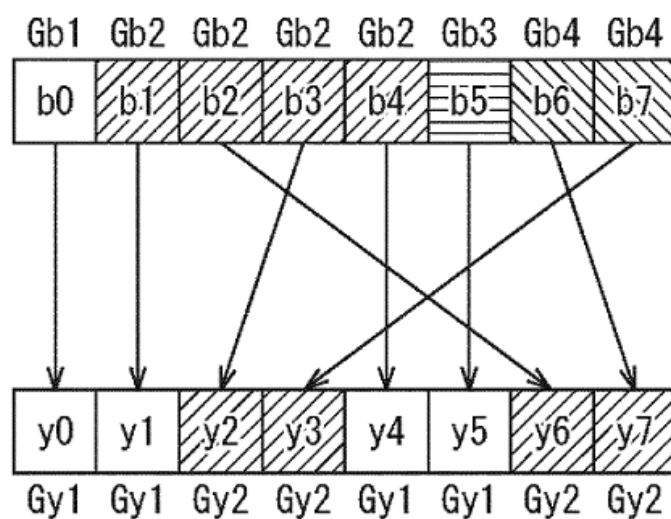
FIG. 9716QAM r2/3 4K**A****B**

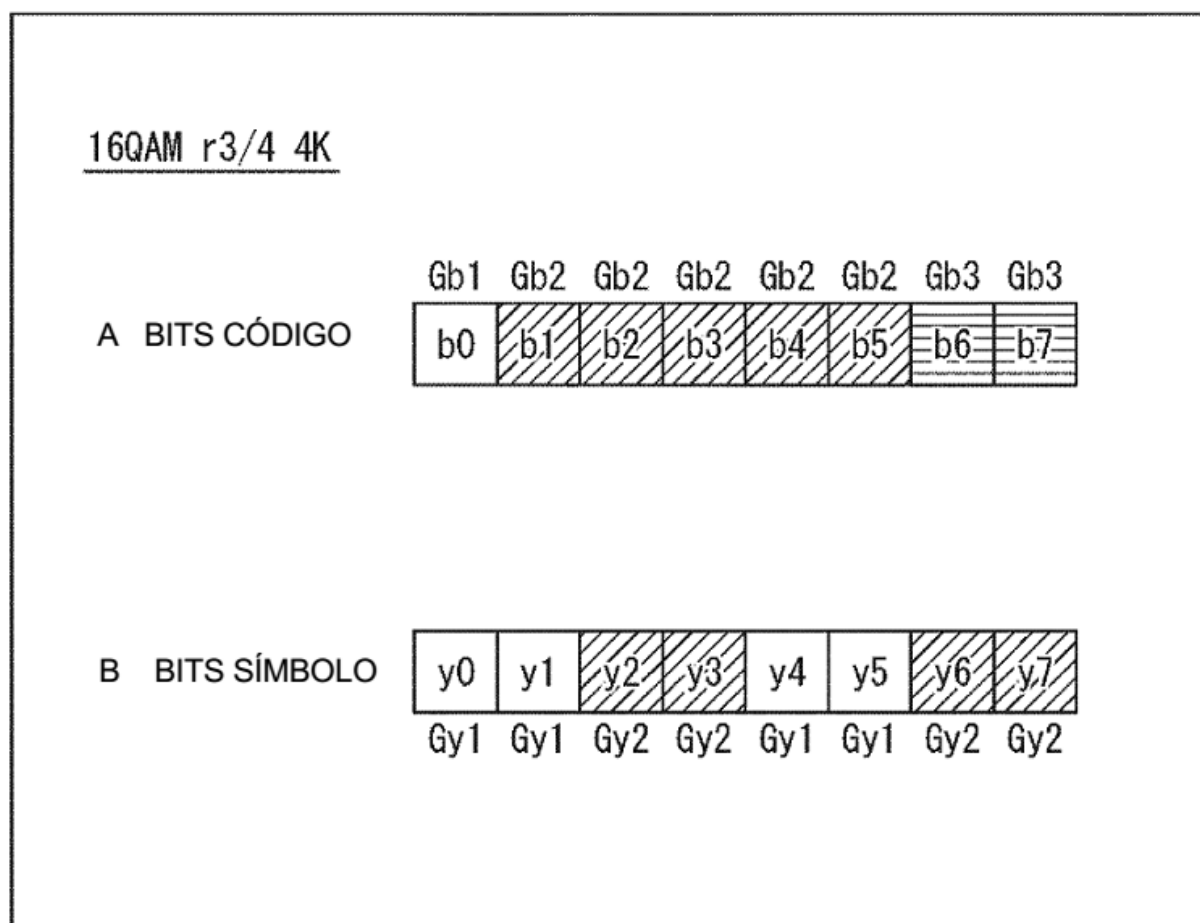
FIG. 98

FIG. 99

16QAM r3/4 4K

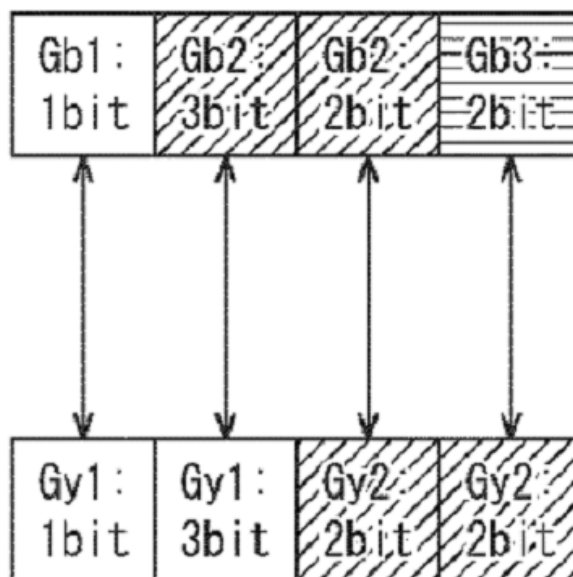


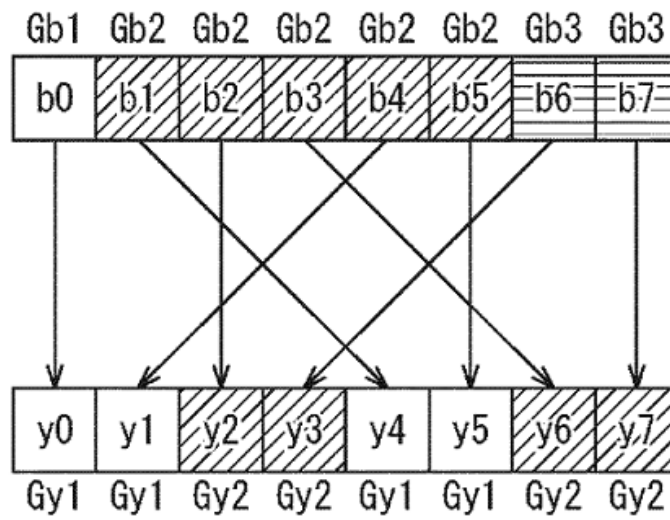
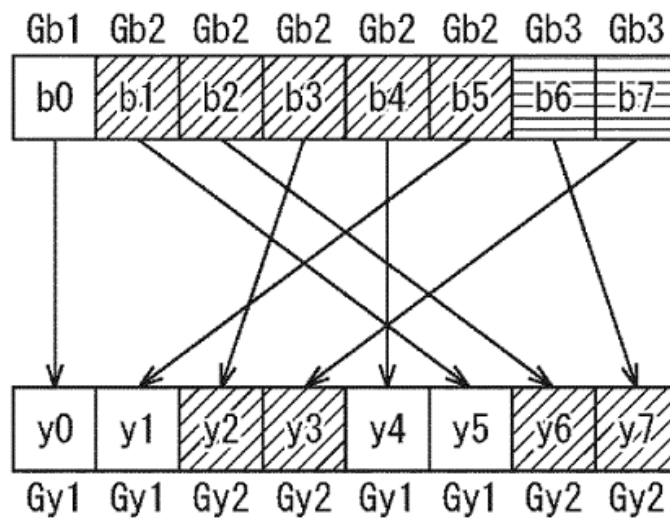
FIG. 10016QAM r3/4 4K**A****B**

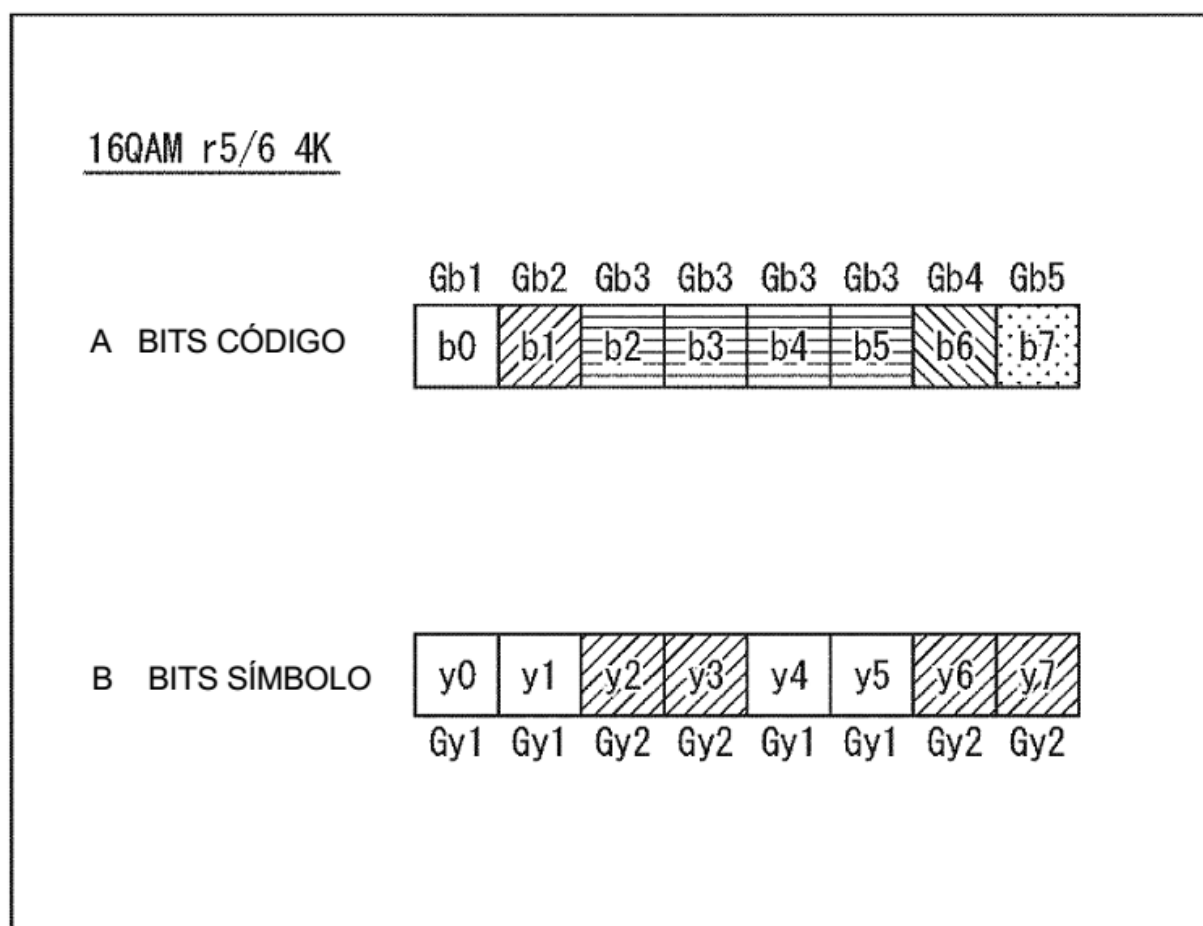
FIG. 101

FIG. 102

16QAM r5/6 4K

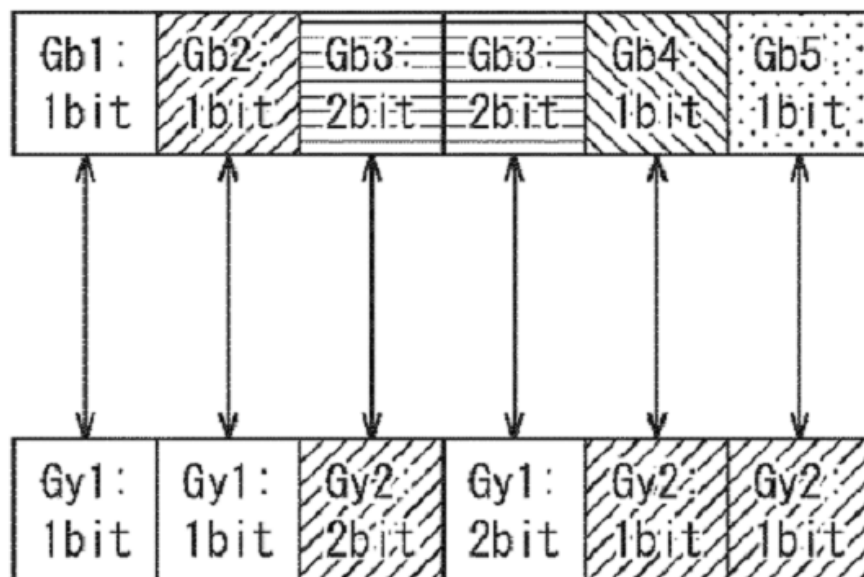
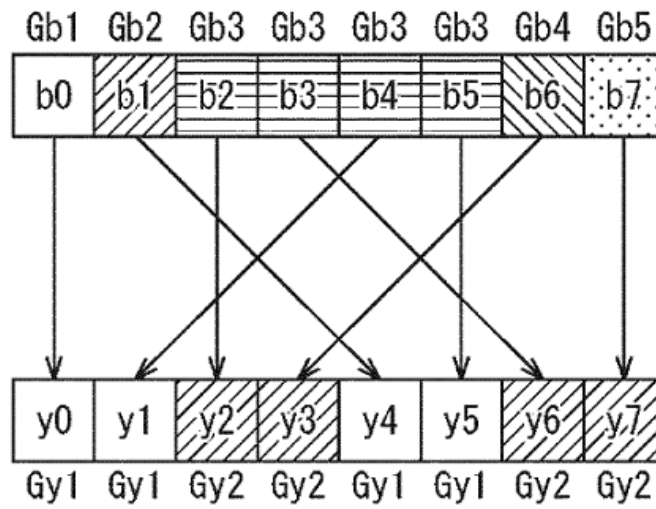


FIG. 103

16QAM r5/6 4K

A



B

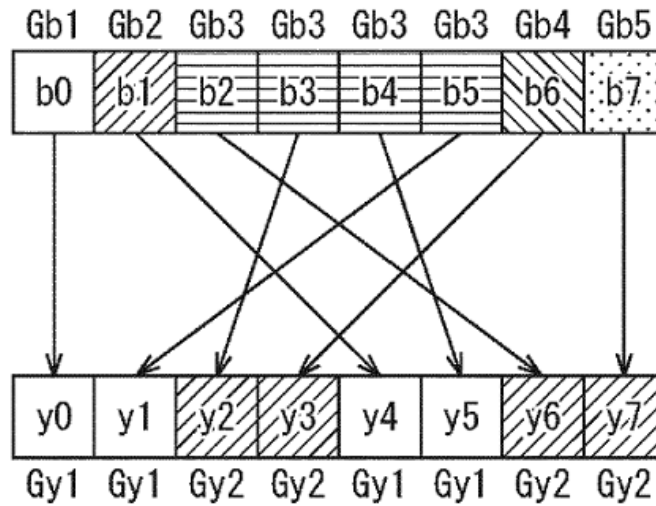


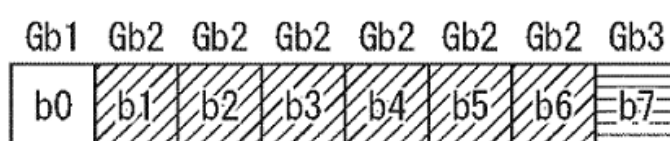
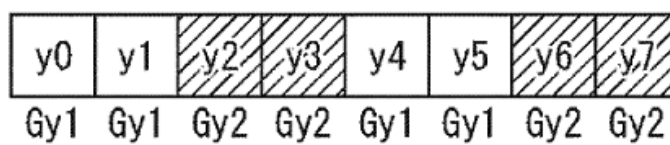
FIG. 10416QAM r11/12 4K**A BITS CÓDIGO****B BITS SÍMBOLO**

FIG. 105

16QAM r11/12 4K

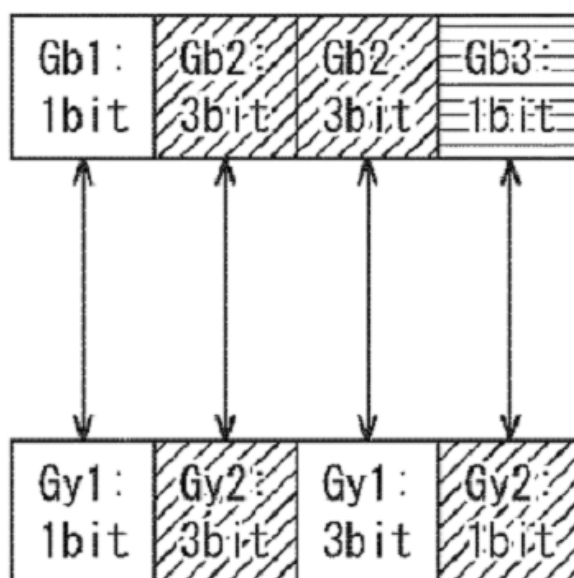
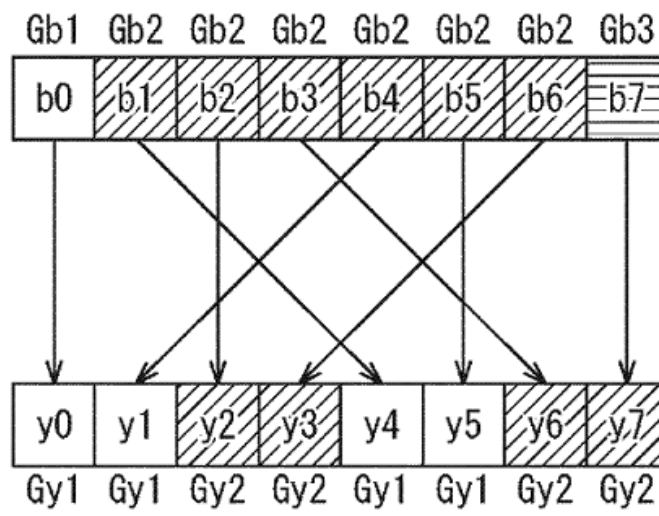


FIG. 106

16QAM r11/12 4K

A



B

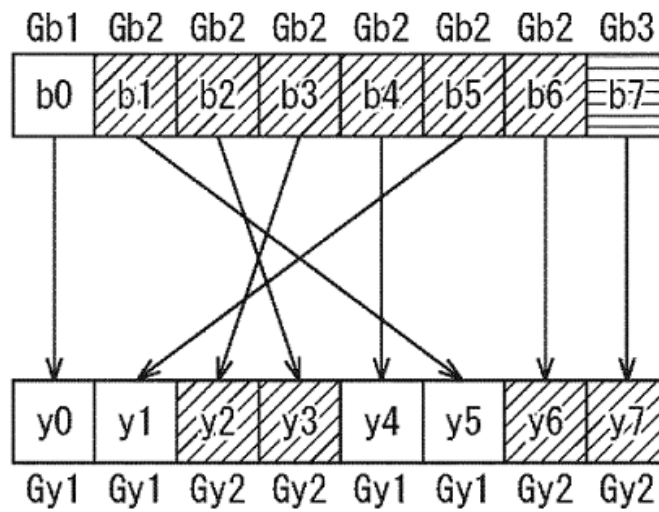


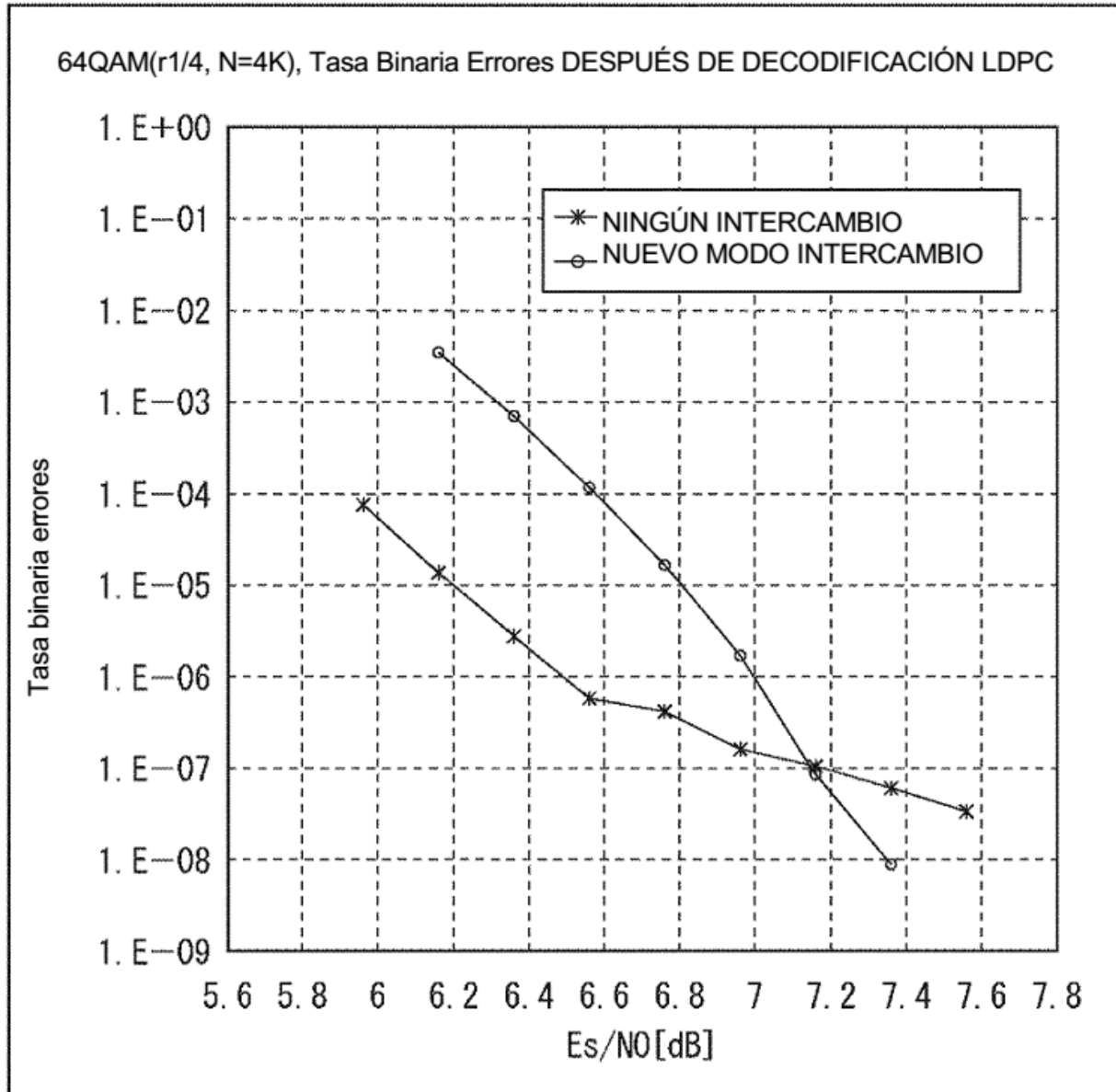
FIG. 107

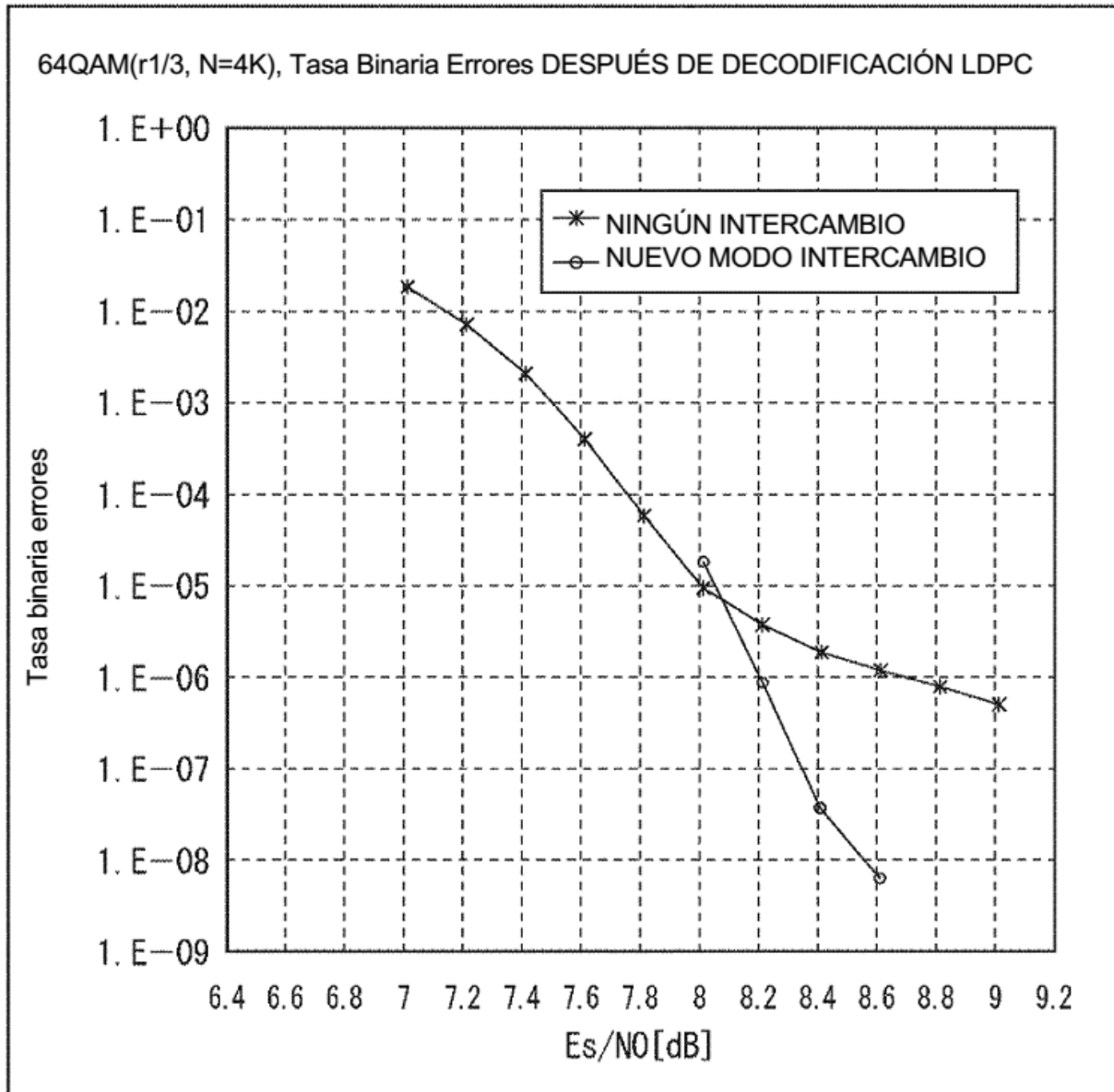
FIG. 108

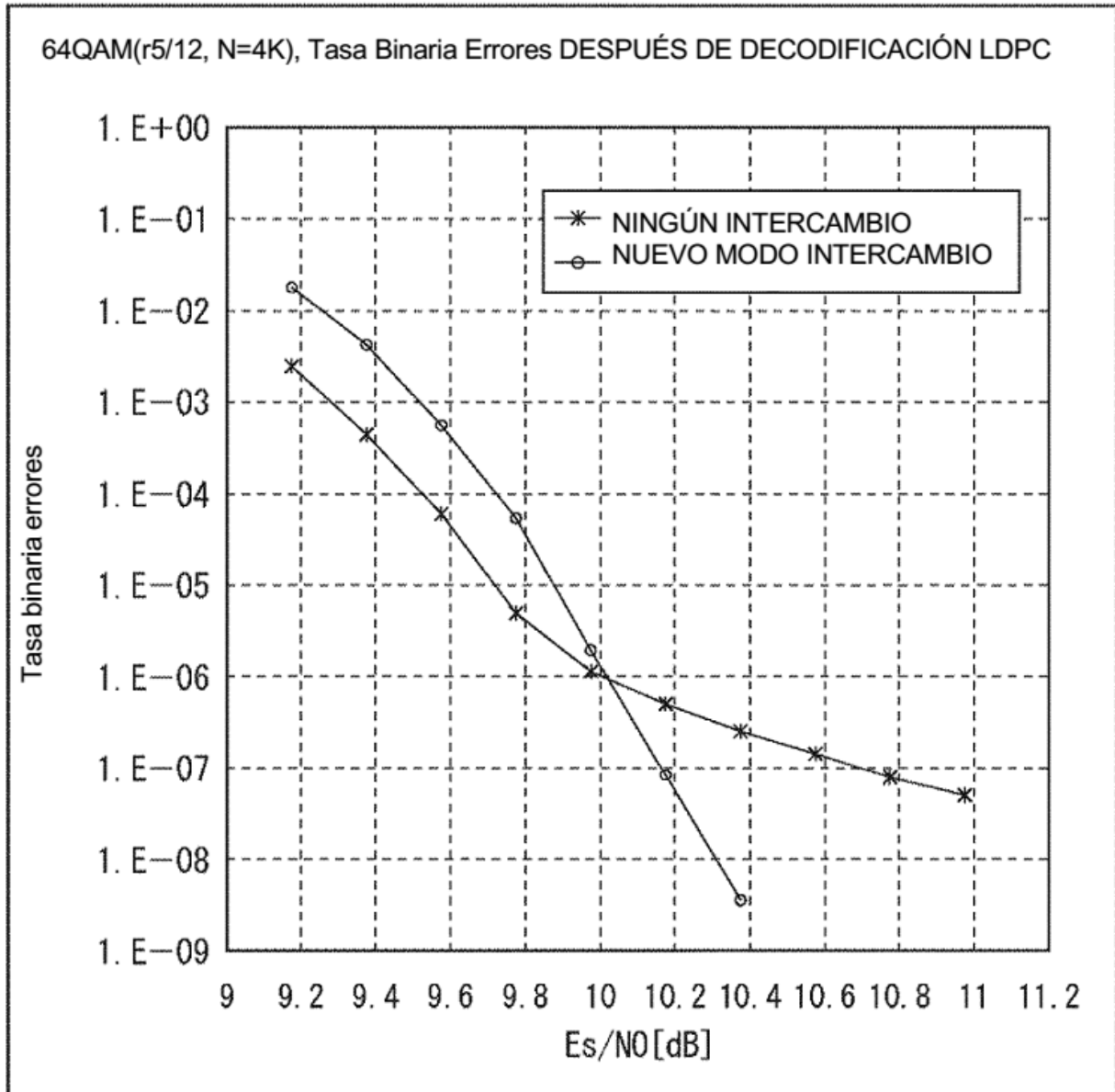
FIG. 109

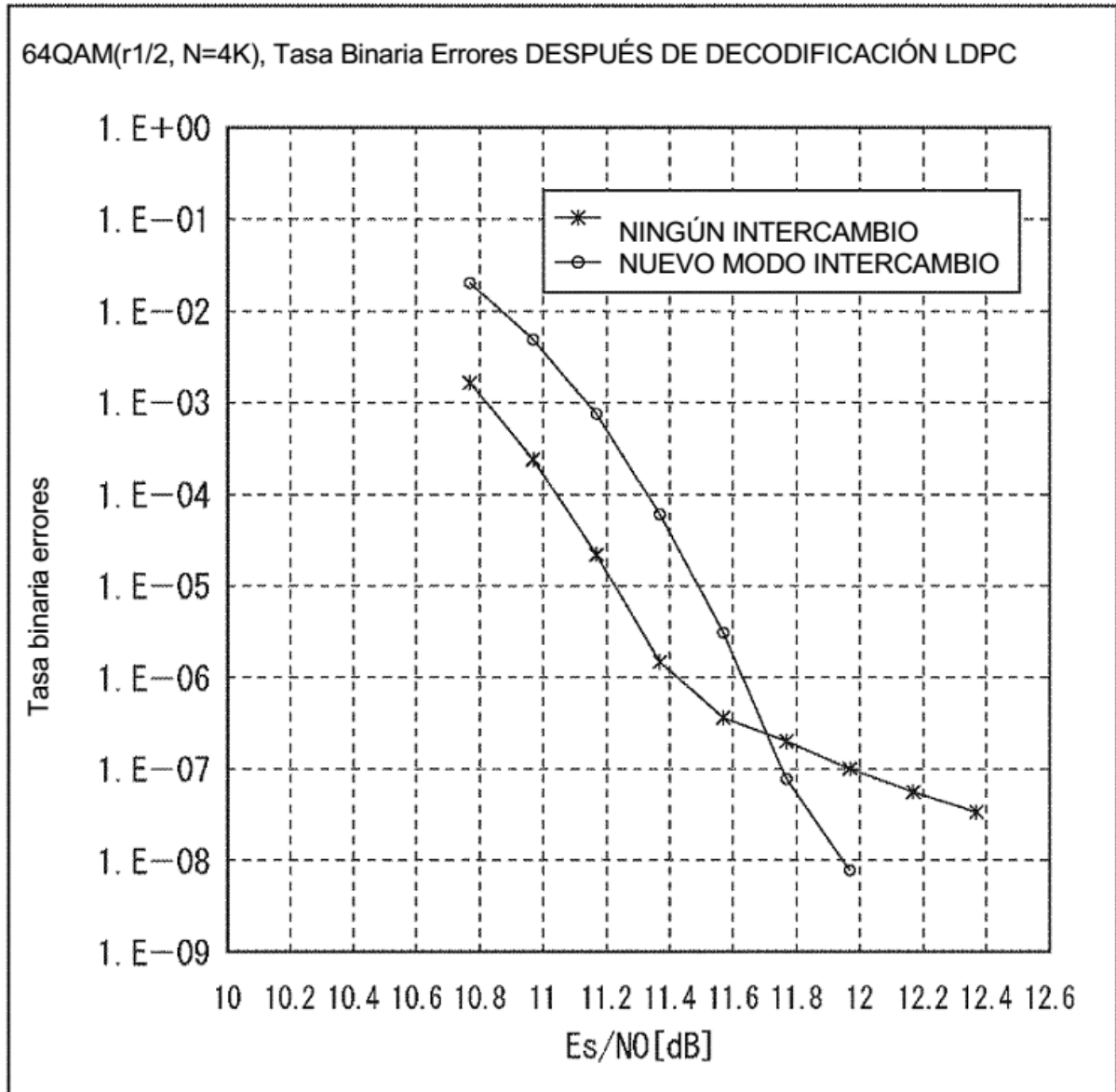
FIG. 110

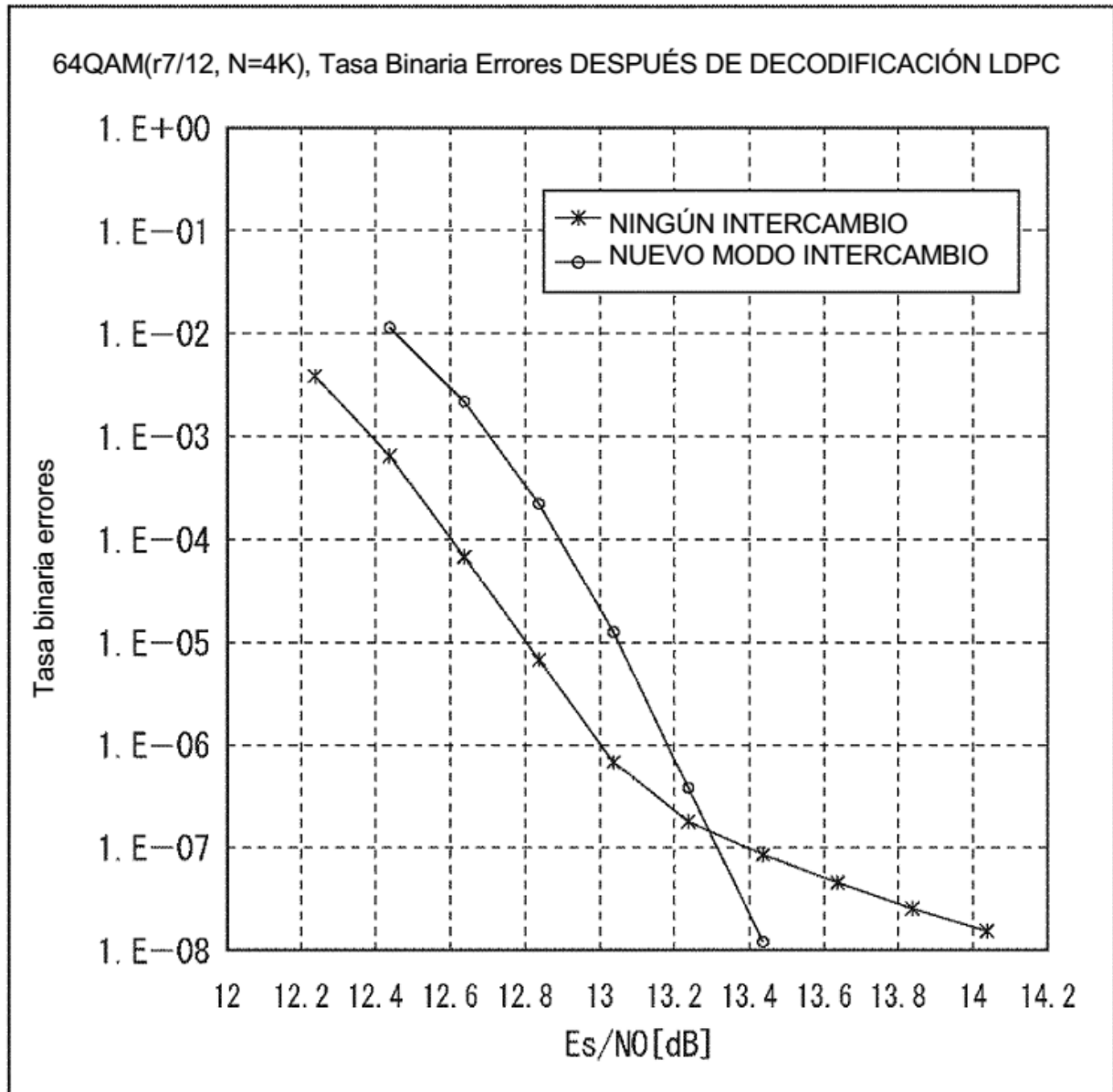
FIG. 111

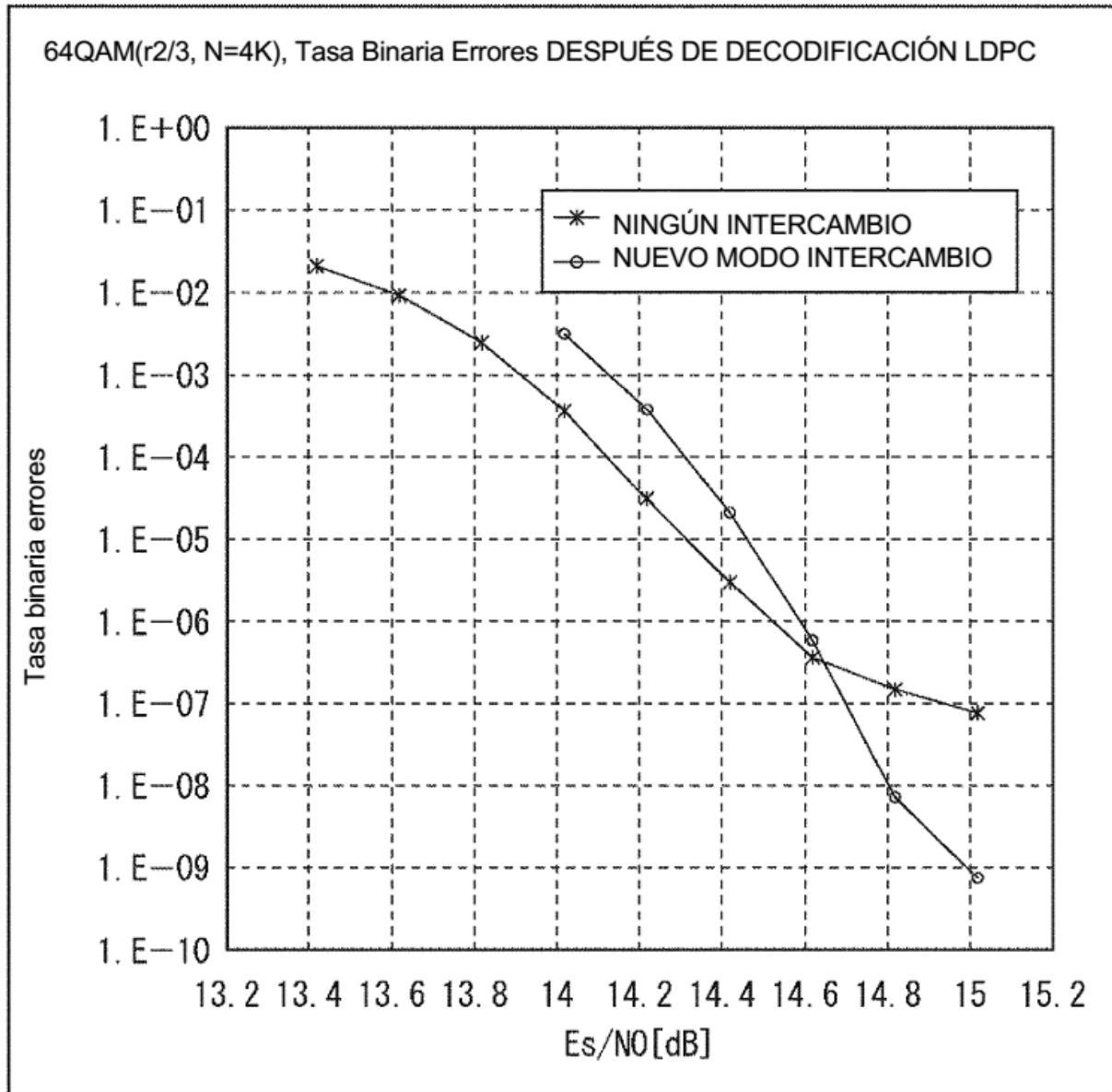
FIG. 112

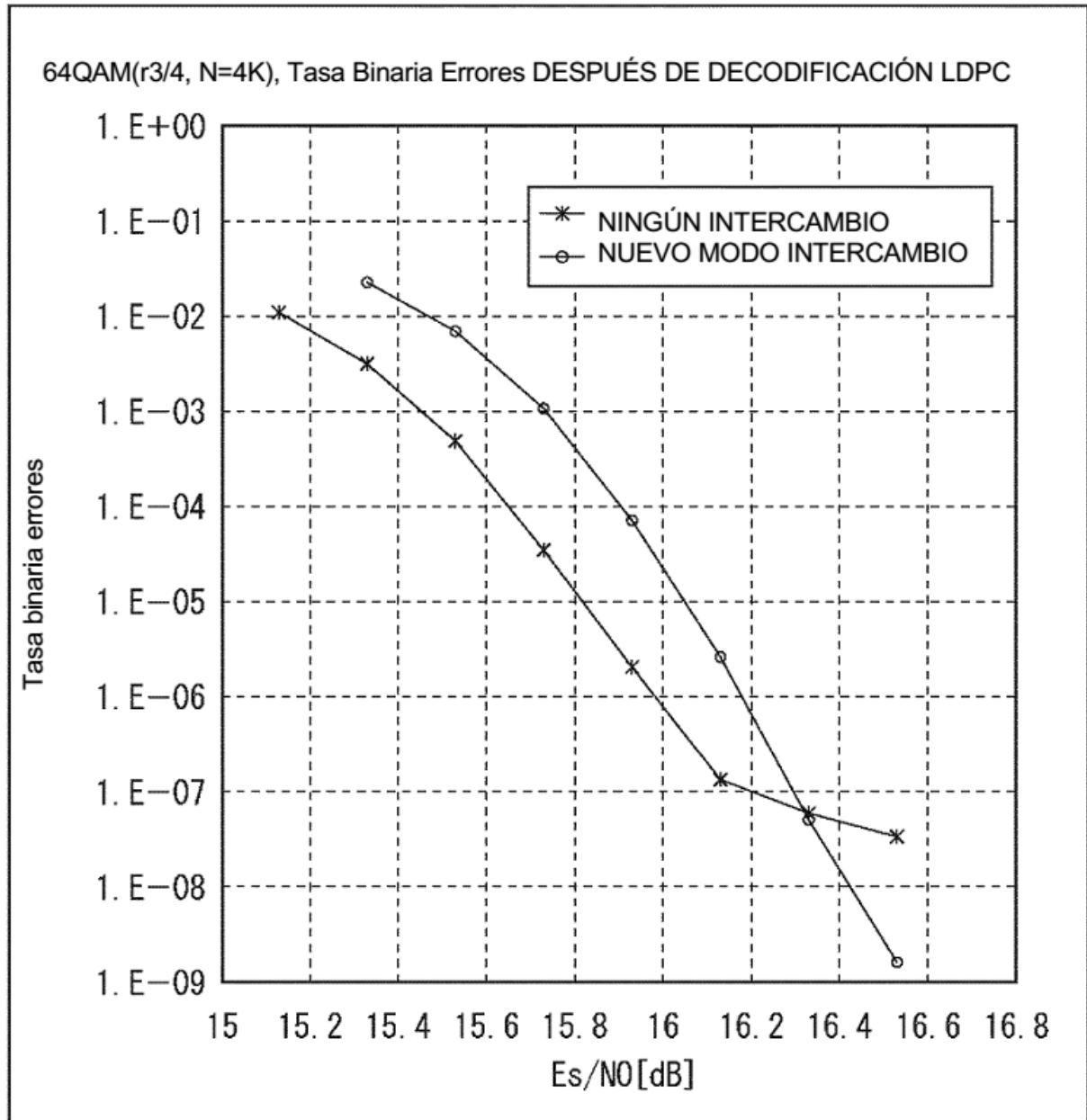
FIG. 113

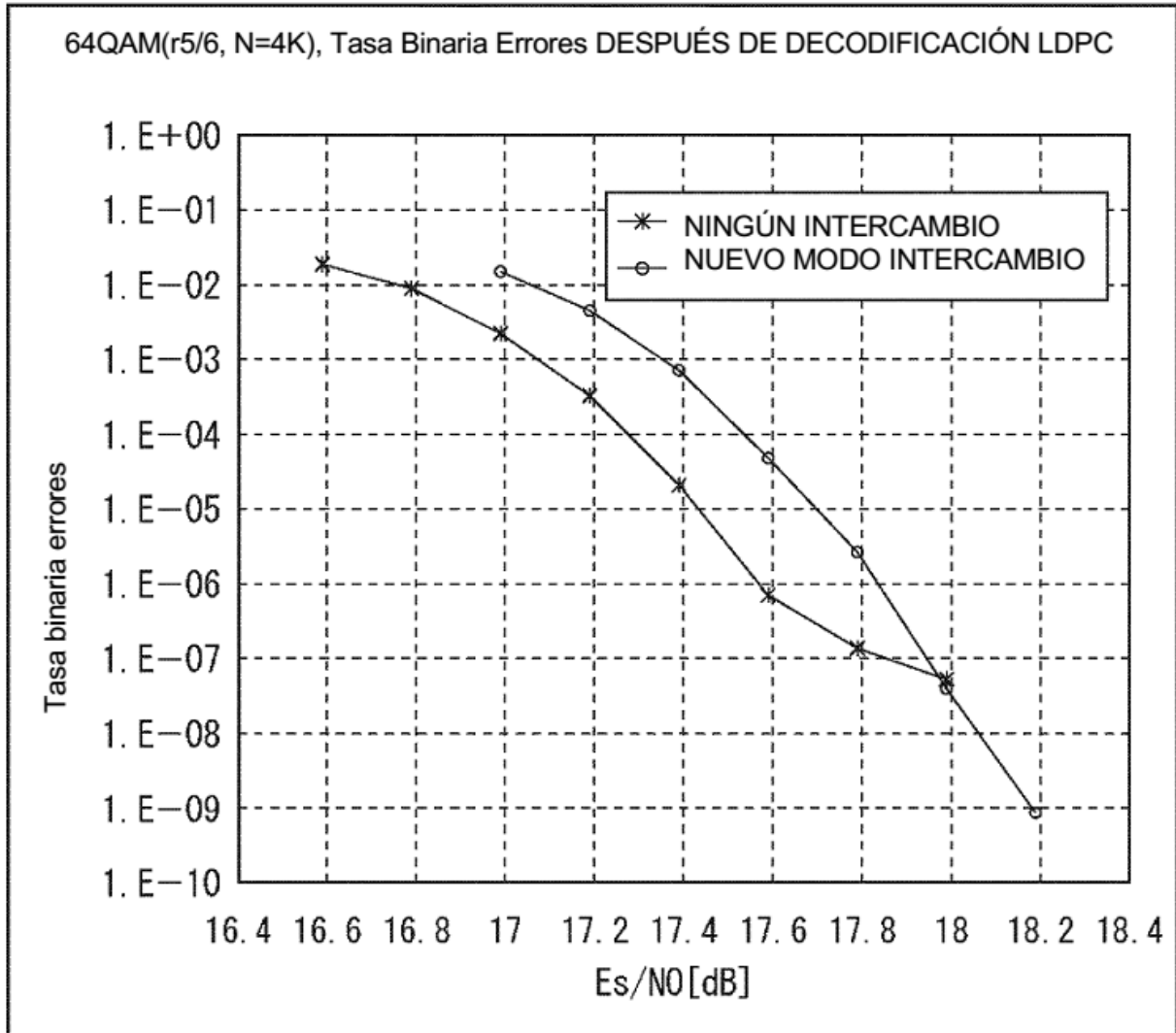
FIG. 114

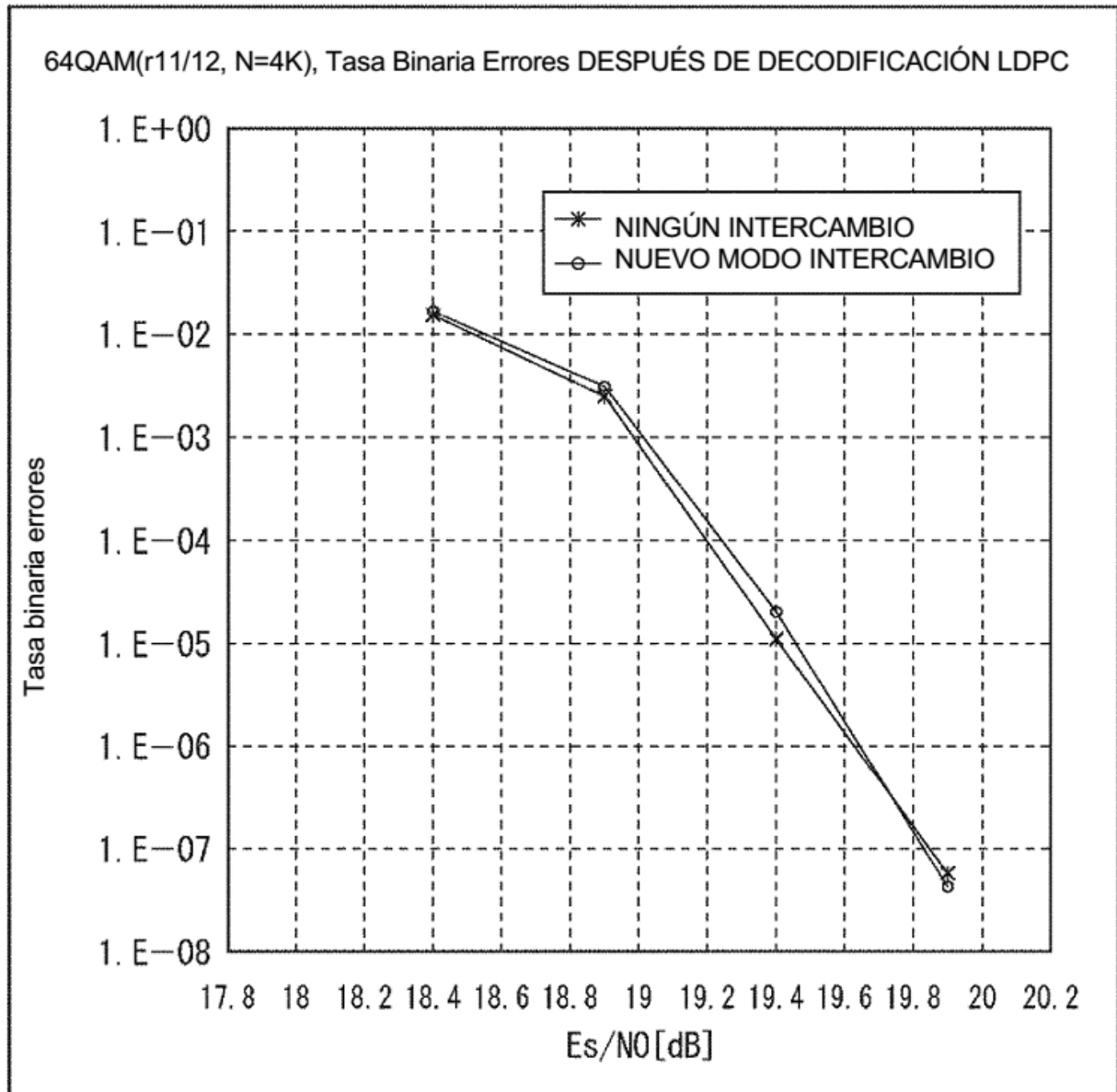
FIG. 115

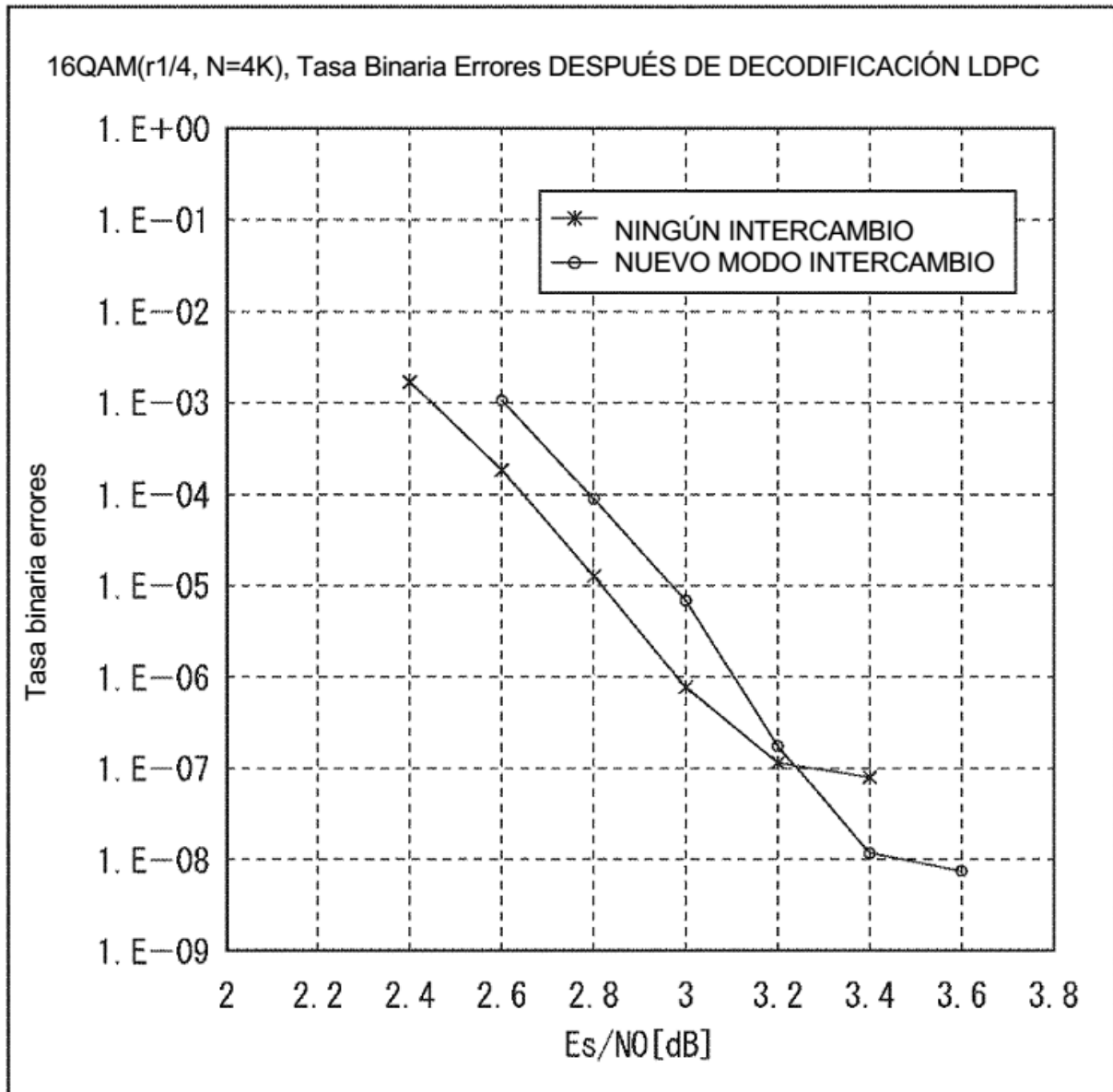
FIG. 116

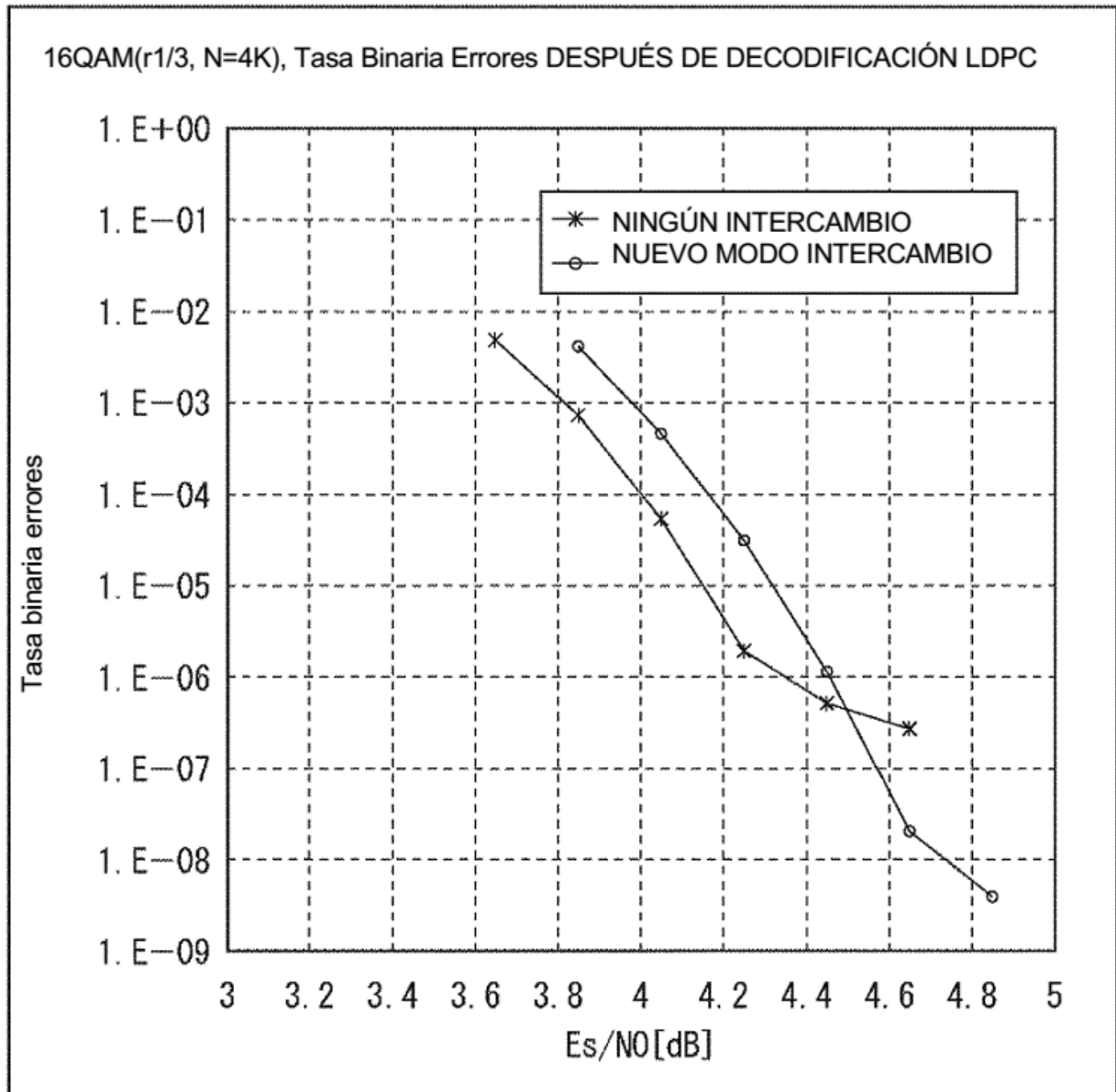
FIG. 117

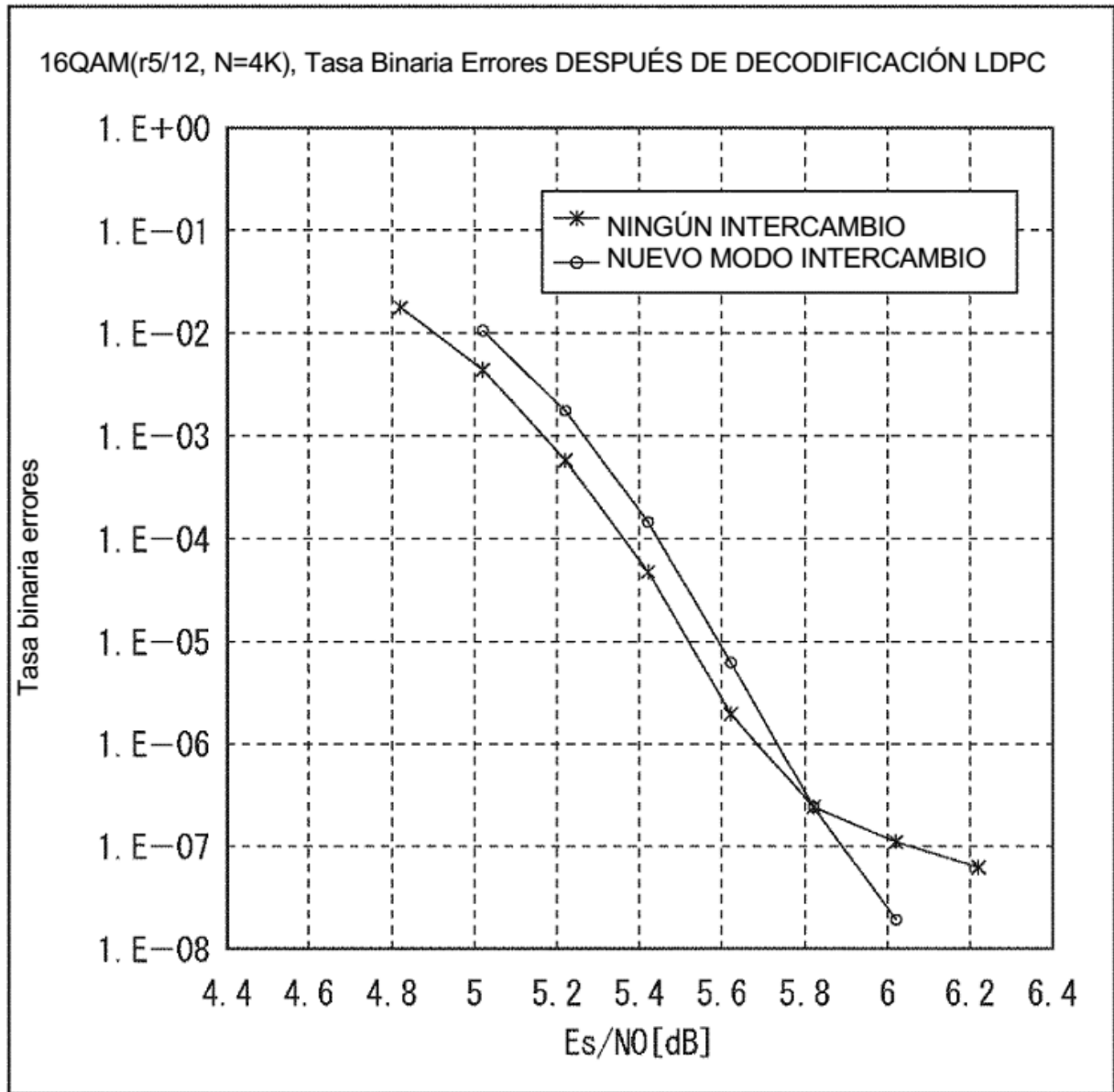
FIG. 118

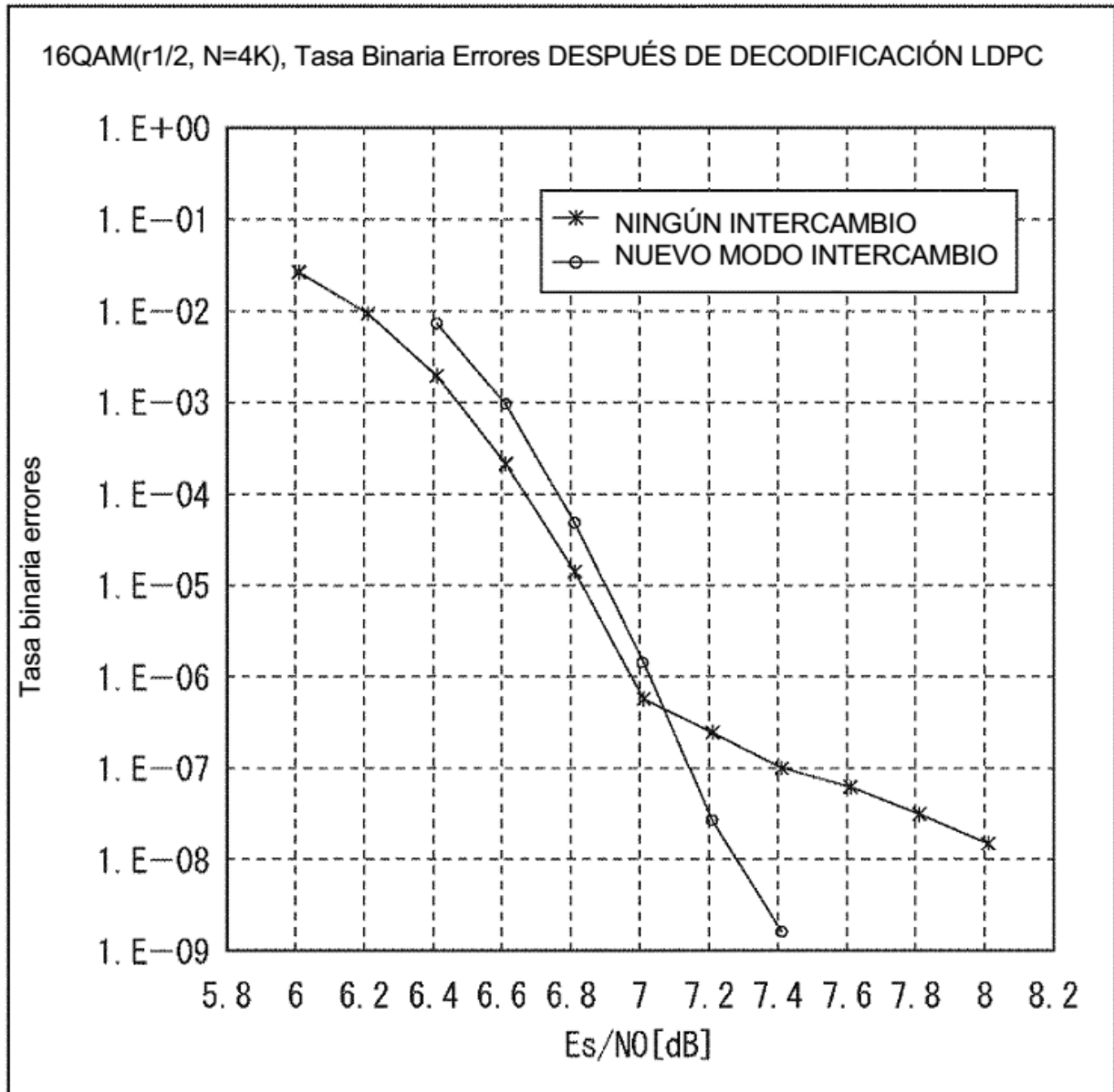
FIG. 119

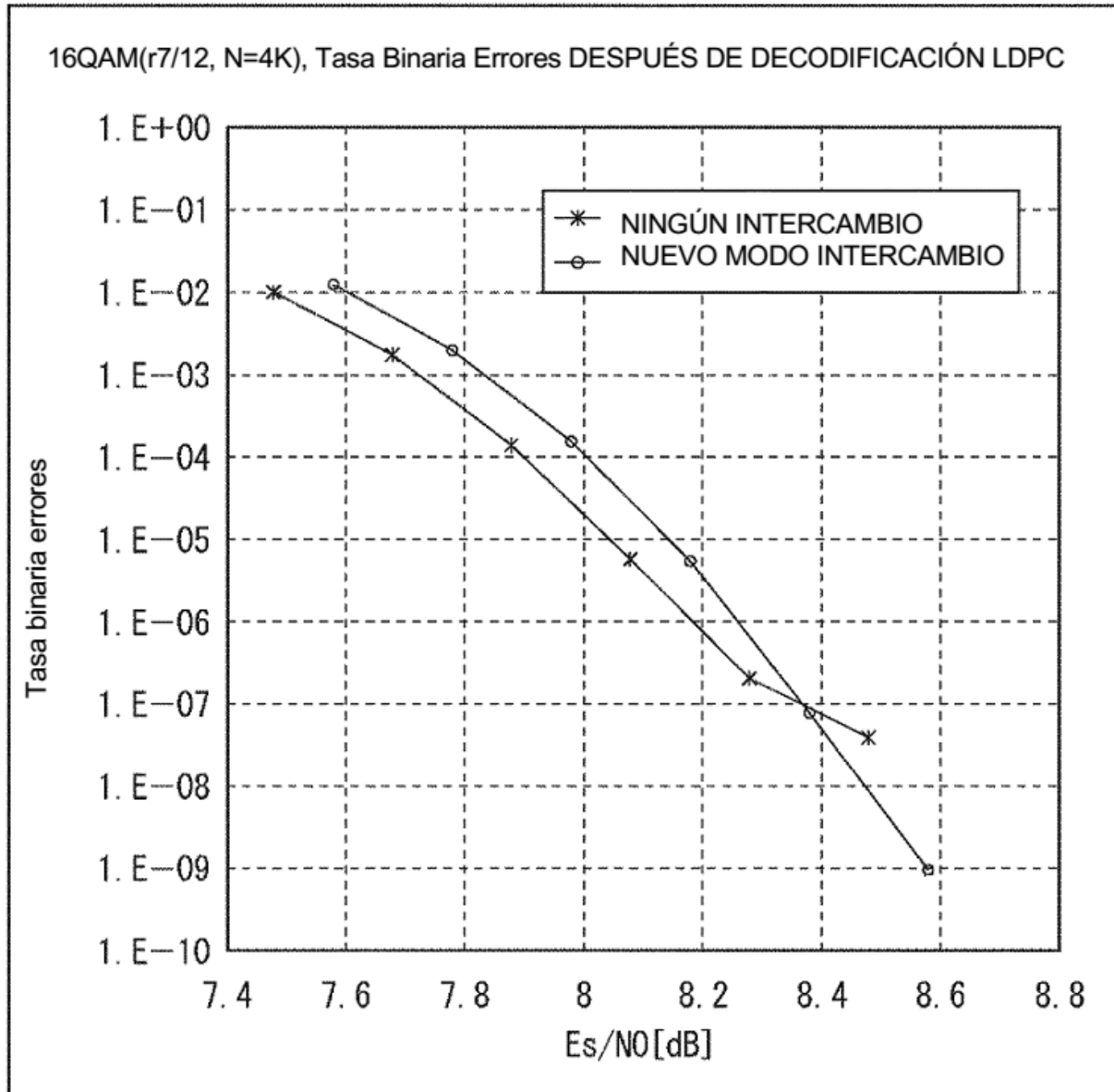
FIG. 120

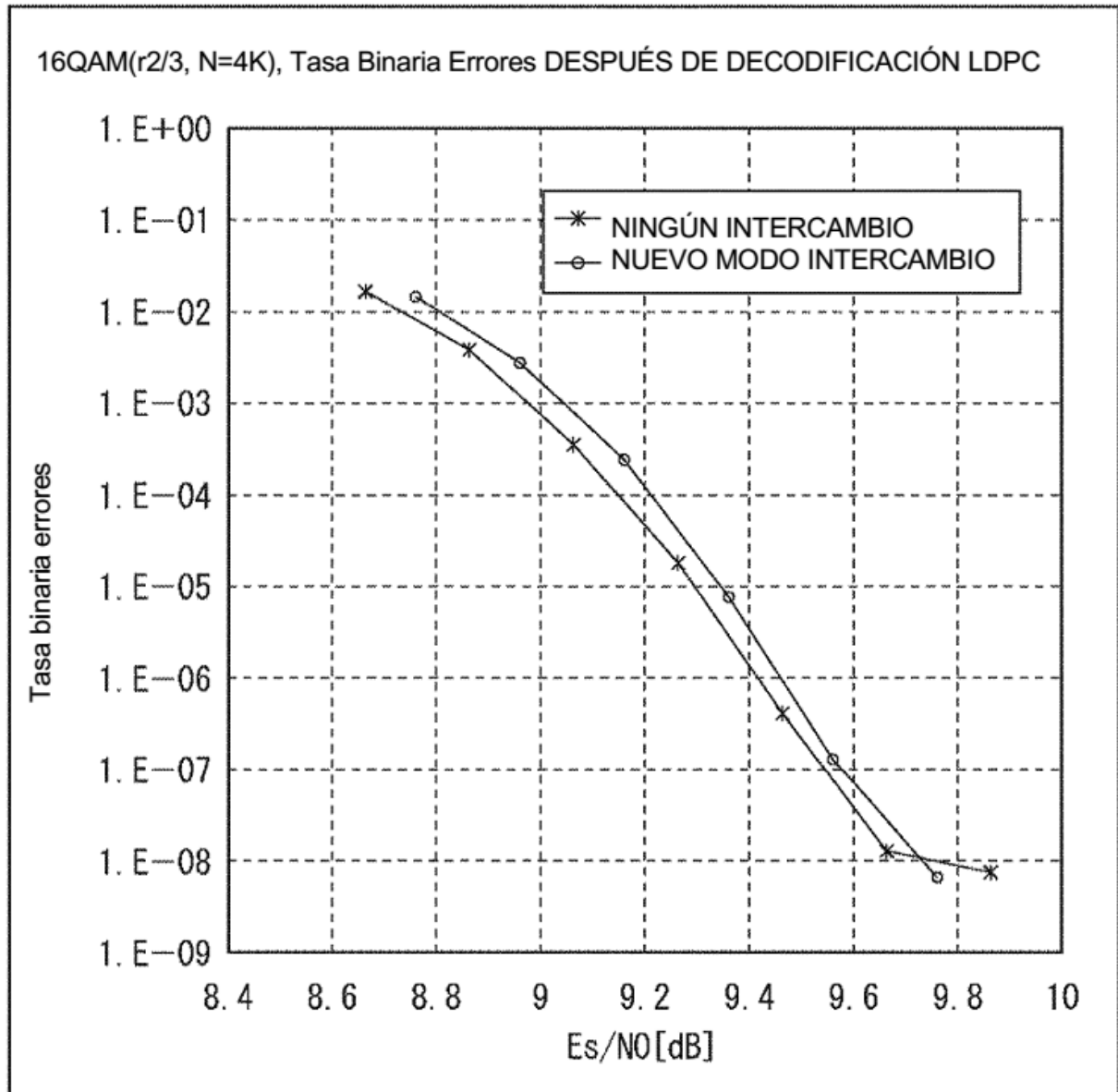
FIG. 121

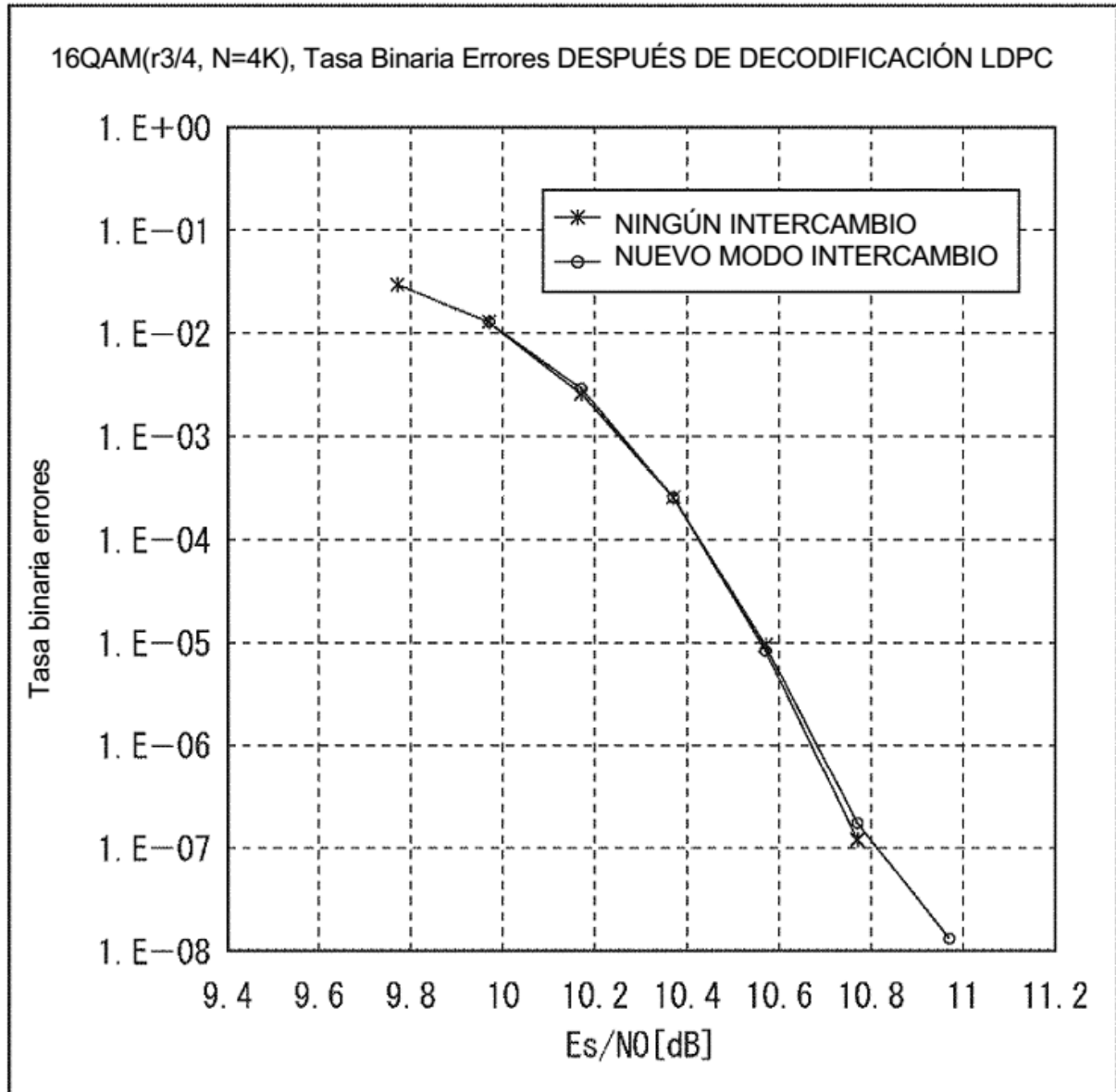
FIG. 122

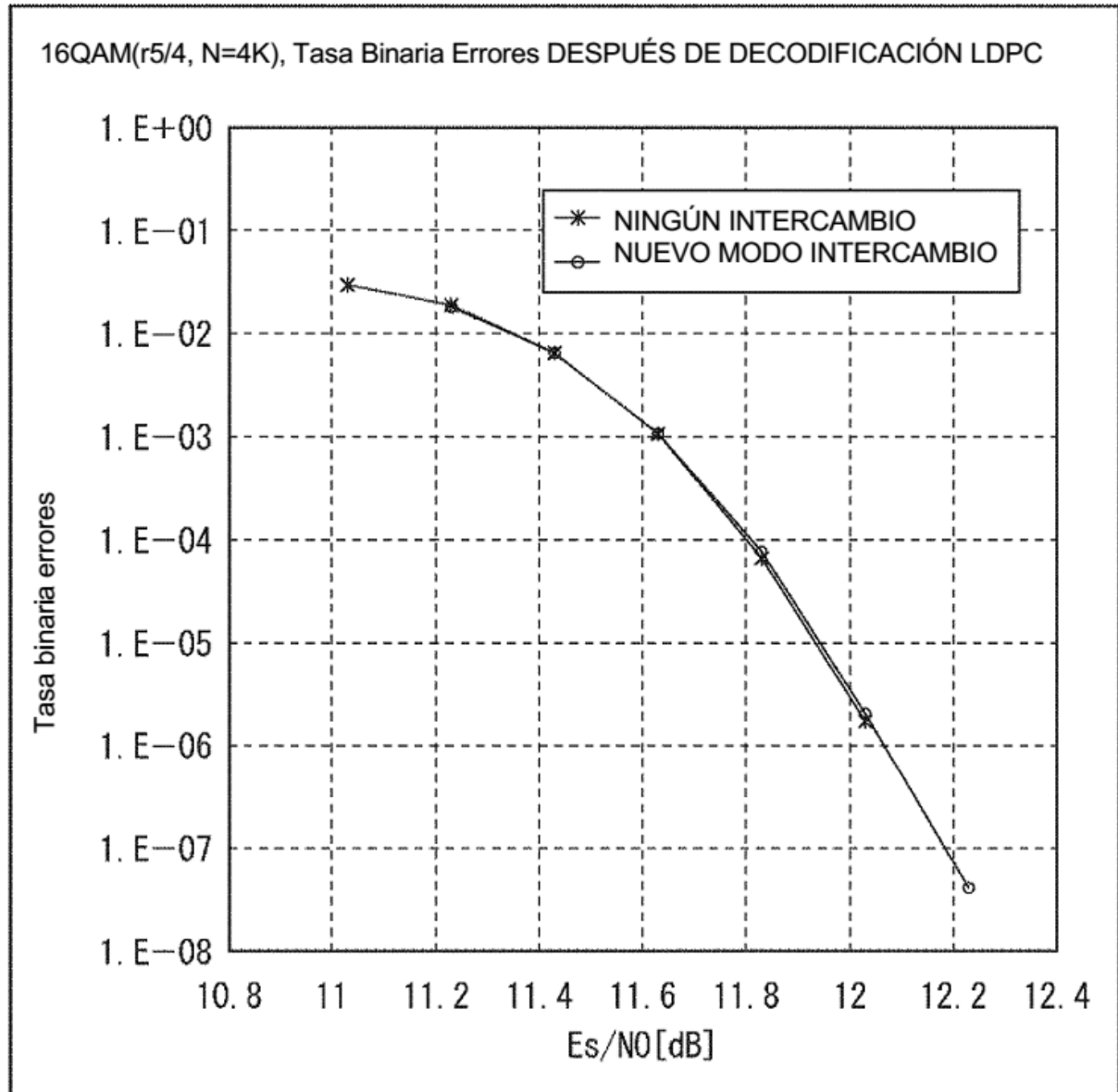
FIG. 123

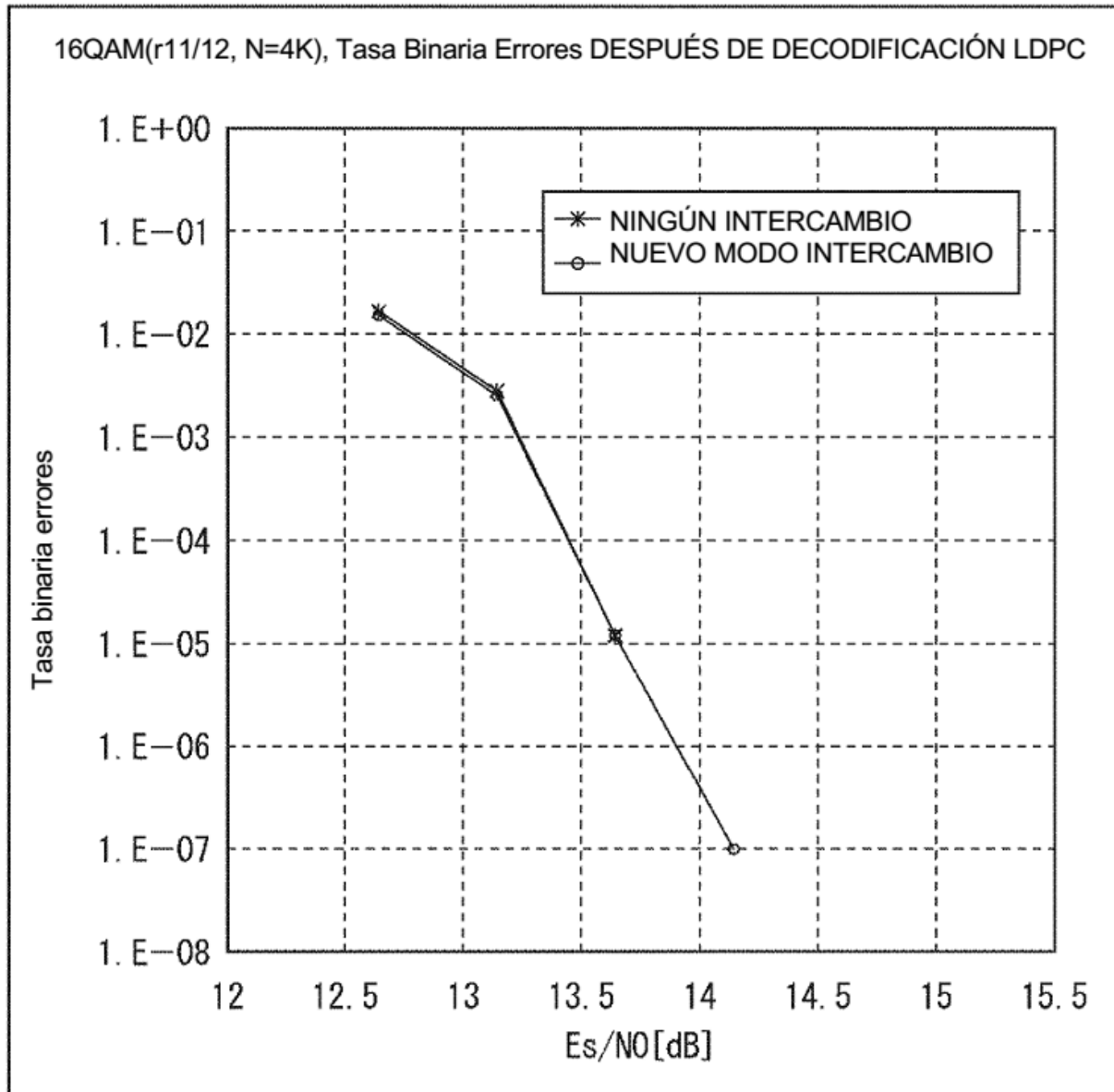
FIG. 124

FIG. 125

TABLA DE VALORES INICIALES DE MATRIZ CONTROL PARIDAD DE N=4320 Y tasa 1/2

142	150	213	247	507	538	578	828	969	1042	1107	1315	1509	1584	1612	1781	1934	2106	2117
3	17	20	31	97	466	571	580	842	983	1152	1226	1261	1392	1413	1465	1480	2047	2125
49	169	258	548	582	839	873	881	931	995	1145	1209	1639	1654	1776	1826	1865	1906	1956
148	393	396	486	568	806	909	965	1203	1256	1306	1371	1402	1534	1664	1736	1844	1947	2055
185	191	263	290	384	769	981	1071	1202	1357	1554	1723	1769	1815	1842	1880	1910	1926	1991
424	444	923	1679															
91	436	535	978															
362	677	821	1695															
1117	1392	1454	2030															
35	840	1477	2152															
1061	1202	1836	1879															
242	286	1140	1538															
111	240	481	760															
59	1268	1899	2144															
737	1299	1395	2072															
34	288	810	1903															
232	1013	1365	1729															
410	783	1066	1187															
113	885	1423	1560															
760	909	1475	2048															
68	254	420	1867															
283	325	334	970															
168	321	479	554															
378	836	1913	1928															
101	238	964	1393															
304	460	1497	1588															
151	192	1075	1614															
297	313	677	1303															
329	447	1348	1832															
582	831	984	1900															

FIG. 126

TABLA DE VALORES INICIALES DE MATRIZ CONTROL PARIDAD DE N=4320 Y tasa 7/12

$$S$$

96	246	326	621	668	748	874	965	1022	1108	1117	1142	1300	1469	1481	1627	1702
22	79	122	127	339	359	516	587	1025	1143	1294	1478	1484	1594	1651	1681	1794
80	426	429	506	599	810	892	1016	1117	1246	1277	1281	1316	1384	1713	1729	1753
15	145	182	305	451	563	570	635	781	827	983	1123	1204	1244	1311	1317	1348
11	157	164	292	301	360	636	859	871	895	1138	1164	1206	1268	1454	1613	1783
455	610	1123	1603													
631	914	1424	1461													
149	507	1275	1468													
5	1078	1415	1735													
169	772	775	1516													
1207	1315	1683	1688													
19	1053	1221	1260													
933	1095	1597	1628													
893	1209	1360	1740													
1222	1486	1675	1737													
897	1074	1651	1728													
115	730	1363	1752													
1552	1672	1734	1795													
75	1087	1371	1712													
123	438	839	1074													
4	203	1407	1798													
441	476	658	1400													
380	1341	1741	1774													
974	1487	1664	1756													
7	273	834	1658													
798	1475	1653	1686													
12	1237	1539	1709													
211	1494	1618	1624													
367	1036	1390	1587													
18	166	1645	1679													
530	1092	1571	1707													
588	1593	1689	1707													
980	1104	1522	1701													
1025	1510	1552	1683													
270	340	1326	1770													

FIG. 127

TABLA DE VALORES INICIALES DE MATRIZ CONTROL PARIDAD DE N=4320 Y tasa 2/3

56	291	315	374	378	665	682	713	740	884	923	927	1193	1203	1293	1372	1419	1428
1	17	113	402	406	504	559	597	686	697	817	878	983	1007	1034	1142	1231	1431
2	205	350	428	538	605	866	973	1008	1182	1252	1303	1319	1337	1346	1387	1417	1422
50	158	244	424	455	597	830	889	900	945	978	1040	1052	1059	1101	1150	1254	1382
41	53	269	316	449	604	704	752	937	952	1021	1031	1044	1068	1104	1265	1327	1348
601	911	1020	1260														
151	674	732	1240														
1099	1250	1348	1366														
1115	1124	1394	1414														
66	250	875	1040														
525	603	916	1402														
529	561	913	1089														
1110	1243	1280	1372														
137	656	1316	1369														
5	458	1043	1381														
1122	1171	1187	1335														
18	130	312	1209														
30	534	705	1294														
272	727	955	1192														
925	1287	1385	1437														
11	446	1281	1408														
614	716	787	1340														
615	1147	1411	1416														
284	865	1151	1414														
202	689	1088	1144														
459	633	838	941														
46	301	1229	1367														
476	1031	1120	1418														
138	336	560	1419														
168	357	536	938														
1001	1052	1162	1414														
349	1039	1353	1426														
146	203	530	549														
510	545	979	1108														
479	1069	1106	1244														
743	1019	1275	1348														
427	721	1023	1435														
73	842	1296	1435														
323	1106	1140	1428														
1074	1235	1353	1391														

FIG. 128

TABLA DE VALORES INICIALES DE MATRIZ CONTROL PARIDAD DE N=4320 Y tasa 3/4

3	14	207	304	349	414	577	587	748	761	772	855	920	976	1009	1058	1069
4	61	81	86	136	146	257	392	402	594	812	959	972	1037	1055	1064	1076
0	68	160	237	437	512	624	629	652	702	818	858	943	998	1035	1044	1064
10	42	159	215	254	320	373	382	410	492	630	887	889	911	916	975	1069
12	32	298	302	318	425	558	621	670	779	964	967	970	975	1054	1067	1072
124	381	715	981													
503	610	633	1030													
321	874	900	1020													
509	817	902	978													
3	118	688	911													
515	644	848	1067													
13	75	721	970													
9	464	756	1023													
26	219	304	672													
5	310	410	695													
0	7	267	1040													
76	822	873	1043													
7	129	1010	1065													
115	156	714	1003													
163	480	505	1079													
238	601	743	1046													
216	702	738	912													
13	20	166	979													
11	14	261	1051													
186	476	595	843													
13	237	451	532													
7	11	594	738													
10	225	495	851													
520	675	1018	1045													
9	352	514	543													
60	917	1071	1074													
471	556	673	1062													
345	350	1043	1076													
5	539	788	1061													
704	851	883	1049													
211	233	242	1072													
9	1047	1057	1076													
18	172	473	1042													
365	488	921	968													
211	216	554	824													
1	709	923	1074													
576	647	901	963													
71	676	1053	1073													
265	738	958	969													
66	274	774	811													

FIG. 129

TASA CODIFICADA	LONGITUD CICLO MÍNIMA	UMBRAL CAPACIDAD (Eb/NO)
1/2	6	0.55
7/12	6	1.00
2/3	6	1.45
3/4	6	2.02

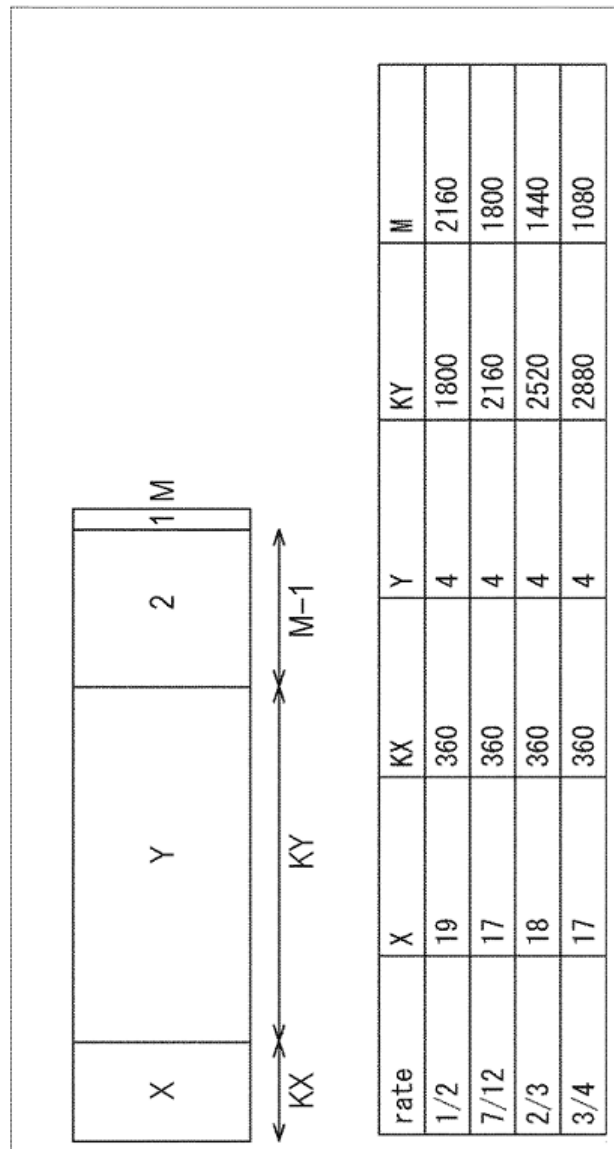
FIG. 130

FIG. 131

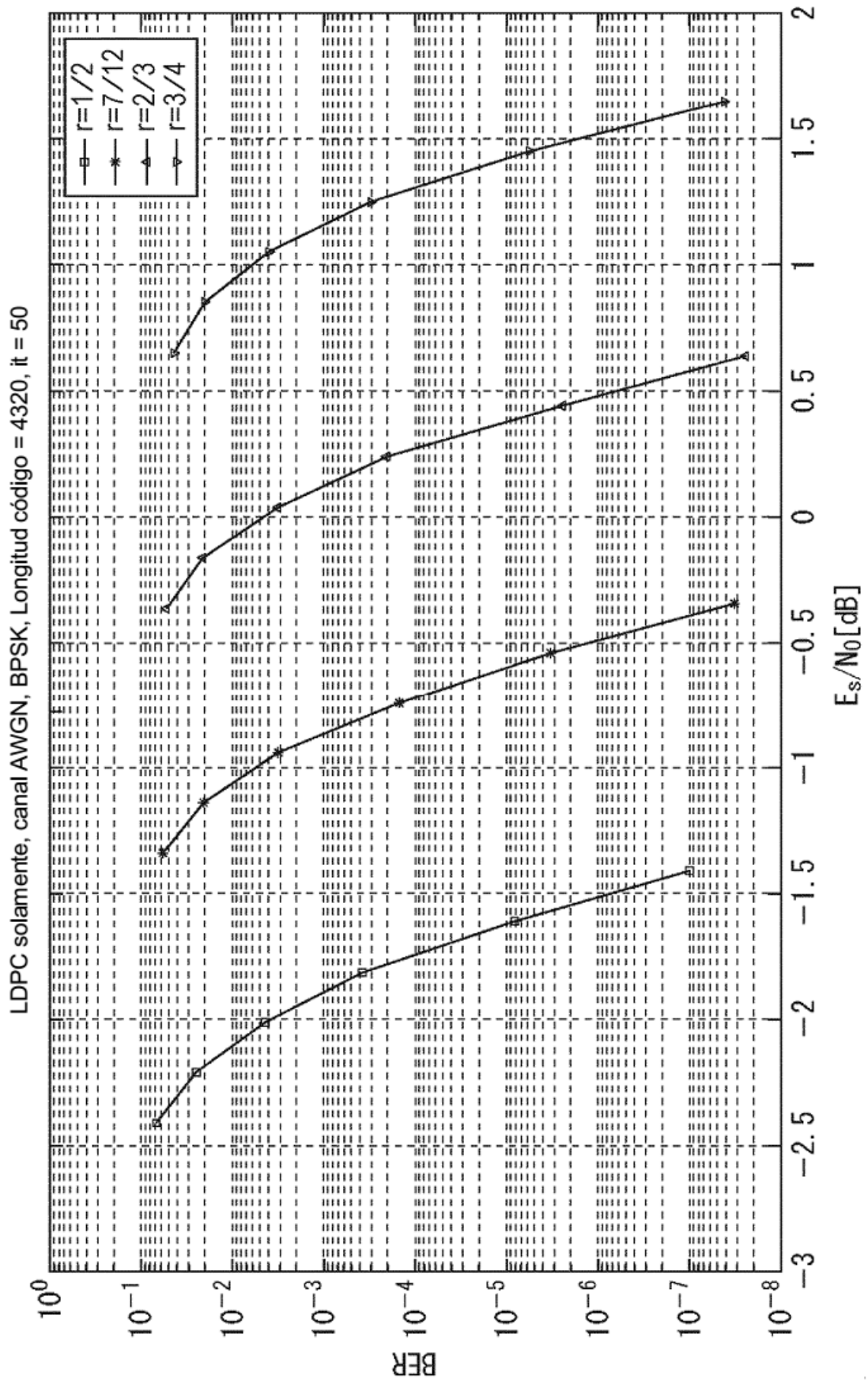


FIG. 132

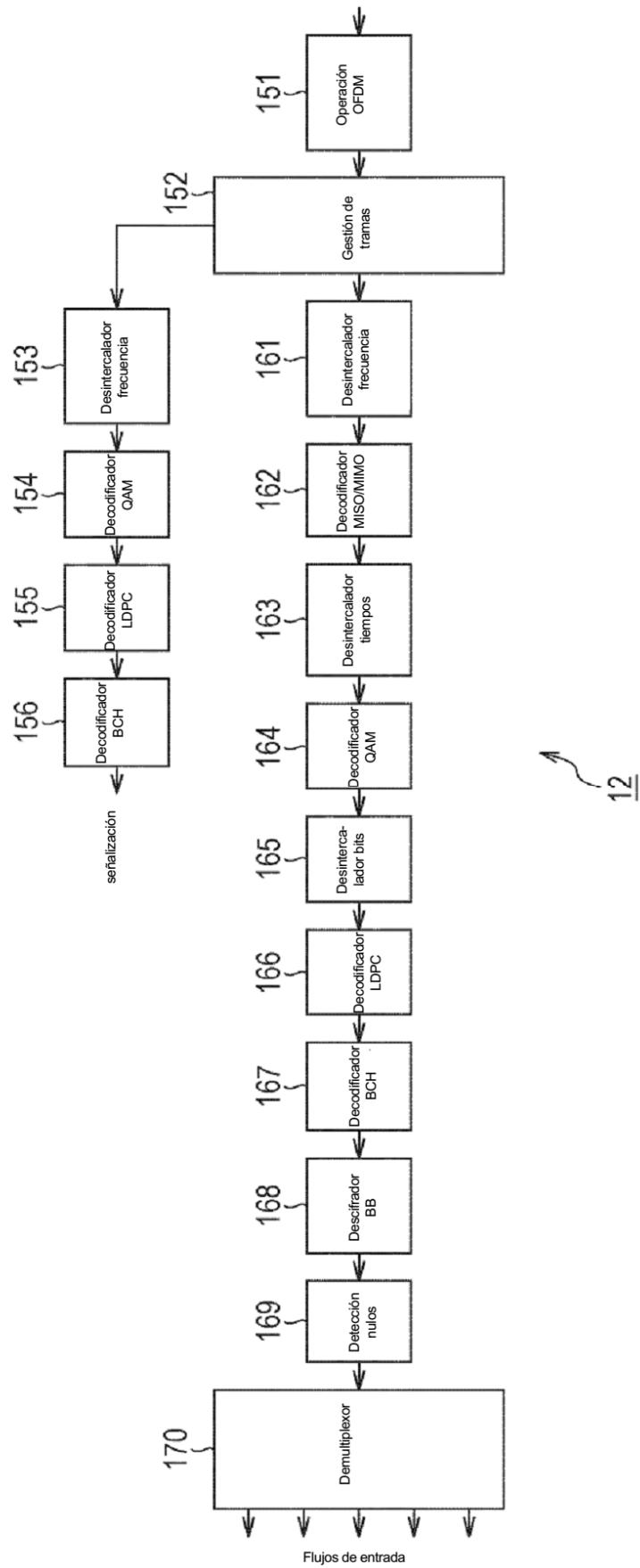


FIG. 133

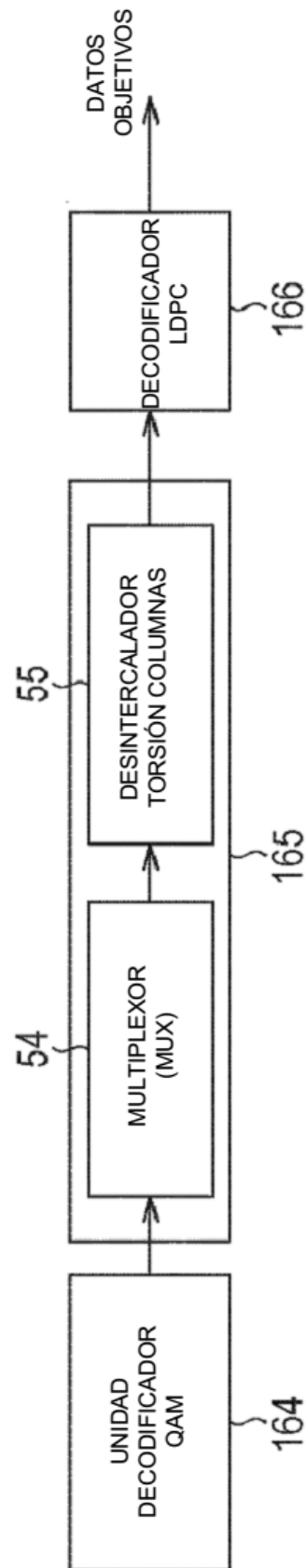


FIG. 134

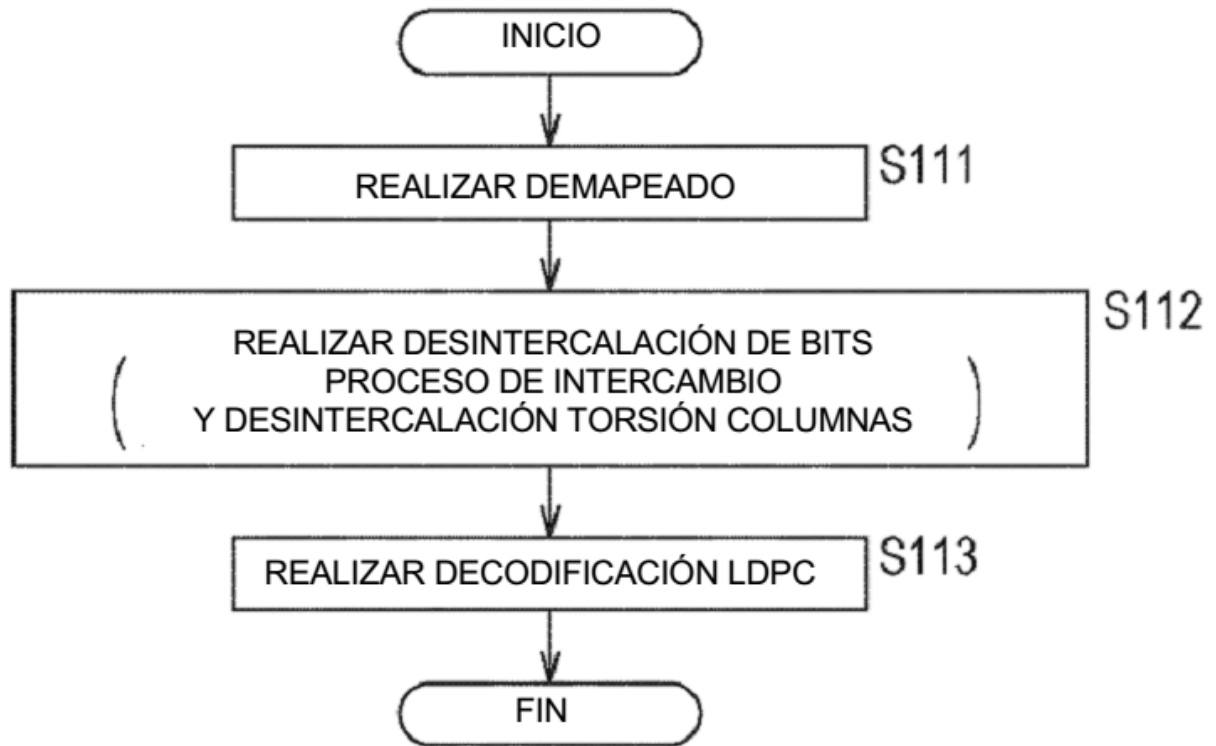


FIG. 135

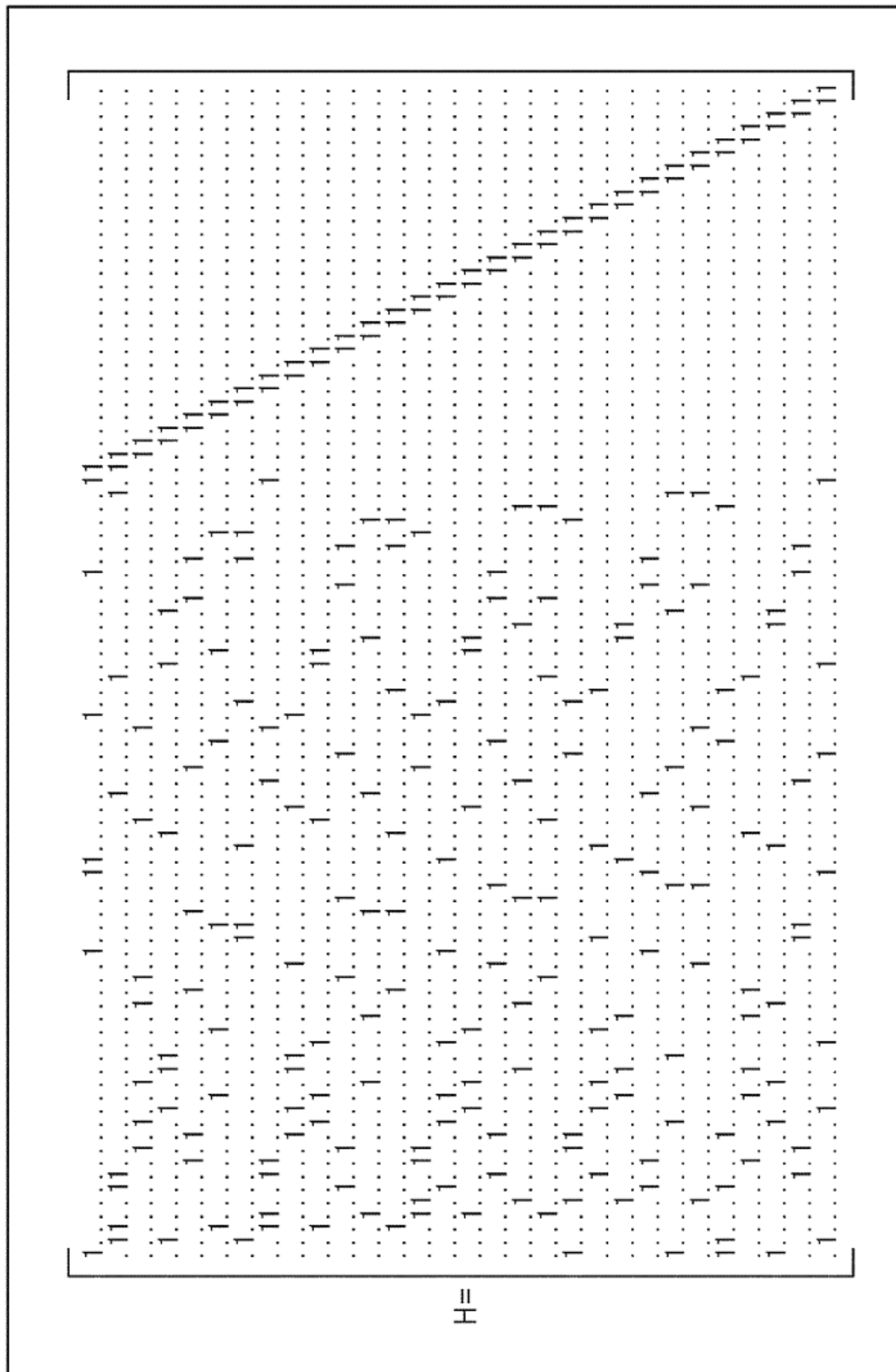


FIG. 136

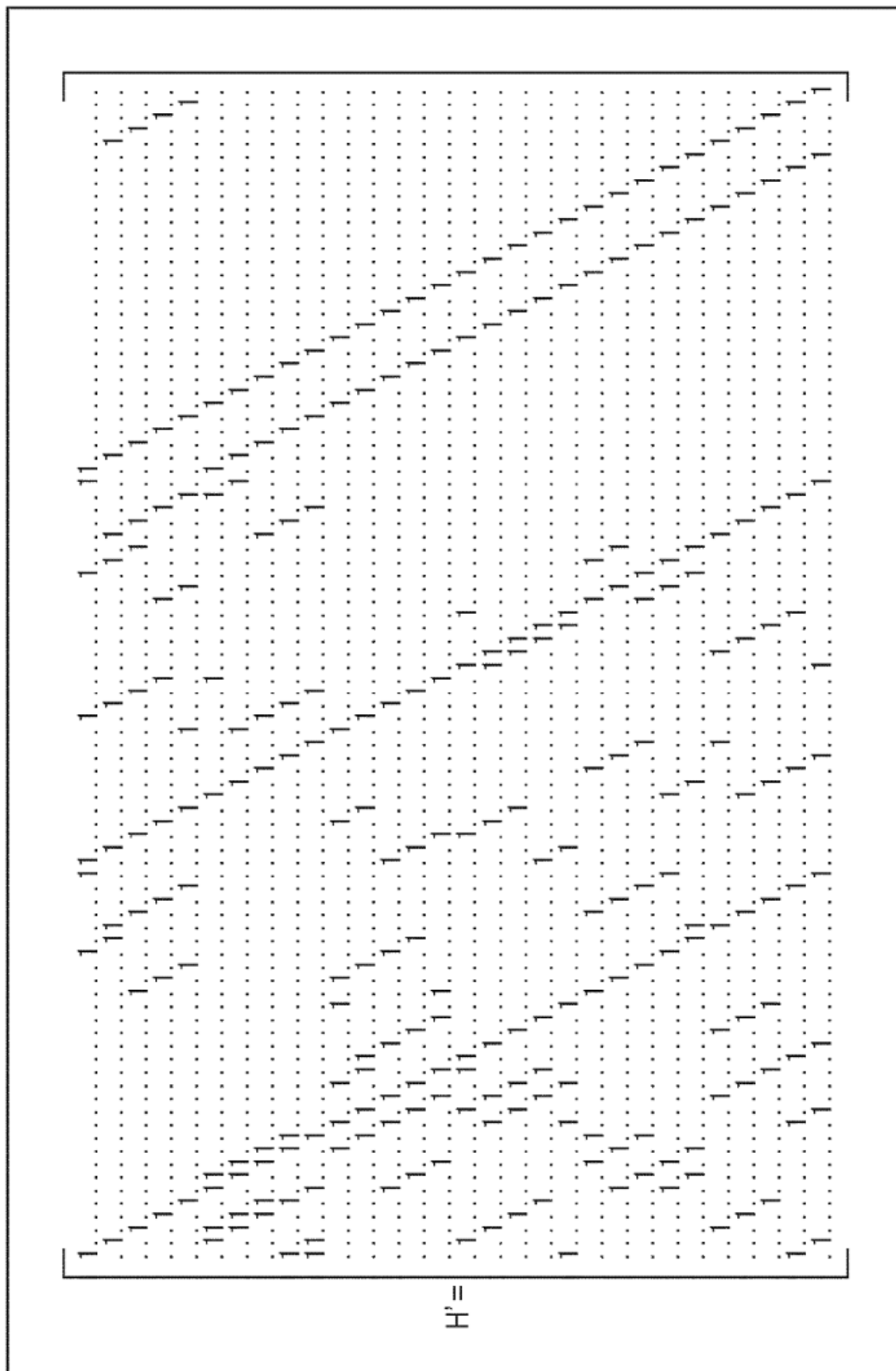


FIG. 137

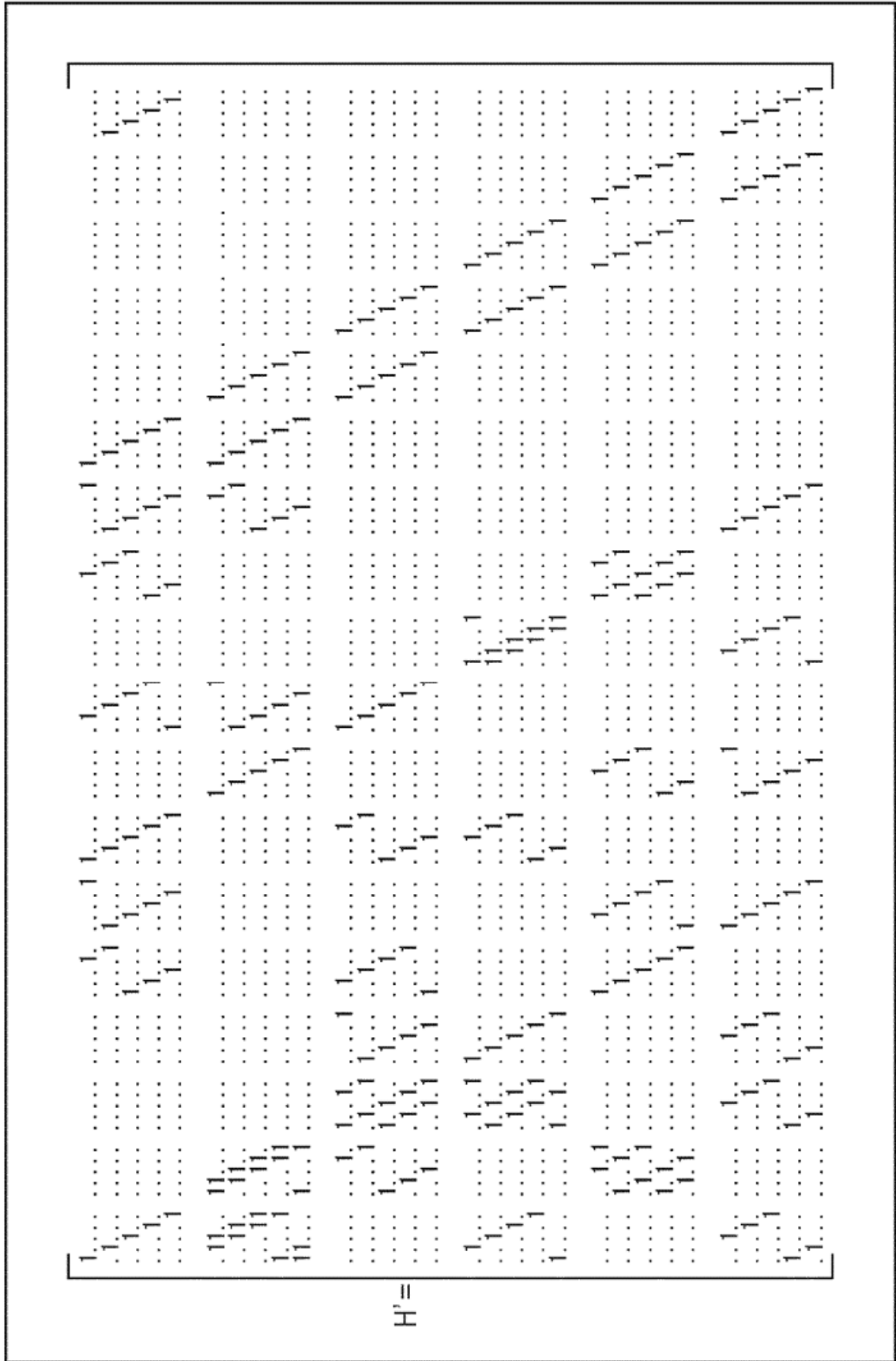


FIG. 138

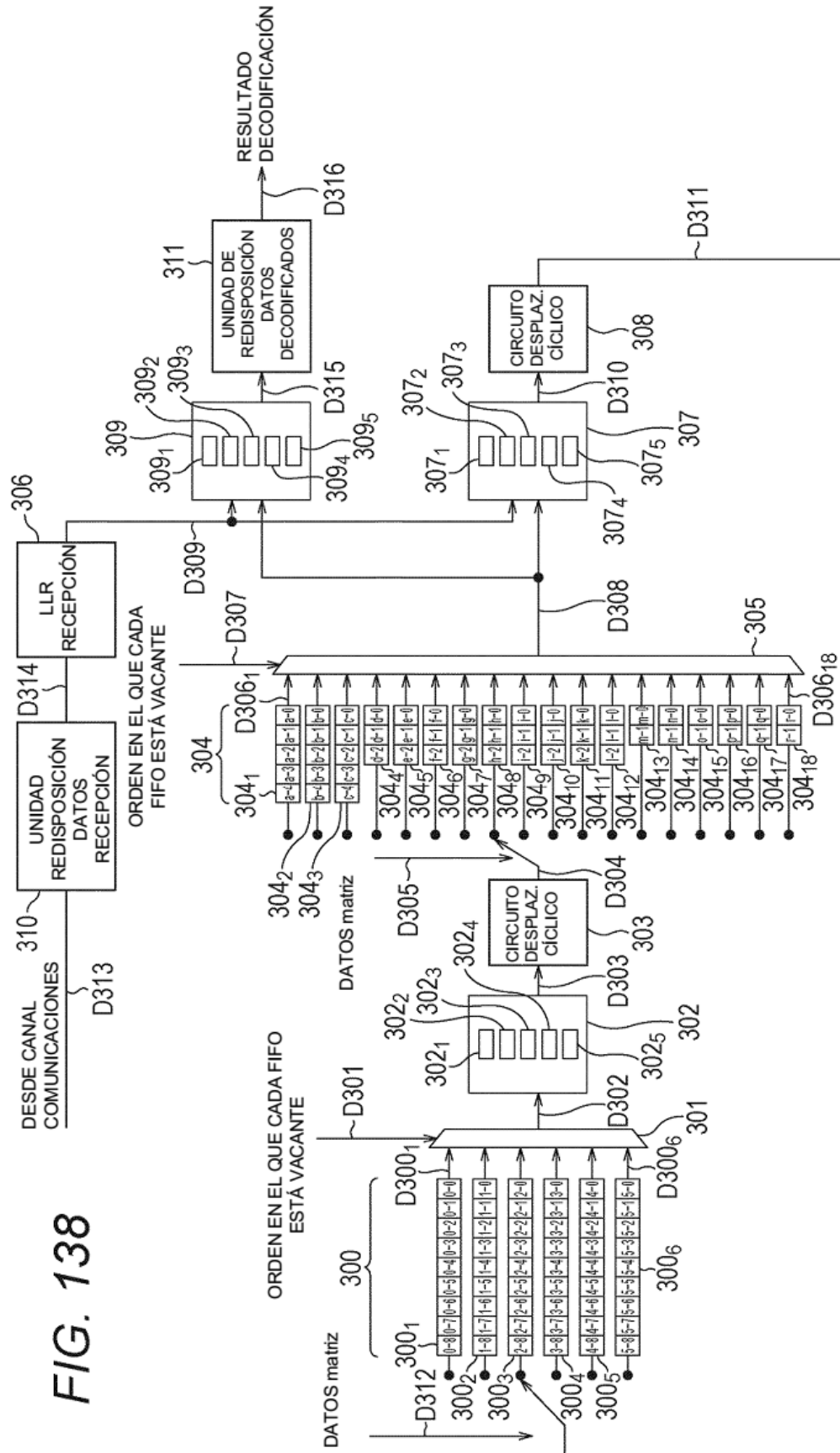


FIG. 139

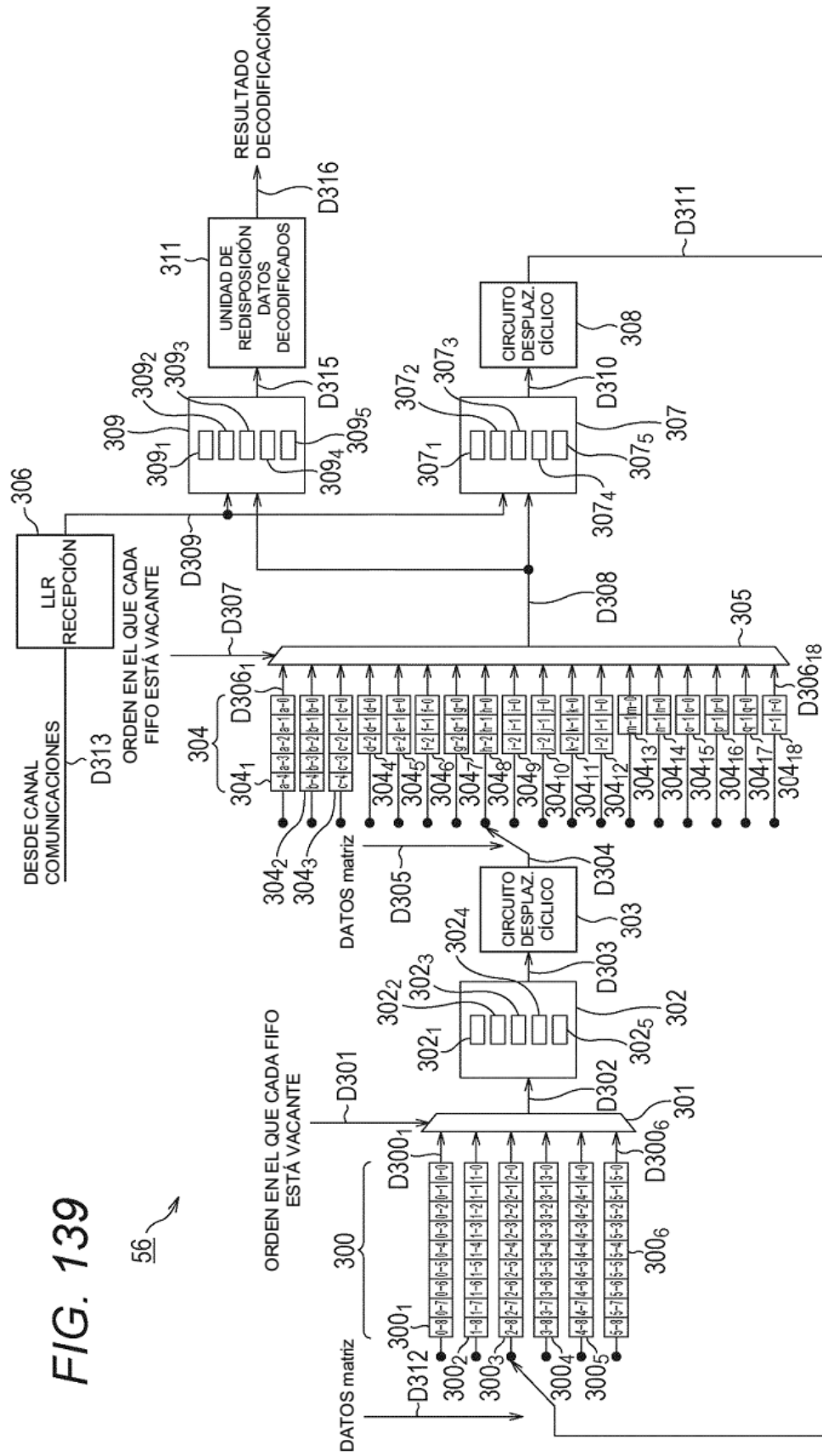


FIG. 140

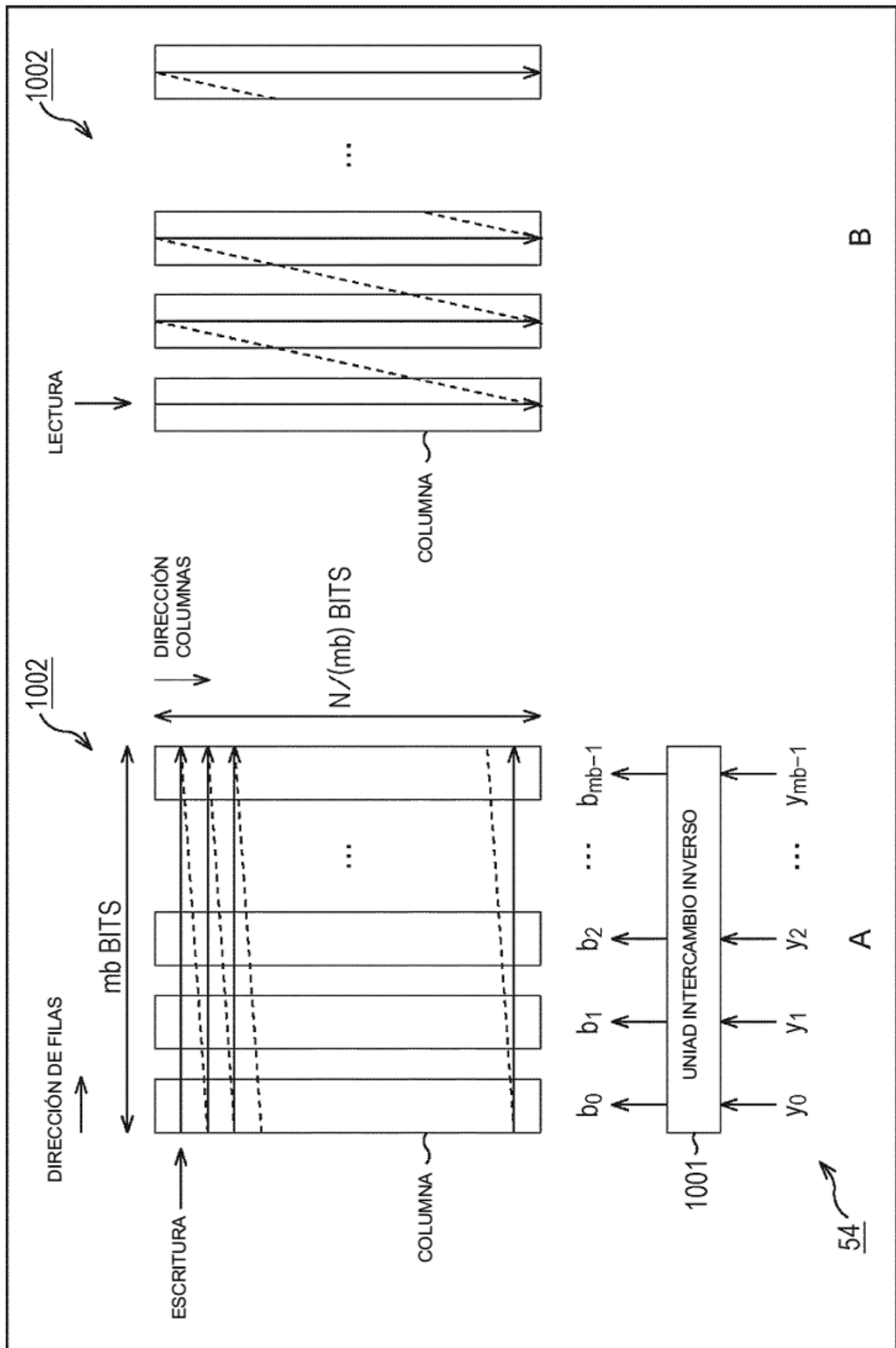


FIG. 141

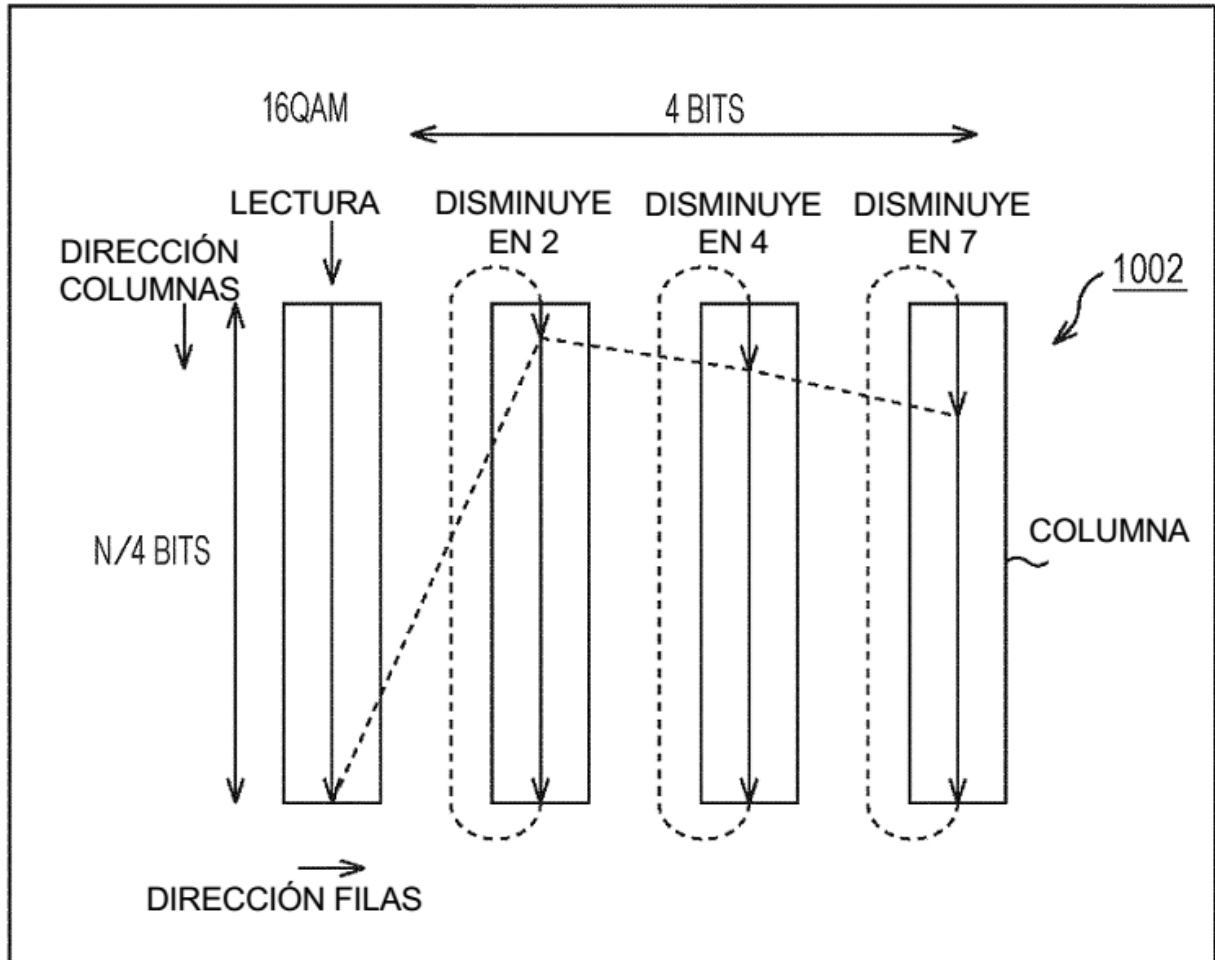


FIG. 142

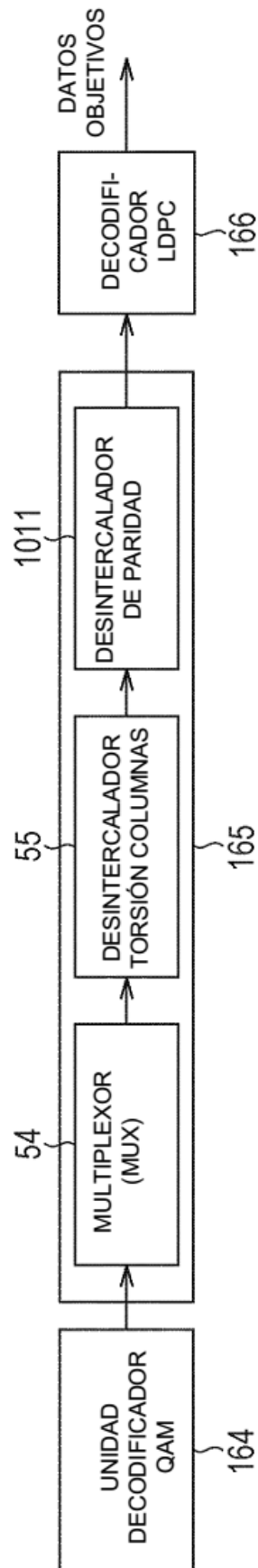


FIG. 143

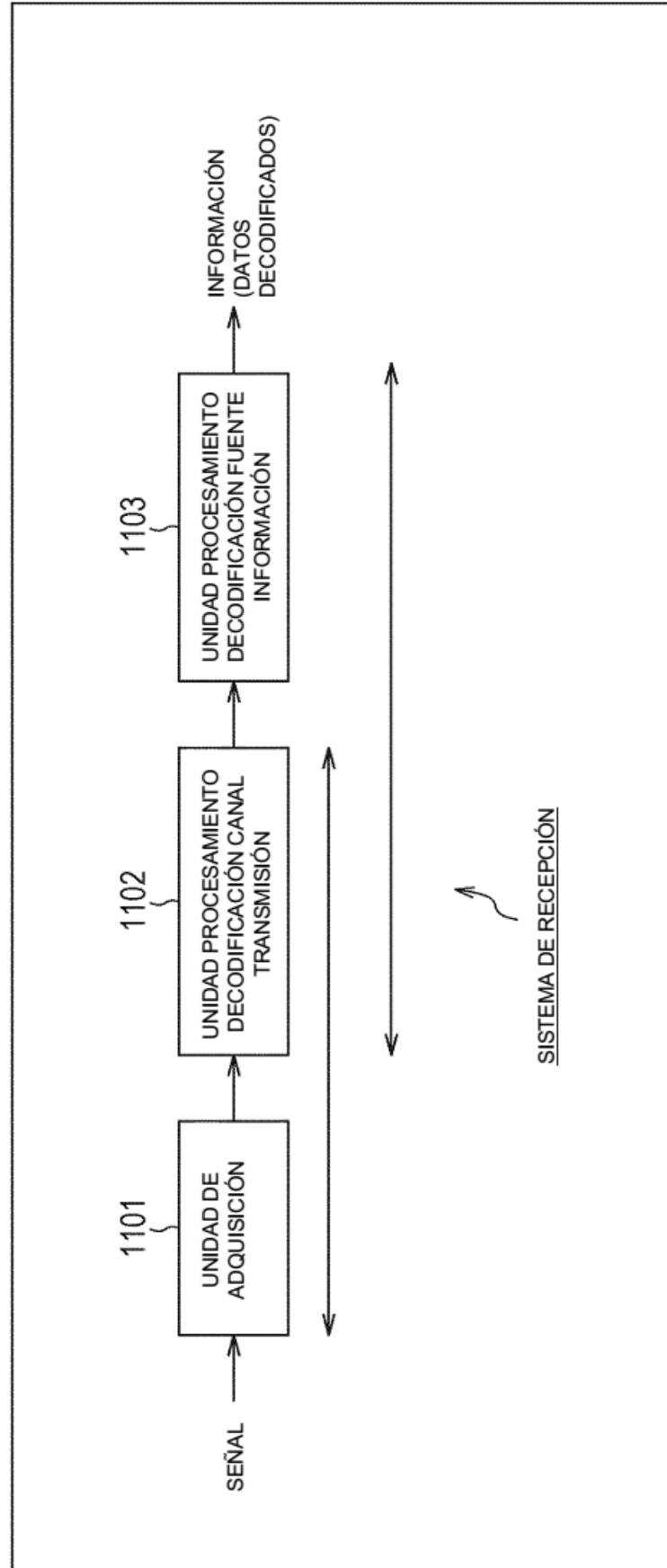


FIG. 144

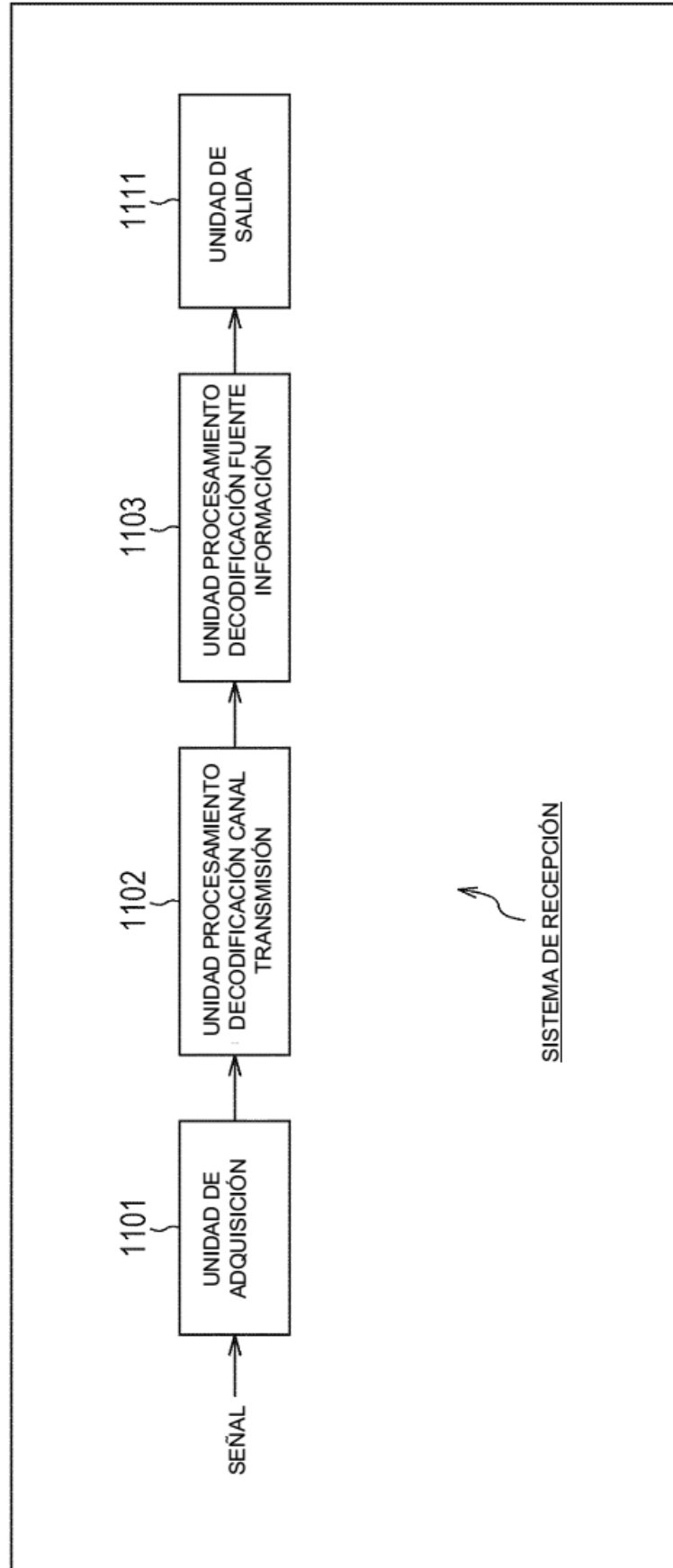


FIG. 145

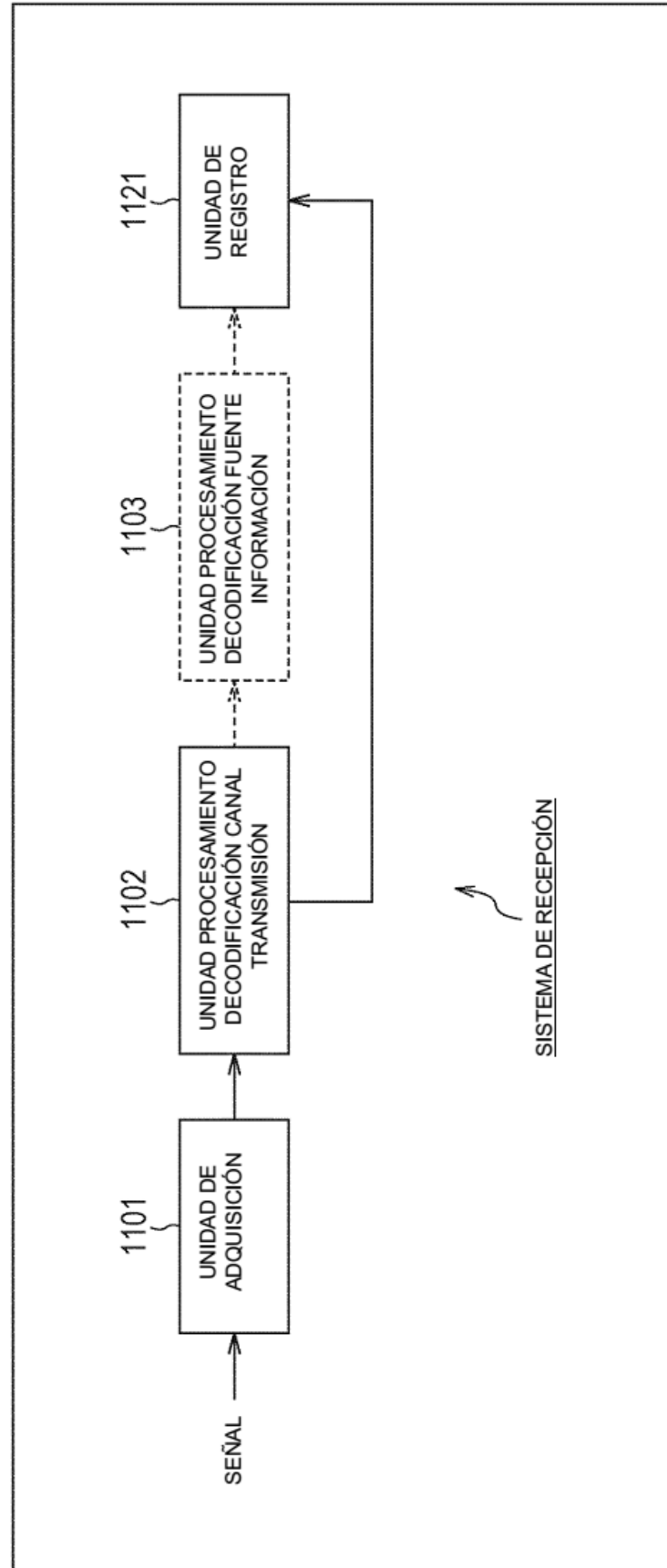


FIG. 146

