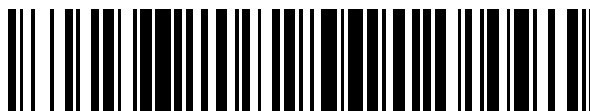


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 544 821**

51 Int. Cl.:

**H03H 11/24** (2006.01)

**H03G 1/00** (2006.01)

**H03F 3/72** (2006.01)

**H03G 3/30** (2006.01)

**H03F 3/45** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **24.10.2008** **E 08877594 (5)**

97 Fecha y número de publicación de la concesión europea: **01.07.2015** **EP 2351216**

54 Título: **Un circuito que comprende al menos un primer grupo de transistores y un segundo grupo de transistores**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**04.09.2015**

73 Titular/es:

**SAAB AB (100.0%)**  
**581 88 Linköping, SE**

72 Inventor/es:

**BERG, HÅKAN y**  
**THIESIES, HEIKO**

74 Agente/Representante:

**CARPINTERO LÓPEZ, Mario**

ES 2 544 821 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

## DESCRIPCIÓN

Un circuito que comprende al menos un primer grupo de transistores y un segundo grupo de transistores

## Campo técnico

- 5 La presente invención se refiere a un circuito que comprende al menos un primer grupo de transistores y un segundo grupo de transistores, en el que los grupos de transistores están conectados de tal manera que están dispuestos para ser alimentados con al menos una señal de entrada, y de tal manera que están dispuestos para producir de salida al menos dos corrientes.

## Antecedentes

- 10 En el campo de la electrónica de microondas, una denominada célula de Gilbert se utiliza a menudo como un mezclador. La célula de Gilbert fue inventada por Barrie Gilbert, y sus fundamentos se describen, por ejemplo, en el documento US 4156283. También es posible utilizar una célula de Gilbert como un atenuador con una posibilidad de atenuar una señal de RF hasta el final a cero, por medio de la aplicación de un voltaje de CC en la entrada LO del mezclador.

El documento US 2006/0097787 A1 describe un ajuste de ganancia y una disposición de circuito.

- 15 Una célula de Gilbert P1 de acuerdo con la técnica anterior se describirá a continuación con referencia a la figura 1. Hay un primer transistor Q1, un segundo transistor Q2, un tercer transistor Q3 y un cuarto transistor Q4. Hay una primera entrada P2 de una corriente de RF de entrada  $i_{\text{entrada}}$ , y una segunda entrada P3 para una corriente de RF de entrada  $-i_{\text{entrada}}$ . También hay una primera salida P4 para una corriente de RF de salida  $i_{\text{salida}}$ , y una segunda salida P5 para una corriente de RF  $-i_{\text{salida}}$ .
- 20 Una fuente de voltaje de polarización  $V_{\text{ctrl}}$  proporciona un voltaje de polarización positivo que se aplica a las bases del primer transistor Q1 y del cuarto transistor Q4, y un voltaje de polarización negativo que se aplica a las bases del segundo transistor Q2 y del tercer transistor Q3, dando lugar los voltajes de polarización a corrientes de polarización. Hay una corriente de polarización de CC  $i_{Q1}$ ,  $i_{Q2}$ ,  $i_{Q3}$ ,  $i_{Q4}$ , correspondiente para cada uno de los transistores Q1, Q2, Q3, Q4, en el que cada corriente de polarización de CC  $i_{Q1}$ ,  $i_{Q2}$ ,  $i_{Q3}$ ,  $i_{Q4}$ , afecta a la corriente de RF a través de su
- 25 transistor Q1, Q2, Q3, Q4 correspondiente. La resistencia en el emisor de un transistor es inversamente proporcional a la magnitud de la corriente de polarización, y usando las leyes de corriente fundamentales, la corriente de RF  $i_{\text{RFQ1}}$  que pasa a través de Q1 se puede escribir como:

$$i_{\text{RFQ1}} = i_{\text{entrada}} \cdot \frac{i_{Q1}}{i_{Q1} + i_{Q3}} \quad (1)$$

- 30 Hay una primera rama de la primera salida P4 al tercer transistor Q3 y una segunda rama de la segunda salida P5 al segundo transistor Q2. La corriente de RF en la primera rama, es decir, la corriente  $i_{\text{RFQ3}}$  que pasa a través del tercer transistor Q3 se puede escribir como

$$i_{\text{RFQ3}} = i_{\text{entrada}} \cdot \frac{i_{Q3}}{i_{Q1} + i_{Q3}} \quad (2)$$

- 35 Una célula de Gilbert funciona controlando el trayecto de la corriente de RF de entrada a través de los transistores. La primera corriente de RF de salida  $i_{\text{salida}}$  a la primera salida P4 puede escribirse como  $i_{\text{salida}} = i_{\text{RFQ1}} - i_{\text{RFQ3}}$ , que se resume en la siguiente ecuación:

$$i_{\text{salida}} = i_{\text{entrada}} \cdot \frac{i_{Q1}}{i_{Q1} + i_{Q3}} - i_{\text{entrada}} \cdot \frac{i_{Q3}}{i_{Q1} + i_{Q3}} = i_{\text{entrada}} \cdot \frac{i_{Q1} - i_{Q3}}{i_{Q1} + i_{Q3}} \quad (3)$$

De la misma manera, una expresión correspondiente se puede obtener para la segunda corriente de RF de salida  $-i_{\text{salida}}$  en la segunda salida P5.

- 40 Como es evidente de la expresión (3), hay un problema con este tipo de atenuador; cuanto mayor sea la atenuación que se desea, menor tiene que ser la diferencia entre las corrientes de polarización. Por ejemplo, 20 dB de atenua-

ción significa que el 45% de la corriente de polarización pasará por Q3 y el 55% de la corriente de polarización pasará por Q1. Además, 40 dB de atenuación significa que el 49,5% de la corriente de polarización pasará por Q3 y el 50,5% de la corriente de polarización pasará por Q1. Con el fin de obtener estas diferencias de corriente muy pequeñas, se requiere un control muy preciso del voltaje de polarización debido a la alta transconductancia de los transistores cuando se polarizan, es decir, una pequeña variación del voltaje de emisor de base, de menos de un milivoltio, hace que la diferencia en las corrientes de polarización sea grande. Al mismo tiempo, el circuito es extremadamente sensible a la retroalimentación resistiva en los emisores, puesto que esto afecta a la diferencia de polarización entre los dos transistores implicados.

Por lo tanto hay una necesidad de un diseño de un atenuador similar que no requiera un control preciso de este tipo para las corrientes de polarización.

### Sumario

El objeto de la presente invención es describir un atenuador de tipo de célula de Gilbert que no requiera un control preciso de las corrientes de polarización para grandes atenuaciones. Además, los transistores están dispuestos para ser polarizados de tal manera que los trayectos de señal deseados son obtenidos en el circuito, de tal manera que se obtiene una relación de corriente de salida deseada.

Otras realizaciones preferidas son evidentes de las reivindicaciones dependientes.

Un número de ventajas son obtenidas por medio de la presente invención, por ejemplo el control de voltaje muy preciso que se necesitaba previamente ya no es necesario para obtener un efecto correspondiente.

### Breve descripción de los dibujos

La invención se describirá a continuación más en detalle, con referencia a los dibujos adjuntos, en los que:

la figura 1 muestra el diagrama esquemático de una célula de Gilbert de la técnica anterior;

la figura 2 muestra el diagrama esquemático de la presente invención en un primer modo;

la figura 3 muestra el diagrama esquemático de la presente invención en un segundo modo;

la figura 4 muestra el diagrama esquemático de la presente invención en un tercer modo;

la figura 5 muestra el diagrama esquemático de la presente invención en un cuarto modo;

la figura 6 muestra el diagrama esquemático de la presente invención en una forma alternativa, que tiene una línea de salida común

la figura 7 muestra el diagrama esquemático de una parte de un circuito de acuerdo con la realización de la invención que se muestra en la figura 6;

la figura 8 muestra el diagrama esquemático de un circuito de la técnica anterior que se usa para explicar la presente invención en términos generales;

la figura 9 muestra el diagrama esquemático para un circuito no reivindicado, y

la figura 10 muestra el diagrama esquemático de una realización alternativa de la presente invención en el que las corrientes de salida son controladas semi- digitalmente.

### Descripción detallada

En la figura 2, que muestra un circuito amplificador 1, hay un primer par de transistores 2, un segundo par de transistores 3, un tercer par de transistores 4 y un cuarto par de transistores 5, comprendiendo cada par de transistores 2, 3, 4, 5 un primer transistor 2a, 3a, 4a, 5a y un segundo transistor 2b, 3b, 4b, 5b. La amplificación puede ser negativo, de tal manera que el circuito amplificador 1 funciona como un circuito atenuador. El primer par de transistores 2 y el tercer par de transistores 4 se reflejan en espejo de tal manera que las bases del segundo transistor 2b del primer par de transistores y del primer transistor 4a del tercer par de transistores están conectadas. Las bases del primer transistor 2a del primer par de transistores y del segundo transistor 4b del tercer par de transistores están conectadas también. Por razones de claridad, en la figura 2 y también en las figuras 3 y 4, no se muestra esta conexión, los cables desde las bases están indicados con líneas de puntos. De la misma manera, las bases correspondientes del segundo transistor 3b del segundo par de transistores y del primer transistor 5a del cuarto par de transistores están conectadas. Además, las bases del primer transistor 3a del segundo par de transistores y del segundo transistor 5b del cuarto par de transistores están conectadas. Por razones de claridad, en la figura 2 y también en las figura 3 y 4, no se muestra esta conexión, los cables desde las bases están indicados con líneas de puntos.

También hay un quinto par de transistores 6, que comprende un primer transistor 6a y un segundo transistor 6b, en el que los citados primer transistor 6a y segundo transistor 6b se reflejan en espejo de tal manera que las bases del primer transistor 6a y del segundo transistor 6b están conectadas. Toda la réplica en espejo se hace en una línea de simetría 7 que divide el circuito 1 en dos mitades iguales 1a, 1b.

- 5 Hay una primera entrada 8 para una corriente de RF de entrada  $i_{\text{entrada}}$ , y una segunda entrada 9 para una corriente de RF  $-i_{\text{entrada}}$ . También hay una primer salida 10 para una corriente de RF de salida  $i_{\text{salida}}$ , y una segunda salida 11 para una corriente de RF  $-i_{\text{salida}}$ .

La primera corriente de RF de entrada  $i_{\text{entrada}}$  está ramificada de tal manera que puede pasar a través de los colectores de los transistores 2a, 2b; 3a, 3b en el primer par de transistores 2 y en el segundo par de transistores 3, y del primer transistor 6a en el quinto par de transistores 6.

La segunda corriente de RF de entrada  $-i_{\text{entrada}}$  está ramificada de tal manera que puede pasar a través de los colectores de los transistores 4a, 4b; 5a, 5b en el tercer par de transistores y en el cuarto par de transistores, y del segundo transistor 6b en el quinto par de transistores 6.

- 15 Los colectores de los primeros transistores 2a, 3a, 4a, 5a, 6a en el primer par de transistores 2, en el segundo par de transistores 3, en el tercer par de transistores 4, en el cuarto par de transistores 5 y en el quinto par de transistores 6 están conectados unos a los otros y a la primer salida 10. Todos los otros colectores de los transistores 2b, 3b, 4b, 5b, 6b están conectados a la segunda salida 11.

20 De acuerdo con la presente invención, cualquiera de los transistores 2a, 2b; 3a, 3b; 4a, 4b; 5a, 5b del primer par de transistores 2, del segundo par de transistores 3, del tercer par de transistores 4, y del cuarto par de transistores 5 está conectado, y el otro está desconectado, simétricamente con respecto a la línea de simetría 7, de tal manera que la corriente de RF es controlada para que pase por un trayecto fijo a través del circuito 1. La resistencia de entrada individual de un transistor solamente se cambia entre un valor alto y uno fijo por medio de la corriente de polarización de CC. El valor fijo se elige apropiadamente por medio de las propiedades eléctricas de cierto tamaño de transistor y también del tipo elegido.

- 25 Los pares reflejados en espejo primero y tercero 2, 4 comprenden los transistores 2a, 2b; 4a, 4b que preferentemente se eligen de manera que presentan una resistencia esencialmente igual a la corriente de RF. Lo mismo se aplica para el segundo y cuarto pares 3, 5 reflejados en espejo.

30 Por medio de la presente invención, la corriente de RF es dirigida para que tome un trayecto determinado en el circuito, a partir de una selección de trayectos, en el que cada trayecto presenta una cierta atenuación fija. Las corrientes polarización de CC (no mostradas en la figura) que se aplican a los transistores 2a, 2b; 3a, 3b; 4a, 4b; 5a, 5b solamente se usan ahora para activar y desactivar los transistores, no para ajustar sus resistencias de corriente de RF. Con el fin de activar y desactivar los transistores, no se requiere ninguna diferencia de voltaje precisa; una diferencia de voltaje en las bases de alrededor de  $0,4 \pm 0,15$  V es suficiente si se consideran transistores bipolares. Los transistores 2a, 2b; 3a, 3b; 4a, 4b; 5a, 5b, por lo tanto, son polarizados de tal manera que se obtienen los trayectos de señal deseados en el circuito, de tal manera que se obtiene una relación de corriente de salida deseada.

35 A continuación, se presentarán cuatro ejemplos para diferentes trayectos de corriente de RF del presente circuito. En todos los ejemplos, los transistores 2a, 2b; 4a, 4b en el primer par 2 y en el tercer par 4 presentan una resistencia a la corriente de RF de  $60/7 \Omega$ , los transistores 3a, 3b; 5a, 5b en el segundo par 3 y en el cuarto par 5 presenta una resistencia de corriente de RF de  $60/20 \Omega = 3 \Omega$ , y los transistores 6a, 6b en el quinto par 6 presentan una resistencia a la corriente de RF de  $60/33 \Omega$ . Como se ha indicado más arriba, cada valor de la resistencia depende de las propiedades eléctricas de cierto tipo del transistor y del tamaño elegido.

40 La figura 2 muestra un primer modo de amplificación. Indicados con líneas de puntos, los segundos transistores 2b, 3b en el primer par 2 y en el segundo par 3 están desactivados. Además, los primeros transistores 4a, 5a en el tercer par 4 y en el cuarto par 5 también están desactivados. En esta configuración no hay atenuación de corriente; lo que sigue se adquiere para una primera corriente de salida  $i_{\text{salida1}}$ :

$$i_{\text{salida1}} = i_{11} + i_{21} + i_{31} = \frac{33}{60} i_{\text{entrada}} + \frac{20}{60} i_{\text{entrada}} + \frac{7}{60} i_{\text{entrada}} = i_{\text{entrada}}$$

Por tanto, esta cierta configuración proporciona la máxima amplificación.

45 La figura 3 muestra un segundo modo de amplificación. Indicados con líneas de puntos, los segundos transistores 2b, 5b en el primer par 2 y en el cuarto par 5 están desactivados. Además, los primeros transistores 3a, 4a en el segundo par 3 y en el tercer par 4 también están desactivados. En esta configuración, hay una cierta primer atenuación relativa; lo que sigue se adquiere para una segunda corriente de salida  $i_{\text{salida2}}$ :

$$i_{\text{salida2}} = i_{12} - i_{22} + i_{32} = \frac{33}{60} i_{\text{entrada}} - \frac{20}{60} i_{\text{entrada}} + \frac{7}{60} i_{\text{entrada}} = \frac{20}{60} i_{\text{entrada}} = \frac{1}{3} i_{\text{entrada}}$$

La primera atenuación relativa es por lo tanto aproximadamente de 10 dB.

La figura 4 muestra un tercer modo de amplificación. Indicados con líneas de puntos, los primeros transistores 2a, 3a en el primer par 2 y en el segundo par 3 están desactivados. Además, los segundos transistores 4b, 5b en el tercer par 4 y en el cuarto par 5 también están desactivados. En esta configuración hay una cierta segunda atenuación relativa; lo que sigue es adquirida por una tercera corriente de salida  $i_{\text{salida3}}$ :

$$i_{\text{salida3}} = i_{13} - i_{23} - i_{33} = \frac{33}{60} i_{\text{entrada}} - \frac{20}{60} i_{\text{entrada}} - \frac{7}{60} i_{\text{entrada}} = \frac{6}{60} i_{\text{entrada}} = \frac{1}{10} i_{\text{entrada}}$$

La segunda atenuación relativa es por lo tanto de 20 dB.

Finalmente, la figura 5 muestra un cuarto modo de amplificación. Indicado con líneas de puntos, los primeros transistores 2a, 5a en el primer par 2 y en el cuarto par 5 están desactivados. Por otra parte, los segundos transistores 3b, 4b en el segundo par 3 y en el tercer par 4 también están desactivados. En esta configuración, hay una cierta tercera atenuación relativa; lo que sigue es adquirido por una cuarta corriente de salida  $i_{\text{salida4}}$ :

$$i_{\text{salida4}} = i_{14} + i_{24} - i_{34} = \frac{33}{60} i_{\text{entrada}} + \frac{20}{60} i_{\text{entrada}} - \frac{7}{60} i_{\text{entrada}} = \frac{23}{30} i_{\text{entrada}}$$

La tercera atenuación relativa es por lo tanto aproximadamente de 2 dB.

Es evidente que muchos niveles diferentes de niveles de atenuación pueden ser adquiridos para diferentes configuraciones de circuito. Para más niveles de atenuación, se añaden más pares de transistores a la configuración de acuerdo con las figuras 2 a 5.

La figura 6 muestra un ejemplo de realización alternativa. Generalmente, las conexiones son similares a las que se muestran en la figura 2. Los mismos signos de referencia se utilizan para los transistores en las mismas posiciones.

Los colectores de los primeros transistores 2a, 3a, 6a en el primer par de transistores 2, en el segundo par de transistores 3, y en el quinto par de transistores 6 están conectados unos a los otros y a la primera salida 10. Los colectores de los segundos transistores 4b, 5b, 6b en el tercer par de transistores 4, en el cuarto par de transistores 5, y en el quinto par de transistores 6 están conectados unos a los otros y a la segunda salida 11.

Además, en esta realización, los colectores de los segundos transistores 2b, 3b, 4a, 5a del primer par de transistores 2, del segundo par de transistores 3, del tercer par de transistores 4, y del cuarto par de transistores 5 están conectados a una línea de salida común C que está conectada a una fuente de voltaje E, por ejemplo de + 5V. Alternativamente, la línea de salida común está conectada a tierra a través de una resistencia (no mostrada).

En esta realización alternativa, las corrientes que circulan a través de los colectores de los segundos transistores 2b, 3b, 4a, 5a del primer par de transistores 2, del segundo par de transistores 3, del tercer par de transistores 4, y del cuarto par de transistores 5 se combinan en la línea de salida común C, y no se utilizan en adelante. Sólo las corrientes que se combinan a la primera salida 10 y a la segunda salida 11 constituyen corrientes útiles.

El circuito de la figura 6 corresponde al que se muestra en la figura 2, en el que los segundos transistores 2b, 3b, 4a, 5a del primer par de transistores 2, del segundo par de transistores 3, del tercer par de transistores 4, y del cuarto par de transistores 5 están desactivados. Por lo tanto, la conexión alternativa utilizada, en la que hay una línea de salida común C, no hace ninguna diferencia en este caso. En esta configuración no hay atenuación de corriente; lo que sigue se adquiere para una quinta corriente de salida  $i_{\text{salida5}}$ :

$$i_{\text{salida5}} = i_{15} + i_{25} + i_{35} = \frac{33}{60} i_{\text{entrada}} + \frac{20}{60} i_{\text{entrada}} + \frac{7}{60} i_{\text{entrada}} = i_{\text{entrada}}$$

Los transistores pueden ser desactivados en la misma manera que la que se ha descrito con referencia a la figura 4, 5 y 6, lo que resulta en corrientes de salida correspondientes  $i_{\text{salida6}}$ ,  $i_{\text{salida7}}$ , y  $i_{\text{salida8}}$ :

$$i_{\text{salida6}} = \frac{33}{60} i_{\text{entrada}} + 0 \cdot \frac{20}{60} i_{\text{entrada}} + \frac{7}{60} i_{\text{entrada}} = \frac{40}{60} i_{\text{entrada}}$$

$$i_{\text{salida7}} = \frac{33}{60} i_{\text{entrada}} + 0 \cdot \frac{20}{60} i_{\text{entrada}} + 0 \cdot \frac{7}{60} i_{\text{entrada}} = \frac{33}{60} i_{\text{entrada}}$$

$$i_{\text{salida8}} = \frac{33}{60} i_{\text{entrada}} + \frac{20}{60} i_{\text{entrada}} + 0 \cdot \frac{7}{60} i_{\text{entrada}} = \frac{53}{60} i_{\text{entrada}}$$

5 En la figura 7, sólo se utiliza una mitad del circuito de acuerdo con la figura 6, correspondiente a la primer mitad 1a que se muestra en la figura 2. Esto significa que el circuito ya no es de la naturaleza diferencial. El circuito comprende un primer par de transistores 2' y un segundo par de transistores 3' y un único transistor 6a'. La corriente de salida  $i_{\text{salidaunica}}$  es igual a  $i_{\text{salida5}}$ ,  $i_{\text{salida6}}$ ,  $i_{\text{salida7}}$  o  $i_{\text{salida8}}$ . Los signos triangulares representan fuentes de polarización de RF en cortocircuito. Hay también otra salida de corriente  $i_{\text{adicional}}$ , que se emite como salida desde una línea C' que corresponde a la línea de salida común que se ha descrito con referencia a la figura 6. Su función corresponde a la que se ha descrito con referencia a la figura 6.

A continuación, la presente invención se describirá más en general con referencia a la figura 8, que muestra una versión muy simple de la técnica anterior, y a la figura 9, que muestra la presente invención en su forma menos complicada.

15 La esencia del problema resuelto por la presente invención se describe a continuación con referencia a la figura 8. Aquí, un primer transistor 12 y un segundo transistor 13 tienen sus bases conectadas a un voltaje de entrada  $V_{\text{entrada}}$ . Los colectores de los transistores están conectados a una fuente de corriente de control  $I_{\text{ctrl}}$ . Los colectores de los transistores producen como salida una primera corriente de salida  $i'_{\text{salida1}}$  y una segunda corriente de salida  $i'_{\text{salida2}}$  respectivas. Por supuesto, el voltaje de entrada podría ser una corriente de entrada, y la corriente de control podría ser un voltaje de control. Las configuraciones de las fuentes de voltaje y de las fuentes de corriente que se muestran aquí y en el resto de los ejemplos de la presente invención son sólo ejemplos.

Las dos corrientes de salida son controladas por las corrientes de control de CC analógicas suministradas por la fuente de corriente de control  $I_{\text{ctrl}}$ . En este caso, las dos corrientes de salida  $i'_{\text{salida1}}$ , y  $i'_{\text{salida2}}$  son controladas de una manera analógica, con los problemas que se han descrito inicialmente.

25 Esto conduce al circuito no reivindicado que se muestra en la figura 9. Aquí, hay un primer transistor 14, un segundo transistor 15, un tercer transistor 16 y un cuarto transistor 17. Las bases del segundo transistor 15 y del tercer transistor 16 están conectadas a una primera fuente de voltaje de control  $V_{\text{ctrl1}}$ . Las bases del primer transistor 14 y del cuarto transistor 17 están conectadas a una segunda fuente de voltaje de control  $V_{\text{ctrl2}}$ . Los emisores de todos los transistores están conectados a una corriente de entrada  $i_{\text{entrada}}$ . Los colectores del primer transistor 14 y del segundo transistor 15 están conectados, y producen como salida una primera corriente de salida  $i''_{\text{salida1}}$  y los colectores del tercer transistor 16 y del cuarto transistor 17 están conectados, y producen como salida una segunda corriente de salida  $i''_{\text{salida2}}$ .

Al conmutar los transistores en activación y desactivación, se obtiene una amplificación diferente en pasos discretos mientras que  $i''_{\text{salida1}} + i''_{\text{salida2}} = i_{\text{entrada}}$ . En esta configuración, uno de entre el primer transistor 14 y el cuarto transistor 17 está siempre desactivado, y uno de entre el segundo transistor 15 y el tercer transistor 16 está siempre desactivado también.

Por lo tanto, comparando la configuración con referencia a la figura 8, con la configuración de acuerdo con la figura 9, en la configuración de acuerdo con la figura 9 cada transistor se ha dividido en dos transistores separados en el que cada uno de estos transistores pueden ser activado o desactivado, controlando digitalmente de esta manera las al menos dos corrientes de salida, cambiando la atenuación en pasos discretos. El valor de las corrientes de salida para diferentes modos de amplificación depende de la relación entre los tamaños de los transistores.

Como se explicará más adelante, es posible utilizar la presente invención de tal manera que las al menos dos corrientes de salida sean controladas semi- digitalmente.

La presente invención no está limitada a las realizaciones que se han descrito y explicado más arriba, sino que puede variar libremente dentro del alcance de las reivindicaciones adjuntas.

Por ejemplo, en los ejemplos, se muestran transistores bipolares NPN, pero, por supuesto, cualesquiera transistores adecuados pueden ser utilizados. Los valores de resistencia varían con el tipo transistor elegido, con lo que la elección del transistor también establece el valor de la resistencia.

50 En lugar de activar y desactivar los pares de transistores, es posible controlar también los mismos mediante el control de la corriente de polarización como se describe en lo que antecede, de manera que las corrientes de salida son controladas semi- digitalmente. La diferencia de la técnica anterior es que, dado que hay una serie de pasos de atenuación, es posible cambiar la atenuación relativa entre, por ejemplo 0 y 10 dB sin sufrir la penalización de pe-

queños voltajes de polarización. En otras palabras, el rango dinámico total para la atenuación es dividido en un número de sub-rangos, resultando que el intervalo de voltaje, que previamente se aplicó sobre el rango dinámico total para la atenuación, ahora se aplica en intervalos de rango de atenuación relativamente más pequeños. Esto conduce a que la precisión cuando se ajusta el voltaje de polarización se mitiga. Por lo tanto, para cada paso discreto, las corrientes de salida son controladas de una manera analógica.

Por ejemplo, previamente, se utilizó un intervalo de 50 mV para controlar una atenuación entre 0 dB y -80 dB; ahora el mismo intervalo de 50 mV se utiliza para controlar una atenuación de 10 dB. Por tanto, es más fácil configurar una atenuación precisa por medio de la presente invención.

Esta alternativa de realización también se ilustra en un ejemplo con referencia a la figura 10, que muestra otro modo de amplificación. Se utilizan los mismos componentes de circuito que en las figuras 2 a 5, pero hay también un voltaje de control  $V_{ctrl}$  en el que su terminal positivo está conectado a las bases del primer transistor 2a del primer par de transistores y del segundo transistor 4b del tercer par de transistores, y en el que su terminal negativo está conectado a las bases del segundo transistor 2b del primer par de transistores y del primer transistor 4a del tercer par de transistores. Mediante la variación del voltaje de control  $V_{ctrl}$ , se proporciona unas corrientes de polarización de CC correspondiente  $i_{Q2a}$ ,  $i_{Q2b}$ ,  $i_{Q4a}$ ,  $i_{Q4b}$ , para cada uno de los transistores 2a, 2b; 4a, 4b en el primer par 2 y en el tercer par 4.

En general, la siguiente expresión es válida para el circuito de acuerdo con la figura 10:

$$i_{salida8} = i_{18} - i_{28} - i_{38} = \frac{33}{60} i_{entrada} - \frac{20}{60} i_{entrada} + \frac{i_{Q2a} - i_{Q4a}}{i_{Q2a} + i_{Q4a}} \frac{7}{60} i_{entrada}.$$

Al permitir que  $i_{Q2a}$  o  $i_{Q4a}$  sea igual a cero, es evidente que la corriente de salida  $i_{salida8}$  varía de acuerdo con lo siguiente:

$$\frac{i_{entrada}}{3} \geq i_{salida8} \geq \frac{i_{entrada}}{10}.$$

Esto también se ilustra en el circuito no reivindicado en la figura 9. En lugar del caso que se ha descrito más arriba en el que ambos  $V_{ctrl1}$  y  $V_{ctrl2}$  controlan las corrientes de salida  $i^{salida1}$ ,  $i^{salida2}$  de una manera digital, cambiando la atenuación en pasos discretos, las corrientes de salida son controladas de una manera analógica en cada paso discreto.

En una primera configuración,  $V_{ctrl1}$  controla el segundo transistor 15 y el tercer transistor 16 relacionados de una manera analógica y  $V_{ctrl2}$  controla el primer transistor 14 y el cuarto transistor 17 relacionados de una manera digital conmutando los mismos a activado y desactivado. Una serie de alternativas son posibles para esta configuración:

- El primer transistor 14 es activado y el cuarto transistor 17 es desactivado por medio de  $V_{ctrl2}$ . Al cambiar  $V_{ctrl1}$ , la atenuación puede ser transferida de forma continua entre el segundo transistor 15 y el tercer transistor 16.
- El primer transistor 14 es desactivado y el cuarto transistor 17 es activado por medio de  $V_{ctrl2}$ . Al cambiar  $V_{ctrl1}$ , la atenuación puede ser transferida de forma continua entre el segundo transistor 15 y el tercer transistor 16.

Las conexiones del voltaje de control  $V_{ctrl}$  pueden variar, por ejemplo sus polaridades pueden invertirse.

Para todos los ejemplos que se muestran, en lugar de las fuentes de voltaje que se muestran, se pueden usar fuentes de corriente correspondientes, y viceversa. Para cualquiera de entre un voltaje o una corriente, se puede usar el término "señal". De esta manera, las corrientes de entrada que se muestran en algunos ejemplos pueden estar constituidas por voltajes de entrada en su lugar, y generalmente están constituidas por señales de entrada.

Ambos términos amplificación y atenuación son utilizados en la descripción; se debe entender que estos términos se refieren a la misma función, siendo una atenuación una amplificación negativa.

La presente invención es implementada, por ejemplo, en un denominado atenuador en modo de corriente tal como, por ejemplo, una célula de Gilbert.

Los pares de transistores que se han explicado en los ejemplos anteriores pueden estar compuestos por cualquier número de transistores que constituyen un grupo de transistores.

## REIVINDICACIONES

1. Un circuito que comprende una primera parte (1a) y una segunda parte (1b), comprendiendo la primera parte (1a) un primer y un segundo par de transistores (2, 3) con emisores comunes, comprendiendo cada uno de los citados pares de transistores (2, 3) un primer transistor (2a, 3a) y un segundo transistor (2b, 3b), **caracterizado porque** la primera parte (1a) comprende además un primer transistor adicional (6a), y todos los emisores en la primera parte (1a) están conectados a una primera entrada (8), en la que los colectores de cada primer transistor (2a, 3a) y del primer transistor adicional (6a) en la primera parte (1a) están conectados a una primera salida (10), en el que la segunda parte (1b) comprende un tercer y un cuarto par de transistores (4, 5) con emisores comunes, comprendiendo cada uno de los citados tercer y cuarto pares de transistores (4, 5) un primer transistor (4a, 5a) y un segundo transistor (4b, 5b), comprendiendo además la segunda parte (1b) un segundo transistor adicional (6b), en el que todos los emisores en la segunda parte (1b) están conectados a una segunda entrada (9), en el que los colectores de cada segundo transistor (4b, 5b) y del segundo transistor adicional (6b) en la segunda parte (1b) están conectados a una segunda salida (11), en el que, además, para cada primer transistor (2a, 3a) en la primera parte (1a), la base está conectada a la base de un segundo transistor correspondiente (4b, 5b) en la segunda parte (1b), y para cada segundo transistor (2b, 3b) en la primera parte (1a), la base está conectada a la base de un primer transistor correspondiente (4a, 5a) en la segunda parte (1b), y en el que las bases de los transistores adicionales (6a, 6b) están conectados, en el que el circuito comprende una primera entrada (8) para una señal de RF de entrada ( $i_{entrada}$ ) y salidas (10, 11) para producir como salida las señales de RF ( $i_{salida1}$ ,  $i_{salida2}$ ), y en el que los colectores de cada segundo transistor (2b, 3b) en la primera parte (1a) y los primeros transistores (4a, 5a) en la segunda parte (1b) están conectados al menos a una de las salidas (10, 11), en el que los citados transistores (2a, 2b; 3a, 3b; 4a, 4b; 5a, 5b; 6a, 6b) están dispuestos para ser polarizados de tal manera que;
 

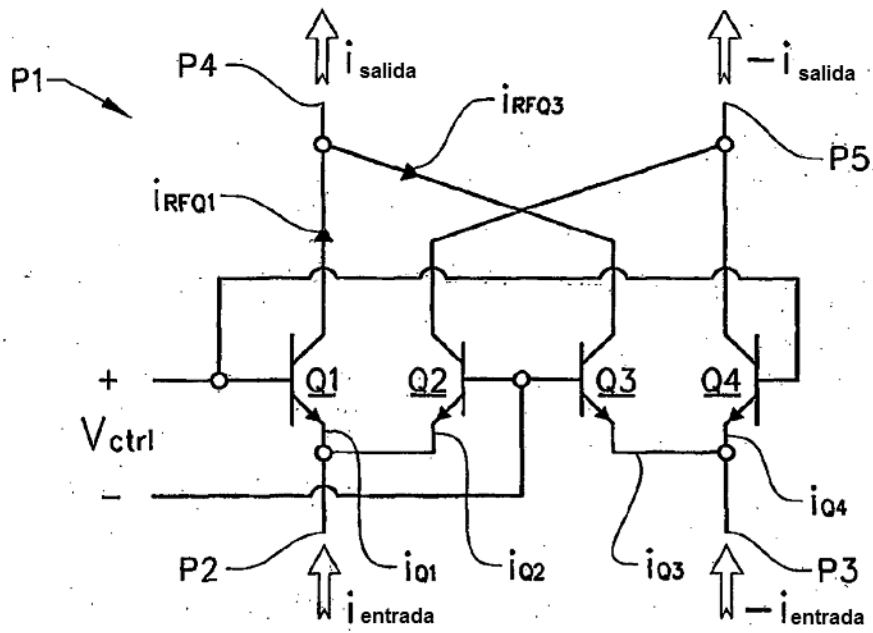
el circuito está dispuesto para ser posicionado en uno de un conjunto de modos discretos, en el que en un primer modo el primer transistor (2a) del primer par de transistores (2) de la primera parte (1a) y el primer transistor (3a) del segundo par de transistores (3) de la primera parte (1a) y el segundo transistor (4b) del tercer par de transistores (4) de la segunda parte (1b) y el segundo transistor (5b) del cuarto par de transistores (5) de la segunda parte (1b) están activados y el segundo transistor (2b) del primer par de transistores (2) de la primera parte (1a) y el segundo transistor (3b) del segundo par de transistores (3) de la primera parte (1a) y el primer transistor (4a) del tercer par de transistores (4) de la segunda parte (1b) y el primer transistor (5a) del cuarto par de transistores (5) de la segunda parte (1b) están desactivados, y

en un segundo modo, el primer transistor (2a) del primer par de transistores (2) de la primera parte (1a) y el primer transistor (3a) del segundo par de transistores (3) de la primera parte (1a) y el segundo transistor (4b) del tercer par de transistores (4) de la segunda parte (1b) y el segundo transistor (5b) del cuarto par de transistores (5) de la segunda parte (1b) están desactivados y el segundo transistor (2b) del primer par de transistores (2) de la primera parte (1a) y el segundo transistor (3b) del segundo par de transistores (3) de la primera parte (1a) y el primer transistor (4a) del tercer par de transistores (4) de la segunda parte (1b) y el primer transistor (5a) del cuarto par de transistores (5) de la segunda parte (1b) están activados, y

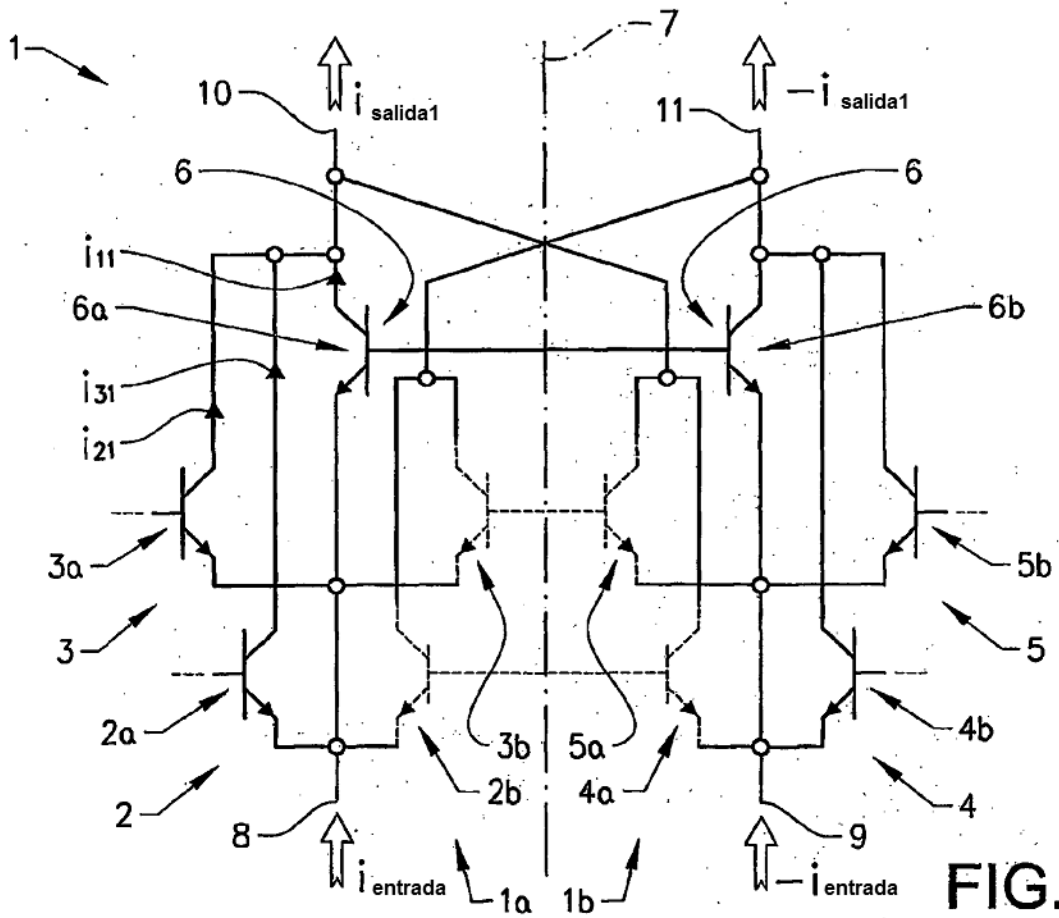
en un tercer modo, el primer transistor (2a) del primer par de transistores (2) de la primera parte (1a) y el segundo transistor (3b) del segundo par de transistores (3) de la primera parte (1a) y el segundo transistor (4b) del tercer par de transistores (4) de la segunda parte (1b) y el primer transistor (5a) del cuarto par de transistores (5) de la segunda parte (1b) están activados y el segundo transistor (2b) del primer par de transistores (2) de la primera parte (1a) y el primer transistor (3a) del segundo par de transistores (3) de la primera parte (1a) y el primer transistor (4a) del tercer par de transistores (4) de la segunda parte (1b) y el segundo transistor (5b) del cuarto par de transistores (5) de la segunda parte (1b) están desactivados, y

en un cuarto modo, el primer transistor (2a) del primer par de transistores (2) de la primera parte (1a) y el segundo transistor (3b) del segundo par de transistores (3) de la primera parte (1a) y el segundo transistor (4b) del tercer par de transistores (4) de la segunda parte (1b) y el primer transistor (5a) del cuarto par de transistores (5) de la segunda parte (1b) están desactivados y el segundo transistor (2b) del primer par de transistores (2) de la primera parte (1a) y el primer transistor (3a) del segundo par de transistores (3) de la primera parte (1a) y el primer transistor (4a) del tercer par de transistores (4) de la segunda parte (1b) y el segundo transistor (5b) del cuarto par de transistores (5) de la segunda parte (1b) están activados.
2. Un circuito de acuerdo con la reivindicación 1, **caracterizado porque** los colectores de cada segundo transistor (3b, 2b) en la primera parte (1a) están conectados a la segunda salida (11) y los colectores de cada primer transistor (4a, 5a) en la segunda parte (1b) están conectados a la primer salida (10).
3. Un circuito de acuerdo con las reivindicaciones 1, **caracterizado porque** los colectores de cada segundo transistor (3b, 2b) en la primera parte (1a) y los colectores de cada primer transistor (4a, 5a) en la segunda parte (1b) están conectados a una línea de salida común (C).

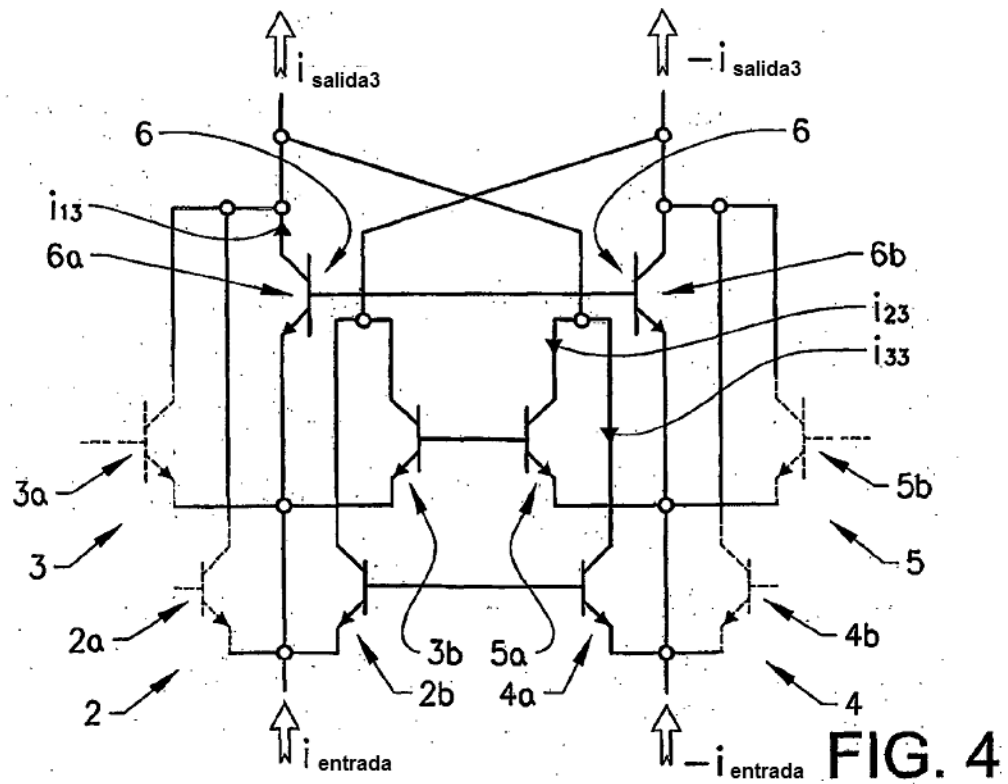
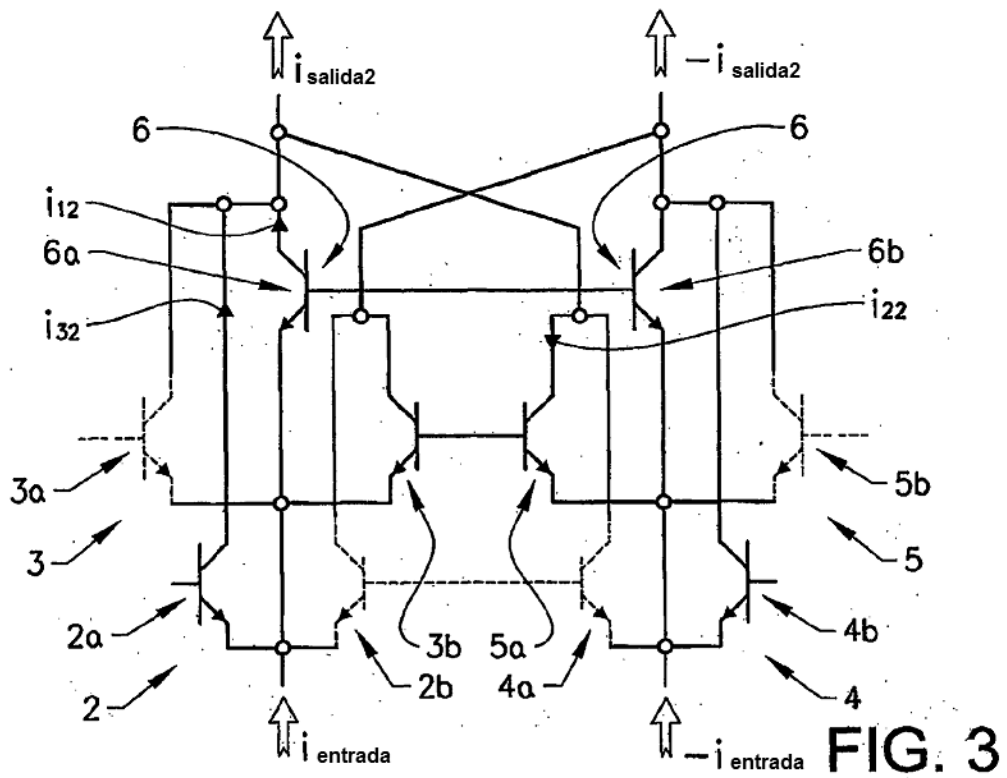
4. Un circuito de acuerdo con la reivindicación 3, **caracterizado porque** la línea de salida común (C) está conectada a un potencial de voltaje (E).
5. Un circuito de acuerdo con una cualquiera de las reivindicaciones 1 a 4, **caracterizado porque** para al menos un par de transistores (2, 3) en la primera parte (1a) y un par de transistores (4, 5) en la segunda parte (1b), en el que la base del primer transistor (2a, 3a) en el citado par de transistores (2, 3) en la primera parte (1a) está conectada a la base del segundo transistor (4b, 5b) en el citado par de transistores (4, 5) en la segunda parte (1b), un voltaje de control ( $V_{ctrl}$ ) tiene una polaridad conectada a la base del primer transistor (2a, 3a) en el citado par de transistores (2, 3) en la primera parte (1a) y a la base del segundo transistor (4b, 5b) en el citado par de transistores (4, 5) en la segunda parte (1b), y la otra polaridad está conectada a la base del segundo transistor (2b, 3b) en el citado par de transistores (2, 3) en la primera parte (1a) y a la base del primer transistor (4a, 5a) en el citado par de transistores (4, 5) en la segunda parte (1b).



**FIG. 1**  
Técnica anterior



**FIG. 2**



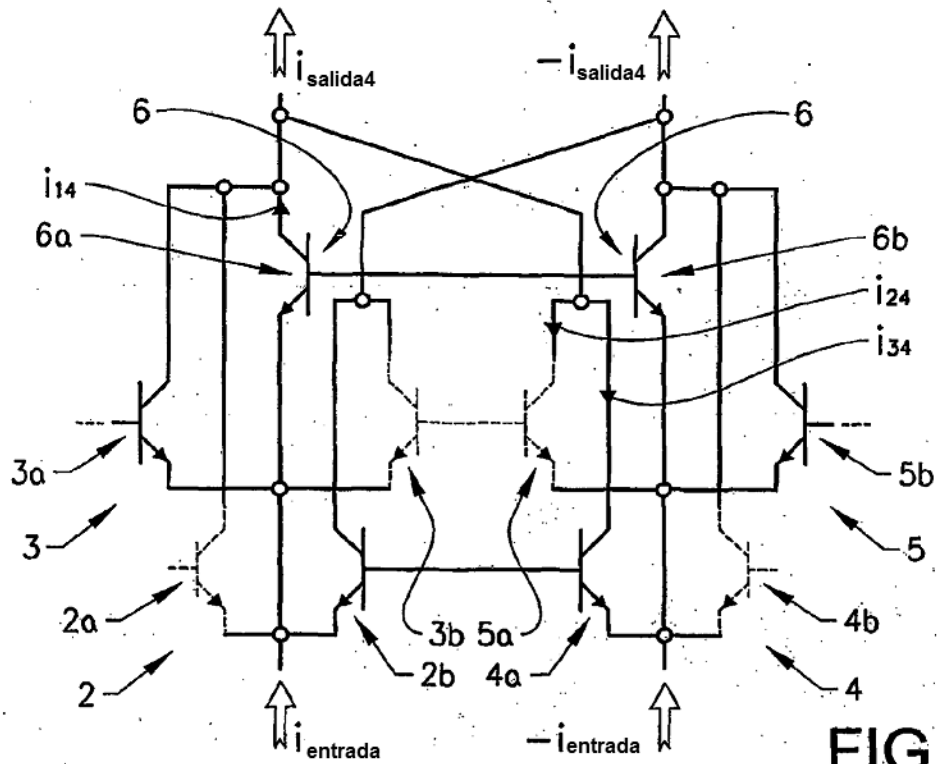


FIG. 5

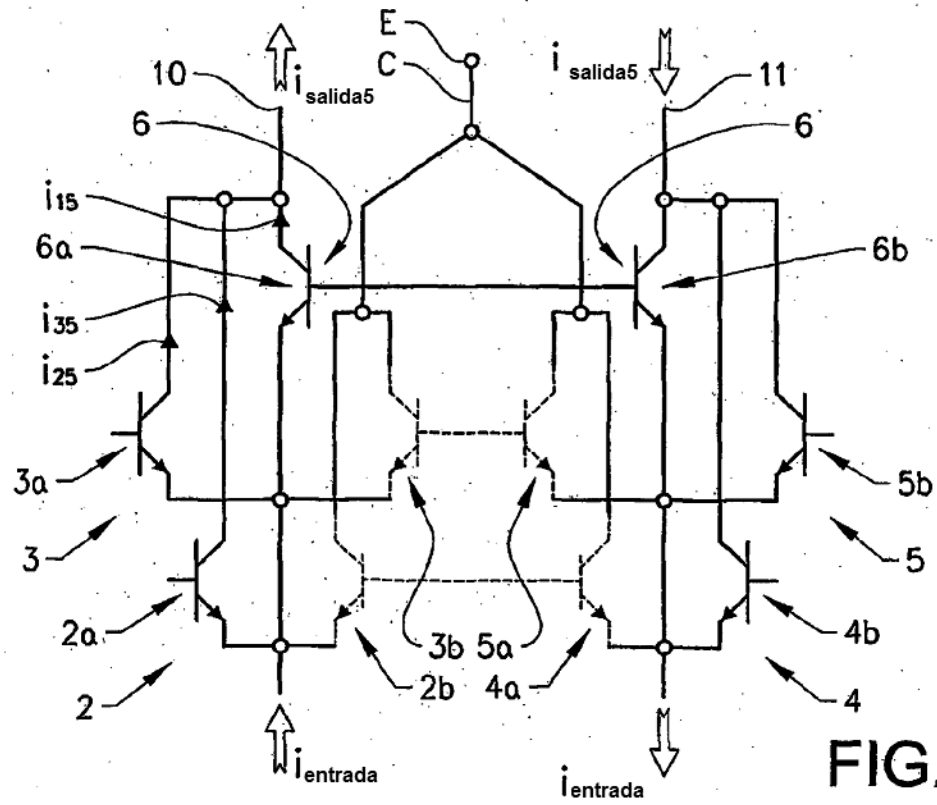
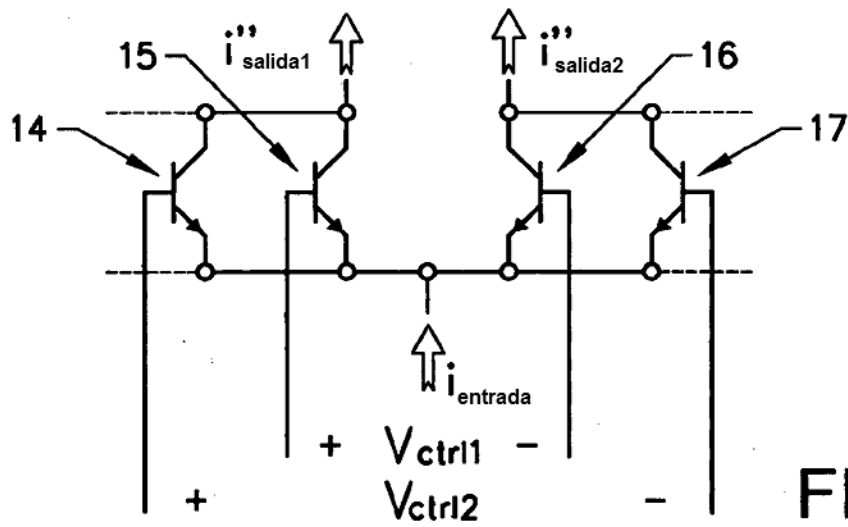
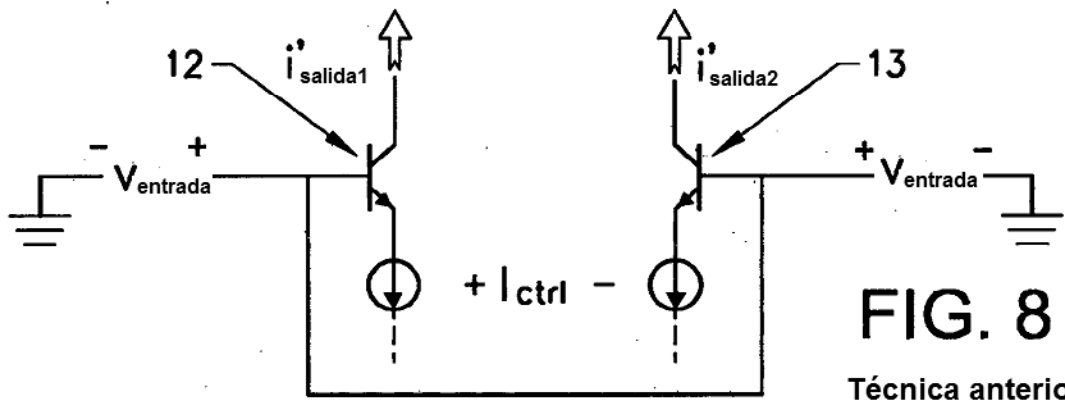
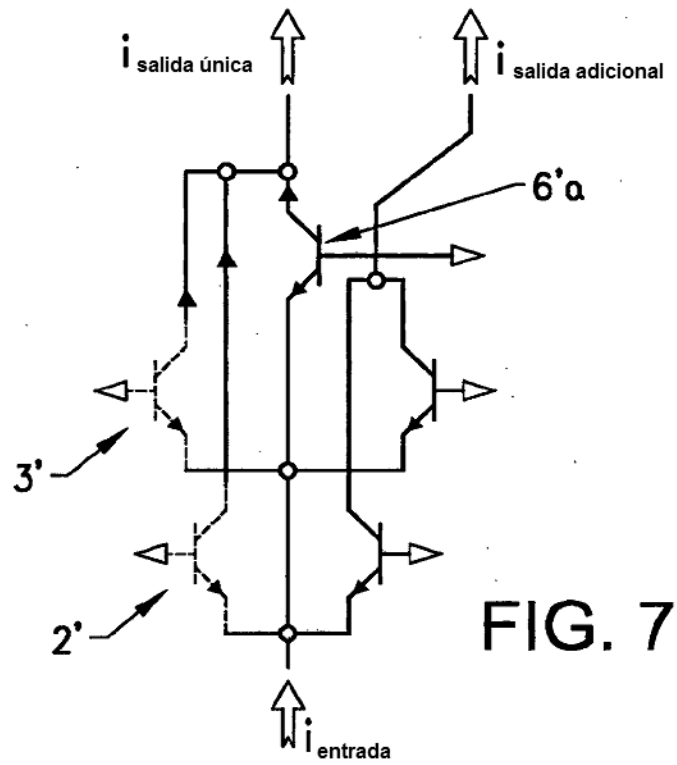


FIG. 6



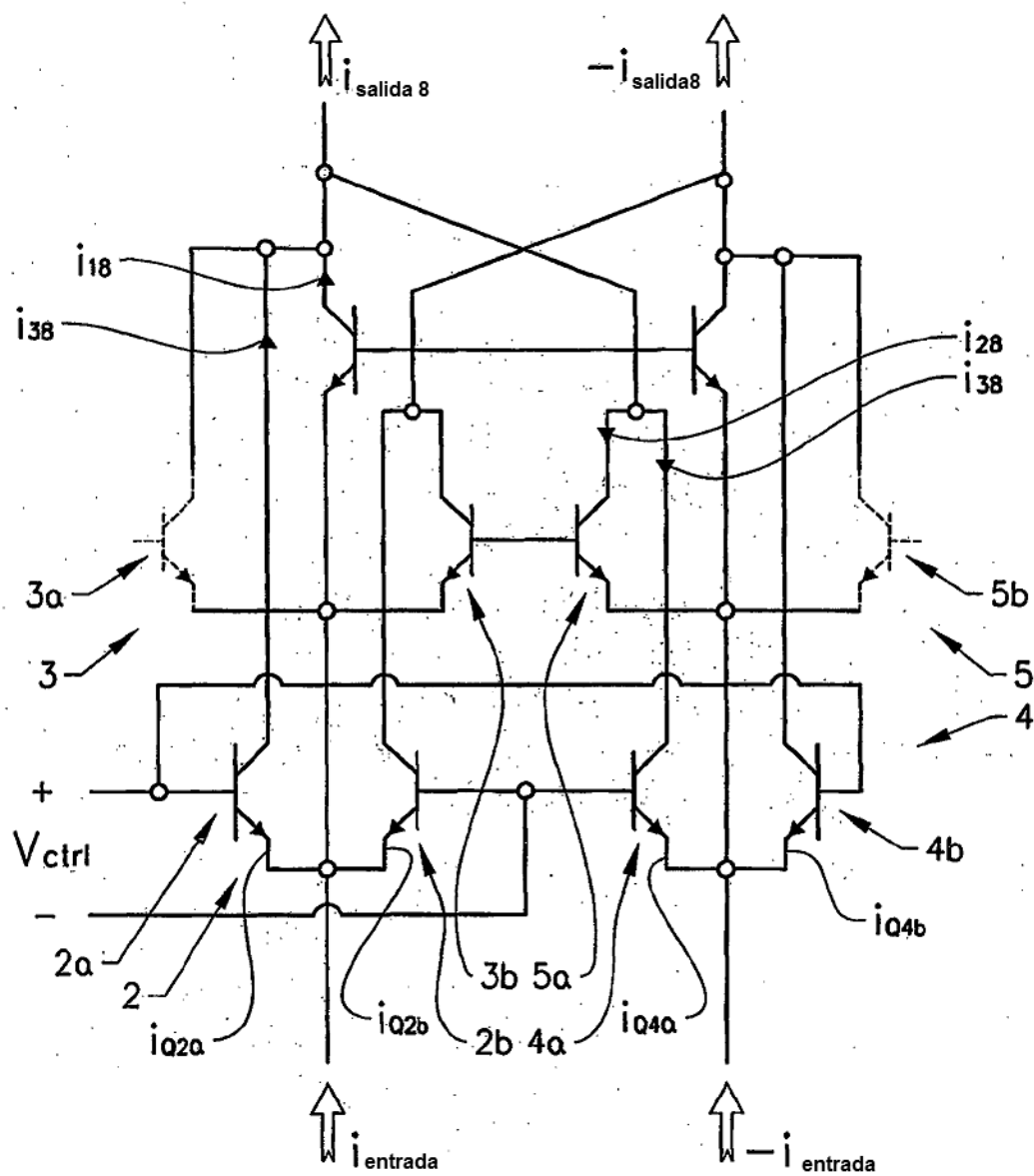


FIG. 10