

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 545 788**

51 Int. Cl.:

H03M 13/25 (2006.01)

H03M 13/11 (2006.01)

H04L 1/00 (2006.01)

H04L 27/34 (2006.01)

H04L 27/04 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **02.03.2009 E 10158889 (5)**

97 Fecha y número de publicación de la concesión europea: **27.05.2015 EP 2254249**

54 Título: **Patrones de permutación de bits para modulación codificada de LDPC y constelaciones de 16QAM**

30 Prioridad:

03.03.2008 IT TO20080154

06.03.2008 IT TO20080173

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

15.09.2015

73 Titular/es:

RAI RADIOTELEVISIONE ITALIANA (S.P.A.)

(100.0%)

Viale Mazzini 14

00195 Roma, IT

72 Inventor/es:

VITALE, GIOVANNI y

MIGNONE, VITTORIA

74 Agente/Representante:

CURELL AGUILÁ, Mireia

ES 2 545 788 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Patrones de permutación de bits para modulación codificada de LDPC y constelaciones de 16QAM.

5 La presente invención se refiere a métodos para el procesado de señales digitales y a sistemas de transmisión/recepción que utilizan dichos métodos.

La invención va dirigida principalmente, aunque no de forma exclusiva, a la recepción y la transmisión de señales de audio y vídeo digitales, en particular aquellas que se ven involucradas en la difusión general (en inglés, "broadcasting") de señales de televisión terrestre digital de segunda generación.

Se conocen varias técnicas para recibir y transmitir señales digitales; a continuación se aporta por ejemplo una lista de seis documentos referentes a los antecedentes tecnológicos de la presente invención.

15 El documento WO 2006/020460 A describe un método para diseñar códigos de LDPC en canales de Múltiples Entradas/Múltiples Salidas dentro de un sistema de distribución de señales digitales, tal como Redes de Área Local inalámbricas, redes Bluetooth y redes inalámbricas de alta velocidad.

El artículo científico de Jia Minli *et al.*: "Enhanced HARQ Schemes Based on LDPC Coded Irregular Modulation", *Proc. IEEE 2007 International Symposium On Microwave, Antenna, Propagation And EMC Technologies for Wireless Communications*, 1 de agosto de 2007, se refiere a una modulación irregular codificada con intercalación de bits y a una modulación irregular codificada con LDPC que comprende esquemas de HARQ (Solicitud automática híbrida de repetición).

25 El documento WO 2006/083233 A describe un método para transmitir/recibir datos que comprenden una pluralidad de bits, en donde se establece una correspondencia de los datos (en inglés, "mapping") con una pluralidad de símbolos de modulación y en donde la señal a modular se codifica de acuerdo con un código de LDPC.

El documento US 2007/033486 A1 describe un sistema de comunicaciones que comprende un aparato de intercalación de canales que usa un código de LDPC, en donde el Intercalador de canales intercala la palabra de código de LDPC de acuerdo con una regla predeterminada, y un modulador modula la palabra de código de LDPC intercalada en el canal obteniendo un símbolo de modulación, con el uso de un esquema de modulación predeterminado.

35 El documento US 2006/0156169 A1 describe una codificación de LDPC y una intercalación en un sistema de comunicaciones de Múltiples Entradas/Múltiples Salidas, en donde se genera una pluralidad de códigos de LDPC irregulares, asociados a esquemas de intercalación seleccionados de manera particular.

El artículo científico de Clevern T. *et al.*: "Iterative Demodulation for DVB-S2" *Proc. Intern. Symposium On Personal, Indoor And Mobile Radio Communications (PIMRC) 2005*, vol. 4, 11 de septiembre de 2005, se refiere a la demodulación iterativa en receptores de acuerdo con la norma DVB-S2, en donde se utiliza una codificación de LDPC.

Para proteger las señales de las distorsiones del canal de transmisión, los sistemas de segunda generación para la difusión general por satélite de banda ancha (DVB-S2) utilizan la codificación de LDPC (Comprobación de Paridad de Baja Densidad) asociada a las modulaciones QPSK, 8PSK, 16APSK y 32APSK (Figura 1), las cuales resultan adecuadas para su transmisión sobre un canal no lineal tal como el de satélite. Se puede hallar una descripción de la norma DVB-S2 y códigos de LDPC, por ejemplo, en "DVB-S2: The Second Generation Standard for Satellite Broad-band Services", de A. Morello, V. Mignone, *Proceedings of the IEEE*, volumen 94, Edición 1, enero de 2006, páginas 210 a 227, y en "Digital Video Broadcasting (DVB); Second generation framing structure, channel coding and modulation systems for Broadcasting, Interactive Services, News Gathering and other broadband satellite applications", ETSI EN 302 307, n.º V1.1.2, 1 de junio de 2006 (1-6-2006). Con la finalidad de aprovechar más adecuadamente la potencialidad de los códigos, la norma DVB-S2 prevé que un intercalador se interponga entre el codificador de LDPC y el módulo de establecimiento de correspondencias de constelaciones 8PSK, 16APSK y 32APSK (en inglés, "constellation mapper") con el fin de lograr una asociación mejorada entre los bits de la palabra codificada y los bits transportados por los puntos de la constelación.

En el intercalador definido en la norma DVB-S2, el paquete codificado al que da salida el codificador de LDPC (formado por un número de bits igual a 16.200 ó 64.800, haciéndose referencia en general a dicho número con el símbolo " N_{FRAME} ") se escribe por columnas en una matriz que tiene N columnas, donde N es el número de bits transportados por la constelación (N es 3 para 8PSK, 4 para 16APSK, 5 para 32APSK), y N_{FRAME}/N filas (Figura 2), y se lee por filas; la lectura tiene lugar de izquierda a derecha para todas las velocidades de código proporcionadas por la norma, con la excepción de la velocidad de 3/5, donde la lectura tiene lugar de derecha a izquierda. La asociación a los puntos o coordenadas de la constelación tiene lugar según se muestra en la Figura 1.

65

Para recibir y transmitir señales numéricas de audio y vídeo involucradas en la difusión general de señales de televisión terrestre digital de segunda generación, se ha considerado recientemente usar el mismo esquema de codificación que el utilizado en la norma DVB-S2, es decir, los mismos códigos de LDPC, aunque asociados a modulaciones de QAM [Modulación de Amplitud en Cuadratura], en particular con las modulaciones QPSK, 16QAM, 64QAM y 256QAM (Figuras 3A a 3D).

El solicitante ha percibido que, con modulaciones QAM, el rendimiento ofrecido por los códigos de LDPC es bueno aunque no totalmente satisfactorio en cuanto a la relación señal/ruido [SNR] necesaria para alcanzar la condición de QEF [Casi Sin Errores]; como es sabido, dicha condición se corresponde con el caso en el que se recibe menos de un error por hora de programa recibido.

El objetivo general de la presente invención es solucionar el problema antes mencionado y, en particular, mejorar la asociación entre los bits a los que da salida el codificador de LDPC y las coordenadas de constelaciones de modulaciones QAM; más particularmente, la presente invención trata sobre la codificación de LDPC con una velocidad de código de 3/5 y con la modulación 16QAM ó 64QAM ó 256QAM.

Dichos objetivos se logran a través de los métodos para procesar señales digitales y los sistemas de transmisión y recepción que presentan las características expuestas en las reivindicaciones adjuntas, cuya intención es constituir una parte integral de la presente descripción.

A continuación se describirá la invención detalladamente en algunos de sus aspectos y formas de realización preferidas, que se proporcionan en la presente a título de ejemplo no limitativo, haciendo referencia a los dibujos adjuntos, en los cuales:

la Figura 1 es una representación esquemática de las constelaciones QPSK, 8PSK, 16APSK y 32APSK incluidas, entre otras, en la norma DVB-S2;

la Figura 2 es un diagrama explicativo del intercalador proporcionado por la norma DVB-S2, en referencia a la modulación 8PSK;

las Figuras 3A a 3D son una representación esquemática de las constelaciones QPSK, 16QAM, 64QAM y 256QAM aplicables a la recepción y transmisión de señales de audio y vídeo implicadas en la difusión general de señales de televisión terrestre digital de segunda generación;

la Figura 4 es un diagrama de bloques altamente simplificado de un sistema para procesar la señal digital moduladora de acuerdo con la presente invención;

la Figura 5 es un diagrama general explicativo del intercalador de la Figura 4;

la Figura 6 es una representación esquemática de la función que lleva a cabo el bloque "Demux" de la Figura 5 según un primer aspecto de la presente invención en relación con la modulación 256QAM;

la Figura 7 es una representación esquemática de la función que lleva a cabo el bloque "Demux" de la Figura 5 de acuerdo con un segundo aspecto de la presente invención en relación con la modulación 256QAM;

la Figura 8 es una representación esquemática de la función que lleva a cabo el bloque "Demux" de la Figura 5 según un tercer aspecto de la presente invención en relación con la modulación 256QAM;

la Figura 9 es una representación esquemática de la función que lleva a cabo el bloque "Demux" de la Figura 5 según un cuarto aspecto de la presente invención en relación con la modulación 256QAM;

la Figura 10 es una representación esquemática de la función llevada a cabo por el bloque "Demux" de la Figura 5 según un quinto aspecto de la presente invención en relación con la modulación 256QAM;

la Figura 11 es una representación esquemática de la función que lleva a cabo el bloque "Demux" de la Figura 5 según un sexto aspecto de la presente invención en relación con la modulación 64QAM;

la Figura 12 es una representación esquemática de la función que lleva a cabo el bloque "Demux" de la Figura 5 según un séptimo aspecto de la presente invención en relación con la modulación 64QAM;

la Figura 13 es una representación esquemática de la función que lleva a cabo el bloque "Demux" de la Figura 5 según una forma de realización de la presente invención en relación con la modulación 16QAM;

la Figura 14 es una representación esquemática de la función que lleva a cabo el bloque "Demux" de la Figura 5 según un noveno aspecto de la presente invención en relación con la modulación 16QAM;

la Figura 15 es una representación esquemática de la función que lleva a cabo el bloque "Demux" de la Figura 5 según un décimo aspecto de la presente invención en relación con la modulación 16QAM;

la Figura 16 es una representación esquemática de la función que lleva a cabo el bloque "Demux" de la Figura 5 según un decimoprimer aspecto de la presente invención en relación con la modulación 16QAM;

Entrando de forma más detallada a continuación en la descripción, la figura 4 muestra esquemáticamente el proceso para asociar los bits del flujo continuo de información de modulación a los puntos o coordenadas de la constelación de modulación QAM.

El bloque "Codificador" recibe el flujo continuo de información de modulación y da salida a un flujo continuo de información codificado, organizado en paquetes compuestos por N_{FRAME} bits, que pueden ser o bien 64.800 ó bien 16.200; el código utilizado es el código de LDPC, en particular el correspondiente a la norma DVB-S2, con una velocidad de código de 3/5.

En el bloque "Intercalador", dichos paquetes se escriben en una matriz de intercalación que tiene un tamaño total N_{FRAME} ; dicha matriz está constituida por $m \times N$ columnas y $N_{FRAME}/(m \times N)$ filas.

El bloque "Demux" lleva a cabo una permutación de los bits recibidos desde el bloque "Intercalador"; dichos bits son recibidos por la matriz de intercalación en grupos de $m \times N$ bits cada vez, donde N es el número de bits transportados por la constelación (N=2 para QPSK, N=4 para 16QAM, N=6 para 64QAM, N=8 para 256QAM), y "m" es un entero superior o igual a 1. El bloque "Demux" los asocia en m grupos de N bits y los permuta de acuerdo con esquemas predeterminados teniendo en cuenta el tipo de modulación (es decir, el nivel de QAM), el código y el tipo de canal de transmisión, y a continuación da salida a los mismos.

El bloque "Módulo de establecimiento de correspondencias" asocia las N-tuplas de bits a los que da salida el bloque "Demux" a los puntos o coordenadas de la constelación, por ejemplo, según se muestra en las Figuras 3B a 3D para modulaciones QAM.

Merece la pena indicar que los bloques mostrados en la Figura 4 son únicamente aquellos que son esenciales para entender la presente invención; por lo tanto, no se debe excluir la presencia de bloques intermedios, por ejemplo, entre el bloque "Demux" y el bloque "Módulo de establecimiento de correspondencias", adaptados para llevar a cabo funciones específicas de procesado de la señal.

La presente invención propone esquemas particulares de permutación que se pueden adoptar para las modulaciones QAM y códigos de LDPC que presentan diferentes velocidades de código proporcionados, por ejemplo, por la norma DVB-S2 en asociación con diferentes tipos de intercalación.

Las formas de realización preferidas de la presente invención se refieren a las modulaciones 16QAM y al código de LDPC con una velocidad de código de 3/5.

La forma de realización preferida de la presente invención utiliza un intercalador que es igual o similar al de la norma DVB-S2 (Figura 2), con un número de bits/columnas en función del tipo de nivel de modulación QAM.

Preferentemente, a continuación esta forma de realización preferida prevé que las N-tuplas de bits a las que da salida el "Demux" se asocien a los puntos de las constelaciones QAM a través del bloque "Módulo de establecimiento de correspondencias" de acuerdo con la denominación usada en la Norma DVB-T (Figuras 3B a 3D).

Según un primer aspecto referente a la modulación 256QAM, en el bloque "Demux" en uso, "m" es igual a 1 (es decir, 8 bits para 256QAM), y por lo tanto las filas de la matriz del bloque "Intercalador" se leen de una en una.

Los N bits introducidos en el bloque "Demux" se permutan tal como se especifica en la Figura 6 (primer aspecto), para una modulación 256QAM codificada con una velocidad de 3/5. Esto significa que, dados los N bits b_0 a b_7 (introducidos en el bloque), los N bits transportados por la constelación de 256QAM y_0 a y_7 (a los que da salida al bloque) se determinan de la manera siguiente:

$$y_0=b_0, y_1=b_6, y_2=b_2, y_3=b_3, y_4=b_4, y_5=b_7, y_6=b_1, y_7=b_5$$

donde b_0 e y_0 son los bits más significativos [MSB], y b_7 e y_7 son los bits menos significativos [LSB].

Como alternativa (segundo aspecto), la presente invención prevé el uso de un intercalador de matriz en forma de una matriz que tiene $2 \times N$ columnas y $N_{FRAME}/(2 \times N)$ filas, que se escribe por columnas desde la parte superior a la inferior y se lee por filas de izquierda a derecha. En este caso, el bloque "Demux" funciona con m igual a 2. Los $2 \times N$ bits introducidos en el bloque "Demux" se permutan tal como se especifica en la Figura 7, para una modulación 256QAM codificada con una velocidad de 3/5, y se asocian a 2 símbolos consecutivos de la modulación 256QAM.

Esto significa que, dados los $2 \times N$ bits b_0 a b_{15} , los $2 \times N$ bits transportados por la constelación de 256QAM y_0 a y_{15} se determinan de la manera siguiente:

$$y_0=b_0, y_1=b_{10}, y_2=b_7, y_3=b_6, y_4=b_{13}, y_5=b_{15}, y_6=b_3, y_7=b_9, \\ y_8=b_{11}, y_9=b_1, y_{10}=b_8, y_{11}=b_5, y_{12}=b_2, y_{13}=b_{14}, y_{14}=b_4, y_{15}=b_{12}$$

donde b_0 e y_0 son los bits más significativos [MSB], y b_{15} e y_{15} son los bits menos significativos [LSB]. De forma más precisa, el bloque "Módulo de establecimiento de correspondencias" recibe los bits y_0 a y_7 en primer lugar, seguidos por los bits y_8 a y_{15} .

Todavía en referencia al caso en el que el bloque "Demux" funciona con m igual a 2, otra permutación ha demostrado resultar ventajosa (tercer aspecto); los $2 \times N$ bits introducidos en el bloque "Demux" se permutan tal como se especifica en la Figura 8, para una modulación 256QAM codificada con una velocidad de $3/5$, y se asocian a 2 símbolos consecutivos de la modulación 256QAM.

Esto significa que, dados los $2 \times N$ bits b_0 a b_{15} , los $2 \times N$ bits transportados por la constelación de 256QAM y_0 a y_{15} se determinan de la manera siguiente:

$$y_0=b_4, y_1=b_6, y_2=b_0, y_3=b_2, y_4=b_3, y_5=b_{10}, y_6=b_{12}, y_7=b_{14}, \\ y_8=b_7, y_9=b_5, y_{10}=b_8, y_{11}=b_1, y_{12}=b_{11}, y_{13}=b_9, y_{14}=b_{15}, y_{15}=b_{13}$$

Todavía en referencia al caso en el que el bloque "Demux" funciona con m igual a 2, otra permutación ha demostrado resultar ventajosa (cuarto aspecto); los $2 \times N$ bits introducidos en el bloque "Demux" se permutan tal como se especifica en la Figura 9, para una modulación 256QAM codificada con una velocidad de $3/5$, y se asocian a 2 símbolos consecutivos de la modulación 256QAM.

Esto significa que, dados los $2 \times N$ bits b_0 a b_{15} , los $2 \times N$ bits transportados por la constelación de 256QAM y_0 a y_{15} se determinan de la manera siguiente:

$$y_0=b_0, y_1=b_{12}, y_2=b_4, y_3=b_6, y_4=b_8, y_5=b_{14}, y_6=b_2, y_7=b_{10}, \\ y_8=b_1, y_9=b_{13}, y_{10}=b_5, y_{11}=b_7, y_{12}=b_9, y_{13}=b_{15}, y_{14}=b_3, y_{15}=b_{11}$$

Finalmente, todavía en referencia al caso en el que el bloque "Demux" funciona con m igual a 2, todavía otra permutación ha demostrado resultar ventajosa (quinto aspecto); los $2 \times N$ bits introducidos en el bloque "Demux" se permutan tal como se especifica en la Figura 10, para una modulación 256QAM codificada con una velocidad de $3/5$, y se asocian a 2 símbolos consecutivos de la modulación 256QAM.

Esto significa que, dados los $2 \times N$ bits b_0 a b_{15} , los $2 \times N$ bits transportados por la constelación de 256QAM y_0 a y_{15} se determinan de la manera siguiente:

$$y_0=b_4, y_1=b_6, y_2=b_0, y_3=b_2, y_4=b_3, y_5=b_{14}, y_6=b_{12}, y_7=b_{10}, \\ y_8=b_7, y_9=b_5, y_{10}=b_8, y_{11}=b_1, y_{12}=b_{15}, y_{13}=b_9, y_{14}=b_{11}, y_{15}=b_{13}$$

Para modulaciones 16QAM ó 64QAM, la presente invención prevé el uso de un intercalador de matriz en forma de una matriz que tiene $2 \times N$ columnas y $N_{FRAME}/(2 \times N)$ filas, que se escribe por columnas desde la parte superior a la inferior y se lee por filas de izquierda a derecha. En este caso, el bloque "Demux" de la Fig. 4 puede funcionar, por ejemplo, con m igual a 2. Los $2 \times N$ bits introducidos en el bloque "Demux" se pueden permutar, por ejemplo, tal como se especifica en la Figura 11 (sexto aspecto), para una modulación 64QAM, y se asocian a 2 símbolos consecutivos de la modulación 64QAM.

Esto significa que, dados los $2 \times N$ bits b_0 a b_{11} , los $2 \times N$ bits transportados por la constelación de 64QAM y_0 a y_{11} se determinan de la manera siguiente:

$$y_0=b_4, y_1=b_6, y_2=b_0, y_3=b_5, y_4=b_8, y_5=b_{10} \\ y_6=b_3, y_7=b_1, y_8=b_7, y_9=b_2, y_{10}=b_{11}, y_{11}=b_9$$

donde b_0 e y_0 son los bits más significativos [MSB], y b_{11} e y_{11} son los bits menos significativos [LSB].

De forma más precisa, el bloque "Módulo de establecimiento de correspondencias" recibe los bits y_0 a y_5 en primer lugar, seguidos por los bits y_6 a y_{11} .

Todavía en referencia al caso de la modulación 64QAM en el que el bloque "Demux" funciona con m igual a 2, otra permutación ha demostrado resultar ventajosa (séptimo aspecto); los $2 \times N$ bits introducidos en el bloque "Demux" se permutan tal como se especifica en la Figura 12 y se asocian a 2 símbolos consecutivos de la modulación 64QAM.

Esto significa que, dados los $2xN$ bits b_0 a b_{11} , los $2xN$ bits transportados por la constelación de 64QAM y_0 a y_{11} se determinan de la manera siguiente:

$$y_0=b_4, y_1=b_6, y_2=b_0, y_3=b_5, y_4=b_8, y_5=b_{10}$$

$$y_6=b_2, y_7=b_1, y_8=b_7, y_9=b_3, y_{10}=b_{11}, y_{11}=b_9$$

En el caso de la modulación 16QAM, los $2xN$ bits introducidos en el bloque "Demux" se pueden permutar, según la forma de realización de la invención, tal como se especifica en la Figura 13 y se asocian a 2 símbolos consecutivos de la modulación 16QAM.

Esto significa que, dados los $2xN$ bits b_0 a b_7 , los $2xN$ bits transportados por la constelación de 16QAM y_0 a y_7 se determinan de la manera siguiente:

$$y_0=b_0, y_1=b_2, y_2=b_3, y_3=b_6, y_4=b_4, y_5=b_1, y_6=b_7, y_7=b_5$$

Todavía en referencia al caso de la modulación 16QAM en el que el bloque "Demux" funciona con m igual a 2, una segunda permutación ha demostrado resultar ventajosa (noveno aspecto); los $2xN$ bits introducidos en el bloque "Demux" se permutan tal como se especifica en la Figura 14 y se asocian a 2 símbolos consecutivos de la modulación 16QAM.

Esto significa que, dados los $2xN$ bits b_0 a b_7 , los $2xN$ bits transportados por la constelación de 16QAM y_0 a y_7 se determinan de la manera siguiente:

$$y_0=b_0, y_1=b_3, y_2=b_2, y_3=b_6, y_4=b_4, y_5=b_1, y_6=b_7, y_7=b_5$$

Todavía en referencia al caso de la modulación 16QAM en el que el bloque "Demux" funciona con m igual a 2, una tercera permutación ha demostrado resultar ventajosa (décimo aspecto); los $2xN$ bits introducidos en el bloque "Demux" se permutan tal como se especifica en la Figura 15 y se asocian a 2 símbolos consecutivos de la modulación 16QAM.

Esto significa que, dados los $2xN$ bits b_0 a b_7 , los $2xN$ bits transportados por la constelación de 16QAM y_0 a y_7 se determinan de la manera siguiente:

$$y_0=b_0, y_1=b_2, y_2=b_3, y_3=b_5, y_4=b_4, y_5=b_1, y_6=b_7, y_7=b_6$$

Todavía en referencia al caso de la modulación 16QAM en el que el bloque "Demux" funciona con m igual a 2, una cuarta permutación ha demostrado resultar ventajosa (undécimo aspecto); los $2xN$ bits introducidos en el bloque "Demux" se permutan tal como se especifica en la Figura 16 y se asocian a 2 símbolos consecutivos de la modulación 16QAM.

Esto significa que, dados los $2xN$ bits b_0 a b_7 , los $2xN$ bits transportados por la constelación de 16QAM y_0 a y_7 se determinan de la manera siguiente:

$$y_0=b_0, y_1=b_3, y_2=b_2, y_3=b_5, y_4=b_4, y_5=b_1, y_6=b_7, y_7=b_6$$

Los métodos antes descritos se pueden usar de forma ventajosa en un sistema para transmitir señales digitales sobre la base de un modulador de 16QAM ó 64QAM ó QAM256, y particularmente en un transmisor de señales digitales de audio/vídeo para la difusión general de señales de televisión terrestre digital.

Tal como resulta evidente para aquellos expertos en la materia, si los métodos antes descritos se aplican en la transmisión, en la recepción tendrán que aplicarse métodos inversos.

Como es sabido, la transmisión de señales de televisión es ejecutada por transmisores de radiofrecuencia, mientras que la recepción de señales de televisión se produce a través de receptores de televisión típicamente instalados en los hogares de los usuarios de los servicios de televisión.

REIVINDICACIONES

1. Método para procesar señales digitales que deben ser enviadas a un modulador de QAM del tipo 16QAM, siendo dichas señales unas señales de audio y vídeo codificadas de acuerdo con un código de LDPC con una velocidad de código de 3/5 en paquetes que comprenden NFRAME bits, siendo dicho código de LDPC con una velocidad de 3/5 el correspondiente de la norma DVB-S2, estando dichos paquetes escritos en una matriz de intercalación por medio de un bloque Intercalador, presentando dicha matriz de intercalación un tamaño total NFRAME y comprendiendo 8 columnas y un número de filas igual a NFRAME dividido por 8, y un bloque Demux lleva a cabo una permutación de bits de los bits recibidos desde dicho bloque Intercalador antes de la función de establecimiento de correspondencias de la constelación, y un bloque Módulo de Establecimiento de Correspondencias asocia los bits a los que da salida dicho bloque Demux a las coordenadas de una constelación de 16QAM, caracterizado por que dicha permutación se lleva a cabo sobre palabras de 8 bits y consiste en generar una palabra Y que comprende los bits y_0 y_1 y_2 y_3 y_4 y_5 y_6 y_7 , en este orden, partiendo de una palabra B que comprende los bits b_0 b_1 b_2 b_3 b_4 b_5 b_6 b_7 , en este orden, siendo los bits y_0 y b_0 , respectivamente, los bits más significativos de las palabras Y y B, y siendo los bits y_7 y b_7 , respectivamente, los bits menos significativos de las palabras Y y B, y en el que:

$$y_0=b_0, y_1=b_2, y_2=b_3, y_3=b_6, y_4=b_4, y_5=b_1, y_6=b_7, y_7=b_5.$$

2. Método según la reivindicación 1, en el que dicho número NFRAME de bits es igual a 64800.

3. Método según la reivindicación 1, en el que dicho número NFRAME de bits es igual a 16200.

4. Sistema para transmitir señales digitales, que comprende un modulador de QAM, caracterizado por que está adaptado para implementar el método según cualquiera de las reivindicaciones 1 a 3.

5. Sistema según la reivindicación 4, que comprende un transmisor de señales digitales de audio/vídeo para difundir de forma general señales de televisión terrestre digital.

6. Método para procesar señales digitales recibidas por un demodulador de QAM del tipo 16QAM, siendo dichas señales unas señales de audio y vídeo codificadas de acuerdo con un código de LDPC con una velocidad de código de 3/5 en paquetes que comprenden NFRAME bits, siendo dicho código de LDPC con una velocidad de 3/5 el correspondiente de la norma DVB-S2, implementando un bloque Desasignador de Correspondencias una función de desasignación de correspondencias de la constelación y asociando las coordenadas de una constelación de 16QAM a unos paquetes correspondientes que comprenden una pluralidad de bits, llevando a cabo un bloque Demux una permutación de bits de dicha pluralidad de bits después de la función de desasignación de correspondencias de la constelación, y en el que un número NFRAME de dichos bits permutados son escritos en una matriz de intercalación por medio de un bloque Desintercalador, presentando dicha matriz de intercalación un tamaño total NFRAME y comprendiendo 8 columnas y un número de filas igual a NFRAME dividido por 8, caracterizado por que dicha permutación se lleva a cabo sobre palabras de 8 bits y consiste en generar una palabra B que comprende los bits b_0 b_1 b_2 b_3 b_4 b_5 b_6 b_7 , en este orden, partiendo de una palabra Y que comprende los bits y_0 y_1 y_2 y_3 y_4 y_5 y_6 y_7 , en este orden, siendo, respectivamente, los bits y_0 y b_0 los bits más significativos de las palabras Y y B, y siendo, respectivamente, los bits y_7 y b_7 los bits menos significativos de las palabras Y y B, en el que:

$$y_0=b_0, y_1=b_2, y_2=b_3, y_3=b_6, y_4=b_4, y_5=b_1, y_6=b_7, y_7=b_5.$$

7. Método según la reivindicación 6, en el que dicho número NFRAME de bits es igual a 64800.

8. Método según la reivindicación 6, en el que dicho número NFRAME de bits es igual a 16200.

9. Sistema para recibir señales digitales, que comprende un demodulador de QAM, caracterizado por que está adaptado para implementar el método según cualquiera de las reivindicaciones 6 a 8.

10. Sistema según la reivindicación 9, que comprende un receptor de señales digitales de audio/vídeo para señales de televisión terrestre digital de difusión general.

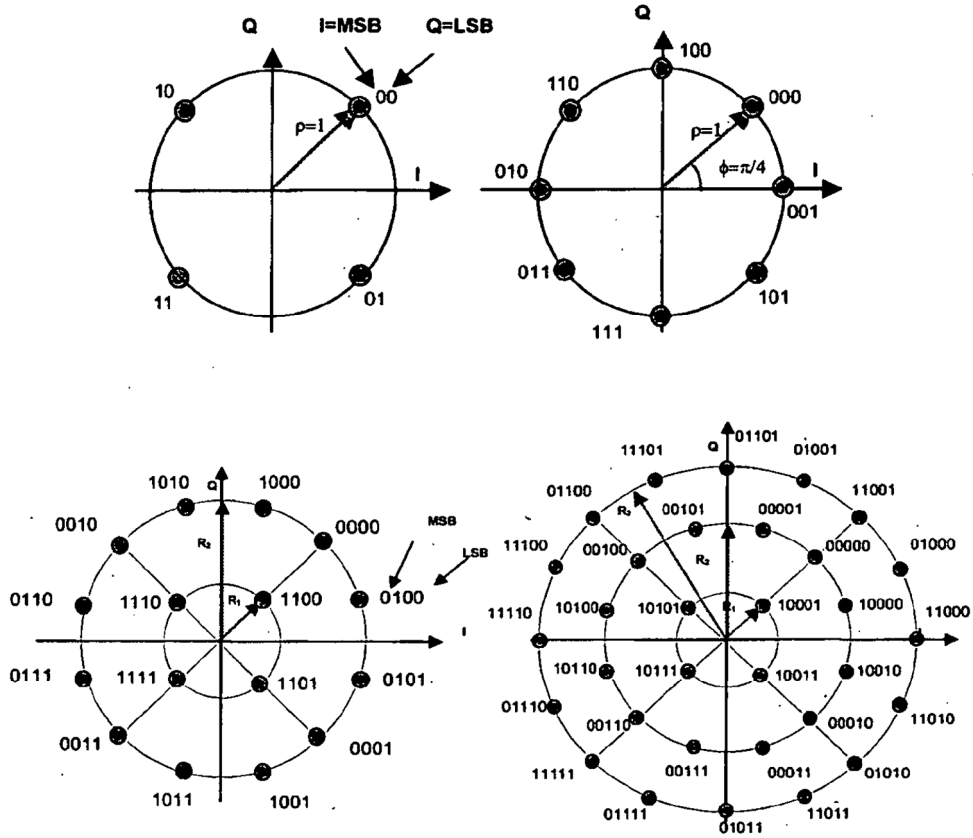


Fig. 1

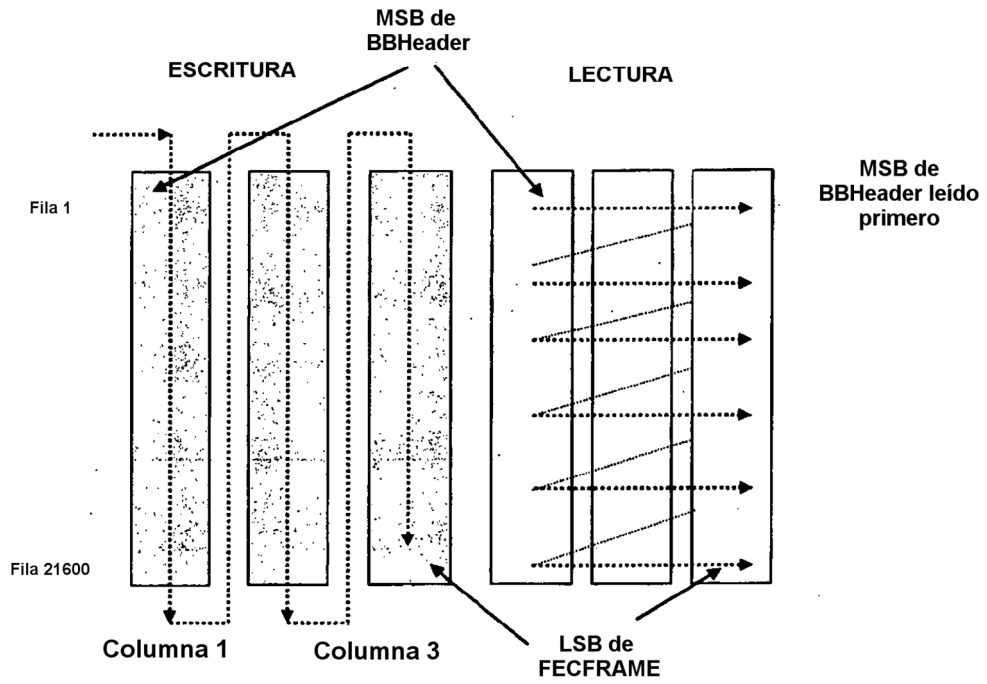


Fig. 2

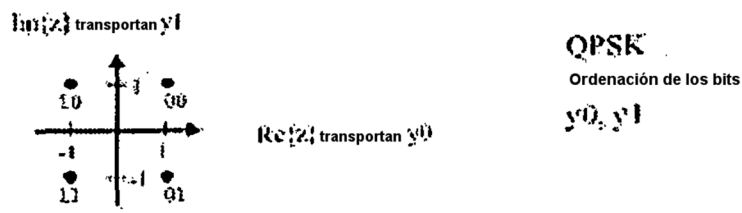


Fig. 3A

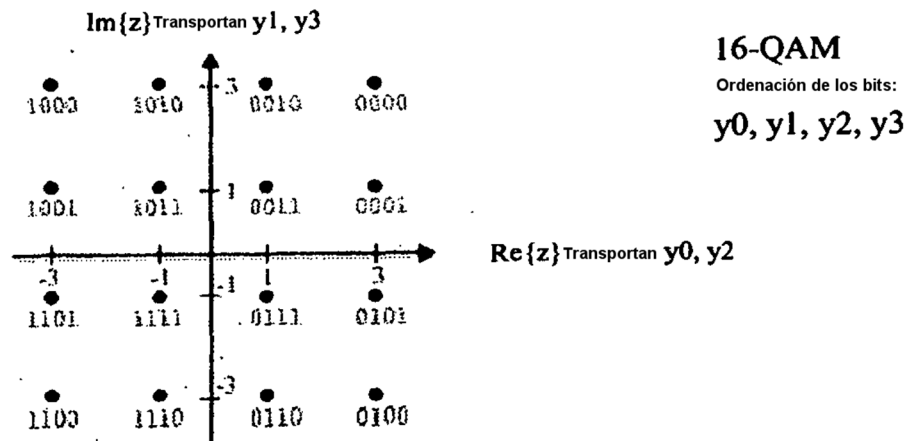


Fig. 3B

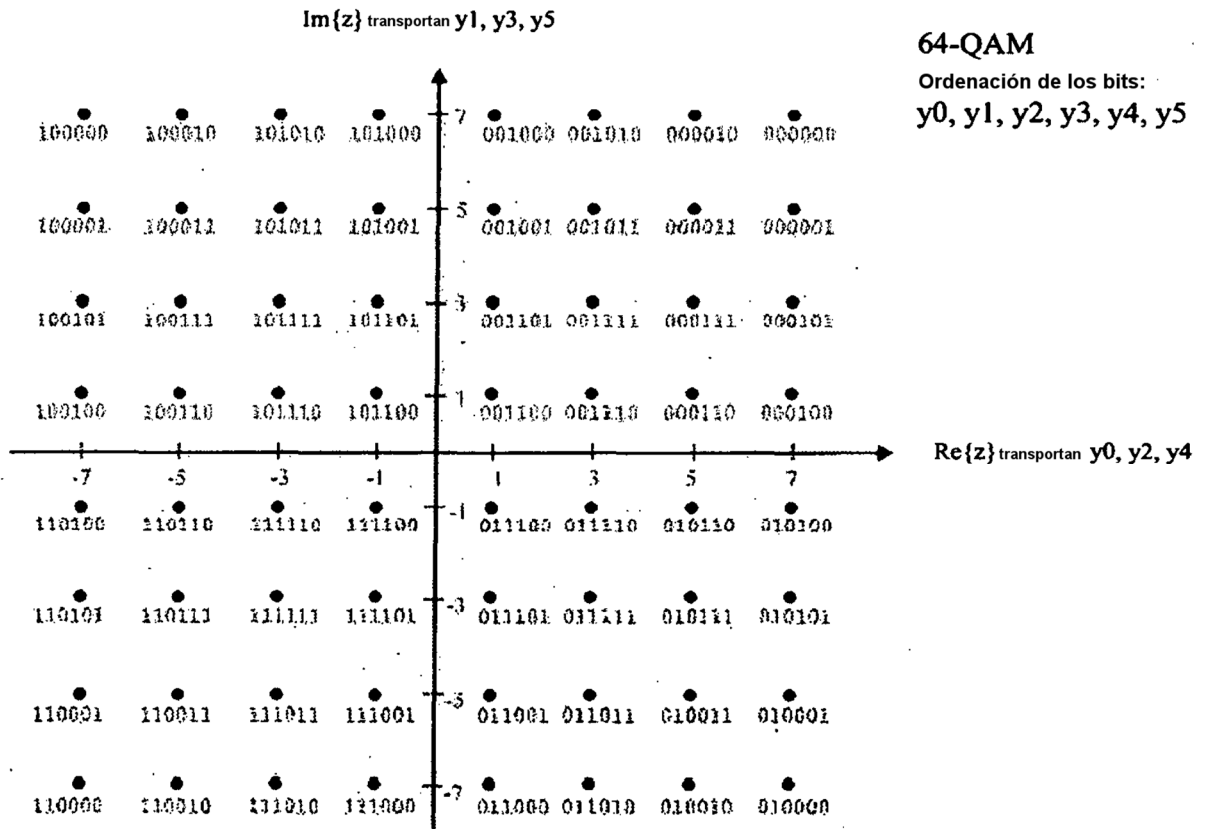


Fig. 3C

256-QAM

Ordenación de los bits:
y0, y1, y2, y3, y4, y5, y6, y7

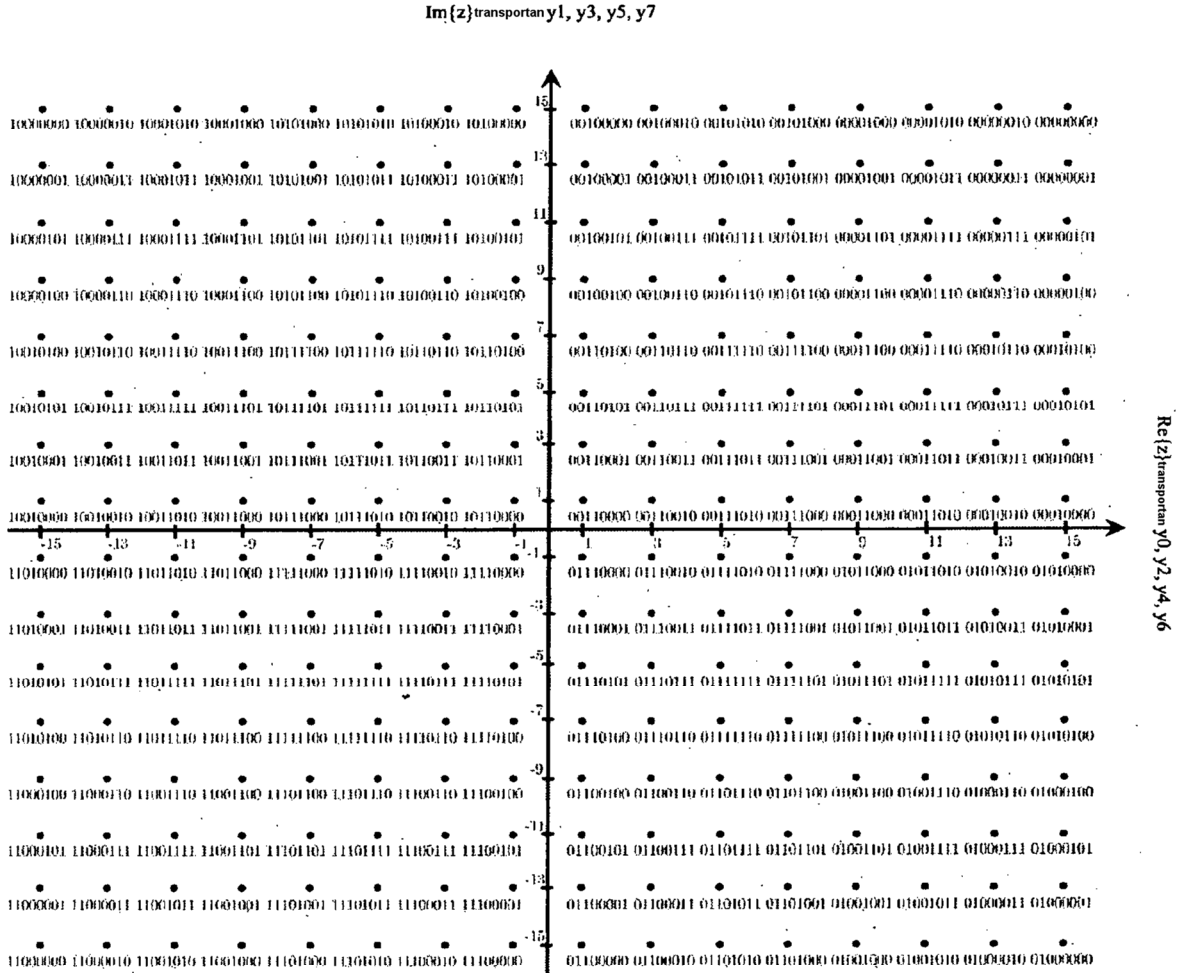


Fig. 3D

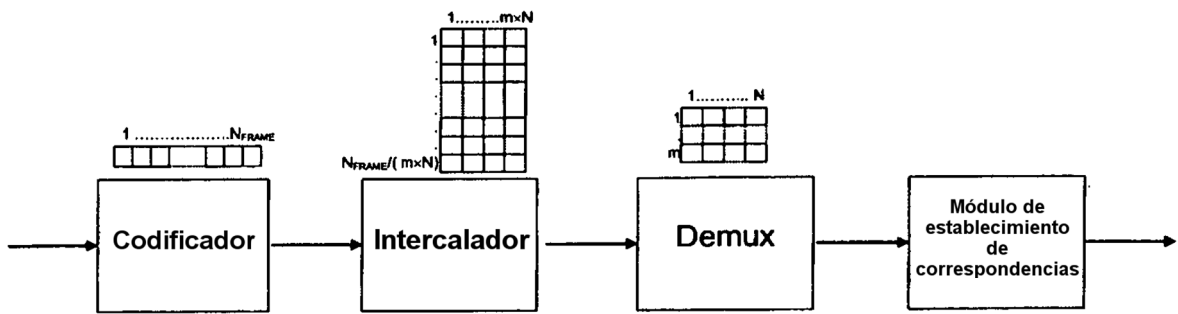


Fig. 4

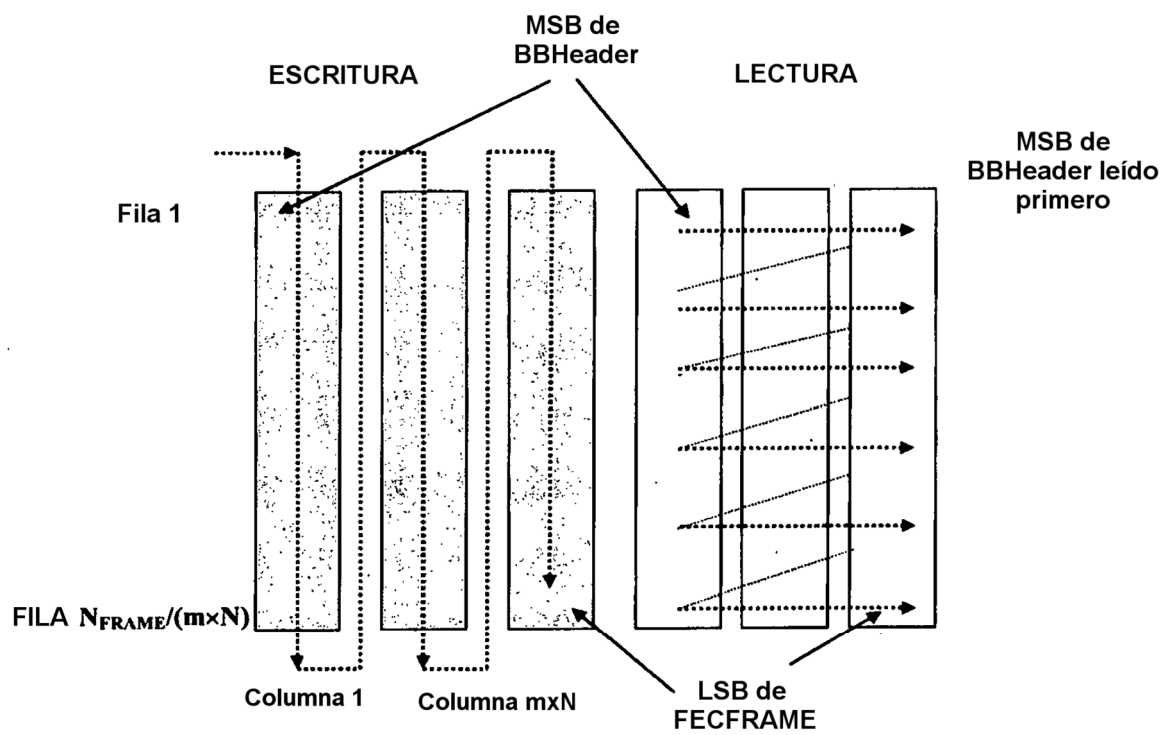


Fig. 5

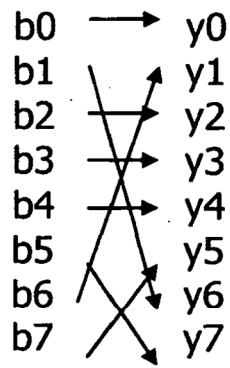


Fig. 6

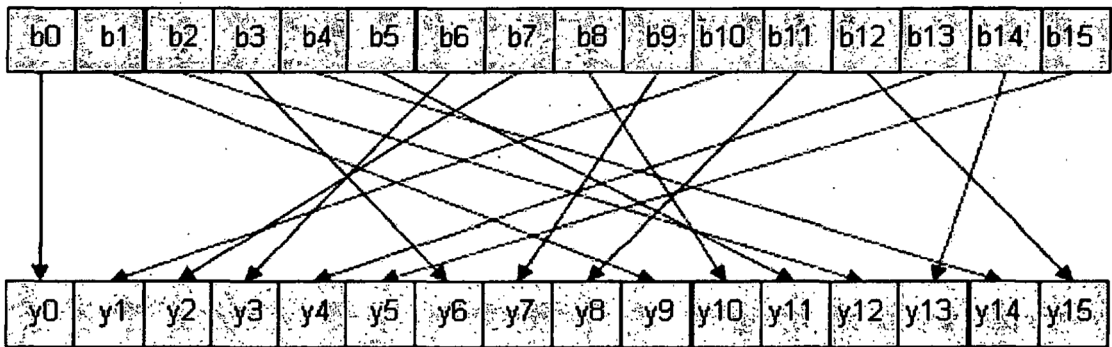


Fig. 7

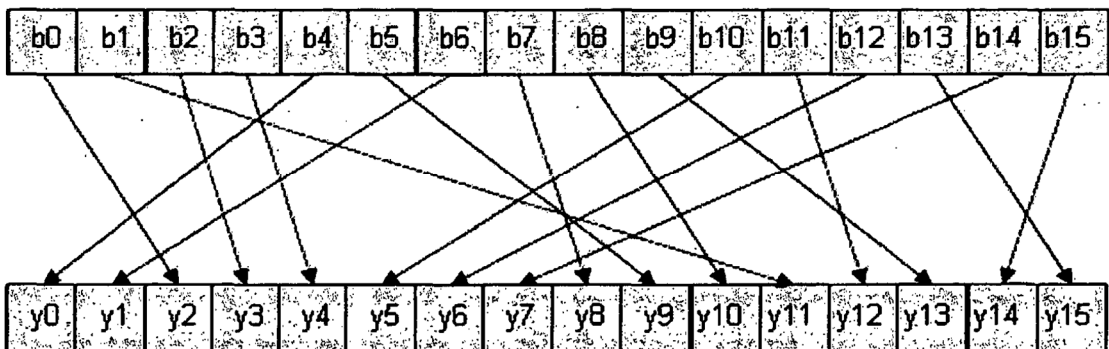


Fig. 8

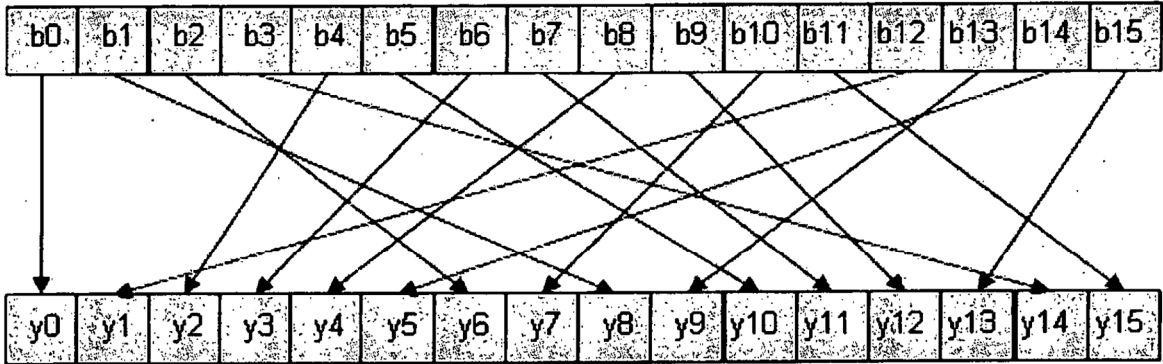


Fig. 9

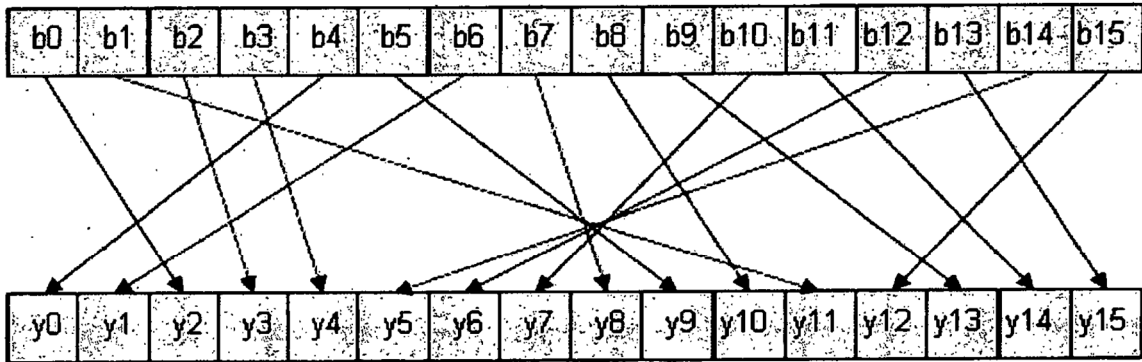


Fig. 10

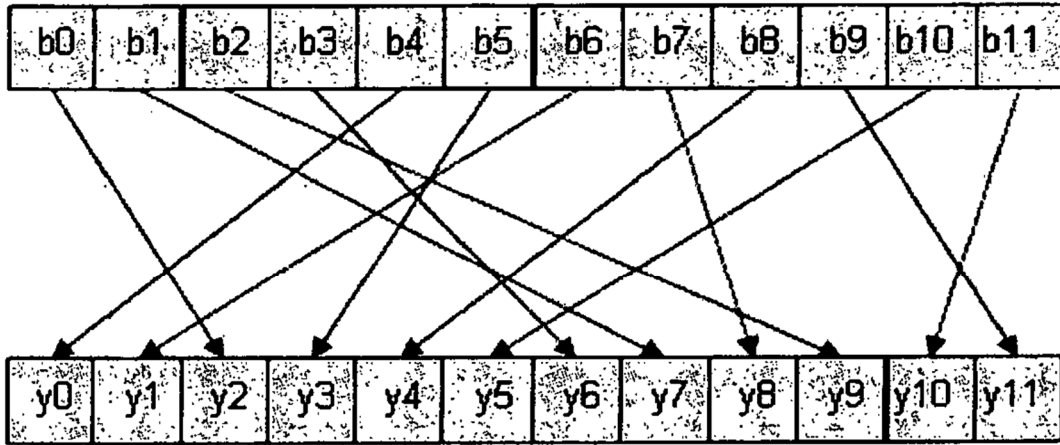


Fig. 11

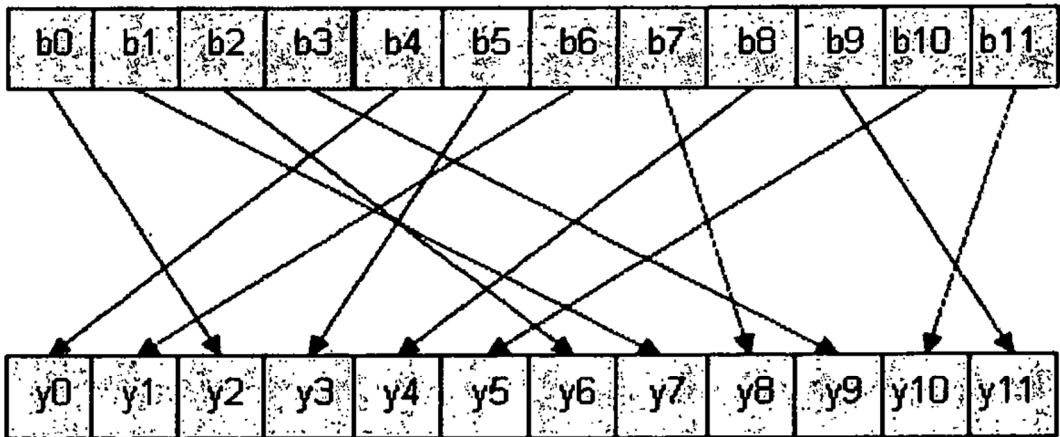


Fig. 12

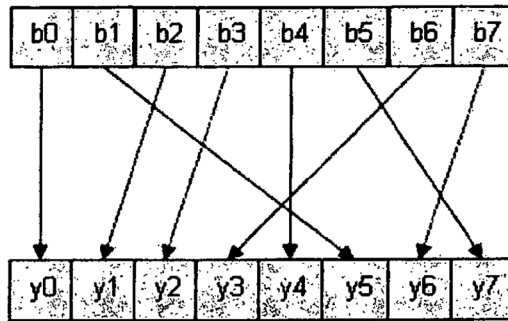


Fig. 13

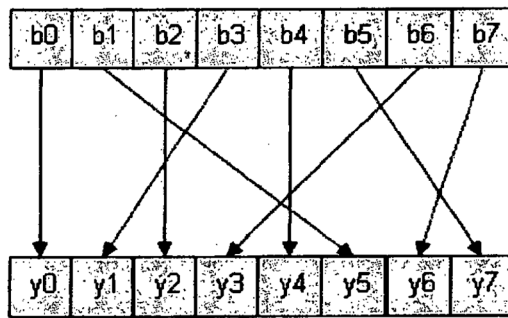


Fig. 14

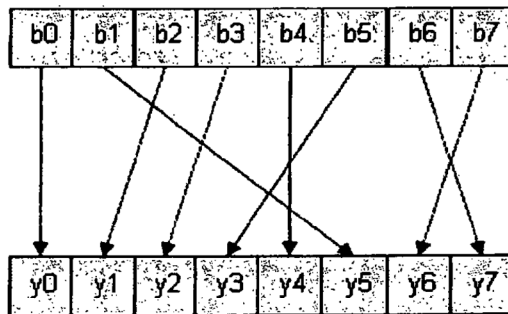


Fig. 15

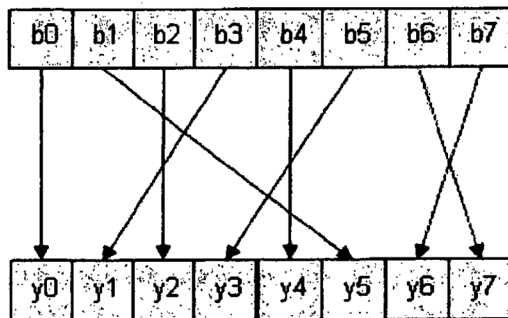


Fig. 16