

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 545 905**

51 Int. Cl.:

H04L 25/49 (2006.01)
H03L 7/087 (2006.01)
H03L 7/091 (2006.01)
H03L 7/113 (2006.01)
H04L 7/033 (2006.01)
H04L 25/45 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **12.04.2005 E 05730375 (2)**

97 Fecha y número de publicación de la concesión europea: **27.05.2015 EP 1737174**

54 Título: **Circuito de transmisión, circuito de recepción, método y sistema de transmisión de datos**

30 Prioridad:

16.04.2004 JP 2004122244
18.10.2004 JP 2004303086
01.03.2005 JP 2005056719

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

16.09.2015

73 Titular/es:

THINE ELECTRONICS, INC. (100.0%)
3-3-6, NIHOMBASHI-HONCHO, CHUO-KU
TOKYO 103-0023, JP

72 Inventor/es:

OZAWA, SEIICHI;
OKAMURA, JUN-ICHI;
ISHIONE, YOHEI y
MIURA, SATOSHI

74 Agente/Representante:

PONS ARIÑO, Ángel

ES 2 545 905 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito de transmisión, circuito de recepción, método y sistema de transmisión de datos

5 **[Campo de la técnica]**

La presente invención se refiere a un circuito de transmisión y un circuito de recepción para transferir datos digitales en paralelo a la vez que se serializan los datos digitales, y a un método de transferencia de datos y un sistema de transferencia de datos que usan los mismos.

10

[Antecedentes de la técnica]

En los últimos años, para la transferencia de datos digitales entre dispositivos, ha habido una demanda creciente de una transferencia en serie a unas velocidades más altas. La transferencia en serie de datos digitales tiene ventajas sobre la transferencia en paralelo de datos digitales, tal como la capacidad de reducir los hilos entre dispositivos tanto como sea posible, permitiendo de este modo una reducción en cuanto al tamaño de los cables de cableado y los conectores, y la capacidad de reducir la diafonía, o similares, debido a la interferencia entre hilos.

15

Por lo general, en la transferencia en serie de datos digitales, el lado de unidad de transmisión convierte datos digitales en paralelo de entrada en unos datos digitales en serie y transmite los datos convertidos a la unidad de recepción. La unidad de recepción recupera datos digitales en paralelo a partir de los datos digitales en serie recibidos.

20

Haciendo referencia a la figura **65**, la figura **65** muestra una configuración de sistema de un sistema de transferencia de datos en serie en la que se serializan y se transfieren unos datos digitales en paralelo. Con cualquiera de (1) acoplamiento eléctrico / de CC, (2) acoplamiento eléctrico / de CA y (3) acoplamiento óptico, los datos en paralelo que se introducen en una unidad de transmisión se codifican por un codificador en un esquema previamente determinado, se convierten en unos datos en serie por un serializador, se amplifican y, a continuación, se transfieren. Los datos en serie que se reciben por la unidad de recepción se amplifican, se convierten en datos en paralelo mediante un circuito de CDRPLL y, a continuación, se descodifican por un descodificador. El acoplamiento de CC es ventajoso ya que es sencillo y es posible transferir unas componentes de baja frecuencia que incluyen componentes de CC, mientras que el acoplamiento de CA es ventajoso ya que el lado de transmisión y el lado de receptor pueden aislarse en cuanto a la CC uno de otro. Los sistemas de comunicaciones ópticas son ventajosos ya que estos prevén una transferencia de larga distancia y de alta velocidad.

25

30

35

En cualquiera de estos casos, cada uno del lado de unidad de transmisión y el lado de unidad de recepción realiza una operación de recuperación a la vez que se consigue de forma individual un sincronismo. Si el grado de sincronismo cae fuera de un determinado intervalo, deja de ser posible recuperar unos datos digitales precisos. Por lo tanto, si se pierde el sincronismo, es necesario volver a ajustar el sincronismo. El documento de patente 1 describe un circuito de recuperación de datos de reloj tal como sigue. Si se pierde el sincronismo, el circuito de recuperación de datos de reloj envía una señal de solicitud para transmitir un reloj de referencia en un modo común al lado de transmisión. Cuando se recibe el reloj de referencia solicitado, el circuito de recuperación de datos de reloj en el lado de receptor conmuta el modo de funcionamiento de un modo de comparación de fase a un modo de comparación de frecuencia y vuelve a ajustar el sincronismo.

40

45

En una pantalla de cristal líquido de matriz activa o una pantalla de plasma, se transfieren en serie datos digitales (véase, por ejemplo, el documento de patente 1). La operación de transferencia en serie convencional se describirá a continuación con referencia a la figura **66** y la figura **67**.

50

Los datos de imagen que se usan en una pantalla de cristal líquido de matriz activa incluyen unos datos de color de RGB Rx, Gx y Bx, y unos datos de sincronización que incluyen DE (habilitación de datos), Hsync (datos de sincronización horizontal) y Vsync (datos de sincronización vertical), tal como se muestra en la figura **66**. La fuente de los datos de imagen emite unos datos de color durante los periodos activos y datos de sincronización durante los periodos de supresión. Obsérvese que Hsync y Vsync permanecen sin cambios en "alto" durante los periodos activos, es decir, mientras que DE = "Alto".

55

La figura **67** muestra un esbozo de un método para codificar unos datos de imagen de m bits para dar unos datos de n bits en una técnica de transferencia en serie de datos digitales que se divulga en el documento de patente 2. En este método de codificación convencional, unos datos de imagen de m bits se codifican de forma diferente en un caso en el que no se transmiten datos de sincronización (la figura **67(A)**) y en un caso en el que se transmiten datos de sincronización (la figura **67(B)**).

60

Con el método de codificación convencional, en un caso en el que no se transmiten datos de sincronización (la figura **67(A)**), unos datos de imagen de m bits de cada píxel se convierten (codifican) en unos datos de imagen en serie de n bits en los que el mismo bit lógico no se repite de forma consecutiva a lo largo de k veces, y los datos obtenidos se transmiten a la vez que se están multiplexando por división en el tiempo. En un caso en el que se transmiten datos

65

de sincronización (la figura **67(B)**), unos datos de imagen de m bits de cada píxel se multiplexan por división en el tiempo y se convierten en unos datos de imagen en serie mediante la adición de un código en serie de $(n - m)$ bits que incluye una cadena de bits de identificación en la que el mismo bit lógico se repite de forma consecutiva k veces, y los datos obtenidos se transmiten a la vez que se están multiplexando por división en el tiempo. En el presente documento, m , n y k satisfacen la relación $m < n$ y $k < (n - m)$. De esta forma, pueden transmitirse / recibirse datos de sincronización y datos de imagen en paralelo de entrada a través de un único canal sin interrumpir la operación de transmisión / recepción.

[Documento de patente 1] Patente de los Estados Unidos con N° 6.069.927

[Documento de patente 2] Publicación de patente abierta a inspección pública de Japón con N° H9-168147

No obstante, con el método del documento de patente 1, el lado de unidad de recepción requiere una unidad de accionamiento de modo común y el lado de transmisión requiere un circuito de detección de tensión de modo común, dando como resultado de este modo problemas tales como que la calidad del canal sea bajada por la capacidad parásita, el ruido, etc., que tienen lugar debido a estos circuitos adicionales. Si este método se aplica a las comunicaciones ópticas, debido a que este requiere unas comunicaciones de dúplex completo, es necesario usar dos fibras ópticas o transferir datos en una transferencia de WDM (*wavelength division multiplexing*, multiplexación por división en la longitud de onda), aumentando de este modo el coste en uno u otro caso.

Además, con sistemas convencionales tal como se ha descrito en lo que antecede, es necesario realizar una operación de toma de contacto usando una señal de entrenamiento y una señal de acuse de recibo entre la unidad de transmisión y la unidad de recepción. Además, con los sistemas convencionales, las frecuencias de reloj que pueden recuperarse por la CDR en el lado de unidad de recepción están limitadas en general dentro de un intervalo de frecuencia estrecho previamente determinado. Esto es debido a que el circuito de extracción de reloj de la unidad de recepción usa una señal de reloj que se recibe a partir de un oscilador de cuarzo interno o un oscilador externo como un reloj de referencia, y el circuito de extracción de reloj solo puede extraer el reloj en un intervalo de frecuencia cerca del reloj de referencia. Por lo tanto, si la tasa de transferencia para los datos en serie a partir del lado de unidad de transmisión cambia, el lado de receptor no puede extraer el reloj, no pudiendo de este modo recuperar los datos.

Con el método de codificación que se describe en el documento de patente 2, no es posible reducir lo bastante la aparición de errores en la recuperación (extracción) del reloj cuando se convierten datos en serie en datos en paralelo, tal como se describirá en lo sucesivo.

Si hay una pluralidad de flancos de subida dentro de un símbolo de datos en serie, el reloj puede no recuperarse al estado original cuando se deserializan datos en el lado de unidad de recepción. En el presente documento, la expresión "un símbolo" se refiere a un bloque de datos en serie que está delimitado por flancos de subida o flancos de bajada que tienen el mismo periodo que el de los datos de entrada o un periodo que es un múltiplo entero del de los datos de entrada.

La operación de recuperación de reloj se describirá a continuación. La figura **1** es un diagrama de temporización que muestra cómo el reloj se recupera en el lado de unidad de recepción a partir de unos datos en serie A en los que un símbolo incluye unos datos A1, A2, A3, ... (la figura **1(A)**), y unos datos en serie B en los que un símbolo incluye unos datos B1 (la figura **1(B)**). En los datos en serie A que se muestran en la figura **1(A)**, hay una pluralidad de flancos de subida y flancos de bajada dentro de un símbolo. En los datos en serie B que se muestran en la figura **1(B)**, hay solo un flanco de subida y solo un flanco de bajada dentro de un símbolo.

Cuando el punto en el tiempo sobre la base del cual se consigue un sincronismo para recuperar el reloj a partir de los datos en serie A se establece para que sea un punto A 1, es decir, el flanco de subida de los datos, el circuito puede no conseguir un sincronismo para la recuperación de reloj en el punto A1 debido al deterioro de forma de onda de los datos, la fluctuación de fase, etc. Si este no consigue un sincronismo para la recuperación de reloj en el punto A1, un sincronismo para la recuperación de reloj puede conseguirse en otros puntos no previstos tales como un punto A2 o A3, que son flancos de subida, caso en el cual el reloj no puede recuperarse normalmente. Esto puede tener lugar debido a que hay una pluralidad de flancos de subida dentro de un símbolo como en los datos en serie A.

Esto se describirá a continuación con mayor detalle con referencia a la figura **2(A)** y la figura **2(B)**. La figura **2(A)** muestra unos datos en serie C que incluyen los datos digitales C1 a C6. La figura **2(B)** muestra unos datos en serie D que incluyen los datos digitales D1 y D2 y que tienen una estructura de datos diferente de la de los datos en serie C. Se supone en el presente documento que la escala de tiempo es la misma para ambos datos en serie.

Con los datos digitales C 1 a C6 de los datos en serie C y los datos digitales D 1 y D2 de los datos en serie D, una comparación entre la anchura de impulso de C3 y la de D1 muestra que la anchura de impulso de D1 es más grande que la de C3. Por lo tanto, el número de flancos de subida y flancos de bajada de los datos en serie C es más grande que el número de flancos de subida de los datos en serie D.

Cerca de una transición (cerca del flanco de subida o el flanco de bajada) de los datos digitales C 1 a C6 en los datos en serie C que se muestran en la figura **2(A)**, hay una posibilidad aumentada de errores de muestreo debido al deterioro de forma de onda de los datos digitales, la fluctuación de fase, etc. Por otro lado, cada uno de los datos digitales D 1 y D2 en los datos en serie D que se muestran en la figura **2(B)** tiene una longitud de datos relativamente larga, y los datos conservan el mismo valor de bit a lo largo de un tiempo relativamente largo, reduciendo de forma significativa de ese modo la posibilidad de errores de muestreo. Dicho de otra forma, con el fin de reducir los errores de muestreo de los datos en serie, se prefiere usar una estructura de datos en la que hay menos flancos de subida en los datos digitales.

Los inventores de la presente invención supusieron que con las técnicas de transferencia en serie convencionales tal como se ha descrito en lo que antecede, si hay una pluralidad de flancos de subida dentro de un símbolo de datos en serie, un flanco de subida puede reconocerse de forma errónea como un límite de símbolo, dando lugar de este modo a una falta de sincronización, lo que ha sido un obstáculo para la consecución de una reducción suficiente en los errores que tienen lugar en la operación de recuperación de reloj cuando se convierten datos en serie en datos en paralelo.

Cuando el reloj se recupera a partir de los datos en serie B en los que hay solo un flanco de subida dentro de un símbolo tal como se muestra en la figura **1(B)**, si el punto en el tiempo sobre la base del cual se consigue un sincronismo para recuperar el reloj se establece para que sea un punto B1, la posibilidad de errores que tienen lugar en la operación de recuperación de reloj se reduce incluso si hay un deterioro de forma de onda de los datos digitales, fluctuaciones de fase, etc., debido a que hay solo un flanco de subida dentro de un símbolo.

El documento GB 2 313 746 divulga un método y sistema de transferencia de datos digitales, en los que se transfiere en serie una palabra de datos precedida por un símbolo de sincronización que comprende una secuencia particular de impulsos de una anchura fija.

La presente invención se define en las reivindicaciones independientes. En las reivindicaciones dependientes se exponen realizaciones particulares.

[Breve descripción de los dibujos]

La figura **1** es un diagrama que muestra unos datos en serie en los que hay una pluralidad de flancos de subida dentro de un símbolo, y un diagrama que muestra unos datos en serie en los que hay solo un flanco de subida dentro de un símbolo.

La figura **2** son unos diagramas que muestran unos datos digitales de diferentes longitudes de datos.

La figura **3** es un diagrama que muestra un circuito de transmisión de datos digitales y un circuito de recepción de acuerdo con una realización de la presente invención, y el concepto de un método de transferencia de datos digitales y un sistema de transferencia de datos digitales de acuerdo con una realización de la presente invención.

La figura **4** son unos diagramas que muestran un esbozo de unos datos en serie de acuerdo con una realización de la presente invención.

La figura **5** es un diagrama que muestra una configuración de circuito de una unidad de transmisión de acuerdo con una realización de la presente invención.

La figura **6** es un diagrama de bloques de circuito que muestra un primer circuito de codificación **2504a** de acuerdo con una realización de la presente invención.

La figura **7** es un diagrama que muestra una configuración de circuito de un circuito lógico combinado **2504a-1** de acuerdo con una realización de la presente invención.

La figura **8** es un diagrama de circuito y una tabla de funcionamiento de un primer circuito de codificación de acuerdo con una realización de la presente invención.

La figura **9** es un diagrama de flujo que muestra un método de codificación de acuerdo con un ejemplo de la presente invención.

La figura **10** es un diagrama que muestra una configuración de circuito de una unidad de recepción de acuerdo con una realización de la presente invención.

La figura **11** es un diagrama de circuito que muestra un primer circuito de descodificación **2524a** de acuerdo con una realización de la presente invención.

La figura **12** es un diagrama de circuito que muestra un segundo circuito de descodificación **2524b** de acuerdo con una realización de la presente invención.

La figura **13** es un diagrama de circuito que muestra un circuito de identificación de primer/segundo descodificador **2524c** de acuerdo con una realización de la presente invención.

La figura **14** es un diagrama de flujo que muestra un método de descodificación de acuerdo con una realización de la presente invención.

La figura **15** es un diagrama de circuito y un diagrama de funcionamiento de un filtro de DE de acuerdo con una realización de la presente invención.

La figura **16** es un diagrama de bloques de soporte físico que muestra una configuración de circuito de un circuito de extracción de reloj que es un circuito de recepción de la presente invención.

La figura **17** es un diagrama que muestra una estructura de datos en serie para una línea de presentación visual

de imagen.

La figura **18** es un diagrama que muestra la relación entre el número de subidas de datos en serie en un periodo de supresión y el periodo T_{vco} de un oscilador controlado por tensión.

5 La figura **19** es un diagrama que muestra la relación entre el número de subidas de datos en serie en un periodo activo y el periodo de un oscilador controlado por tensión.

La figura **20** es un diagrama de flujo que muestra un proceso de extracción de un reloj.

La figura **21** es un diagrama de bloques de soporte físico que muestra una configuración de circuito de un circuito de oscilación controlado por tensión, y un diagrama que muestra la relación temporal entre diferentes relojes.

10 La figura **22** es un diagrama de temporización que muestra unos datos en serie de una señal de entrada / salida de un muestreador y unos relojes secundarios, y un diagrama de temporización que muestra unos resultados de muestreo.

La figura **23** es un diagrama de bloques de soporte físico que muestra una configuración de circuito de un circuito de determinación de recuento de flancos.

15 La figura **24** es un diagrama de bloques de soporte físico que muestra una configuración de circuito de un circuito de detección de flanco, y un diagrama de temporización que muestra unas señales de entrada / salida.

La figura **25** es un diagrama de bloques de soporte físico que muestra una configuración de circuito de un circuito de detección de diferencia de frecuencia.

20 La figura **26** es un diagrama de bloques de soporte físico que muestra una configuración de circuito de un temporizador, y un diagrama de temporización que muestra diferentes señales.

La figura **27** es un diagrama de bloques de circuito que muestra una configuración de una bomba de carga.

La figura **28** es un diagrama de bloques de soporte físico que muestra una configuración de circuito de un circuito de control, un diagrama de temporización del mismo, y un diagrama de transiciones de estado que muestra una operación de control del mismo.

25 La figura **29** es una gráfica que muestra unas transiciones con el tiempo de la frecuencia de un oscilador controlado por tensión en un proceso de extracción de reloj.

La figura **30** es un diagrama que ilustra un error de datos que tiene lugar en una transferencia en serie de datos digitales.

La figura **31** es un diagrama que ilustra una transferencia en serie de datos digitales sin error de datos alguno.

30 La figura **32** es un diagrama de flujo que muestra un método de codificación de acuerdo con un ejemplo de la presente invención.

La figura **33** es un diagrama de configuración de circuito que muestra un circuito de codificación de acuerdo con un ejemplo de la presente invención.

La figura **34** es un diagrama de configuración de circuito que muestra una función de evaluación de acuerdo con un ejemplo de la presente invención.

35 La figura **35** es un diagrama de flujo que muestra un método de codificación de acuerdo con un ejemplo de la presente invención.

La figura **36** es un diagrama de bloques de soporte físico que muestra una configuración de circuito de un circuito de lazo de enganche de fase de recuperación de datos de reloj **2600** de acuerdo con un ejemplo de la presente invención.

40 La figura **37** es un diagrama de bloques de circuito que muestra un circuito de ajuste fino / comparación de frecuencia **80** de acuerdo con un ejemplo de la presente invención.

La figura **38** es un diagrama que muestra una configuración de circuito de un circuito de extracción de flancos **80a** de acuerdo con un ejemplo de la presente invención.

45 La figura **39** es un diagrama que muestra una configuración de circuito de un circuito de estimación de inicio / detención **80b** de acuerdo con un ejemplo de la presente invención.

La figura **40** es un diagrama que muestra una configuración de circuito de un circuito de detección de frecuencia **80c** de acuerdo con un ejemplo de la presente invención.

La figura **41** es un diagrama que muestra una configuración general de una unidad de transmisión **3000** de acuerdo con un ejemplo de la presente invención.

50 La figura **42** es un diagrama que muestra una configuración de circuito de un circuito de detección de CDR **3000** de acuerdo con un ejemplo de la presente invención.

La figura **43** es un diagrama que muestra una configuración de circuito de un primer circuito de codificación de acuerdo con un ejemplo de la presente invención.

55 La figura **44** es un diagrama que muestra unos datos digitales en serie de acuerdo con un ejemplo de la presente invención.

La figura **45** es un diagrama que muestra un ejemplo de la presente invención.

La figura **46** es un diagrama que muestra un ejemplo de la presente invención.

La figura **47** es un diagrama que muestra una unidad de transmisión de acuerdo con un ejemplo de la presente invención.

60 La figura **48** es un diagrama que muestra un circuito de codificación de acuerdo con un ejemplo de la presente invención.

La figura **49** es un diagrama que muestra una unidad de recepción de acuerdo con un ejemplo de la presente invención.

65 La figura **50** es un diagrama que muestra un circuito de descodificación de acuerdo con un ejemplo de la presente invención.

La figura **51** es un diagrama que muestra una unidad de transmisión de acuerdo con un ejemplo de la presente

invención.

La figura 52 es un diagrama que muestra un ejemplo de la presente invención.

La figura 53 es un diagrama que muestra unos datos digitales en serie de acuerdo con un ejemplo de la presente invención.

5 La figura 54 es un diagrama que muestra una unidad de recepción de acuerdo con un ejemplo de la presente invención.

La figura 55 es un diagrama que muestra un filtro de DE de acuerdo con un ejemplo de la presente invención.

La figura 56 es un diagrama que muestra unos datos digitales en serie de acuerdo con un ejemplo de la presente invención.

10 La figura 57 es un diagrama que muestra un ejemplo de la presente invención.

La figura 58 es un diagrama que muestra un circuito de codificación equilibrado en CC de acuerdo con un ejemplo de la presente invención.

La figura 59 es un diagrama que muestra un ejemplo de la presente invención.

La figura 60 es un diagrama que muestra un ejemplo de la presente invención.

15 La figura 61 es un diagrama que muestra una unidad de transmisión de acuerdo con un ejemplo de la presente invención.

La figura 62 es un diagrama que muestra una unidad de recepción de acuerdo con un ejemplo de la presente invención.

20 La figura 63 es un diagrama que muestra unos datos digitales en serie de acuerdo con un ejemplo de la presente invención.

La figura 64 es un diagrama que muestra un circuito de extracción de reloj de acuerdo con un ejemplo de la presente invención.

La figura 65 es un diagrama que muestra unas configuraciones de sistema a modo de ejemplo de sistemas de transferencia de datos en serie.

25 La figura 66 es un diagrama que muestra una estructura de datos de imagen que se usa en una pantalla de cristal líquido de matriz activa.

La figura 67 es un diagrama que muestra una transferencia en serie convencional de datos digitales.

La figura 68 es un diagrama que muestra unos datos digitales en serie de acuerdo con un ejemplo de la presente invención.

30 La figura 69 es un diagrama que muestra unos datos digitales en serie de acuerdo con un ejemplo de la presente invención.

La figura 70 es un diagrama de temporización que muestra la relación entre unos datos en serie y un reloj de muestreo de acuerdo con un ejemplo de la presente invención.

35 **[Descripción de números de referencia]**

401	Unidad de transmisión
402	Circuito de serialización
403	Circuito de sincronización de fase
40	404 Circuito de codificación
	405 Circuito de conmutación
	406 Memoria intermedia de salida
	411 Datos de color de entrada
	412 Datos de sincronización de entrada
45	414 Reloj de entrada
	415 Datos en serie
	421 Unidad de recepción
	422 Circuito de deserialización
	423 Circuito de extracción de reloj
50	424 Circuito de descodificación
	425 Circuito de conmutación
	426 Circuito de conmutación
	427 Memoria intermedia de entrada
	431 Datos de color de salida
55	432 Datos de sincronización de salida
	434 Reloj de salida
	2501 Unidad de transmisión
	2502 Circuito de serialización
	2503 Circuito de sincronización de fase
60	2504 Circuito de codificación
	2505 Circuito de conmutación
	2506 Memoria intermedia de salida
	2511 Datos de color de entrada
	2512 Datos de sincronización de entrada
65	2514 Reloj de entrada
	2515 Datos en serie

	2521	Unidad de recepción
	2522	Circuito de deserialización
	2523	Circuito de extracción de reloj
	2524	Circuito de descodificación
5	2525	Circuito de conmutación
	2526	Circuito de conmutación
	2527	Memoria intermedia de entrada
	2531	Datos de color de salida
	2532	Datos de sincronización de salida
10	2534	Reloj de salida
	10	Circuito de comparación de fase
	20	Filtro de lazo
	30	Oscilador controlado por tensión
	40	Muestreador
15	50	Circuito de comparación de frecuencia
	51	Circuito de determinación de recuento de flancos
	52	Circuito de detección de diferencia de frecuencia
	53	Temporizador
	60	Bomba de carga
20	70	Circuito de control
	200	Circuito de recepción (circuito de lazo de enganche de fase de recuperación de datos de reloj)
	300	Datos en serie
	PLLCLK	reloj de PLL
	SUBCLK	Reloj secundario
25	DetCLK	Reloj de detección de flanco
	NEDG0	Número de flancos de subida 0
	NEDG1	Número de flancos de subida 1
	FQDEN	Señal de habilitación de comparación de frecuencia
	PHDEN	Señal de habilitación de comparación de fase
30	FQDRQ	Señal de solicitud de comparación de frecuencia
	TIM	Señal que indica una cantidad de tiempo igual a o más grande que una exploración de línea
	CLK	Temporizador de reloj de sistema

[Mejor modo para llevar a cabo la invención]

35 Un mejor modo para llevar a cabo la invención (a lo que se hace referencia en lo sucesivo en el presente documento como una "realización") se describirá a continuación con referencia a los dibujos. La figura 3 muestra un circuito de transmisión de datos y un circuito de recepción de la presente realización, y un método de transferencia de datos y un sistema de transferencia de datos que usan los mismos. El circuito de transmisión puede empaquetarse en un LSI de transmisión y el circuito de recepción puede empaquetarse en un LSI de recepción.

40 Una unidad de transmisión (circuito de transmisión) **2501** transmite unos datos en serie **2515** a una unidad de recepción **2521**, en la que los datos en serie **2515** se obtienen mediante la serialización conjunta de la primera información de entrada **2511** (datos de color de entrada (RI5 a RI0, GI5 a GI0, BI5 a BI0) en la presente realización), la segunda información de entrada **2512** (datos de sincronización de entrada (Hsyncl (datos de sincronización horizontal de entrada), Vsyncl (datos de sincronización vertical de entrada) y CTRLl (control de entrada))), y una señal de conmutación DEI (señal de selección de entrada (habilitación de datos de entrada)) para conmutar entre la primera información de entrada y la segunda información de entrada. Una información de un reloj de entrada **2514** se embebe en los datos en serie **2515**.

50 La unidad de recepción (circuito de recepción) **2521** recibe los datos en serie **2515** que se transmiten a partir de la unidad de transmisión **2501**, deserializa los datos en serie **2515** para recuperar y emitir la primera información de salida **2531** (datos de color de salida (RO5 a RO0, GO5 a GO0, BO5 a BO0)), la segunda información de salida **2532** (HsyncO (datos de sincronización horizontal de salida), VsyncO (datos de sincronización vertical de salida), CTRL0 (control de salida) y DEO (señal de selección de salida (habilitación de datos de salida))), y un reloj de salida **2534**.

55 La unidad de transmisión **2501** incluye un circuito de serialización **2502** (serializador), un circuito de sincronización de fase **2503** (circuito de PLL: circuito de *Phase Locked Loop*, lazo de enganche de fase), un primer circuito de codificación **2504a** (codificador 1), un segundo circuito de codificación **2504b** (codificador 2), un circuito de conmutación **2505** y una memoria intermedia de salida **2506** (memoria intermedia de salida).

60 La unidad de recepción **2521** incluye un circuito de deserialización **2522** (deserializador), un circuito de extracción de reloj (circuito de CDRPLL: circuito de *Clock Data Recovery Phase Locked Loop*, lazo de enganche de fase de recuperación de datos de reloj) **2523**, un primer circuito de descodificación **2524a** (descodificador 1), un segundo circuito de descodificación **2524b** (descodificador 2), un primer circuito de conmutación **2525**, un segundo circuito de

conmutación **2526** y una memoria intermedia de entrada **2527** (memoria intermedia de entrada). Obsérvese que la memoria intermedia de salida **2506** y la memoria intermedia de entrada **2527** son opcionales. A pesar de que la presente realización se dirige a un ejemplo en el que cada uno de los datos de R, G y B de los datos de color de entrada, que son la primera información de entrada **2511**, son unos datos de 6 bits, la presente invención no se limita a número particular alguno de bits de datos de RGB y puede aplicarse a datos de RGB de 8 bits, datos de RGB de 10 bits, o similares. En la unidad de recepción **2521**, el primer circuito de descodificación **2524a**, el segundo circuito de descodificación **2524b**, el primer circuito de conmutación **2525** y el segundo circuito de conmutación **2526** cooperan uno con otro para realizar la función de separar y producir la primera información de salida **2531** y la segunda información de salida **2532**. Por lo tanto, puede hacerse referencia a estos circuitos de forma colectiva como un circuito de separación de información. Obsérvese que la primera información de entrada **2511** se corresponde con la segunda información de salida **2531**, y la segunda información de entrada **2512** con la segunda información de salida **2532**.

En la unidad de transmisión **2501**, la primera información de entrada **2511** y los datos de sincronización de entrada, que son la segunda información de entrada **2512**, se introducen en, y se codifican por, el primer circuito de codificación **2504a** y el segundo circuito de codificación **2504b**, respectivamente. El circuito de conmutación **2505** usa DEI como una señal de selección de entrada. Si DEI es alto, el circuito de conmutación **2505** selecciona la primera información **2511** que se codifica por el primer circuito de codificación **2504a**, mientras que si DEI es bajo, el circuito de conmutación **2505** selecciona la segunda información **2512** que se codifica por el segundo circuito de codificación **2504b**, y la información seleccionada se emite al circuito de serialización **2502**. El reloj de entrada **2514** se convierte en un reloj de múltiples fases mediante el circuito de sincronización de fase **2503**, y el circuito de serialización **2502** usa el reloj de múltiples fases para serializar la salida a partir del circuito de conmutación **2505** para producir los datos en serie **2515**, y emite los datos en serie producidos **2515** por medio de la memoria intermedia de salida **2506**.

El segundo circuito de codificación **2504b** de la unidad de transmisión **2501** codifica la segunda información (HSYNCl, VSYNCl y CTRLl). En este proceso, suponiendo que una señal que viene antes en el tiempo dentro de un símbolo es MSB cuando se serializan datos de forma sucesiva (serialización simple), el segundo circuito de codificación **2504b** codifica la información de tal modo que el valor de MSB es menor que o igual al de LSB, y emite los datos codificados al circuito de conmutación **2505**. En el segundo periodo de información (periodo de supresión (DEI = "bajo") en la presente realización), los datos de salida a partir del segundo circuito de codificación **2504b** se seleccionan por el circuito de conmutación **2505** y se serializan por el circuito de serialización **2502** de forma sucesiva de MSB a LSB, y se emiten los datos serializados. Por lo tanto, cuando DEI es bajo, los datos que se serializan por el circuito de serialización **2502** son de tal modo que una señal que viene antes en el tiempo dentro de un símbolo tiene un nivel más alto, de tal modo que un flanco de subida tiene lugar solo en los límites de símbolo.

El primer circuito de codificación **2504a** de la unidad de transmisión **2501** codifica la primera información de entrada **2511** en uno de una pluralidad de modos (correspondiéndose cada modo con una correlación de entrada - salida diferente), y emite los datos codificados al circuito de conmutación **2505**. En el primer periodo de información (periodo activo (DEI = "alto") en la presente realización), los datos de salida a partir del primer circuito de codificación **2504a** se seleccionan por el circuito de conmutación **2505** y se serializan por el circuito de serialización **2502** de forma sucesiva de MSB a LSB, y se emiten los datos serializados. El método de codificación que se usa en el primer codificador **2504a** se describirá posteriormente.

En la unidad de recepción **2521**, el circuito de extracción de reloj **2523** recupera en primer lugar el reloj de salida (CLKO) **2534** y el reloj de múltiples fases a partir de los datos en serie **2515**. A continuación, el circuito de deserialización **2522** convierte los datos en serie **2515** en una señal en paralelo mediante el uso del reloj de múltiples fases. La señal en paralelo se introduce en el primer circuito de descodificación **2524a**, el segundo circuito de descodificación **2524b** y un circuito de identificación de primer / segundo descodificador **2524c**, y se descodifica. Cuando DEO es alto, el primer circuito de conmutación **2525** está activo y emite los datos en paralelo emitidos a partir del primer circuito de descodificación **2524a** como la primera información de salida **2531** (datos de color de salida (RO5 a RO0, GO5 a GO0, BO5 a BO0)). Cuando DEO bajo, el primer circuito de conmutación **2525** emite un nivel bajo. Cuando DEI es bajo, el segundo circuito de conmutación **2526** está activo y emite los datos en paralelo emitidos a partir del segundo circuito de descodificación **2524b** como la segunda información de salida **2532** (datos de sincronización de salida). Cuando DEO es alto, el segundo circuito de conmutación **2526** preferiblemente conserva su salida. Esto es debido a que los datos de sincronización no cambian mientras que DEO es alto.

Haciendo referencia a continuación a la figura **4**, se describirá un método de codificación para codificar datos en paralelo en un sistema de transferencia de datos digitales de la presente realización. La figura **4(A)** y la figura **4(B)** muestran, cada una, un ejemplo de una forma de onda de señal de los datos en serie **2515** que se obtienen al codificar y serializar la unidad de transmisión **2501** unos datos de color de entrada (Rl5 a Rl0, Gl5 a Gl0, Bl5 a Bl0) que tienen, cada uno, seis bits y que son una primera información que se introduce como datos en paralelo, y unos datos de sincronización de entrada (Hsyncl, Vsyncl, CTRLl) que son una segunda información.

Tal como se muestra en la figura **4(A)**, mientras que DEI = "bajo", es decir, en un periodo de supresión, un símbolo que incluye 21 bits de los datos en serie **2515** incluye una información de Hsyncl, Vsyncl y CTRLl que se embebe en

el mismo entre el bit de inicio (Inicio) que es el MSB y el bit de detención (Detención) que es el LSB. La información de 3 bits de Hsyncl, Vsyncl y CTRLl se serializa de forma sucesiva y, a continuación, se codifica por el circuito de codificación **2504** de tal modo que esta será unos datos modulados por anchura de impulso (PWM). Es decir, cuando el bit de inicio es "alto", la información de 3 bits de Hsyncl, Vsyncl y CTRLl se modula a la anchura de tiempo de un impulso de bit "alto". En el ejemplo que se muestra en la figura **4(A)**, se realiza una modulación por anchura de impulso de 0 a 7 (una anchura de 0 a 14 bits) con una unidad de anchura de 2 bits. A pesar de que la figura **4(A)** muestra un ejemplo en el que la señal modulada por anchura de impulso de una anchura de 14 bits se embebe comenzando a partir del cuarto bit con respecto al bit de inicio (MSB) de un símbolo, esta puede embeberse comenzando a partir de cualquier bit siempre que la porción embebida comience a partir de un bit que tiene el mismo nivel que el del bit de inicio y la porción de 14 bits termina para el final de un símbolo. Por ejemplo, cuando se embeben unos datos de PWM comenzando a partir del cuarto bit con respecto al bit de inicio (MSB) de un símbolo, hay tres non-PWM bits (que incluyen el bit de detención) en la última porción de un símbolo. Los últimos tres bits se encuentran al nivel "bajo" como es el bit de detención. Por lo tanto, los datos serializados **2515** tienen una estructura de datos en la que hay solo un flanco de subida dentro de un símbolo, tal como se muestra en la figura **4(A)**. A pesar de que la descripción anterior se dirige a un ejemplo en el que el bit de inicio es "alto", el bit de detención es "bajo" y los datos modulados por PWM tienen una anchura de impulso "alta", los niveles del bit de inicio, el bit de detención y los bits modulados por PWM no se limitan a esto siempre que la estructura de datos sea de tal modo que hay solo un flanco de subida dentro de un símbolo. Por ejemplo, unos datos en serie en los que el bit de inicio es "bajo", el bit de detención es "alto" y los bits modulados por PWM son "bajo" también pueden ser unos datos en los que hay solo un flanco de subida dentro de un símbolo, y tales datos en serie también pueden usarse en el sistema de la presente invención. A pesar de que los datos de PWM están formados por una unidad de 2 bits en el ejemplo que se muestra en la figura **4(A)**, los datos de PWM pueden estar formados como alternativa por una unidad que no sea una unidad de 2 bits, por ejemplo, por una unidad de anchura de 1 bits. Obsérvese que cuando DEI = "bajo", la segunda información de entrada se modula por anchura de impulso con un periodo que es 21 veces la anchura de impulso de los datos digitales de la primera información de entrada.

Pueden embeberse otros tipos de información en los dos patrones que no sean la señal de PWM en la que se embebe una información de Hsyncl, Vsyncl y CTRLl. Por ejemplo, puede embeberse una información de sonido en los dos patrones.

A continuación, mientras que DEI = "alto", es decir, en un periodo activo, un símbolo de los datos en serie 2515 está formado por unos datos que se obtienen mediante la serialización del bit de inicio (Inicio), los datos digitales en serie $D < 17 : 0 >$ que son la primera información de entrada codificada (R15 a R10, G15 a G10, B15 a B10), un bit de codificación de 1 bit En (a lo que también se hace referencia como "información de identificación de modo de codificación") y el bit de detención (Detención) en este orden, tal como se muestra en la figura **4(B)**. Cuando DEI = "alto", el primer circuito de codificación **2504a** codifica y serializa la primera información de entrada en uno del modo activo 1 (símbolo de ACTV / 1) y el modo activo 2 (símbolo de ACTV / 2), tal como se muestra en la figura **4(B)**, con el fin de obtener unos datos en serie en los que hay dos o más flancos de subida dentro de un símbolo. En el presente ejemplo, uno de los modos de codificación, es decir, el modo activo 1 y el modo activo 2, se selecciona de tal modo que el número de flancos de subida, es decir, el número de transiciones, dentro de un símbolo es dos o más.

En el presente ejemplo, los datos en serie **2515** tiene un bit de codificación para identificar cuál de los dos modos de codificación se usa para codificar los datos, tal como se muestra en la figura **4(B)**. En el presente ejemplo, como un ejemplo del bit de codificación, unos datos "1" se añaden como el bit de codificación (En) antes del bit de detención (detención) cuando los datos se codifican en el modo activo 1, y unos datos "0" se añaden como el bit de codificación (En) antes del bit de detención (detención) cuando los datos se codifican en el modo activo 2 de tal modo que los datos que se codifican en el modo activo 1 y los datos que se codifican en el modo activo 2 pueden distinguirse unos de otros.

En la presente invención, el número de flancos de subida dentro de un símbolo es uno cuando DEI = "bajo". Por lo tanto, cuando DEI = "alto", se producen unos datos en serie mediante la selección de uno de los modos de codificación, es decir, el modo activo 1 y el modo activo 2, de tal modo que el número de flancos de subida dentro de un símbolo no será uno.

En la presente realización, unos datos en serie que se codifican en el modo activo 2 se obtienen mediante la inversión de una de cada dos porciones de 2 bits de datos en serie que se codifican en el activo 1, tal como se muestra en la figura 4. Por lo tanto, con respecto a los datos en serie $D < 17 : 0 >$ que se codifican en el modo activo 1, unos datos en serie que se codifican en el modo activo 2 tienen una estructura de datos de $D < D 17, D 16, D 15$ invertida, $D 14$ invertida, $D 13, D 12, \dots, D 5, D 4, D 3$ invertida, $D 2$ invertida, $D 1, D 0 >$. Obsérvese que la presente invención no se limita al método de codificación usando el modo activo 1 y el modo activo 2, sino que puede aplicarse a cualquier método de codificación de tal modo que el número de flancos de subida, es decir, el número de transiciones, dentro de un símbolo es dos o más.

(Unidad de transmisión)

Haciendo referencia a continuación a la figura 5, se describirán la configuración de la unidad de transmisión **2501** en el sistema de transferencia de datos digitales de la presente invención, y la conexión entre los diversos componentes del mismo. Tal como se muestra en la figura 5, las salidas a partir del primer circuito de codificación **2504a** y el segundo circuito de codificación **2504b** se introducen en el circuito de conmutación **2505**. El circuito de conmutación **2505** incluye 20 multiplexadores. Obsérvese que en la presente realización, una salida de 18 bits (ENCD1 a ENCD18) a partir del primer circuito de codificación **2404a** y una salida de 7 bits a partir del segundo circuito de codificación **2504b** se introducen en el circuito de conmutación **2505**, tal como se muestra en la figura 5.

Haciendo referencia a continuación a la figura 6, la figura 6 es un diagrama de bloques de circuito que muestra el primer circuito de codificación **2504a** de la presente realización. El primer circuito de codificación **2504a** incluye un circuito lógico combinado **2504a-1** y un circuito de determinación **2504a-2**. La primera información de entrada **2511** ($D < 17 : 0 >$) se introduce en el circuito lógico combinado **2504a-1** y el circuito de determinación **2504a-2**. El circuito de determinación **2504a-2** determina, sobre la base de la primera información de entrada **2511**, si codificar la primera información de entrada **2511** en el modo activo 1 o en el modo activo 2, y emite una señal de determinación sobre la base de la determinación. En la presente realización, la señal de determinación que se emite a partir del circuito de determinación **2504a-2** es una señal de nivel "alto" cuando el circuito lógico combinado **2504a-1** va a realizar una operación de codificación en el modo activo 1 y es una señal de nivel "bajo" cuando este va a realizar una operación de codificación en el modo activo 2. La señal de determinación se usa también como el bit de codificación En. El circuito lógico combinado **2504a-1** codifica la primera información de entrada **2511** en el modo activo 1 o en el modo activo 2 de acuerdo con la señal de determinación, y emite los datos codificados. El circuito de determinación **2504a-2** puede hacer la evaluación sobre la base no solo de la primera información de entrada **2511** sino también de por lo menos una de la frecuencia de transferencia de la primera información, la cantidad de EMI, la relación de SN o la tasa de error de los datos digitales en serie de un símbolo de la primera información y la señal modulada por anchura de impulso de la segunda información. En un caso de este tipo, el circuito de determinación **2504a-2** obtiene estos artículos de información además de la primera información de entrada. Con una configuración de este tipo, el primer circuito de codificación **2505a** puede realizar la operación de codificación de un modo tal como para mejorar la frecuencia de transferencia de la primera información, la cantidad de EMI, la relación de SN o la tasa de error de los datos digitales en serie de un símbolo de la primera información y la señal modulada por anchura de impulso de la segunda información, mejorando de este modo las características de transferencia globales.

Obsérvese que a pesar de que el primer circuito de codificación **2504a** codifica datos en uno de dos modos, es decir, el modo activo 1 y el modo activo 2, en la presente realización, la presente invención no se limita a esto, y el circuito lógico combinado **2504a** puede codificar datos en un modo que se selecciona de entre más de dos modos de codificación (por ejemplo, n modos). En un caso de este tipo, el circuito de determinación **2504a-2** produce una señal de determinación de $(\log_2 n)$ bits y emite esta al circuito lógico combinado **2504a-1**. En el presente documento, diferentes modos de codificación quieren decir que estos difieren uno con respecto a otro en su correlación de entrada - salida. Por lo tanto, un modo de codificación diferente proporciona una correlación de entrada - salida diferente.

Haciendo referencia a continuación a la figura 7, se describirá una configuración de circuito del circuito lógico combinado **2504a-1** del primer circuito de codificación **2504a**. El circuito lógico combinado **2504a-1** incluye un número de circuitos de suma lógica exclusiva (circuitos de XOR) que se corresponden con el número de bits de la primera información de entrada **2511**, y el mismo número de circuitos de conmutación. Cada circuito de conmutación recibe unos datos que se corresponden con el modo activo 1 y unos datos que se corresponden con el modo activo 2. Cada circuito de conmutación selecciona unos datos que se corresponden con el modo activo 1 o unos datos que se corresponden con el modo activo 2 sobre la base de la señal de determinación a partir del circuito de determinación **2504a-2**, y emite los datos seleccionados al circuito de XOR correspondiente. Cada circuito de XOR recibe una salida a partir de la primera información de entrada **2511** y una salida a partir del circuito de conmutación correspondiente, y realiza una operación lógica sobre las salidas recibidas. La salida a partir de cada circuito de XOR se introduce en el primer circuito de conmutación **2525**.

Haciendo referencia a continuación a la figura 8(A) y la figura 8(B), se describirá el funcionamiento del segundo circuito de codificación **2504b**. La figura 8(A) muestra una configuración de circuito del segundo circuito de codificación **2504b** de la presente realización y la salida de 7 bits del mismo (SYNC [0] a SYNC [6]). La figura 8(B) muestra una tabla de datos de Hsync, Vsync y CTRLI, que se introducen en el segundo circuito de codificación **2504b** de la presente realización, y unos datos de salida (SYNC [0] a SYNC [6]), que se emiten a partir del segundo circuito de codificación **2504b**.

Tal como se muestra en la tabla de datos de la figura 8(B), los datos de salida (SYNC [0] a SYNC [6]) a partir del segundo circuito de codificación **2504b** son de tal modo que el número de transiciones en los mismos está restringido cuando se reciben los datos de entrada Hsync, Vsync y CTRLI. Dicho de otra forma, unos datos de 3 bits {Hsync, Vsync, CTRLI} en los que el bit más significativo (MSB, *most significant bit*) es Hsync y el bit menos significativo (LSB, *least significant bit*) es CTRLI se codifica para dar unos datos de 7 bits {SYNC [0] (bit más significativo) a SYNC [6] (bit menos significativo)} de tal modo que a medida que el valor de los datos de 3 bits

aumenta en uno, aumenta el número de valores de datos “altos” consecutivos que van a emitirse comenzando a partir del bit más significativo de los datos de 7 bits. Es decir, la operación de codificación se realiza para emitir los datos de 7 bits {SYNC [0] (bit más significativo) a SYNC [6] (bit menos significativo)} de tal modo que un valor de un bit superior es siempre más alto que un valor de un bit inferior. Un esquema de salida de este tipo en general se denomina “termo-código”, tal codificación se denomina codificación de tipo “termo-código”, y un codificador de este tipo se denomina codificador de tipo “termo-código”.

El segundo circuito de codificación **2504b** en el método de transferencia de datos y el sistema de transferencia de datos de la presente invención emplea un esquema de salida de tipo termo-código. Obsérvese que la configuración de circuito del segundo circuito de codificación **2504b** no se limita a lo que se muestra en la figura **8(A)**, sino que puede ser cualquier otra configuración de circuito adecuada siempre que se emplee un esquema de salida de tipo termo-código. Por lo tanto, solo un flanco de subida se produce dentro de un símbolo.

Haciendo referencia de nuevo a la figura **5**, los datos de salida (ENCD1 a ENCD19) a partir del primer circuito de codificación **2404a**, los datos de salida (SYNC [0] a SYNC [6]) a partir del segundo circuito de codificación **2404b**, y DEI (habilitación de datos de entrada) se introducen en el circuito de conmutación **2505**. El circuito de conmutación **2505** funciona sobre la base del DEI recibido. El circuito de conmutación **2505** selecciona los datos de salida (ENCD1 a ENCD19) a partir del primer circuito de codificación **2404a** si DEI = “alto” y selecciona los datos de salida (SYNC [0] a SYNC [6]) a partir del segundo circuito de codificación **2404b** si DEI = “bajo”, y el circuito de conmutación **2505** emite los datos (SR0 a SR19) al circuito en serie **2502**.

Sobre la base del reloj de entrada **2514**, el circuito de sincronización de fase **2503** forma una pluralidad de relojes de diferentes fases, y los emite al circuito de serialización **2502**.

El circuito de serialización **2502** serializa los datos de entrada (SR0 a SR19) sobre la base de la pluralidad de relojes de diferentes fases a partir del circuito de sincronización de fase **2503** para formar los datos en serie **2515**, y emite los datos en serie **2515** a la unidad de recepción **2521** a través de la memoria intermedia de salida **2506**. En la formación de los datos en serie **2515**, una señal de nivel “alto” y una señal de nivel “bajo” se introducen en el circuito de serialización **2502** con el fin de formar un bit de inicio “alto” al comienzo de un símbolo y un bit de detención “bajo” al final del mismo.

Cómo se elige un modo de codificación de acuerdo con una información de entrada en el sistema de transferencia de datos de la presente realización se describirá a continuación con detalle con referencia a la figura **9**. La figura **9** es un diagrama de flujo que muestra un método de elección de un modo de codificación de acuerdo con la presente realización.

En primer lugar, se determina si DEI de la información de entrada (datos en paralelo) es “alto” o “bajo” (la etapa S1). Si se determina que DEI = “bajo” en la etapa S1, la segunda información (Hsyncl, Vsyncl y CTRLl) se codifica de tal modo que esta será una señal modulada por anchura de impulso (PWM, *pulse width modulated*) cuando se serializa de forma sucesiva. Con tal codificación, los datos serializados tendrán una estructura de datos en la que hay solo un flanco de subida dentro de un símbolo (la etapa S2). Por lo tanto, se completa la codificación de los datos de la segunda información (la etapa S3).

Si se determina que DEI = “alto” en la etapa S1, se determina si el número de flancos de subida dentro de un símbolo será uno o no en los datos serializados que van a obtenerse mediante la codificación de los datos de color de entrada (RI5 a RI0, GI5 a GI0, BI5 a BI0) en el modo activo 1 y, a continuación, la adición de un bit de inicio y un bit de detención que tienen diferentes valores de bit al comienzo y al final de los datos codificados (la etapa S4). Si se determina que el número de flancos de subida dentro de un símbolo será uno, la primera información (RI5 a RI0, GI5 a GI0, BI5 a BI0) se codifica en el modo activo 2 (la etapa S5), y el proceso sale del proceso de codificación de datos (la etapa S6). Si el número de flancos de subida dentro de un símbolo será dos o más, el proceso avanza a la etapa 7. En la etapa 7, se determina si el número de flancos de subida dentro de un símbolo será uno o no en los datos serializados que van a obtenerse mediante la codificación de la primera información (RI5 a RI0, GI5 a GI0, BI5 a BI0) en el modo activo 2 y, a continuación, la adición de un bit de inicio y un bit de detención que tienen diferentes valores de bit al comienzo y al final de los datos codificados (la etapa S7). Si se determina que el número de flancos de subida dentro de un símbolo será uno, la primera información (RI5 a RI0, GI5 a GI0, BI5 a BI0) se codifica en el modo activo 1 (la etapa S8), y el proceso sale del proceso de codificación de datos (la etapa S9). Si el número de flancos de subida dentro de un símbolo será dos o más, el proceso avanza a la etapa S 10.

En la descripción anterior, la determinación se realiza mediante la evaluación de si el número de flancos de subida será uno o no cuando los datos de color de entrada que son la primera información se someten a una conversión en serie simple y, a continuación, un bit de inicio y un bit de detención que tienen diferentes valores de bit se añaden al comienzo y al final de los datos convertidos. Como alternativa, unos datos en serie que se obtienen al someter los datos de color de entrada que son la primera información a una conversión en serie simple pueden evaluarse sin tomar el bit de inicio y el bit de detención en consideración. En este caso, se determina si el número de flancos de subida es cero o no.

En la etapa S 10, una evaluación se realiza usando una función de evaluación previamente determinada en lo que respecta a si los datos de entrada van a codificarse en el modo activo 1 o en el modo activo 2, y se determina, sobre la base de la evaluación, si los datos de entrada van a codificarse en el modo activo 1 (la etapa S8) o en el modo activo 2 (la etapa S5). A través del proceso de codificación seleccionado, se completa la codificación de los datos de la primera información (la etapa S9 o la etapa S6). Obsérvese que, si los datos de entrada se codifican en el modo activo 1 o en el modo activo 2 tal como se determina en la etapa S10, los datos obtenidos no serán los mismos que los datos en serie que se obtienen cuando DEI = "bajo" (en el que el número de flancos de subida es uno).

A través de la operación de codificación tal como se ha descrito en lo que antecede, unos datos en serie que se codifican cuando DEI = "bajo" y los que se codifican cuando DEI = "alto" se distinguen con claridad unos con respecto a otros con respecto a si el número de flancos de subida dentro de un símbolo es uno (DEI = "bajo"), o dos (DEI = "alto").

Tal como se ha descrito en lo que antecede, la primera información **2511** y la segunda información **2512**, que se introducen como datos en paralelo, se codifican y, a continuación, se serializan y se transfieren como los datos en serie **2515** de la unidad de transmisión **2501** a la unidad de recepción **2521**. Cuando se transfieren unos datos en serie que se obtienen de este modo a través de una serialización, se hará referencia al periodo en el que se transfiere un símbolo de datos en serie de la primera información **2511** como "primer periodo", y se hará referencia al periodo en el que se transfiere un símbolo de datos en serie de la segunda información **2512** como "segundo periodo". Por lo tanto, la cantidad de información de la primera información por unidad de tiempo en el primer periodo es más grande que la de la segunda información en el segundo periodo.

Tal como se ha descrito en lo que antecede, en la presente realización que se muestra en la figura 3, el circuito de conmutación **2505** se proporciona precediendo al circuito de serialización **2502** de tal modo que el circuito de conmutación **2505** selecciona en primer lugar o bien la primera información **2511** que se codifica por el primer circuito de codificación **2504a** o bien la segunda información **2512** que se codifica por el segundo circuito de codificación **2504b** sobre la base de DEI y, a continuación, el circuito de serialización **2502** serializa de forma sucesiva los datos seleccionados. Como alternativa, el circuito de serialización **2502** puede proporcionarse precediendo al circuito de conmutación **2505** de tal modo que la primera información **2511** que se codifica por el primer circuito de codificación **2504a** y la segunda información **2512** que se codifica por el segundo circuito de codificación **2504b** se serializan de forma individual por el circuito de serialización **2502**, después de lo cual el circuito de conmutación **2505** serializa de forma alterna y periódica los datos en serie de la primera información y los segundos datos en serie.

(Unidad de recepción)

La figura **10** muestra una configuración de la unidad de recepción **2521** de la presente realización. Los datos en serie **2515** que se emiten a partir de la unidad de transmisión **2501** se introducen en el circuito de deserialización **2522** y el circuito de extracción de reloj **2523** a través de la memoria intermedia de entrada **2527**. El circuito de extracción de reloj **2523** extrae el reloj a partir de los datos en serie **2515** para recuperar el reloj de salida **2534** y una pluralidad de relojes de diferentes fases. El circuito de deserialización **2522** deserializa los datos en serie **2515** sobre la base de la pluralidad de relojes de diferentes fases que se recuperan por el circuito de extracción de reloj **2523**, y emite los datos de salida (DSR0 a DSR20) al primer circuito de descodificación **2524a**, el segundo circuito de descodificación **2524b** y el circuito de identificación de primer / segundo descodificador **2524c**. El primer circuito de descodificación **2524a** recibe unos datos de salida (DSR1 a DSR19) que se corresponden con la primera información de entrada **2511**, y el segundo circuito de descodificación **2524b** recibe unos datos de salida (DSR4, DSR6, DSR8, DSR10, DSR12, DSR14, DSR16 en la presente realización). El circuito de identificación de primer / segundo descodificador **2524c** recibe unos datos de salida (DSR1 a DSR19). Los circuitos de descodificación **2524a** y **2524b** descodifican los datos recibidos y emiten unos datos que se corresponden con la primera información de entrada **2511** y unos datos que se corresponden con la segunda información de entrada a los circuitos de conmutación **2525** y **2526**, respectivamente.

Obsérvese que la unidad de recepción **2521** puede incluir un filtro de DE **2540** y un circuito disparador biestable **2541**, tal como se muestra en la figura **10**. En un caso de este tipo, los datos de salida a partir del circuito de identificación de primer / segundo descodificador **2524c** se procesan a través del filtro de DE **2540**, y la salida a partir del mismo se introduce en el primer circuito de conmutación **2525** y el segundo circuito de conmutación **2526**. El funcionamiento del filtro de DE **2540** se describirá posteriormente con detalle.

El primer circuito de descodificación **2524a** de la presente realización se describirá a continuación con referencia a la figura **11**. La figura **11** es un diagrama de configuración de circuito que muestra el primer circuito de descodificación **2524a** de la presente realización. Si $DSR < 19 >$ que se corresponde con el bit de codificación (En) es "bajo" = 0, una suma lógica exclusiva (XOR) entre unos datos previamente determinados que están asociados con el método de codificación en el modo activo 2 (máscara "001100...") y $DSR < 1 : 18 >$ se emite como $D < 17 : 0 >$ al primer circuito de conmutación **2525**. Si $DSR < 19 >$ es "alto" = 1, $DSR < 1 : 18 >$ se emite tal cual como $D < 17 : 0 >$ al primer circuito de conmutación **2525** de acuerdo con el esquema de codificación en el modo activo 1.

A continuación, una configuración de circuito del segundo circuito de decodificación **2524b** de la presente realización se describirá con referencia a la figura **12**. El segundo circuito de decodificación **2524b** incluye 12 circuitos NOR, un circuito NAND y dos circuitos inversores. Obsérvese que la configuración de circuito del segundo circuito de decodificación **2524b** no se limita a lo que se muestra en la figura **12** siempre que esta sea una configuración de circuito para decodificar una señal de sincronización "termocodificada".

Haciendo referencia a continuación a la figura **13**, se describirá la configuración de circuito del circuito de identificación de primer /segundo decodificador **2524c**. El circuito de identificación de primer /segundo decodificador **2524c** incluye 18 circuitos AND (1ª fase) que reciben los datos de salida (DSR1 a DSR19) a partir del circuito de deserialización **2522**, y un circuito OR (2ª fase) que recibe las salidas a partir de los circuitos AND. En la 1ª fase, se determina si hay o no un flanco de subida entre bits DSR < 1 > a DSR < 19 >. En la 2ª fase, si incluso una de las salidas a partir de la 1ª fase es alta, se determina que DEI = "alto" con el fin de emitir DEO siendo "alto" (= "1"). Si ninguna de las salidas a partir de la 1ª fase es alta, se determina que DEI = "bajo" con el fin de emitir DEO siendo "bajo" (= "0"). Al conseguirse un sincronismo, DSR < 20 > y DSR < 0 > son el bit de detención (Detención) y el bit de inicio (Inicio), respectivamente, garantizando que hay por lo menos un flanco de subida entre los mismos. Esto quiere decir que el circuito de identificación de primer / segundo decodificador **2524c** determina si hay solo un flanco de subida o hay más de un flanco de subida dentro de un símbolo.

Haciendo referencia a continuación a la figura **14**, el método de decodificación que se usa en la unidad de recepción **2521** de la presente realización se describirá usando un diagrama de flujo. En primer lugar, se determina si el número de flancos de subida dentro de un símbolo de unos datos que se deserializan por el circuito de deserialización **2522** es uno o no (la etapa S1). Si el número de flancos de subida es uno, el un símbolo de datos es la segunda información (señales de sincronización (HsyncI, VsyncI, CTRLI)), como resultado de lo cual el segundo circuito de decodificación **2524b** decodifica la segunda información (la etapa S2), y el proceso sale del proceso de decodificación de datos (la etapa S3). Si el número de flancos de subida es dos o más, el un símbolo de datos es la primera información (señales de datos de color (RI5 a RI0, GI5 a GI0, BI5 a BI0)), caso en el cual a continuación se determina si los datos del bit de codificación (En) son o no "1" o "0" (la etapa S4). Si los datos del bit de codificación (En) es "1", el primer circuito de decodificación **2524a** decodifica el un símbolo de unos datos deserializados en el modo activo 1 que se corresponde con la codificación de modo activo 1 (la etapa S5). Si los datos del bit de codificación (En) es "0", el primer circuito de decodificación **2524a** decodifica el un símbolo de unos datos deserializados en el modo activo 2 que se corresponde con la codificación de modo activo 2 (la etapa S7). A continuación, el proceso sale del proceso de decodificación (la etapa S6 o S8).

Haciendo referencia de nuevo a la figura **10**, el primer circuito de conmutación **2525** selecciona unos datos que se introducen a partir del primer circuito de decodificación **2524a** sobre la base de una pluralidad de relojes de diferentes fases a partir del circuito de extracción de reloj **2523**, y emite los datos seleccionados a un circuito disparador biestable **2542**. El segundo circuito de conmutación **2526** selecciona unos datos que se introducen a partir del segundo circuito de decodificación **2524b** sobre la base de una pluralidad de relojes de diferentes fases a partir del circuito de extracción de reloj **2523**, y emite los datos seleccionados al circuito disparador biestable **2542**. El circuito disparador biestable **2542** incluye 19 disparadores biestables y emite una primera información de salida (RO5 a RO0, GO5 a GO0, BO5 a BO0) y una segunda información de salida (HsyncO, YsyncO, CTRL0).

Por lo tanto, la primera información **2511**, la segunda información **2512**, DEI y el reloj de entrada **2514**, que se introducen como datos en paralelo en la unidad de transmisión **2501**, se serializan y, a continuación, se transmiten. Los datos en serie que se reciben por la unidad de recepción **2521** se deserializan y, a continuación, se decodifican para recuperar la primera información de salida **2531**, la segunda información de salida **2532**, DEO y el reloj de salida **2534**.

A continuación, el funcionamiento del filtro de DE **2540** se describirá con referencia a la figura **15**. La figura **15(A)** muestra una configuración de circuito del filtro de DE **2540**, y la figura **15(B)** muestra un diagrama de temporización de datos (DE0, DEI, DE2, DEO) en el filtro de DE **2540**. El filtro de DE **2540** de la presente realización incluye un circuito lógico de mayoría **2540a** y tres disparadores biestables, incluyendo el circuito lógico de mayoría **2540a** un circuito OR y tres circuitos AND.

La señal de DEI no es una señal que tiene una anchura de impulso de 1 bit, sino que es una señal que abarca a lo largo de unos pocos bits. Por lo tanto, si hay un impulso de solo una anchura de 1 bit en la señal de DEI, este no son datos ciertos sino un error. El filtro de DE **2540** elimina un error de este tipo. El filtro de DE **2540** incluye un circuito disparador biestable para retardar DEI, y el circuito lógico de mayoría **2540a**. El circuito lógico de mayoría **2540a** emite "1" si la mayoría de sus tres entradas son "1" y emite "0" si la mayoría de sus tres entradas son "0". En el ejemplo de forma de onda que se muestra en la figura **15(B)**, los errores que se indican mediante unas líneas de trazo grueso se eliminan por filtración por el circuito lógico de mayoría **2540**. Con la configuración de circuito que se muestra en la figura **15(A)**, incluso si DE0 que se introduce en el filtro de DE **2540** contiene un error que tiene una anchura de impulso de 1 bit de datos en serie, es posible emitir DEO del cual se elimina el error. En la descripción en lo que antecede, dos disparadores biestables se conectan en serie uno con otro para obtener tres señales (DE0, DE1, DE2) que están desplazadas un bit en el tiempo una con respecto a otra con el fin de determinar la mayoría de entre las tres señales. No obstante, el número de señales de entre las cuales se determina la mayoría no se limita a

tres. Por ejemplo, cuatro disparadores biestables pueden conectarse en serie uno con otro para obtener cinco señales que están desplazadas un bit en el tiempo una de otra con el fin de determinar la mayoría de entre las cinco señales.

5 (Circuito de extracción de reloj)

Un ejemplo de un circuito de recepción de la presente invención se describirá a continuación con detalle con referencia a los dibujos usando una operación de transferencia de datos de imagen como un ejemplo. La figura 16 es un diagrama de bloques de soporte físico que muestra una configuración de circuito de un circuito de lazo de enganche de fase de recuperación de datos de reloj (circuito de extracción de reloj) que es un circuito de recepción de la presente invención. El circuito de extracción de reloj se corresponde con el circuito de extracción de reloj 2523 que se muestra en la figura 3. La figura 17 muestra una estructura de datos en serie que se obtienen por la unidad de transmisión en el lado de transmisión mediante la serialización de unos datos de imagen en paralelo y que se transmiten a partir de la unidad de transmisión. En primer lugar, se describirá la estructura de datos de datos en serie, que es una señal de entrada para el circuito de lazo de enganche de fase de recuperación de datos de reloj que se muestra en la figura 16. La figura 17 muestra una estructura de datos en serie que se requiere para explorar una línea de presentación visual de imagen, y el periodo de una línea previamente determinado (tLine) incluye un periodo de supresión (tSync) y un periodo activo (tActive). En uno u otro periodo, 21 bits que están delimitados por el inicio / detención 1 / 0 se transfieren como un símbolo. La comparación de fase, lo que es necesario para la sincronización de fase, se realiza sobre la base del inicio / detención.

En el periodo de supresión (tSync) de los datos de entrada, un símbolo de datos en serie 300 se obtiene mediante la serialización conjunta del bit de inicio (Inicio), unos datos de sincronización horizontal codificados (HsyncI), unos datos de sincronización vertical codificados (VsyncI) y unos datos de control codificados (CTRLI) y el bit de detención (Detención) en este orden. Específicamente, los datos en serie en el periodo de supresión se encuentran en una forma modulada por anchura de impulso de tal modo que el periodo del flanco de subida es constante mientras que el flanco de bajada varía dependiendo de Hsync, Vsync y CTRLI.

En el periodo activo (tActive), un símbolo de los datos en serie 300 son unos datos de 21 bits que se obtienen mediante la serialización del bit de inicio (Inicio), 19 bits que se obtienen mediante la codificación de 18 bits de datos de color (seis R bits, seis G bits, seis B bits) y el bit de detención (Detención) en este orden. Obsérvese que los datos se serializan después de que los datos de R, G, B se codifiquen de tal modo que hay dos o más flancos de subida dentro de un símbolo. A pesar de que los datos de color de los datos en serie son unos datos de R, G y B que tienen, cada uno, seis bits en el presente ejemplo, la presente invención no se limita a esto.

La operación de recuperación de reloj que se realiza cuando se convierten los datos en serie que se envían a partir del lado de unidad de transmisión en datos en paralelo en el lado de unidad de recepción se describirá a continuación. La figura 18 es un diagrama que muestra la relación entre el número de subidas (flancos de subida) en los datos en serie dentro de un periodo de símbolo (To) de los datos en serie 300 en el periodo de supresión y el periodo de oscilador controlado por tensión (Tvco) que va a describirse posteriormente. Debido a que la estructura de datos es de tal modo que hay solo un flanco de subida dentro de un símbolo de los datos en serie 300, si Tvco es más corto que To, es decir, si la frecuencia del oscilador controlado por tensión (fvco) es más alta que la de To (fo), el número de flancos de subida (NEDG) dentro de Tvco es uno o cero. Si fvco = fo, NEDG = 1, y si fvco < fo, NEDG = 1 o NEDG = 2. Por lo tanto, la relación de magnitud entre fvco y fo puede determinarse mediante la evaluación de NEDG.

La figura 19 es un diagrama que muestra la relación entre el número de subidas (flancos de subida) en los datos en serie dentro de un periodo de símbolo (To) de los datos en serie 300 en el periodo activo y el periodo de oscilador controlado por tensión (Tvco) que va a describirse posteriormente. El número de flancos de subida (NEDG) dentro de un símbolo de los datos en serie 300 es igual a o más grande que uno, o igual a o más grande que cero si To > Tvco, es decir, si la frecuencia del oscilador controlado por tensión (fvco) es más alta que la de To (fo). Si fvco = fo, NEDG = 1 o más, y si fvco < fo, NEDG = 1 o más o NEDG = 2 o más. Por lo tanto, en el periodo activo, la relación de magnitud entre fvco y fo no puede determinarse solo sobre la base de NEDG.

55 Sobre la base de la descripción en lo que antecede, la diferencia de frecuencia puede determinarse tal como sigue.

- (1) fvco > fo si NEDG = 0
- (2) fvco ≈ fo si NEDG = 1 es cierto durante un número de veces consecutivas (la diferencia entre fvco y fo es casi igual a fo / N, en la que N es el número de veces consecutivas; N = 30 a 50 en el ejemplo)
- (3) fvco < fo si ni (1) ni (2) tienen lugar después de que haya transcurrido el periodo de supresión (esto es debido a que el periodo tTME que va a describirse posteriormente se establece para que sea lo bastante más largo que tLine con el fin de garantizar que un periodo de supresión se pasa durante un periodo tTME)

65 La figura 20 es un diagrama de flujo que muestra un proceso de recuperación del reloj sobre la base de la relación entre NEDG y la relación de magnitud entre fvco y fo que se ilustra en la figura 18 y la figura 19. Los datos en serie recibidos se muestrean con unos impulsos de muestreo que se producen por un circuito de oscilación controlado por

tensión que va a describirse posteriormente (la etapa 100). A continuación, sobre la base de los resultados de muestreo, se cuenta el número de flancos de subida en los datos en serie dentro de T_{vco} , y se determina si $NEDG = 0$ es cierto o no (la etapa 110). Si $NEDG = 0$ no es cierto, se determina si el número de veces consecutivas para las cuales $NEDG = 1$ es cierto o no ($NNEDG1$) es igual a o más grande que un valor previamente determinado ($NNEDG1_{th}$) (la etapa 120). Si $NNEDG1$ es igual a o más grande que el valor previamente determinado, se determina que este ha entrado en el intervalo de captura del lazo de comparación de fase, y la comparación de fase se inicia (la etapa 130). Si $NEDG = 0$ en la etapa 110, se determina que f_{vco} es alta. A continuación, la frecuencia del circuito de oscilación controlado por tensión es bajada y el temporizador y $NNEDG1$ se restablecen, después de lo cual se reanuda el proceso de muestreo (la etapa 140, la etapa 170 y la etapa 100). Si el número de veces consecutivas para las cuales $NEDG = 1$ es cierto no supera el valor previamente determinado en la etapa 120, se determina si el temporizador ha superado o no un tiempo previamente determinado (t_{TIM}) (la etapa 150). Si se supera el tiempo previamente determinado, lo que quiere decir que f_{vco} es más baja que f_o , f_{vco} se aumenta y el temporizador y $NNEDG1$ se restablecen, después de lo cual se reanuda el proceso de muestreo (la etapa 140, la etapa 170 y la etapa 100). Si el tiempo previamente determinado no se supera en la etapa 150, el proceso vuelve a la etapa 100.

Haciendo referencia una vez más a la figura **16**, se describirá un ejemplo del flujo de proceso de recuperación de reloj. En el lazo de comparación de fase que está formado por un circuito de comparación de fase **10**, un filtro de lazo **20** y un oscilador controlado por tensión (VCO) **30** de un circuito de lazo de enganche de fase de recuperación de datos de reloj **200** que se muestra en la figura **16**, una operación de control se realiza de tal modo que un reloj de PLL (PLLCLK) que se obtiene mediante la división de la frecuencia de un reloj secundario que se genera por el oscilador controlado por tensión **30** coincide con unas marcas de símbolo (el bit de inicio y el bit de detención) de los datos en serie de entrada. Para que el lazo de comparación de fase funcione, es necesario que la frecuencia de reloj de PLL f_{vco} se encuentre lo bastante cerca de la frecuencia de símbolos f_o , es decir, dentro del intervalo de captura. Cuando se entra en el modo de comparación de fase, incluyendo el lazo de comparación de frecuencia un muestreador **40**, un circuito de comparación de frecuencia **50**, una bomba de carga **60**, el filtro de lazo **20** y el circuito de oscilación controlado por tensión **30** se usa para contar el número de flancos de subida en los datos en serie para obtener $NEDG$, y una operación de control se realiza de tal modo que el reloj fundamental del oscilador controlado por tensión (f_{vco}) entra en el intervalo de captura del lazo de comparación de fase.

El modo de control de lazo de comparación de frecuencia se describirá a continuación. Con el fin de muestrear datos en serie transmitidos, el circuito de oscilación controlado por tensión **30** genera un reloj secundario de muestreo. La figura **21** muestra un diagrama de bloques de soporte físico de configuración de circuito del circuito de oscilación controlado por tensión **30** que se encuentra en un estado enganchado, y un diagrama de temporización para diferentes relojes. El circuito de oscilación controlado por tensión **30** emite un reloj secundario (SUBCLK) de $2 \times 21 = 42$ fases para un símbolo con el fin de realizar un sobremuestreo $\times 2$. Debido a que hay problemas tales como el área de circuito, etc., cuando un reloj de múltiples fases de 42 fases va a producirse por el oscilador del circuito de oscilación controlado por tensión **30**, un reloj secundario de 14 fases se produce por el oscilador y se hace que oscile a una frecuencia tres veces tan alta como la de un símbolo en la presente realización. El reloj de PLL (PLLCLK), que se controla con el fin de coincidir con el periodo de las marcas de símbolo (el bit de inicio y el bit de detención) de los datos en serie de entrada, se produce mediante la trisección de un reloj secundario por un circuito lógico de división. Un reloj de detección de flanco (DetCLK), que se usa para determinar si hay o no un flanco en T_{vco} usando un circuito de detección de flanco que va a describirse posteriormente, se produce de forma similar a través de una operación lógica y de división en frecuencia. La figura **21(b)** muestra la relación temporal en un caso en el que un lazo de comparación de fase sirve para enganchar los datos en serie con el reloj secundario de 14 fases de los relojes secundarios (0) a (13). Con fines de simplicidad, se supone en la siguiente descripción que T_{vco} es el periodo que se obtiene mediante la trisección de la salida a partir del circuito de oscilación controlado por tensión **30**, y f_{vco} es la inversa del mismo.

El muestreador (circuito de deserialización) **40** de la figura **16** muestrea los datos en serie de entrada usando el reloj secundario tal como se ilustra en la figura **21**. La figura **22** muestra la relación temporal entre los datos en serie y el reloj secundario de muestreo, y la relación temporal entre los resultados de muestreo. Puede verse que se muestrean datos con un reloj secundario de 14 fases tres veces por un periodo de símbolo, consiguiendo de este modo una operación de muestreo de 42 fases (= 21 bits \times 2).

El circuito de comparación de frecuencia **50** compara la frecuencia fundamental (f_{vco}) del oscilador controlado por tensión **30** y la frecuencia (f_o) de un periodo de símbolo del periodo de supresión (T_o) una con otra sobre la base de los resultados de muestreo, y envía una señal de control al filtro de lazo **20** por medio de la bomba de carga **60** de tal modo que $f_o \approx f_{vco}$; controlando de este modo f_{vco} del circuito de oscilación controlado por tensión **30**.

El circuito de comparación de frecuencia **50** incluye un circuito de determinación de recuento de flancos **51** para contar el número de flancos de subida muestreados para determinar si el número de flancos de subida es uno, cero o ninguno de los anteriores, un temporizador **53** para producir un impulso de temporización que abarca una cantidad de tiempo más larga que un periodo de una línea (t_{Line}), y un circuito de detección de diferencia de frecuencia **52** para detectar la diferencia entre f_{vco} y f_o sobre la base de la determinación y la salida de temporizador.

La figura **23** es un diagrama de bloques de soporte físico que muestra una configuración de circuito del circuito de determinación de recuento de flancos **51**. Las señales muestreadas SMPD (0) a SMPD (42) que se muestran en la figura **22** se introducen en unos circuitos de producto lógico de tal modo que unas adyacentes de las señales muestreadas son las señales no invertidas e invertidas a uno de los circuitos de producto lógico. Por ejemplo, en un ejemplo de forma de onda que se muestra en la figura **22**, las señales muestreadas SMPD (14), SMPD (15) y SMPD (16) son “0”, “0” y “1”, respectivamente. Cuando estas se introducen en unos circuitos de producto lógico, el EDG de salida (15) será “1” debido a que las entradas del 16º circuito de producto lógico son ambas “1”. Debido a que esta es la única salida para la cual EDG (0 a 20) es “1” para un periodo de símbolo, el circuito de suma lógica del circuito de determinación (NEDG1) que se muestra en la figura **23-b** para detectar el número de flancos de subida que es uno emite un nivel alto.

Si los resultados de muestreo son todos “0” en la figura **23(a)**, las señales EDG (0 a 20) son todas “0”, y la salida a partir del circuito de suma lógica negada (NEDGOS) es “1”. En un caso de este tipo, evaluando solo a partir de los resultados de muestreo, si la frecuencia fundamental del oscilador del circuito de oscilación controlado por tensión **30** es muy lenta, el intervalo entre relojes secundarios es más largo que la anchura de impulso de 1 bit Tbit de datos en serie, tal como se muestra en la figura **70**, lo que quiere decir que un flanco de subida puede no captarse en la operación de muestreo, no pudiendo de este modo detectar un flanco de subida. Con el fin de evitar una determinación errónea de este tipo, que el número de flancos de subida es cero se determina sobre la base de un producto lógico con el resultado de determinación (EDGDET_X) que se obtiene mediante un circuito de detección de flanco (EDGDET) que determina la presencia / ausencia de un flanco de subida directamente a partir de los datos en serie.

El circuito de detección de flanco (EDGDET) se describirá a continuación. La figura **24** muestra un diagrama de bloques de soporte físico que muestra una configuración de circuito del circuito de detección de flanco (EDGDET), y un diagrama de temporización que muestra unas señales de entrada / salida. Haciendo referencia a la figura **24(a)**, el circuito de detección de flanco recibe los datos en serie y el reloj de detección de flanco (DetCLK) que se muestra en la figura **21**, y detecta la presencia / ausencia de un flanco de subida en los datos en serie en el periodo Tvco. El reloj de detección de flanco es una señal en sincronismo con Tvco. La figura **24(b)** muestra un diagrama de tiempos. El EDGDET0 de salida a partir del disparador biestable FF1 se vuelve “alto” cuando se detecta un flanco de subida de los datos en serie. Debido a que FF1 se restablece cada vez que DetCLK se vuelve “alto”, EDGDET0 representa la presencia / ausencia de un flanco de subida en el periodo durante el cual DetCLK es “bajo”. FF2 se engancha a EDGDET0 con el flanco de subida de DetCLK, confirmando de este modo la determinación. La señal se invierte y se emite como EDGDET_X. Tal como se muestra en la figura **24(b)**, si hay un flanco de subida en los datos en serie en el periodo durante el cual DetCLK es “bajo”, EDGDET_X será “bajo” en el siguiente periodo, y si no hay un flanco de subida, EDGDET_X será “alto” en el siguiente periodo.

Tal como se ha descrito en lo que antecede, el circuito de determinación de recuento de flancos **51** emite NEDG0 y NEDG1 que son, cada uno, un resultado de determinación del número de flancos de subida, y NEDG0 se introduce en el circuito de detección de diferencia de frecuencia **52** y el temporizador **53** y NEDG1 se introduce en un circuito de control **70**. La figura **25** es un diagrama de bloques de circuito que muestra una configuración de circuito del circuito de detección de diferencia de frecuencia **52**. Que NEDG0 se esté introduciendo en el mismo quiere decir que la frecuencia del reloj fundamental que se genera por el oscilador del circuito de oscilación controlado por tensión **30** es alta. Por lo tanto, el circuito de detección de diferencia de frecuencia **52** que recibe NEDG0 toma un producto lógico con una señal (FQDEN) a partir del circuito de control **70** que va a describirse posteriormente que indica que el funcionamiento se encuentra en el modo de control de frecuencia, y emite una señal de bajada de frecuencia, para disminuir la frecuencia, a la bomba de carga **60** de la figura **16**.

Si NEDG0 no se afirma y NEDG1 no se afirma durante un número previamente determinado de veces consecutivas o más, y un estado como este continúa a lo largo de una cantidad de tiempo igual a o más grande que una exploración de línea, esto quiere decir que la frecuencia del reloj fundamental es baja. Por lo tanto, el circuito de detección de diferencia de frecuencia **52** obtiene el producto lógico de la señal invertida del nivel bajo de NEDG0, una señal (FQDEN) a partir del circuito de control **70** para conservar el modo de control de frecuencia con el fin de no entrar en el modo de control de fase, y una señal de tiempo previamente determinada a partir del temporizador **53** que va a describirse en lo sucesivo, y emite una señal de subida de frecuencia para aumentar la frecuencia. El circuito de la figura **25** es un circuito de decisión que pone una prioridad más alta en una señal de bajada. Esto es debido a que una determinación de bajada tiene una probabilidad más alta que una determinación de subida (debido a que siempre puede determinarse que $f_{vco} > f_0$ si $NEDG = 0$).

La figura **26** es un diagrama de bloques de soporte físico que muestra una configuración de circuito de un temporizador, y un diagrama de temporización que muestra diversas señales. Haciendo referencia a la figura **26(a)**, el temporizador **53** para emitir una señal que indica que una cantidad de tiempo igual a o más grande que una línea ha transcurrido produce un tiempo previamente determinado (TIM0) al contar relojes de oscilador (OSCCLK), y realiza una operación de detección de flanco para producir una señal (TIM) que indica una cantidad de tiempo igual a o más grande que un tiempo de exploración de línea (tLine) que se muestra en la figura **17**. El oscilador usa, como su señal de habilitación (Habilitación), la señal (FQDEN) que indica que el funcionamiento se encuentra en el modo de control de frecuencia, y el contador usa, como su señal de restablecimiento (RSTn), el producto lógico entre

FQDEN y la señal invertida de NEDG0. El intervalo entre señales de TIM no se limita a un intervalo particular siempre que este sea lo bastante más largo que una línea. Por lo tanto, no se requiere una precisión temporal muy alta para el periodo de la señal de TIM. Por lo tanto, el oscilador puede ser un oscilador de una precisión más baja, tal como un oscilador de RC o un oscilador cerámico. La relación temporal entre las señales se muestra en el diagrama de temporización de la figura **26(b)**.

La figura **27** es un diagrama de bloques de circuito que muestra una configuración de circuito de la bomba de carga **60**. La bomba de carga **60** recibe la salida a partir del circuito de detección de diferencia de frecuencia **52**, y emite un impulso de corriente de carga / descarga para controlar la frecuencia al filtro de lazo **20** de la figura **16**. El impulso de corriente se produce por un circuito de generación de impulsos sobre la base del reloj (CLK) a partir del circuito de oscilación controlado por tensión **30**. Debido a que las señales de subida para aumentar la frecuencia son menos frecuentes que las señales de bajada, si se introduce una señal de subida, se carga una cantidad más grande de carga que la cantidad de carga que va a descargarse en respuesta a una señal de bajada. Por ejemplo, en la figura **27**, una señal de subida se extiende mediante un extensor de impulsos. Como alternativa, la corriente de carga puede establecerse para que sea más grande que la corriente de descarga. El impulso de corriente de carga se produce mediante el uso del producto lógico entre el impulso de corriente de carga y la señal de subida extendida, y el impulso de corriente de descarga se produce mediante el uso del producto lógico con la señal de bajada, y los impulsos producidos se emiten al filtro de lazo **20**. El circuito de oscilación controlado por tensión **30** oscila a una frecuencia de acuerdo con la tensión del filtro de lazo **20**. Por lo tanto, cuando se introduce una señal de subida, se carga una cantidad más grande de carga que la cantidad de carga que va a descargarse en respuesta a una señal de bajada, o la corriente de carga se establece para que sea más grande que la corriente de descarga. Por lo tanto, es posible llevar con rapidez la frecuencia de oscilación del circuito de oscilación controlado por tensión **30** al intervalo de captura.

La figura **28** es un diagrama de bloques de circuito que muestra una configuración del circuito de control **70**, un diagrama de temporización del mismo, y un diagrama de transiciones de estado que muestra una operación de control del mismo. Haciendo referencia a la figura **28(a)**, el circuito de control **70** recibe la señal de NEDG1 a partir del circuito de determinación de recuento de flancos **51** y cuenta el número de entradas consecutivas del mismo con un contador, y emite CNEDG1 cuando la cuenta supera un valor previamente determinado. Una máquina de estados, que está conectada en una posición a continuación del contador, recibe CNEDG1 y una señal (FQDRQ), que se emite a partir del circuito de comparación de fase **10** en el encendido o cuando el lazo de comparación de fase deja de poder acercarse, y produce una señal de habilitación de comparación de fase (PHDEN) y una señal de habilitación de control de frecuencia (FQDEN). La máquina de estados emite PHDEN al circuito de comparación de fase **10** y FQDEN al circuito de detección de diferencia de frecuencia **52** y el temporizador **53**, conmutando de este modo el lazo de comparación de fase y el circuito de comparación de frecuencia de uno a otro. La figura **28(c)** es un diagrama de transiciones de estado de la máquina de estados.

Haciendo referencia a la figura **28(b)**, FQDEN sube en respuesta a FQDRQ para establecer el circuito de lazo de enganche de fase de recuperación de datos de reloj **200** en el modo de control de frecuencia. Cuando el número de señales de NEDG1 que se cuentan por el contador supera un valor previamente determinado, la señal de CNEDG1 sube para restablecer FQDEN a la vez que PHDEN se hace alto para establecer el circuito de lazo de enganche de fase de recuperación de datos de reloj **200** en el modo de control de comparación de fase. Las transiciones de estado se muestran en la figura **28(c)**.

La figura **29** muestra unas transiciones de la frecuencia del oscilador controlado por tensión **30** desde el arranque hasta que se consigue el estado enganchado. El funcionamiento se encuentra en primer lugar en el modo de comparación de frecuencia, y la frecuencia fundamental (fvco) del oscilador controlado por tensión **30** se controla por el circuito de comparación de frecuencia **50** para que se aproxime de forma gradual a la frecuencia (fo) de un periodo de símbolo (To) del periodo de supresión, entra en el intervalo de captura y, a continuación, queda enganchada. Si fvco es significativamente baja con respecto a fo, la frecuencia se aumenta de forma repetida en un intervalo que se establece por el temporizador **53**. Cuando se supera fo, la frecuencia disminuye cada vez que se detecta NEDG = 0. Si NEDG = 1 es cierto de forma consecutiva en un punto determinado en el tiempo, esto se detecta por el circuito de control **70**, y si el número de veces consecutivas supera un valor previamente determinado, se determina que la frecuencia ha entrado en el intervalo de captura, realizando una transición de este modo al modo de control de fase, mediante lo cual la frecuencia queda enganchada por el circuito de comparación de fase **10**.

Tal como se ha descrito en lo que antecede, de acuerdo con la presente invención, es posible extraer el reloj de referencia a partir de solo los datos en serie. La presente invención no requiere un reloj de referencia, lo que es necesario en la técnica anterior para ajustar la frecuencia en el intervalo de captura, y no requiere una transferencia en sentido inverso del lado de receptor al lado de transmisión. Por lo tanto, es posible conseguir un sistema de transferencia con una configuración simple, y es posible realizar operaciones de transferencia de datos de alta calidad con un coste bajo. Los medios para conseguir las funciones que se han descrito en lo que antecede no limitan la presente invención, y pueden ser cualesquiera circuitos o dispositivos siempre que estos puedan implementar las funciones, y algunas de las funciones pueden implementarse en forma de soporte lógico.

Tal como se ha descrito en lo que antecede, con el sistema de transferencia de datos de la presente realización, señales de color y señales de sincronización pueden transferirse en serie a la vez que se están distinguiendo con claridad una con respecto a otra, y el reloj puede extraerse de forma fiable en el lado de receptor. Una ventaja superior de la presente invención es que esta no requiere una operación de toma de contacto usando una señal de entrenamiento y una señal de acuse de recibo entre la unidad de transmisión y la unidad de recepción, que se realiza en la técnica anterior.

Con el sistema de transferencia de datos digitales de la presente realización, los datos digitales en serie pueden transferirse de la unidad de transmisión a la unidad de recepción mediante el uso de un par de hilos (incluyendo el uso de una fibra óptica). Cuando la presente invención se aplica a la transferencia de fibra óptica, se proporciona un elemento de conversión E / O, en el lugar de la memoria intermedia de salida **2506**, en la unidad de transmisión **2501** con el fin de convertir una señal en serie eléctrica en una señal en serie óptica y emitir la señal óptica al canal óptico, y se proporciona un elemento de conversión O / E, en el lugar de la memoria intermedia de entrada **2527**, en la unidad de recepción **2521** con el fin de convertir una señal en serie óptica en una señal en serie eléctrica para procesos subsiguientes. La transferencia de fibra óptica tiene un coste alto por un canal que incluye el sistema de transmisión / recepción. Cuando la presente invención se usa en la transferencia de fibra óptica, esta deja de requerir unas comunicaciones de dúplex completo para una operación de toma de contacto usando una señal de entrenamiento y una señal de acuse de recibo, lo que es necesario para la transferencia de fibra óptica convencional y, por lo tanto, no es necesario aumentar el número de fibras, presentando de este modo una reducción de costes significativa.

A pesar de que Hsync, Vsync y CTRL se transfieren como la segunda información en el segundo periodo (periodo de supresión) en el sistema de transferencia de datos de la presente realización en la descripción anterior, la información que puede transferirse como la segunda información no se limita a Hsync, Vsync y CTRL, y una información cuya cantidad de información por unidad de tiempo es más pequeña que la de la primera información (por ejemplo, datos de sonido, información de texto, etc.) puede transferirse como la segunda información.

Con el sistema de transferencia de datos digitales de la presente realización, no es necesario proporcionar una entrada de reloj a partir de un oscilador de cuarzo o un oscilador externo al circuito de extracción de reloj de la unidad de recepción, lo que quiere decir que incluso si el tamaño de una imagen que se representa por unos datos digitales en serie cambia, el sistema puede seguir de forma automática los cambios, y el sistema está en conformidad con especificaciones de enchufar y usar.

A pesar de que se centra la atención en el flanco de subida de datos en serie en la realización en lo que antecede, como alternativa esta puede centrarse en el flanco de bajada, y la presente invención puede llevarse a cabo con los mismos efectos incluso si el flanco de subida y el flanco de bajada se intercambian uno por otro en la descripción de la realización en lo que antecede.

[Ejemplo 1]

El presente ejemplo se dirige a un ejemplo alternativo del primer circuito de codificación **2504a** en el sistema de transferencia de datos digitales de la presente invención tal como se describe en la realización en lo que antecede. Otros elementos son tal como se describe en la realización en lo que antecede, y no se describirán adicionalmente en lo sucesivo.

Haciendo referencia a la figura **30**, la figura **30** es un diagrama que ilustra un ejemplo de un error de datos que tiene lugar en una transferencia en serie de datos digitales. En un sistema de transferencia de datos tal como el de la presente invención, los datos digitales en serie se transfieren a una velocidad alta por medio de un par de hilos o cables. Por lo tanto, cuando se transfieren datos a lo largo de una larga distancia mediante el aumento de la longitud de hilo o la longitud de cable, o cuando los hilos o cables tienen unas características malas, la forma de onda de los datos digitales puede quedar alisada, y es más probable que tengan lugar unos errores de bit debido a la ISI (*Intersymbol Interference*, Interferencia Intersímbolos). Un error de datos de este tipo es significativo cuando se transfieren unos datos de bajo nivel después de que se estuvieran transfiriendo unos datos de alto nivel durante un cierto tiempo, tal como se muestra en la figura **30**. Con una transferencia de datos tal como se muestra en la figura **30**, la forma de onda de datos no puede superar el valor umbral en el lado de unidad de recepción, dando lugar de este modo a un error de datos.

Como resultado de revisar el problema en lo que antecede, los inventores de la presente invención descubrieron que es posible suprimir el alisado de una forma de onda de datos y evitar un error de datos al garantizar que el mismo valor de bit no tiene lugar un número de veces consecutivas o más, tal como se muestra en la figura **31**.

A continuación, con el fin de solucionar el problema en lo que antecede, los inventores de la presente invención desarrollaron un método de codificación que se usa en una operación de transferencia de datos digitales capaz de proporcionar una transferencia de larga distancia de datos digitales en serie con la aparición de errores suprimida sin que se vea influenciada por las características del hilo o cable.

Haciendo referencia a la figura **32**, la figura **32** es un diagrama de flujo que muestra un método de codificación que se usa en el primer circuito de codificación **2504a** de la unidad de lado de transmisión en el sistema de transferencia de datos digitales de acuerdo con el presente ejemplo. En primer lugar, se introduce la primera información $D < 17 : 0 >$ (la etapa S1). A continuación, una función de evaluación particular se usa para estimar el número de apariciones consecutivas del mismo valor de bit para los datos en serie que se obtienen mediante la codificación y, a continuación, la serialización de la primera información $D < 17 : 0 >$. En el presente ejemplo, se evalúa si el número de apariciones consecutivas del mismo valor de bit es 11 o más o no (la etapa S2).

El circuito de determinación para realizar la evaluación puede ser, por ejemplo, un circuito que se muestra en la figura **34**, que incluye cuatro circuitos AND y un circuito NOR en combinación. Mediante la estimación de los datos en serie que se obtienen mediante la serialización de la primera información sobre la base del circuito de determinación y la conmutación del modo de codificación de uno a otro tal como se describirá en lo sucesivo, es posible garantizar que el número de apariciones consecutivas del mismo valor de bit para los datos en serie es 10 o menos. El circuito de determinación realiza la determinación mientras que se divide la primera información $D < 17 : 0 >$ en tres bloques de $D < 8 : 0 >$, $D < 10 : 7 >$ y $D < 17 : 9 >$. En es "alto" si la totalidad de los cuatro bits de $D < 10 : 7 >$ en el centro de un símbolo son del mismo valor de bit, y En también es "alto" si los bits son todos "1" en $D < 8 : 0 >$ o en $D < 17 : 9 >$. Se determina si la totalidad de los cuatro bits de $D < 10 : 7 >$ en el centro son del mismo valor de bit o no. Por lo tanto, cuando se determina que el número de apariciones consecutivas es igual a o más grande que 11, una de cada dos porciones de 2 bits se invierte tal como se describirá en lo sucesivo, garantizando de ese modo que hay una transición en los cuatro bits de $D < 10 : 7 >$ en el centro. Obsérvese que en el presente ejemplo, mediante el uso del circuito de determinación y la conmutación del modo de codificación en el circuito lógico combinado de uno a otro de tal modo que el número de apariciones consecutivas del mismo valor de bit para los datos en serie que se obtienen a través de una codificación y una serialización subsiguiente no será igual a o más grande que 11 (longitud de los datos digitales en serie $18 \text{ (bits)} / 2 + 2 = 11$). No obstante, la combinación del circuito de determinación y el modo de codificación del circuito lógico combinado no se limita a esto. Por ejemplo, si la longitud de los datos digitales en serie es m bits, una función de evaluación y un modo de codificación del circuito lógico se combinan entre sí de tal modo que el número de apariciones consecutivas del mismo valor de bit será $(n / 2 + 2)$.

Si se estima por la función de evaluación que se ha descrito en lo que antecede que el número de apariciones consecutivas del mismo valor de bit para los datos en serie que se obtienen a través de una codificación y una serialización subsiguiente no será igual a o más grande que 11 (es decir, este será menor que o igual a 10), el bit de codificación (En) como la señal de determinación se establece a "alto", y los datos se codifican de tal modo que $D < 17 : 0 >$ se emite tal cual (la etapa S3), saliendo de este modo del proceso de codificación (la etapa S5). Si el bit de codificación (En) como la señal de determinación se establece a "bajo", parte de la entrada en paralelo $D < 17 : 0 >$, es decir, $D < 15, 14, 11, 10, 7, 6, 3, 2 >$, se invierte para obtener unos datos de salida (la etapa S4), saliendo de este modo del proceso de codificación (la etapa S6). A continuación, el circuito de serialización **2502** serializa los datos en paralelo $D < 17 : 0 > + En$ para transmitir los datos obtenidos como datos digitales en serie a la unidad de recepción **2521**. Cuando se serializan los datos codificados, el circuito de serialización **2502** añade un bit de inicio "alto" al comienzo de un símbolo de los datos en serie y un bit de detención "bajo" al final del mismo.

La figura **33** muestra un diagrama de configuración de circuito del primer circuito de codificación **2504a** del presente ejemplo. El circuito de determinación **2504a-2** recibe unos datos de color de entrada de 18 bits en paralelo $D < 17 : 0 >$ tal cual. $D < 17, 16, 13, 12, 9, 8, 5, 4, 1, 0 >$ de los datos de color de entrada $D < 17 : 0 >$ se introducen en un terminal de entrada de cada circuito de XOR 1, y $D < 15, 14, 11, 10, 7, 6, 3, 2 >$ de los datos de color de entrada $D < 17 : 0 >$ se introducen en un terminal de entrada de cada circuito de XOR 2. El otro terminal de entrada de cada circuito de XOR 1 recibe "bajo", y el otro terminal de entrada de cada circuito de XOR 2 recibe la señal de determinación, que es la salida del circuito de determinación. Cada circuito de XOR 2 emite $D < 15, 14, 1, 10, 7, 6, 3, 2 >$ tal como son estos si la señal de determinación del circuito de determinación **2504a-2** es "alto", y emite invierte $D < 15, 14, 1, 10, 7, 6, 3, 2 >$ si la señal de determinación del circuito de determinación **2504a-2** es "bajo". La señal de determinación se usa también como la habilitación de datos (En). A continuación, la salida a partir de cada circuito de XOR 1 y la salida a partir de cada circuito de XOR 2 se añaden entre sí para formar unos datos de salida de 18 bits. Tal como se ha descrito en lo que antecede, con la configuración de circuito del primer circuito de codificación **2504a** tal como se muestra en la figura **33**, es posible conseguir el proceso de codificación del diagrama de flujo que se muestra en la figura **32**.

Mediante el uso del método de codificación del presente ejemplo, es posible formar unos datos en serie en los que el mismo valor de bit no tiene lugar un número de veces consecutivas o más. Por lo tanto, mediante la transferencia de unos datos en serie que se han serializado usando el método de codificación, es posible, en la determinación de la señal digital recibida, suprimir la influencia del alisado de una forma de onda de datos debido a las características de canal, etc., lo que hace posible mejorar la tasa de error de datos.

[Ejemplo 2]

El ejemplo 2 es un ejemplo alternativo del método de codificación del sistema de transferencia de datos que se describe en la realización en lo que antecede. Otros elementos son tal como se describe en la realización en lo que

antecede, y no se describirán adicionalmente en lo sucesivo.

Es característico del presente ejemplo que la unidad de transmisión **2501** incluya un circuito de equilibrio de CC, y el proceso de codificación se realiza con el fin de garantizar un equilibrio de CC de los datos en serie. El circuito de equilibrio de CC cuenta el número total de "altos" (= 1) y el número total de "bajos" (= 0) en los datos codificados, y realimenta a la función de evaluación una señal de acuerdo con las cuentas. La operación de realimentación es para seleccionar un modo de codificación en la función de evaluación de tal modo que el número total de "altos" (= 1) y el número total de "bajos" (= 0) en los datos codificados convergen al mismo número. Se hará referencia a la función del circuito de equilibrio de CC tal como se ha descrito en lo que antecede como una operación de equilibrio de CC.

El método de codificación en el sistema de transferencia de datos del presente ejemplo se describirá a continuación con detalle con referencia a la figura **35**. La figura **35** muestra un diagrama de flujo del método de codificación del presente ejemplo.

En primer lugar, se determina si el DEI de entrada es "alto" o "bajo" (la etapa S1). Si DEI = "bajo", la segunda información (Hsyncl, Vsyncl y CTRLl) se modula mediante una modulación por anchura de impulso (PWM) de tal modo que los datos modulados tienen una estructura de datos en la que hay solo un flanco de subida dentro de un símbolo (la etapa S2), saliendo de este modo del segundo proceso de codificación de información (la etapa S3).

Si DEI = "alto" en la etapa S1, se determina si el número de flancos de subida será uno o no cuando la primera información (datos de color de entrada (RI5 a RI0, GI5 a GI0, BI5 a BI0)) se codifica en el modo activo 1 y, a continuación, se serializa (la etapa S4). Si se determina que el número de flancos de subida será uno, los datos de color de entrada (RI5 a RI0, GI5 a GI0, BI5 a BI0) se codifican en el modo activo 2 (la etapa S5) saliendo de este modo del primer proceso de codificación de información (la etapa S6). Los datos que se codifican en el modo activo 2 se introducen en el circuito de equilibrio de CC, y se cuentan el número total de "altos" y el número total de "bajos" en los datos (la etapa 10). Si se determina que el número de flancos de subida no será uno cuando los datos de color de entrada (RI5 a RI0, GI5 a GI0, BI5 a BI0) se codifican en el modo activo 1 y, a continuación, se serializan, el proceso avanza a la etapa 7.

En la etapa 7, se determina si el número de flancos de subida será uno o no cuando los datos de color de entrada (RI5 a RI0, GI5 a GI0, BI5 a BI0) se codifican en el modo activo 2 y se serializan (la etapa S7). Si se determina que el número de flancos de subida será uno, los datos de color de entrada (RI5 a RI0, GI5 a GI0, BI5 a BI0) se codifican en el modo activo 1 (la etapa S8), saliendo de este modo del primer proceso de codificación de información (la etapa S9). Los datos que se codifican en el modo activo 1 se introducen en el circuito de equilibrio de CC, y el circuito de equilibrio de CC cuenta el número total de "altos" y el número total de "bajos" en los datos (la etapa 10). Si se determina que el número de flancos de subida no será uno cuando los datos de color de entrada (RI5 a RI0, GI5 a BI0) se codifican en el modo activo 2, el proceso avanza a la etapa S11.

En la etapa S11, se evalúa, sobre la base de una función de evaluación previamente determinada, si la operación de codificación va a realizarse en el modo activo 1 o en el modo activo 2 para seleccionar el modo activo 1 (la etapa S8) o el modo activo 2 (la etapa S5). La primera información se codifica en el modo de codificación seleccionado, y el proceso sale del primer proceso de codificación de información (la etapa S9 o la etapa S6). En la etapa S11, el número total de "altos" y el número total de "bajos" en los datos codificados se introducen a partir del circuito de equilibrio de CC en la función de evaluación. La función de evaluación selecciona si la información va a codificarse en el modo activo 1 o en el modo activo 2 de tal modo que el número total de "altos" y el número total de "bajos" convergerán al mismo número. Obsérvese que en la etapa S11, si la primera información se codifica en el modo activo 1 o en el modo activo 2, esta no será la misma que los datos en serie en un caso en el que DEI = "bajo" (en el que el número de flancos de subida es uno).

Tal como se ha descrito en lo que antecede, el circuito de equilibrio de CC cuenta el número total de "altos" y el número total de "bajos" en los datos que se obtienen mediante la codificación de la primera información. Como alternativa, el circuito de equilibrio de CC puede contar los números totales no solo en los datos que se obtienen mediante la codificación de la primera información sino también en los datos, más por lo menos uno del bit de inicio, el bit de detención y el bit de En. En un caso de este tipo, debido a que está previamente determinado en el circuito de serialización si el bit de inicio, el bit de detención y el bit de En son "alto" o "bajo", el circuito de equilibrio de CC puede almacenar la información por adelantado de tal modo que este puede contar los números totales que incluyen el bit de inicio, el bit de detención y el bit de En. También se prefiere que los datos que se obtienen mediante la codificación de la segunda información se introduzcan adicionalmente en el circuito de equilibrio de CC con el fin de contar el número total de "altos" y el número total de "bajos" en los datos que se obtienen mediante la codificación de la segunda información y el bit de inicio, el bit de detención, etc., de un símbolo de la segunda información, mediante lo cual la totalidad de los datos en serie **2515** que van a transferirse en serie se equilibrarán en CC.

A través de la operación de codificación tal como se ha descrito en lo que antecede, unos datos en serie que se codifican cuando DEI = "bajo" y los que se codifican cuando DEI = "alto" se distinguen con claridad unos con respecto a otros con respecto a si el número de flancos de subida dentro de un símbolo es uno (DEI = "bajo") o dos (DEI = "alto").

A través del funcionamiento tal como se ha descrito en lo que antecede, los datos de color de entrada **2511** que son una primera información y los datos de sincronización de entrada **2512** que son una segunda información, que se introducen como datos en paralelo, se codifican y, a continuación, se serializan y se transfieren como los datos en serie **2515** de la unidad de transmisión **2501** a la unidad de recepción **2521**. En el presente ejemplo, una operación de equilibrio de CC se realiza de tal modo que el número total de “altos” y el número total de “bajos” en los datos en serie **2515** convergerán al mismo número, lo que hace posible mantener el equilibrio de CC de los datos en serie **2515**.

En la unidad de recepción **2521**, los datos en serie recibidos **2515** se deserializan por el circuito de deserialización **2522** y se introducen en los circuitos de decodificación **2524**. El funcionamiento de la unidad de recepción **2521** es tal como se describe en la realización en lo que antecede, y no se describirá adicionalmente en lo sucesivo.

Tal como se ha descrito en lo que antecede, con el método de codificación y el método de decodificación del sistema de transferencia de datos digitales del presente ejemplo, pueden transferirse datos en serie a la vez que se distingue con claridad la señal de color y la señal de sincronización una con respecto a otra, y es posible extraer de forma fiable el reloj en el lado de receptor.

Además, en el sistema de transferencia de datos del presente ejemplo, los datos digitales en serie pueden transferirse de la unidad de transmisión a la unidad de recepción por medio de un par de hilos (incluyendo el uso de una fibra óptica). Debido a que el sistema no requiere una operación de toma de contacto usando una señal de entrenamiento y una señal de acuse de recibo, que se realiza en la técnica anterior entre la unidad de transmisión y la unidad de recepción, es posible conseguir un sistema de transferencia de datos con una configuración simple. En particular, cuando la presente invención se usa en la transferencia de fibra óptica, esta deja de requerir un sistema de comunicaciones de dúplex completo necesario para una operación de toma de contacto usando una señal de entrenamiento y una señal de acuse de recibo, presentando de este modo una reducción de costes significativa para el sistema.

Con el sistema de transferencia de datos digitales del presente ejemplo, es posible transmitir unos datos de baja frecuencia (por ejemplo, datos de sonido) durante los periodos de supresión (normalmente, Hsync, Vsync).

En el sistema de transferencia de datos del presente ejemplo, es posible extraer de forma fiable el reloj a partir de los datos digitales en serie sin requerir una entrada de reloj a partir de un oscilador de cuarzo o un oscilador externo al circuito de extracción de reloj de la unidad de recepción. Por lo tanto, la presente invención puede usarse con unos datos de diferentes tasas de transferencia, por ejemplo, datos de imagen de diferentes tamaños de imagen, y el reloj puede extraerse de forma fiable a partir de unos datos de diferentes tasas de transferencia. Por lo tanto, el sistema está en conformidad con especificaciones de enchufar y usar, o similares.

[Ejemplo 3]

El ejemplo 3 es un ejemplo alternativo del circuito de lazo de enganche de fase de recuperación de datos de reloj (circuito de extracción de reloj) en el sistema de transferencia de datos de la realización que se ha descrito en lo que antecede.

Haciendo referencia a la figura **36**, la figura **36** es un diagrama de bloques de soporte físico que muestra una configuración de circuito de un circuito de lazo de enganche de fase de recuperación de datos de reloj (circuito de extracción de reloj) **2600** que es un circuito de recepción de la presente invención. El circuito de extracción de reloj **2600** del presente ejemplo es similar al circuito de extracción de reloj **2523** que se describe en la realización en lo que antecede, pero incluye además un circuito de ajuste fino / comparación de frecuencia **80**. Los mismos elementos que los que se describen en la realización en lo que antecede no se describirán adicionalmente en lo sucesivo.

El circuito de lazo de enganche de fase de recuperación de datos de reloj **2600** del presente ejemplo incluye el circuito de ajuste fino / comparación de frecuencia **80** para realizar un ajuste de frecuencia más fino (ajuste de frecuencia fino) del oscilador controlado por tensión **30** después de que el ajuste de frecuencia (ajuste de frecuencia basto) del oscilador controlado por tensión **30** se realice por el circuito de comparación de frecuencia **50** y antes del ajuste de frecuencia (ajuste de fase) del oscilador controlado por tensión **30** se realiza por el circuito de comparación de fase **10**. Por lo tanto, es posible realizar un ajuste fino de la frecuencia de oscilación del circuito de oscilación controlado por tensión **30**, y es posible acortar la cantidad de tiempo que se requiere para que converja la frecuencia de oscilación, en comparación con un caso en el que la frecuencia de oscilación se ajusta por el circuito de comparación de fase **10** inmediatamente después de que la frecuencia de oscilación se ajuste por el circuito de comparación de frecuencia **50**.

Haciendo referencia a la figura **37**, la figura **37** es un diagrama de bloques de circuito que muestra el circuito de ajuste fino / comparación de frecuencia **80** del presente ejemplo. El circuito de ajuste fino / comparación de frecuencia **80** incluye un circuito de extracción de flancos **80a**, un circuito de estimación de inicio / detención **80b** y un circuito de detección de frecuencia **80c**.

El muestreador (circuito de muestreo) **40** usa los impulsos de muestreo que se producen por el circuito de oscilación controlado por tensión **30** para muestrear los datos en serie **300** que se transmiten a partir de la unidad de transmisión y producir los datos en paralelo **301** (datos deserializados). Tal como se muestra en la figura **37**, los datos en paralelo **301** se introducen en primer lugar en el circuito de extracción de flancos **80a** del circuito de ajuste fino / comparación de frecuencia **80**. El circuito de extracción de flancos **80a** produce una bandera de flanco **80d** sobre la base de los datos en paralelo recibidos **301**. En el presente caso, la bandera de flanco **80d** entre bits en los que existe el flanco de subida se establece (se vuelve alta). A continuación, el circuito de extracción de flancos **80** emite la bandera de flanco **80d** al circuito de estimación de inicio / detención **80b**. El circuito de estimación de inicio / detención **80b** produce una bandera de inicio / detención **80e** sobre la base de la bandera de flanco recibida **80d**, y emite la bandera producida al circuito de detección de frecuencia **80c**. Sobre la base de la bandera de inicio / detención recibida **80e**, el circuito de detección de frecuencia **80c** detecta el desplazamiento de frecuencia entre la frecuencia de la señal de oscilación del circuito de oscilación controlado por tensión **30** y el periodo del flanco de subida de los datos en serie dentro de un símbolo, y emite una señal de control de acuerdo con el desplazamiento de frecuencia al circuito de oscilación controlado por tensión **30** por medio de una bomba de carga **60b** y el filtro de lazo **20**.

La figura **38** muestra cómo el circuito de extracción de flancos **80a** del circuito de ajuste fino / comparación de frecuencia **80** del presente ejemplo produce la bandera de flanco **80d**, junto con la configuración de circuito del circuito de extracción de flancos **80a**. La figura **38** muestra una correlación entre los datos en serie **300** y los datos en paralelo **301** (datos deserializados $\langle 0 \rangle$ a $\langle 20 \rangle$). Los últimos datos que se obtienen mediante la deserialización de los datos en serie **300** del símbolo previo (datos deserializados previos $\langle 20 \rangle$) también se introducen en el circuito de extracción de flancos **80a**, junto con los datos en paralelo **301** que se obtienen mediante la deserialización de los datos en serie **300** del símbolo actual (datos deserializados $\langle 0 \rangle$ a $\langle 20 \rangle$).

Tal como se muestra en la figura **38**, los datos en paralelo **301** que se muestrean por el muestreador **40** se introducen en los circuitos AND del circuito de extracción de flancos **80a**. El circuito de extracción de flancos **80a** produce las banderas de flanco ($\langle 0 \rangle$ a $\langle 20 \rangle$) **80d** sobre la base de los datos en paralelo recibidos **301**. De entre las banderas de flanco ($\langle 0 \rangle$ a $\langle 20 \rangle$) **80d**, hay unas banderas de inicio / detención que tienen unos datos "alto" que se corresponden con el límite del bit de inicio (Inicio) y el del bit de detención (Detención).

Las banderas de flanco producidas ($\langle 0 \rangle$ a $\langle 20 \rangle$) **80d** se introducen en el circuito de estimación de inicio / detención **80b**. La figura **39** muestra una configuración de circuito del circuito de estimación de inicio / detención **80b** del presente ejemplo. El circuito de estimación de inicio / detención **80b** incluye un circuito AND **80b-1**, un circuito disparador biestable **80b-2** y un circuito OR **80b-3**. El circuito de estimación de inicio / detención **80b** estima unas banderas que son unas banderas de inicio / detención de entre las banderas de flanco ($\langle 0 \rangle$ a $\langle 20 \rangle$) **80d**.

En el circuito de estimación de inicio / detención **80b**, si la frecuencia de la señal de oscilación del circuito de oscilación controlado por tensión **30** es igual a la frecuencia de los datos en serie **300**, una bandera de flanco se establece siempre en la posición de una bandera de inicio / detención. Si las frecuencias están desplazadas en cierta medida una de otra, las posiciones de las banderas de inicio / detención estarán ligeramente desplazadas. A la vista de esto, unos pocos bits antes y después del resultado de estimación previo (un símbolo antes) se usan como máscaras, como que son unas posiciones dentro del símbolo actual en las que es probable que exista la bandera de inicio / detención, y se calculan los productos lógicos (AND) de las máscaras y las banderas de flanco actuales ($\langle 0 \rangle$ a $\langle 20 \rangle$), haciendo posible estimar la posición de la bandera de inicio / detención actual, es decir, cuál de las banderas de inicio / detención ($\langle 0 \rangle$ a $\langle 20 \rangle$) se está estableciendo.

Haciendo referencia a continuación a la figura **40**, se describirán la configuración de circuito del circuito de detección de frecuencia **80c** y el funcionamiento del mismo. Las banderas de inicio / detención ($\langle 0 \rangle$ a $\langle 20 \rangle$) que se producen por el circuito de estimación de inicio / detención **80b** se introducen en el circuito de detección de frecuencia **80c**. El circuito de detección de frecuencia **80c** incluye un circuito disparador biestable **80c-1**, e incluye los circuitos **80c-2**, **80c-3** y **80c-4** en los que los circuitos AND ($[0, 0]$ a $[20, 20]$) se disponen en un patrón de matriz.

Sobre la base de las banderas de inicio / detención recibidas ($\langle 0 \rangle$ a $\langle 20 \rangle$), el circuito de detección de frecuencia **80c** detecta la diferencia entre la frecuencia de la señal de oscilación del circuito de oscilación controlado por tensión **30** y la frecuencia de los datos en serie **300**. El circuito de detección de frecuencia **80c** compara las banderas de inicio / detención ($\langle 0 \rangle$ a $\langle 20 \rangle$) que se producen a partir de los datos en paralelo **301** un símbolo antes contenidos por el circuito disparador biestable **80c-1** con las banderas de inicio / detención ($\langle 0 \rangle$ a $\langle 20 \rangle$) que se producen a partir de los datos en paralelo **301** del símbolo actual usando los circuitos AND **80c-2**, **80c-3** y **80c-4** para detectar la posición de la bandera de inicio / detención que se está estableciendo, y la diferencia de frecuencia se detecta sobre la base del movimiento de la bandera de inicio / detención que se está estableciendo. Específicamente, si la posición de la bandera se detecta por el circuito AND **80c-2**, se indica que la bandera se ha movido a una posición posterior en el símbolo, es decir, la frecuencia de la señal de oscilación del circuito de oscilación controlado por tensión **30** es más alta que la frecuencia de los datos en serie **300** (a). En este caso, una señal de control se transmite al circuito de oscilación controlado por tensión **30** de tal modo que la frecuencia de oscilación es bajada. Si la posición de la bandera se detecta por el circuito AND **80c-3**, se indica que las posiciones de bandera coinciden una con otra, es

decir, la frecuencia de la señal de oscilación del circuito de oscilación controlado por tensión **30** coincide con la frecuencia de los datos en serie **300** (b). En este caso, una señal de solicitud de comparación de fase (FFQDEN) se emite al circuito de control **70**, y el circuito de control **70** recibe FFQDEN y emite una señal de habilitación de comparación de fase (PHDEN) al circuito de comparación de fase **10** para activar el lazo de comparación de fase. Si la posición de la bandera se detecta por el circuito AND **80c-4**, se indica que la posición de bandera se ha movido a una posición anterior en el símbolo, es decir, la frecuencia de la señal de oscilación del circuito de oscilación controlado por tensión **30** es más baja que la frecuencia de los datos en serie **300** (c). En este caso, una señal de control se transmite al circuito de oscilación controlado por tensión **30** de tal modo que la frecuencia de oscilación se aumenta. La señal de control que se emite por el circuito de detección de frecuencia **80c** incluye las salidas rápida y lenta del circuito de detección de frecuencia **80c** tal como se muestra en la figura **37**. En un caso (a) en el que la frecuencia de la señal de oscilación del circuito de oscilación controlado por tensión **30** es más alta que la frecuencia de los datos en serie **300**, la salida rápida es "baja" y la salida lenta es "alta". En un caso (b) en el que la frecuencia de la señal de oscilación del circuito de oscilación controlado por tensión **30** coincide con la frecuencia de los datos de oscilación del circuito de oscilación controlado por tensión **30** es más baja que la frecuencia de los datos en serie **300**, la salida rápida es "baja" y la salida lenta es "baja". En un caso (c) en el que la frecuencia de la señal de oscilación del circuito de oscilación controlado por tensión **30** es más baja que la frecuencia de los datos en serie **300**, la salida rápida es "alta" y la salida lenta es "baja"

Mediante la repetición del lazo de funcionamiento del muestreador **40**, el circuito de ajuste fino / comparación de frecuencia **80**, la bomba de carga **60b**, el filtro de lazo **20** y el circuito de oscilación controlado por tensión **30**, es posible realizar un ajuste de frecuencia fino de la señal de salida del circuito de oscilación controlado por tensión **30**. A continuación, después de que la frecuencia de oscilación del circuito de oscilación controlado por tensión **30** haya entrado en un intervalo de captura previamente determinado, el ajuste de fase de la frecuencia de oscilación del circuito de oscilación controlado por tensión **30** se realiza por el circuito de comparación de fase **10**.

Tal como se ha descrito en lo que antecede, con el circuito de extracción de reloj del presente ejemplo, es posible realizar un ajuste de frecuencia fino de la señal de salida del circuito de oscilación controlado por tensión **30**, lo que hace posible acortar la cantidad de tiempo que se requiere para que converja la frecuencia de oscilación del circuito de oscilación controlado por tensión **30**, en comparación con un caso en el que el ajuste de fase de la frecuencia de oscilación del circuito de oscilación controlado por tensión **30** se realiza por el circuito de comparación de fase **10** inmediatamente después del ajuste de frecuencia basto de la frecuencia de oscilación del circuito de oscilación controlado por tensión **30** por el circuito de comparación de frecuencia. Los medios para conseguir las funciones que se han descrito en lo que antecede no limitan la presente invención, y pueden ser cualesquiera circuitos o dispositivos siempre que estos puedan implementar las funciones, y algunas de las funciones pueden implementarse en forma de soporte lógico.

[Ejemplo 4]

El ejemplo 4 es un ejemplo alternativo de un método de codificación del sistema de transferencia de datos de la presente invención, en el que se incorpora la operación de equilibrio de CC del ejemplo 2 que se ha descrito en lo que antecede. Otros elementos son tal como se describe en la realización en lo que antecede y en el ejemplo 2, y no se describirán adicionalmente en lo sucesivo.

La figura **41** muestra una unidad de transmisión **3000** del sistema de transferencia de datos del presente ejemplo. La unidad de transmisión **3000** incluye un circuito de detección de CDR **3001**. En el presente documento, CRD (*Current Running Disparity*, disparidad de funcionamiento actual) es un valor que indica la diferencia entre el número (número total) de unos ("altos") y el número (número total) de ceros ("bajos") en los datos codificados desde el inicio del funcionamiento del circuito de transmisión hasta el presente. El circuito de detección de CDR **3001** calcula la CRD sobre la base de unos datos que se obtienen mediante la codificación de la primera información de entrada y unos datos que se obtienen mediante la codificación de la segunda información de entrada, y emite una señal de CDR para controlar la operación de codificación del primer circuito de codificación **2504a** y el segundo circuito de codificación **2504b** de acuerdo con el valor de CRD calculado con el fin de reducir el valor absoluto de CRD. Se describirá un caso en el que 833 = 24 bits de la primera información de entrada **2511** y tres bits de la segunda información de entrada **2512** se serializan a unos datos en serie.

La figura 42 muestra la configuración de circuito del circuito de detección de CDR **3001**. El circuito de detección de CDR **3001** incluye un circuito de detección de disparidad **3001a**, un sumador **3001b** y un disparador biestable **3001c**. El circuito de detección de disparidad **3001a** emite un valor que se obtiene mediante la sustracción del número de ceros en los datos de 30 bits que se emiten a partir del circuito de conmutación **2505** con respecto al número de unos en los mismos. Un valor que se obtiene al sumar entre sí, el sumador **3001b**, el valor de CRD mantenido por el disparador biestable **3001c** y el valor de salida a partir del circuito de detección de disparidad **3001a** se engancha por el disparador biestable **3001c** para cada reloj, actualizando de este modo la CRD.

Haciendo referencia a continuación a la figura **43**, la figura **43** muestra un ejemplo alternativo del primer circuito de codificación **2504a** del presente ejemplo. Un primer circuito de codificación **2504a'** que se muestra en la figura **43** incluye un primer a tercero circuitos de codificación de 8B / 10B **2504a'-1**, **2504a'-2** y **2504a'-3** y un primer y un segundo circuitos de detección de disparidad **2504a'-4** y **2504a'-5**.

Cada uno de los circuitos de codificación de 8B / 10B **2504a'-1**, **2504a'-2** y **2504a'-3** convierte una entrada de 8 bits en una señal de 10 bits de tal modo que el número de ceros será más grande que el número de unos si el signo de la disparidad recibida es positivo, o de tal modo que el número de unos será más grande que el número de ceros si el signo de la disparidad recibida es negativo. Obsérvese que la conversión se realiza de tal modo que hay siempre un flanco de subida en la salida de 10 bits.

El primer circuito de codificación de 8B / 10B **2504a'-1** obtiene D < 23 : 16 > y convierte D < 23 : 16 > en ENCD < 29 : 20 > de tal modo que el número de unos en la salida de 10 bits es más pequeño que el número de ceros en la misma si el signo de CRD es positivo, o de tal modo que el número de unos es más grande que el número de ceros si el signo de CRD es negativo.

El primer circuito de detección de disparidad **2504a'-4** detecta la disparidad de ENCD < 29 : 20 >. Un sumador **2504a'-6** añade entre sí CRD y la salida del primer circuito de detección de disparidad **2504a'-4**, y emite el resultado como CRD 1.

El segundo circuito de codificación de 8B / 10B **2504a'-2** obtiene D < 15 : 8 > y convierte D < 15 : 8 > en ENCD < 19 : 10 > de tal modo que el número de unos en la salida de 10 bits es más pequeño que el número de ceros en la misma si el signo de CRD1 es positivo, o de tal modo que el número de unos es más grande que el número de ceros si el signo de CRD es negativo.

Un segundo circuito de detección de disparidad **2504a'-5** detecta la disparidad de ENCD < 19 : 10 >. Un sumador **2504a'-7** añade entre sí CRD 1 y la salida del segundo circuito de detección de disparidad **2504a'-5**, y emite el resultado como CRD2.

El tercer circuito de codificación de 8B / 10B **2504a'-3** obtiene D < 7 : 0 > y convierte este en ENCD < 9 : 0 > de una forma similar a la que se ha descrito en lo que antecede, de acuerdo con el signo de CRD2.

Por lo tanto, el primer circuito de codificación **2504a'** codifica la entrada de 24 bits con el fin de reducir el valor absoluto de CRD.

El segundo circuito de codificación **2504b** puede codificar un tipo de datos de entrada en dos tipos de datos, que son cuando se serializan de forma diferente unos con respecto a otros en términos de la anchura de impulso (el número de apariciones consecutivas de bits de "alto" = 1). El segundo circuito de codificación **2504b** codifica la segunda información de entrada con el fin de reducir la anchura de impulso, es decir, de tal modo que el número de unos es más pequeño que el número de ceros, si el signo de CRD es positivo, o con el fin de aumentar la anchura de impulso si el signo de CRD es negativo. La relación de entrada - salida del segundo circuito de codificación **2504b** es tal como se muestra en la tabla 1 en lo sucesivo, por ejemplo.

[Tabla 1]

Entrada	CRD	Salida de segundo codificador
000	-	11_111_1111_1111_1100_0000_0000_0000
	+	11_1111_1111_1111_0000_0000_0000_0000
001	-	11_1111_1111_1111_1110_0000_0000_0000
	+	11_1111_1111_1110_0000_0000_0000_0000
010	-	11_1111_1111_1111_1111_0000_0000_0000
	+	11_1111_1111_1100_0000_0000_0000_0000
011	-	11_1111_1111_1111_1111_1000_0000_0000
	+	11_1111_1111_1000_0000_0000_0000_0000
100	-	11_1111_1111_1111_1111_1100_0000_0000
	+	11_1111_1111_0000_0000_0000_0000_0000
101	-	11_1111_1111_1111_1111_1110_0000_0000
	+	11_1111_1110_0000_0000_0000_0000_0000
110	-	11_1111_1111_1111_1111_1111_0000_0000
	+	11_1111_1100_0000_0000_0000_0000_0000
111	-	11_1111_1111_1111_1111_1111_1000_0000
	+	11_1111_0000_0000_0000_0000_0000_0000

La figura 68 y la figura 69 muestran unos ejemplos de forma de onda 1 a 3 de los datos serializados en los que se realiza una operación de codificación de este tipo.

El ejemplo de forma de onda 1 de la figura **68** es un símbolo de un total de 32 bits que se obtienen cuando DEI (señal de conmutación) = 1 (alto), con unos bits de inicio y de detención acoplados al comienzo y al final de un grupo de tres bloques de 10 bits que se obtienen a través de una codificación de 8B / 10B de la primera información. Cuando DEI (señal de conmutación) = 0 (bajo), la segunda información se transforma en una señal modulada por anchura de impulso de un periodo de 32 bits a través de un proceso de codificación equilibrado en CC tal como se ha descrito en lo que antecede.

El ejemplo de forma de onda 2 de la figura **69(A)** es una forma de onda similar al ejemplo de forma de onda 1 en el que DEI (señal de conmutación) = 1, excepto por que se omiten los bits de inicio y de detención. En este caso, cada símbolo de la primera información es un símbolo de 30 bits. Cuando DEI (señal de conmutación) = 0, la segunda información es una señal modulada por anchura de impulso de un periodo de 30 bits.

El ejemplo de forma de onda 3 de la figura **69(B)** es una variación del ejemplo de forma de onda 2, en el que la forma de onda se obtiene mediante la conexión entre sí de tres señales moduladas por anchura de impulso cada uno de un periodo de 10 bits en el que DEI (señal de conmutación) = 0. También en este caso, los datos se equilibran en CC.

Las formas de onda de datos en serie tal como se ha descrito en lo que antecede pueden conseguirse al cambiar las relaciones de conexión entre los terminales de entrada del circuito de conmutación **2505** y los terminales de salida del codificador que se describe en la realización en lo que antecede.

Tal como se ha descrito en lo que antecede, con la unidad de transmisión **3000** del presente ejemplo, es posible codificar la primera información de entrada con el fin de reducir el valor absoluto de CRD, es decir, de tal modo que los datos obtenidos se equilibran en CC. Además, la segunda información de entrada puede codificarse para dar una señal modulada por anchura de impulso que se equilibra en CC.

En el circuito de recepción que recibe la salida a partir de la unidad de transmisión del presente ejemplo, el primer circuito de descodificación realiza una operación de descodificación que se corresponde con la operación de codificación que se realiza por el primer circuito de codificación del presente ejemplo, y el segundo circuito de descodificación realiza una operación de descodificación que se corresponde con la operación de codificación que se realiza por el segundo circuito de codificación del presente ejemplo, recuperando de este modo la primera información de entrada y la segunda información de entrada.

[Ejemplo 5]

El ejemplo 5 es un ejemplo de una estructura de datos en la que se embeben datos de DEI tal cual dentro de un símbolo. El circuito de transmisión de datos digitales, el circuito de recepción, el método de transferencia de datos digitales y el concepto del sistema del presente ejemplo se describirán con referencia a la figura **44(A)** y la figura **44(B)**. La figura **44(A)** y la figura **44(B)** muestran ejemplos de unas formas de onda de señal de los datos en serie 300 que se obtienen mediante la serialización de datos digitales de color de entrada (RI5 a RI0, GI5 a GI0, BI5 a BI0: a los que también se hace referencia como grupo de datos digitales de color de entrada o información principal), unos datos de sincronización de entrada (Hsyncl (datos de sincronización horizontal de entrada), Vsyncl (datos de sincronización vertical de entrada), CTRLl (control de entrada): a lo que también se hace referencia como grupo de datos de sincronización o información subordinada) y DEI (señal de selección de entrada (habilitación de datos de entrada)), que se introducen como datos en paralelo, en el método de transferencia de datos digitales de la presente invención y el sistema del mismo. A pesar de que los datos de color de los datos en serie son unos datos de 6 bits para cada uno de los colores R, G y B (RI5 a RI0, GI5 a GI0, BI5 a BI0), se entiende que la presente invención no se limita a esto.

En primer lugar, mientras que DEI (habilitación de datos) = "alto", es decir, en el periodo activo, un símbolo de los datos en serie **300** está formado por unos datos que se obtienen mediante la serialización del bit de inicio (Inicio), la señal invertida de habilitación de datos (DEIn), los datos de color (RI5, RI4, ... , B12, BI1, BI0) y el bit de detención (Detención) en este orden.

Mientras que DEI (habilitación de datos) = "bajo", es decir, en el periodo de supresión, un símbolo de los datos en serie **300** está formado por unos datos que se obtienen mediante la serialización del bit de inicio (Inicio), la señal invertida de habilitación de datos (DEIn), los Hsyncl, Vsyncl y CTRLl codificados y el bit de detención (Detención) en este orden. Mientras que DEI = "bajo", es decir, en el periodo de supresión, Hsyncl, Vsyncl y CTRLl se serializan después de codificarse de tal modo que hay solo un flanco de subida dentro de un símbolo de los datos en serie **300**. Específicamente, Hsyncl, Vsyncl y CTRLl se codifican y, a continuación, se emiten por el circuito de codificación de tal modo que el se encuentra a un nivel más alto que el LSB, después de lo cual los datos se serializan por el circuito de serialización de forma sucesiva de MSB a LSB. Por lo tanto, cuando DEI es bajo, los datos son de tal modo que la salida a partir del circuito de serialización se encuentra a un nivel más alto antes en el tiempo dentro de un símbolo, de tal modo que un flanco de subida tiene lugar solo entre símbolos.

Con una configuración de este tipo, es posible reducir lo bastante la posibilidad de errores cuando se recupera el reloj a partir de los datos en serie que incluyen los datos de sincronización que se transmiten en el periodo de supresión.

5 Una realización del circuito de transmisión de datos digitales, el circuito de recepción, el método de transferencia de datos digitales y el sistema de la presente invención se describirán con referencia a de la figura 45 a la figura 50.

10 En primer lugar, haciendo referencia a la figura 45, la figura 45 muestra una realización del circuito de transmisión de datos digitales y el circuito de recepción de la presente invención, el método de transferencia de datos digitales que usa los mismos y el sistema del mismo.

15 Una unidad de transmisión (circuito de transmisión) 401 transmite a una unidad de recepción 421 unos datos en serie 415 que se obtienen mediante la serialización de unos datos de color de entrada 411 (RI5 a RI0, GI5 a GI0, BI5 a BI0) y unos datos de sincronización de entrada 412 (Hsyncl (datos de sincronización horizontal de entrada), Vsyncl (datos de sincronización vertical de entrada), CTRLl (control de entrada) y DEI (señal de selección de entrada (habilitación de datos de entrada))).

20 La unidad de recepción (circuito de recepción) 421 recibe y deserializa los datos en serie 415 que se transmiten a partir de la unidad de transmisión 401 y recupera a partir de los mismos unos datos de color de salida 431 (RO5 a RO0, GO5 a GO0, BO5 a BO0), unos datos de sincronización de salida 432 (HsyncO (datos de sincronización horizontal de salida), VsyncO (datos de sincronización vertical de salida), CTRL0 (control de salida), DEO (señal de selección de salida (habilitación de datos de salida))) y un reloj de salida 434.

25 La unidad de transmisión 401 incluye un circuito de serialización 402 (serializador), un circuito de sincronización de fase 403 (circuito de PLL: circuito de lazo de enganche de fase), un circuito de codificación 404 (codificador), un circuito de conmutación 405 y una memoria intermedia de salida 406 (memoria intermedia de salida).

30 La unidad de recepción 421 incluye un circuito de deserialización 422 (deserializador), un circuito de extracción de reloj (circuito de CDRPLL: circuito de lazo de enganche de fase de recuperación de datos de reloj) 423, un circuito de descodificación 424 (descodificador), unos circuitos de conmutación 425 y 426 y una memoria intermedia de entrada 427 (memoria intermedia de entrada). Obsérvese que la memoria intermedia de salida 406 y la memoria intermedia de entrada 427 pueden ser opcionales. Mientras que los datos de R, G y B son, cada uno, unos datos de 6 bits para los datos de color de entrada 411 en el presente ejemplo, se entiende que la presente invención no se limita a esto. También puede hacerse referencia al circuito de descodificación 424 (descodificador) y los circuitos de conmutación 425 y 426 de forma colectiva como un circuito de separación de información.

35 En la unidad de transmisión 401, los datos de color de entrada 411 se introducen en el circuito de conmutación 405. Los datos de sincronización de entrada 412 excluyendo DEI, es decir, Hsyncl, Vsyncl y CTRLl, se introducen en el circuito de codificación 404 y se codifican por el circuito de codificación 404. El circuito de conmutación 405 usa DEI como una señal de selección de entrada para seleccionar los datos de color de entrada 411 si DEI es alto y seleccionar la salida del circuito de codificación 404 si DEI es bajo, y emite la señal seleccionada al circuito de serialización 402. Un reloj de entrada 414 se convierte en un reloj de múltiples fases mediante el circuito de sincronización de fase 403, y el circuito de serialización 402 usa el reloj de múltiples fases para serializar la salida del circuito de conmutación 405 y la señal invertida de DEI para emitir la señal obtenida a través de la memoria intermedia de salida 406.

40 En la unidad de transmisión 401, Hsyncl, Vsyncl y CTRLl se codifican y se emiten a partir del circuito de codificación de tal modo que el se encuentra a un nivel más alto que el LSB, en donde el MSB es la señal que viene antes en el tiempo dentro de un símbolo cuando los datos se serializan, y se serializan por el circuito de serialización 402 de forma sucesiva de MSB a LSB. Por lo tanto, cuando DEI es bajo, los datos son de tal modo que la salida a partir del circuito de serialización se encuentra a un nivel más alto antes en el tiempo dentro de un símbolo, de tal modo que un flanco de subida tiene lugar solo entre símbolos.

45 En la unidad de recepción 421, en primer lugar, el circuito de extracción de reloj 423 recupera el reloj de salida (CLKO) 434 y el reloj de múltiples fases a partir de los datos en serie 415. A continuación, mediante el uso del reloj de múltiples fases, los datos en serie 415 se convierten por el circuito de deserialización 422 en una señal en paralelo. La señal en paralelo contiene la señal invertida de la señal de DEI. La señal en paralelo excluyendo DEI se introduce en, y se descodifica por, el circuito de descodificación 424. Cuando DEI es alto, el circuito de conmutación 425 está activo y emite la señal en paralelo como unos datos de color de salida (RO5 a RO0, GO5 a GO0, BO5 a BO0). Cuando DEI es bajo, el circuito de conmutación 425 emite un nivel bajo como los datos de color de salida. Cuando DEI es bajo, el conmutador 426 está activo y emite la salida del circuito de descodificación 424 como datos de sincronización de salida. Cuando DEI es alto, el conmutador 426 mantiene la salida.

50 Haciendo referencia a continuación a la figura 46, la figura 46(A) y la figura 46(B) muestran ejemplos de unas formas de onda de señal de los datos en serie 415 que se obtienen mediante la serialización, en la unidad de lado de recepción del presente ejemplo, de unos datos de color de entrada (RI5 a RI0, GI5 a GI0, BI5 a BI0) que tienen,

cada uno, seis bits y unos datos de sincronización de entrada (HsyncI (datos de sincronización horizontal de entrada), VsyncI (datos de sincronización vertical de entrada), CTRLI (control de entrada), DEI (señal de selección de entrada (habilitación de datos de entrada))), que se introducen como datos en paralelo.

5 En primer lugar, mientras que DEI (habilitación de datos) = “alto”, es decir, en el periodo activo, un símbolo de los datos en serie **415** está formado por unos datos que se obtienen mediante la serialización del bit de inicio (Inicio), la señal invertida de habilitación de datos (DEIn), los datos de color (RI5, RI4, ... , BI2, BI1, B10) y el bit de detención (Detención) en este orden. Obsérvese que un símbolo tiene 21 bits en el presente ejemplo.

10 Mientras que DEI (habilitación de datos) = “bajo”, es decir, en el periodo de supresión, un símbolo de los datos en serie **415** está formado por unos datos que se obtienen mediante la serialización del bit de inicio (Inicio), la señal invertida de habilitación de datos (DEIn), un bit de guarda de habilitación de datos (grd de DE), los HsyncI, VsyncI y CTRLI codificados, un bit de guarda de detención (grd de Detención) y el bit de detención (Detención) en este orden. Mientras que DEI = “bajo”, es decir, en el periodo de supresión, HsyncI, VsyncI y CTRLI se serializan después de codificarse de tal modo que hay solo un flanco de subida dentro de un símbolo de los datos en serie **415**. Obsérvese que cuando DEI = “bajo”, los datos de sincronización de entrada se modulan por anchura de impulso con un periodo que es n veces la anchura de impulso de los datos digitales de los datos de color de entrada.

20 Con una estructura de datos de este tipo en la que hay solo un flanco de subida dentro de un símbolo como en el presente ejemplo, es posible reducir lo bastante la posibilidad de errores cuando se recupera el reloj a partir de los datos en serie que incluyen los datos de sincronización que se transmiten en el periodo de supresión.

25 En el presente ejemplo que se muestra en la figura **46**, el bit de guarda de habilitación de datos (grd de DE) se proporciona a continuación de la señal invertida de habilitación de datos (DEIn). Con la provisión del bit de guarda de habilitación de datos (grd de DE), la señal invertida de habilitación de datos (DEIn), que sirve como el punto de recuperación cuando se recuperan los datos en paralelo y el reloj a partir de los datos en serie **415**, se extrae con una precisión más alta, haciendo posible reducir la posibilidad de errores de muestreo cuando se muestrean los datos de sincronización y el reloj.

30 Haciendo referencia a la figura **47**, la figura **47** muestra la configuración de la unidad de transmisión **401** del presente ejemplo. El circuito de codificación **404** incluye cuatro circuitos NAND, cuatro circuitos NOR y tres circuitos inversores. El circuito de conmutación **405** incluye un número de multiplexadores **4051** (18) que se corresponden con los datos de color de entrada **411** (RI5 a RI0, GI5 a GI0, BI5 a BI0), y un inversor **4052**. En el presente ejemplo, la salida a partir del circuito de codificación **404** es una salida de 7 bits, y una señal “alta” se introduce en dos de los multiplexadores **4051** mientras que una señal “baja” se introduce en otros dos de los multiplexadores **4051** con el fin de formar unos bits de guarda de detención. La figura **51** muestra un ejemplo en el que los bits de guarda de detención no se proporcionan.

40 Hsync, Vsync y CTRLI se introducen en el circuito de codificación **404**. Los Hsync, Vsync y CTRLI de entrada se codifican por el circuito de codificación **404**, y los datos de 7 bits codificados se emiten al circuito de conmutación **405**.

45 Haciendo referencia a continuación a la figura **48(A)** y la figura **48(B)**, se describirá el funcionamiento del circuito de codificación **404**. La figura **48(A)** muestra la configuración de circuito del circuito de codificación **404** del presente ejemplo y la salida de 7 bits a partir del mismo (SYNC [0] a SYNC [6]). La figura **48(B)** muestra una tabla de datos de Hsync, Vsync y CTRLI que se introducen en el circuito de codificación **404** del presente ejemplo y unos datos de salida a partir del mismo (SYNC [0] a SYNC [6]).

50 Tal como se muestra en la tabla de datos de la figura **48(B)**, los datos de salida (SYNC [0] a SYNC [6]) a partir del circuito de codificación **404** son de tal modo que, cuando se reciben los datos de entrada Hsync, Vsync y CTRLI, el número de transiciones está limitado. Dicho de otra forma, unos datos de 3 bits {Hsync, Vsync, CTRLI} en los que el bit más significativo (MSB) es HsyncI y el bit menos significativo (LSB) es CTRLI se codifica para dar unos datos de 7 bits {SYNC [0] (bit más significativo) a SYNC [6] (bit menos significativo)} de tal modo que a medida que el valor de los datos de 3 bits aumenta en uno, aumenta el número de valores de datos “altos” consecutivos que van a emitirse comenzando a partir del bit más significativo de los datos de 7 bits. Es decir, la operación de codificación se realiza con el fin de emitir los datos de 7 bits {SYNC [0] (bit más significativo) a SYNC [6] (bit menos significativo)} de tal modo que un valor de un bit superior es siempre más alto que un valor de un bit inferior. Un esquema de salida de este tipo en general se denomina “termo-código”, tal codificación se denomina codificación de tipo “termo-código”, y un codificador de este tipo se denomina codificador de tipo “termo-código”.

60 Se requiere que el circuito de codificación **404** que se usa en el método de transferencia de datos digitales de la presente invención y el sistema del mismo emplee un esquema de salida de tipo termo-código. Obsérvese que la configuración de circuito del circuito de codificación **404** no se limita a lo que se muestra en la figura **48(A)**, sino que puede ser cualquier configuración de circuito adecuada siempre que esta emplee un esquema de salida de tipo termo-código. Por lo tanto, solo un flanco de subida se produce dentro de un símbolo.

Haciendo referencia de nuevo a la figura **47**, los datos de salida (SYNC [0] a SYNC [6]) a partir del circuito de codificación **404** y DEI (habilitación de datos de entrada) se introducen en el circuito de conmutación **405**. En el presente ejemplo, los datos de color de entrada **411** (RI5 a RI0, GI5 a GI0, BI5 a BI0) se introducen de forma sucesiva en los multiplexadores **4051** que están conectados en paralelo uno con respecto a otro formando el circuito de conmutación **405** con “alto” introduciéndose en la otra entrada de los conmutadores **4051** que están recibiendo RI5 y RI4 de los datos de color de entrada **411** y “bajo” introduciéndose en la otra entrada de los conmutadores **4051** que están recibiendo BI1 y BI0. DEI se introduce en la otra entrada del conmutador **4051** que está recibiendo RI5 de los datos de color de entrada **411**. El circuito de conmutación **405** emite unos datos (SR1 a SR19) al circuito en serie **402** sobre la base del DEI recibido, los datos de color de entrada **411** y los datos de salida (SYNC [0] a SYNC [6]) a partir del circuito de codificación **404**.

Sobre la base del reloj de entrada **414**, el circuito de sincronización de fase **403** forma una pluralidad de relojes de diferentes fases, y los emite al circuito de serialización.

El circuito de serialización **402** serializa los datos de entrada (SR1 a SR19) sobre la base de la pluralidad de relojes de diferentes fases a partir del circuito de sincronización de fase **403** para formar los datos en serie **415**, y emite los datos en serie **415** a la unidad de recepción **421** a través de la memoria intermedia de salida **406**.

La figura **49** muestra la configuración de la unidad de recepción **421** del presente ejemplo. Los datos en serie **415** que se emiten a partir de la unidad de transmisión **401** se introducen en el circuito de deserialización **422** y el circuito de extracción de reloj **423** a través de la memoria intermedia de entrada **427**. El circuito de extracción de reloj **423** extrae el reloj a partir de los datos en serie **415** para recuperar el reloj de salida **434** y una pluralidad de relojes de diferentes fases. El circuito de deserialización **422** deserializa los datos en serie **415** sobre la base de la pluralidad de relojes de diferentes fases que se recuperan por el circuito de extracción de reloj **423**, y emite los datos de salida (DSR0 a DSR20) al circuito de decodificación **424** y los circuitos de conmutación **425** y **426**. El circuito de decodificación **424** recibe parte de los datos de salida (DSR0 a DSR20) que se corresponden con los datos de sincronización (DSR4, DSR6, DSR8, DSR10, DSR12, DSR14 y DSR16 en el presente ejemplo). El circuito de decodificación **424** decodifica los datos recibidos y emite unos datos que se corresponden con los datos de sincronización de salida **432** (HsyncO, VsyncO, CTRL0) al circuito de conmutación **426**.

La figura **50** muestra la configuración de circuito del circuito de decodificación **424** del presente ejemplo. El circuito de decodificación **424** del presente ejemplo incluye 12 circuitos NOR, un circuito NAND y dos circuitos inversores. La configuración de circuito del circuito de decodificación no se limita a configuración de circuito particular alguna siempre que esta sea capaz de decodificar una señal de sincronización “termocodificada”, y no se limita a la configuración de circuito que se muestra en la figura **50**.

Haciendo referencia de nuevo a la figura **49**, los circuitos de conmutación **425** y **426** seleccionan unos datos que se introducen a partir del circuito de deserialización **422** y el circuito de decodificación **424** sobre la base de la pluralidad de relojes de diferentes fases que se introducen a partir del circuito de extracción de reloj **423**, y emiten los datos seleccionados a un circuito disparador biestable **428**. El circuito disparador biestable **428** incluye 22 disparadores biestables **4271**, y emite los datos de color de salida (RO5 a RO0, GO5 a GO0, BO5 a BO0), los datos de sincronización de salida **432** (HsyncO, VsyncO, CTRL0) y EDO.

Por lo tanto, los datos de color de entrada **411**, los datos de sincronización de entrada **412** y el reloj de entrada **414**, que se introducen como datos en paralelo, se serializan y, a continuación, se transmiten por la unidad de transmisión **401**. A continuación, en la unidad de recepción, los datos transmitidos se deserializan, y los datos de color de salida **431**, los datos de sincronización de salida **432** y el reloj de salida **434** se recuperan a partir de los mismos.

De acuerdo con el presente ejemplo, el número de flancos de subida por un símbolo de datos en serie se fija a uno durante los periodos de supresión, haciendo posible reducir los errores que tienen lugar debido al deterioro de forma de onda cuando se extrae el reloj a partir de los datos en serie, consiguiendo de este modo una transferencia de datos estable.

Obsérvese que la unidad de transmisión **401** puede incluir un primer codificador **404a** y un segundo codificador **404b**, en la que los datos de color de entrada **411** se introducen en el primer codificador **404a** y los datos de sincronización de entrada **412** en el segundo codificador **404b**, tal como se muestra en la figura **52**. En el presente ejemplo, puede considerarse que los datos de color de entrada **411** se codifican por el primer codificador **404a** y se introducen en el circuito de conmutación **405**.

[Ejemplo 6]

El ejemplo 6 es un ejemplo en el que el ejemplo 5 en el que los datos de color de entrada son unos datos de 6 bits se aplica a un caso en el que los datos de color de entrada son unos datos de 8 bits.

La figura **53(A)** y la figura **53(B)** muestran ejemplos de unas formas de onda de señal de los datos en serie **1001** que se obtienen mediante la serialización, en la unidad de lado de recepción, de unos datos de color de entrada (RI7 a

RI0, GI7 a GI0, BI7 a BI0) que tienen ocho bits para cada color, unos datos de sincronización (HsyncI (datos de sincronización horizontal de entrada), VsyncI (datos de sincronización vertical de entrada), CTRLI (control de entrada)), y DEI (señal de selección de entrada (habilitación de datos de entrada)), que se introducen como datos en paralelo, de acuerdo con el presente ejemplo.

5 En primer lugar, mientras que DEI (habilitación de datos) = "alto", es decir, en el periodo activo, un símbolo de los datos en serie **1001** está formado por unos datos que se obtienen mediante la serialización del bit de inicio (Inicio), la señal invertida de habilitación de datos (DEIn), los datos de color (RI7, RI6, ... , BI2, BI1, BI0), el bit de guarda de detención (grd de Detención) y el bit de detención (Detención) en este orden. Obsérvese que un símbolo tiene 28 bits en el presente ejemplo.

15 Mientras que DEI (habilitación de datos) = "bajo", es decir, en el periodo de supresión, un símbolo de los datos en serie **1001** está formado por unos datos que se obtienen mediante la serialización del bit de inicio (Inicio), la señal invertida de habilitación de datos (DEIn), el bit de guarda de habilitación de datos (grd de DE), los HsyncI, VsyncI y CTRLI codificados, el bit de guarda de detención (grd de Detención) y el bit de detención (Detención) en este orden. Una vez más, mientras que DEI = "bajo", es decir, en el periodo de supresión, HsyncI, VsyncI y CTRLI se serializan después de codificarse de tal modo que hay solo un flanco de subida dentro de un símbolo de los datos en serie **1001**.

20 Con una estructura de datos de este tipo en la que hay solo un flanco de subida dentro de un símbolo como en el presente ejemplo, es posible reducir lo bastante la posibilidad de errores cuando se recupera el reloj a partir de los datos en serie que incluyen los datos de sincronización que se transmiten en el periodo de supresión.

[Ejemplo 7]

25 El ejemplo 7 es un ejemplo en el que un filtro de DE **1101** y un circuito disparador biestable **1102** se proporcionan adicionalmente en la unidad de recepción **421** de la presente invención que se muestra en la figura **45** y que se describe en el ejemplo 5 en lo que antecede.

30 La figura **54** muestra un diagrama de bloques de circuito de la unidad de recepción del presente ejemplo. En el presente ejemplo, el DSR1 de salida de entre los datos (DSR0 a DSR20) que se emiten a partir del circuito en paralelo **422** que se corresponde con DEI se introduce en el filtro de DE **1101**.

35 La función del filtro de DE **1101** se describirá con referencia a la figura **55**. La figura **55(A)** muestra una configuración de circuito del filtro de DE **1101**, y la figura **55(B)** muestra un diagrama de temporización de los datos (DE0, DE1, DE2, DE0) en el filtro de DE **1101**. El filtro de DE **1101** de la presente realización incluye un circuito lógico de mayoría **1101a** y tres disparadores biestables, incluyendo el circuito lógico de mayoría **1101a** un circuito OR y tres circuitos AND.

40 Como una característica de una señal de DEI, no se emitirá un impulso de solo un bit, pero el impulso de la señal se extiende a lo largo de unos pocos bits. Por lo tanto, si hay un impulso de solo un bit, este es un error, que se filtra por el filtro de DE **1101**. El filtro de DE **1101** incluye un circuito disparador biestable para retardar DEI, y el circuito lógico de mayoría **1101a**. El circuito lógico de mayoría **1101a** emite "1" si la mayoría de sus tres entradas son "1" y emite "0" si la mayoría de sus tres entradas son "0". En la forma de onda que se muestra en la figura **55(B)**, los errores que se indican mediante unas líneas de trazo grueso se filtran por el circuito lógico de mayoría **2540**. Con la configuración de circuito que se muestra en la figura **55(A)**, incluso si un error tiene lugar en DE0 que se introduce en el filtro de DE **1101**, el error se filtra y, por lo tanto, hay una posibilidad muy baja de que tengan lugar errores en el DE0 de salida.

50 Haciendo referencia de nuevo a la figura **54**, las señales de sincronización Hsync, Vsync y CTRL que se descodifican por el circuito de descodificación **424** y los datos de color DSR [20 : 0] que se emiten a partir del circuito de deserialización **422** se emiten al circuito disparador biestable **1102**. El circuito disparador biestable **1102** incluye 42 disparadores biestables **11021**, y emite unos datos a los circuitos de conmutación **425** y **426**. Los circuitos de conmutación **425** y **426** emiten de forma selectiva los datos recibidos al circuito disparador biestable **428** sobre la base de la señal de DE a partir del filtro de DE **1101**. El circuito disparador biestable **428** emite los datos de color de salida (RO5 a RO0, GO5 a GO0, BO5 a BO0) y los datos de sincronización de salida **432** (HsyncO, VsyncO, CTRLLO).

60 Por lo tanto, los datos de color de entrada **411**, los datos de sincronización de entrada **412** y el reloj de entrada **414**, que se introducen como datos en paralelo, se serializan y, a continuación, se transmiten por la unidad de transmisión **401**. A continuación, en la unidad de recepción **421**, los datos transmitidos se deserializan, y los datos de color de salida **431**, los datos de sincronización de salida **432** y el reloj de salida **433** se recuperan a partir de los mismos.

65 En el presente ejemplo, se proporciona el filtro de DE **1101**, como resultado de lo cual hay una posibilidad muy baja de que tengan lugar errores en el DE0 de salida. Por lo tanto, es posible extraer de forma más precisa la DEO.

[Ejemplo 8]

El ejemplo 8 es un ejemplo en el que la operación de “equilibrio de CC” (una operación que se realiza de tal modo que el número de unos y el número de ceros son sustancialmente iguales entre sí) se realiza para los datos de color y los datos de sincronización cuando se forman los datos en serie en la unidad de transmisión.

La figura 56 muestra una estructura de datos de los datos en serie 1401 en el presente ejemplo. En primer lugar, mientras que DEI (habilitación de datos) = “alto”, es decir, en el periodo activo, un símbolo de los datos en serie 1401 está formado por unos datos que se obtienen mediante la serialización del bit de inicio (Inicio), unos datos de color (R[5 : 0], G[5 : 0], B[5 : 0]) que se obtienen mediante la codificación de unos datos de color R, G y B que tienen, cada uno, seis bits, en unos datos de 8 bits, el bit de guarda de detención (grd de Detención) y el bit de detención en este orden.

En el presente ejemplo, la operación de “equilibrio de CC” se realiza cuando se codifican los datos de color R, G y B que tienen, cada uno, seis bits, en unos datos de 8 bits usando un circuito de codificación equilibrado en CC 1505 tal como se muestra en la figura 57 y la figura 58(A) de tal modo que el número total de “altos” (= 1) y el número total de “bajos” (= 0) convergen al mismo número para símbolos consecutivos que contienen, cada uno, unos datos de 8 bits R, G y B. Por ejemplo, considérese un caso en el que los datos digitales de color de 6 bits son “000001” tal como se muestra en la figura 58(B). Si hay más “unos” que “ceros” en los datos digitales, estos se codifican para dar unos datos de 8 bits mediante la adición de “01” a continuación del bit más bajo de los datos digitales de color de 6 bits. Si hay más “ceros” que “unos” en los datos digitales, estos se codifican para dar unos datos de 8 bits mediante la inversión de los datos digitales de color de 6 bits y la adición de “10” a continuación del bit más bajo de los mismos. Los datos de color, que se han codificado para dar unos datos de 8 bits tal como se ha descrito en lo que antecede, se emiten a, y se seleccionan por, el circuito de conmutación y se emiten al circuito de serialización. Cada uno de los datos de 8 bits convertidos siempre contiene “1” y “0”, y los datos en serie que se obtienen mediante la conexión entre sí de estos datos de 8 bits siempre contienen dos o más flancos de subida.

Mientras que DEI (habilitación de datos) = “bajo”, es decir, en el periodo de supresión, un símbolo de los datos en serie 1401 está formado por unos datos que se obtienen mediante la serialización del bit de inicio (Inicio), los HsyncI, VsyncI y CTRLI codificados, el bit de guarda de detención (grd de Detención) y el bit de detención (Detención) en este orden. Por lo tanto, en el periodo de supresión, HsyncI, VsyncI y CTRLI se codifican en unos datos de tipo termo-código y, a continuación, se serializan de tal modo que hay solo un flanco de subida en un símbolo en los datos en serie 1401. También en el periodo en el que DEI = “bajo”, se realiza una modulación por anchura de impulso de tal modo que los HsyncI, VsyncI y CTRLI codificados mantienen un equilibrio de CC. En el presente ejemplo, tal como se muestra en la figura 56(B), HsyncI, VsyncI y CTRLI, que se han codificado para dar unos datos de tipo termo-código, se asignan a una anchura de impulso α , y cada uno de los datos de número impar se modula para dar una anchura de impulso $(0,5 + \alpha)$ y se envía al circuito de conmutación mientras que cada uno de los datos de número par se modula para dar una anchura de impulso $(0,5 - \alpha)$ y se envía al circuito de conmutación. De esta forma, la anchura de impulso promedio en un símbolo es 0,5, manteniendo de este modo un equilibrio de CC.

Haciendo referencia a la figura 57, la figura 57 muestra un circuito de transmisión de datos digitales y un circuito de recepción del presente ejemplo, un método de transferencia de datos digitales que usa los mismos y un sistema del mismo.

El número de referencia 1501 indica una unidad de transmisión (circuito de transmisión) para serializar unos datos de color de entrada 1511 (RI5 a RI0, GI5 a GI0, BI5 a BI0) y unos datos de sincronización de entrada 1512 (HsyncI (datos de sincronización horizontal de entrada), VsyncI (datos de sincronización vertical de entrada), CTRLI (control de entrada), DEI (señal de selección de entrada (habilitación de datos de entrada))), que se introducen en sincronismo con el reloj de entrada, para formar y transmitir los datos en serie 1515 a una unidad de recepción 1521.

La unidad de recepción (circuito de recepción) 1521 recibe y deserializa los datos en serie 1515 que se transmiten a partir de la unidad de transmisión 1501 y recupera a partir de los mismos unos datos de color de salida 1531 (RO5 a RO0, GO5 a GO0, BO5 a BO0), unos datos de sincronización de salida 1532 (HsyncO (datos de sincronización horizontal de salida), VsyncO (datos de sincronización vertical de salida), CTRLLO (control de salida), DEO (señal de selección de salida (habilitación de datos de salida))), y un reloj de salida 1534.

La unidad de transmisión 1501 incluye un circuito de serialización 1502 (serializador), un circuito de sincronización de fase 1503 (circuito de PLL: circuito de lazo de enganche de fase), un circuito de codificación 1504 (codificador), el circuito de codificación equilibrado en CC 1505 (codificador de equilibrio de CC), un circuito de conmutación 1506 y una memoria intermedia de salida 1507 (memoria intermedia de salida).

La unidad de recepción 1521 incluye un circuito de deserialización 1522 (deserializador), un circuito de extracción de reloj (circuito de CDRPLL: circuito de lazo de enganche de fase de recuperación de datos de reloj) 1523, unos circuitos de descodificación 1524 y 1525 (descodificador), unos circuitos de conmutación 1526 y 1527, un circuito de determinación de recuento de flancos 1528 y una memoria intermedia de entrada 1529 (memoria intermedia de entrada). Obsérvese que la memoria intermedia de salida 1507 y la memoria intermedia de entrada 1529 pueden ser

opcionales. Mientras que los datos de R, G y B son, cada uno, unos datos de 6 bits para los datos de color de entrada **1511** en el presente ejemplo, se entiende que la presente invención no se limita a esto.

5 Los datos de color de entrada **1511** se introducen en el circuito de codificación equilibrado en CC **1505** de la unidad de transmisión **1501**, en la que estos se equilibran en CC, y se emiten al circuito de conmutación **1506**. DEI (habilitación de datos de entrada) se introduce en el circuito de conmutación **1506**. Aparte de esto, la configuración es similar a la que se muestra en la figura **45**.

10 En la unidad de transmisión **1501**, los datos de color de entrada se introducen en el circuito de codificación equilibrado en CC **1505** y se codifican para dar unos datos de 24 bits. La operación de codificación se realiza de tal modo que cada uno de los datos de R, G y B de 6 bits se convierten en datos de 8 bits equilibrados en CC. Debido a que cada uno de los datos de 8 bits contiene tanto "1" como "0", los datos que se obtienen mediante la serialización de los 24 bits en el orden de R, G y B contendrán dos o más flancos de subida.

15 Los datos de sincronización de entrada **1512** excluyendo DEI, es decir, HSYNCl, VSYNCl, CTRLl, se introducen en el circuito de codificación **1504** y se codifican para dar unos datos de tipo termo-código. Estos se emiten a partir del circuito de codificación **1504** de tal modo que el se encuentra a un nivel más alto que el LSB, en donde el MSB es la señal que viene antes en el tiempo dentro de un símbolo cuando los datos se serializan, y se serializan por el circuito de serialización **1502** de forma sucesiva de MSB a LSB. Por lo tanto, cuando DEI es bajo, los datos son de tal modo
20 que la salida a partir del circuito de serialización se encuentra a un nivel más alto antes en el tiempo dentro de un símbolo, de tal modo que un flanco de subida tiene lugar solo entre símbolos.

25 El circuito de conmutación **1506** usa DEI como una señal de selección de entrada para seleccionar el resultado que se obtiene mediante la codificación de los datos de color de entrada por el circuito de codificación equilibrado en CC **1505** si DEI es alto y seleccionar la salida del circuito de codificación **1504** si DEI es bajo, y emite la señal seleccionada al circuito de serialización **1502**. Un reloj de entrada **1514** se convierte por el circuito de sincronización de fase **1503** en un reloj de múltiples fases, y el circuito de serialización **1502** usa el reloj de múltiples fases para serializar la salida del circuito de conmutación **1506** para emitir la señal obtenida a través de la memoria intermedia de salida **1507**.
30

Con una configuración de este tipo, hay dos o más flancos de subida dentro de un símbolo excluyendo aquellos entre símbolos cuando DEI es alto, y un flanco de subida en un símbolo tiene lugar solo entre símbolos cuando DEI es bajo.

35 En la unidad de recepción **1521**, en primer lugar, el circuito de extracción de reloj **1523** recupera el reloj de salida (CLKO) **1534** y el reloj de múltiples fases a partir de los datos en serie **1515**. A continuación, mediante el uso del reloj de múltiples fases, los datos en serie **1515** se convierten por el circuito de deserialización **1522** en una señal en paralelo. La señal en paralelo se introduce en el circuito de determinación de recuento de flancos **1528**. El circuito de determinación de recuento de flancos **1528** emite una señal alta como DEO si hay un flanco de subida que no sea aquellos entre símbolos, y de lo contrario emite una señal baja como DEO. La señal en paralelo se introduce en el
40 circuito de descodificación **1524** y se descodifica con el fin de invertir la operación de codificación que se realiza por el circuito de codificación equilibrado en CC **1505** de la unidad de transmisión **1501**. La señal en paralelo se introduce de forma similar también en el circuito de descodificación **1525** y se descodifica con el fin de invertir la operación de codificación que se realiza por el circuito de codificación **1504** de la unidad de transmisión **1501**.
45 Cuando DEO es alto, el circuito de conmutación **1526** está activo y emite la salida del circuito de descodificación **1524** como los datos de color de salida **1531**. Cuando DEO bajo, el circuito de conmutación **1526** emite un nivel bajo como los datos de color de salida. Cuando DEO bajo, el circuito de conmutación **1527** está activo y emite la salida del circuito de descodificación **1525** como los datos de sincronización de salida **1532**. Cuando DEO es alto, el conmutador 426 mantiene la salida.
50

Tal como se indica mediante unas líneas de puntos en la figura **58(A)**, el circuito de codificación equilibrado en CC **1505** para un equilibrado de CC de los datos de color de entrada puede proveerse con un contador de equilibrio de CC de tal modo que los datos de color que se emiten a partir del circuito de codificación equilibrado en CC **1505** se equilibran en CC.
55

[Ejemplo 9]

60 El ejemplo 9 es un ejemplo en el que un circuito de codificación no se usa en la unidad de lado de transmisión y un circuito de descodificación no se usa en la unidad de lado de recepción.

La figura **59(A)** y la figura **59(B)** muestran ejemplos de unas formas de onda de señal de los datos en serie **1715** que se obtienen mediante la serialización, en la unidad de lado de recepción del presente ejemplo, de unos datos de color (RI5 a RI0, GI5 a GI0, BI5 a BI0) que tienen seis bits para cada uno de los datos de color y de sincronización (Hsyncl, Vsyncl, CTRLl0 a CTRLl2, DEI), que se introducen como datos en paralelo.
65

En primer lugar, mientras que DEI (habilitación de datos) = “alto”, es decir, en el periodo activo, un símbolo de los datos en serie **1715** tiene una estructura de datos que se obtiene mediante la serialización del bit de inicio (Inicio), la señal invertida de habilitación de datos (DEIn), los datos de color (RI5, RI4, ... , BI2, BI1, BI0) y el bit de detención (Detención) en este orden.

Mientras que DEI (habilitación de datos) = “bajo”, es decir, en el periodo de supresión, un símbolo de los datos en serie **1715** tiene una estructura de datos que se obtiene mediante la serialización del bit de inicio (Inicio), la señal invertida de habilitación de datos (DEIn), el bit de guarda de habilitación de datos (grd de DE), HsyncI, VsyncI y CTRLI0 a CTRLI2, el bit de guarda de detención (grd de Detención) y el bit de detención (Detención) en este orden.

En el presente ejemplo, el bit de guarda de habilitación de datos (grd de DE) se proporciona a continuación de la señal invertida de habilitación de datos (DEIn). Con la provisión del bit de guarda de habilitación de datos (grd de DE), la señal invertida de habilitación de datos (DEIn), que sirve como el punto de recuperación cuando se recuperan los datos en paralelo a partir de los datos en serie **1715**, se extrae con una precisión más alta, haciendo posible reducir la posibilidad de errores de muestreo cuando se muestrean los datos de sincronización, y es posible recuperar el reloj con una precisión alta.

En el presente ejemplo, el bit de guarda de detención (grd de Detención) se proporciona a continuación de los datos de sincronización. De esta forma, es posible extraer de forma más precisa los siguientes datos de sincronización, aumentando de este modo la fiabilidad en la transferencia de los datos de sincronización y consiguiendo una transferencia de datos estable.

La configuración del sistema de transferencia de datos del presente ejemplo se describirá a continuación con referencia a la figura **60**. El número de referencia **1701** indica una unidad de transmisión para serializar unos datos de color de entrada **1711** (RI5 a RI0, GI5 a GI0, BI5 a BI0), unos datos de sincronización de entrada **1712** (HsyncI (datos de sincronización horizontal de entrada), VsyncI (datos de sincronización vertical de entrada), CTRLI0 a CTRLI2 (controles de entrada 0 a 2), DEI (señal de selección de entrada (habilitación de datos de entrada))) y un reloj de entrada **1714** para formar y transmitir los datos en serie **1715** a una unidad de recepción **1721**.

La unidad de recepción **1721** recibe y deserializa los datos en serie **1715** que se transmiten a partir de la unidad de transmisión **1701** y recupera a partir de los mismos unos datos de color de salida **1731** (RO5 a RO0, GO5 a GO0, BO5 a BO0), unos datos de sincronización de salida **1732** (HsyncO (datos de sincronización horizontal de salida), VsyncO (datos de sincronización vertical de salida), CTRL00 a CTRL2 (controles de salida 0 a 2)), una señal de selección de salida **1733** (DEO (habilitación de datos de salida)) y un reloj de salida **1734**.

La unidad de transmisión **1701** incluye un circuito de serialización **1702** (serializador), un circuito de sincronización de fase **1703** (circuito de PLL), un circuito de conmutación **1704** y una memoria intermedia de salida **1705** (memoria intermedia de salida).

La unidad de recepción **1721** incluye un circuito de deserialización **1722** (deserializador), un circuito de extracción de reloj (circuito de CDRPLL) **1723**, un circuito de conmutación **1724** y una memoria intermedia de entrada **1725** (memoria intermedia de entrada).

Obsérvese que la memoria intermedia de salida **1705** y la memoria intermedia de entrada **1725** son opcionales. Mientras que los datos de R, G y B son, cada uno, unos datos de 6 bits para los datos de color de entrada **1711** en el presente ejemplo, se entiende que la presente invención no se limita a esto.

Los datos de color de entrada **1711** y los datos de sincronización de entrada **1712** se introducen en el circuito de conmutación **1704** de la unidad de transmisión **1701**. El reloj de entrada **1714** se introduce en el circuito de sincronización de fase **1703** y se convierte por el circuito de sincronización de fase **1703** en una pluralidad de relojes que tienen unas diferencias de fase entre los mismos, y la pluralidad de relojes que tienen unas diferencias de fase entre los mismos se introducen en el circuito de serialización **1702**. El circuito de conmutación **1704** selecciona unos datos que van a emitirse al circuito de serialización **1702** de forma diferente cuando DEI = “alto” y cuando DEI = “bajo”. El circuito de serialización **1702** forma los datos en serie **1715** sobre la base de los datos de color de entrada **1711** y los datos de sincronización de entrada **1712** a partir del circuito de conmutación **1704** y la pluralidad de relojes que tienen unas diferencias de fase entre los mismos a partir del circuito de sincronización de fase **1703**.

Los datos en serie **1715** se emiten a la unidad de recepción **1721** por medio de la memoria intermedia de salida **1705**. El circuito de deserialización **1722** de la unidad de recepción **1721** deserializa los datos en serie **1715** que se introducen por medio de la memoria intermedia de entrada **1725**, y emite la salida al circuito de conmutación **1724**. El circuito de extracción de reloj **1723** recupera el reloj de salida **1734** y una pluralidad de relojes de diferentes fases sobre la base de los datos recibidos, y emite la pluralidad de relojes de diferentes fases al circuito de deserialización **1722**. Cuando DE es alto, el circuito de conmutación **1724** emite la señal de datos de color de salida deserializados **1731**. Cuando DE es bajo, el circuito de conmutación **1724** emite un nivel bajo como los datos de color de salida. Cuando DE es bajo, el circuito de conmutación **1724** emite los datos de sincronización deserializados como los datos de sincronización de salida **1532**. Cuando DE es alto, el circuito de conmutación **1724** mantiene la salida.

Haciendo referencia a la figura **61**, la figura **61** muestra la configuración de la unidad de transmisión **1701** del presente ejemplo. Los datos de color de entrada **1711** (RI5 a RI0, GI5 a GI0, BI5 a BI0) y los datos de sincronización de entrada (Hsyncl, Vsyncl, CTRLI0 a CTRLI2, DEI) se introducen en el circuito de conmutación **1704**. En el presente ejemplo, los datos de color de entrada **1711** (RI5 a RI0, GI5 a GI0, BI5 a BI0) se introducen de forma sucesiva en los multiplexadores **17041** que están conectados en paralelo uno con otro formando el circuito de conmutación **1704**, con "alto" introduciéndose en las otras entradas de los multiplexadores **17041** que están recibiendo RI5 y RI4 de los datos de color de entrada **1711** y "bajo" introduciéndose en la otra entrada del multiplexador **17041** que está recibiendo BI0. Hsyncl se introduce en las otras entradas de los multiplexadores **17041** que están recibiendo RI3, RI2 y RI1, Vsyncl se introduce en las otras entradas de los multiplexadores **17041** que están recibiendo RI0, GI5 y GI4, y CTRLI0 a CTRLI2 se introducen en la otra entrada de los multiplexadores **17041** que están recibiendo GI3, GI2 y GI1, las de los multiplexadores **17041** que están recibiendo GI0, BI5 y BI4 y las de los multiplexadores **17041** que están recibiendo BI3, BI2 y BI1, respectivamente. El circuito de conmutación **1704** emite los datos (SR1 a SR19) al circuito en serie **1702** sobre la base del DEI de entrada, los datos de color de entrada **1711** y los datos de sincronización de entrada **1712**.

Sobre la base del reloj de entrada **1714**, el circuito de sincronización de fase **1703** forma una pluralidad de relojes de diferentes fases, y los emite al circuito de serialización **1702**.

El circuito de serialización **1702** serializa los datos de entrada (SR1 a SR19) sobre la base de la pluralidad de relojes de diferentes fases a partir del circuito de sincronización de fase **1703** para formar los datos en serie **1715**, y emite los datos en serie **1715** a la unidad de recepción **1721** a través de la memoria intermedia de salida **1705**.

La figura **62** muestra la configuración de la unidad de recepción **1721** del presente ejemplo. Los datos en serie **1715** que se emiten a partir de la unidad de transmisión **1701** se introducen en el circuito de deserialización **1722** y el circuito de extracción de reloj **1723** a través de la memoria intermedia de entrada **1725**. El circuito de extracción de reloj **1723** extrae el reloj a partir de los datos en serie **1715** para recuperar el reloj de salida **1733** y una pluralidad de relojes de diferentes fases. El circuito de deserialización **1722** deserializa los datos en serie **1715** sobre la base de la pluralidad de relojes de diferentes fases que se recuperan por el circuito de extracción de reloj **1723**, y emite los datos de salida (DSR0 a DSR20) al circuito de conmutación **1724**. El circuito de conmutación **1724** emite de forma selectiva los datos (DSR0 a DSR20) a partir del circuito de deserialización **1722** a un circuito disparador biestable **1726** que incluye una pluralidad de disparadores biestables **17261**. El circuito disparador biestable **1726** emite los datos de color de salida **1731** (RO5 a RO0, GO5 a GO0, BO5 a BO0) y los datos de sincronización de salida **1732** (HsyncO, VsyncO, CTRL0 a CTRL02, DEI).

Por lo tanto, los datos de color de entrada **1711**, los datos de sincronización de entrada **1712** y el reloj de entrada **1714**, que se introducen como datos en paralelo, se serializan por la unidad de transmisión **1701** y, a continuación, se transmiten a la unidad de recepción. A continuación, la unidad de recepción deserializa los datos recibidos para recuperar a partir de los mismos los datos de color de salida **1731**, los datos de sincronización de salida **1732** y el reloj de salida **1734**.

En el presente ejemplo, el bit de guarda de habilitación de datos (grd de DE) se proporciona a continuación de la señal invertida de habilitación de datos (DEIn), como resultado de lo cual la señal invertida de habilitación de datos (DEIn), que sirve como el punto de recuperación cuando se recuperan los datos en paralelo a partir de los datos en serie **1715**, se extrae con una precisión más alta, haciendo posible reducir la posibilidad de errores de muestreo cuando se muestrean los datos de sincronización, y es posible recuperar el reloj con una precisión alta. En el presente ejemplo, el bit de guarda de detención (grd de detención) se proporciona a continuación de los datos de sincronización. De esta forma, es posible extraer de forma más precisa los siguientes datos de sincronización, aumentando de este modo la fiabilidad en la transferencia de los datos de sincronización y consiguiendo una transferencia de datos estable.

[Ejemplo 10]

El ejemplo 10 es un ejemplo alternativo de un sistema de transferencia de datos en el que un circuito de codificación no se usa en la unidad de lado de transmisión y un circuito de decodificación no se usa en la unidad de lado de recepción.

La figura **63(A)** y la figura **63(B)** muestran ejemplos de unas formas de onda de señal de los datos en serie **2000** que se obtienen mediante la serialización, en la unidad de lado de recepción del presente ejemplo, de unos datos de color (RI5 a RI0, GI5 a GI0, BI5 a BI0) que tienen seis bits para cada uno de los datos de color y de sincronización (Hsyncl (datos de sincronización horizontal de entrada), Vsyncl (datos de sincronización vertical de entrada), CTRLI (control de entrada), DEI (habilitación de datos de entrada)), que se introducen como datos en paralelo. Obsérvese que un símbolo tiene 21 bits en el presente ejemplo.

En primer lugar, mientras que DEI (habilitación de datos) = "alto", es decir, en el periodo activo, un símbolo de los datos en serie 2000 tiene una estructura de datos que se obtiene mediante la serialización del bit de inicio (Inicio), la señal invertida de habilitación de datos (DEIn), los datos de color (RI5, RI4, ... , BI2, BI1, BI0) y el bit de detención

(Detención) en este orden.

5 Mientras que DEI (habilitación de datos) = "bajo", es decir, en el periodo de supresión, un símbolo de los datos en serie **2000** tiene una estructura de datos que se obtiene mediante la serialización del bit de inicio (Inicio), la señal invertida de habilitación de datos (DEIn), el bit de guarda de habilitación de datos (grd de DE), Hsyncl, Vsyncl y CTRLI0 a CTRLI2, datos de caso especial tales como restablecimiento de sistema, el bit de guarda de detención (grd de Detención) y el bit de detención (Detención) en este orden.

10 En el presente ejemplo, el bit de guarda de habilitación de datos (grd de DE) se proporciona a continuación de la señal invertida de habilitación de datos (DEIn). Con la provisión del bit de guarda de habilitación de datos (grd de DE), la señal invertida de habilitación de datos (DEIn), que sirve como el punto de recuperación cuando se recuperan los datos en paralelo a partir de los datos en serie **1715**, se extrae con una precisión más alta, haciendo posible reducir la posibilidad de errores de muestreo cuando se muestrean los datos de sincronización, y es posible recuperar el reloj con una precisión alta.

15 En el presente ejemplo, el bit de guarda de detención (grd de detención) se proporciona a continuación de los datos de sincronización. De esta forma, es posible extraer de forma más precisa los siguientes datos de sincronización, aumentando de este modo la fiabilidad en la transferencia de los datos de sincronización y consiguiendo una transferencia de datos estable.

20 [Ejemplo 11]

25 El ejemplo 11 es una forma de un circuito de extracción de reloj que puede usarse en la realización que se ha descrito en lo que antecede y en los ejemplos 1 a 5.

30 La figura **64** es un diagrama de bloques de circuito que muestra el circuito de extracción de reloj. El número de referencia **2201** indica un circuito de comparación de fase (PD), el número de referencia **2202** indica un circuito de adición de fase (LPF), y el número de referencia **2203** indica un circuito de oscilación. Los datos en serie **2204** que se emiten a partir de la unidad de transmisión y que se introducen en la unidad de recepción pasan a través del circuito de comparación de fase **2201**, el circuito de adición de fase **2202** y el circuito de oscilación **2203**, en el que estos se someten a unas operaciones de procesamiento de señal, y la salida se realimenta al circuito de comparación de fase **2201**.

35 **[Susceptibilidad de aplicación industrial]**

40 El circuito de transmisión de datos digitales, el circuito de recepción, el codificador, el circuito de extracción de reloj, el método de transferencia de datos digitales y el sistema de la presente invención pueden aplicarse a cualesquiera dispositivos entre los cuales sea necesaria la transferencia de datos digitales de entrada en paralelo. En particular, la presente invención puede aplicarse a la transferencia de datos digitales entre un ordenador personal y una pantalla de cristal líquido de matriz activa o la transferencia de datos digitales entre un dispositivo de navegación de coche y una pantalla de cristal líquido de matriz activa. A pesar de que la realización y los ejemplos que se han descrito en lo que antecede se dirigen a un caso en el que se transfieren datos en un sentido entre la unidad de lado de transmisión y la unidad de lado de recepción, pueden transferirse datos en dos sentidos. A pesar de que la realización y los ejemplos que se han descrito en lo que antecede se dirigen a un caso en el que unos datos en serie se transfieren a través de un único hilo, los datos en serie pueden dividirse en porciones y transferirse a través de una pluralidad de hilos.

REIVINDICACIONES

1. Un método de transferencia de datos digitales para transferir de forma alterna y periódica una primera información y una segunda información respectivamente en un primer periodo y en un segundo periodo, en el que:

5 una cantidad de información de la primera información por unidad de tiempo en el primer periodo es más grande que una cantidad de información de la segunda información por unidad de tiempo en el segundo periodo; y la primera información en el primer periodo se transfiere como unos datos en serie cuyo un símbolo es n veces una anchura de impulso mínima, y la segunda información en el segundo periodo se transfiere como datos en serie modulados por anchura de impulso en un símbolo que empieza y termina con unos impulsos que tienen o bien un nivel alto o bien uno bajo, teniendo el símbolo solo una transición entre dicho nivel bajo o alto entre dichos impulsos de inicio y de fin, una posición de dicha transición en dicho símbolo dependiendo de unos valores de bits de la segunda información.

15 2. Un método de transferencia de acuerdo con la reivindicación 1, en el que los datos en serie modulados por anchura de impulso son de tal modo que un valor de un bit superior es siempre igual a o más grande que un valor de un bit inferior y hay solo un flanco de subida dentro de un símbolo.

20 3. Un método de transferencia de acuerdo con la reivindicación 1, en el que los datos en serie se codifican de tal modo que los datos se equilibran en CC.

4. Un sistema de transferencia para transferir de forma alterna y periódica una primera información y una segunda información respectivamente en un primer periodo y en un segundo periodo, que comprende:

25 un segundo codificador (2504b) para codificar la segunda información de tal modo que un símbolo de datos en serie que se obtienen mediante la serialización de forma sucesiva de la segunda información será una señal modulada por anchura de impulso cuyo periodo es n veces una anchura de impulso mínima de unos datos en serie que se obtienen mediante la serialización de la primera información, empezando y terminando dicho símbolo con unos impulsos que tienen o bien un nivel alto o bien uno bajo, teniendo el símbolo solo una transición entre dicho nivel bajo o alto entre dichos impulsos de inicio y de fin, una posición de dicha transición en dicho símbolo dependiendo de unos valores de bits de la segunda información;

30 un primer codificador (2504a) para codificar la primera información de tal modo que un símbolo de datos en serie que se obtienen mediante la serialización de forma sucesiva de la primera información tendrá una diferencia con respecto a la señal modulada por anchura de impulso;

35 un circuito de serialización (2502) para convertir la primera información codificada en el un símbolo de datos en serie, convertir la segunda información codificada en unos datos en serie que son el un símbolo de la señal modulada por anchura de impulso, y serializar de forma alterna y periódica unos datos en serie de un símbolo de la primera información y unos datos en serie de un símbolo de la segunda información;

40 un canal para transferir los datos serializados;

un circuito de extracción de reloj (2523) para extraer, a partir de los datos en serie de la primera información o los datos en serie de la segunda información que se transfieren a través del canal, un reloj de referencia en estos datos en serie;

45 un circuito de identificación de información (2524c) para distinguir los datos en serie de la primera información y los datos en serie de la segunda información unos con respecto a otros sobre la base de la diferencia entre los datos en serie de la primera información y los datos en serie de la segunda información;

un primer descodificador (2524a) para descodificar los datos en serie separados de la primera información en la primera información de una forma que se corresponde con la del primer codificador; y

50 un segundo descodificador (2524b) para descodificar los datos en serie separados de la segunda información en la segunda información de una forma que se corresponde con la del segundo codificador,

en el que una cantidad de información de la primera información por unidad de tiempo que se transfiere en el primer periodo es más grande que una cantidad de información de la segunda información por unidad de tiempo que se transfiere en el segundo periodo.

55 5. El sistema de transferencia de la reivindicación 4, en el que:

el circuito de extracción de reloj (2523) comprende:

60 un lazo de comparación de fase que incluye un circuito de control de tensión, un circuito de comparación de fase (10) para comparar una fase de los datos en serie y la de una salida de un circuito de oscilación controlado por tensión (30), y un filtro de lazo (20) para producir una tensión de control del circuito de control de tensión;

un circuito de muestreo (40) para muestrear los datos en serie con un reloj de múltiples fases que se produce por el circuito de oscilación controlado por tensión (30);

65 un circuito de control de frecuencia (50) para comparar una frecuencia del un símbolo de datos en serie con una frecuencia de oscilación del circuito de oscilación controlado por tensión (30) para hacer que coincida la frecuencia de oscilación del circuito de oscilación controlado por tensión con la frecuencia del un símbolo de

datos en serie, incluyendo el circuito de control de frecuencia (50) un circuito de determinación de recuento de flancos (51) para determinar que el número de flancos de subida en una señal en serie dentro de un periodo del un símbolo que se produce por el circuito de oscilación controlado por tensión (30) es cero, uno o un número diferente, y un temporizador (53) para emitir una señal de temporizador en un intervalo de tiempo

5 previamente determinado, restableciéndose el temporizador (53) cuando el número de flancos de subida es cero o cuando el circuito de control de frecuencia (50) está deshabilitado, en el que el circuito de control de frecuencia (50) disminuye la frecuencia de oscilación del circuito de oscilación controlado por tensión (30) si el número de flancos de subida es cero y aumenta la frecuencia del circuito de oscilación controlado por tensión (30) si la señal de temporizador se emite a partir del temporizador (53);

10 una bomba de carga (60) para recibir una salida del circuito de control de frecuencia (50) y emitir un impulso de corriente al filtro de lazo (20);

un circuito de conmutación de modo para habilitar el circuito de control de frecuencia (50) a la vez que se deshabilita el circuito de comparación de fase (10) cuando se recibe una señal de solicitud de modo de comparación de frecuencia a partir del circuito de comparación de fase (10), y para, cuando se detecta que una situación en la que el número de flancos de subida o flancos de bajada es uno en un símbolo de los datos en serie ha tenido lugar un número previamente determinado de veces consecutivas o más, determinar que la frecuencia de salida del circuito de oscilación controlado por tensión (30) se encuentra en un intervalo de captura del lazo de comparación de fase, deshabilitando de ese modo el circuito de control de frecuencia a la vez que se habilita el circuito de comparación de fase (10).

20 6. Un circuito de transmisión (2501) para transferir de forma alterna y periódica una primera información y una segunda información respectivamente en un primer periodo y en un segundo periodo, que comprende:

un segundo codificador (2504b) para codificar la segunda información de tal modo que un símbolo de datos en serie que se obtienen mediante la serialización de forma sucesiva de la segunda información será una señal modulada por anchura de impulso cuyo periodo es n veces una anchura de impulso mínima de unos datos en serie que se obtienen mediante la serialización de la primera información, empezando y terminando dicho símbolo con unos impulsos que tienen o bien un nivel alto o bien uno bajo, teniendo el símbolo solo una transición entre dicho nivel bajo o alto entre dichos impulsos de inicio y de fin, una posición de dicha transición en dicho símbolo dependiendo de unos valores de bits de la segunda información;

un primer codificador (2504a) para codificar la primera información de tal modo que un símbolo de datos en serie que se obtienen mediante la serialización de forma sucesiva de la primera información tendrá una diferencia con respecto a la señal modulada por anchura de impulso; y

un circuito de serialización (2502) para convertir la primera información codificada en el un símbolo de datos en serie y convertir la segunda información codificada en unos datos en serie que son el un símbolo de la señal modulada por anchura de impulso, en el que una cantidad de información de la primera información por unidad de tiempo que se transfiere en el primer periodo es más grande que una cantidad de información de la segunda información por unidad de tiempo que se transfiere en el segundo periodo.

40 7. Un circuito de transmisión (2501) de acuerdo con la reivindicación 6, en el que:

el primer codificador (2504a) está adaptado para realizar la operación de codificación de tal modo que hay dos o más flancos de subida dentro del un símbolo de datos en serie; y

45 el segundo codificador (2504b) está adaptado para realizar la operación de codificación de tal modo que hay solo un flanco de subida dentro del un símbolo de datos en serie en una posición especificada con respecto a un comienzo del un símbolo.

8. Un circuito de transmisión (2501) de acuerdo con la reivindicación 7, en el que un flanco de bajada se sustituye con el flanco de subida.

9. Un circuito de transmisión (2501) de acuerdo con la reivindicación 6, comprendiendo el primer codificador (2504a):

un circuito lógico combinado (2504a-1) que tiene una pluralidad de modos de codificación; y un circuito de determinación (2504a-2) para evaluar por lo menos la primera información de entrada recibida y emitir una señal de determinación sobre la base de la evaluación,

en el que el circuito lógico combinado (2504a-1) está adaptado para realizar una operación de codificación con uno de los modos de codificación que se seleccionan de acuerdo con la señal de determinación, y para añadir un bit de codificación para identificar el modo de codificación seleccionado a la salida.

60 10. Un circuito de transmisión de acuerdo (2501) con la reivindicación 9, en el que:

los modos de codificación incluyen un primer modo de codificación y un segundo modo de codificación; el primer modo de codificación es de tal modo que la entrada y la salida son iguales entre sí; y

65 el segundo modo de codificación n es de tal modo que la salida se obtiene mediante la inversión de una de cada dos porciones de 2 bits de la entrada.

- 5 11. Un circuito de transmisión (2501) de acuerdo con la reivindicación 10, en el que el circuito de determinación (2504a-2) está adaptado para emitir una señal de determinación al circuito lógico combinado (2504a-1) de tal modo que el segundo modo de codificación se selecciona si el número de flancos de subida será cero cuando la primera información se somete a una conversión en serie simple.
12. Un circuito de transmisión (2501) de acuerdo con la reivindicación 11, en el que el flanco de subida se sustituye con un flanco de bajada.
- 10 13. Un circuito de transmisión (2501) de acuerdo con la reivindicación 10, en el que si el número de flancos de subida será uno cuando la primera información se somete a una conversión en serie simple y un bit de inicio y un bit de detención que tienen diferentes valores de bit se añaden respectivamente en un comienzo y en un fin de un resultado de conversión, el circuito de determinación emite la señal de determinación para controlar el circuito lógico combinado para realizar una operación de codificación con el segundo modo de codificación.
- 15 14. Un circuito de transmisión de acuerdo con la reivindicación 13, en el que el flanco de subida se sustituye con un flanco de bajada.
- 20 15. Un circuito de transmisión de acuerdo con la reivindicación 9, en el que el circuito de determinación (2504a-2) está adaptado para emitir una señal de determinación al circuito lógico combinado de tal modo que se selecciona uno de la pluralidad de modos de codificación con el cual el número de apariciones consecutivas del mismo valor de bit en el un símbolo de datos en serie codificados se minimiza.
- 25 16. Un circuito de transmisión (2501) de acuerdo con la reivindicación 9, en el que el circuito de determinación (2504a-2) está adaptado para emitir una señal de determinación al circuito lógico combinado (2504a-1) de tal modo que se selecciona uno de la pluralidad de modos de codificación para el cual el número de apariciones consecutivas del mismo valor de bit en el un símbolo de datos en serie codificados es más pequeño que $1/2$ del número de bits del un símbolo de datos en serie más uno.
- 30 17. Un circuito de transmisión (2501) de acuerdo con la reivindicación 9, en el que el circuito de determinación (2504a-2) está adaptado para emitir una señal de determinación al circuito lógico combinado (2504a-1) de tal modo que se selecciona uno de la pluralidad de modos de codificación para el cual una diferencia entre un número total de apariciones de un valor de datos en unos datos codificados y un número total de apariciones de un valor de datos opuesto en los datos codificados se minimiza.
- 35 18. Un circuito de transmisión (2501) de acuerdo con la reivindicación 9, en el que el circuito de determinación (2504a-2) está adaptado para evaluar por lo menos una de una frecuencia de reloj de datos digitales en serie de transmisión de una información principal, una cantidad de EMI, una relación de SN o una tasa de error del un símbolo de datos digitales en serie y la señal modulada por anchura de impulso, y para emitir una señal de determinación de acuerdo con la evaluación.
- 40 19. Un circuito de recepción (2521) para recibir una señal transferida en serie, que comprende:
- 45 un circuito de extracción de reloj (2523) para extraer, a partir de unos datos en serie de la primera información o unos datos en serie de la segunda información, un reloj de referencia en estos datos en serie;
- un circuito de identificación de información (2524c) para distinguir los datos en serie de la primera información y los datos en serie de la segunda información unos con respecto a otros sobre la base de la diferencia entre los datos en serie de la primera información y los datos en serie de la segunda información;
- 50 un primer descodificador (2524a) para descodificar los datos en serie identificados de la primera información en la primera información de una forma que se corresponde con la del primer codificador; y
- un segundo descodificador (2524b) para descodificar los datos en serie separados de la segunda información en la segunda información de una forma que se corresponde con la del segundo codificador,
- 55 en el que el circuito de recepción (2521) recibe una señal que se obtiene mediante la transferencia en serie, de una forma alterna y periódica, de los datos en serie de la segunda información y los datos en serie de la primera información, en el que los datos en serie de la segunda información se obtienen mediante una operación de serialización de tal modo que un símbolo de los mismos es una señal modulada por anchura de impulso cuyo periodo es n veces una anchura de impulso mínima de un símbolo de los datos en serie de la primera información, empezando y terminando dicho símbolo con la segunda información con unos impulsos que tienen o bien un nivel alto o bien uno bajo y que tienen solo una transición entre dicho nivel bajo o alto entre dichos impulsos de inicio y de fin, una posición de dicha transición en dicho símbolo dependiendo de unos valores de bits de la segunda información, y los datos en serie de la primera información se obtienen mediante una
- 60 operación de serialización de tal modo que un símbolo de los mismos tiene una diferencia con respecto a la señal modulada por anchura de impulso,
- 65 en el que una cantidad de información de la primera información por unidad de tiempo que se recibe en el primer periodo es más grande que una cantidad de información de la segunda información por unidad de tiempo que se transfiere en el segundo periodo.

20. Un circuito de recepción (2521) de acuerdo con la reivindicación 19, en el que los datos en serie de la primera información incluyen un bit de codificación para identificar un modo de codificación, y el primer descodificador (2524a) realiza una operación de descodificación de acuerdo con el bit de codificación.
- 5 21. Un circuito de recepción (2521) de acuerdo con la reivindicación 19, en el que el circuito de identificación de información (2524c) está adaptado para distinguir los datos en serie de la primera información y los datos en serie de la segunda información unos con respecto a otros sobre la base del número de flancos de subida dentro de un símbolo de los datos en serie.
- 10 22. Un circuito de recepción (2521) de acuerdo con la reivindicación 21, en el que el flanco de subida se sustituye con un flanco de bajada.
23. Un circuito de recepción (2521) de acuerdo con la reivindicación 19, en el que el circuito de extracción de reloj (2523) comprende:
- 15 un lazo de comparación de fase que incluye un circuito de control de tensión, un circuito de comparación de fase (10) para comparar una fase de datos en serie y la de una salida de un circuito de oscilación controlado por tensión (30), y un filtro de lazo (20) para producir una tensión de control del circuito de control de tensión; un circuito de muestreo (40) para muestrear los datos en serie con un reloj de múltiples fases que se produce por el circuito de oscilación controlado por tensión (30);
- 20 un circuito de control de frecuencia (50) para comparar una frecuencia de los datos en serie con una frecuencia de oscilación del circuito de oscilación controlado por tensión (30) para hacer que coincida la frecuencia de oscilación del circuito de oscilación controlado por tensión (30) con la frecuencia de los datos en serie, incluyendo el circuito de control de frecuencia (50) un circuito de determinación de recuento de flancos (51) para determinar que el número de flancos de subida en unos datos en serie dentro de un periodo del un símbolo que se produce por el circuito de oscilación controlado por tensión (30) es cero, uno o un número diferente, y un temporizador (53) para emitir una señal de temporizador en un intervalo de tiempo previamente determinado, restableciéndose el temporizador (53) cuando el número de flancos de subida es cero o cuando el circuito de control de frecuencia (50) está deshabilitado, en el que el circuito de control de frecuencia (50) está adaptado para disminuir la frecuencia de oscilación del circuito de oscilación controlado por tensión (30) si el número de flancos de subida es cero y para aumentar la frecuencia del circuito de oscilación controlado por tensión (30) si la señal de temporizador se emite a partir del temporizador;
- 25 una bomba de carga (60) para recibir una señal de salida del circuito de control de frecuencia (50) y emitir un impulso de corriente al filtro de lazo (20); y un circuito de conmutación de modo para habilitar el circuito de control de frecuencia (50) a la vez que se deshabilita el circuito de comparación de fase (10) cuando se recibe una señal de solicitud de modo de comparación de frecuencia a partir del circuito de comparación de fase (10), y para, cuando se detecta que una situación en la que el número de flancos de subida es uno ha tenido lugar un número previamente determinado de veces consecutivas o más, determinar que la frecuencia de salida del circuito de oscilación controlado por tensión (30) se encuentra en un intervalo de captura del lazo de comparación de fase, deshabilitando de ese modo el circuito de control de frecuencia a la vez que se habilita el circuito de comparación de fase (10).
- 30 24. Un circuito de recepción de acuerdo con la reivindicación 23, en el que el circuito de determinación de recuento de flancos está adaptado para determinar que el número de flancos es cero sobre la base de un producto lógico entre una salida que indica que un resultado de contar el número de flancos de subida en la señal muestreada es cero y una salida que indica que no hay flanco de subida alguno sobre la base de un resultado de determinación directa a partir de los datos en serie.
- 45 25. Un circuito de recepción de acuerdo con la reivindicación 23, en el que el circuito de control de frecuencia está adaptado para poner una prioridad más alta en la disminución de la frecuencia de oscilación del circuito de oscilación controlado por tensión que en el aumento de la frecuencia de oscilación del circuito de oscilación controlado por tensión.
- 50 26. Un circuito de recepción de acuerdo con la reivindicación 23, en el que la bomba de carga es de tal modo que una cantidad total de carga que va a cargarse cuando una señal de subida se recibe a partir del circuito de control de frecuencia es más grande que una cantidad total de carga que va a descargarse cuando una señal de bajada se recibe a partir del circuito de control de frecuencia.
- 55 27. Un circuito de recepción (2521) de acuerdo con la reivindicación 19, en el que, en el circuito de extracción de reloj (2523) para extraer un reloj a partir de una señal transferida en serie, la señal transferida en serie es una señal que se obtiene mediante la transferencia en serie, de una forma alterna y periódica, de un símbolo de datos digitales en serie que se obtienen mediante la codificación de una primera información y una señal modulada por anchura de impulso, en el que la señal modulada por anchura de impulso se obtiene mediante la codificación de una segunda información de tal modo que los datos codificados tienen una diferencia con respecto al un símbolo de datos digitales en serie y mediante la realización de una modulación por anchura de impulso con un periodo que es n veces una anchura de impulso de datos digitales formando el un símbolo de datos digitales en serie de tal modo que
- 60 65

hay solo un flanco de subida o flanco de bajada dentro del un símbolo, con el flanco de subida o el flanco de bajada estando ubicado en una posición especificada con respecto a un borde de trama del un símbolo, y el circuito de extracción de reloj (2523) comprende:

5 un oscilador controlado por tensión (30);
 un comparador de fase (10) para emitir una señal de diferencia de fase de acuerdo con una diferencia de fase entre una cadena de datos de entrada y una señal de salida a partir del oscilador controlado por tensión (30);
 un comparador de frecuencia para emitir una señal de diferencia de frecuencia de acuerdo con una diferencia de frecuencia entre la cadena de datos de entrada y una señal de salida a partir del oscilador controlado por tensión (30); y
 10 un circuito de conmutación de modo para seleccionar la señal de diferencia de fase o la señal de diferencia de frecuencia, comprendiendo el comparador de diferencia de frecuencia:

15 un circuito de determinación de recuento de flancos (51) para determinar que el número de flancos de datos de entrada es cero o uno en un periodo de símbolo de la señal de salida a partir del oscilador controlado por tensión (30) y emitir una señal de determinación de recuento de flancos de acuerdo con el resultado de determinación;

un temporizador (53) para emitir una señal de temporizador en un intervalo de tiempo previamente determinado, restableciéndose el temporizador cuando el número de flancos es cero y se selecciona la señal de diferencia de fase; y

20 un circuito de control de frecuencia para controlar una frecuencia de oscilación del oscilador controlado por tensión (30) sobre la base de la señal de determinación de recuento de flancos y la señal de temporizador, en el que:

25 el intervalo de tiempo previamente determinado del temporizador es más largo que un intervalo de tiempo en el que se transfiere la información subordinada;

el circuito de control de frecuencia está adaptado para disminuir la frecuencia de oscilación del oscilador controlado por tensión (30) si el número de flancos es cero, y aumenta la frecuencia de oscilación del oscilador controlado por tensión (30) si se emite la señal de temporizador;

30 el circuito de conmutación de modo está adaptado para seleccionar la señal de diferencia de fase si un resultado de determinación de que el número de flancos es uno se obtiene un número previamente determinado de veces consecutivas; y

35 la frecuencia de oscilación del oscilador controlado por tensión (30) se controla sobre la base de la señal de diferencia de fase o la señal de diferencia de frecuencia que se selecciona por el circuito de conmutación de modo.

28. El circuito de recepción de acuerdo con la reivindicación 27, que comprende un circuito de ajuste fino / comparación de frecuencia, en el que el circuito de ajuste fino / comparación de frecuencia está adaptado para calcular una cantidad de desplazamiento de frecuencia entre una frecuencia de una señal de oscilación del oscilador y una frecuencia sobre la base de un periodo del flanco de subida dentro de la una trama, de acuerdo con una cantidad de cambio, de un símbolo a otro, de una posición del flanco de subida dentro de un símbolo, y emitir una señal de control de acuerdo con la cantidad de desplazamiento de frecuencia al oscilador controlado por tensión.

29. El circuito de recepción de acuerdo con la reivindicación 28, en el que el circuito de ajuste fino / comparación de frecuencia incluye un circuito de estimación para estimar un bit de inicio y un bit de detención en el un símbolo, y está adaptado para obtener una cantidad de desplazamiento de frecuencia entre la frecuencia de la señal de oscilación del oscilador controlado por tensión y la frecuencia sobre la base del periodo del flanco de subida dentro de un símbolo, de acuerdo con una cantidad de cambio de un símbolo a otro en el bit de inicio y el bit de detención, y emitir una señal de control de acuerdo con la cantidad de desplazamiento de frecuencia al oscilador controlado por tensión.

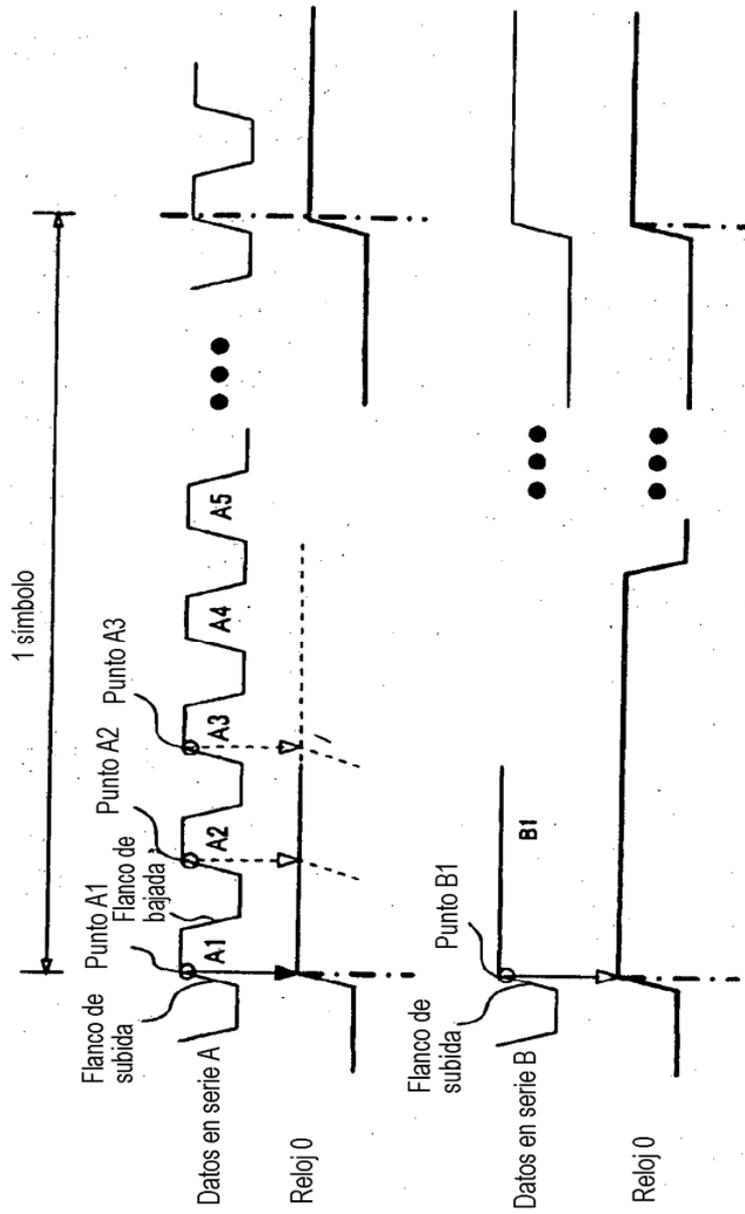
30. El circuito de recepción de acuerdo con la reivindicación 27, en el que:

55 el circuito de extracción de reloj incluye un circuito de muestreo para muestrear unos datos de entrada y emitir unos datos muestreados;

el circuito de determinación de recuento de flancos incluye un circuito de detección de flanco para detectar la presencia / ausencia de un flanco en la cadena de datos de entrada y emitir una señal de información de presencia / ausencia de flanco; y

60 el circuito de determinación de recuento de flancos está adaptado para determinar el número de flancos sobre la base de los datos muestreados y la señal de información de presencia / ausencia de flanco.

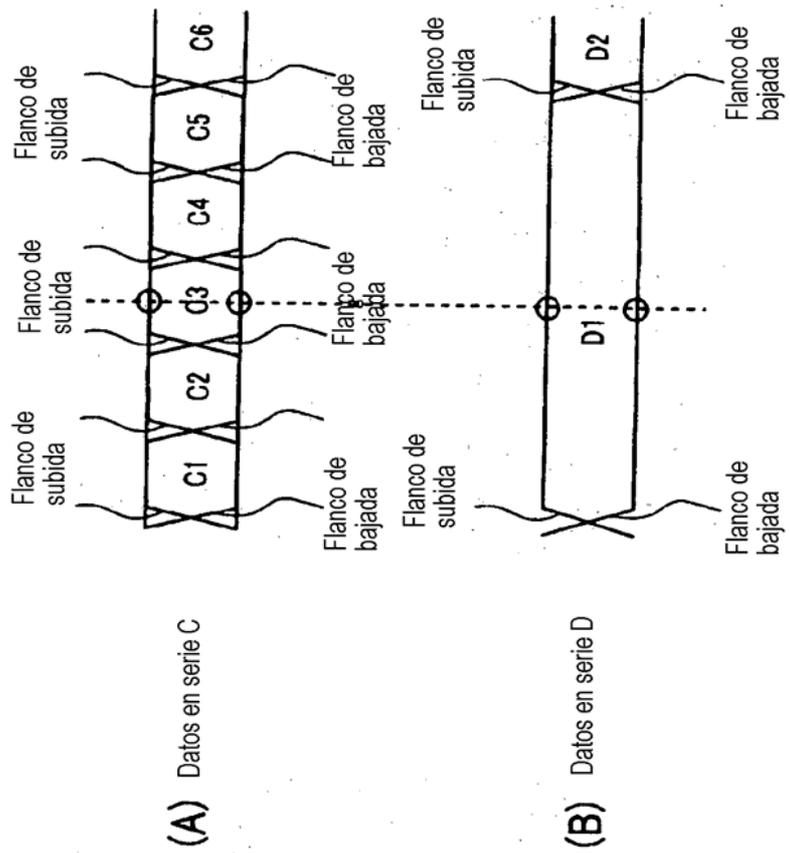
[Fig. 1]



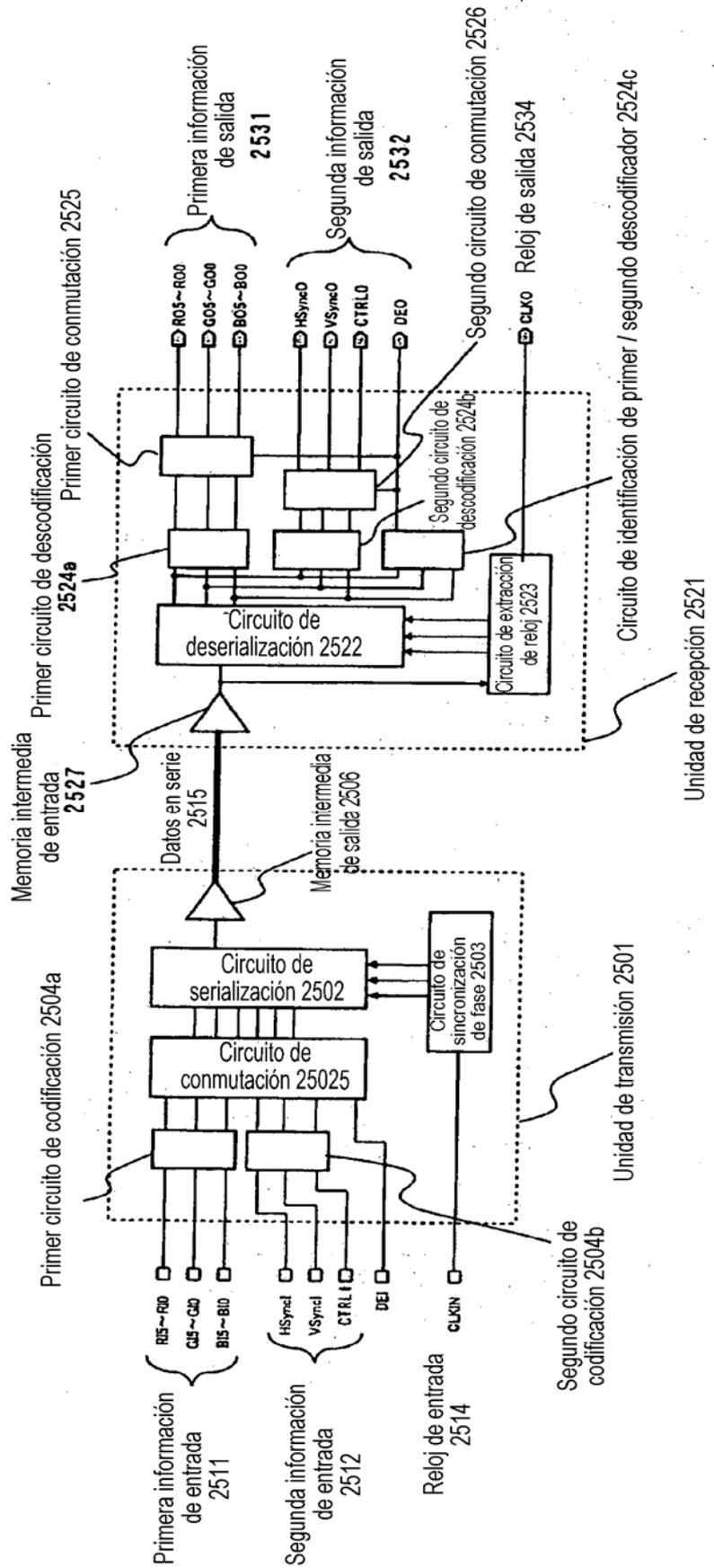
(A) Cuando hay una pluralidad de flancos de subida dentro de un símbolo

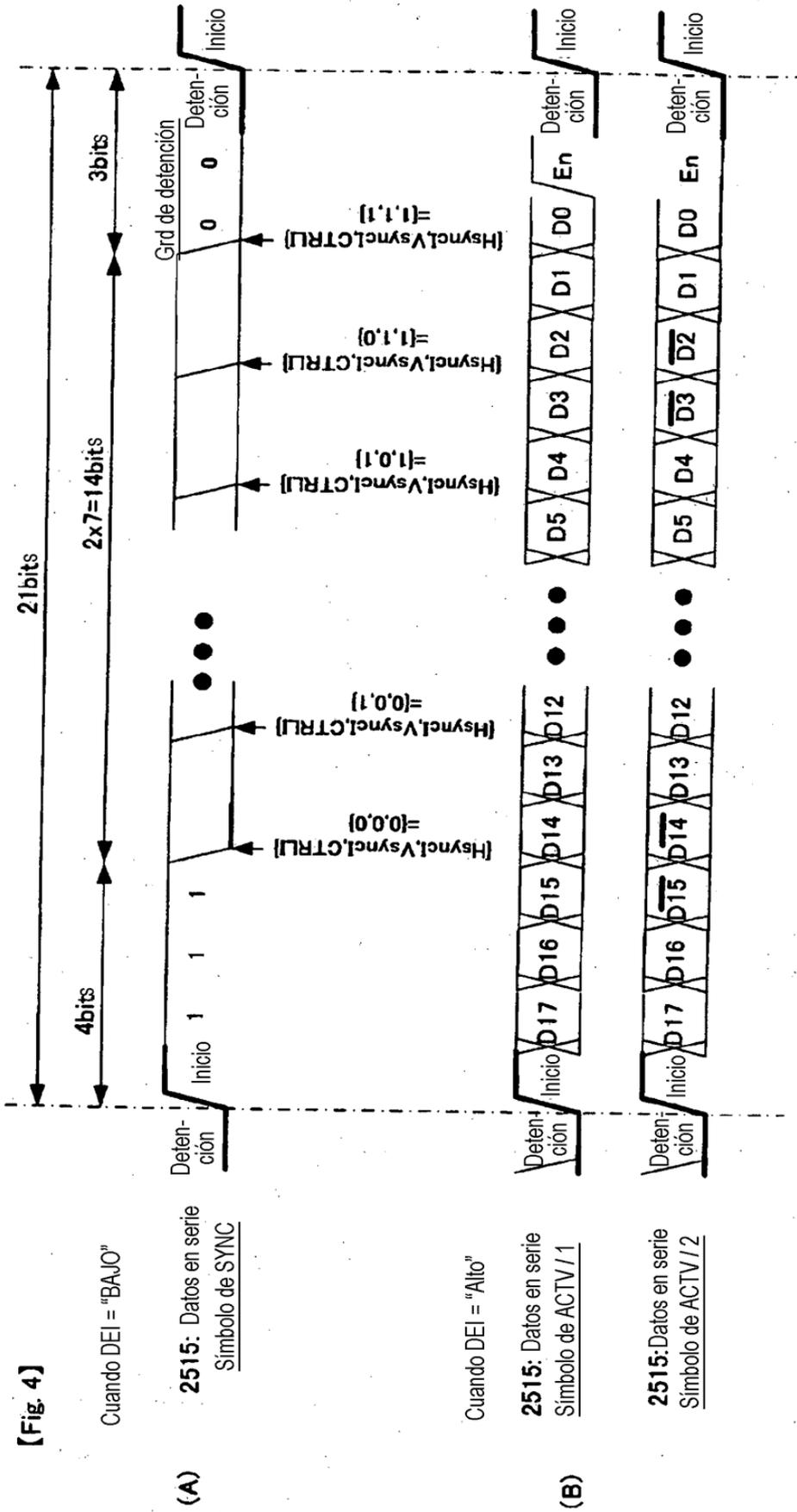
(B) Cuando hay solo un flanco de subida dentro de un símbolo

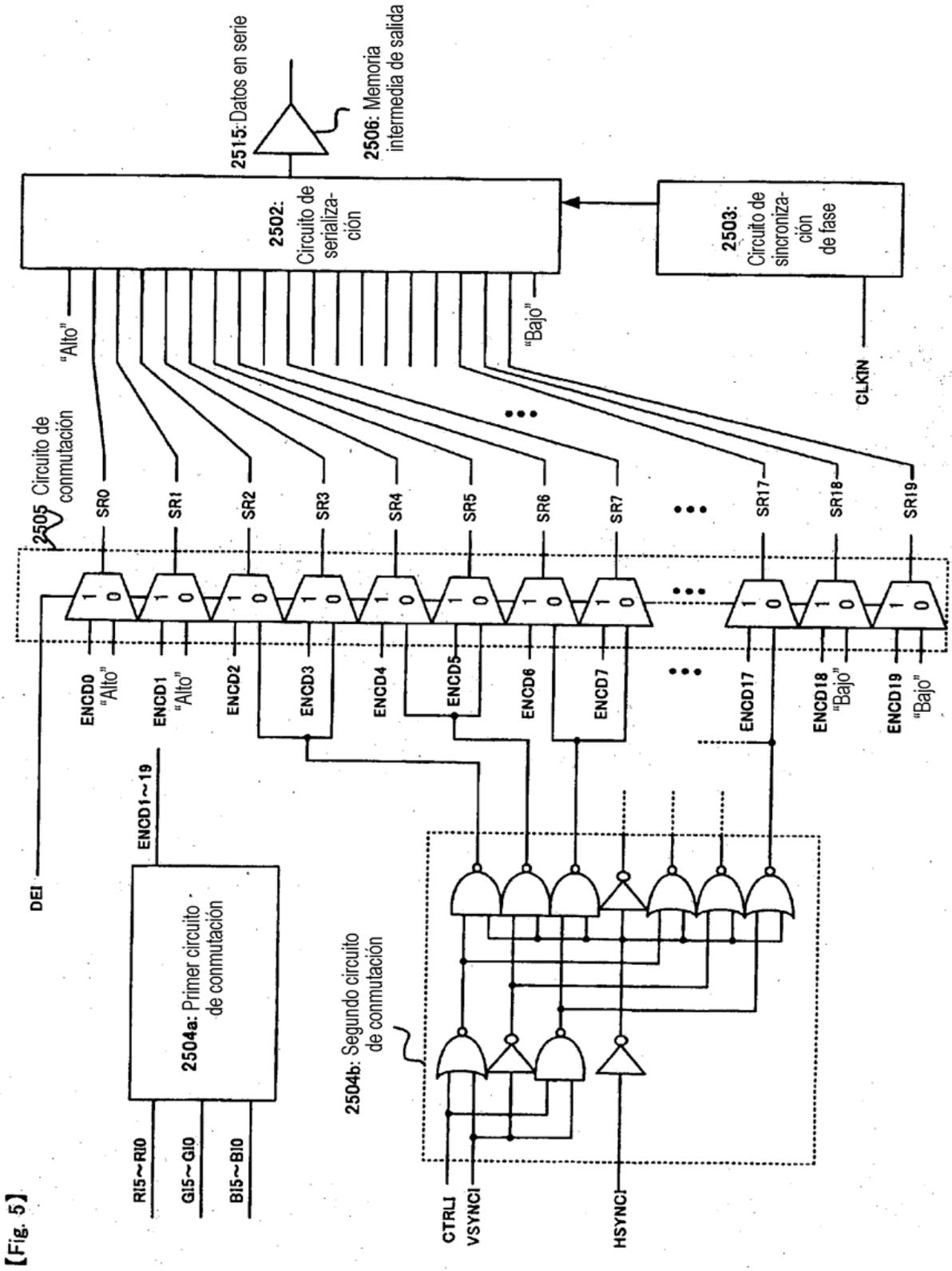
[Fig.2]



[Fig. 3]

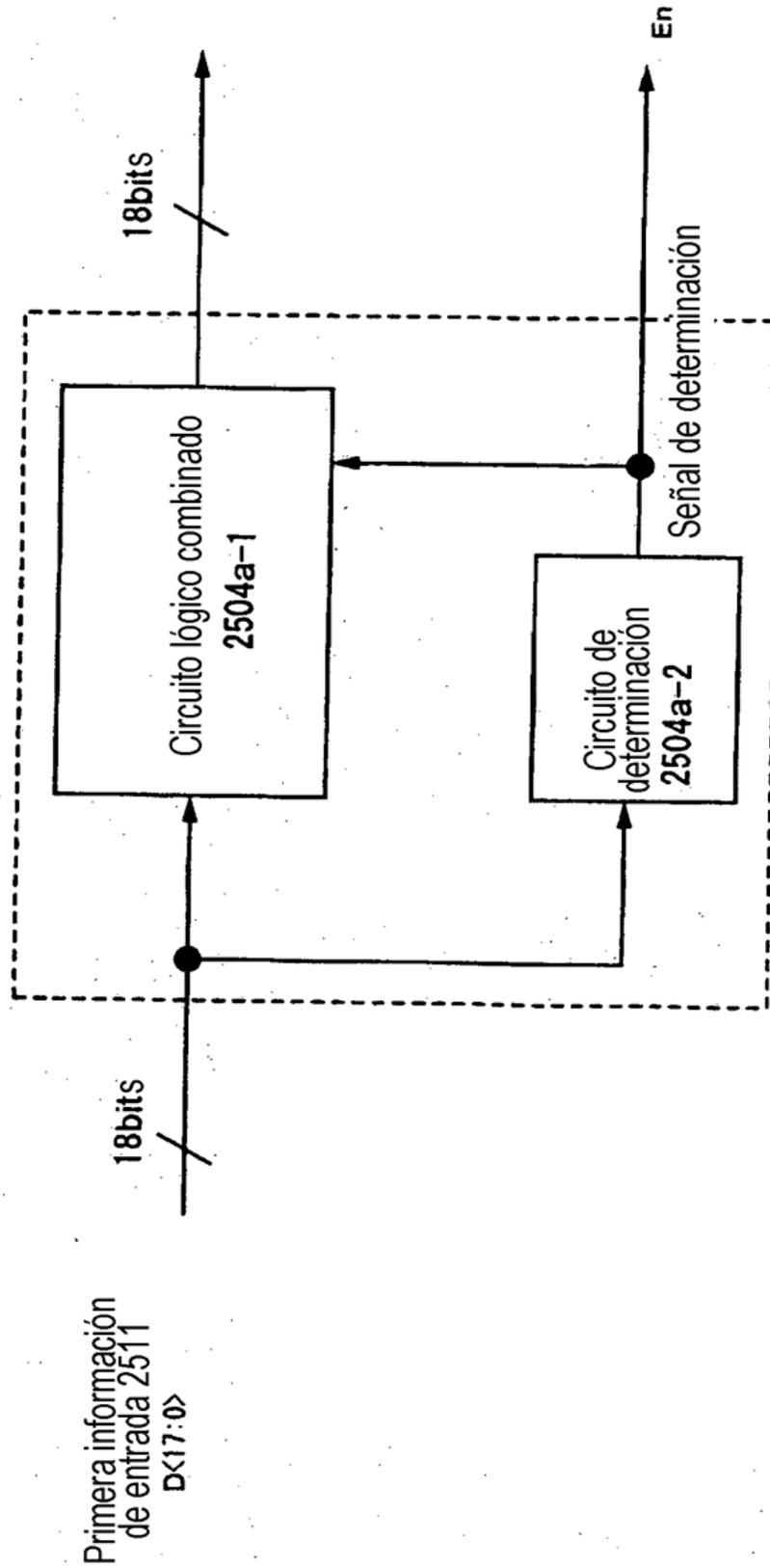






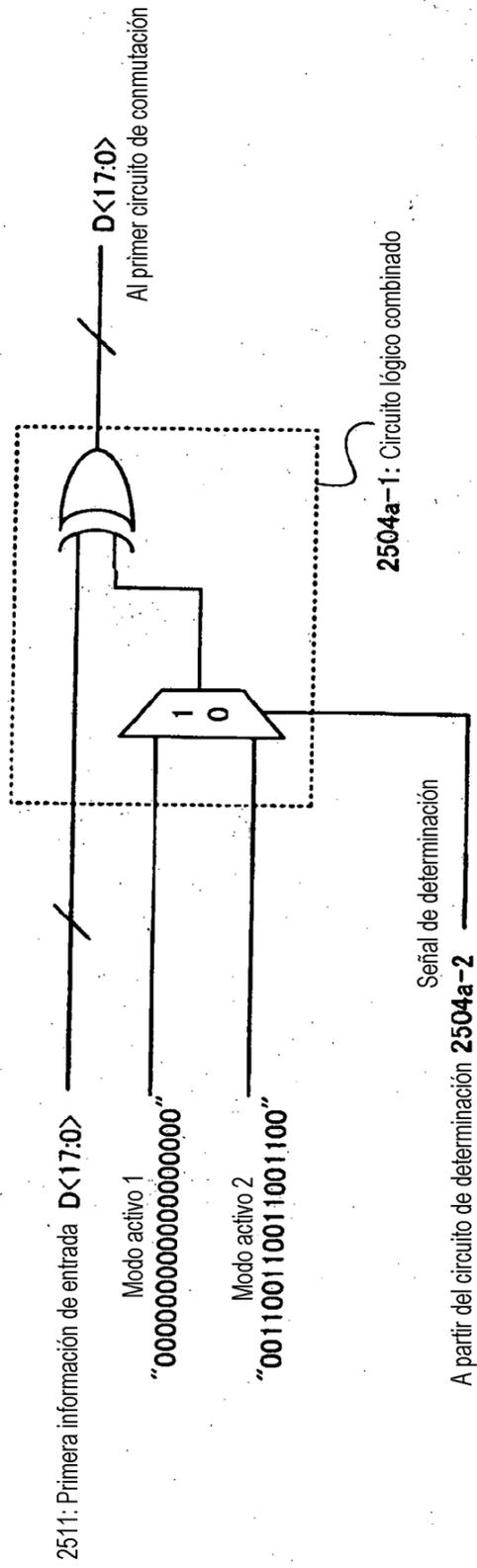
【Fig. 5】

[Fig.6]



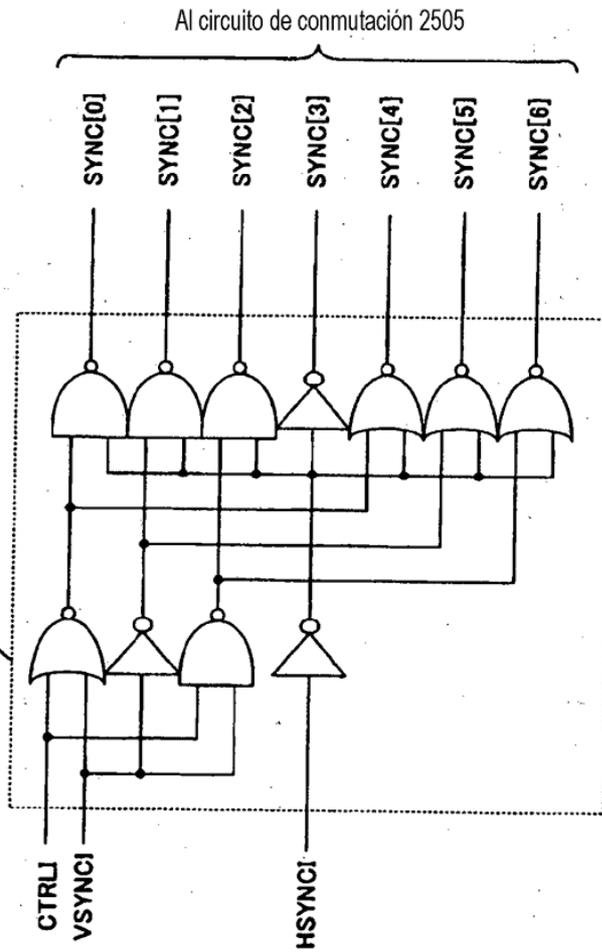
2505a Primer codificador

[Fig. 7]



【Fig.8】

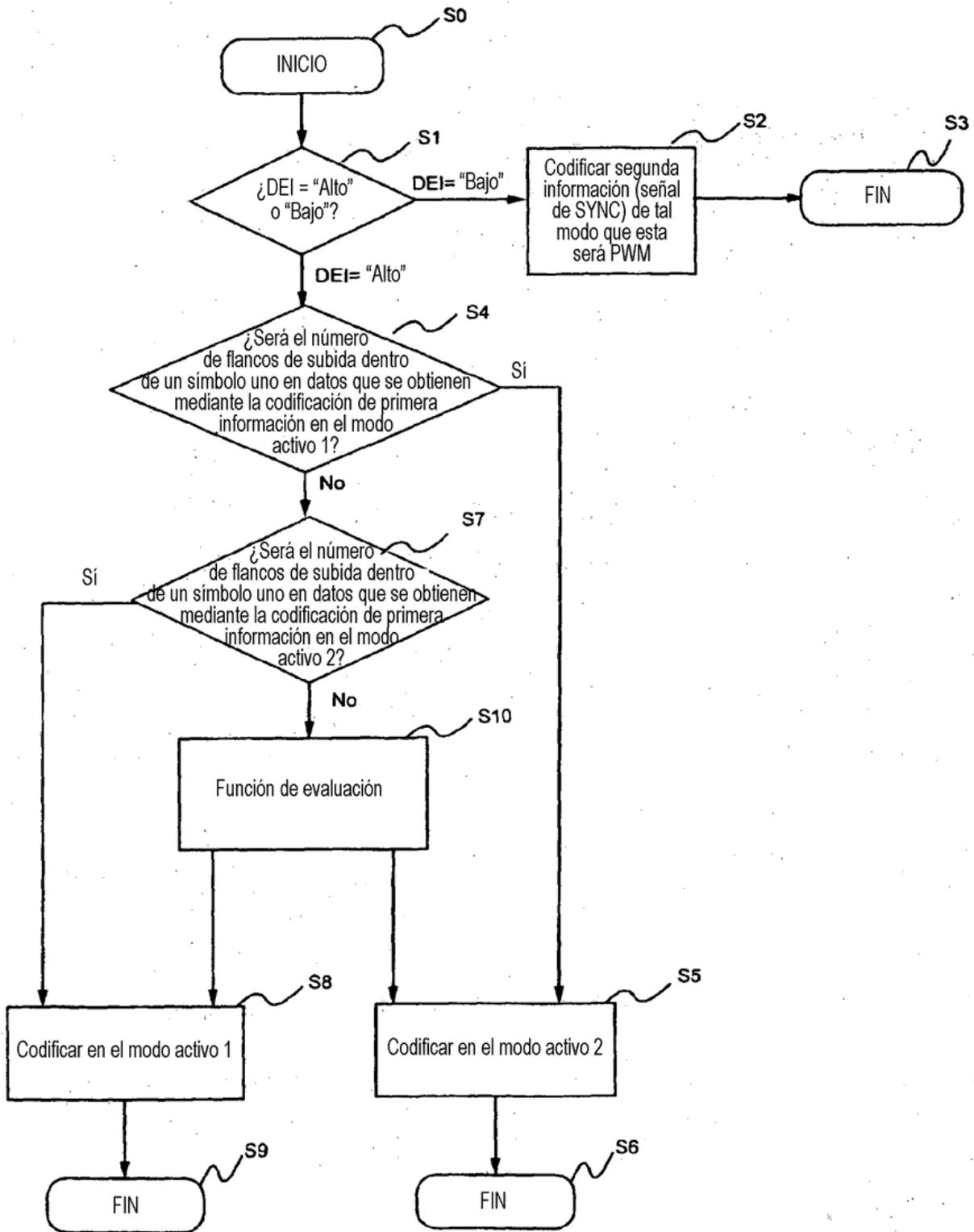
2504b: Segundo circuito de codificación



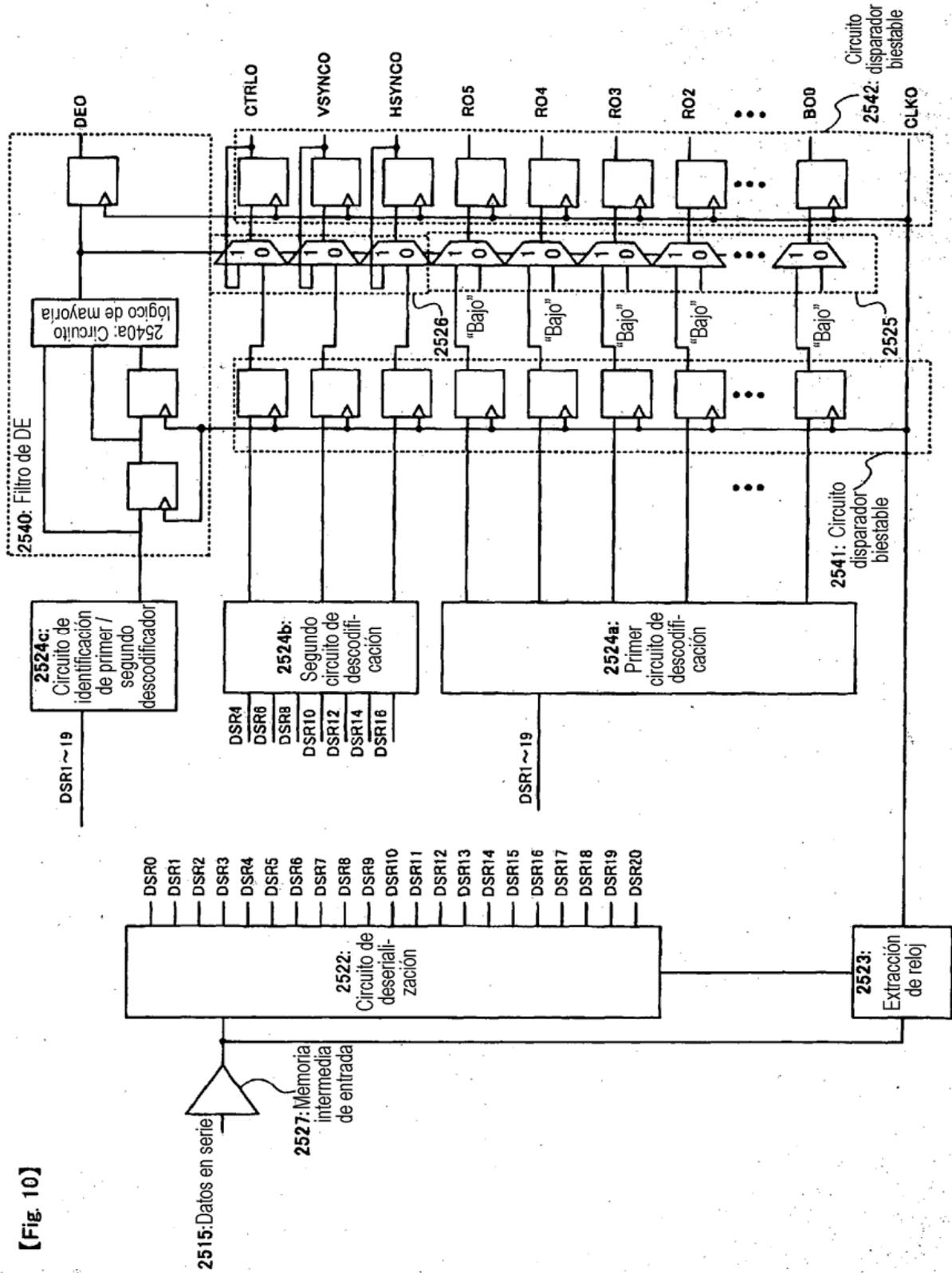
HSYNCI	0	0	0	0	1	1	1	1	1	1	1	0	0	0	0	0	0
VSYNCI	0	0	1	0	1	0	1	0	1	0	1	1	1	1	1	1	0
CTRLI	0	0	1	0	1	0	1	0	1	0	1	1	1	1	1	1	0
SYNC[0]	0	0	1	0	1	0	1	0	1	0	1	1	1	1	1	1	0
SYNC[1]	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
SYNC[2]	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
SYNC[3]	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
SYNC[4]	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
SYNC[5]	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
SYNC[6]	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

(B)

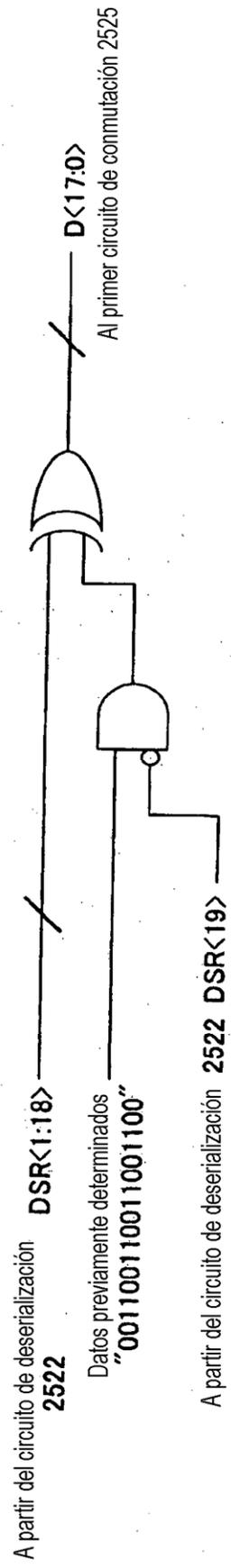
(A)

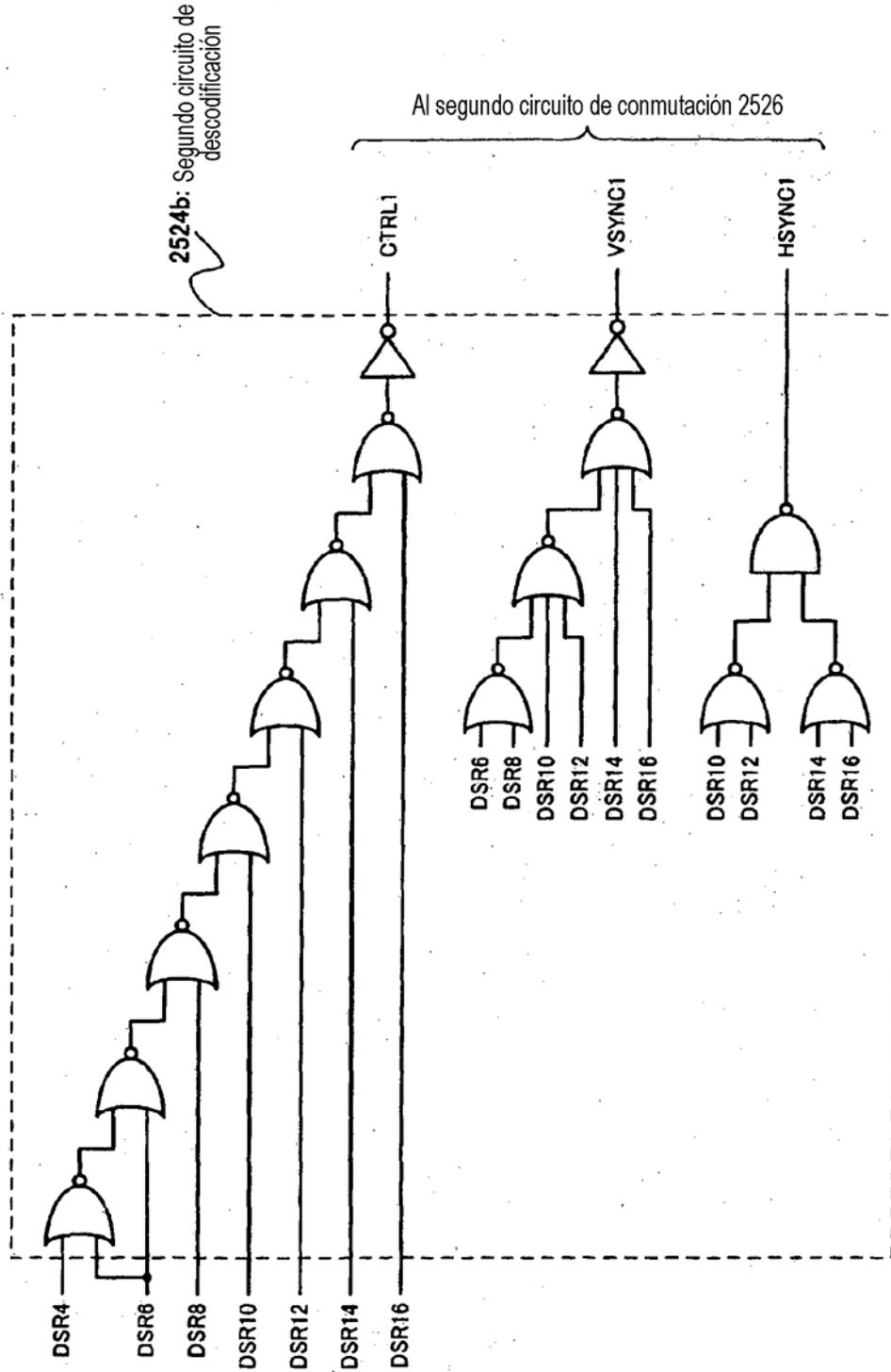


[Fig. 10]



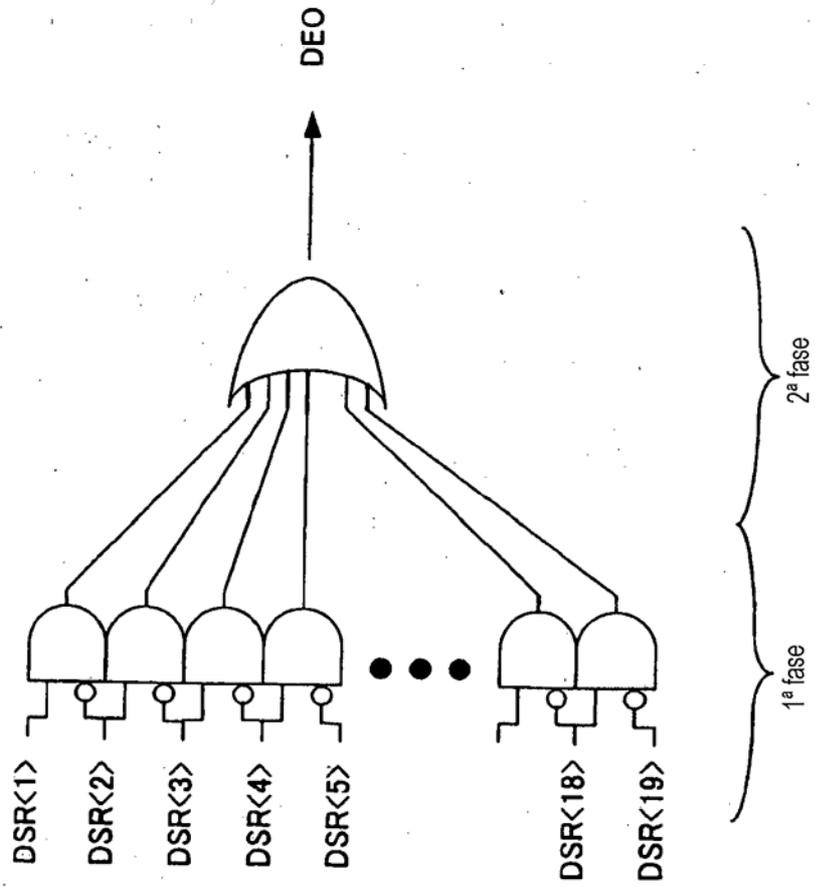
[Fig. 11]





【Fig. 12】

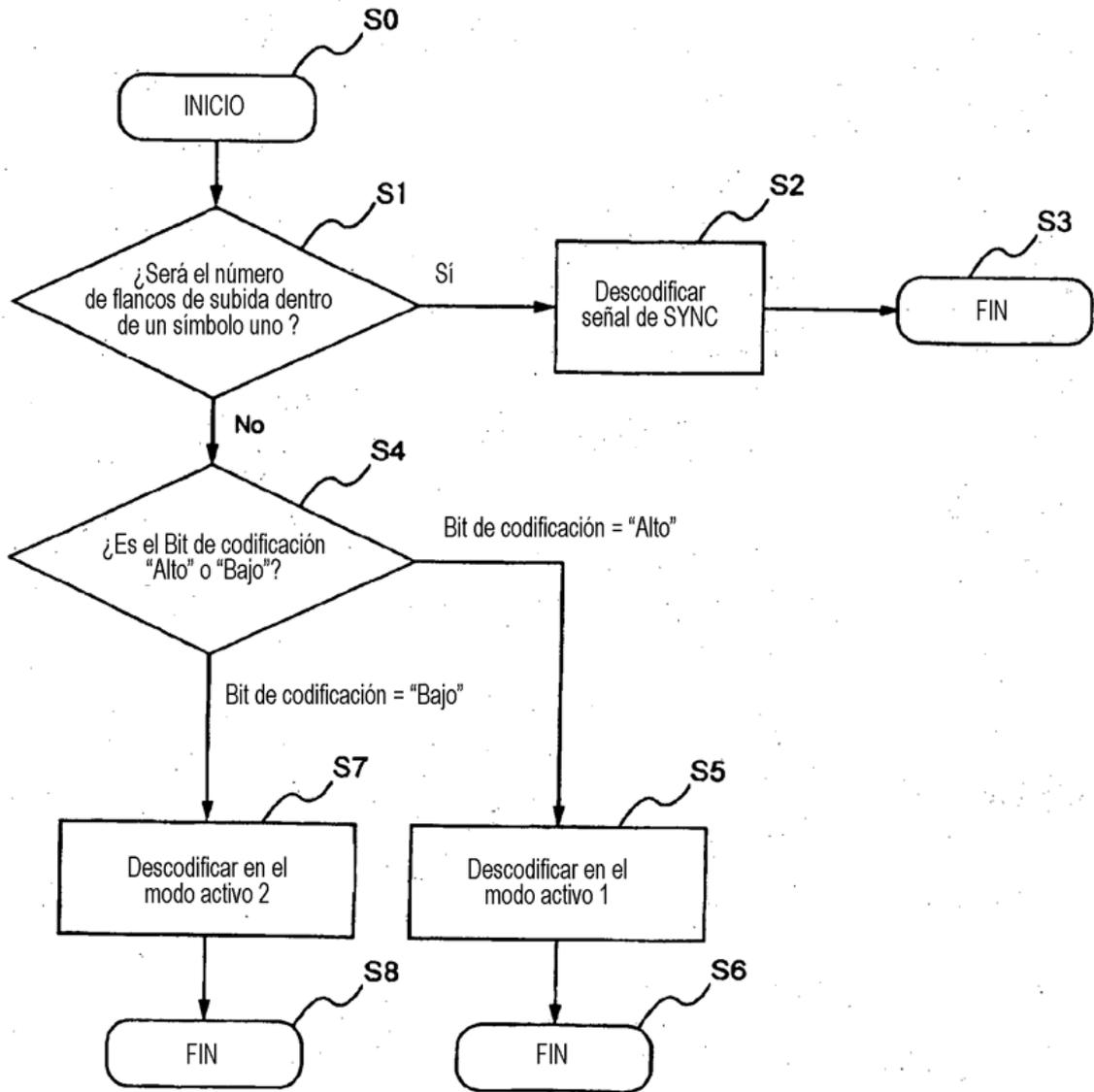
[Fig. 13]

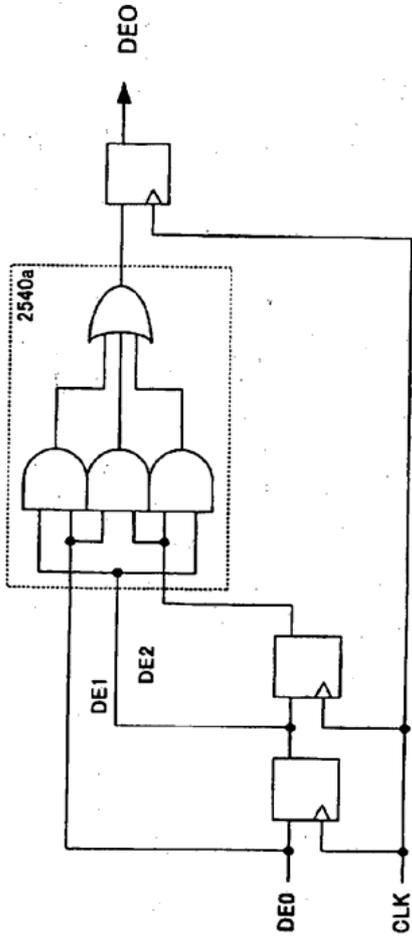


A partir del circuito de deserialización 2522

DSR<1>~DSR<19>

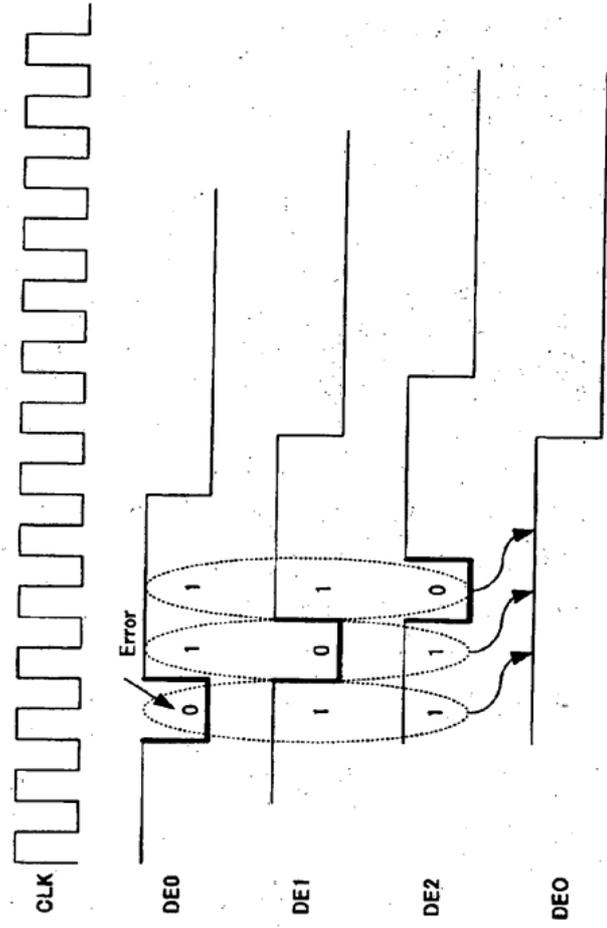
[Fig.14]





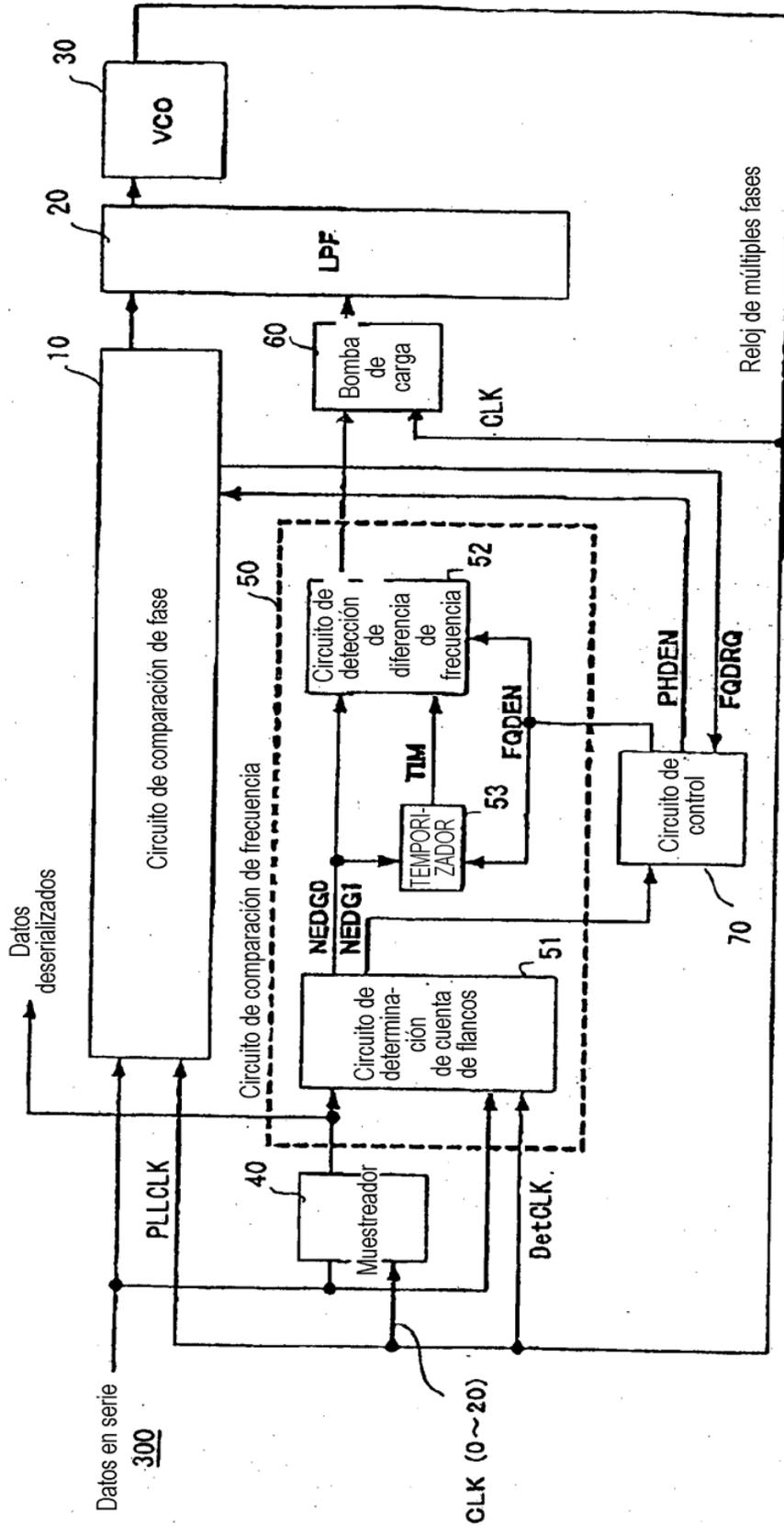
【Fig.15】

(A)



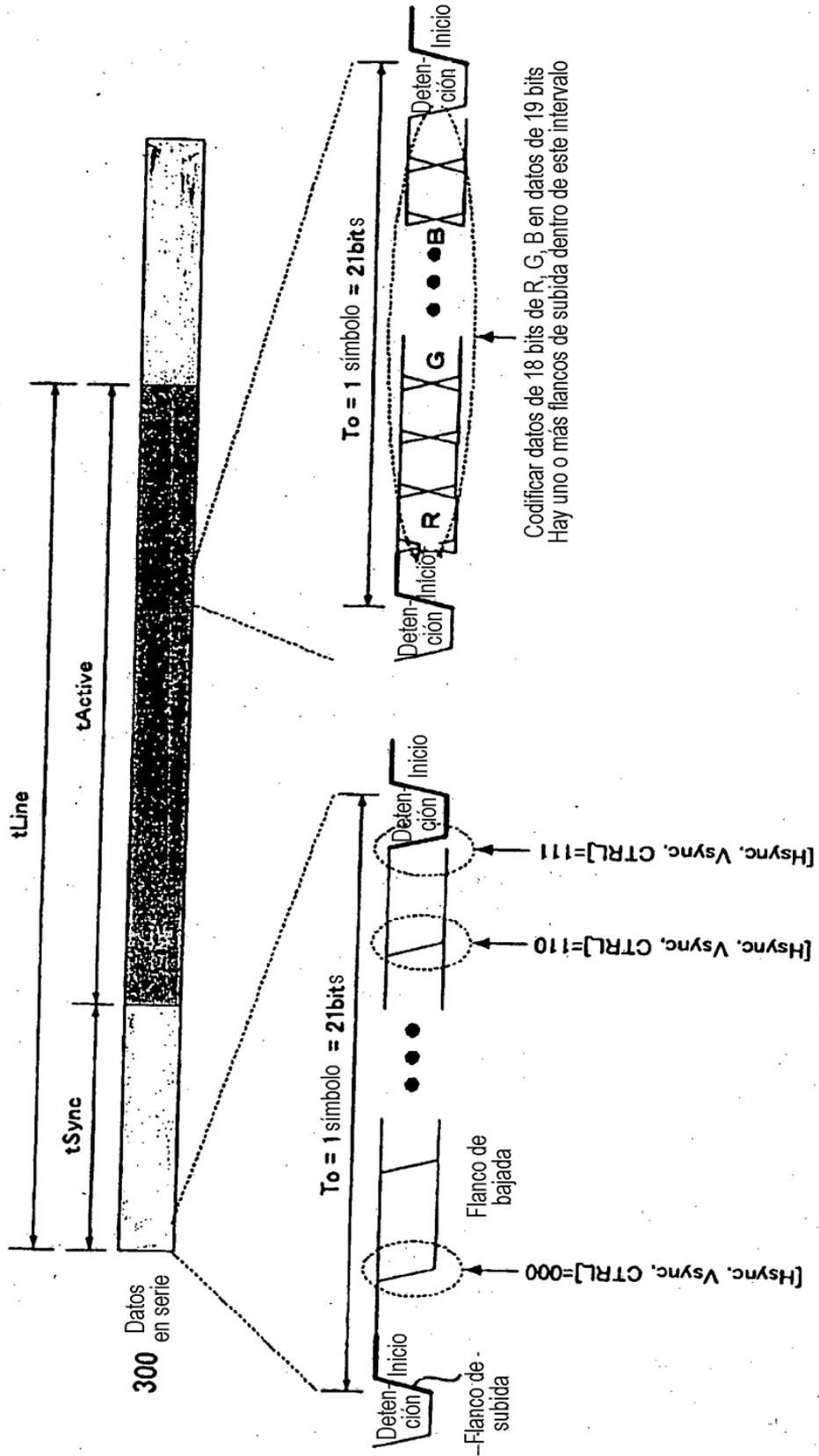
(B)

[Fig. 16]



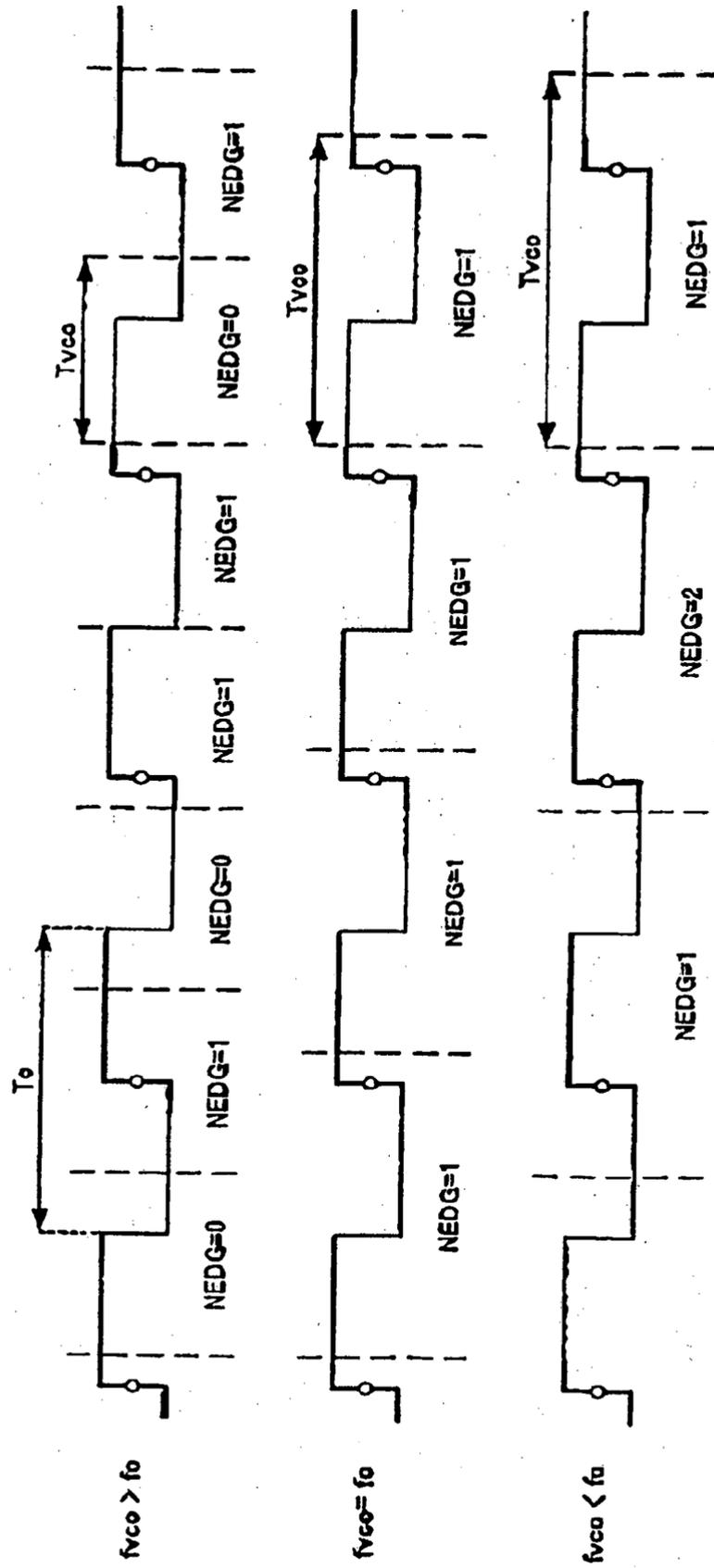
200 Circuito de recepción
(circuito de lazo de enganche de fase de recuperación de datos de reloj)

[Fig. 17]

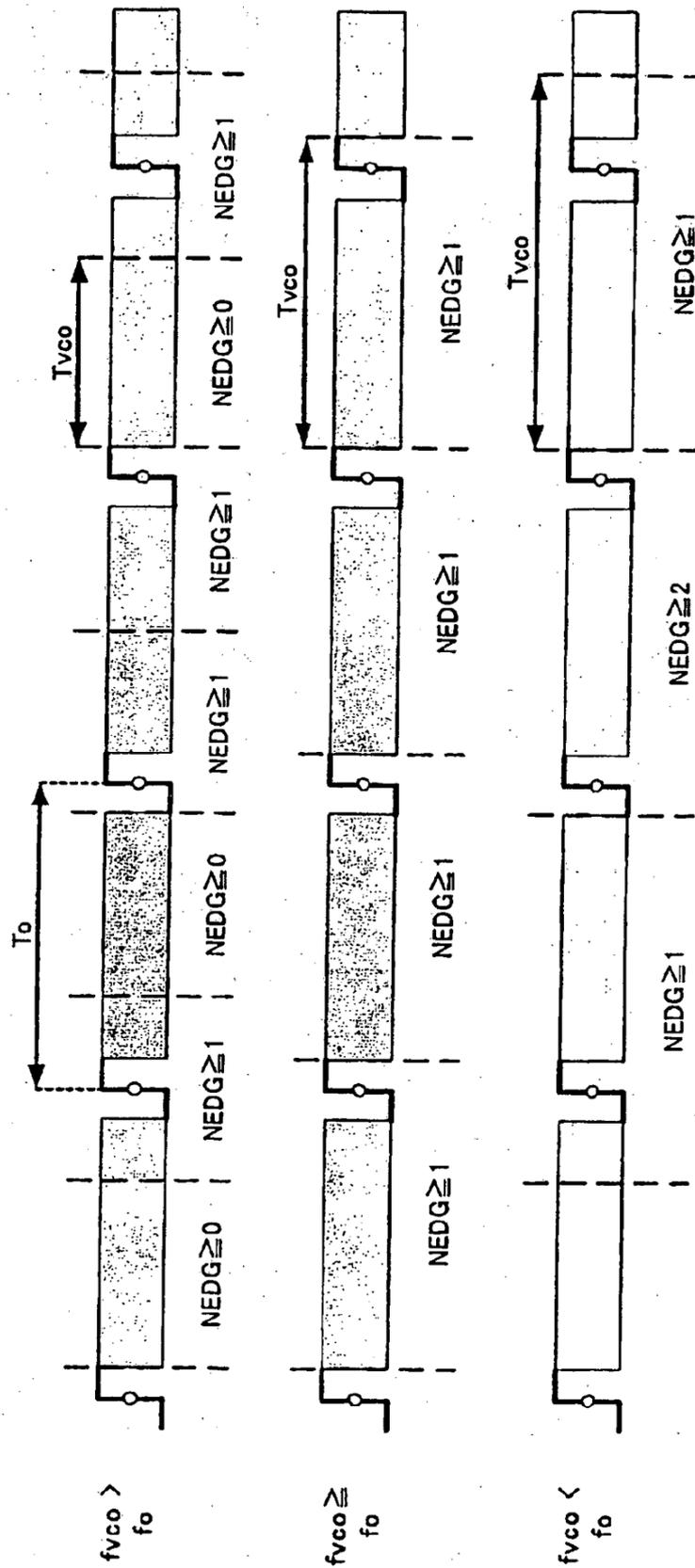


Codificar datos de 18 bits de R, G, B en datos de 19 bits
Hay uno o más flancos de subida dentro de este intervalo

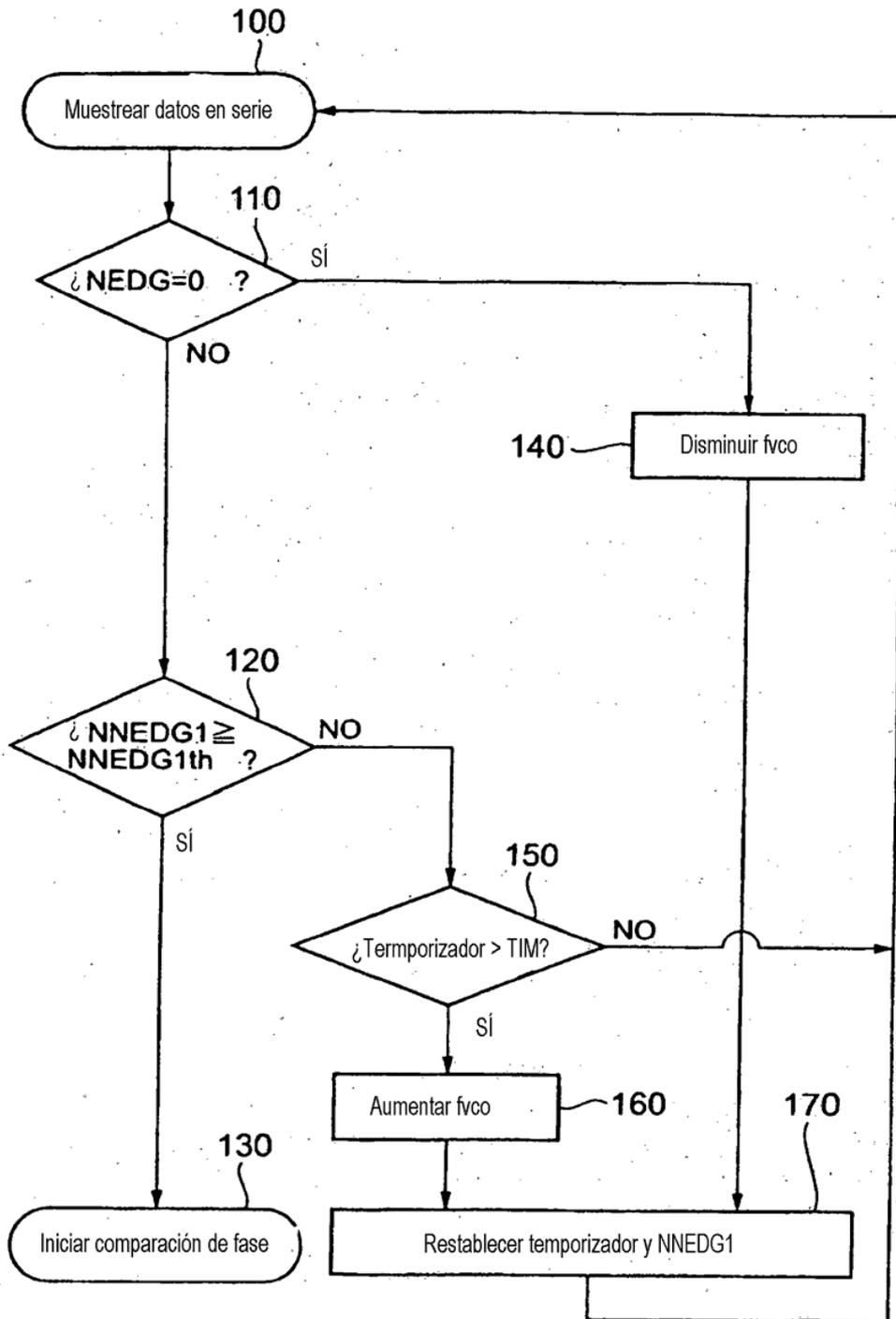
[Fig. 18]



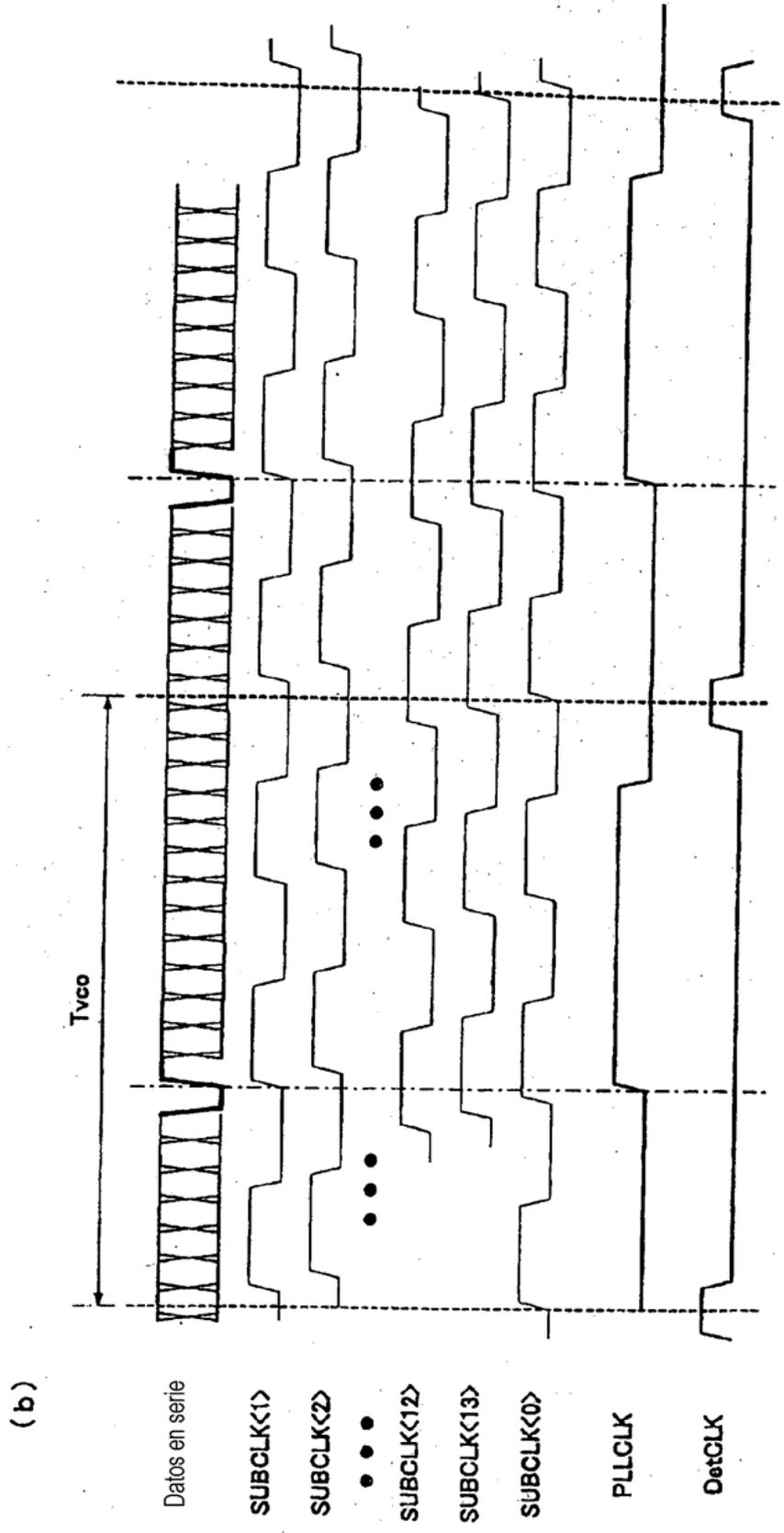
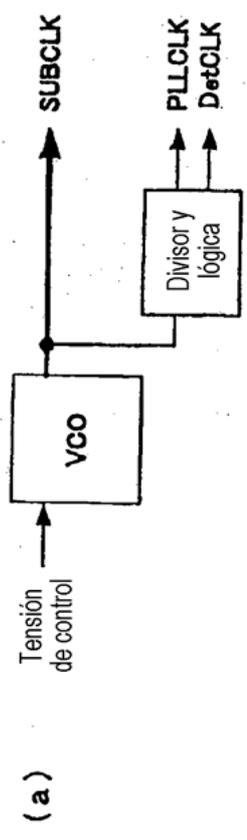
[Fig. 19]



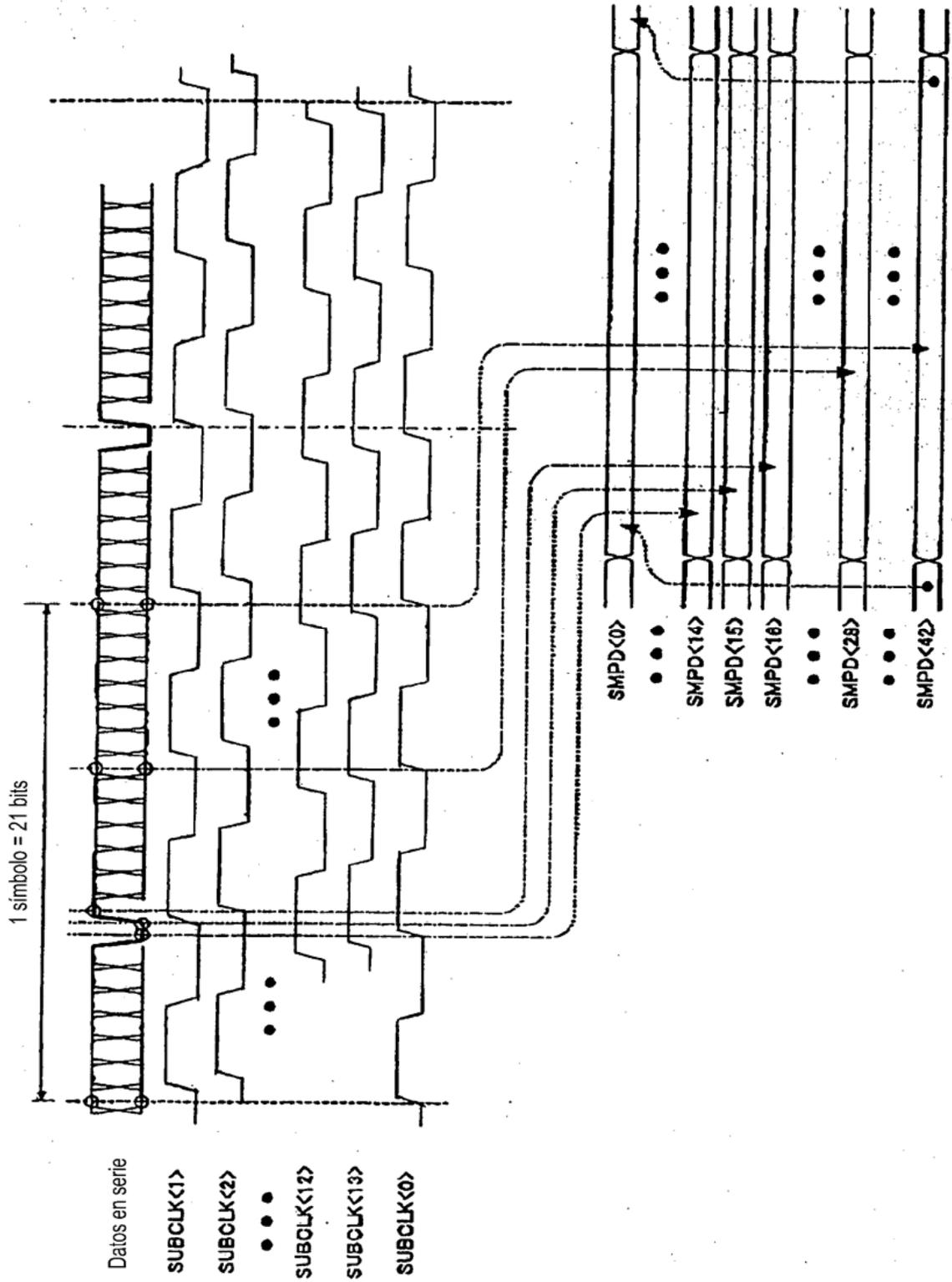
[Fig. 20]



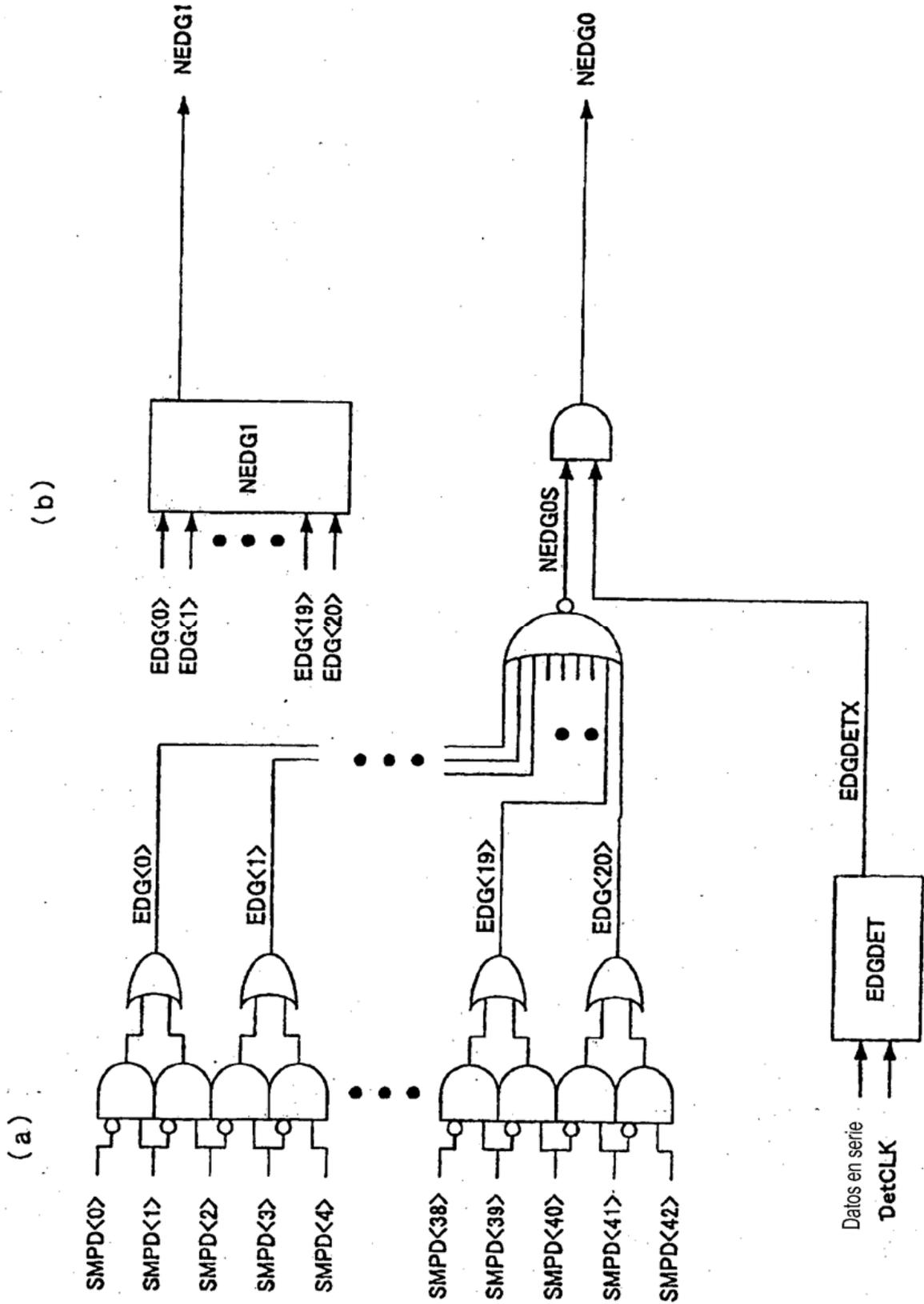
[Fig. 21]



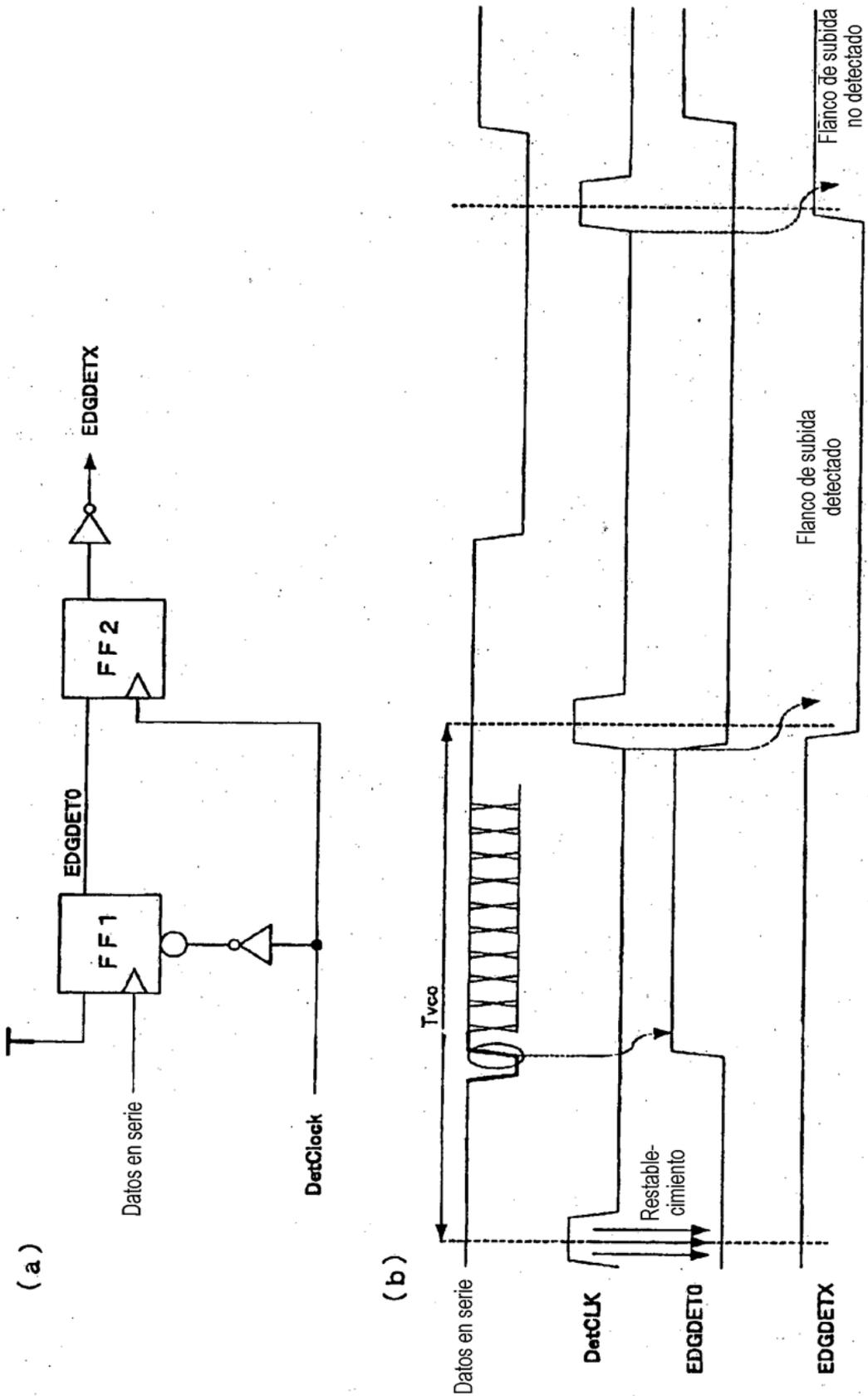
[Fig. 22]



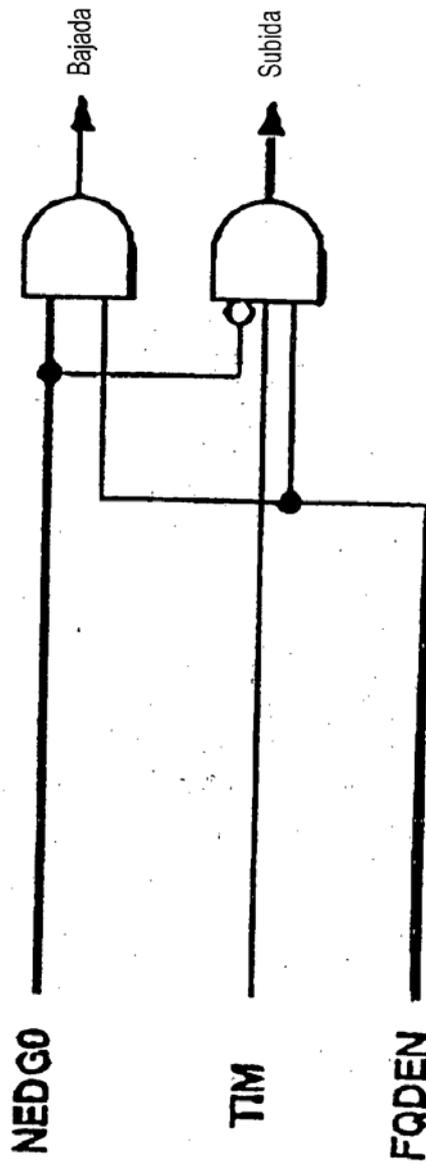
[Fig. 23]



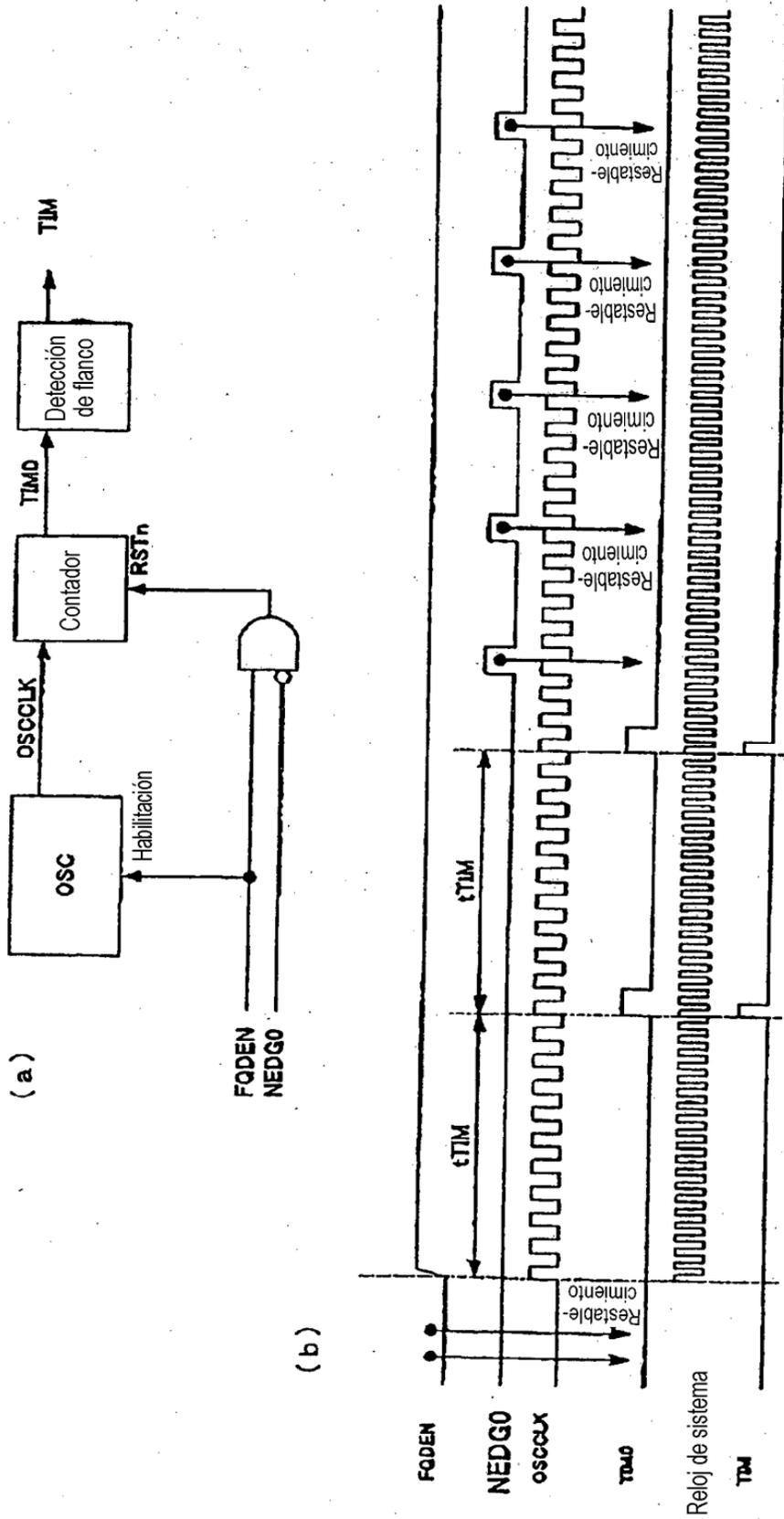
[Fig. 24]



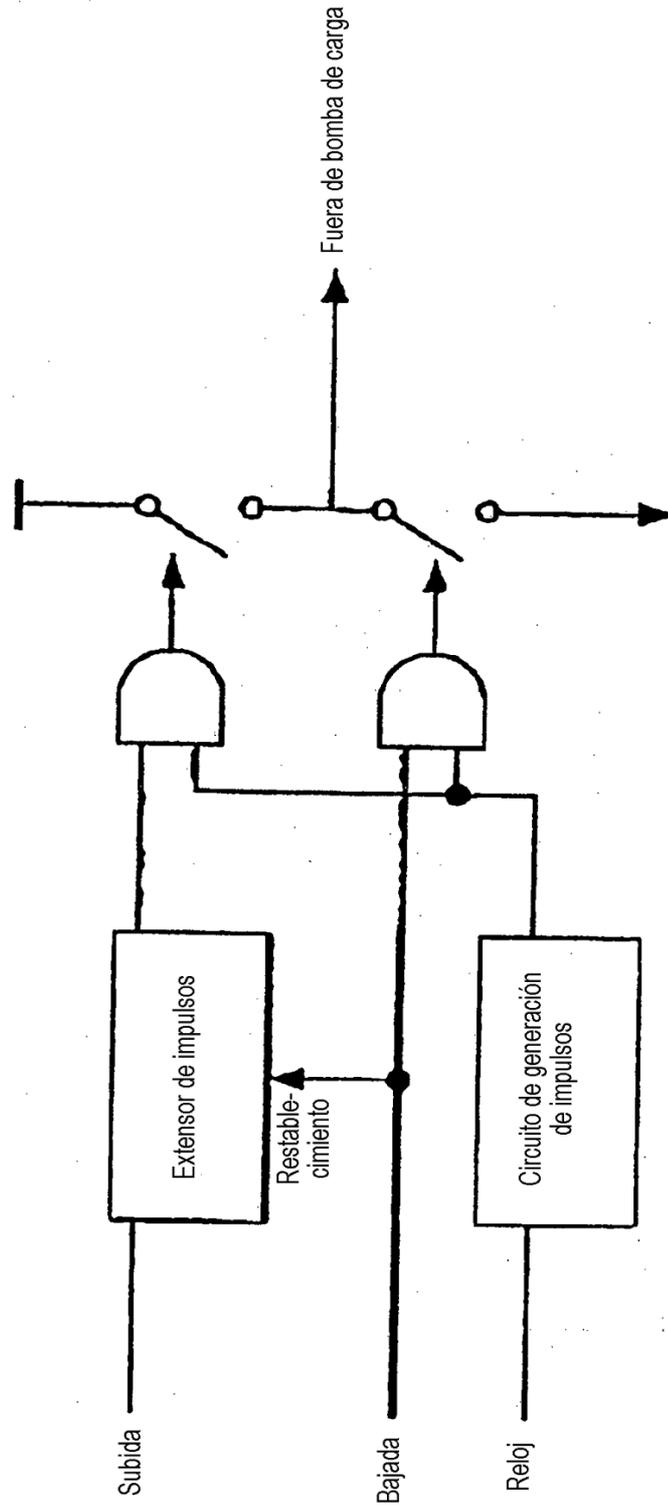
[Fig. 25]



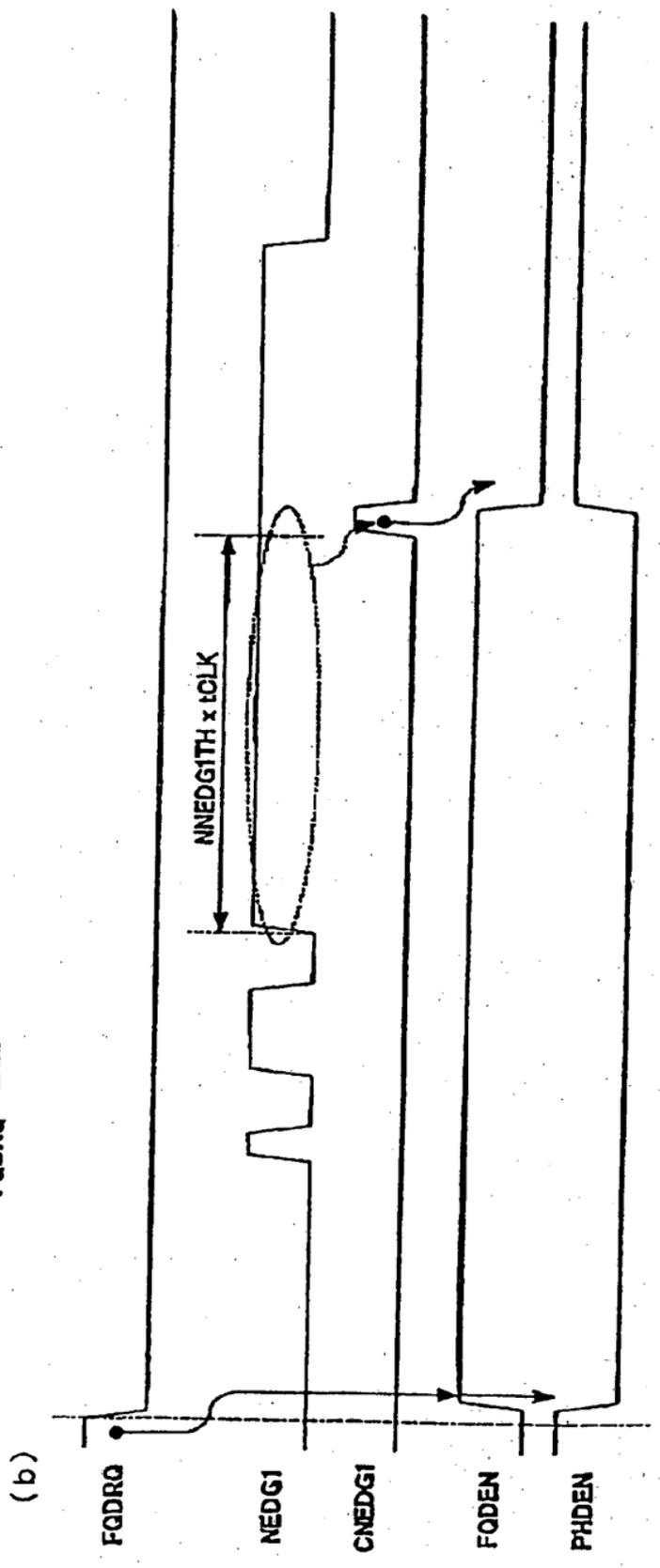
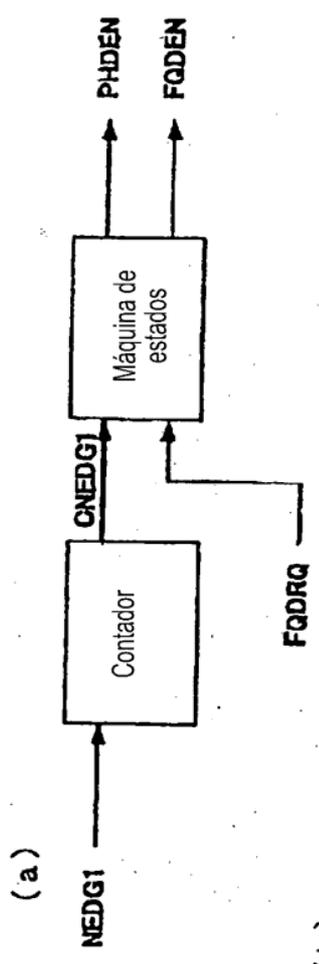
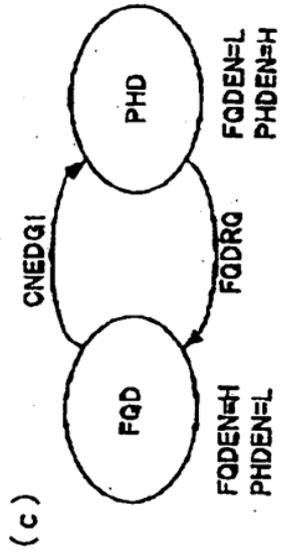
[Fig. 26]



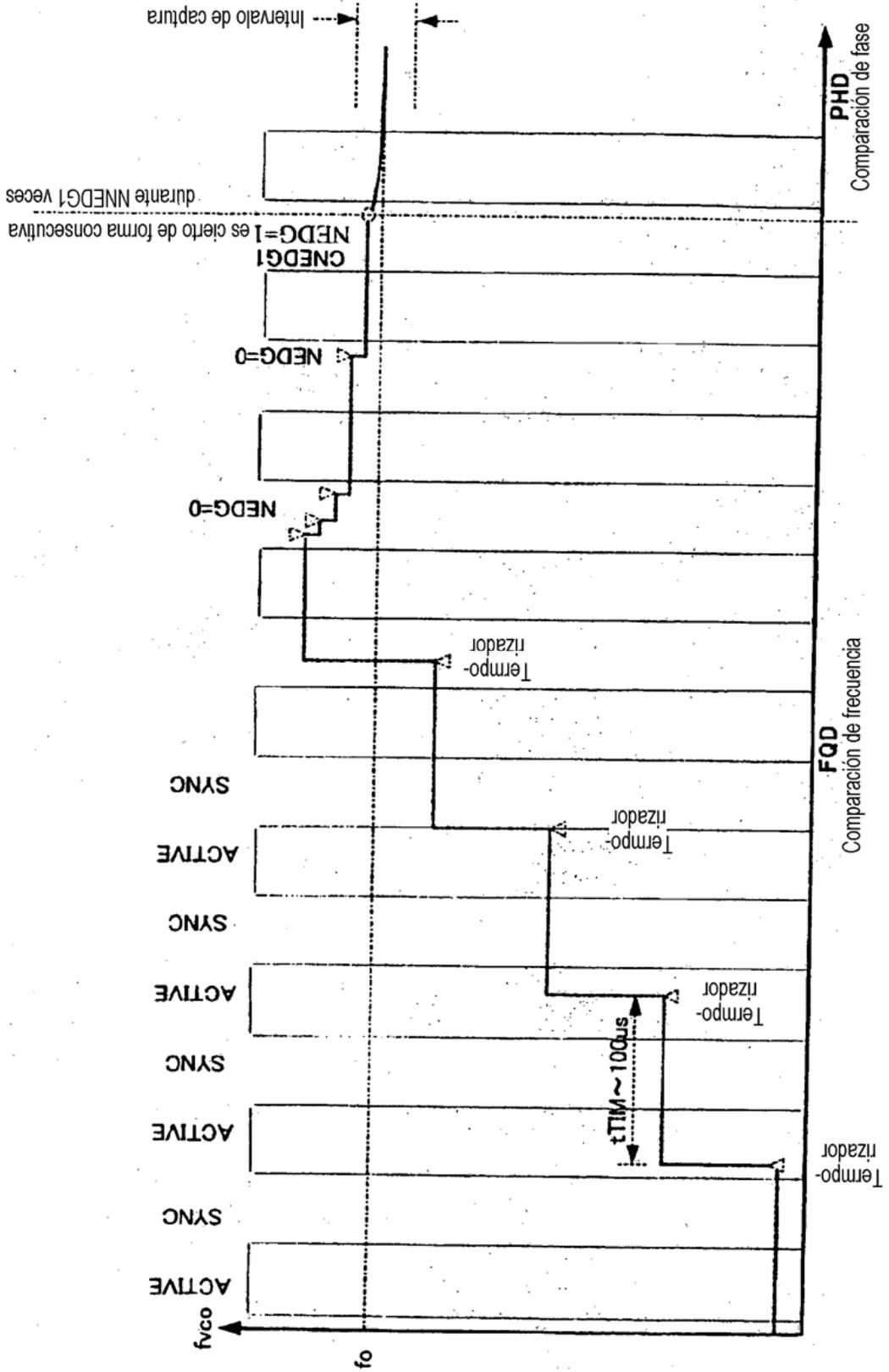
[Fig. 27]



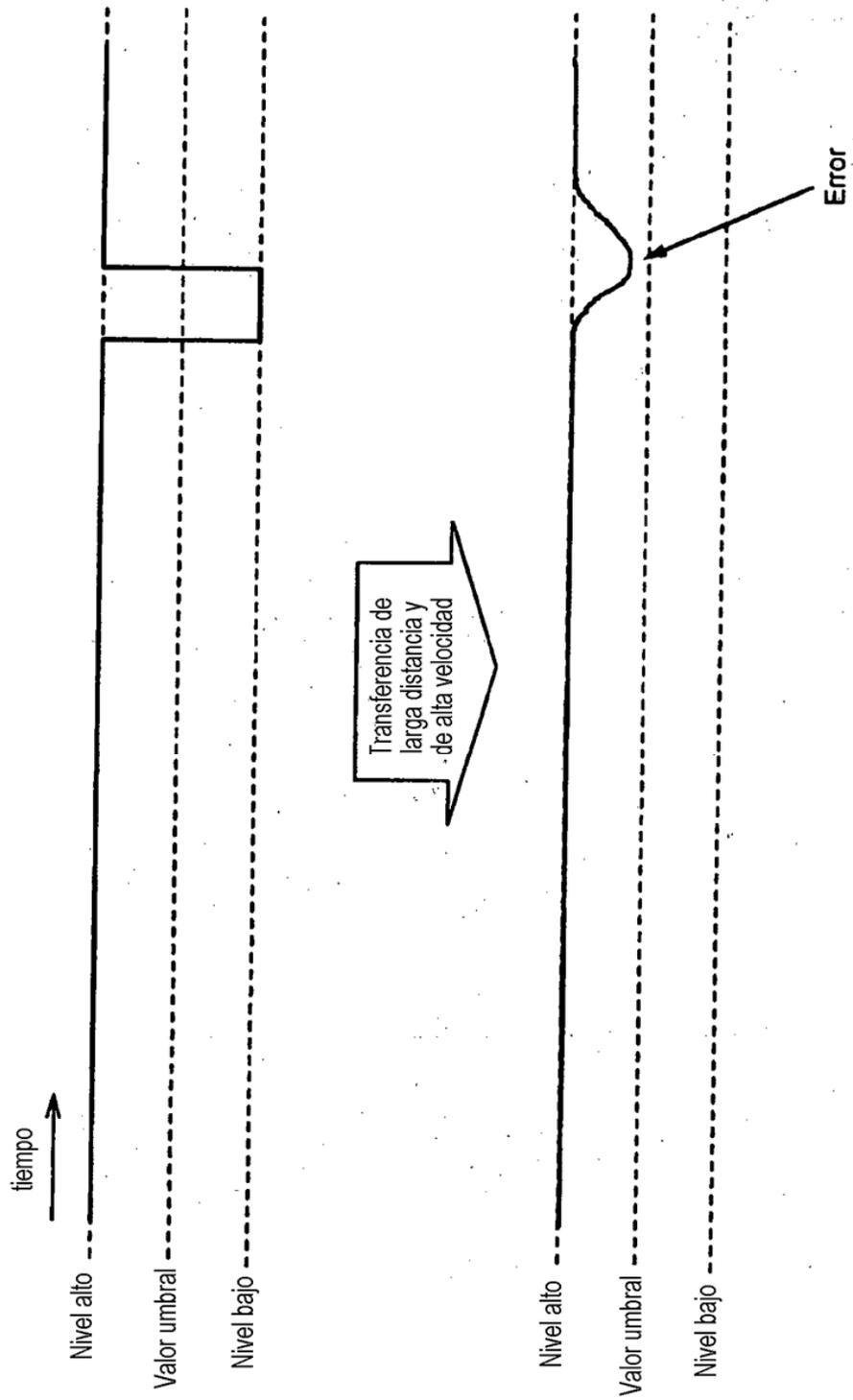
[Fig. 28]



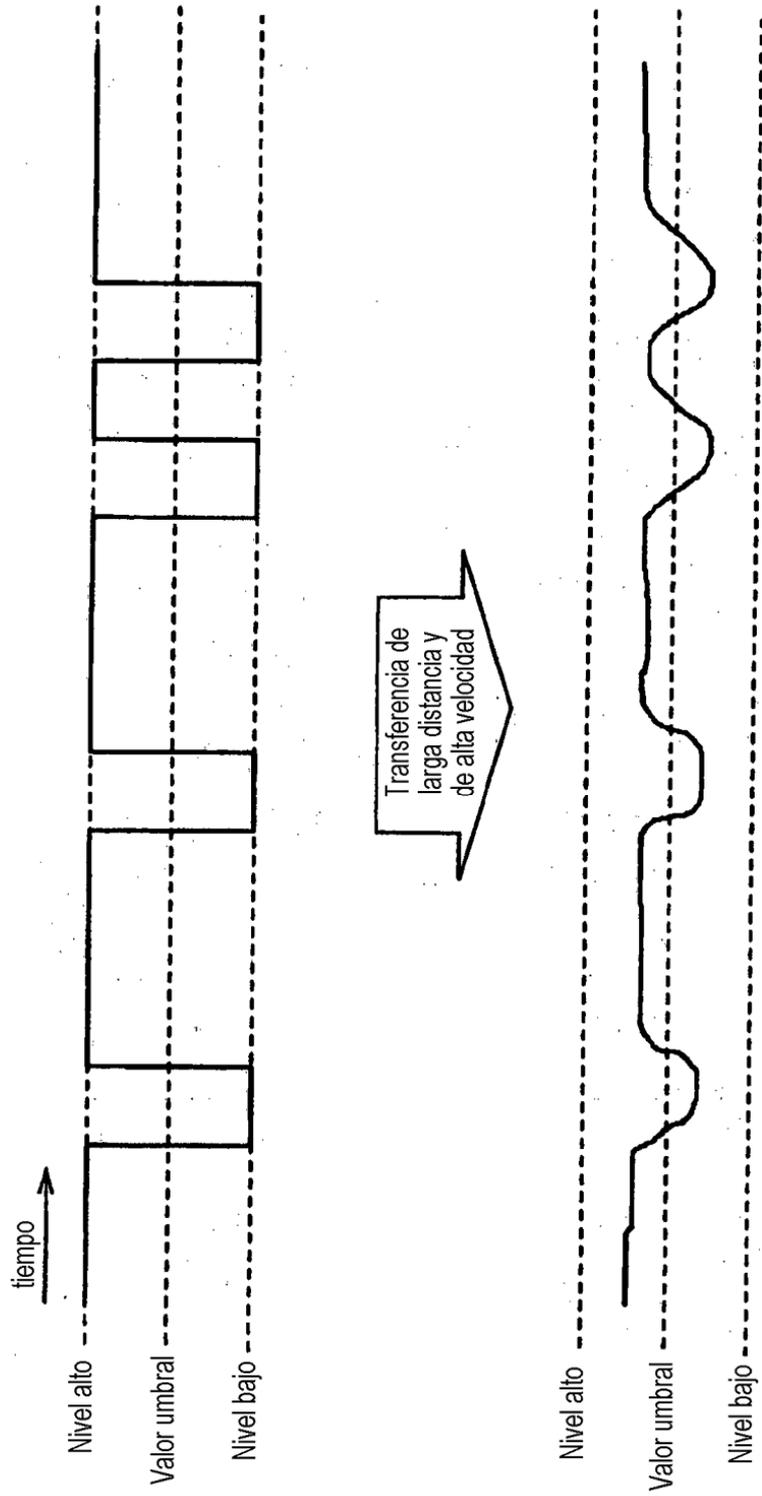
[Fig. 29]



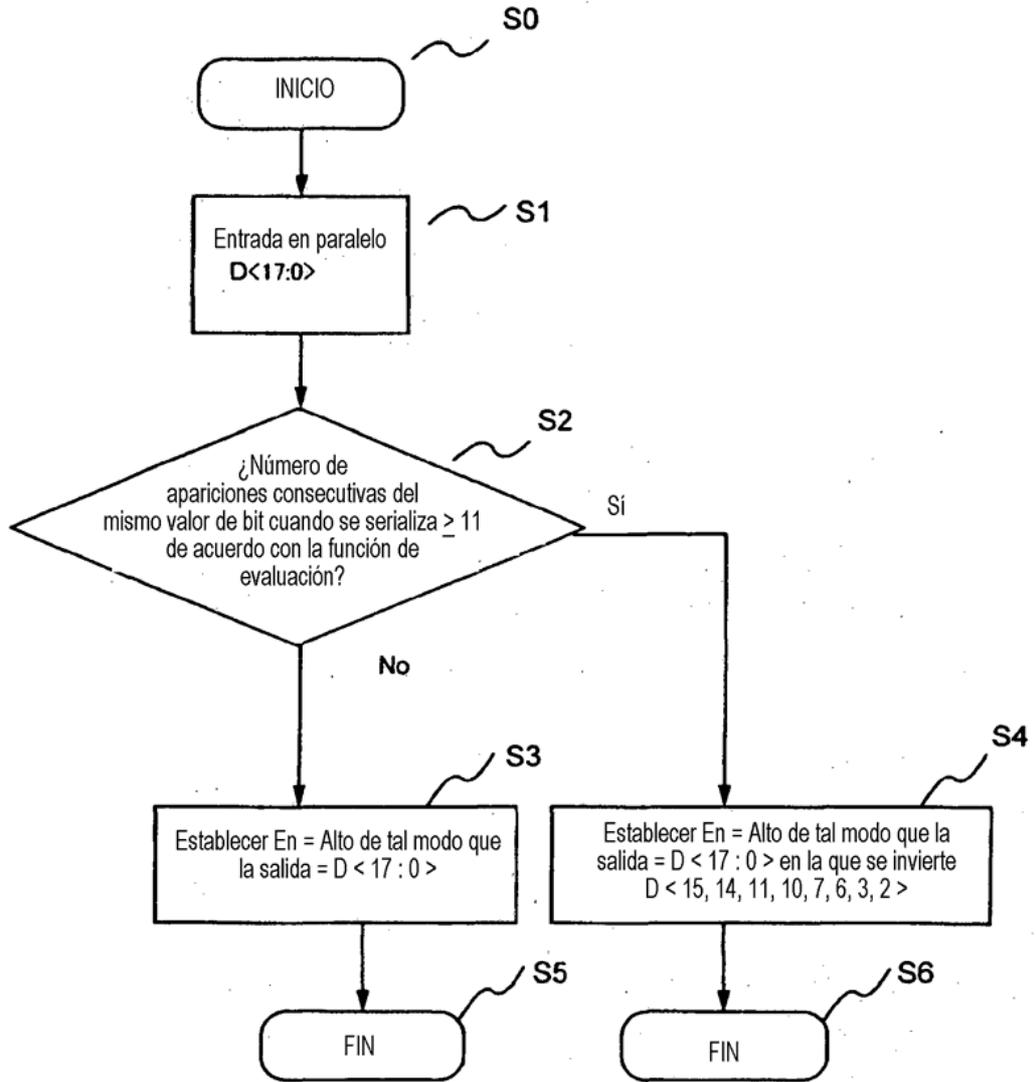
[Fig.30]



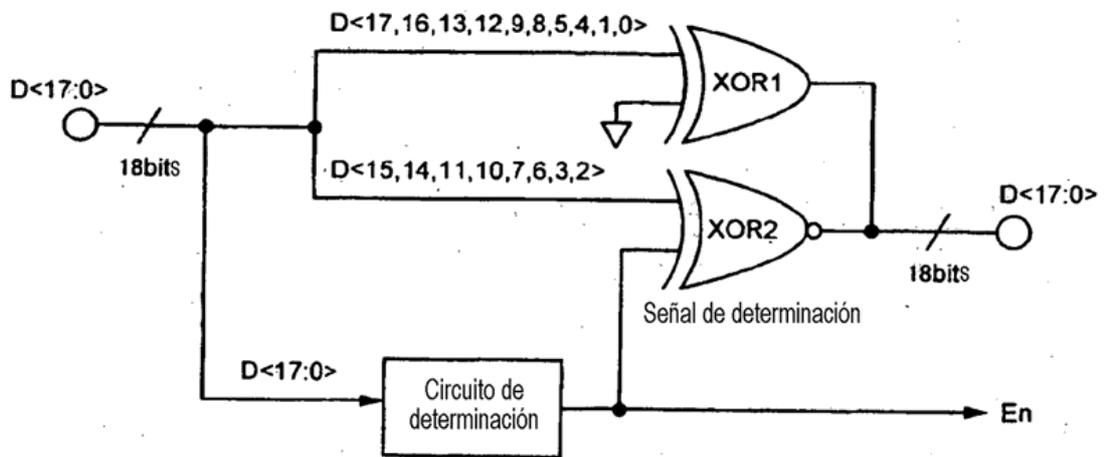
[Fig.31]



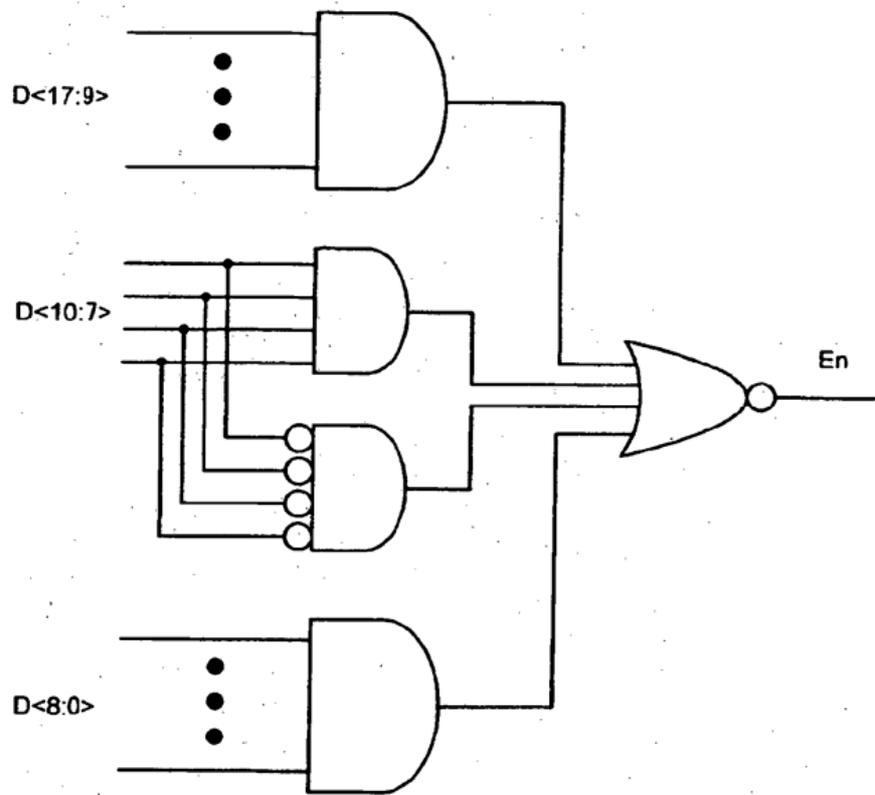
[Fig.32]



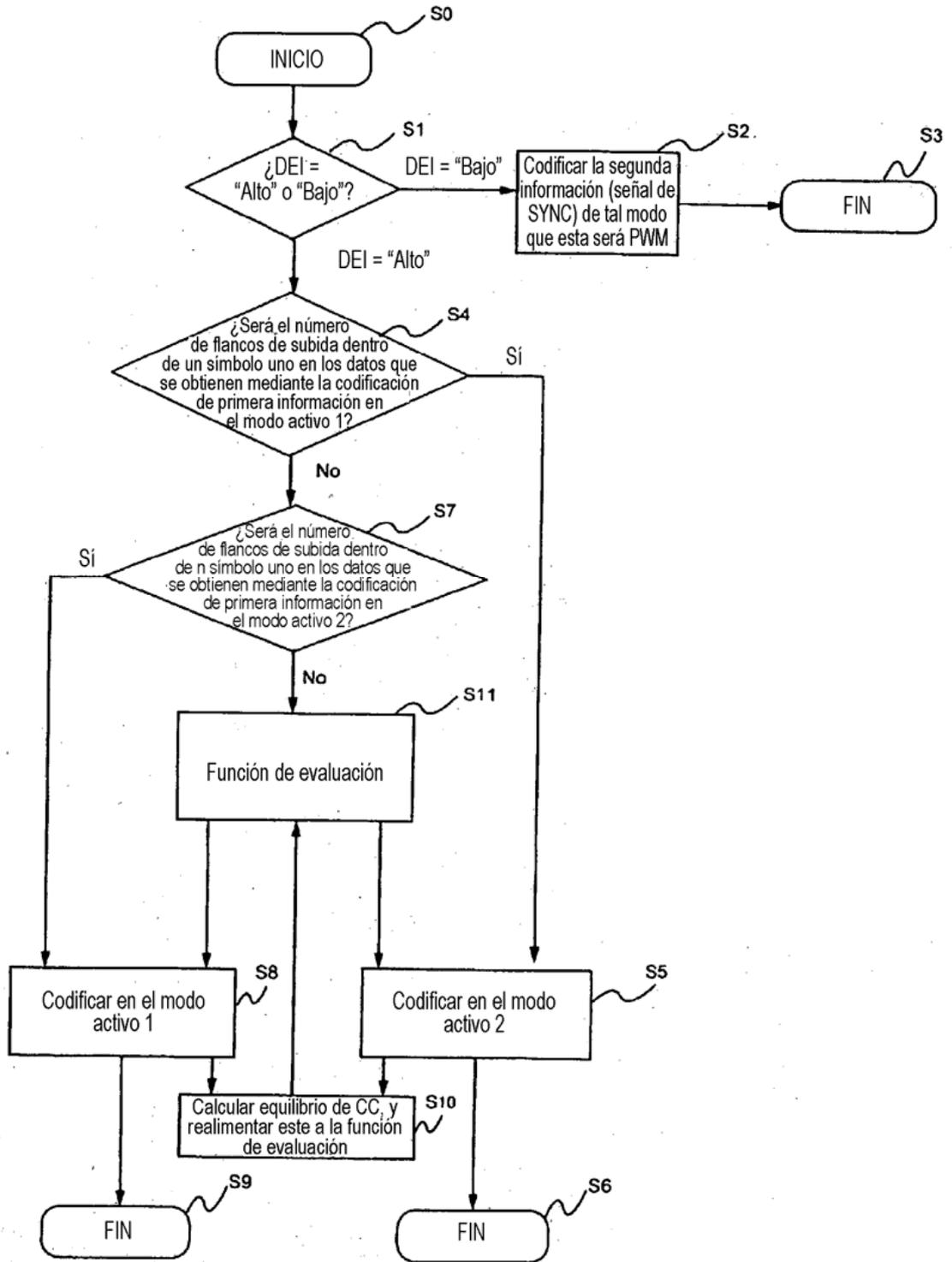
【Fig.33】



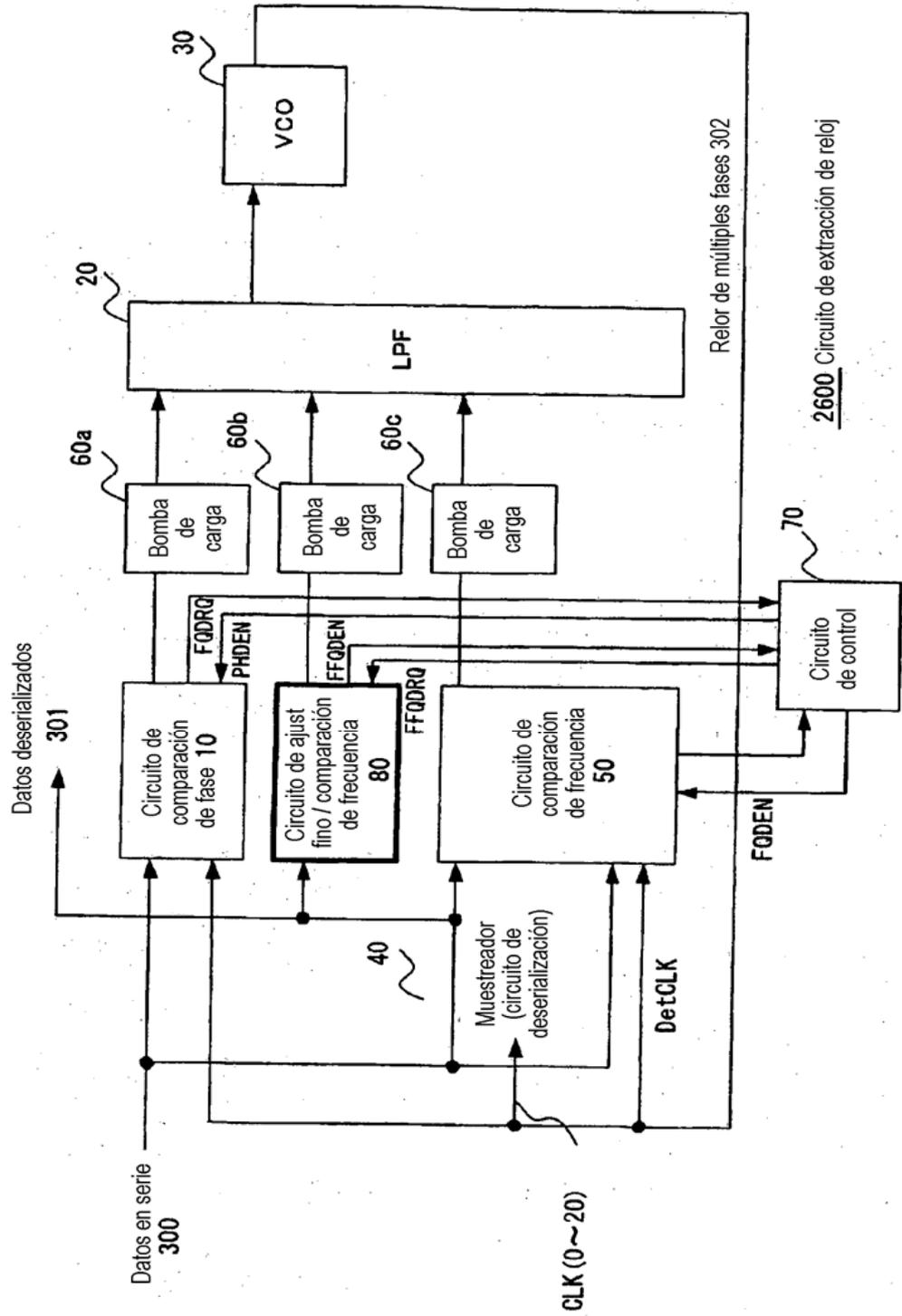
[Fig.34]



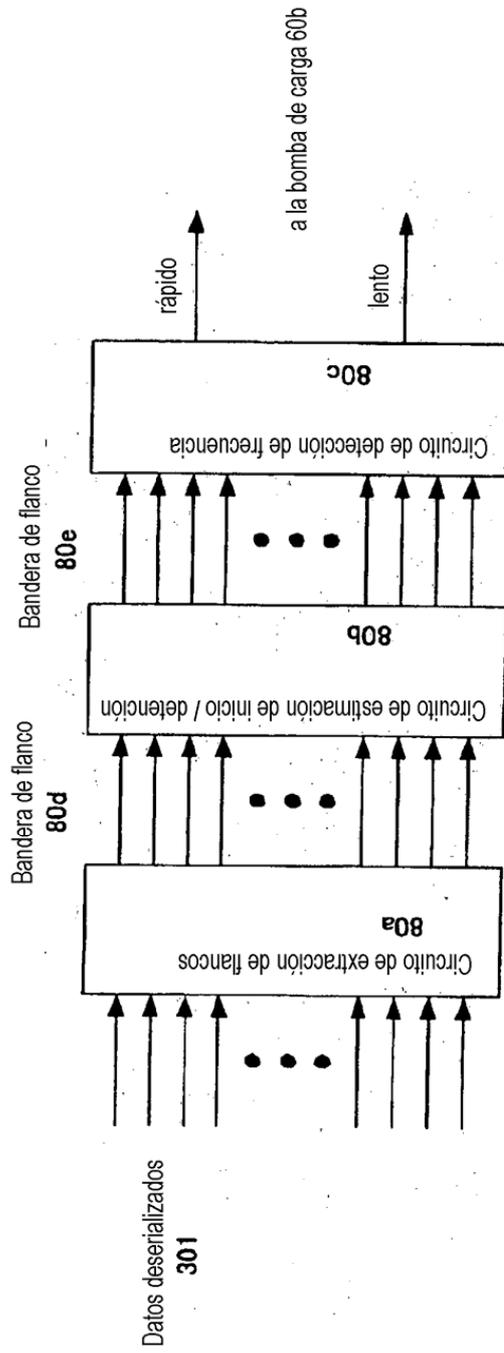
[Fig.35]



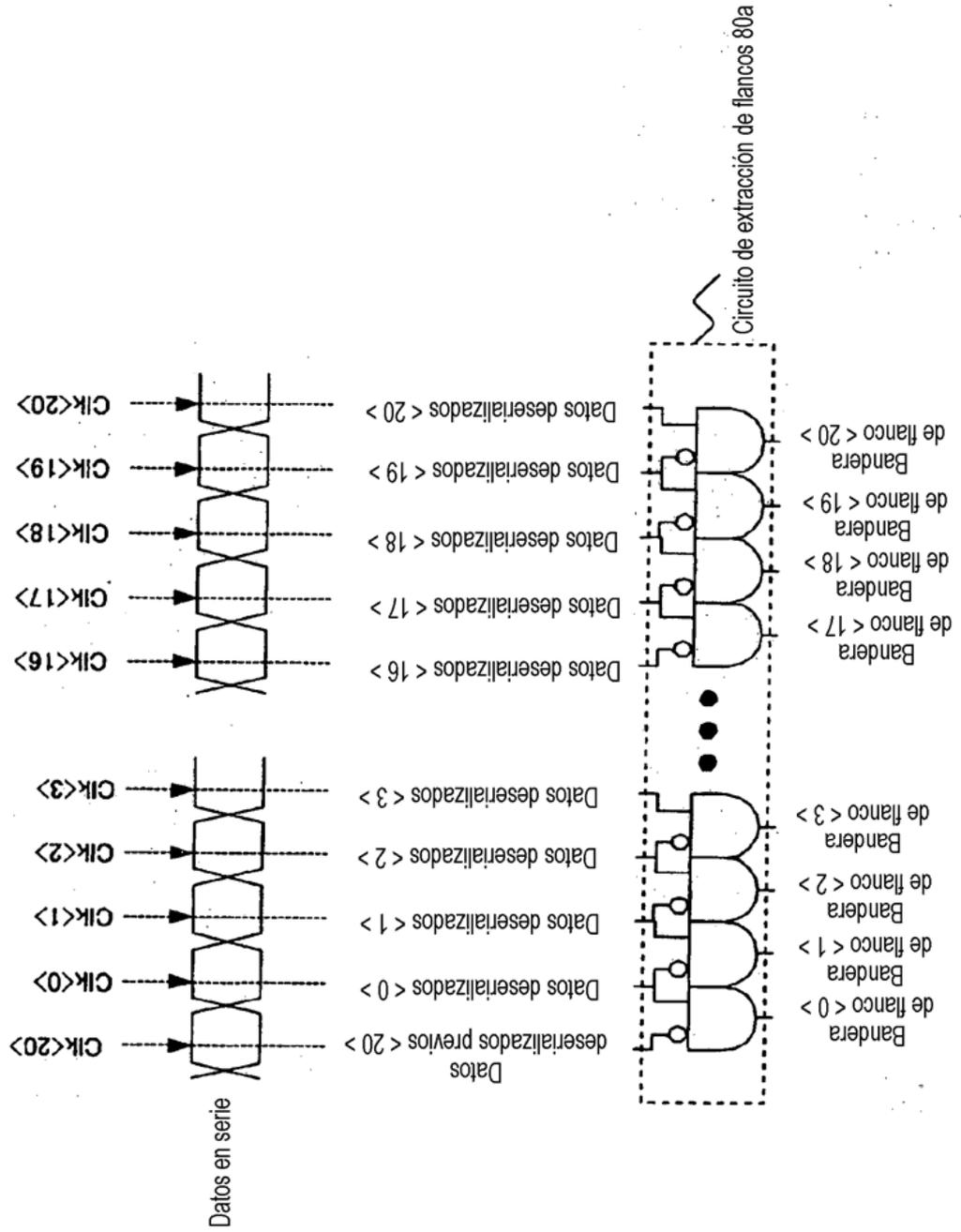
【Fig.36】



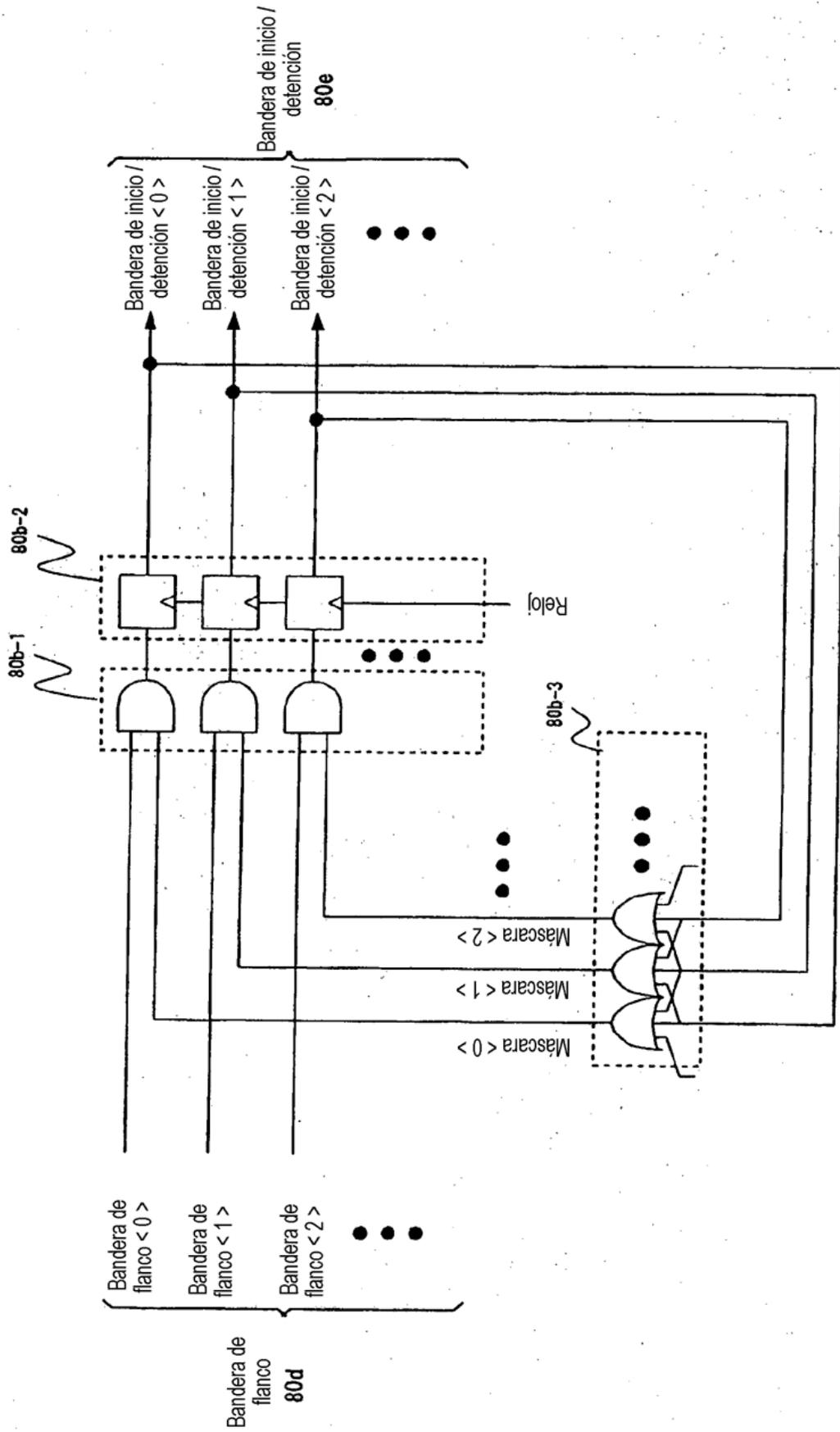
【Fig. 37】



【Fig. 38】

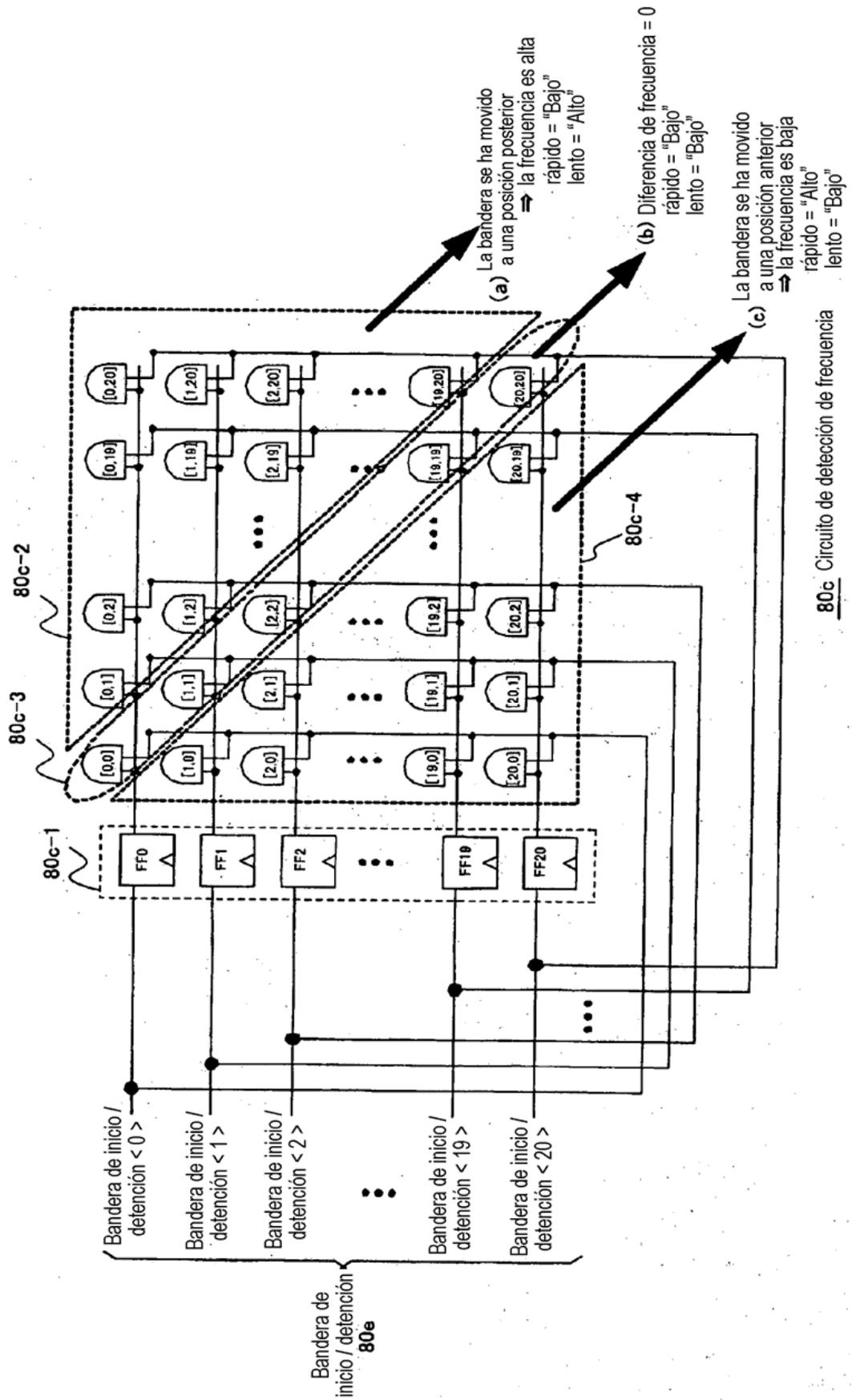


【Fig. 39】

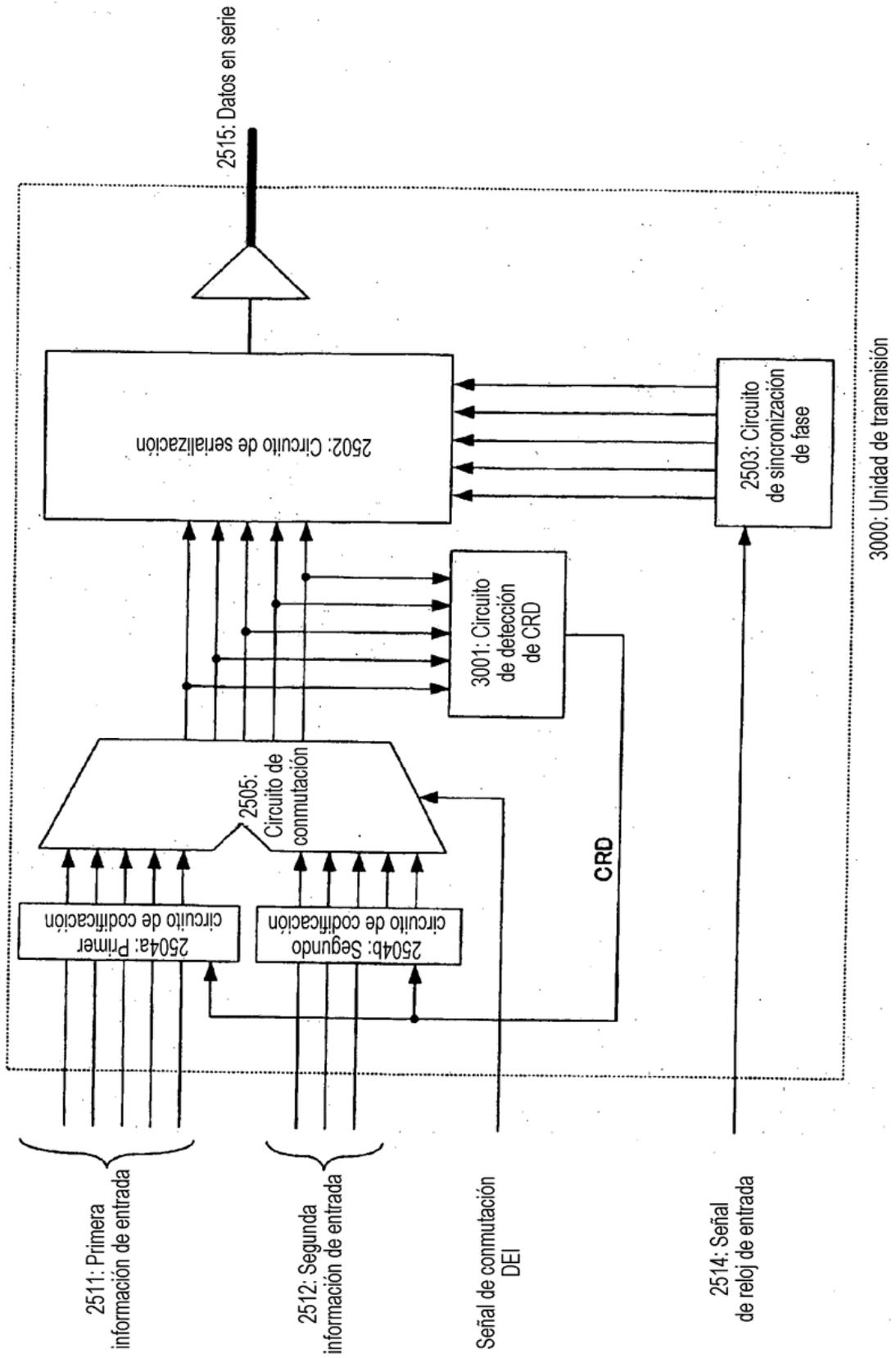


80b Circuito de estimación de inicio / detención

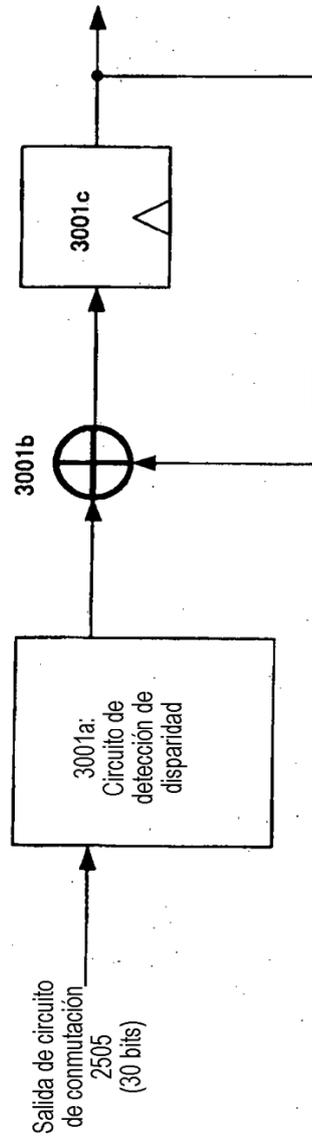
[Fig. 40]

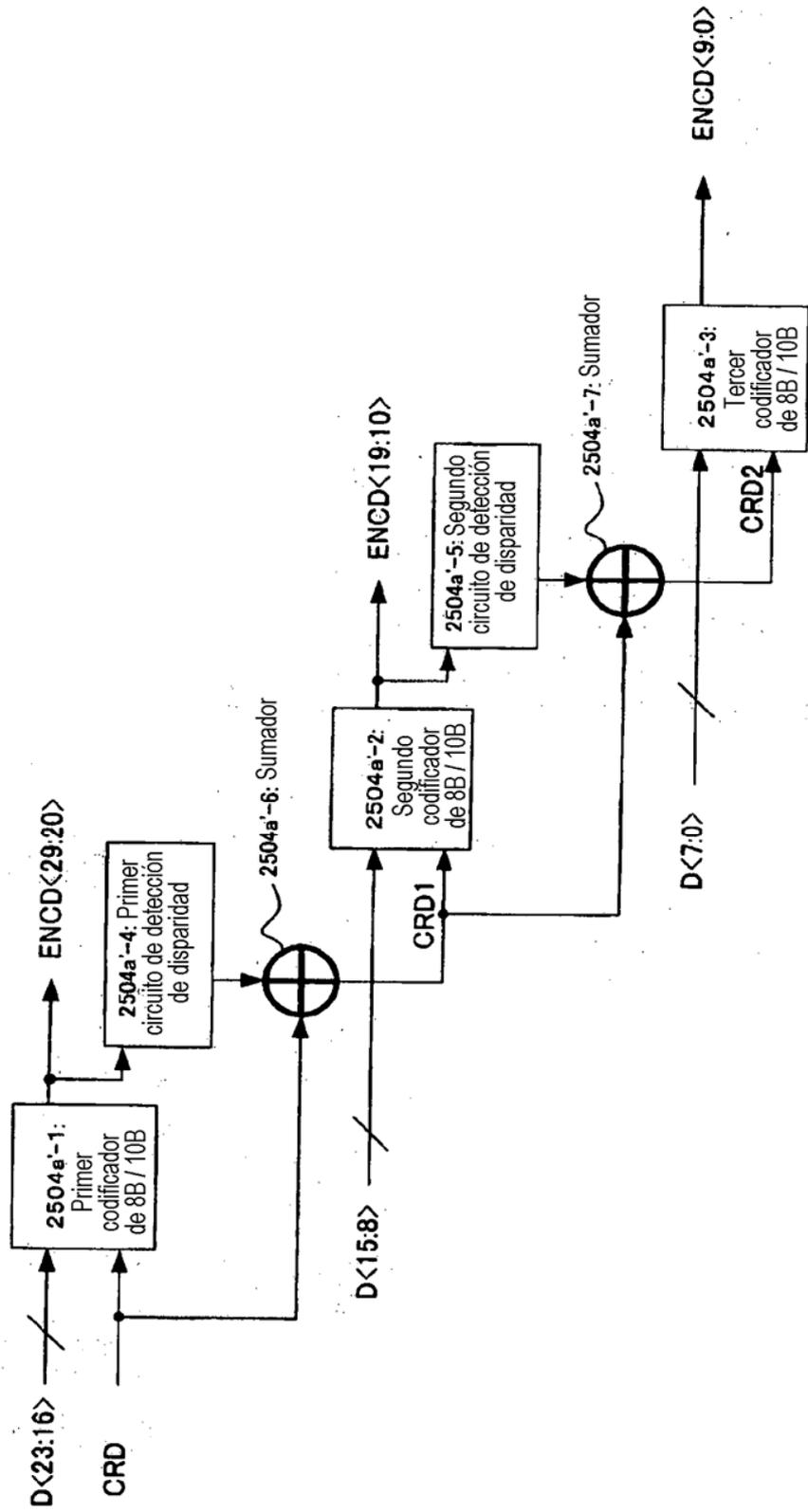


【Fig. 41】



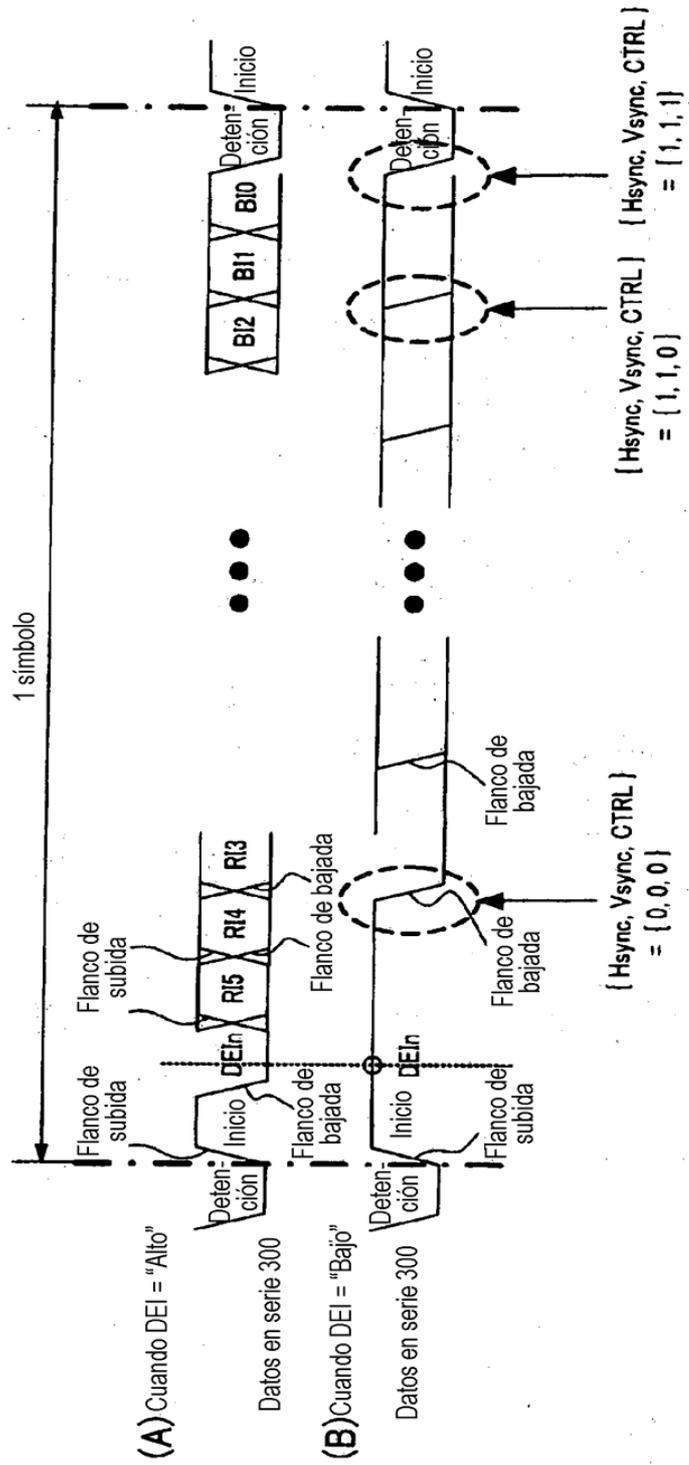
[Fig. 42]



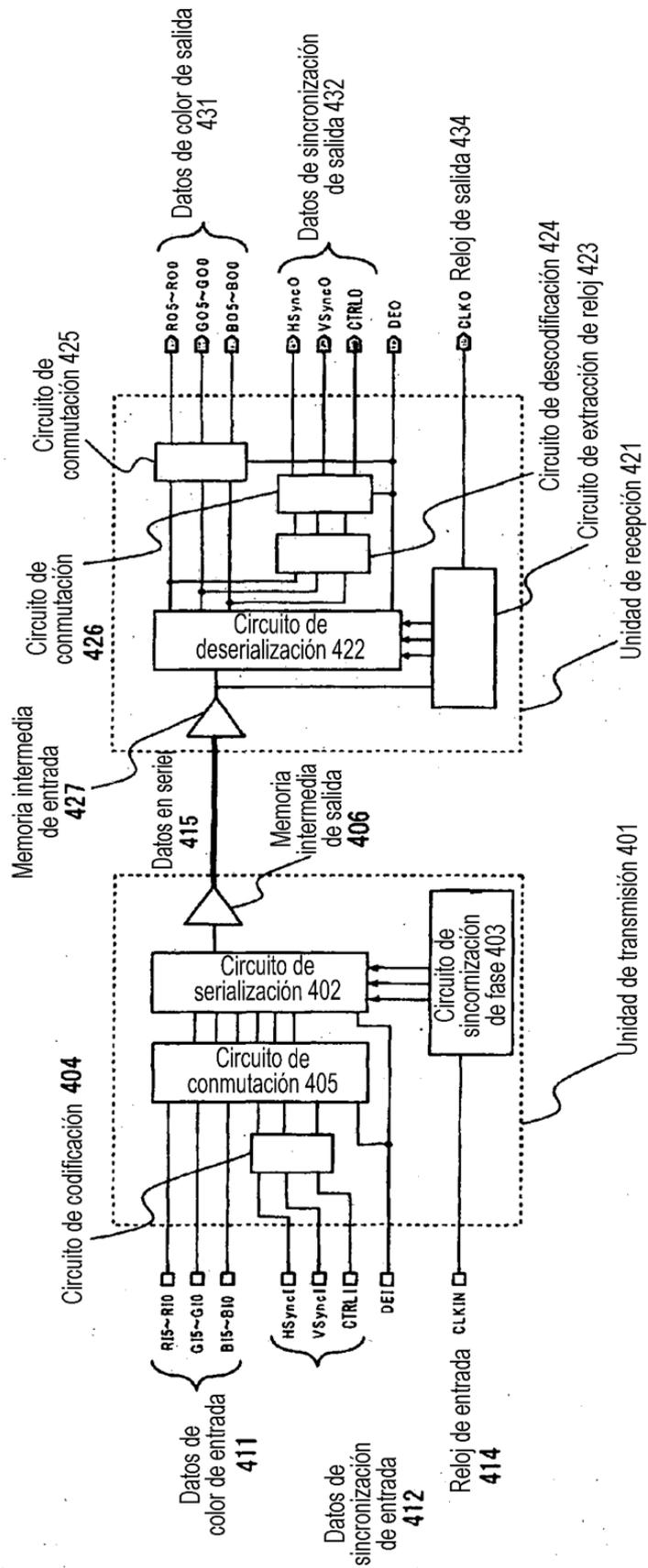


[Fig. 43]

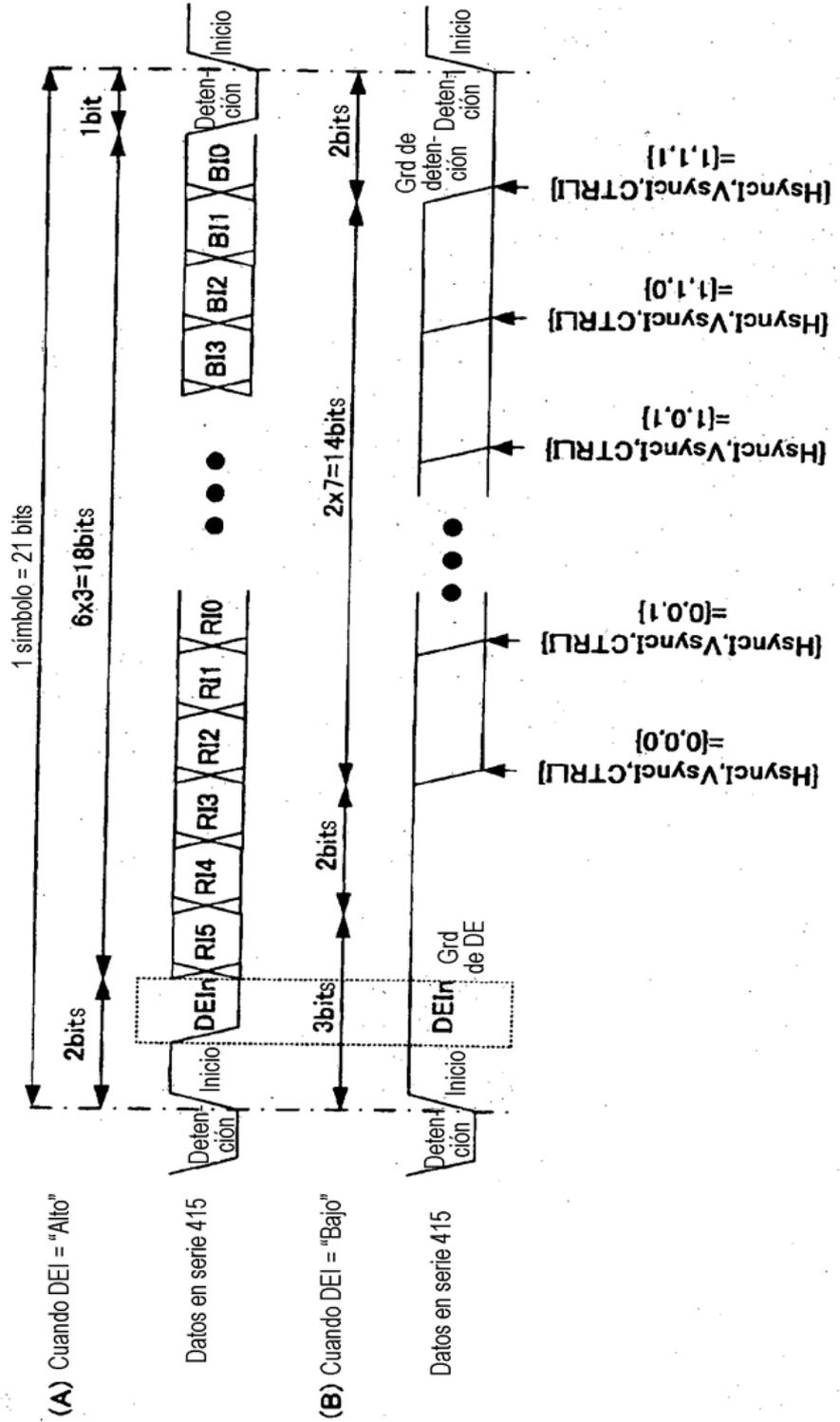
[Fig.44]



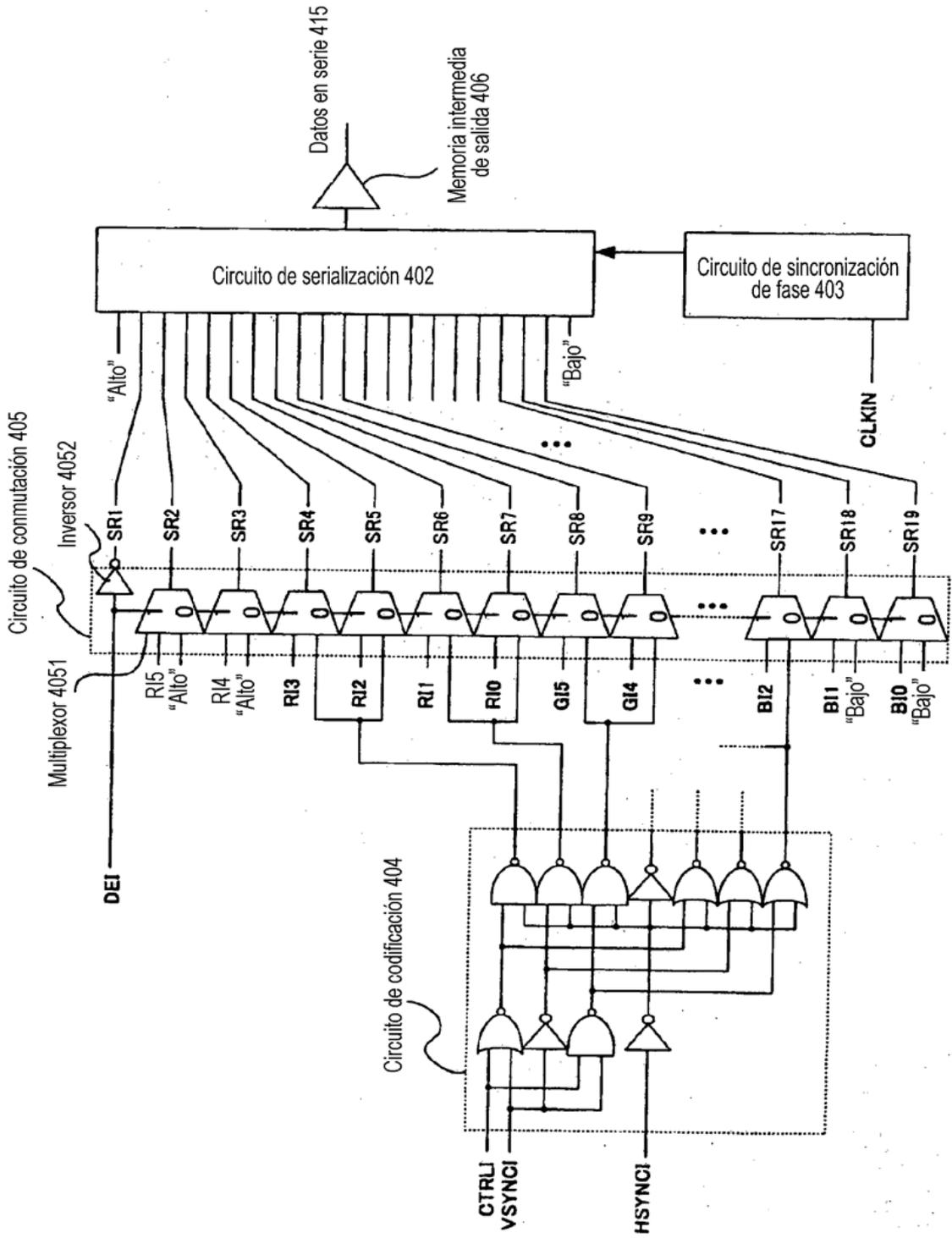
【Fig. 45】



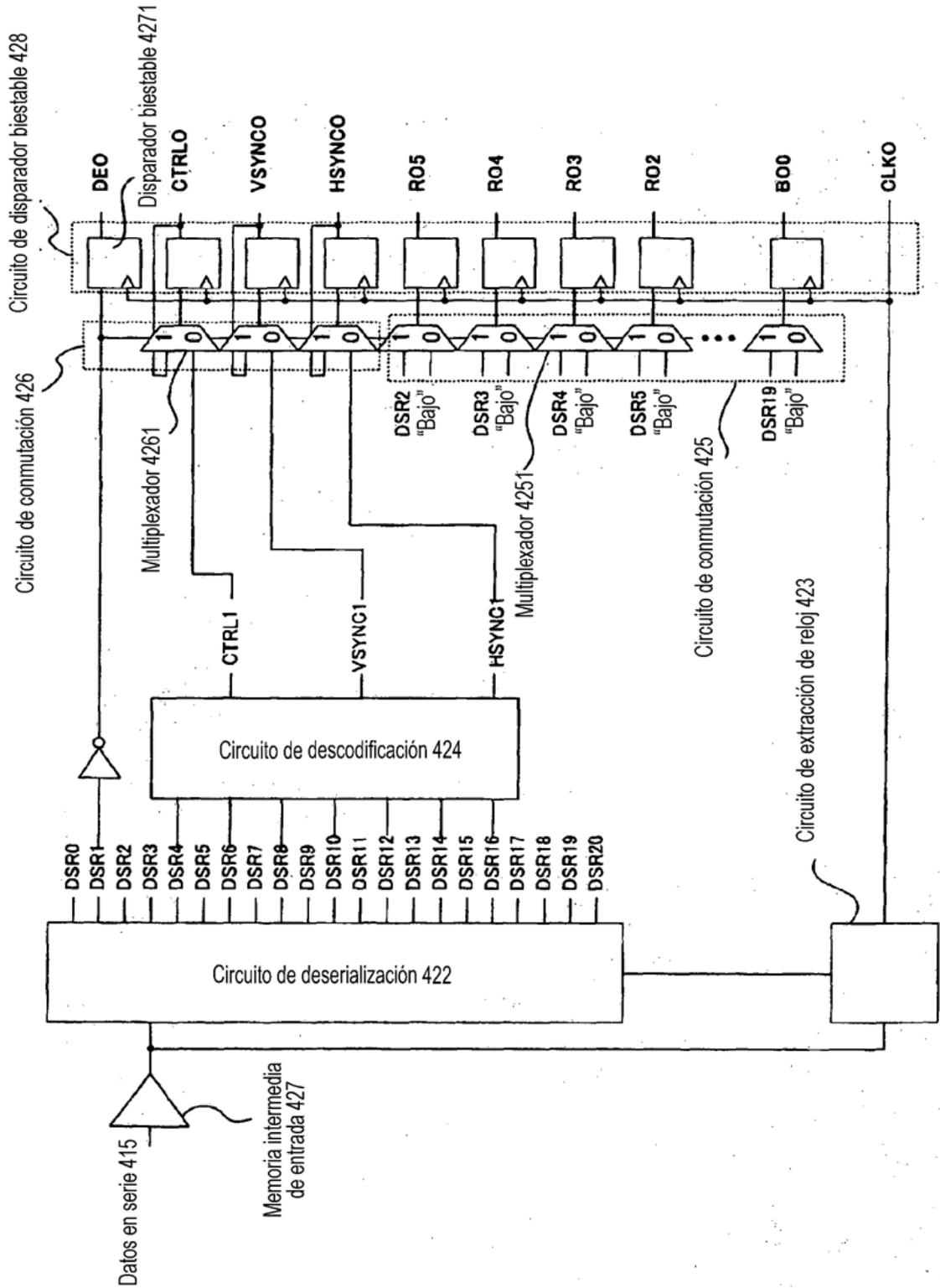
[Fig.46]



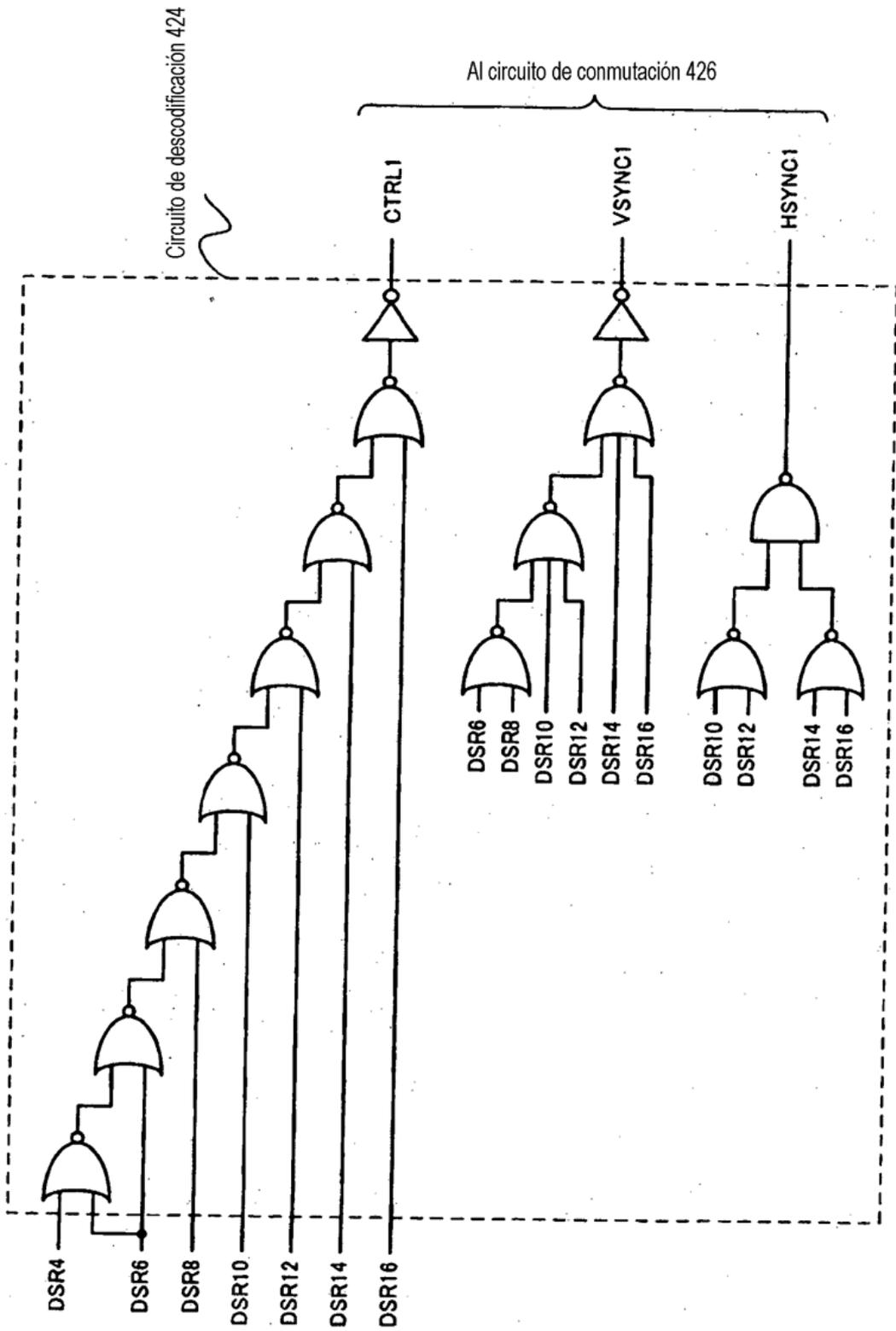
[Fig. 47]



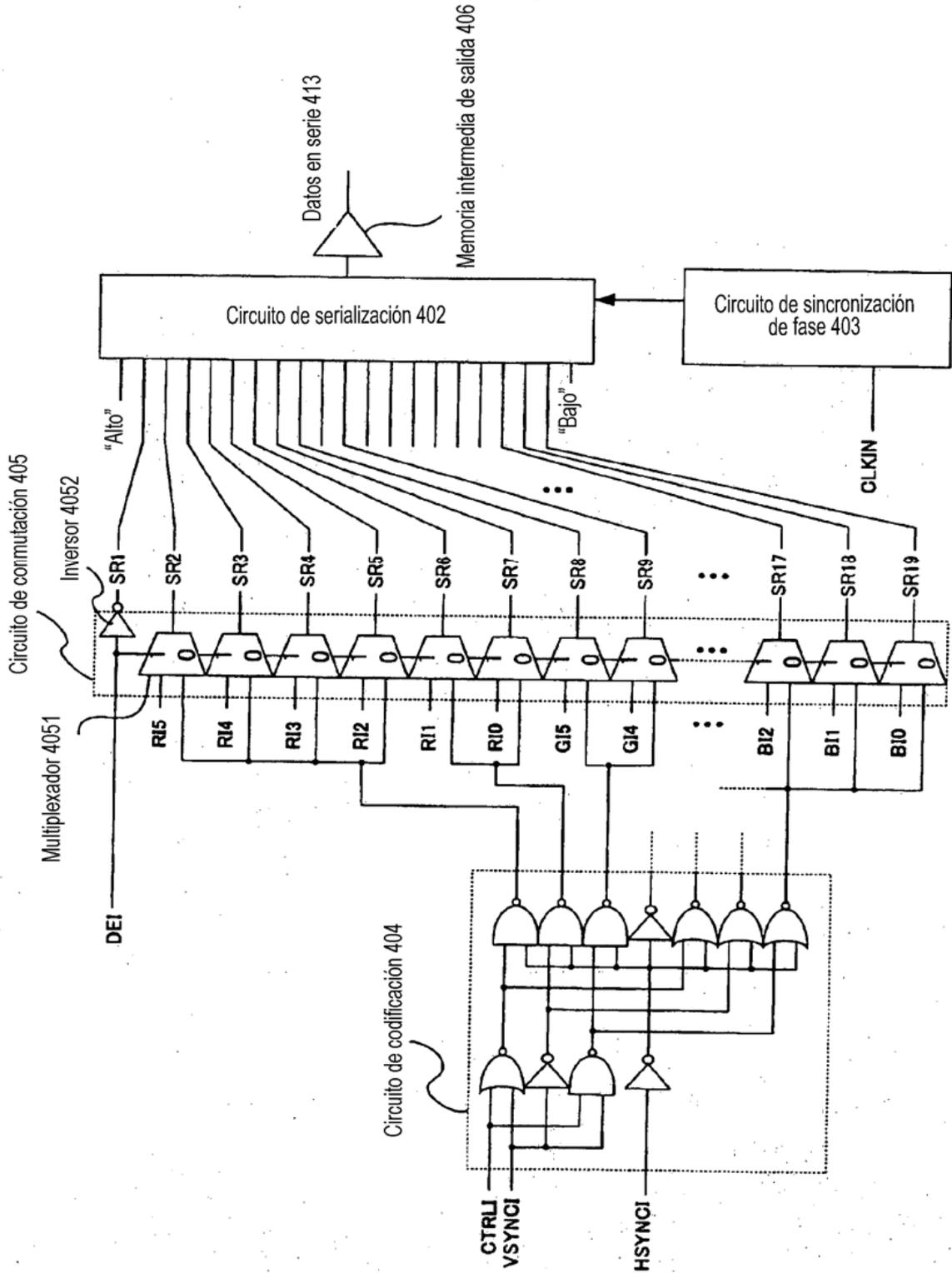
[Fig.49]



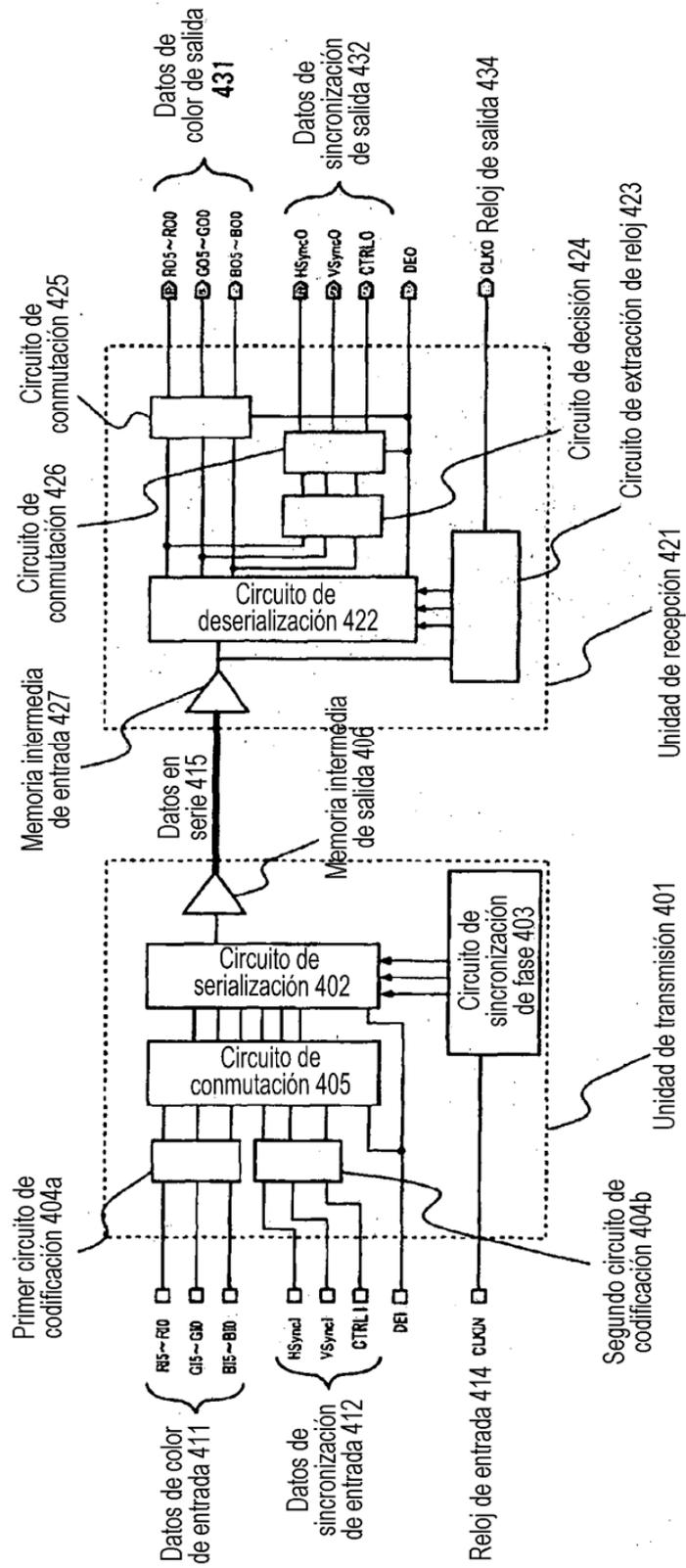
[Fig. 50]



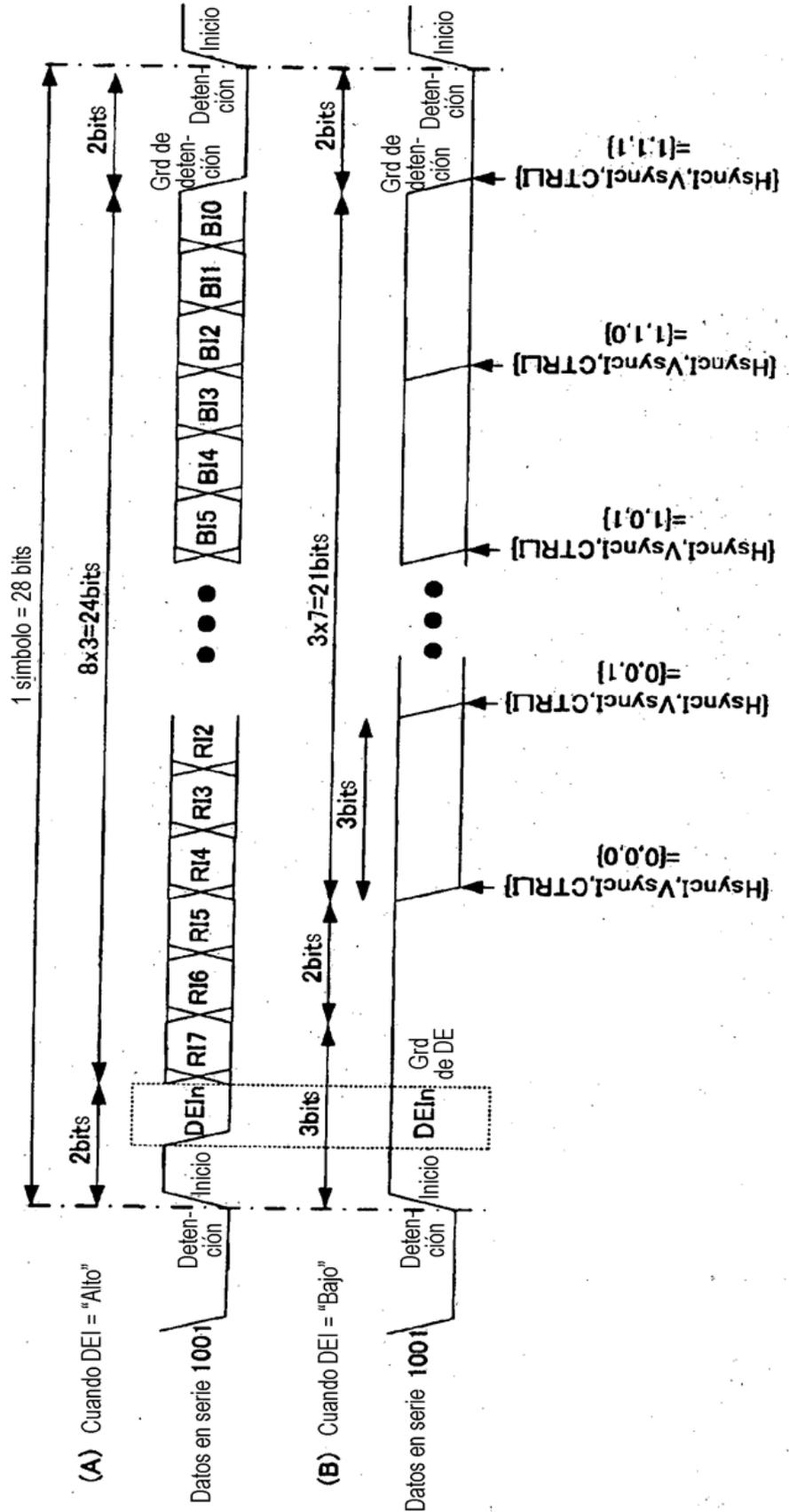
[Fig 51]



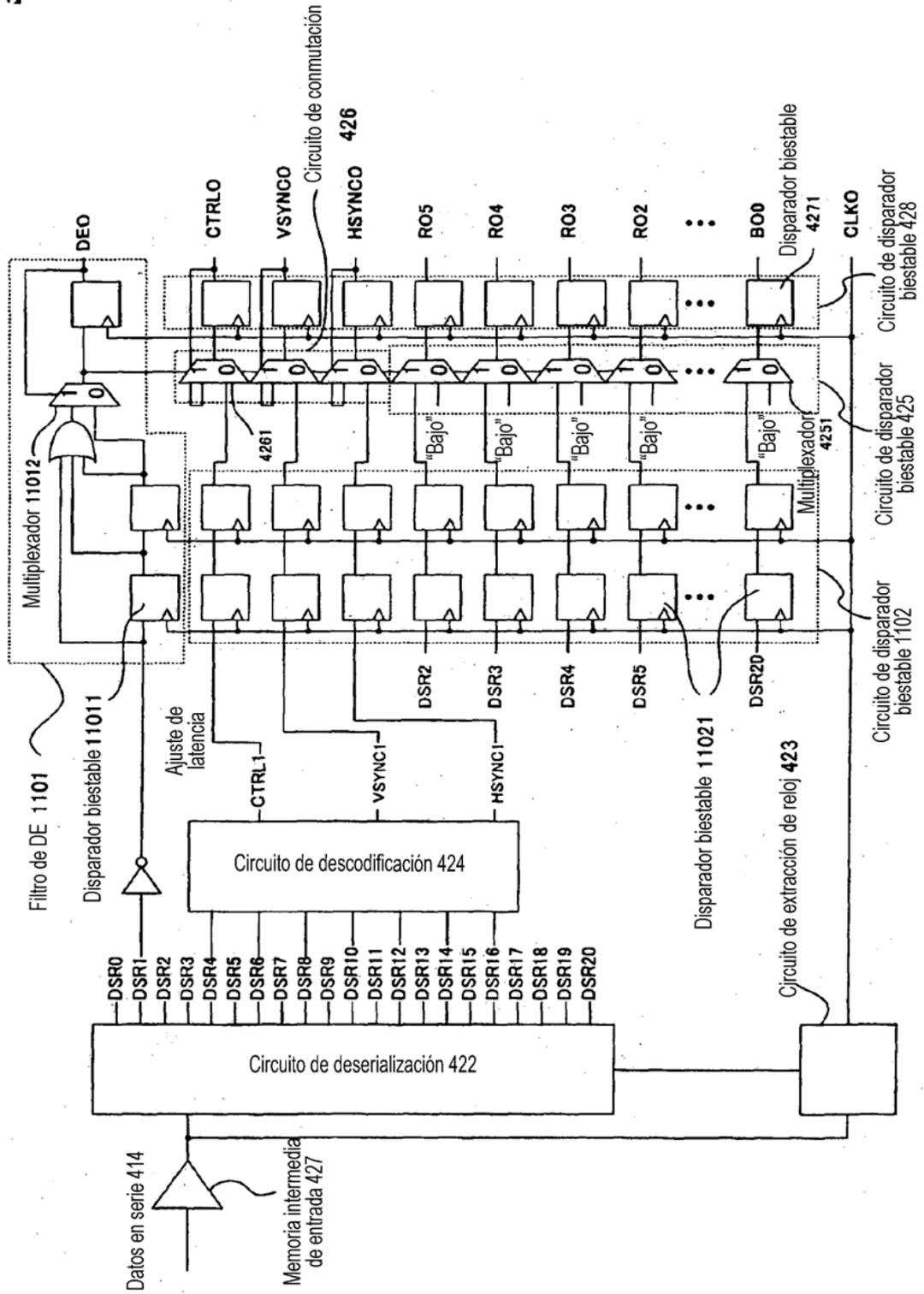
[Fig. 52]



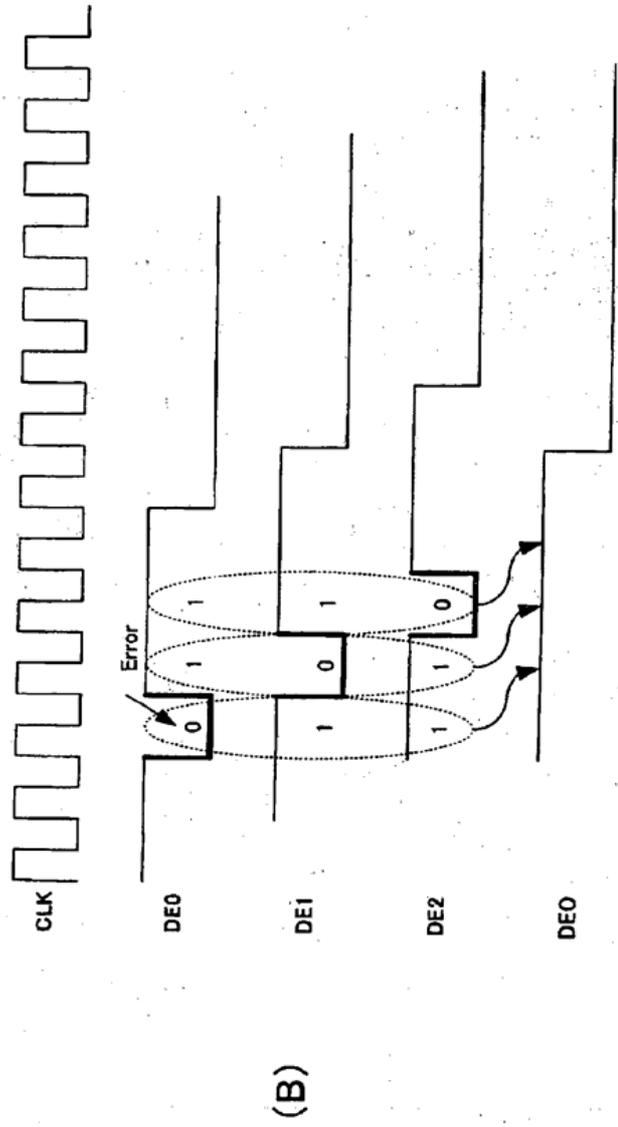
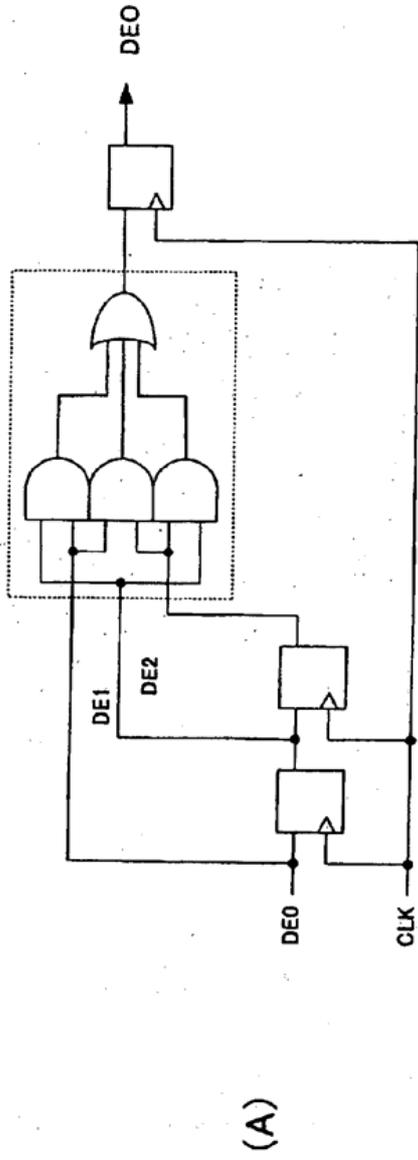
[Fig.53]



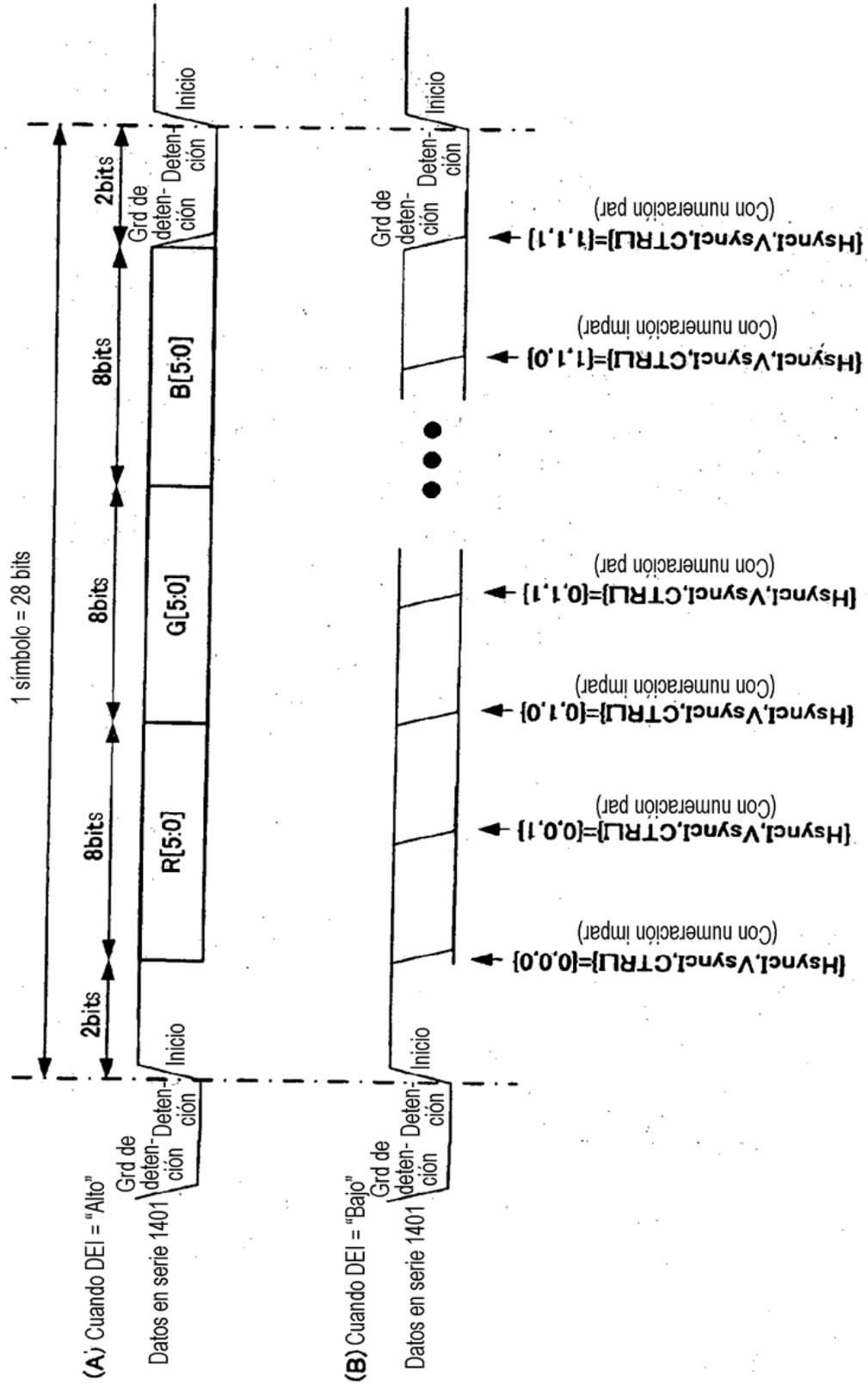
【Fig.54】



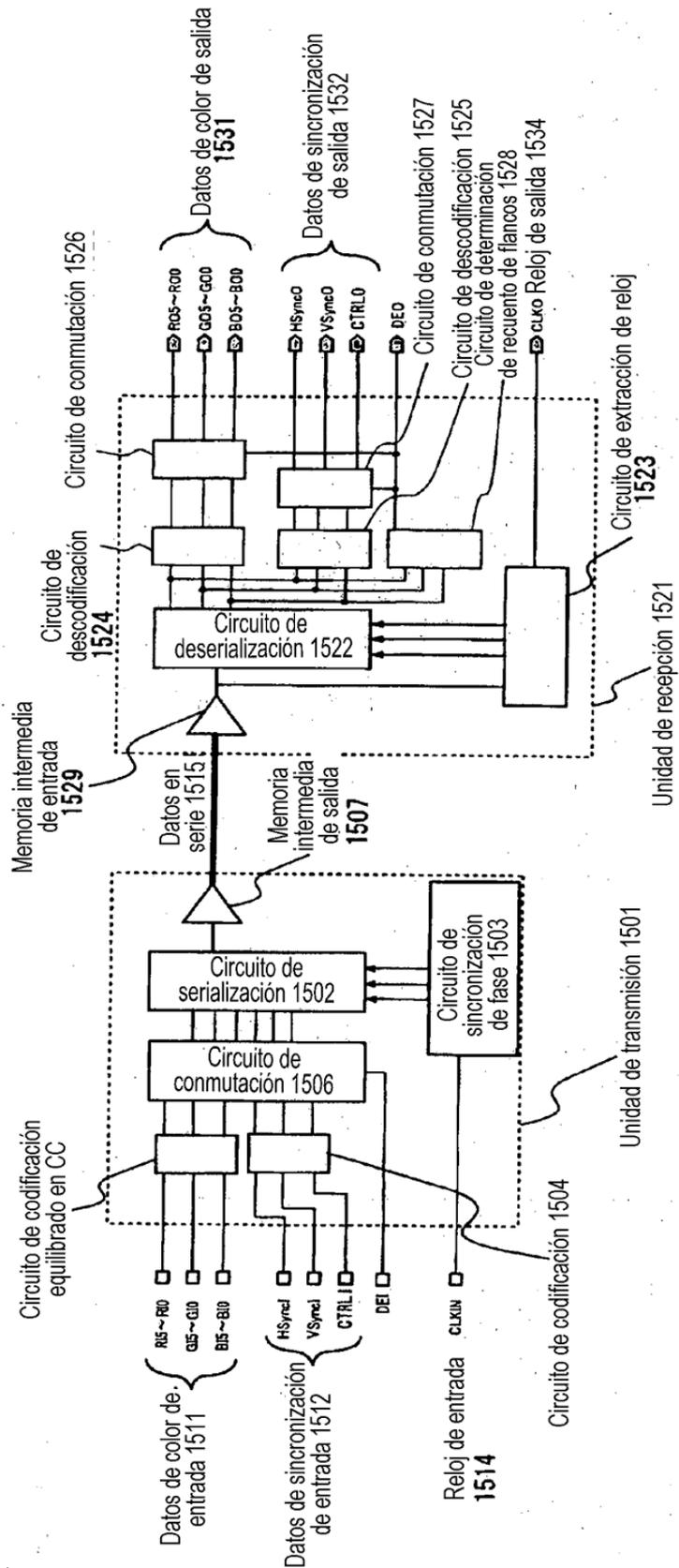
【Fig.55】



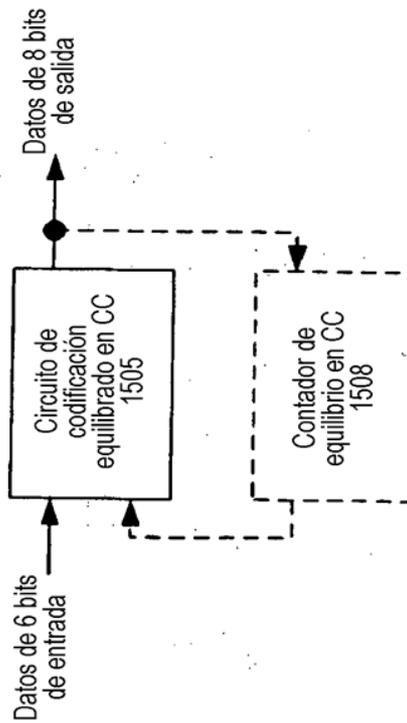
[Fig. 56]



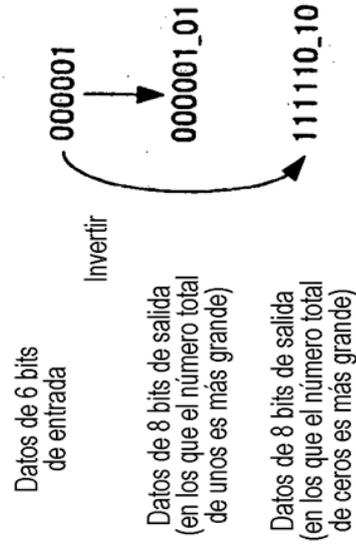
[Fig. 57]



[Fig. 58]

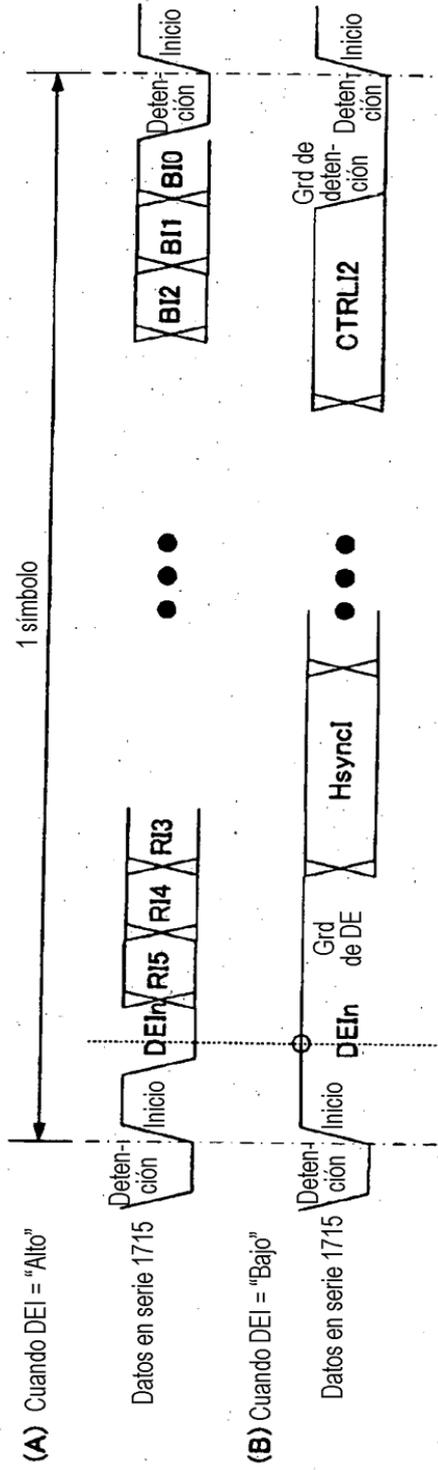


(A)

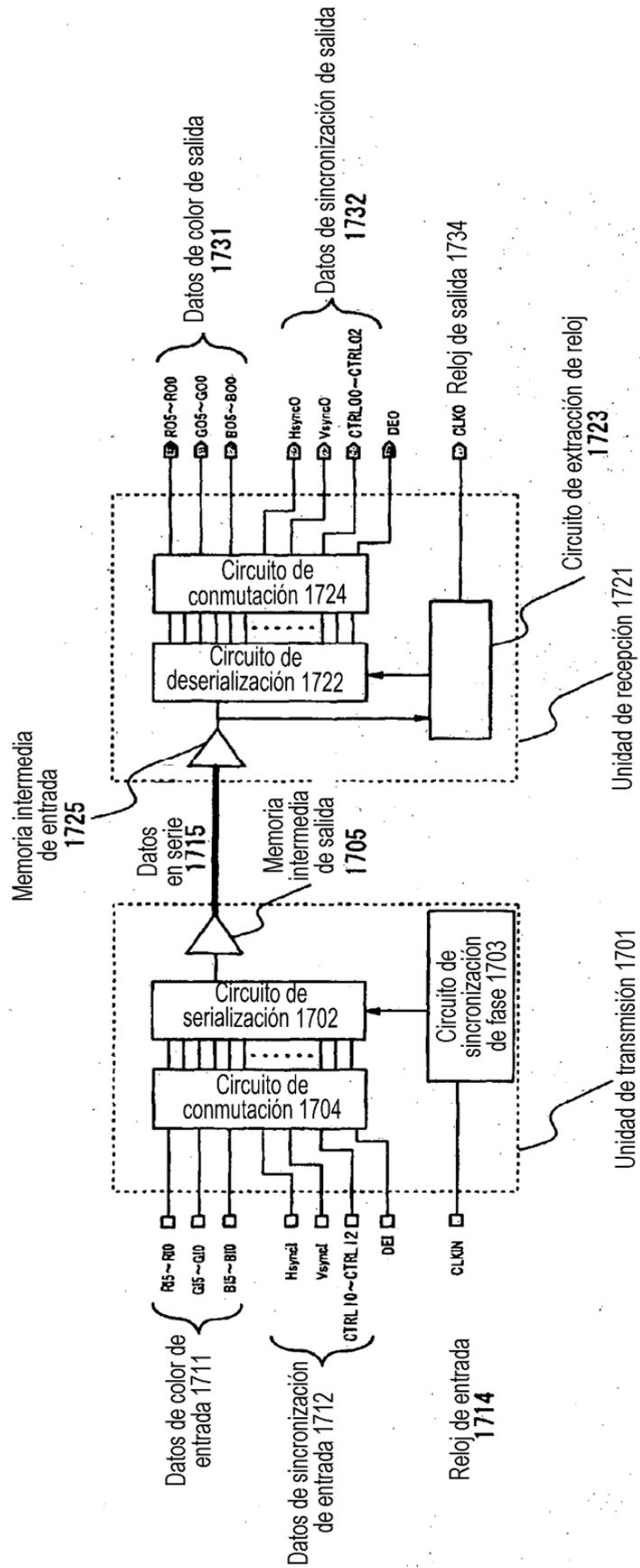


(B)

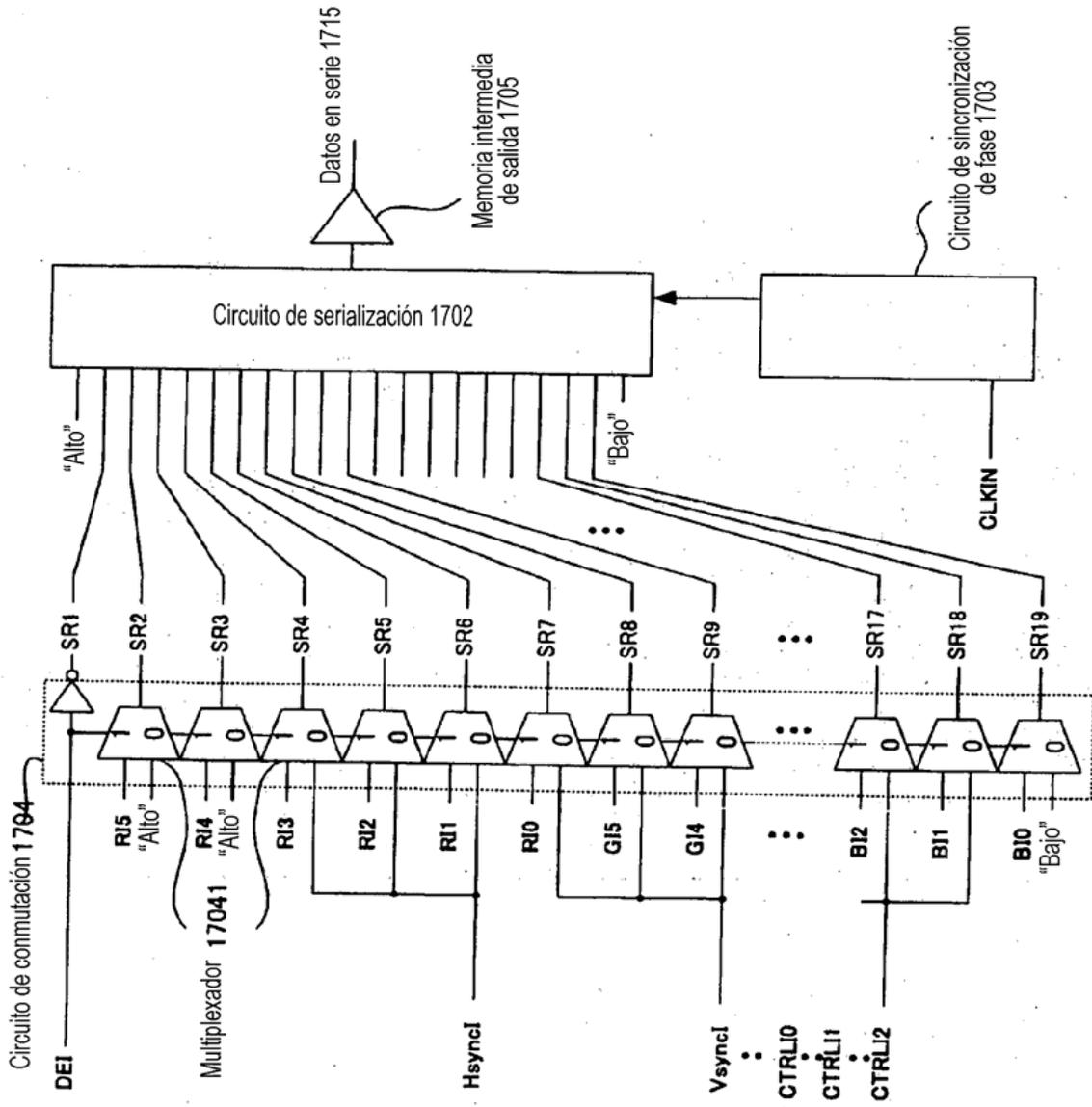
[Fig. 59]



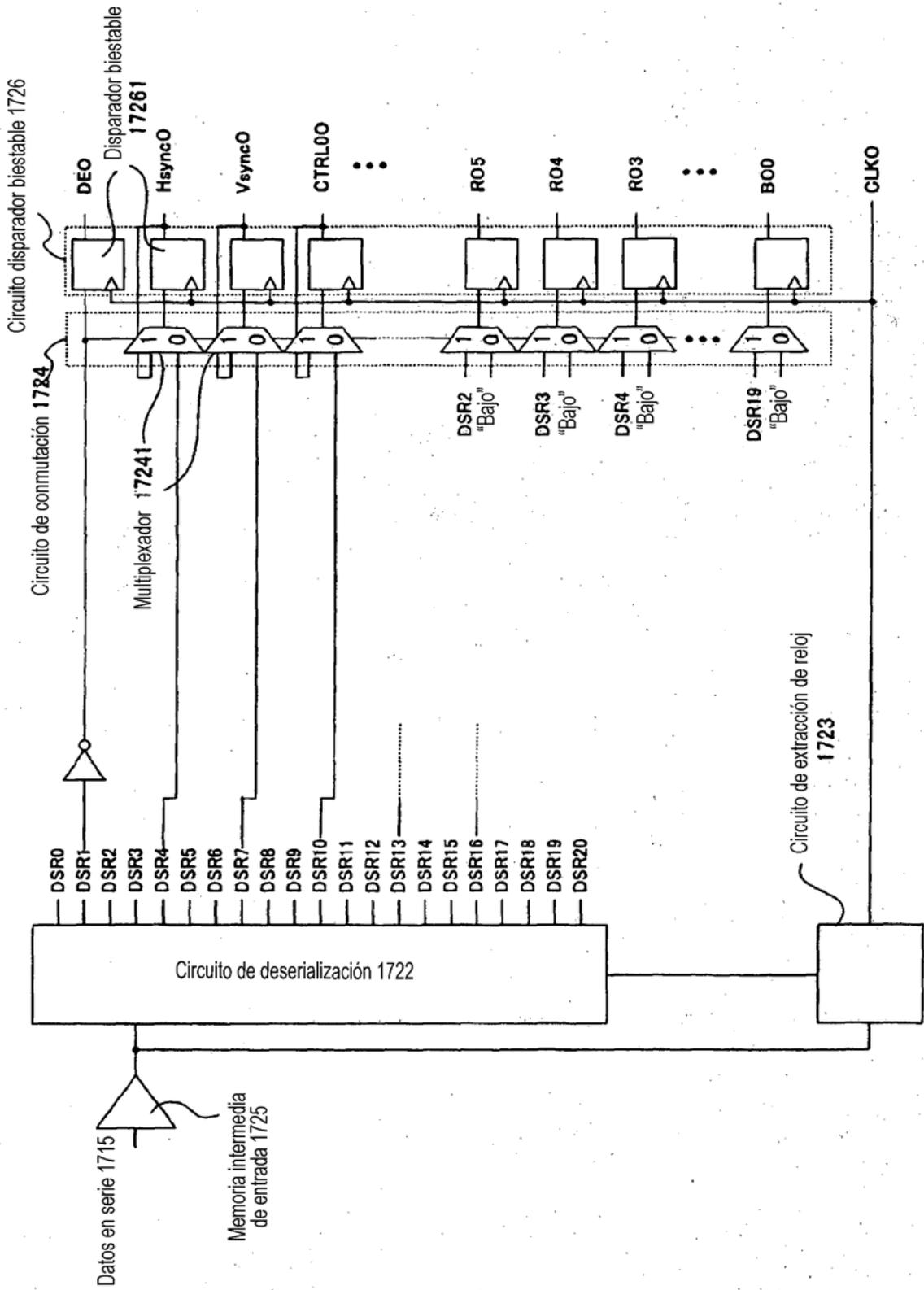
[Fig. 60]



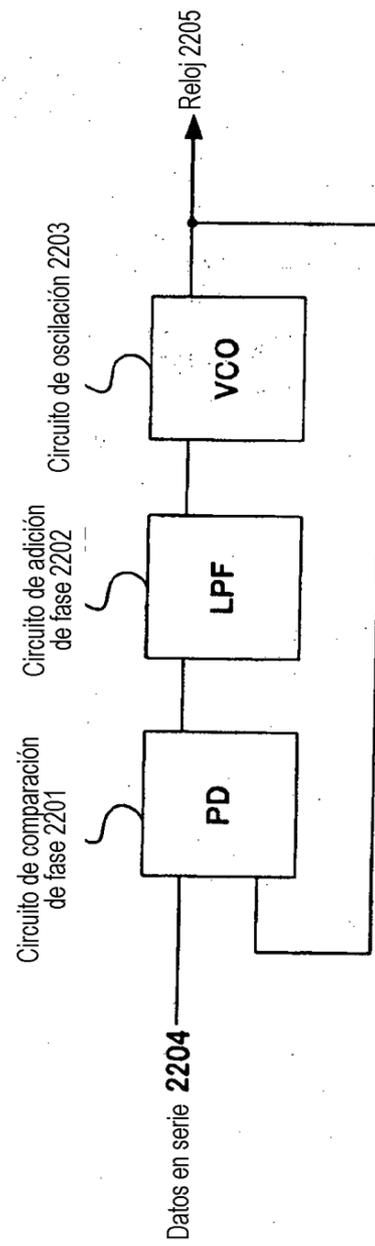
[Fig. 61]



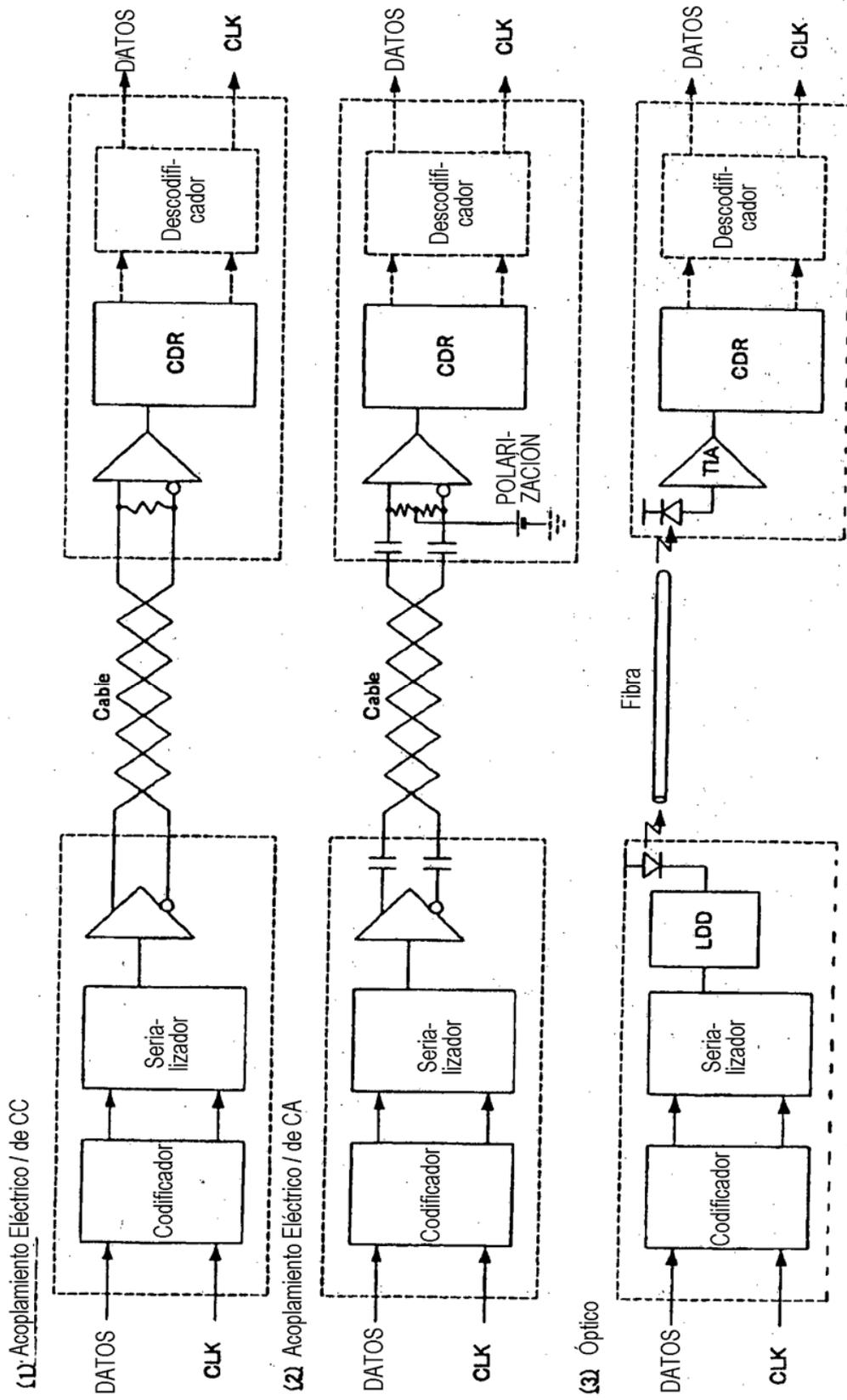
[Fig. 62]



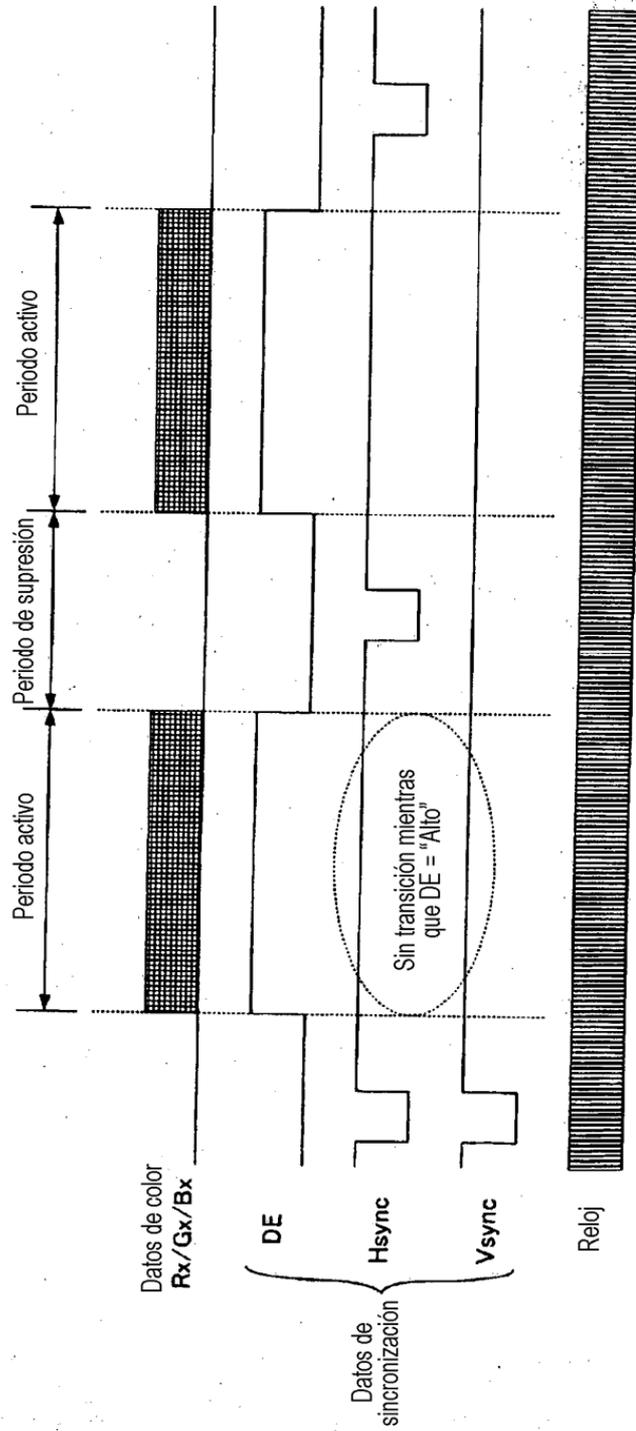
[Fig. 64]



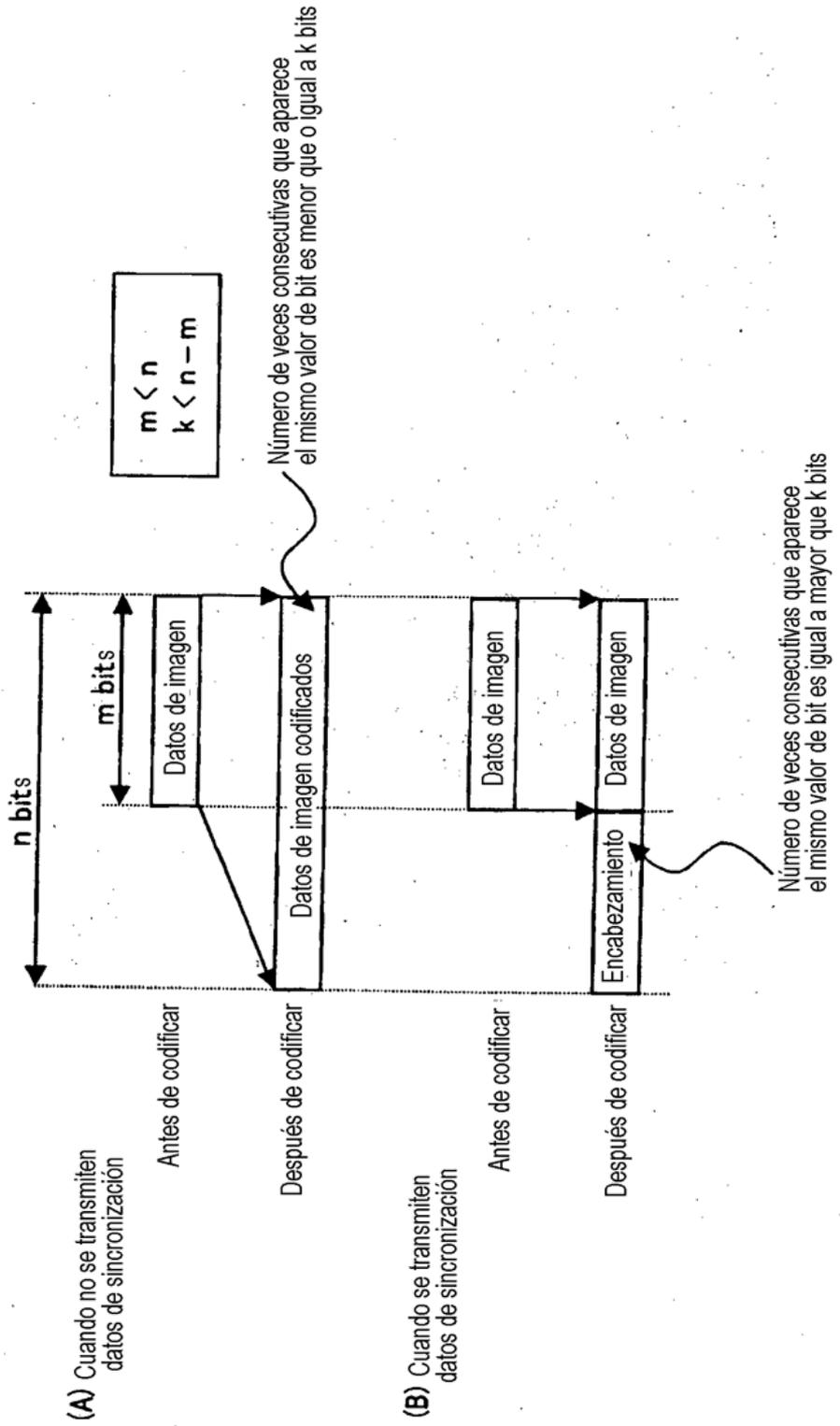
[Fig. 65]



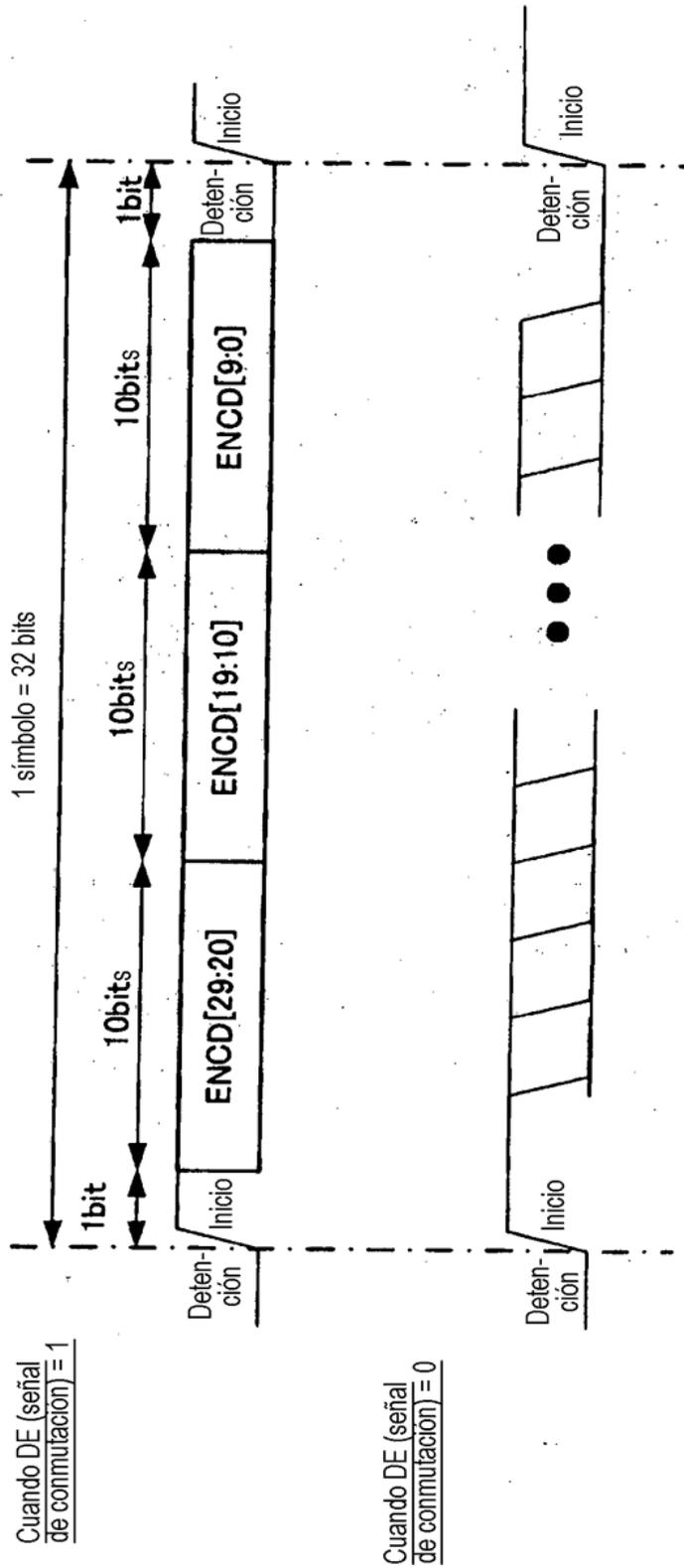
【Fig.66】



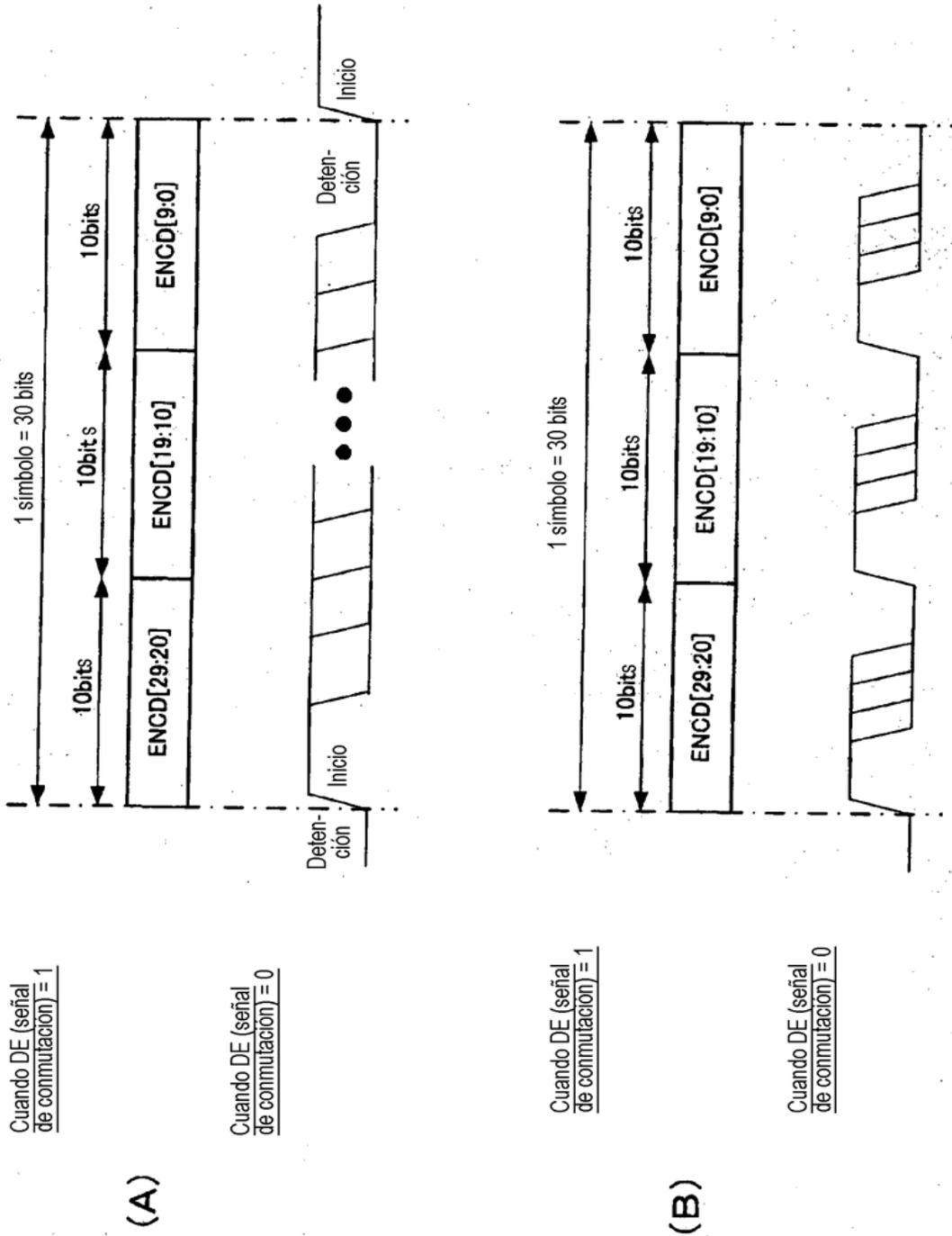
[Fig. 67]



[Fig. 68]



【Fig.69】



【Fig. 70】

